

PGA411-Q1 旋变传感器接口

1 特性

- 汽车电子 应用认证
- 具有符合 AEC-Q100 标准的下列结果：
 - 器件温度 1 级：-40°C 至 +125°C 的环境运行温度范围
 - 器件人体模型 (HBM) 静电放电 (ESD) 分类等级 2
 - 器件组件充电模式 (CDM) ESD 分类等级 C4B
- 旋变数字转换器 (RDC)
- 激励器前置放大器和功率放大器
- 具备扩展频谱的激励器升压电源
- 模拟前端
- 自动偏移校准
- II 型比例积分 (PI) 控制器跟踪环路
- 并行、编码器或串行外设接口 (SPI) 三种数据输出
- 模拟数据输出
- SafeTI™ 半导体组件
 - 专为功能安全 应用认证
 - 根据 ISO 26262 标准要求开发
- 自动和手动相位校正
- 传感器输入故障检测
- 诊断中断输出
- 内部和外部振荡器
- 用于故障检测的内置模拟和逻辑自检
- 64 引脚带散热片薄型四方扁平封装 (HTQFP) PowerPAD™ IC 封装

2 应用

- 电机控制
- 混合动力汽车 (HEV)/电动汽车 (EV) 电机逆变器
- 电动助力转向
- 集成式起停电机
- 伺服驱动器
- AC 驱动器
- 工业机器人
- 计算机数控 (CNC) 机械
- 电梯/升降机
- 注塑成型机

3 说明

PGA411-Q1 器件是一款集成有激励器放大器和升压稳压器电源的旋变数字转换器，能够激励和读取旋变传感器上的正弦角和余弦角。凭借集成的激励器放大器和带保护的升压电源，PGA411-Q1 器件消除了对大多数外部组件和无源组件的需求，从而能够降低物料清单 (BOM) 成本并减小在印刷电路板 (PCB) 上的占用空间。

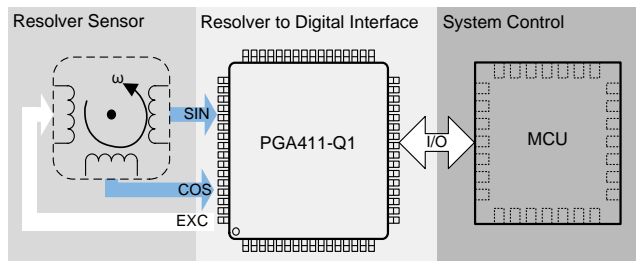
此外，PGA411-Q1 器件还可通过内部时钟生成正弦波，用以激励传感器。凭借模拟前端 (AFE) 的架构，用户能够获得 10 位或 12 位分辨率的角位置和速度输出。PGA411-Q1 器件的高集成度还体现在为每个内部模块提供了相关诊断和保护。集成的诊断监视器可通过专用引脚将故障条件以中断信号形式发送给 MCU。这些功能提升了旋变传感器选择方面的灵活性以及平台可扩展性。此外，PGA411-Q1 设计满足 ISO 26262 标准对于功能安全应用的要求。

器件信息⁽¹⁾

器件型号	封装	封装尺寸 (标称值)
PGA411-Q1	HTQFP (64)	10.00mm x 10.00mm

(1) 要了解所有可用封装，请见数据表末尾的可订购产品附录。

简化系统图



目录

1	特性	1	7.2	功能框图	15
2	应用	1	7.3	特性描述	16
3	说明	1	7.4	器件功能模式	39
4	修订历史记录	2	7.5	编程	49
5	引脚配置和功能	3	7.6	寄存器映射	52
6	技术规格	5	8	应用和实施	81
6.1	最大绝对额定值	5	8.1	应用信息	81
6.2	ESD 额定值	5	8.2	典型应用	81
6.3	建议的工作条件	5	8.3	系统示例	89
6.4	热性能信息	6	8.4	初始化设置	92
6.5	激励输出、放大器和电源特性	6	9	电源相关建议	92
6.6	模拟前端特性	7	10	布局布线	93
6.7	数字跟踪回路特性	8	10.1	布局布线指南	93
6.8	诊断监视器特性	8	10.2	布局示例	93
6.9	V _{DD} 稳压器特性	11	11	器件和文档支持	96
6.10	数字 I/O 特性	11	11.1	文档支持	96
6.11	振荡器特性	11	11.2	社区资源	96
6.12	输出数据接口特性	11	11.3	商标	96
6.13	SPI 接口时序要求	12	11.4	静电放电警告	96
6.14	典型特性	13	11.5	Glossary	96
7	详细说明	15	12	机械、封装和可订购信息	96
7.1	概述	15			

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

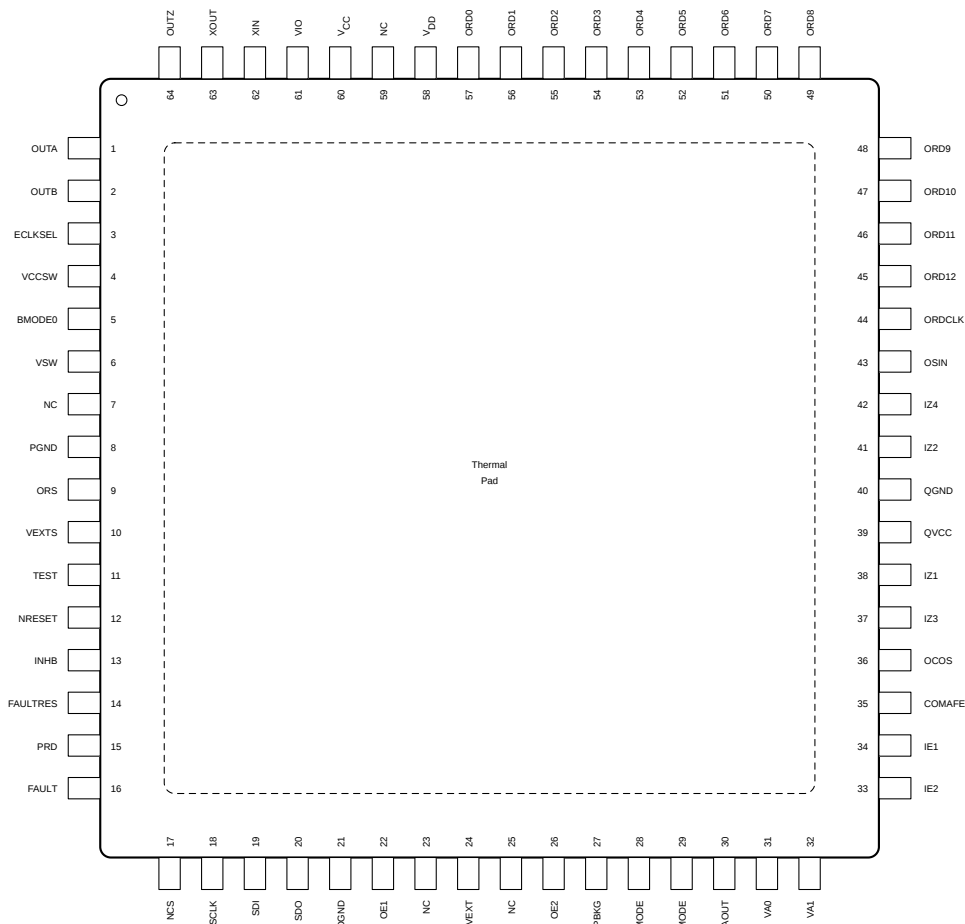
Changes from Revision B (December 2015) to Revision C

Page

• 已更改 器件状态，从产品预览改为量产数据	1
------------------------------	----------

5 引脚配置和功能

PAP 封装
带有外露散热焊盘的 64 引脚 HTQFP 封装
顶视图



NC - 无内部连接

引脚功能

引脚名称	编号	类型 ⁽¹⁾	逻辑输入或输出	说明
AMODE	28	I	输入	加速模式选择
AOUT	30	O	—	ORD（角度和速度）模拟输出。仅用于测试，量产时短接至地。
BMODE0	5	I	输入	分辨率选择，输入低电平采用 10 位模式，输入高电平采用 12 位模式
COMAFE	35	O	—	模拟前端 (AFE) 的共模输出
DGND	21	P	—	数字接地
ECLKSEL	3	I	输入	时钟选择输入
FAULT	16	O	输出	故障检测信号输出（开漏结构）
FAULTRES	14	I	输入	故障复位输入（故障在此引脚处于低电平时复位）
IE1	34	I	—	来自旋变传感器激励线圈的 AFE 正输入
IE2	33	I	—	来自旋变传感器激励线圈的 AFE 负输入
INHB	13	I	输入	抑制功能与输出数据保持
IZ1	38	I	—	来自旋变传感器余弦线圈的 AFE 正输入

(1) I = 输入; O = 输出; I/O = 输入与输出; P = 电源

引脚功能 (接下页)

引脚				
名称	编号	类型 ⁽¹⁾	逻辑输入或输出	说明
I _{Z2}	41	I	—	来自旋变传感器正弦线圈的 AFE 正输入
I _{Z3}	37	I	—	来自旋变传感器余弦线圈的 AFE 负输入
I _{Z4}	42	I	—	来自旋变传感器正弦线圈的 AFE 负输入
NC	7	I	—	未连接 (接地)
	23			
	25			
	59			
NCS	17	I	输入	串行外设接口 (SPI) 的片选
NRESET	12	I	输入	复位输入
OCOS	36	O	—	旋变传感器余弦输出
OE1	22	O	—	激励放大器正输出
OE2	26	O	—	激励放大器负输出
OMODE	29	I	输入	数据输出格式选择
ORD0	57	O	输出	并行角度和速度数据输出位 0。编码器输出 U
ORD1	56	O	输出	并行角度和速度数据输出位 1。编码器输出 V
ORD10	47	O	输出	并行角度和速度数据输出位 10。
ORD11	46	O	输出	并行角度和速度数据输出位 11。
ORD12	45	O	输出	可选引脚 (数据输出, 并行角度和速度数据输出位 12 - 未使用)
ORDCLK	44	O	输出	ORD 时钟
ORD2	55	O	输出	并行角度和速度数据输出位 2。编码器输出 W
ORD3	54	O	输出	并行角度和速度数据输出位 3。编码器输出 U1
ORD4	53	O	输出	并行角度和速度数据输出位 4。编码器输出 V1
ORD5	52	O	输出	并行角度和速度数据输出位 5。编码器输出 W1
ORD6	51	O	输出	并行角度和速度数据输出位 6。编码器输出 A
ORD7	50	O	输出	并行角度和速度数据输出位 7。编码器输出 B
ORD8	49	O	输出	并行角度和速度数据输出位 8。编码器输出 Z
ORD9	48	O	输出	并行角度和速度数据输出位 9。
ORS	9	O	—	激励前置放大器输出
OSIN	43	O	—	旋变传感器正弦输出
OUTA	1	O	输出	增量编码器, 输出 A
OUTB	2	O	输出	增量编码器, 输出 B
OUTZ	64	O	输出	增量编码器, 输出 Z
PBKG	27	P	—	接地
PGND	8	P	—	电源接地
PRD	15	O	输出	数据奇偶校验输出
QGND	40	P	—	电源接地 (处于稳定状态, 用于 AFE)
QVCC	39	P	—	电源输入 (处于稳定状态, 用于 AFE)
SCLK	18	I	输入	SPI 时钟
SDI	19	I	输入	SPI 数据输入
SDO	20	O	输出	SPI 数据输出
TEST	11	I/O	—	测试输入和输出 (I/O)。德州仪器 (TI) 保留的引脚。将此引脚接地。
VA0	31	I	输入	角度和速度数据输出位 0
VA1	32	I	输入	角度和速度数据输出位 1
V _{CC}	60	P	—	电源输入
VCCSW	4	P	—	升压 DC-DC 逆变器电源输入
V _{DD}	58	P	—	稳压数字电源的输出

引脚功能 (接下页)

引脚	编号	类型(1)	逻辑输入或输出	说明
VEXT	24	P	—	激励放大器电源输入
VEXTS	10	I	—	用于升压电源与诊断的感测输入。
VIO	61	P	—	逻辑 I/O 电压电平电源输入
VSW	6	O	—	升压 DC-DC 逆变器 FET 漏极
XIN	62	I	—	晶振输入
XOUT	63	O	—	晶振输出

6 技术规格

6.1 最大绝对额定值

在自然通风条件下的工作温度范围内（除非另有说明）

		最小值	最大值	单位
输入电压	VEXTS, OE1, OE2	-0.3	40	V
	VCCSW, VSW, VEXT, IZ1, IZ2, IZ3, IZ4	-0.3	20	
	V _{DD} , XIN, XOUT	-0.3	2	
	PGND, DGND, GND	-0.3	0.3	
	其他所有引脚	-0.3	5.5	
工作结温		-40	150	°C
存储温度, T _{stg}		-65	150	°C

6.2 ESD 额定值

		数值	单位	
V _(ESD) 静电放电	人体模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾	±2000	V	
	充电器件模型 (CDM), 符合 AEC Q100-011	所有引脚		±500
		边角引脚 (1、16、17、32、33、48、49 和 64)		±750

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS001 规范执行 HBM 应力测试。

6.3 建议的工作条件

在自然通风条件下的工作温度范围内（除非另有说明）

		最小值	标称值	最大值	单位		
V _{CC} /QVCC	电源输入电压	4.75	5	5.25	V		
V _{EXT}	激励电源输入	VEXT	4 V _{RMS} 模式	11	12	13	V
			7 V _{RMS} 模式	14	15	16	
V _{CCSW}	升压稳压器输入	VCCSW		4.75	8.5	V	
V _{IO}	I/O 电源输入	VIO	V _{VIO} = 3.3V	2.97	3.3	3.63	V
			V _{VIO} = 5V	4.5	5	5.25	
V _{IZ}	差分幅值输入	IZ1, IZ2, IZ3, IZ4	(V _{IZ1} - V _{IZ3}): (V _{IZ2} - V _{IZ4})	2	3	V _{PP}	
T _A	自然通风工作温度范围	-40		125	°C		
T _J	工作结温	-40		150	°C		

6.4 热性能信息

热指标 ⁽¹⁾		PGA411-Q1	单位
		PAP (HTQFP)	
		64 引脚	
$R_{\theta JA}$	结至环境热阻	25.5	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	10.9	°C/W
$R_{\theta JB}$	结至电路板热阻	9.1	°C/W
Ψ_{JT}	管结至顶部的特征参数	0.3	°C/W
Ψ_{JB}	管结至电路板的特征参数	9.1	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	0.4	°C/W

(1) 有关传统和新热性能指标的更多信息, 请参见应用报告《半导体和 IC 封装热性能指标》, [SPRA953](#)。

6.5 激励输出、放大器和电源特性

$V_{CC} = 4.75V$ 至 $5.25V$, $T_A = -40^\circ C$ 至 $+125^\circ C$ (除非另外注明)

参数	测试条件	最小值	典型值	最大值	单位	
激励信号输出 (前置放大器)						
A_{EXC}	激励放大器增益	SPI 可编程	1.15	1.9	V/V	
f_{EXC}	激励输出频率范围	SELFEXT = 0x00; 使用的系统时钟; $f_{OSC} = 20MHz$	9	10	11	kHz
		SELFEXT = 0x07; 使用的系统时钟; $f_{OSC} = 20MHz$	18	20	22	
V_{ORS}	信号输出电压	ORS 信号相对于 COMAFE 电压的输出电压; 增益 = 1.5; $C_{ORS} = 0.47nF$; $I_{ORS} = \pm 10\mu A$		1.5	2	V_{Peak}
V_{COMAFE}	共模电压输出	COMAFE 引脚; $C_{COMAFE} = 10nF$	2.25	2.5	2.75	V
激励电源						
V_{EXCPS}	激励电源输出电压	MODEVEXT = 0x00; $I_{EXTPS} = 150mA$; $V_{CCSW} \geq 4.75V$; nBOOST_FF = 1	8	10	12	V
		MODEVEXT = 0x01; $I_{EXTPS} = 150mA$; $V_{CCSW} \geq 4.75V$; nBOOST_FF = 1	9	11	13	
		MODEVEXT = 0x02; $I_{EXTPS} = 150mA$; $V_{CCSW} \geq 5V$; nBOOST_FF = 1	10	12	14	
		MODEVEXT = 0x03; $I_{EXTPS} = 150mA$; $V_{CCSW} \geq 5V$; nBOOST_FF = 1	11	13	15	
		MODEVEXT = 0x04; $I_{EXTPS} = 150mA$; $V_{CCSW} \geq 5V$; nBOOST_FF = 1	12	14	16	
		MODEVEXT = 0x05; $I_{EXTPS} = 150mA$; $V_{CCSW} \geq 6V$; nBOOST_FF = 1	13	15	17	
		MODEVEXT = 0x06; $I_{EXTPS} = 150mA$; $V_{CCSW} \geq 6V$; nBOOST_FF = 1	14	16	18	
		MODEVEXT = 0x07; $I_{EXTPS} = 150mA$; $V_{CCSW} \geq 7V$; nBOOST_FF = 1	15	17	19	
f_{EXTPS}	激励电源开关频率	在 10% 的扩展频谱下测试	414		kHz	
L_{EXCPS}	激励电源电感范围		56		μH	
C_{EXCPS}	激励电源电容范围		10		μF	
激励放大器						

激励输出、放大器和电源特性 (接下页)
 $V_{CC} = 4.75V$ 至 $5.25V$, $T_A = -40^\circ C$ 至 $+125^\circ C$ (除非另外注明)

参数	测试条件	最小值	典型值	最大值	单位
V_{EXCO}	激励放大器差分输出电压				V_{PP}
	4 V_{RMS} 模式; EXTOUT_GL = 0x00	7.12	8.38		
	4 V_{RMS} 模式; EXTOUT_GL = 0x01	7.44	8.75		
	4 V_{RMS} 模式; EXTOUT_GL = 0x02	7.74	9.11		
	4 V_{RMS} 模式; EXTOUT_GL = 0x03	8.05	9.47		
	4 V_{RMS} 模式; EXTOUT_GL = 0x04	8.36	9.84		
	4 V_{RMS} 模式; EXTOUT_GL = 0x05	8.67	10.2		
	4 V_{RMS} 模式; EXTOUT_GL = 0x06	8.98	10.57		
	4 V_{RMS} 模式; EXTOUT_GL = 0x07	9.29	10.93		
	4 V_{RMS} 模式; EXTOUT_GL = 0x08	9.61	11.3		
	4 V_{RMS} 模式; EXTOUT_GL = 0x09	9.91	11.66		
	4 V_{RMS} 模式; EXTOUT_GL = 0x0A	10.23	12.03		
	4 V_{RMS} 模式; EXTOUT_GL = 0x0B	10.53	12.39		
	4 V_{RMS} 模式; EXTOUT_GL = 0x0C	10.84	12.75		
	4 V_{RMS} 模式; EXTOUT_GL = 0x0D	11.15	13.12		
	4 V_{RMS} 模式; EXTOUT_GL = 0x0E	11.46	13.48		
	4 V_{RMS} 模式; EXTOUT_GL = 0x0F	11.77	13.85		
	7 V_{RMS} 模式; EXTOUT_GL = 0x00	12.49	14.69		
	7 V_{RMS} 模式; EXTOUT_GL = 0x01	13.03	15.33		
	7 V_{RMS} 模式; EXTOUT_GL = 0x02	13.57	15.97		
	7 V_{RMS} 模式; EXTOUT_GL = 0x03	14.12	16.61		
	7 V_{RMS} 模式; EXTOUT_GL = 0x04	14.65	17.24		
	7 V_{RMS} 模式; EXTOUT_GL = 0x05	15.20	17.88		
	7 V_{RMS} 模式; EXTOUT_GL = 0x06	15.74	18.52		
	7 V_{RMS} 模式; EXTOUT_GL = 0x07	16.29	19.16		
	7 V_{RMS} 模式; EXTOUT_GL = 0x08	16.83	19.8		
	7 V_{RMS} 模式; EXTOUT_GL = 0x09	17.37	20.44		
	7 V_{RMS} 模式; EXTOUT_GL = 0x0A	17.92	21.08		
	7 V_{RMS} 模式; EXTOUT_GL = 0x0B	18.46	21.72		
	7 V_{RMS} 模式; EXTOUT_GL = 0x0C	19	22.35		
	7 V_{RMS} 模式; EXTOUT_GL = 0x0D	19.54	22.99		
	7 V_{RMS} 模式; EXTOUT_GL = 0x0E	20.09	23.63		
7 V_{RMS} 模式; EXTOUT_GL = 0x0F	20.63	24.27			
V_{REXC}	激励放大器基准电压	可通过 EXTOUT 位对 SPI 编程	0.5	2	V
I_{QEXC}	激励放大器静态电流		1	15	mA
I_{EXCO}	激励放大器输出电流范围	(OE1-OE2) = 20 V_{PP}		145	mA
I_{EXCREV}	激励放大器反向输出电流	反向流至 VEXT 的电流, OE1 或 OE2 短电池 (电池电压必须高于 VEXT 的 180%)		15	mA

6.6 模拟前端特性

 在自然通风条件下的工作温度范围内, $V_{IN} = 4.5V$ 至 $5.25V$, $T_A = -40^\circ C$ 至 $+125^\circ C$ (除非另外注明)。

参数	测试条件	最小值	典型值	最大值	单位		
激励信号监控 (IE1 和 IE2)							
V_{IECM}	输入电压范围	0.5		4.5	V		
f_{IEIN}	输入频率范围	8		24	kHz		
R_{IEIN}	输入电阻	30	40	50	k Ω		
正弦和余弦输入增益放大器 (IZ1 和 IZ3)、(IZ2 和 IZ4)、(OSIN 和 OCOS)							
$S_{GAIN}(C_{GAIN})$	正弦和余弦放大器增益	COMAFE = 2.5V; GAINCOS = GAINSIN = 0x00	0.735	0.75	0.765	V/V	
		COMAFE = 2.5V; GAINCOS = GAINSIN = 0x01	0.98	1	1.02		
		COMAFE = 2.5V; GAINCOS = GAINSIN = 0x02	2.205	2.25	2.295		
		COMAFE = 2.5V; GAINCOS = GAINSIN = 0x03	3.43	3.5	3.57		
V_{IZx}	差分 IZx 输入电压范围 (峰峰值)	$S_{GAIN} = 0.75$; $C_{GAIN} = 0.75$; COMAFE = 2.5V			3	V	
I_{IZx}	IZx 输入电流范围	在 $V_{IZx} = 1V$ 和 $4V$ 时测试			-150	150	μA
R_{IZx}	IZx 输入电阻 (内部)	15	20	25	k Ω		
$CMRR_{SIN(COS)}$	共模抑制比		45		dB		

模拟前端特性 (接下页)

在自然通风条件下的工作温度范围内, $V_{IN} = 4.5V$ 至 $5.25V$, $T_A = -40^{\circ}C$ 至 $+125^{\circ}C$ (除非另外注明)。

参数	测试条件	最小值	典型值	最大值	单位	
PSRRsin(cos)	电源抑制比		60		dB	
$V_{OS}(V_{OC})$	输出电压范围	OSIN 引脚; OCOS 引脚; $I_{OUT} = 10\mu A$	0.5	4.5	V	
V_{COMAFE}	共模电压输出	COMAFE 引脚; $I_{OUT} = 10\mu A$	2.375	2.5	2.625	V

6.7 数字跟踪回路特性

参数	测试条件	最小值	典型值	最大值	单位	
O_{MODE1}	输出数据分辨率 1	BMODE0 = L; BMODE1 = L	10		位	
O_{MODE2}	输出数据分辨率 2	BMODE0 = H; BMODE1 = L	12		位	
TR1	最大跟踪速率 1	10 位模式	200 000		rpm	
TR2	最大跟踪速率 2	12 位模式	72 000		rpm	
ACL1	最大角加速度 1	10 位模式	200 000		rad/s ²	
ACL2	最大角加速度 2	12 位模式	50 000		rad/s ²	
ACC1	最大角度精度 1 ⁽¹⁾	10 位模式	±10.56		角分	
ACC2	最大角度精度 2 ⁽¹⁾	12 位模式	±2.64		角分	
INL1	积分线性度 1	10 位模式; OHYS = 1	-2	2	LSB	
INL2	积分线性度 2	12 位模式; OHYS = 1	-8	8	LSB	
DNL1	差分线性度 1	10 位模式; OHYS = 1	-1	1	最低有效位 (LSB)	
DNL2	差分线性度 2	12 位模式; OHYS = 1	-2	3	LSB	
t_{DLT1}	稳定时间 1 ⁽²⁾	AMODE = H; 步长为 180 度的输入; 10 位模式	0.1	1.5	3.5	ms
		AMODE = H; 步长为 180 度的输入; 12 位模式	0.1	3	7	
t_{DLT2}	稳定时间 2 ⁽²⁾	AMODE = L; 步长为 180 度的输入; 10 位模式	11	15	18	ms
		AMODE = L; 步长为 180 度的输入; 12 位模式	45	60	65	
t_{RESP}	相位延迟响应	$f_{IN} = 10000rpm$	-0.4		0.4	度数
Ph_{ADJ}	正弦和余弦激励的相位调节范围	手动模式; $f_{EXC} = 10kHz$	-44.5		44.5	度数
		手动模式; $f_{EXC} = 20kHz$	-89.2		89.2	
		自动模式	-89.2		89.2	
Ph_{ADJ_STEP}	正弦和余弦激励的相位调节范围步长	手动模式; $f_{EXC} = 10kHz$		1.44		度数
		手动模式; $f_{EXC} = 20kHz$		2.88		
		自动模式; $f_{EXC} = 10kHz$		0.36		
		自动模式; $f_{EXC} = 20kHz$		0.72		

(1) 涉及差分角度变化。

(2) 数字跟踪环路设置: $Dki = 0x4$; $Dkp = 0x4$; $Mkp = 0x2$ (仅在 AMODE = H 时使用的 Mkp)

6.8 诊断监视器特性

$V_{CC} = 4.75V$ 至 $5.25V$, $T_A = -40^{\circ}C$ 至 $+125^{\circ}C$ (除非另外注明)

参数	测试条件	最小值	典型值	最大值	单位	
常规						
V_{CCOV}	V_{CC} 过压阈值	SPI 标志; 激励禁用	5.4	5.75	5.92	V
V_{CCUV}	V_{CC} 欠压阈值	NPOR 置为有效	4.28	4.41	4.54	V
$t_{VCCOVUV}$	V_{CC} 过压和欠压去毛刺脉冲时间		4.2	5.2	6.2	μs
V_{DD} 稳压器						
V_{VDD}	数字功能电压范围	V_{DD} 引脚	1.623		1.984	V
V_{DDOV}	V_{DD} 过压阈值	SPI 标志; 激励禁用	2	2.2	2.4	V
V_{DDUV}	V_{DD} 欠压阈值	SPI 标志; NPOR 置为有效	1.23	1.35	1.53	V
$t_{VDDOVUV}$	V_{DD} 过压和欠压去毛刺脉冲时间		4.2	5.2	6.2	μs
I_{VDDLIM}	V_{DD} 电流限值	$V_{CC} = 4.75V$ 至 $5.25V$; SPI 标志; 为外部功耗从 V_{DD} 汲取的最大电流为 10mA	10	100	250	mA
t_{VDDOC}	V_{DD} 过流去毛刺时间		4.2	5.2	6.2	μs
激励电源						
OV_{EXCPS}	激励电源过压阈值	SPI 标志	110	115	122	% V_{EXCPS}
UV_{EXCPS}	激励电源欠压阈值		75	82.5	85	% V_{EXCPS}
COV_{EXCPS}	严重过压阈值	电源禁用			180	% V_{EXCPS}
CUV_{EXCPS}	严重欠压阈值	电源禁用	15			% V_{EXCPS}

诊断监视器特性 (接下页)
 $V_{CC} = 4.75V$ 至 $5.25V$, $T_A = -40^{\circ}C$ 至 $+125^{\circ}C$ (除非另外注明)

参数	测试条件	最小值	典型值	最大值	单位
t_{EXCPS}	激励电源故障去毛刺时间	9.2	10.2	11.2	μs
激励放大器					
SOV_{EXC}	单端过压	激励禁用		110	$\% V_{EXC}$
OV_{EXC}	差分过压阈值	4 Vrms 模式; 激励禁用; SPI 标志		6.8	8
		7 Vrms 模式; 激励禁用; SPI 标志		11.9	14
UV_{EXC}	差分欠压阈值	4 Vrms 模式; 激励禁用; SPI 标志		2.55	3
		7 Vrms 模式; 激励禁用; SPI 标志		5.1	6
$I_{EXCOLIM(OE1-OE2)}$	激励放大器输出高电流限值 (由 OE1 至 OE2)	EXTILIMTH_H1_2 = 0x0		100	150
		EXTILIMTH_H1_2 = 0x1		110	165
		EXTILIMTH_H1_2 = 0x2		120	180
		EXTILIMTH_H1_2 = 0x3		130	200
		EXTILIMTH_H1_2 = 0x4		150	225
		EXTILIMTH_H1_2 = 0x5		170	260
		EXTILIMTH_H1_2 = 0x6		200	300
		EXTILIMTH_H1_2 = 0x7		230	360
$I_{EXCOLIM(OE2-OE1)}$	激励放大器输出低电流限值 (由 OE2 至 OE1)	EXTILIMTH_L1_2 = 0x0		90	140
		EXTILIMTH_L1_2 = 0x1		100	150
		EXTILIMTH_L1_2 = 0x2		110	165
		EXTILIMTH_L1_2 = 0x3		120	180
		EXTILIMTH_L1_2 = 0x4		140	200
		EXTILIMTH_L1_2 = 0x5		160	230
		EXTILIMTH_L1_2 = 0x6		180	550
		EXTILIMTH_L1_2 = 0x7		210	550
t_{EXCOV}	激励放大器过压去毛刺时间	可通过 EXTUVT 位对 SPI 编程		1.2	15.2
t_{EXCUV}	激励放大器欠压去毛刺时间	EXTUV_CFG=10; 可通过 EXTUVT 位对 SPI 编程		1.2	15.2
		EXTUV_CFG=0x; 可通过 EXTUVT 位对 SPI 编程		55	405
$t_{EXCOLIM}$	激励放大器输出电流限值去毛刺时间	4.2	5.2	6.2	μs
模拟前端					
OV_{IZX}	输入过压阈值	IZ1、IZ2、IZ3 和 IZ4 引脚; 由 SPI 标志报告; OVIZH = 0x0		72	75
		IZ1、IZ2、IZ3 和 IZ4 引脚; 由 SPI 标志报告; OVIZH = 0x1		77	80
		IZ1、IZ2、IZ3 和 IZ4 引脚; 由 SPI 标志报告; OVIZH = 0x2		82	85
		IZ1、IZ2、IZ3 和 IZ4 引脚; 由 SPI 标志报告; OVIZH = 0x3		87	90
UV_{IZX}	输入欠压阈值	IZ1、IZ2、IZ3 和 IZ4 引脚; 由 SPI 标志报告; OVIZL = 0x0		22	25
		IZ1、IZ2、IZ3 和 IZ4 引脚; 由 SPI 标志报告; OVIZL = 0x1		17	20
		IZ1、IZ2、IZ3 和 IZ4 引脚; 由 SPI 标志报告; OVIZL = 0x2		12	15
		IZ1、IZ2、IZ3 和 IZ4 引脚; 由 SPI 标志报告; OVIZL = 0x3		7	10
t_{OVUV_IZX}	输入过压和欠压去毛刺脉冲时间	可通过 IZTHL 位对 SPI 编程 (独立)		1.2	15.2
V_{SHRTP}	正输入短路电压	OSIN 和 OCOS 引脚; 由 SPI 标志报告; OSHORTH = 0x0		50.4	52.5
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OSHORTH = 0x1		52.8	55
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OSHORTH = 0x2		55.2	57.5
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OSHORTH = 0x3		57.6	60
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OSHORTH = 0x4		60	62.5
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OSHORTH = 0x5		62.4	65
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OSHORTH = 0x6		64.8	67.5
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OSHORTH = 0x7		67.2	70
V_{SHRTN}	负输入短路电压	OSIN 和 OCOS 引脚; 由 SPI 标志报告; OSHORTL = 0x0		45.6	47.5
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OSHORTL = 0x1		43.2	45
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OSHORTL = 0x2		40.8	42.5
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OSHORTL = 0x3		38.4	40
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OSHORTL = 0x4		36	37.5
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OSHORTL = 0x5		33.6	35
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OSHORTL = 0x6		31.2	32.5
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OSHORTL = 0x7		28.8	30

诊断监视器特性 (接下页)

V_{CC} = 4.75V 至 5.25V, T_A = -40°C 至 +125°C (除非另外注明)

参数	测试条件	最小值	典型值	最大值	单位	
V _{OPNP}	正输入开路电压	OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHH = 0x0	72	75	78	% V _{CC}
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHH = 0x1	74.4	77.5	80.6	
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHH = 0x2	76.8	80	83.2	
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHH = 0x3	79.2	82.5	85.8	
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHH = 0x4	81.6	85	88.4	
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHH = 0x5	84	87.5	91	
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHH = 0x6	86.4	90	93.6	
V _{OPNN}	负输入开路电压	OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHL = 0x0	22.5	25	27.5	% V _{CC}
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHL = 0x1	20.3	22.5	24.8	
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHL = 0x2	18	20	22	
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHL = 0x3	15.8	17.5	19.3	
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHL = 0x4	13.5	15	16.5	
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHL = 0x5	11.3	12.5	13.8	
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHL = 0x6	9	10	11	
V _{OPNN}	负输入开路电压	OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHL = 0x7	6.8	7.5	8.3	% V _{CC}
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHL = 0x0	22.5	25	27.5	
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHL = 0x1	20.3	22.5	24.8	
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHL = 0x2	18	20	22	
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHL = 0x3	15.8	17.5	19.3	
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHL = 0x4	13.5	15	16.5	
		OSIN 和 OCOS 引脚; 由 SPI 标志报告; OOPENTHL = 0x5	11.3	12.5	13.8	
t _{SHRT}	输入短路去毛刺脉冲时间	可通过 TSHORT 位对 SPI 编程 (每项设置的容差为 ±10μs)		35	140	μs
t _{OPN}	输入开路去毛刺脉冲时间	可通过 TOPEN 位对 SPI 编程 (每项设置的容差为 ±10μs)		35	140	μs
D _{ERRP_IEX}	激励信号监视器正占空比错误	(IE1 - IE2) 信号; 由 SPI 标志报告		80		% f _{EXC}
D _{ERRN_IEX}	激励信号监视器负占空比错误	(IE1 - IE2) 信号; 由 SPI 标志报告			20	% f _{EXC}
t _{ERR_IEX}	激励信号监视器占空比错误去毛刺脉冲	可通过 TEXTMON 位对 SPI 编程 (每项设置的容差为 ±10μs)		35	140	μs
VM _{SENH}	输入完整性检查高阈值	IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENH = 0x0	2.44	2.6	2.73	V
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENH = 0x1	2.59	2.75	2.88	
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENH = 0x2	2.73	2.9	3.04	
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENH = 0x3	2.87	3.05	3.19	
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENH = 0x4	3.01	3.2	3.35	
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENH = 0x5	3.15	3.35	3.5	
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENH = 0x6	3.29	3.5	3.66	
VM _{SENH}	输入完整性检查高阈值	IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENH = 0x7	3.42	3.65	3.81	V
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENHL = 0x0	2.27	2.4	2.52	
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENHL = 0x1	2.12	2.25	2.37	
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENHL = 0x2	1.98	2.1	2.21	
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENHL = 0x3	1.84	1.95	2.06	
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENHL = 0x4	1.7	1.8	1.9	
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENHL = 0x5	1.55	1.65	1.75	
VM _{SENL}	输入完整性检查低阈值	IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENHL = 0x6	1.41	1.50	1.6	V
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENHL = 0x7	1.26	1.35	1.44	
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENHL = 0x0	2.27	2.4	2.52	
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENHL = 0x1	2.12	2.25	2.37	
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENHL = 0x2	1.98	2.1	2.21	
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENHL = 0x3	1.84	1.95	2.06	
		IZ1、IZ2、IZ3 和 IZ4 引脚; V _{CC} = 5V; 该阈值是 V _{CC} 的百分比; 由 SPI 标志报告; DVMSENHL = 0x4	1.7	1.8	1.9	
t _{SENHL}	输入完整性检查去毛刺脉冲时间	4.2	5.2	6.2	μs	
数字跟踪回路						
V _{LERRH}	跟踪回路报错信号高阈值	由 SPI 标志报告; SPI 可编程		0.1	0.8	V
V _{LERRL}	跟踪回路报错信号低阈值	由 SPI 标志报告; SPI 可编程		-0.8	-0.1	V
t _{LERR}	跟踪回路报错窗口	可通过 TRDHL 位对 SPI 编程; AMODE = H		2	8	ms
		可通过 TRDHL 位对 SPI 编程; AMODE = L		90	180	ms
过热保护						

诊断监视器特性 (接下页)

 $V_{CC} = 4.75V$ 至 $5.25V$, $T_A = -40^\circ C$ 至 $+125^\circ C$ (除非另外注明)

参数	测试条件	最小值	典型值	最大值	单位		
TSD _{EXC_WR}	激励过热警告	SPI 标志		125	155	°C	
TSD _{EXC_SD}	激励热关闭	激励禁用; SPI 标志		155	175	200	°C
TSD _{VDD_WR}	V _{DD} 稳压器过热警告	SPI 标志		125	155	°C	
TSD _{VDD_SD}	V _{DD} 稳压器热关闭	NPOR 置为有效		155	175	200	°C

6.9 V_{DD} 稳压器特性

参数	测试条件	最小值	典型值	最大值	单位	
V _{VDD}	V _{DD} 输出电压		1.69	1.8	1.91	V
I _{VDD}	V _{DD} 输出电流范围				10	mA
Lr1 _{VDD}	电源调整率	I _{VDD} = 0mA 至 10mA; 激励电源启用		90	110	% V _{VDD}
Lr2 _{VDD}	负载调整率	I _{VDD} = 0mA 至 10mA; V _{CC} = 4.5V 至 5.5V		90	110	% V _{VDD}
C _{VDD}	V _{DD} 外部电容	V _{DD} 引脚		100		nF

6.10 数字 I/O 特性

 $V_{CC} = 4.75V$ 至 $5.25V$; $V_{VIO} = 3.3V$ 至 $5V$; $T_A = -40^\circ C$ 至 $+125^\circ C$ (除非另外注明)

参数	测试条件	最小值	典型值	最大值	单位	
逻辑输出						
V _{OH}	输出逻辑电平高电压	I _{LOAD} = 3 mA	90		% V _{VIO}	
V _{OL}	输出逻辑电平低电压	I _{LOAD} = -3mA		10	% V _{VIO}	
T _{ODLY_H}	低电平至高电平转换延迟时间	C _{LOAD} = 50pF ⁽¹⁾		40	ns	
T _{ODLY_L}	高电平至低电平转换延迟时间	C _{LOAD} = 50pF ⁽¹⁾		40	ns	
R _{OPD}	内部下拉电阻	V _{PIN} = 5V	40	100	160	kΩ
逻辑输出 (开漏)						
V _{OLOD}	输出逻辑电平低电压	R _{EXT_PU} = 4.7kΩ		400	mV	
T _{ODLY_H_OD}	低电平至高电平转换延迟时间	R _{EXT_PU} = 4.7kΩ; C _{LOAD} = 50pF ⁽¹⁾		200	μs	
T _{ODLY_L_OD}	高电平至低电平转换延迟时间	R _{EXT_PU} = 4.7kΩ; C _{LOAD} = 50pF ⁽¹⁾		1	μs	
R _{PUOD}	内部上拉电阻	FAULT 引脚; V _{PIN} = 0V	40	100	160	kΩ
逻辑输入						
V _{IH}	逻辑高电平输入阈值		70		% V _{VIO}	
V _{IL}	逻辑低电平输入阈值			30	% V _{VIO}	
T _{IDLY_H}	低电平至高电平转换延迟时间 ⁽¹⁾			40	ns	
T _{IDLY_L}	高电平至低电平转换延迟时间 ⁽¹⁾			40	ns	
R _{PD}	内部下拉电阻	V _{PIN} = 5V	40	100	160	kΩ
R _{PU}	内部上拉电阻	NCS 引脚; V _{PIN} = 0V	40	100	160	kΩ

(1) 设计特定参数。

6.11 振荡器特性

 $V_{CC} = 4.75V$ 至 $5.25V$, $T_A = -40^\circ C$ 至 $+125^\circ C$ (除非另外注明)

参数	测试条件	最小值	典型值	最大值	单位	
f _{OSC_E}	外部振荡器频率	20MHz XTAL; ECLKSEL = H ⁽¹⁾	20		MHz	
f _{OSC_I}	内部振荡器频率		18.4	20	21.6	MHz
E _{OSC}	系统时钟越界阈值	NPOR 置为有效	-30%	40%		
t _{POR}	器件启动时间	自 VDD_UV = L 起 ⁽¹⁾		1.5	ms	

(1) 设计特定参数。

6.12 输出数据接口特性

 在自然通风条件下的工作温度范围内, $V_{IN} = 4.5V$ 至 $5.25V$, $T_A = -40^\circ C$ 至 $+125^\circ C$ (除非另外注明)。

参数	测试条件	最小值	典型值	最大值	单位
并行数字输出 (ORD[11:0])					
RATE _{ORD_DA} TA	并行数据输出速率		10		MHz
t _{ORD_DATA}	并行数据输出更新时间		100		ns

输出数据接口特性 (接下页)

在自然通风条件下的工作温度范围内, $V_{IN} = 4.5V$ 至 $5.25V$, $T_A = -40^{\circ}C$ 至 $+125^{\circ}C$ (除非另外注明)。

参数	测试条件	最小值	典型值	最大值	单位
仿真编码器输出 (OUTA、OUTB、OUTZ、OUTU、OUTV、OUTW、OUTU1、OUTV1 和 OUTW1)					
ABZ _{10BIT_RES}	10 位模式下的 OUTA 和 OUTB 分辨率		256		脉冲/旋转
ABZ _{12BIT_RES}	12 位模式下的 OUTA 和 OUTB 分辨率		1024		脉冲/旋转
ABZ _{OUTZ}	OUTZ 分辨率 (10 位模式或 12 位模式)		1		脉冲/旋转
ABZ _{RPM}	仿真编码器输出支持的最大旋转			200 000	RPM
t _{ABZ}	仿真编码器输出的上升时间和下降时间		160	200	μs
模拟输出监视器					
RES _{MON_DAC}	模拟输出 DAC 分辨率		10		位
V _{MON_DAC}	模拟输出电压范围	0.5		4.5	V

6.13 SPI 接口时序要求

$V_{CC} = 4.75V$ 至 $5.25V$, $T_A = -40^{\circ}C$ 至 $+125^{\circ}C$ (除非另外注明)

参数	测试条件	最小值	标称值	最大值	单位
f _{SPI}	SPI 时钟 (SCLK) 频率	V _{I/O} = 3.3V; C _{SDO} = 50pF; SPI 时钟容差 = ±10%		8	MHz
t _{whigh}	高电平时间: SCLK 逻辑高电平的持续时间	55			ns
t _{wlow}	低电平时间: SCLK 逻辑低电平的持续时间	55			ns
t _{su_cs}	NCS 建立时间: NCS 下降沿和 SCLK 上升沿之间的时间延迟	55			ns
t _{h_cs}	保持时间: SCLK 下降沿和 NCS 上升沿之间的时间	55			ns
t _{pd_soen}	延迟时间: NCS 的下降沿至 SDO 数据有效的延迟			55	ns
t _{pd_sodis}	延迟时间: NCS 上升沿至 SDO 转换为三态的延迟			55	ns
t _{su_si}	SDI 建立时间: SCLK 下降沿前的 SDI 建立时间	15			ns
t _{h_si}	保持时间: SCLK 下降沿和 SDI 有效之间的时间	15			ns
t _{pd_so}	SCLK 上升沿至 SDO 的传播延迟	C _{SDO} = 50pF		45	ns
t _{w_cs}	SPI 传输无效时间 (两次传输之间的时间)。NCS 在此期间必须保持高电平	200			ns

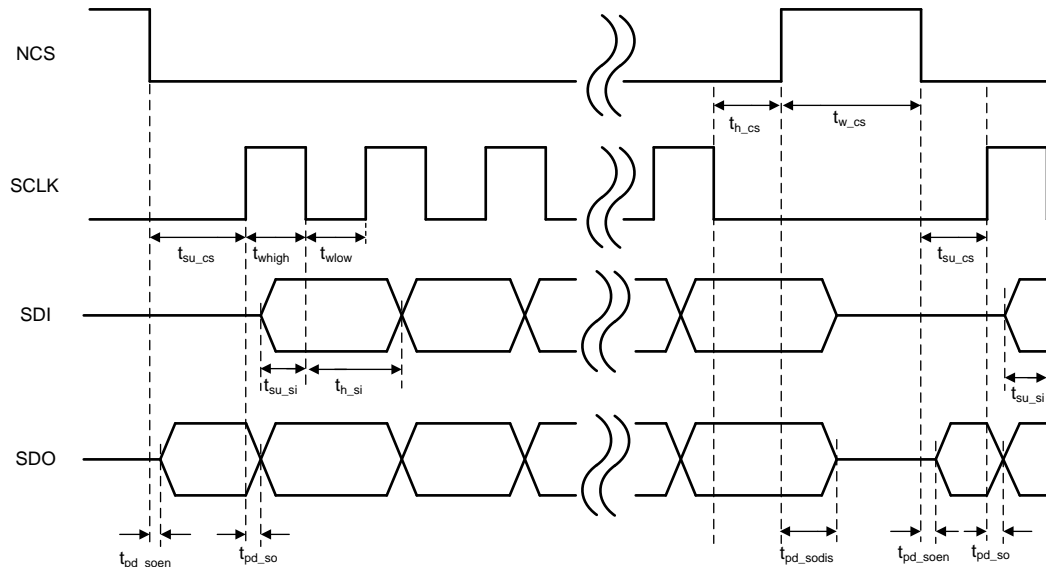


图 1. SPI 时序图

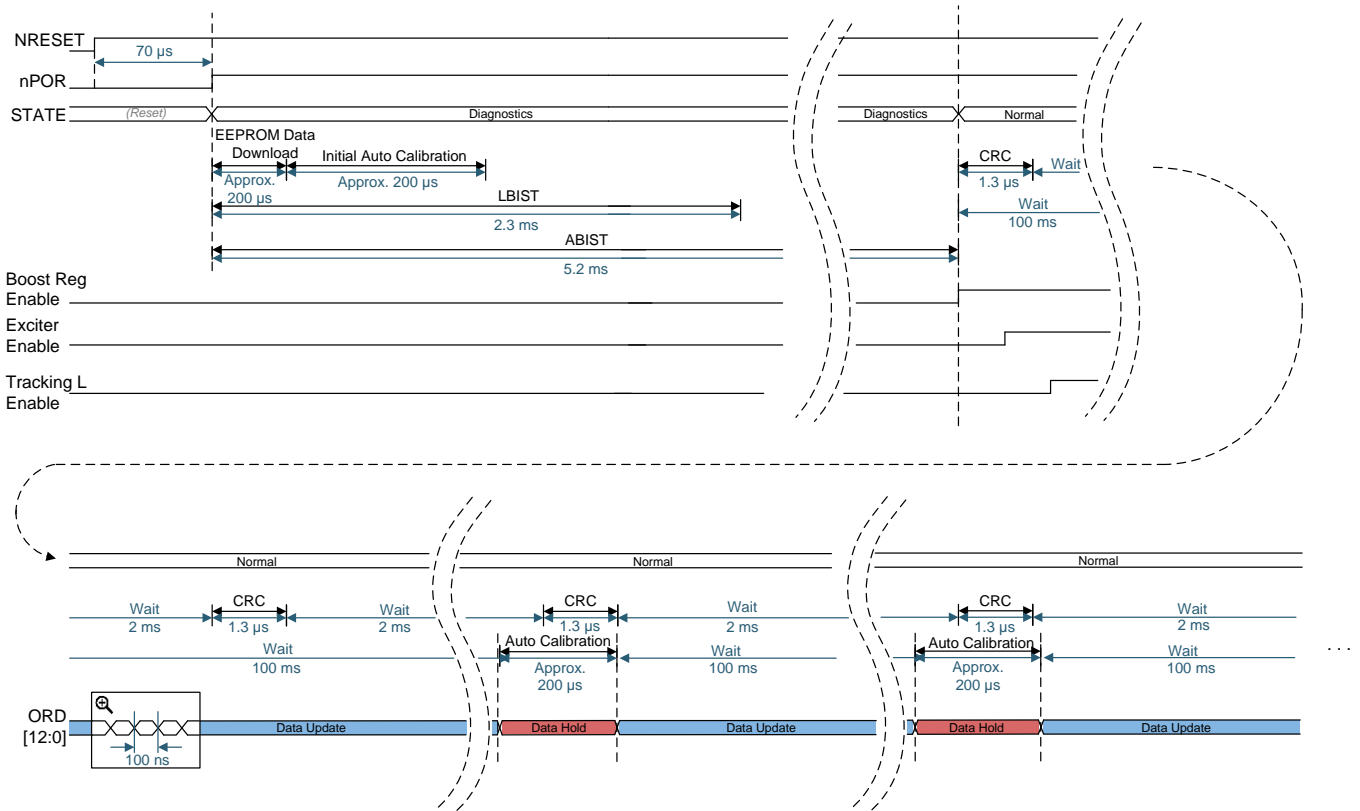
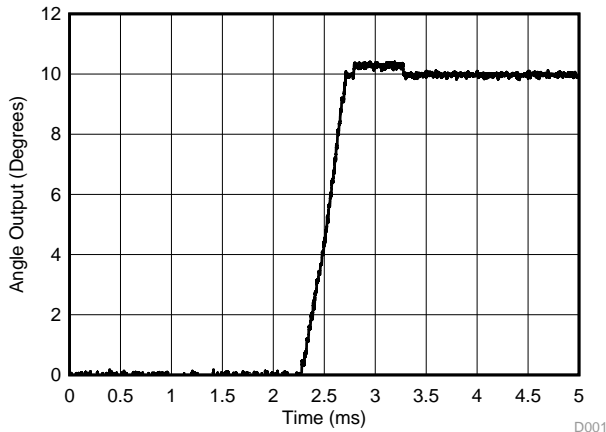


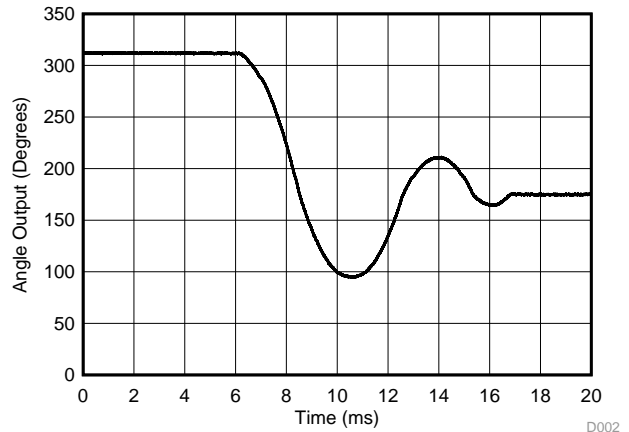
图 2. 上电时序图

6.14 典型特性



AMODE = 0

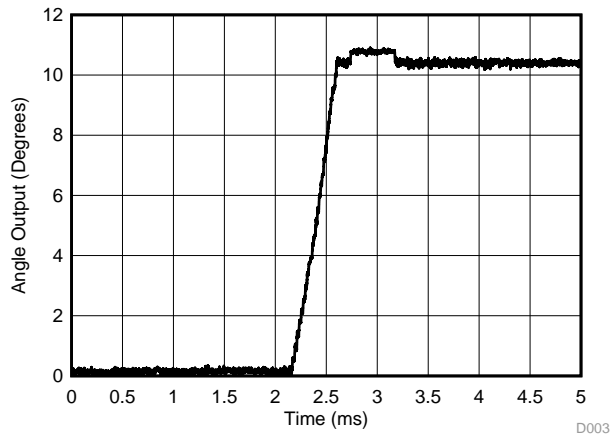
图 3. 10 位模式下的 10° 阶跃响应



AMODE = 0

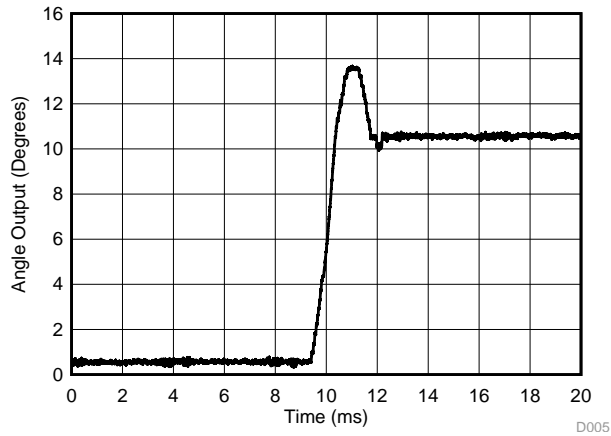
图 4. 10 位模式下的 180° 阶跃响应

典型特性 (接下页)



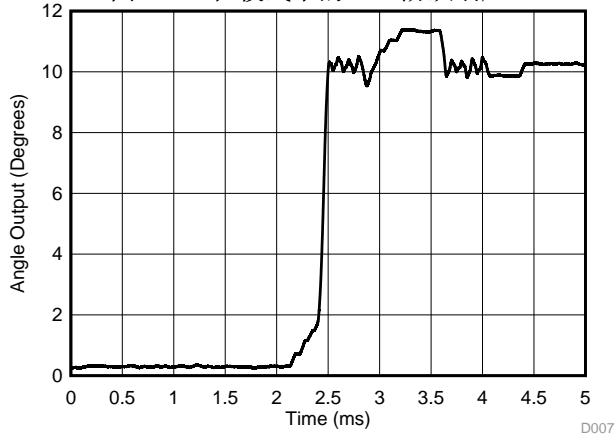
AMODE = 1

图 5.10 位模式下的 10° 阶跃响应



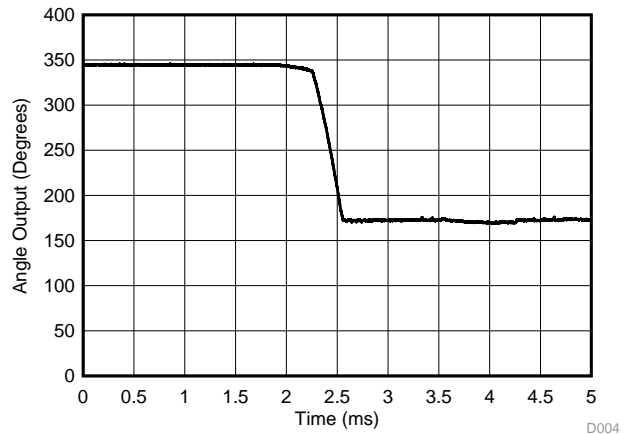
AMODE = 0

图 7.12 位模式下的 10° 阶跃响应



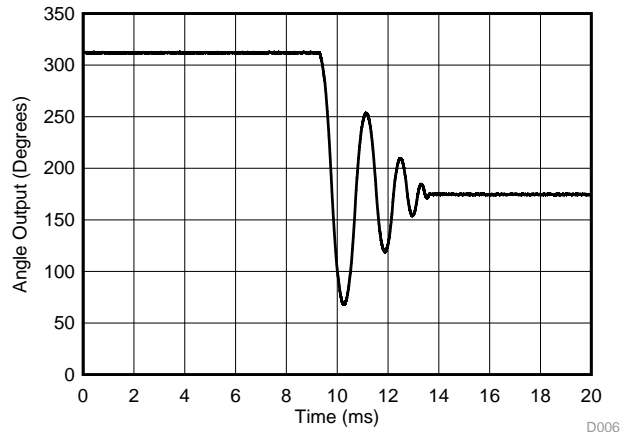
AMODE = 1

图 9.12 位模式下的 10° 阶跃响应



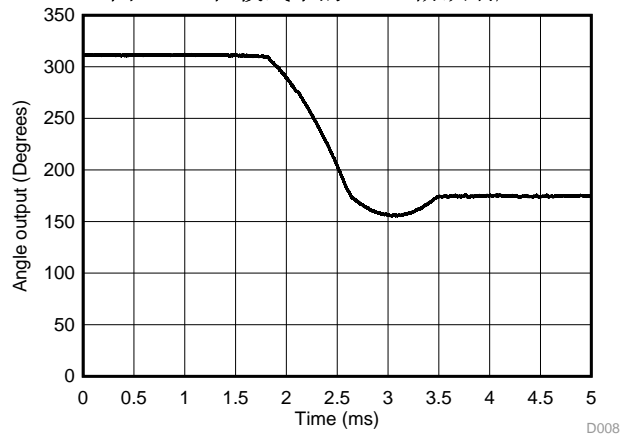
AMODE = 1

图 6.10 位模式下的 180° 阶跃响应



AMODE = 0

图 8.12 位模式下的 180° 阶跃响应



AMODE = 1

图 10.12 位模式下的 180° 阶跃响应

7 详细 说明

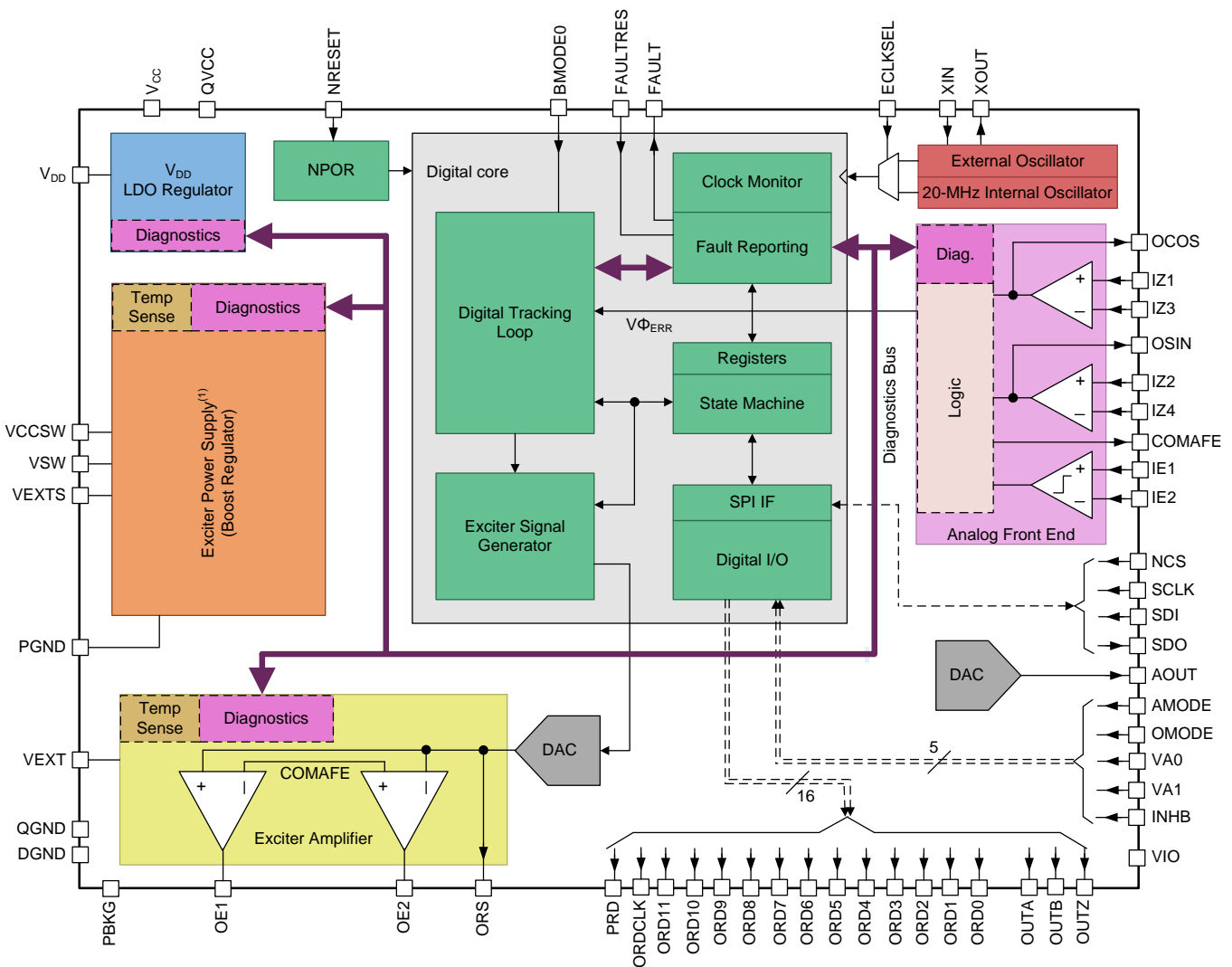
7.1 概述

PGA411-Q1 是一款采用集成激励放大器和升压电源的旋变传感器接口器件。PGA411-Q1 器件可在 10 位或 12 位分辨率下运行。激励的内部升压电源的适用范围为 10V 至 17V。在该电压范围内，激励输出可在 4 V_{RMS} 或 7 V_{RMS} 模式之间调节。集成激励放大器的激励电流最高可达 145mA，其激励频率范围为 10kHz 至 20kHz。

模拟前端 (AFE) 与数字跟踪回路共同执行旋变数字转换器的功能。AFE 使用余弦和正弦信号，通过增益可编程的差分输入放大器将其放大。跟踪回路基于 II 型 Pi 控制器架构，支持器件在 10 位模式下支持高达 200000 RPM 的转速。

器件内部的各模块均具备专用诊断功能来提高故障诊断覆盖率。所有故障状况均可通过配有专用 FAULT 引脚的 SPI 寄存器报告。当检测到系统发生故障时，FAULT 引脚可用于中断微控制器单元 (MCU)。PGA411-Q1 器件具有可编程特性，能够保证其与各种旋变传感器协同工作时的系统灵活性。

7.2 功能框图



7.3 特性描述

7.3.1 激励放大器电源

PGA411-Q1 器件中实现的激励电源由 VCCSW 引脚供电，用于内部驱动器逻辑和纠错，而 VSW 引脚作为开关引脚可产生电压更高的电压轨。上述两引脚可单独连接电源，或在与主器件电源 (V_{CC}) 相连时由同一电源供电。用于稳定回路的反馈引脚 VEXTS 应与激励电源的输出相连。图 11 所示为激励电源（升压稳压器）的框图。

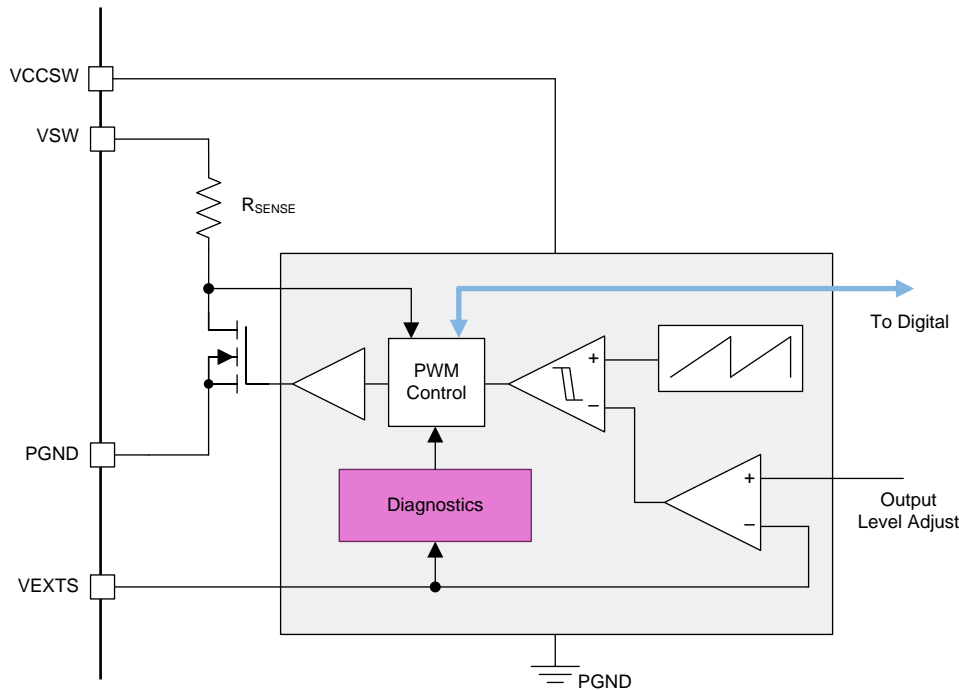


图 11. 激励电源框图

激励电源的开关频率为 414kHz（扩展频谱为 ±10%），输出电压则通过 DEV_CONFIG1 寄存器中的 MODEVEXT 位进行选择。无论采取哪种激励输出模式（4 V_{RMS} 或 7 V_{RMS}）均可调整激励电源，从而获得 10V 至 17V 的输出电压。如果应用需要典型值高于 100mA 的升压电流，则应将 DEV_OVUV4 中的 nBoost_FF 位置 1。该位影响升压稳压器的反馈控制。

要求的 VCCSW 输入电压取决于及当前所用旋变传感器的输出电压设置和电流要求。如果传感器需要高电流和高电压，VCCSW 可能需要比 PGA411-Q1 电源电压的典型值 5V 高。

激励电源诊断分为诊断监视和内部激励电源诊断。

激励电源内部的诊断监视跟踪以下内容：

- 由 DEV_STAT4 寄存器中的 FBSTOV 位报告的输出过压故障。在此故障期间，器件进入 FAULT 状态。FBSTOV 故障的典型值等于选定输出电压标称值的 115%。
- 电源温度。更多相关信息，请参见 [过热保护](#) 部分。

内部激励电源诊断包括以下内容：

- 严重过压 – 禁用激励电源。此故障的典型阈值为输出电压超出选定输出电压标称值 175% 的值。
- 严重欠压 – 禁用激励电源。此故障的典型阈值为输出电压低于选定输出电压标称值 50% 的值。

输出电流限值下限阈值 **600mA** – 立即关闭当前开关周期剩余时间的开关（低侧 FET）。当前周期超时时，该开关继续正常运行。

输出电流限值上限阈值 **2000mA** – 在恢复正常运行前，立即关闭三个连续开关周期的开关（低侧 FET）。如果该状况持续出现并在重试三次后仍然存在问题，则禁用开关并在 2ms 后恢复正常运行。

特性描述 (接下页)

最初启用激励电源时，两电流限值在七个开关周期内屏蔽。

所有诊断均通过时长为 5μs 的去毛刺脉冲操作。

7.3.2 激励信号生成

PGA411-Q1 激励信号路径针对驱动高电感负载（如旋变传感器的激励线圈）进行了优化。信号路径专为 DEV_PHASE_CFG 寄存器中的 EXTMODE 位所选择的 4 V_{RMS} 或 7 V_{RMS} 操作而设计。这些位也是完整激励信号生成路径的主要使能控制位。如果将 EXTMODE 位置为 00 或 11，则激励信号路径禁用，进而导致 PGA411-Q1 器件发出 FAULT 状态信号。激励前置放大器能够调节激励输出信号，以补偿旋变传感器传输比例的变化。此外，激励输出引脚 OE1 和 OE2 得到保护，可免受欠压、过压、相互短路、电池短路、GND 短路及过流故障的影响。其他诊断包括 AFE 中的激励信号监测和过热保护。有关计算激励信号路径输出电压的更多信息，请参见 [详细设计流程](#) 一节。

图 12 所示为由三个主要模块组成的激励信号生成电路。

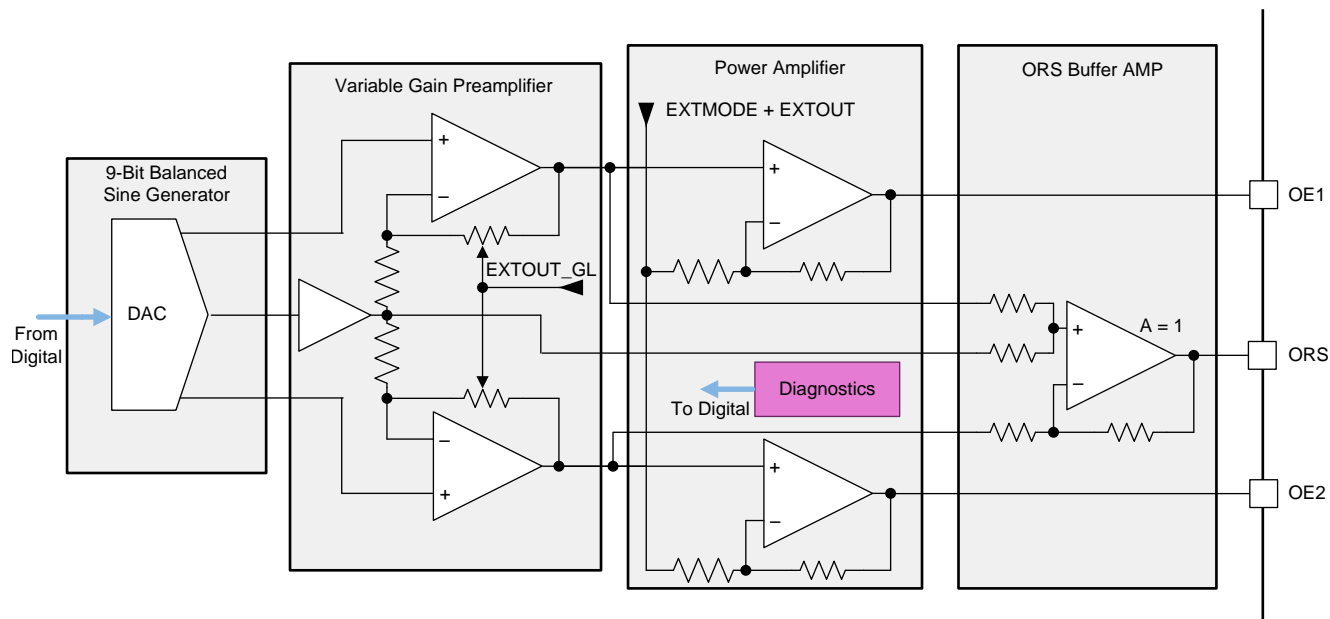


图 12. 激励信号生成电路

7.3.2.1 激励信号发生器

通过读取器件存储器中存储的数字正弦波可生成激励信号，然后通过以差分方式进行均衡的 9 位 DAC 生成差分模拟激励信号。激励频率信号介于 10kHz 至 20kHz 之间，可通过 DEV_CONFIG1 寄存器中的 SELFEXT 位进行选择。有关计算激励时钟的更多信息，请参见 [时钟生成](#) 一节。

7.3.2.2 激励信号前置放大器

以差分方式进行均衡的前置放大器将激励信号调节到适当水平，从而进一步进行输出放大。在前置放大器模块中，可以调节激励信号的放大水平，同时通过 COMAFE 引脚的电压（典型值为 2.5V）定义共模电压。如图 13 所示，前置放大器增益可通过 DEV_OVUV1 寄存器中的 EXTOUT_GL 位进行选择，同时影响前置放大器 ORS 输出和功率放大器输出。

特性描述 (接下页)

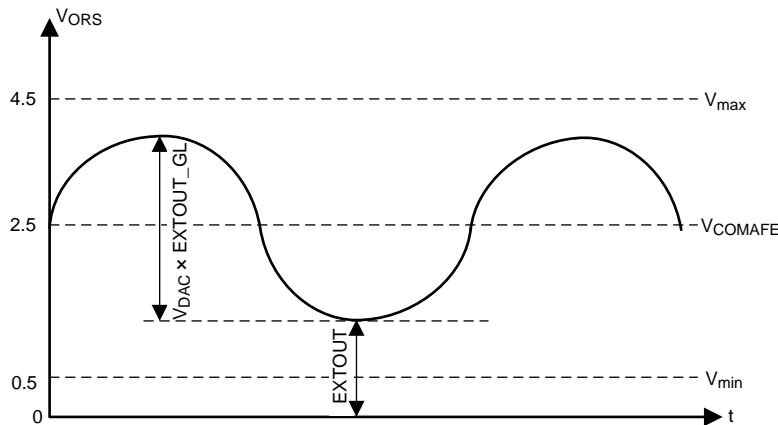


图 13. 激励前置放大器增益

对于信号监测或不同的激励拓扑，PGA411-Q1 器件的 ORS 引脚输出激励前置放大器的输出信号。输出电压以 COMAFE 引脚的电压为基准。外部功率放大器（如 ALM2402-Q1）可与 ORS 引脚相连，从而驱动电流极大的传感器。

激励前置放大器的 ORS 输出可通过 DEV_OVUV2 寄存器中 XEXT_AMP 位进行控制。如果此位置为 1，则会选择外部放大器模式。这将使能 ORS 输出并禁用内部输出功率放大器。但此位默认置为 0。这意味着禁用 ORS 输出并使能内部输出功率放大器。

7.3.2.3 激励输出功率放大器

内部输出功率放大器由两个输入独立反向的相同 AB 类放大器单元组成，构成桥接负载 (BTL) 输出拓扑。旋变传感器的激励线圈与功率放大器的输出相连（实际位于 OE1 与 OE2 引脚之间）。

激励功率放大器由 VEXT 和 GND 引脚供电。在任何情况下，施加的电压都不应超过上述引脚的最大额定电压。

为避免输出饱和（削波），功率放大器可发生共模偏移。偏移量由 DEV_PHASE_CFG 寄存器中的 EXTOUT 位在 0.5V 至 2V 的电压限值范围内进行调节。该范围表示下裕量电压或 OE1 或 OE2 引脚的最低输出电压摆幅。图 14 所示为共模偏移（下裕量调节）。

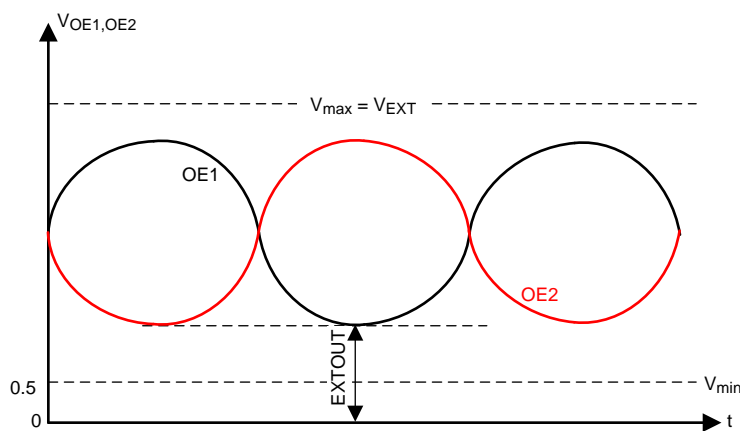


图 14. 激励功率放大器共模偏移调节

有关激励功率放大器的诊断监测，请参见 [诊断监视器](#) 一节。

特性描述 (接下页)

7.3.3 模拟前端

PGA411-Q1 器件中的 AFE 与跟踪回路共同执行旋变数字转换器 (RDC) 功能。AFE 模块与旋变传感器的正弦和余弦线圈相连，正弦信号 (IZ2 和 IZ4) 和余弦信号 (IZ1 和 IZ3) 在其中由增益可变的差分输入放大器放大。增益量可分别通过 DEV_AFE_CFG 寄存器中的 SINGAIN 和 COSGAIN 位确定。所选择增益可介于 0.75 至 3.5 之间。为实现最佳精度性能，根据 OSIN 和 OCOS 引脚的测量结果，德州仪器 (TI) 建议 IZx 差分电压 (V_{PP}) 应介于 600 mV_{PP} 和 1.5 V_{PP} 之间。为了优化该信号，可调节增益设置 GAIN SIN 与 GAIN COS SPI。例如，如果 IZx 引脚的输入电压介于 800 mV_{PP} 与 2 V_{PP} 之间，设定增益 GAIN SIN = GAIN COS = 0.75，OSIN 和 OCOS 引脚的 V_{PP} 可实现介于 600 mV_{PP} 至 1.5 V_{PP} 之间的最优电压。要求 IEx 与 IZx 引脚的单端电压介于 0.5V 至 4.5V 之间。

IE1 与 IE2 输入用于监测并诊断激励信号，同时也用作激励信号路径的反馈。相位偏移校正电路也使用此激励监测电路，以便检测激励信号与跟踪回路中的正弦和余弦信号并使二者实现同步。

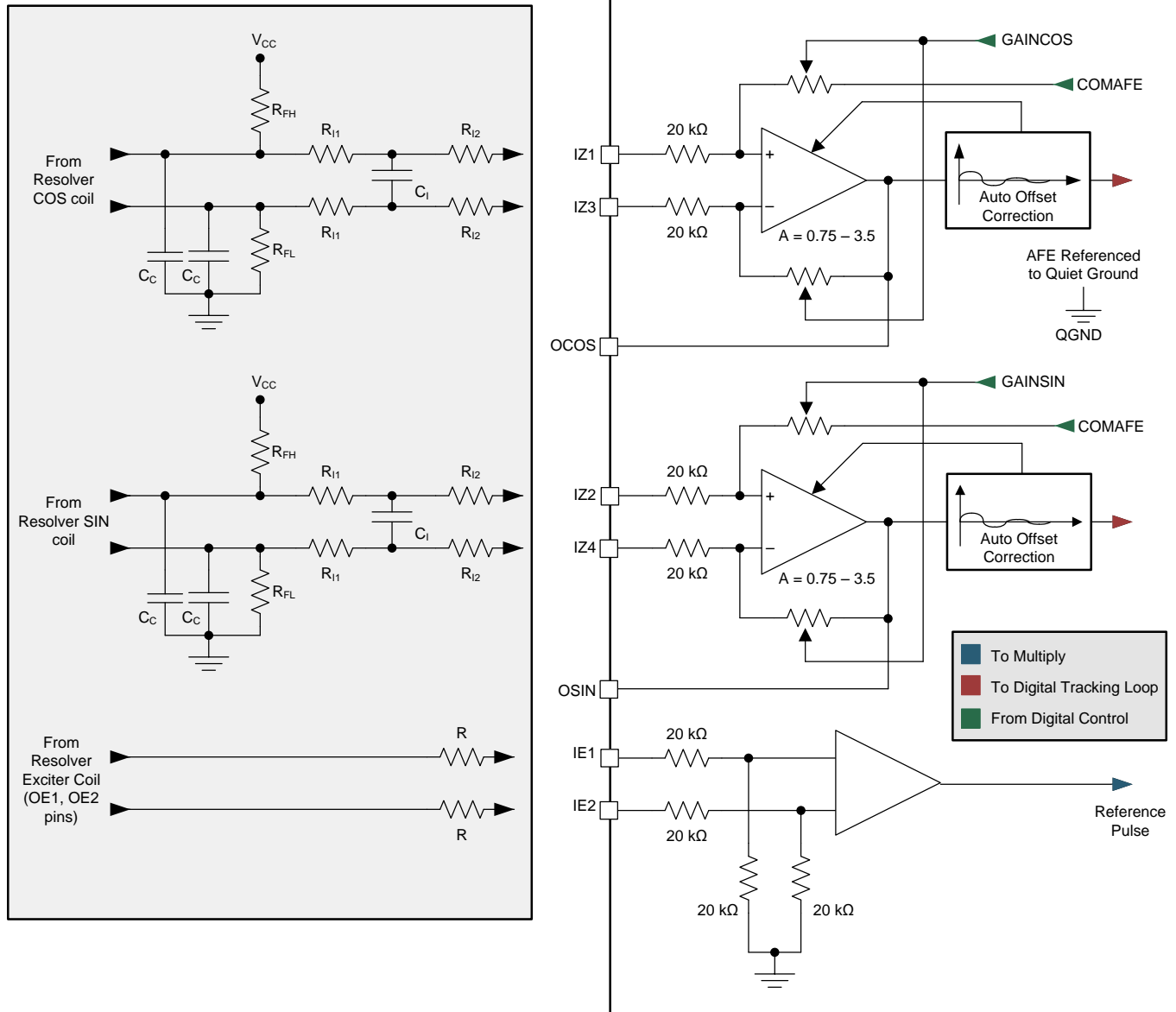
如需对输入信号额外进行放大或衰减以及滤波，可实现图 15 所示的外部电路。有关外部组件值的选择，请参见 [详细设计流程](#) 一节。

注

AFE 以稳定接地引脚 (QGND) 为基准并由稳定电压电源引脚 (QVCC) 供电。使用 V_{CC} 为器件供电实现正常运行的同时，必须提高对 QVCC 引脚施加的电压。德州仪器 (TI) 建议使用附加局部电容将 QVCC 与 V_{CC} 相连，进一步滤除引入的噪声。

对于外部信号监控，PGA411-Q1 器件会在专用的 OSIN 与 OCOS 引脚输出放大后的正弦及余弦信号。上述输出引脚以 COMAFE 引脚为基准。

特性描述 (接下页)



- R_{IX} 增益设置电阻
- C_I 输入电容
- R_{FH} 和 R_{FL} 开路故障电阻
- C_C 共模电容

图 15. PGA411-Q1 模拟前端

7.3.4 跟踪回路

图 16 所示为 AFE 中的模拟乘法和减法电路部分。该部分与图 17 所示的数字跟踪回路共同构成提取 PGA411-Q1 器件所测角度值的负反馈回路。而在模拟形式下，输入的正弦和余弦信号与数字跟踪回路提供的反馈正弦和余弦信号相乘。减去相乘的信号后，随即产生控制偏差电压信号 $V_{\Phi_{ERR}}$ 。此信号可通过比较器转换为数字形式 ϵ_{PULSE} 并馈入数字跟踪回路。

特性描述 (接下页)

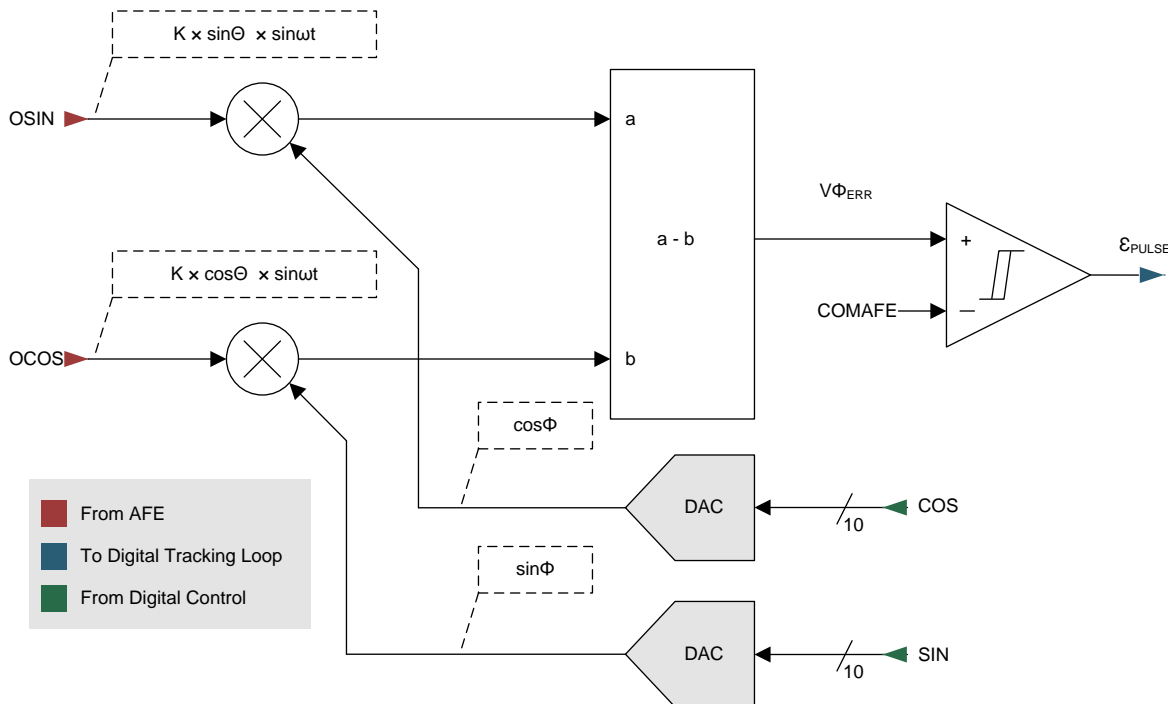


图 16. 模拟乘法和减法

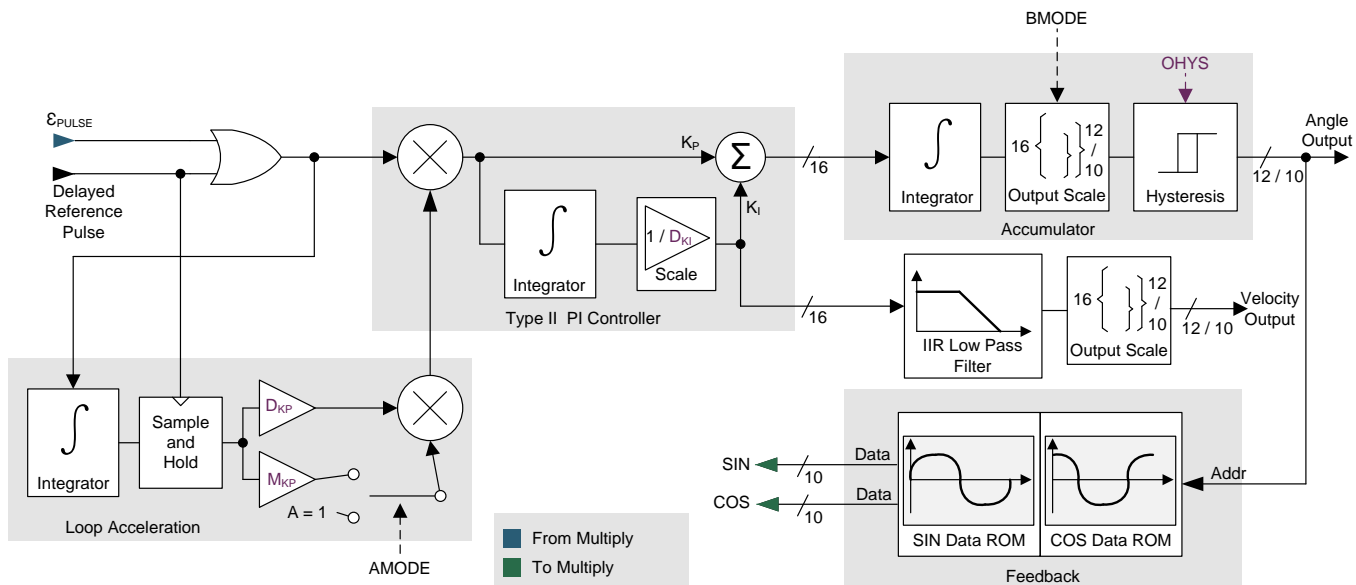


图 17. 数字跟踪回路

特性描述 (接下页)

在较高角加速度的作用下，回路加速模块有助于改善跟踪回路的动态性能。PGA411-Q1 器件通过 AMODE 引脚实现了可配置回路加速模块以及外部使能控制。如果 AMODE 引脚处于低电平，跟踪回路在正常模式下运行，回路加速度参数 D_{KP} 仍能配置。通过更改 DEV_TLOOP_CFG 寄存器中的 D_{KP} 参数值，跟踪回路数据始终与 D_{KP} 参数相乘，从而定义所有操作点的回路加速度和稳定时间。如果 AMODE 引脚处于高电平，跟踪回路数据与 D_{KP} 和 M_{KP} 参数相乘（在 DEV_TLOOP_CFG 寄存器中设置），直至回路稳定运行。角度将随之更新为新值，回路恢复到仅使用 D_{KP} 乘法器的正常运行模式。

这种跟踪加速模式的优点是：在加速度再次发生变化或基于任何原因而导致回路变得不稳定前，跟踪回路能够在回路处于稳定状态时禁用 M_{KP} 乘法器并使用 D_{KP} 参数继续运行。因此，如果使用加速模式，回路的稳定时间会显著降低。图 18 所示为回路加速的影响。

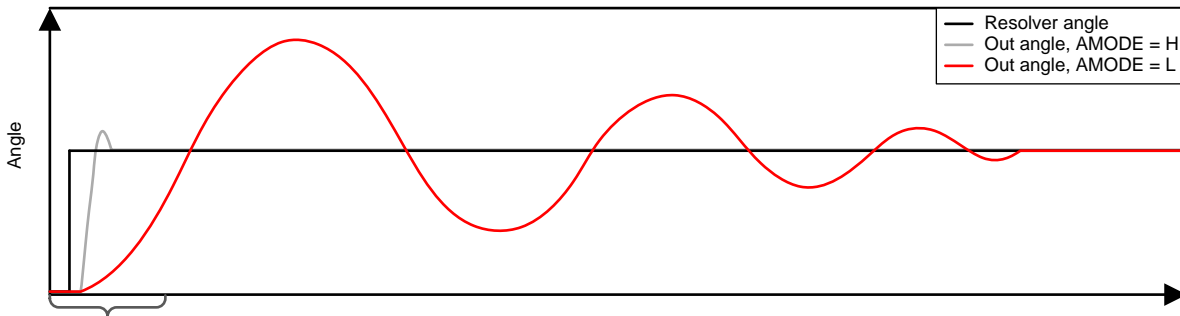


图 18. 加速模式的影响

II 型 PI 控制器将同步 ϵ_{PULSE} 信号推断为比例项和积分项，以便进一步分析角度数据和速度数据的提取位置。PI 控制器同时将跟踪回路调整为最优值，以实现稳定性。如果 PI 控制器参数选择不当或输入跟踪速率过高，PI 控制器将变得不稳定。此类情况下的输出数据不稳定（伴随或不伴随振荡），必须将其忽略。此外，跟踪回路中的不稳定性会导致模拟 $V\Phi_{ERR}$ 偏差信号超出某一稳定性限值。为了诊断跟踪回路的不稳定性，FLOOPE 故障标志可监测 $V\Phi_{ERR}$ 偏差信号。如果该值超出限值，表明回路运行不稳定。有关回路信号传输不稳定性的更多信息，请参见故障报告一节。在 DEV_TLOOP_CFG 寄存器中设置 D_{KI} 参数，可调整 PI 控制器中的积分时间常数。将积分时间常数设置为较大值，可以在减少纹波的同时提供更稳定的数据输出；然而，跟踪回路在转速较高的情况下存在饱和风险，可能会观察到错误的速度输出值。

为保证累加器内部输出正确数据，针对输出数据进行了格式化。PGA411-Q1 器件的输出分辨率也可通过 BMODE0 引脚进行选择。如果 BMODE0 引脚处于低电平 (DGND)，则器件在 10 位模式下运行。输出数据介于 0 至 1023 范围内。选择并行输出模式后，可从 ORD9 至 ORD0 引脚获取输出数据。如果 BMODE0 引脚处于低电平 (VIO)，则器件在 12 位模式下运行。输出数据范围介于 0 至 4095 范围内。选择并行输出模式后，可从 ORD11 至 ORD0 引脚获取输出数据。输出速度信息前，该数据通过带有截止频率的一阶 IIR 低通滤波器进行滤波。利用公式 1 可计算截止频率。

$$f(-3\text{ dB}) = \frac{0.000078 \times f_{\text{clk}}}{2} \text{ (Hz)}$$

其中

- f_{clk} 为器件时钟频率（典型值为 20MHz） (1)

有关输出数据格式的更多信息，请参见输出数据接口一节。

7.3.4.1 旋变数字转换器的工作原理

旋变数字转换器的工作原理可总结为输入正弦和余弦调制信号承载旋变传感器角度信息 Θ 。利用公式 2 和公式 3 可计算正弦和余弦调制信号值。

特性描述 (接下页)

$$V_{OSIN} = K \times \sin\theta \times \sin\omega t \tag{2}$$

$$V_{OCOS} = K \times \cos\theta \times \sin\omega t \tag{3}$$

数字跟踪回路的输出提供角度输出 φ ，而反馈电路（包括正弦和余弦 ROM 值表以及 10 位 DAC）提供返回模拟乘法模块的 $\sin\varphi$ 和 $\cos\varphi$ 信号。执行上述乘法运算后，利用公式 4 和公式 5 可计算输出 a 和 b 的值。

$$a = K \times (\cos\theta \times \sin\varphi) \times \sin\omega t \tag{4}$$

$$b = K \times (\sin\theta \times \cos\varphi) \times \sin\omega t \tag{5}$$

b 与 a 相减后，使用公式 6 计算 $V_{\varphi ERR}$ 信号值。

$$V_{\varphi ERR} = b - a = K \times (\sin\theta \times \cos\varphi - \cos\theta \times \sin\varphi) \times \sin\omega t \tag{6}$$

进一步降低数字跟踪回路内部的信号路径后，将对 $V_{\varphi ERR}$ 信号进行解调，具体计算方法如下：

$$K \times (\sin\theta \times \cos\varphi - \cos\theta \times \sin\varphi) = K \times \sin(\theta - \varphi) = K \times (\theta - \varphi), \text{ 适用于 } (\theta - \varphi) \text{ 值较小的情况。} \tag{7}$$

表达式 $K \times (\theta - \varphi)$ 表示输入的旋变传感器角度 θ 与 RDC 角度输出值 φ 之间的角度误差。RDC 跟踪回路在给定的任意时间内均可保持稳定状态，这意味着 $K \times (\theta - \varphi) \rightarrow 0$ 并且 $V_{\varphi ERR} \rightarrow 0$ 。如公式 8 所示，如果 RDC 回路处于稳定状态并对旋变传感器角度进行跟踪，RDC 输出角度值 φ 等于旋变传感器的实际角度 θ 。

$$K \times (\theta - \varphi) = 0 \geq \theta = \varphi \tag{8}$$

为了进行诊断，应监测 PGA411-Q1 跟踪回路内部的 $V_{\varphi ERR}$ 信号，以检测跟踪回路内的跟踪损耗。更多相关信息，请参见 [诊断监视器](#) 部分。

7.3.5 自动偏移校正

考虑到旋变数字转换器的测量拓扑，适当调节输入正弦和余弦信号至关重要。因此，PGA411-Q1 器件实现了自动偏移校正功能，可校正内部 AFE 的偏移漂移，去除放大过程产生的偏移漂移。测量偏移漂移电压并向 AFE 放大器的负输入与 ϵ_{PULSE} 比较器施加等量偏移，可去除产生的驱动。校准操作在输入短在一起后开始执行并通过比较器传输馈入数字逻辑电路的信号。根据比较器的输出，数字逻辑检查由比较器状态所确定方向上的偏移校正值。当比较器监测到偏移电压状态发生变化时，校准扫描的方向随之发生变化。这意味着比较器在偏移最小时开始切换输出状态。该切换操作表明偏移校准正确无误。随即完成自动偏移过程。图 19 所示为 AFE 放大器校准电路框图。

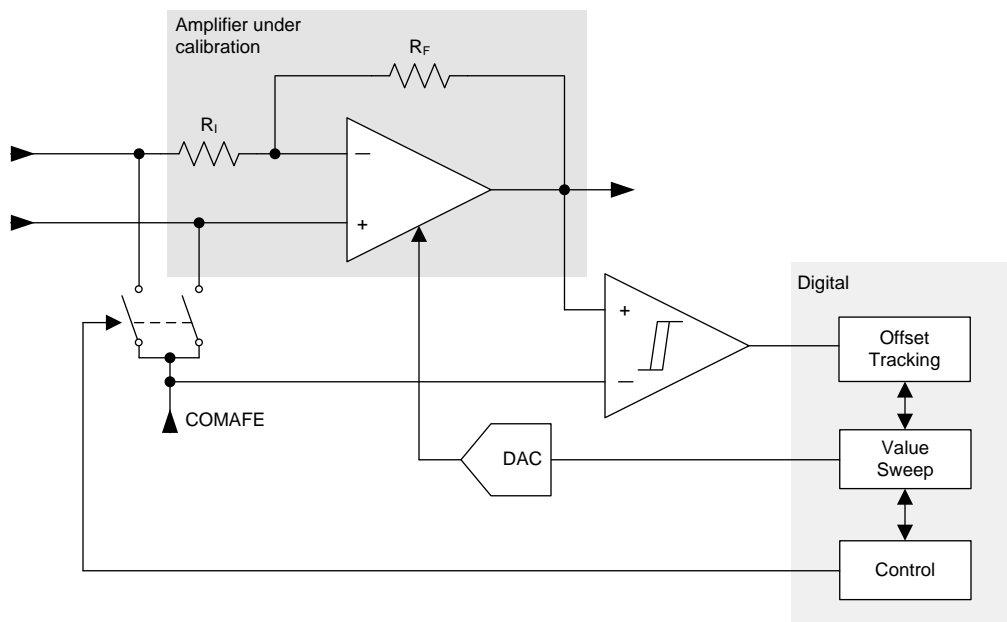


图 19. 放大器自动偏移校准

特性描述 (接下页)

完成 AFE 偏移校准后，继续校准正弦和余弦 DAC 放大器及 ϵ_{PULSE} 比较器偏移漂移的偏移，具体方法与 AFE 放大器偏移漂移的校准方法相同。

每次上电后进入 DIAGNOSTICS 状态时，器件进行偏移校正；当器件处于 NORMAL 工作状态，每隔 100ms 进行偏移校正。该调节过程的时长介于 200 μ s 至 400 μ s 范围内。DEV_STAT7 寄存器中的故障标志 FA FECAL 指示校准出错。有关自动偏移校正过程的更多信息，请参见图 20。

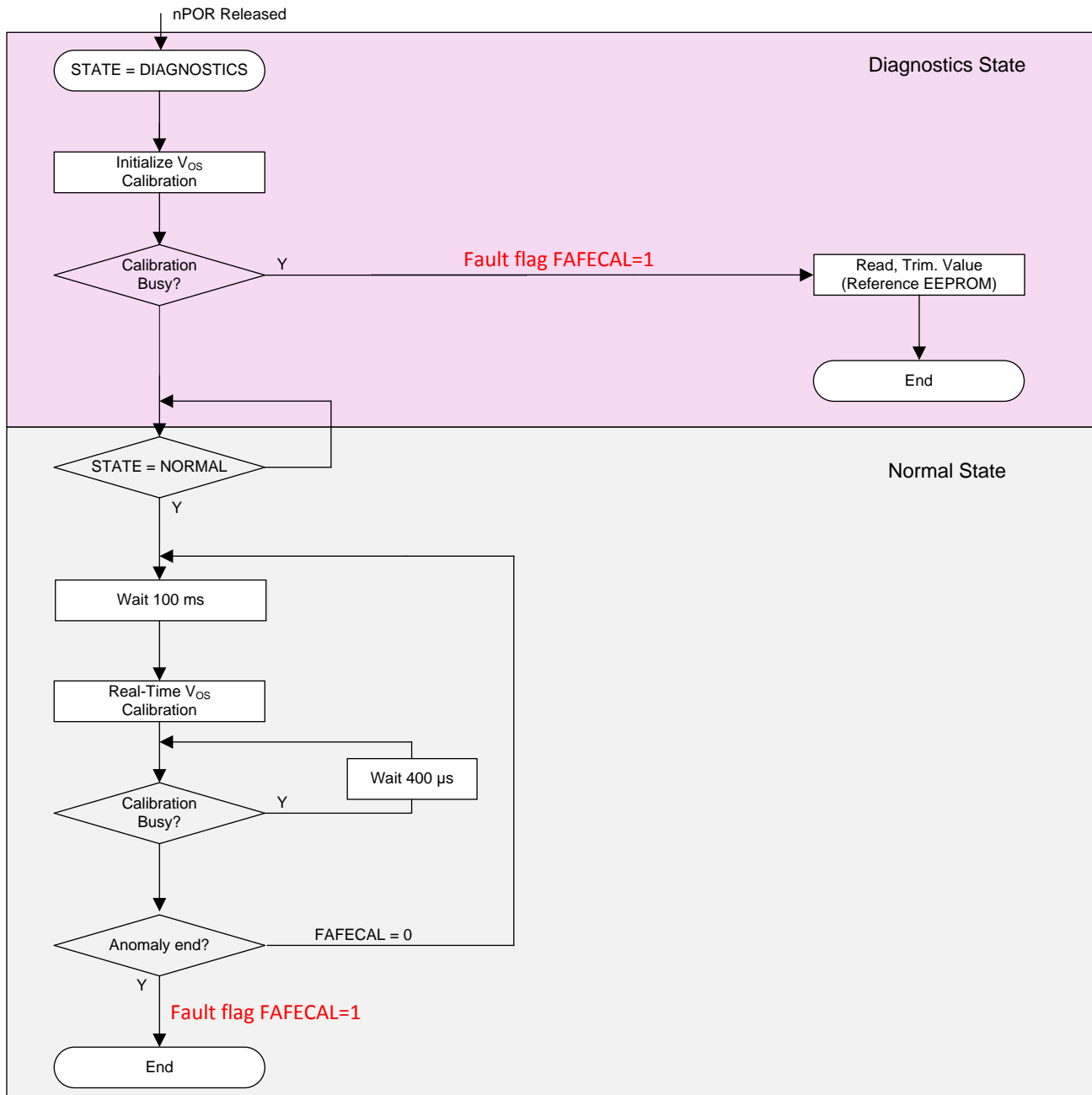


图 20. 自动输入偏移校正功能流程

特性描述 (接下页)

注

在自动偏移校正过程中，PGA411-Q1 器件输出在上述过程开始前保持最后一个正常值。

7.3.6 相位偏移校正

为了对跟踪回路中的 $V_{\phi ERR}$ 信号进行正确解调，AFE 激励信号监视器（IE1 引脚和 IE2 引脚）给内部提供了一个激励基准脉冲。该基准脉冲必须与由正弦和余弦输入信号相位决定的 $V_{\phi ERR}$ 相位同相。

正弦 (IZ2/IZ4) 和余弦 (IZ1/IZ3) 输入中的旋变传感器线圈阻抗与滤波器电容相结合，可能导致基准脉冲与正弦或余弦输入信号之间产生相位延迟。如果相移过大，可能导致跟踪回路不稳定以及旋变数字转换器的角度数据出错。PGA411-Q1 实现了相位偏移校正电路，可校正基准脉冲的位置并消除相位失配问题。

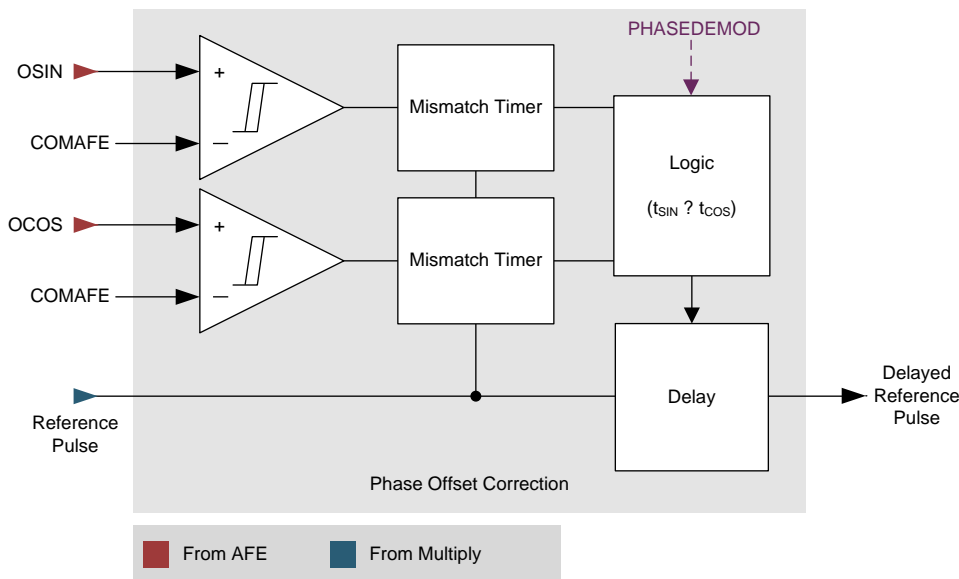


图 21. PGA411-Q1 相位偏移校正

相位偏移校正电路具有两种工作模式：自动模式相位延迟与手动模式相位延迟。表 1 列出了选择每种模式的 PDEN 与 APEN 位值 (DEV_PHASE_CFG)。

表 1. 相位延迟设置

PDEN	APEN	功能
0	0	基准脉冲无相位延迟
0	1	自动模式相位延迟
1	0	手动模式相位延迟
1	1	

7.3.6.1 手动模式

基准脉冲的相位延迟可以通过 DEV_PHASE_CFG 寄存器中的 PHASEDEMODO 字节进行设置。该设置值以时间（微秒）表示。该延迟可在 $-12.4\mu s$ 至 $+12.4\mu s$ 范围内进行调节（步长为 $0.4\mu s$ ）。

使用公式 9 计算相位延迟的角度值。

$$\text{相位延迟 (度)} = 360 \times \text{相位延时 (s)} \times \text{激励频率 (Hz)} \tag{9}$$

使用公式 9，计算得出的 10kHz 激励频率对应的手动相位调节范围为 -44.5 度至 $+44.5$ 度（步长为 1.44 度）；20kHz 激励频率对应的调节范围为 -89.2 度至 $+89.2$ 度（步长为 2.88 度）。

7.3.6.2 自动模式

在自动模式下，正弦与余弦输入信号的相位延迟通过与基准脉冲保持同步的失配定时器测量。此后，将较高测量值作为延迟施加于输入基准脉冲。

只要激励频率介于 10kHz 至 20kHz 范围内，即可保证自动相位调节范围为 -89.2 度至 89.2 度。100ns 的调节步长在 10kHz 激励频率下可提供 0.36 度的角度步长；在 20kHz 激励频率下可提供 0.72 度的角度步长。

7.3.6.3 诊断监视器

PGA411-Q1 诊断监视器跟踪旋变传感器（正弦和余弦线圈）传入的多个信号以及馈入旋变传感器（激励线圈）的信号。如有任何信号偏离了分配的阈值，诊断监视器会向 SPI 寄存器中的指定标志报告故障信号。PGA411-Q1 器件与故障报告和数字状态机相结合，可通过 FAULT 引脚报告这些故障或相应地禁止特定模块，避免系统发生已知故障。

注

启用激励后，应将激励诊断禁用 10ms。

7.3.6.3.1 模拟前端 (AFE) 诊断

AFE 诊断监视器跟踪由旋变传感器的正弦和余弦线圈馈入 PGA411-Q1 器件的信号。该跟踪操作通过监视 IZx（其中 x = 1 至 4）信号和用于监视正弦线圈（IZ2 至 IZ4）故障的 OSIN 输出以及用于监视余弦线圈（IZ1 至 IZ3）故障的 OCOS 输出来完成。此外，如[跟踪回路](#)一节所述，通过监视 V_{ΦERR} 信号，以确保跟踪回路保持稳定状态并执行跟踪。

由于输入信号呈对称状态并且在共模电压（由 COMAFE 定义）附近波动，多数 AFE 故障监视器包含一个高阈值和一个低阈值设置。因此，这两个阈值电平可针对某些故障进行定义，同时针对监视高电平及低电平信号峰值限值的某些信号定义两个过压保护故障。

监视的 AFE 系统故障包括：

- 输入接地短路或输入电池短路
- 输入相互短路
- 输入开路
- 跟踪回路稳定性
- 信号完整性检查
- 激励输出开路

图 22 所示为针对列出的其中四个故障而实现的诊断电路。

注

AFE 诊断要求 VEXT 引脚至少提供 5V 电源电压。

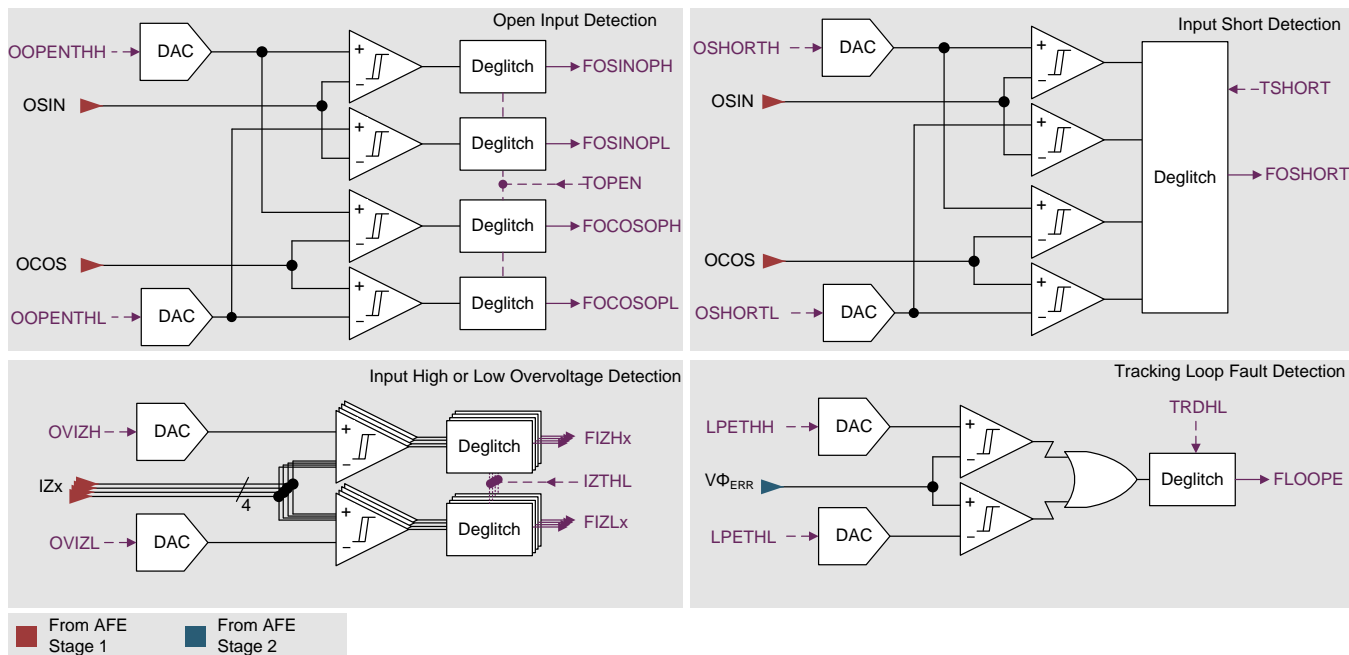


图 22. 输入开路、输入短路、输入故障及回路稳定性诊断的实现

除图 22 外，图 23 同样给出了相同的四个诊断以及各自的 SPI 可调节阈值。图 23 还显示了在小于去毛刺脉冲特定时限的时间内超出所有阈值电平的正确正弦信号，因此未触发故障条件。

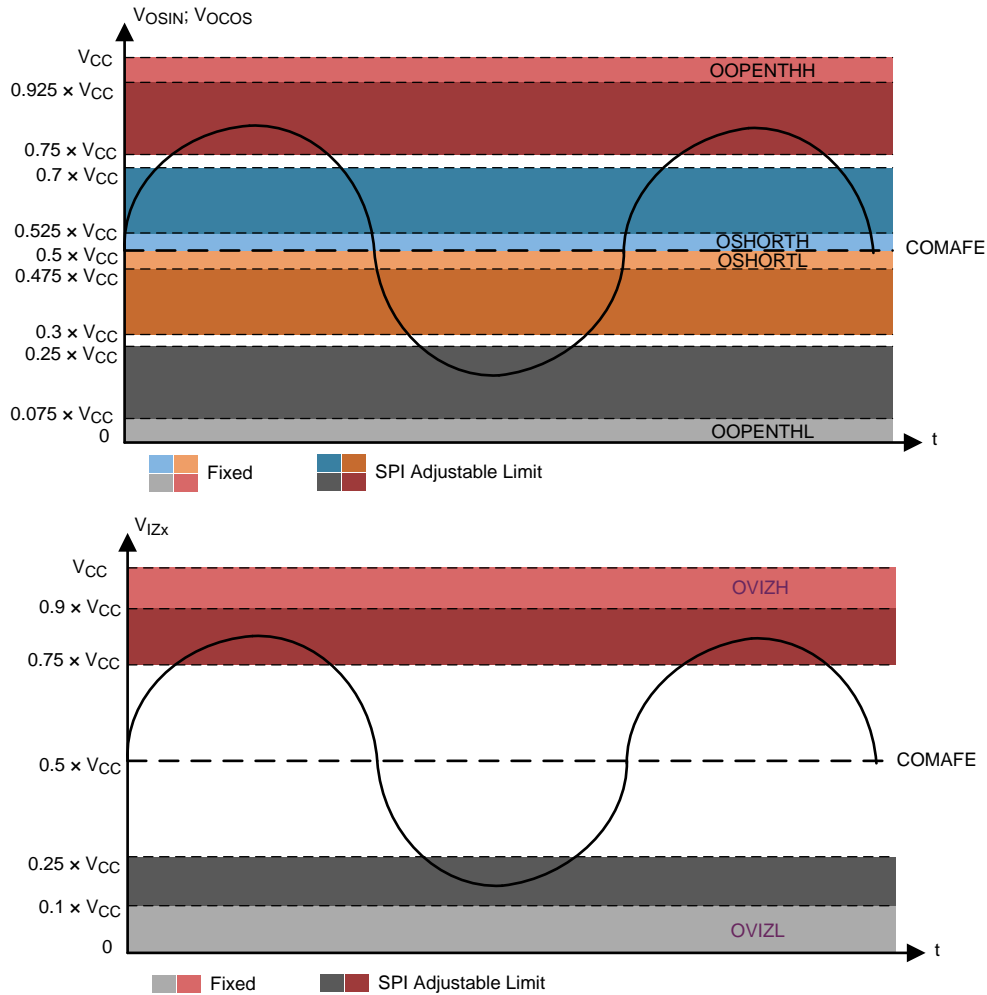


图 23. 输入开路、输入短路及输入故障诊断阈值电平

7.3.6.3.1.1 输入接地短路或输入电池短路

此故障通过单独监视 I_{Zx} 输入端是否发生正过压和负过压。上述阈值通过 DEV_OVUV3 寄存器中的 $OVIZH$ 和 $OVIZL$ 位定义，而故障通过 DEV_STAT3 寄存器中的 $FIZHx$ 和 $FIZLx$ 标志（其中 $x=1$ 至 4 ）报告。相互去毛刺脉冲时间延迟由 DEV_OVUV6 寄存器中的 $IZTHL$ 位定义。

7.3.6.3.1.2 输入相互短路

该故障通过独立监视 $OSIN$ 与 $OCOS$ 输出进行监视。输入相互短路的阈值可通过 DEV_OVUV1 寄存器中的 $OSHORTH$ 与 $OSHORTL$ 位进行设定，而去毛刺脉冲时间延迟通过 DEV_OVUV4 寄存器中的 $TSHORT$ 位进行定义。该诊断的故障标志为 DEV_STAT1 寄存器中的 $FOSHORT$ 位。

7.3.6.3.1.3 输入开路

该故障通过独立监视 $OSIN$ 与 $OCOS$ 输出进行监视。输入开路监视的阈值可通过 DEV_OVUV3 寄存器中的 $OOPENTHH$ 和 $OOPENTHL$ 位进行设定，而去毛刺脉冲时间通过 DEV_OVUV5 寄存器中的 $TOPEN$ 位进行定义。开路输入的故障标志分别为 DEV_STAT1 寄存器中的 $FOSINOPH$ 、 $FOSINOPL$ 、 $FOCOSOPH$ 及 $FOCOSOPL$ 。

如图 15 所示，仅当 IZx 输入为外部直流偏置才可以进行开路输入诊断，原因是在输入开路的情况下，输入引脚保持悬空，上拉或下拉电阻将 IZ1 和 IZ2 引脚状态设为 V_{CC} 或将 IZ3 和 IZ4 引脚状态设为 GND。按之前所述方式设置引脚会导致 OSIN 和 OCOS 输出（监测两输出以检测输入开路）摆动到 V_{CC} 或 GND，同时超出开路输入阈值电平的持续时间超过去毛刺脉冲冲时间。

7.3.6.3.1.4 跟踪回路稳定性

该故障利用高电平阈值限值位 LPETHH 与低电平阈值限值位 LPETHL 设置的阈值监视 V_{ΦERR} 信号。去毛刺脉冲冲时间延迟通过 TRDHL 位确定，而 FLOOPE 故障标志报告该故障。

7.3.6.3.1.5 信号完整性检查

该故障采用与输入接地短路或输入电池短路诊断相同的方法监视 IZx 引脚（其中 x =1 至 4），同时这些引脚通过在 DEV_OVUV2 寄存器中设定的 DVMSENH 和 DVMSENL 阈值电平以及 5μs 固定去毛刺脉冲滤波时间进行控制。与此故障不同，这些电平是固定电压电平，与 V_{CC} 引脚电压无关。该诊断的标志为 DEV_STAT3 寄存器中的 OMIZxH 和 OMIZxL。图 24 所示为信号完整性检查的实现以及 SPI 可调节电平。

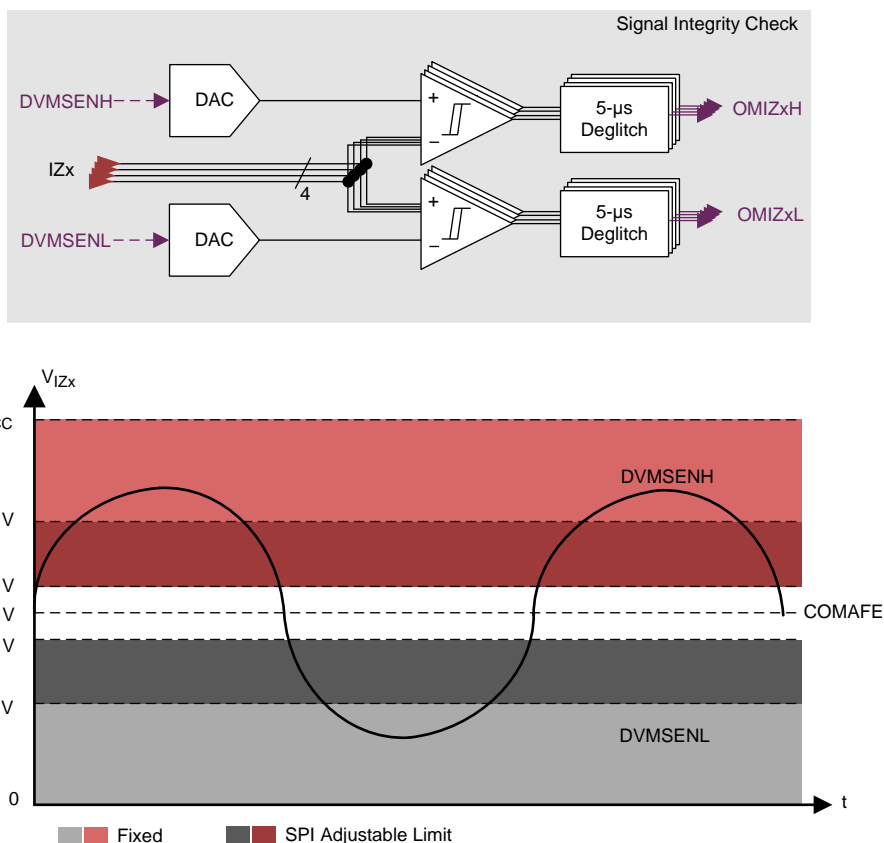


图 24. 信号完整性检查的实现以及 SPI 可调节阈值

7.3.6.3.1.6 激励监视

该诊断采用 [模拟前端](#) 章节介绍的激励监视电路来跟踪激励基准脉冲的占空比。在器件正常运行过程中，基准脉冲的占空比均为 50%，与激励频率无关。在 OE1 或 OE2 输出与 IE1 或 IE2 输入断开连接的情况下，基准脉冲会更改占空比：如果 OE1 与 IE1 断开连接，比较器输出持续处于低电平，表示占空比为 0%。如果 OE2 与 IE2 断开连接，比较器持续处于高电平，表示占空比为 100%。为了确保噪声不影响诊断，当输出持续处于低电平和高电平时，分别将阈值选定为 20% 和 80%。该诊断的故障标志位于 DEV_STAT4 寄存器中，其中 FEXTMONH 用于高于 80% 的占空比，FEXTMONL 用于低于 20% 的占空比。去毛刺脉冲时间通过将 DEV_OVUV6 寄存器中的 TEXTMON 置 1 进行定义。

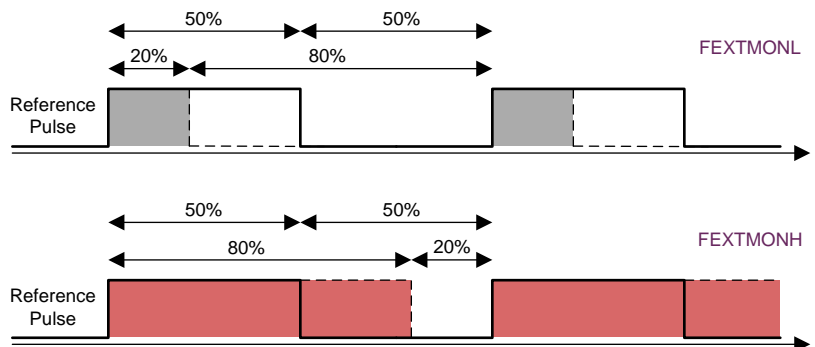


图 25. 激励监视的高电平与低电平诊断

7.3.6.3.2 激励放大器诊断

PGA411-Q1 激励放大器可实现以下诊断：

- 单端过压输出
- 差分输出欠压和过压
- 激励输出电流限值

7.3.6.3.2.1 单端过压输出

由于在桥接负载拓扑中实现了激励放大器，因此可在以 GND 为基准的 OE1 或 OE2 引脚输出独立监测每个输出放大器模块的过压状态。如有任何引脚的输出信号高于所选输出值的 115%，则激励放大器将该输出禁用。该诊断的去毛刺脉冲时间 t_{DEGL} 固定为 10 μ s。该诊断涵盖了激励放大器输出短接外部高电压电源的所有故障状况。图 26 所示为实现方式。

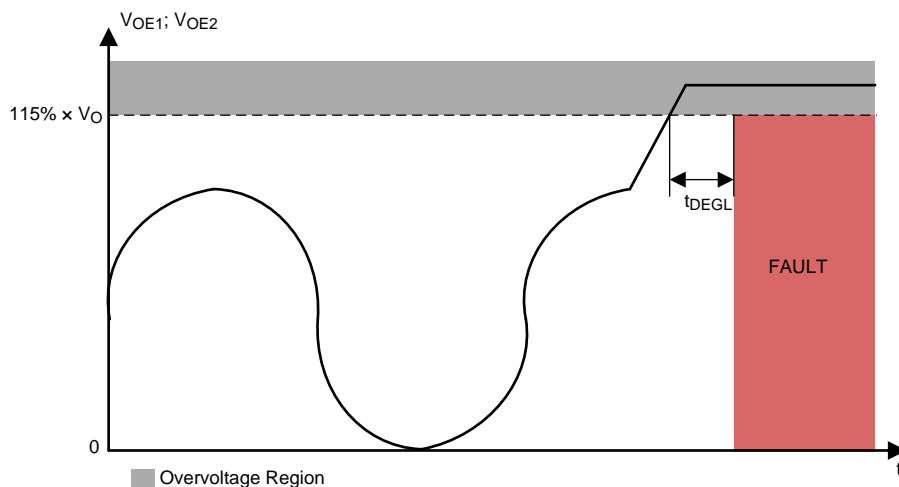


图 26. 单端输出过压诊断

7.3.6.3.2.2 差分输出欠压和过压

该诊断是差分激励线圈监视，旨在检测激励负载欠压和过压。其阈值固定，具体取决于激励输出的操作模式。在 $4 V_{RMS}$ 输出操作模式下，差分欠压阈值设定为 $3V$ ，而差分过压阈值设定为 $8V$ 。在 $7 V_{RMS}$ 输出操作模式下，欠压阈值设定为 $7V$ ，而过压阈值设定为 $14V$ 。该诊断的去毛刺脉冲时间可使用 `DEV_OVUV3` 寄存器中的欠压故障位 `EXTUVT` 和过压故障位 `EXTOVT` 通过 `SPI` 进行编程。该诊断的故障标志为 `DEV_STAT1` 寄存器中的 `EXTUV` 和 `EXTOV`。

图 27 所示为差分输出欠压和过压诊断。

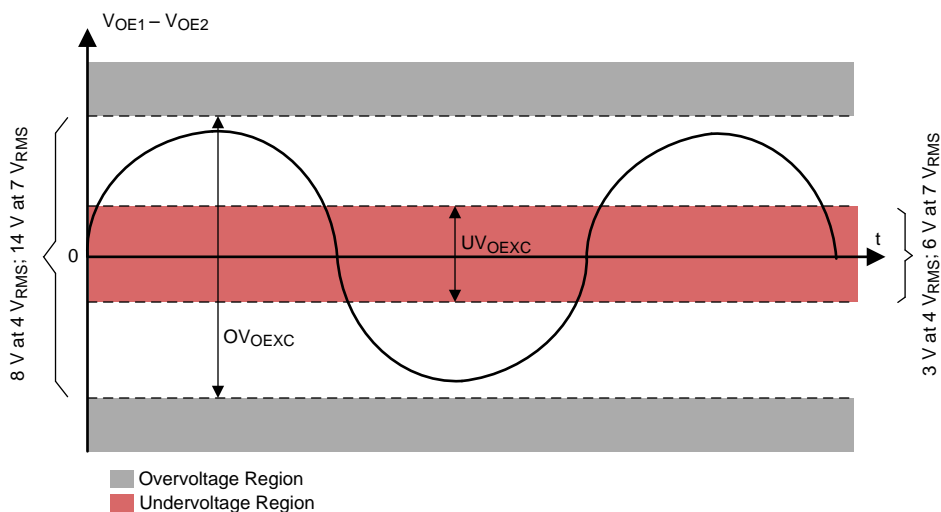


图 27. 差分输出的欠压和过压诊断

此外，多配置差分欠压检测通过 `DEV_PHASE_CFG` 寄存器中的 `EXTUVF_CFG` 位定义。由于激励输出拓扑为桥接负载驱动器，因此通过两个独立放大器监视相应输出的欠压状态。如果一个输出检测到欠压（逻辑或），则报告差分欠压模式的 `PGA411-Q1` 默认配置会报告该故障。该故障的其他检测结果包括：两输出均检测到欠压故障（逻辑与）或一个或两输出检测到欠压故障（逻辑与/或）。由于两输出的欠压（逻辑与）去毛刺脉冲时间约为任一输出（逻辑或）欠压去毛刺脉冲时间的 $1/50$ 至 $1/25$ 并且去毛刺脉冲时间取决于所选 `SPI` 可编程去毛刺脉冲值，因此最后的检测方案有效。

注

使用 10.87kHz 或 10kHz 的较低激励频率时，建议采用逻辑或设置 (`EXTUVF_CFG = 00`)。

7.3.6.3.2.3 激励输出限流

激励输出限流监测每个放大器的输出电流。通过设置 `DEV_OVUV1` 寄存器中 `EXTLIMTH_L1_2` 和 `EXTLIMTH_H1_2` 的字节，可在 150mA 至 300mA 范围内单独调节每个放大器的电流限值。这些寄存器的最大电流限值设置（相关位置为 `111`）高于其他位设置的线性步长；`EXTLIMTH_H1_2` 的电流最高为 370mA ，`EXTLIMTH_L1_2` 的电流最高为 600mA 。去毛刺脉冲周期固定为 $5\mu\text{s}$ 。在超出限流阈值的时间高于去毛刺脉冲时间的故障条件下，`DEV_STAT1` 寄存器中的 `EXTILIM` 故障标志被触发，器件将根据故障报告章节所述的激励电流限制策略作出响应。图 28 所示为流经旋变传感器激励线圈的电流。激励放大器电流限制的实现。

在某些情况下，电流限制功能可能在过流标志 `EXILIM` 可触发前生效。在上述情况下，`EXTUV` 等其他故障标志可用于检测此类过流事件。

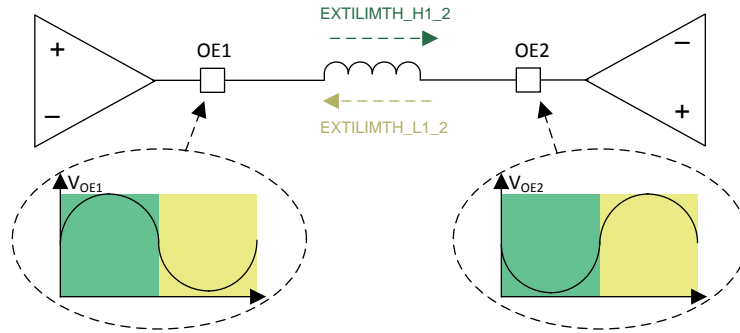


图 28. 激励放大器电流限制诊断

7.3.6.3.3 过热保护

PGA411-Q1 器件在紧靠激励功率放大器及 V_{DD} 数字稳压器的位置策略性地应用了温度传感器。温度传感器具有热关断保护与温度预警功能。如果出现热关断事件，PGA411-Q1 器件完全关断并且仅在热关断事件排除后可以重新启用。在热预警事件期间，DEV_STATUS4 寄存器中的 FSTD2 状态标志报告器件的状态并按照 [器件功能模式](#) 章节所述将器件的 FAULT 状态置为有效。在这种情况下，微控制器单元 (MCU) 可在热关断保护生效前手动禁用系统。热预警故障的去毛刺脉冲时间 FSD2 及热关断故障的去毛刺脉冲时间均为 1.1ms。

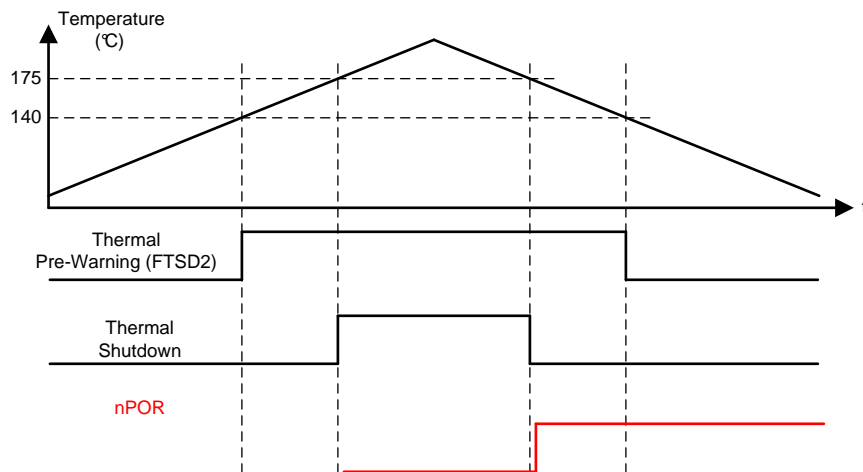


图 29. PGA411-Q1 过热保护

7.3.7 时钟生成

PGA411-Q1 器件可通过内部振荡器或外部晶振生成数字系统时钟。将 ECLKSEL 引脚置为低电平 (GND) 状态可选择使用内部 20MHz 振荡器生成系统时钟；置为高电平 (V_{IO}) 状态可选择使用外部振荡器生成系统时钟。由于内部振荡器存在局限性，因此强烈建议使用外部晶振。此外，时钟丢失诊断仅在选择外部振荡器时适用。若要选择外部晶振，请在 XIN 与 XOUT 引脚之间连接一个 20MHz 石英晶振或谐振器并将电容与 GND 引脚相连，如 [图 30](#) 所示。该电容的建议值为 15pF。

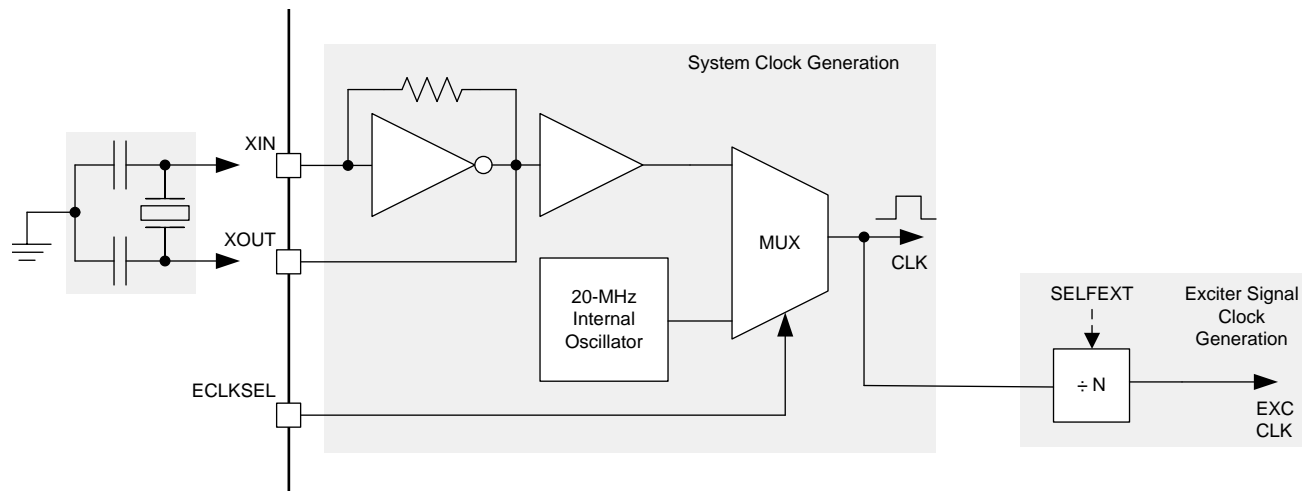


图 30. PGA411-Q1 时钟生成

激励信号发生器接收主器件振荡器传输的数字时钟信号并通过 SELFEXT 字节确定激励频率。

7.3.7.1 时钟丢失监视

如果将 PGA411-Q1 器件中的 ECLIPSE 置为高电平（这意味着主系统时钟是通过晶振或谐振器元件所产生的的外部时钟），内部生成的时钟用于监视器件系统时钟是否正常运行。该监视功能通过时钟丢失监视电路实现，主要用于跟踪系统时钟以及在两种错误行为下报错。这些错误行为的说明如下：

器件系统时钟固定状态 该错误行为是主器件时钟长时间处于高电平或低电平状态而产生的故障。

时钟频率超限 该错误行为是主器件时钟相对于指定时钟频率漂移 -30% 或 40% 而产生的故障。

在 PGA411-Q1 器件确定振荡器发生故障前，必须出现四个连续计数的时钟固定状态或频率超限状态。器件在发生故障后进入 RESET 状态。只要故障仍然存在，内部复位 (nPOR) 信号便始终有效。完成模拟内置自检 (BIST) 后，时钟丢失电路在 DIAGNOSTICS 状态下使能。

当主器件时钟仅由 PGA411-Q1 器件内部生成的时钟提供时，该功能不可用，时钟丢失电路也随之禁用。

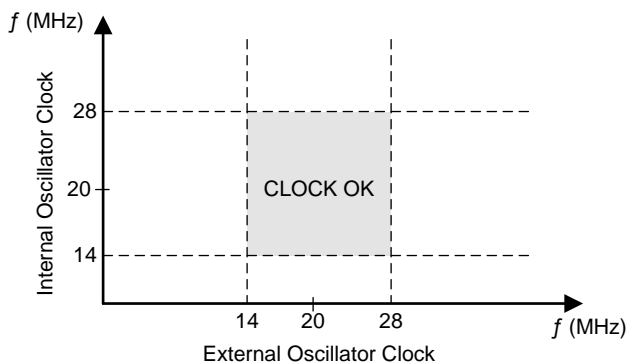


图 31. PGA411-Q1 时钟监视

7.3.8 V_{DD} 稳压器

V_{DD} 稳压器由 V_{CC} 引脚的 5V 输入电源电压供电并生成稳定的 1.8V 内部数字逻辑电路电源。V_{DD} 稳压器的基准由 PGA411-Q1 器件内部的带隙电路生成。V_{DD} 引脚用于滤波，因此需要一个外部滤波电容。V_{DD} 稳压器可从 V_{DD} 引脚为外部电路提供最大 10mA 的电流。

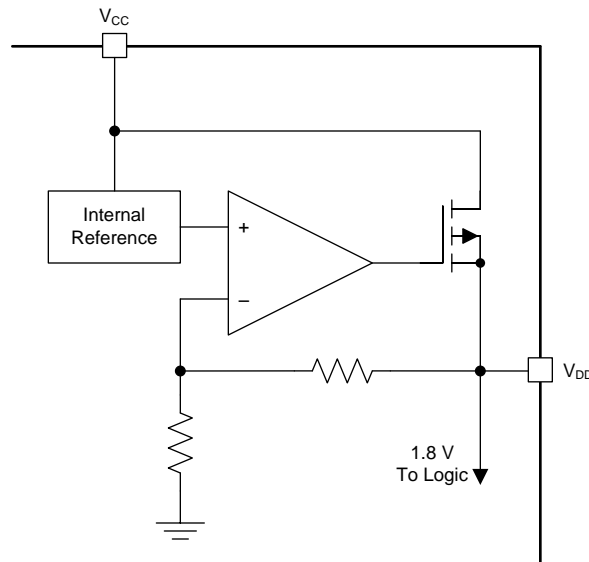


图 32. V_{DD}稳压器

V_{DD} 稳压器以及 V_{CC} 电源输入具有集成诊断功能，可确保整个 PGA411-Q1 器件正常运行。这些诊断功能包括监视 V_{CC} 引脚的欠压和过压状态。V_{DD} 稳压器的集成诊断功能包括 V_{DD} 欠压和过压保护以及 V_{DD} 稳压器过流保护。更多相关信息，请参见 [故障报告](#) 部分。V_{CC} 过压、V_{DD} 过压以及 V_{DD} 过流标志分别为 DEV_STAT4 寄存器中的 FVCCOV、FVDDOV 以及 FVDDOC 标志。

注

在某些条件下，过流保护会在 FVDDOC 标志触发前限制输出电流。在上述情况下，欠压标志可用于检测。这同样适用于激励电流限制故障标志 EXTILIM 以及相应激励欠压标志。

7.3.9 数字输入和输出

PGA411-Q1 器件中的所有数字 I/O 引脚均以 V_{IO} 输入引脚为基准。PGA411-Q1 器件支持介于 3.3V 至 5V 之间的数字电压。

以下 PGA411-Q1 引脚可视为数字 I/O 引脚：OUTA、OUTB、ECLKSEL、BMODE0、TEST、NRESET、INHB、FAULTRES、PRD、FAULT、NCS、SCLK、SDI、SDO、AMODE、OMODE、VA0、VA1、ORD[11:0] 及 OUTZ。

7.3.10 输出数据接口

7.3.10.1 数字并行输出

数字并行输出是默认的 PGA411-Q1 输出数据接口。若要启用并行输出接口，将 OMODE 引脚置为高电平 (V_{IO})。当 OMODE 引脚置为低电平 (DGND) 时，器件在编码器模拟输出模式下（按照下文所述）进行配置。

数字并行输出每隔 100ns 为 ORD[11:0] 引脚提供更新的角度或速度采样值，输出更新速率可以表示为 10Msps。

如果启用了并行输出接口，角度和速度数据可从 ORD11 (MSB) 至 ORD0 (LSB) 引脚读取。并行输出的数字数据采用二进制补码格式。由于角度输出值始终为正，因此该格式对于角度数据并不重要。但是速度输出值可能为正值或负值，具体取决于旋变传感器的旋转方向。如果旋变传感器顺时针 (CW) 旋转，数字并行输出速度为正值。如果旋变传感器逆时针 (CCW) 旋转，则输出值为负值。如果器件在 10 位模式下 (BMODE0 置为低电平) 应用，则 ORD10 和 ORD11 引脚在置为低电平时（置 0）用于正角度或速度输出，置为高电平时（置 1）则用于负速度输出。

当 OMODE 选择引脚在并行数据输出与模拟编码器输出之间切换 ORD[11:0] 引脚时，VA0 和 VA1 引脚使能并禁用 ORD[11:0] 引脚，同时选择输出参数。如果在高阻抗 (Hi-Z) 状态下将 ORD[11:0] 引脚置 1，系统可使用单一 MCU 控制多个 PGA411-Q1 器件。系统示例章节给出了由单一 MCU 控制的多个 PGA411-Q1 器件示例。

表 2 列出了 VA0 和 VA1 引脚配置。

表 2. ORD[11:0] 输出选择

VA0	VA1	功能
0	0	ORD[11:0] 置为高阻抗状态
1	1	
0	1	ORD[11:0] 的角度输出
1	0	ORD[11:0] 的速度输出

INHB 引脚控制 PGA411-Q1 器件的数据输出更新。如果 INHB 引脚处于高电平 (VIO) 状态，则数据可用后，立即输出到 ORD[11:0] 引脚。如果 INHB 引脚置为低电平 (DGND)，则 ORD[11:0] 引脚的数据输出保持最后的采样输出。在同步数据传输系统中，以低于 10MHz 的频率向 INHB 输入施加时钟信号可在每个时钟周期对 PGA411-Q1 器件的输出数据进行采样。

7.3.10.2 ORD 时钟

ORD 时钟输出在 ORDCLK 引脚 (ORD[13]) 出现，支持在读取 ORD[12:0] 输出前使其进入稳定状态。ORD 时钟为 10MHz 时钟，其更新速率与 ORD[12:0] 中的跟踪回路数据更新速率相同。在 ORD 数据发生变化的 25ns 后出现 ORD 时钟的上升沿，这段时间是捕捉稳定 ORD 数据的理想时间。如果禁止引脚处于低电平或已禁用跟踪环路，则 ORD 时钟输出在偏移校正序列中禁用（请参见自动偏移校正章节）。图 33 所示为 ORDCLK 与 ORD[12:0] 提供的角度或速度数据相结合的时序特性。

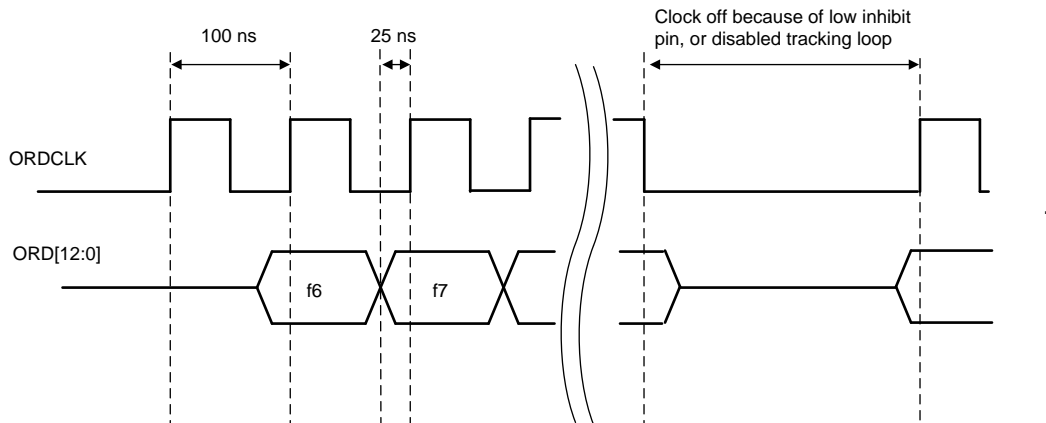


图 33. ORD 时序特性

7.3.10.3 SPI 输出

寄存器存储空间同样提供角度和速度数据，可通过 SPI 进行轮询。相应位置分别为 DEV_STAT5 寄存器中存储角度数据值的 ORDANGLE 位以及 DEV_STAT6 寄存器中存储速度数据值的 ORDVELOCITY 位。

使用以下公式将 PGA411-Q1 并行输出或 SPI 数据转换为具有实际意义的角度和速度值：

- 10 位角度：

$$\varphi \text{ (degrees)} = 360 \times \frac{\text{ORDx}}{2^{10}} \tag{10}$$

- 12 位角度：

$$\varphi \text{ (degrees)} = 360 \times \frac{\text{ORDx}}{2^{12}} \tag{11}$$

- 10 位速度:

$$\vartheta \text{ (RPM)} = 60 \times \frac{f_{\text{clk}} \times (\text{ORDx} + 1)}{2^{21}}$$

其中

- f_{clk} 表示器件时钟频率（典型值为 20MHz） (12)

- 12 位速度:

$$\vartheta \text{ (RPM)} = 60 \times \frac{f_{\text{clk}} \times (\text{ORDx} + 1)}{2^{25}} \tag{13}$$

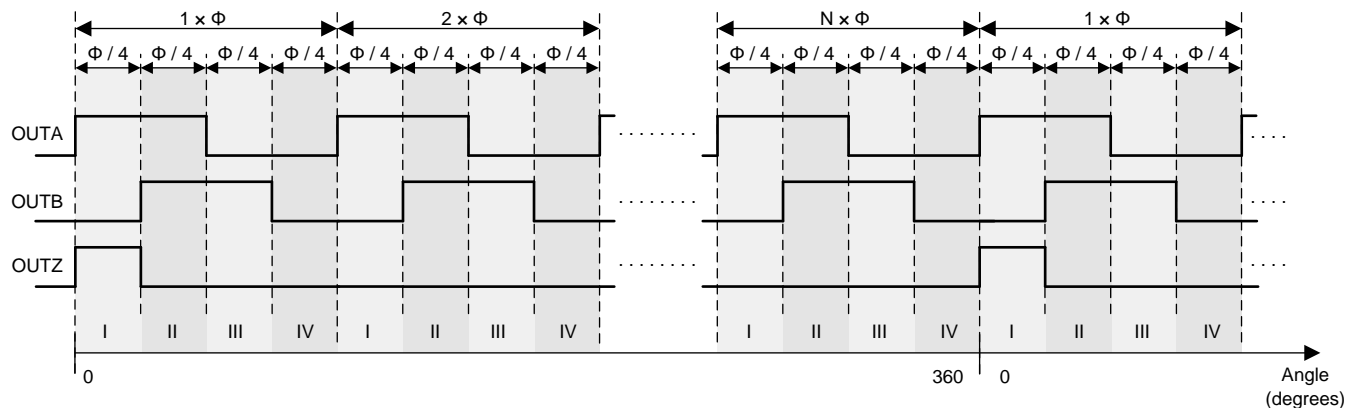
注

在 12 位模式下和 10 位模式下可读取的最小速度变化量分别为 36 RPM 和 572 RPM，这是上述速度计算结果中的一个重要关注点。

7.3.10.4 编码器仿真输出

PGA411-Q1 器件利用索引脉冲与换向信号可仿真正交编码器输出信号。正交编码器输出信号 A、B 和 Z 始终可用于 OUTA、OUTB 和 OUTZ 引脚并可在 ORD6、ORD7 和 ORD8 引脚进行多路复用。换向输出信号 U、V、W、U1、V1 及 W1 仅可在 ORD0 至 ORD5 引脚进行多路复用。如果 OMODE 引脚置为低电平 (DGND)，PGA411-Q1 器件在编码器仿真器模式下配置，分配的仿真器信号通过 ORD0 至 ORD5 引脚输出。该信号的多路复用允许 MCU 通过改变 OMODE 引脚状态在并行输出接口与仿真编码器输出之间进行切换。

根据 BMODE0 引脚设置的分辨率，当器件在 10 位模式下工作时，正交编码器为 OUTA 和 OUTB 引脚上提供 256 个脉冲；在 12 位模式下工作时，将为 OUTA 和 OUTB 引脚提供 1024 个脉冲。如果角度输出为 0 度，每转一周将在 OUTZ 引脚产生一个索引脉冲。图 34 所示即为该功能。



BMODE0	分辨率	N
0	10 位	256
1	12 位	1024

图 34. PGA411-Q1 正交编码器仿真

如图 34 所示，A 和 B 脉冲的数目还定义了每转一周的周期数。使用公式 14 计算 22 种（4 正交）A/B 组合的最小仿真角度。

$$\Delta\varphi \text{ (degrees)} = \frac{\varphi}{4} = \frac{360}{4 \times N} \tag{14}$$

换向编码器仿真可通过 DEV CONFIG1 寄存器中的 NPLE 位选择的极数（或极数倍数）确定。针对这种情况，应使用公式 15 计算仿真角度的步长。

$$\Delta\varphi \text{ (degrees)} = \varphi = \frac{360}{12 \times \text{NPLE}} \tag{15}$$

PGA411-Q1 器件最高可支持 4 倍的极部分。

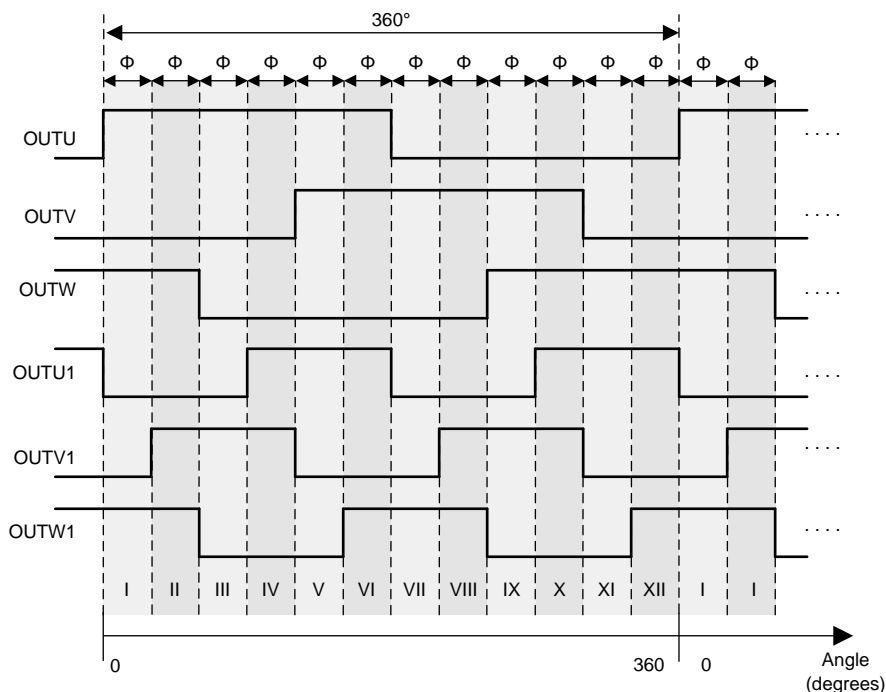


图 35. PGA411-Q1 换向编码器仿真

7.3.10.5 模拟输出

角度输出的模拟结果可在 AOUT 引脚进行监控。PGA411-Q1 器件集成了一款 10 位 DAC，可将 ORD 数字并行输出转换为介于 0.5V 至 4.5V 之间的模拟值。由于输入中的模拟 DAC 限定为 10 位，因此在 12 位旋变传感器模式下，仅将 ORD[11:2] 位送入 DAC 输入。该功能仅适用于初始评估与调试。图 36 所示为角度的模拟电压结果。

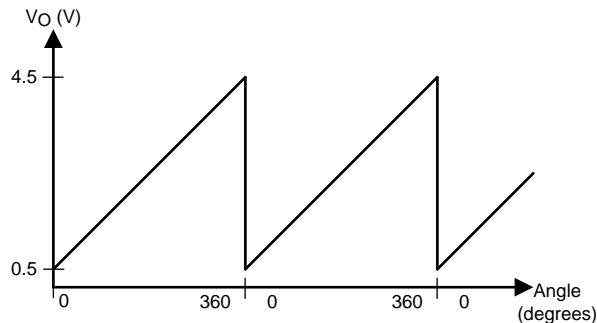


图 36. 模拟角度输出

7.3.11 故障报告

PGA411-Q1 器件中的故障报告通过 **FAULT** 引脚和 **SFAULT SPI** 寄存器发送。**FAULT** 引脚采用开漏输出结构。如果报告无故障，该引脚处于低电平。如果系统中存在故障，则引脚处于高阻抗状态。如果引脚在故障期间进入高阻抗状态，要求外部上拉电阻将该电压轨置于高电平状态。若要清除系统中的故障状态，在排除所有故障条件后，必须切换 **FAULTRES** 引脚的电平（高电平-低电平-高电平），**PGA411-Q1** 器件返回正常工作模式。

故障标志本身即为 **DEV_STAT1**、**DEV_STAT3** 及 **DEV_STAT4 SPI** 寄存器中的 **SPI** 故障位。读取 **SPI** 命令后（假设系统中的故障已排除），多数故障标志将清零。该操作允许 **MCU** 在下次调度的 **SPI** 读取过程中识别可能不再出现的瞬时故障。

为了进行评估或测试，**FAULTRES** 引脚可保持低电平，目的是即使在故障状态下也能继续使用激励。

此外，能够在系统中发送故障条件的某些故障可以屏蔽。如此，只要设定了屏蔽，**PGA411-Q1** 器件便会通过分配的 **SPI** 故障标志报告故障而不执行任何操作。

为了协助激励放大器输出的保护，一些故障通过将 **EXTEN SPI** 位置为 0 禁用激励线圈，进而禁用激励功率放大器（引脚 **OE1** 和 **OE2**）。一些故障有专门的激励覆盖位，从而在发生故障后仍使激励放大器保持使能状态。如果通过 **SPI** 命令禁用了激励，建议在器件变化或重新使能前施加 100µs 延迟。

表 3 列出了影响激励功率放大器输出的所有 **PGA411-Q1** 故障。这些故障均通过 **FAULT** 引脚报告。

表 3. **PGA411-Q1** 故障报告总结

FAULT 说明	SPI 故障位	故障引脚屏蔽位	故障引脚状态	激励输出	激励改写		
激励放大器							
激励模式选择无效	EXTMODE = 00		高阻抗状态/高电平	关闭			
	EXTMODE = 11						
差分激励过压	EXTOV	MEXTOV					
单端激励过压							
差分激励欠压	EXTUV	MEXTUV				关闭 ⁽¹⁾	ENEXTUV
激励限流故障	EXTILIM					关闭	
AFE							
激励高电平故障	FEXTMONH	MEXTMON	高阻抗状态/高电平	关闭	ENINFULT		
激励低电平故障	FEXTMONL						
AFE 零偏移校准故障	FAFECAL	MAFECAL		开启			
输入 IZx (x = 1 至 4) 高电平过压	FIZHx	MIZOVx		关闭 ⁽¹⁾			
输入 IZx (x = 1 至 4) 低电平过压	FIZLx	MIZUVx					
输入 IZ1/IZ3 或 IZ2/IZ4 短路故障	FOSHORT	MFOSHORT					
正弦输入 (IZ2/IZ4) 高电平开路故障	FOSINOPH	MFOSINOPH					
余弦输入 (IZ1/IZ3) 高电平开路故障	FOCOSOPH	MFOCOSOPH					
正弦输入 (IZ2/IZ4) 低电平开路故障	FOSINOPL	MFOSINOPL					
余弦输入 (IZ1/IZ3) 低电平开路故障	FOCOSOPL	MFOCOSOPL					
数字跟踪回路输入错误故障	FLOOPE	MFLOOPE			ENFLOOPE		
电源							
激励电源（升压）过压	FBSTOV		高阻抗状态/高电平	关闭			
V _{CC} 电源过压	FVCCOV						
V _{DD} 稳压器输出过压	FVDDOV						
V _{DD} 稳压器输出过流	FVDDOC						
激励热警告故障	FTSD2						
V _{CC} 电源欠压	(RESET 状态)		下限	关闭			
V _{DD} 稳压器输出欠压							
FUNCTIONAL							

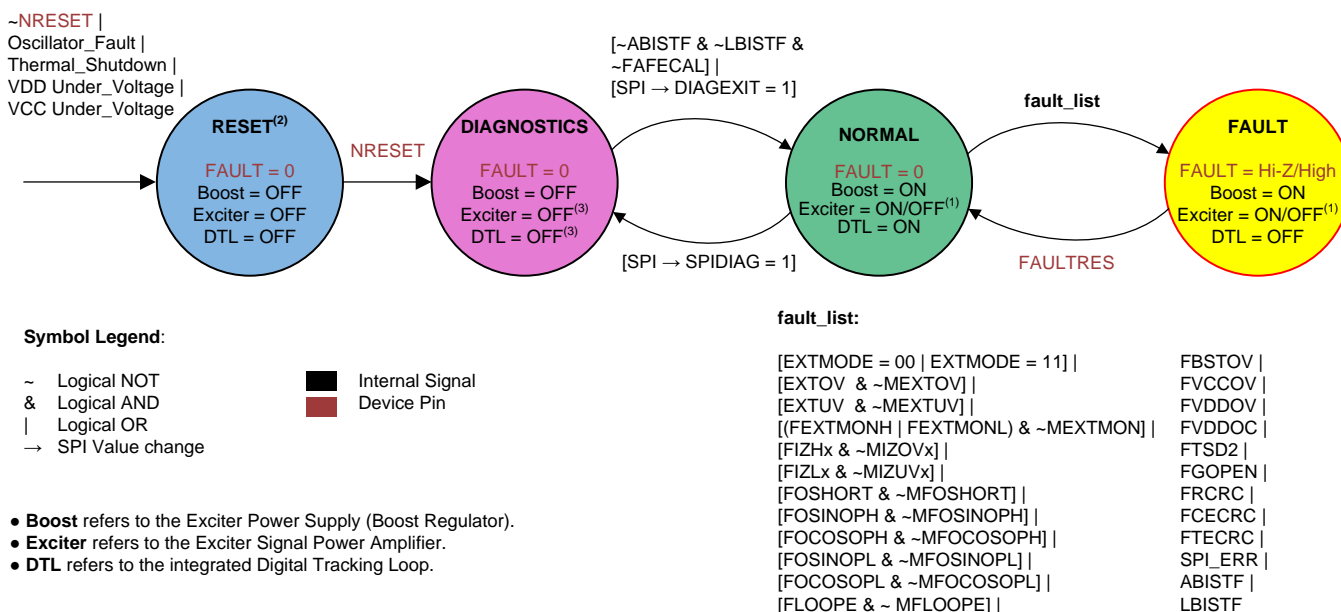
(1) 如果相应的过驱动位置 1，激励输出可保持使能状态。

表 3. PGA411-Q1 故障报告总结 (接下页)

FAULT 说明	SPI 故障位	故障引脚屏蔽位	故障引脚状态	激励输出	激励改写
配置和控制寄存器 CRC 故障	FRCRC		高阻抗状态/高电平	关闭	
用户 EEPROM 空间 CRC 故障	FCECRC				
修整 EEPROM 空间 CRC 故障	FTECRC				
SPI 通信故障	SPI_ERR				
模拟 BIST 故障	ABISTF			开启	
逻辑 BIST 故障	LBISTF			关闭 ⁽¹⁾	
振荡器故障	(RESET 状态)		下限	关闭	
FAULT 引脚回读失败错误	IOFAULT		—	关闭 ⁽¹⁾	ENIOFAULT

7.4 器件功能模式

PGA411-Q1 器件实现了一种数字状态机，负责器件的功能性运行、决策及系统监控。图 2 所示为器件上电的详细时序图。如果 SPI 处于激活状态，读取 DEV_STAT7 寄存器中的 DEVSTATE 位可了解当前器件的运行状态。



- (1) 这取决于激励覆盖选择、操作实现方式或由二者同时决定，如表 3 所列。
- (2) 不是物理状态。如果器件处于 RESET 状态，则 nPOR 数字被触发逻辑。
- (3) 将 EXTEN 位置为 1，以启用激励放大器。将 LPEN 位置为 1，以启用数字跟踪回路。

图 37. 状态图

7.4.1 PGA411-Q1 复位

RESET 状态不是一种物理状态机控制器状态。图 37 中的 RESET 状态表明 PGA411-Q1 器件中的 nPOR 置为有效，强制数字逻辑进入复位状态（数字电路冻结）。nPOR 释放后，数字逻辑在 DIAGNOSTICS 状态下开始运行。

在系统中，NRESET 引脚将器件逻辑中的 nPOR 置为有效。如果 NRESET 引脚处于低电平 (DGND)，则 PGA411-Q1 逻辑冻结，器件处于 RESET 状态。如果上拉 NRESET 引脚，该逻辑在 70µs 去毛刺脉冲周期后启用，器件处于可操作状态。

在 RESET 状态下，PGA411-Q1 器件中的所有功能模块禁用，包括激励升压稳压器、激励输出放大器、数字跟踪回路、AFE、V_{DD} 稳压器和振荡器。FAULT 引脚处于低电平状态。

在有源器件以任何状态的运行过程中，PGA411-Q1 器件会在以下因素的作用下导致内部复位：

器件功能模式 (接下页)

- V_{CC} 引脚上的欠压事件
- V_{DD} 引脚上的 V_{DD} 稳压器欠压事件
- 由时钟丢失监视器传输的振荡器故障信号（如[时钟丢失监视](#)章节所述）
- 导致热保护电路产生热关断信号的器件过温状况

当故障清除并且 NRESET 引脚处于移除 nPOR 的高电平 (VIO) 状态，器件恢复正常运行。

7.4.2 DIAGNOSTIC 状态

DIAGNOSTIC 状态是 nPOR 内部信号移除后，数字逻辑运行的第一种功能状态。不发生故障，NRESET 引脚上拉。

在 DIAGNOSTICS 状态下，激励升压稳压器和 V_{DD} 稳压器是激活的。激励输出放大器、数字跟踪回路及诊断监视器禁用。FAULT 引脚处于低电平状态。

在该状态下，PGA411-Q1 器件在进入 NORMAL 运行状态前执行所有内部检查。内部检查包括以下内容：

- EEPROM CRC 校验
- 模拟 BIST 诊断
- 逻辑 BIST 诊断
- AFE 自动偏移校准

如果已完成内部检查并且未报告任何故障，器件转换为 NORMAL 运行状态。在发生故障的情况下，器件锁定在 DIAGNOSTICS 状态。如果报告了故障，用户可通过设置 DEV_CONTROL1 寄存器中的 DIAGEXIT 位来强制器件退出 DIAGNOSTICS 状态。如果用户强制器件退出 DIAGNOSTICS 状态，则 PGA411-Q1 器件会转换为 NORMAL 运行状态，但仍将通过相应 SPI 标志继续报告故障。

如果 PGA411-Q1 器件处于 NORMAL 运行状态，可根据系统要求转换回到 DIAGNOSTICS 状态，从而重新运行启动诊断。通过设置 DEV_CONTROL3 寄存器中的 SPIDIAG 位，器件可转换回到 DIAGNOSTICS 状态。SPIDIAG 与 DIAGEXIT 位是自清零位，因此在操作完成后返回 0（复位）。

注

在器件正常上电并经过 150ms（消隐时间结束）后，如果用户通过 SPI 命令进入 DIAGNOSTICS 状态，可以标记故障，原因是进入诊断模式将自动禁用激励和跟踪回路。用户可通过 SPI 命令重新启用激励及跟踪回路并等待短路故障消除，稍后利用 SPI 读取清除。

7.4.3 NORMAL 运行状态

NORMAL 运行状态是器件默认的运行状态。在该状态下，可启用并运行激励放大器、数字跟踪回路及诊断监视器。上述模块按以下顺序启用：

- 激励放大器
- 数字跟踪回路
- 诊断监视器

DEV_CONTROL3 寄存器中的 EXTEN 和 LPEN 位可用作监视器，以确定激励放大器与跟踪回路的状态。这些位也可手动启用及禁用上述模块。

如果启用了上文列出的所有模块，器件会输出有效的角度和速度数据。FAULT 引脚在此状态下处于低电平。

如果在 NORMAL 运行状态下出现故障，PGA411-Q1 器件转换为 FAULT 状态。

器件功能模式 (接下页)

7.4.4 FAULT 状态

在 PGA411-Q1 器件处于 FAULT 状态的情况下，FAULT 引脚被设置为高阻抗状态。数字跟踪回路在此状态下禁用，因此器件无法输出更新的角度或速度数据。激励输出放大器可根据故障类型启用或禁用。以下故障会导致状态转换为 FAULT 状态，但不会禁用激励放大器输出：

- AFE 零偏移校准 (FAFECAL)
- V_{DD} 稳压器输出过流 (FVDDOC)
- 激励热报警故障 (FTSD2)
- 用户 EEPROM 空间 CRC 故障 (FCECRC)
- 修整 EEPROM 空间 CRC 故障 (FTECRC)
- SPI 通信故障 (SPI_ERR)

以下故障也会发出故障状态信号，但用户可通过对相应覆盖位的配置使激励放大器在该故障下保持使能状态：

- 差分激励欠压 (EXTUV)，改写位为 ENEXTUV
- I_{Zx} 输入高电平过压 (FIZHx)、 I_{Zx} 输入低电平过压 (FIZLx)、正弦和余弦输入短路故障 (FOSHORT)、正弦输入高电平开路故障 (FOSINOPH)、余弦输入高电平开路故障 (FOCOSOPH)、正弦输入低电平开路故障 (FOSINOPL) 以及余弦输入低电平开路故障 (FOCOSOPL)，改写位为 ENINFAULT
- 数字跟踪回路故障 (FLOOPE)，改写位为 ENFLOOPE
- 模拟 BIST 故障 (ABISTF) 和逻辑 BIST 故障 (LBISTF)，改写位为 ENBISTF
- FAULT 引脚回读失配错误 IOFAULT，改写位为 ENIOFAULT

其余所有故障将器件转换为 FAULT 状态。按照 [故障报告](#) 章节所述，FAULT 引脚设置成高阻抗状态，发送的这些故障信号会将器件转换为 FAULT 状态。这些故障不允许启用激励放大器，直至已排除所有故障并且状态机转换回到 NORMAL 运行状态。

若要退出 PGA411-Q1 的故障状态，排除所有故障条件后，必须切换 FAULTRES 引脚的电平（高电平-低电平-高电平）并将器件转换回到正常运行模式。FAULTRES 引脚处于低电平的时长不得超过 1ms 并且每 500ms 仅可使用 FAULTRES 一次。在故障仍然存在的情况下，切换 FAULTRES 引脚会强制 PGA411-Q1 正常运行，这可能导致 PGA411-Q1 损坏。激励放大器发生高电流短路时最有可能出现这种状况。

WARNING

在故障仍然存在的情况下，切换 FAULTRES 引脚会强制 PGA411-Q1 正常运行，这可能导致 PGA411-Q1 损坏。

7.4.5 EEPROM 存储器

PGA411-Q1 器件中的 EEPROM 存储器空间分为两个功能模块：用户 EEPROM 空间以及供德州仪器 (TI) 内部使用的 EEPROM 保留空间，后者用于器件调整及制造数据存储。用户 EEPROM 存储器空间可通过 SPI 寄存器直接访问。器件的内部数字逻辑将数据移植到的 EEPROM 影子寄存器，以供 EEPROM 存储器区域使用。表 4 列出了作为用户 EEPROM 空间一部分的所有 SPI 存储器的位置。

注

EEPROM 出厂设置如有更改，恕不另行通知。客户应根据自身应用需求，自行对 EEPROM 设置进行编程。

表 4. 用户 EEPROM 空间 SPI 映射

SPI 寄存器	BIT 15	BIT 14	BIT 13	BIT 12	BIT 11	BIT 10	BIT 9	BIT 8	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	出厂设置			
DEV_OV UV1	EXTOUT_GL			EXTILIMTH_L1_2			EXTILIMTH_H1_2			OSHORTL			OSHORTH			8B40h				
DEV_OV UV2	—							XEXT_AMP	TRDHL	DVMSENH			DVMSENL			00EDh				
DEV_OV UV3	EXTUVT		EXTOVT			OVIZL		OVIZH		OOPENTHL			OOPENTHH			FCFFh				
DEV_OV UV4	—				TSHORT			TEXTMON			AUTOPHASE_CFG	VEXT_CFG	nBOOST_F F	FSHORT_CFG	07E2h					
DEV_OV UV5	—		TOPEN			—									1C00h					
DEV_OV UV6	—				IZTHL			BOOST_VEXT_M ASK	—		LPETHL		LPETHH			038Fh				
DEV_TL OOP_CFG	—				MKP		DKP			OHYS		SENCLK	DKI			0514h				
DEV_AFE_CFG	—																GAINCOS	GAINSIN		0005h
DEV_PHASE_CFG	EXTUVF_CFG		PDEN	APEN	EXTMODE		EXTOUT			PHASEDEMOM						1400h				
DEV_CO NFIG1	—							NPLE		—		SELFEXT			MODEVEXT			0002h		
DEV_CL RC	—								ECCRC								003Fh			

表 4 列出的所有 SPI 位置及各自的功能在 [寄存器映射](#) 章节进行了介绍。

若要执行 EEPROM 编程和 EEPROM 重载操作，必须首先解锁 EEPROM 用户存储器空间。若要解锁用户存储器空间，必须将解锁命令序列写入 DEV_EE_CTRL4 寄存器中的 IUNLOCK 位。表 5 列出了解锁序列。

表 5. 用户 EEPROM 解锁序列

SPI 写入序列	DEV_EE_CTRL4 写入地址	解锁数据	SPI CRC
1	0x56	0x000F	0x13
2		0x0055	0x08
3		0x00AA	0x0F
4		0x00F0	0x14

注

若要解锁用户 EEPROM 空间，PGA411-Q1 器件必须处于 DIAGNOSTICS 状态并且必须在 10ms 内完成整个解锁过程。

如果已解锁用户 EEPROM 并更新了 EEPROM 影子寄存器，则将 0xA7 命令写入 DEV_EE_CTRL1 寄存器的 EECMD 位域可进行编程；将 0xA2 命令写入 EECMD 位域可重载 EEPROM 数据。该位域在执行命令后自行清零，可用于指示某项操作是否完成。这意味着，如果读出的 EECMD 等于 0x00，则表明之前的 EEPROM 操作已完成。无需始终执行 EEPROM 重载操作，原因是进入 DIAGNOSTICS 状态（nPOR 释放）后，器件在上电后首先加载 EEPROM 数据值。

PGA411-Q1 EEPROM 控制器实现了一种独立的循环冗余校验 (CRC) 算法，能够验证 EEPROM 所存储数据的完整性。执行 EEPROM 操作后，CRC 控制器自动计算正确的 CRC 值并将其存储于 DEV_CLCRC 寄存器的 ECCRC 位域中。由于用户 EEPROM 存储器位置对于 SPI 存储器空间是透明的，因此所有用户 EEPROM 值均在表 6 中列出。由于这些值均包含在器件存储器中，因此 MCU 仅需根据 [器件配置 CRC 保护](#) 章节提供正确的 CRC 值。因此计算 CRC 值无需进行任何用户交互。然而，为加强保护，MCU 可以自行计算用户 EEPROM CRC 值并与 ECCRC 值进行比较，从而校正 CRC 计算结果并校正用户 EEPROM 数据的完整性。

用户 EEPROM CRC 算法与器件配置 CRC 算法（ATM HEC 多项式 $X^8 + X^2 + X + 1$ ，初始种子为 0xFF 并按 MSB 排序）相同，以最低有效字节开始，按字节在 136 位连接字符串中执行。为了优化实现方案，PGA411-Q1 器件将寄存器分为多个 8 位数据块来计算 CRC，此后按照从最高有效位至最低有效位的顺序对其进行排序。表 6 列出了 EEPROM CRC 计算结果的数据连接。

表 6. 用户 EEPROM CRC 总线顺序

用户 EEPROM 寄存器		136 位总线排序
名称	数据拆分	
	0s Pad [31:0]	[MSB] 135:104
DEV_CONFIG1	DEV_CONFIG1 [7:0]	103:96
DEV_OVUV5	DEV_OVUV5 [12:10]	95:93
DEV_AFE_CFG	DEV_AFE_CFG [3:0]	92:89
DEV_OVUV2	DEV_OVUV2 [8:0]	88:80
DEV_OVUV4	DEV_OVUV4 [10:5]	79:74
DEV_OVUV6	DEV_OVUV6 [9:0]	73:64
DEV_OVUV4	DEV_OVUV4 [4:0]	63:59
DEV_TLOOP_CFG	DEV_TLOOP_CFG [10:0]	58:48
DEV_PHASE_CFG	DEV_PHASE_CFG [15:0]	47:32
DEV_OVUV1	DEV_OVUV1 [15:0]	31:16
DEV_OVUV3	DEV_OVUV3 [15:0]	15:0 [LSB]

7.4.6 功能诊断模块

7.4.6.1 模拟与逻辑内置自检

内置自检 (BIST) 是对关键模拟和逻辑功能执行自检诊断的控制器和监视器电路。这些功能包括:

- 输入短路、开路、高电平过压、低电平过压以及信号完整性比较器
- 跟踪回路比较器
- V_{CC} 主电源过压和欠压比较器
- 激励信号监视器比较器
- 激励放大器电源
- 时钟监视器检查

在所实现的比较器中，电压信号在模拟 BIST 过程中保持不变，因此系统因 BIST 的作用实际并未发生欠压或过压。请参见图 38。

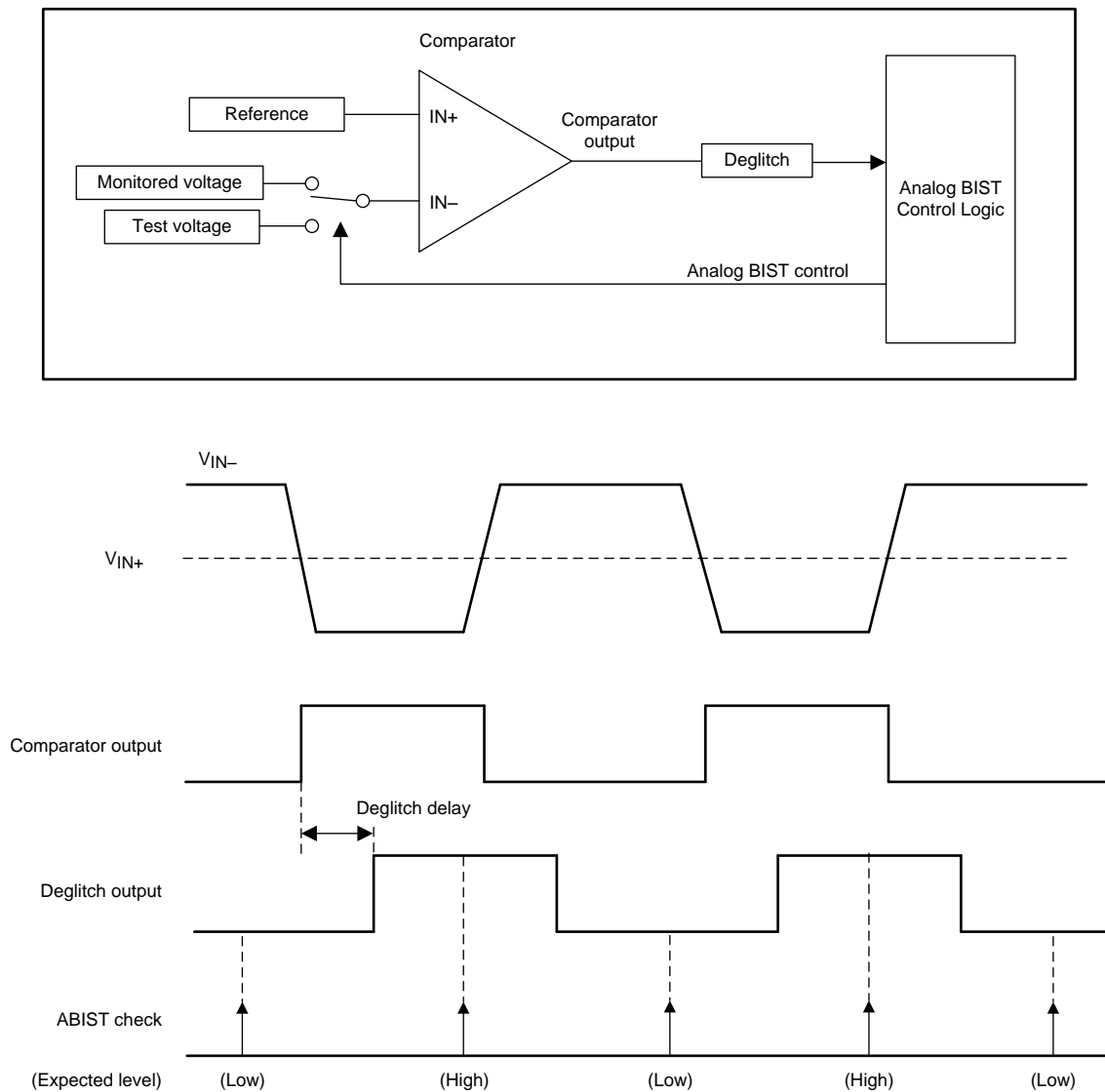


图 38. BIST

时钟监视器 BIST 是针对时钟功能丢失的自检。该诊断启用后仿真能导致时钟监视器输出发生切换的故障时钟。然而，在自检过程中，时钟监视器的切换模式通过模拟 BIST 进行检查；实际振荡器频率 (20MHz) 不变。

逻辑 BIST 与模拟 BIST 并行工作，通过运行长时间处于故障模式检查逻辑完整性。

只要 PGA411-Q1 器件处于 DIAGNOSTICS 状态，就会自动执行模拟和逻辑 BIST。模拟 BIST 的结果通过 ABISTF 位进行监视，而逻辑 BIST 故障的结果通过 DEV_STAT4 寄存器中的 LBISTF 位进行监视。

通过设置 DEV_CONTROL2 寄存器中的 ABIST_EN 或 LBIST_EN 位，用户可手动运行模拟和逻辑 BIST。这些位还用于监视 BIST 运行过程。ABIST_EN 或 LBIST_EN 位的状态保持不变（逻辑 1）直至模拟 BIST 或逻辑 BIST 过程完成，之后进行复位（逻辑 0）。

复位后，系统在 BIST 过程中可读取 ABISTF 和 LBISTF 故障标志。

图 39 所示为 BIST 运行流程

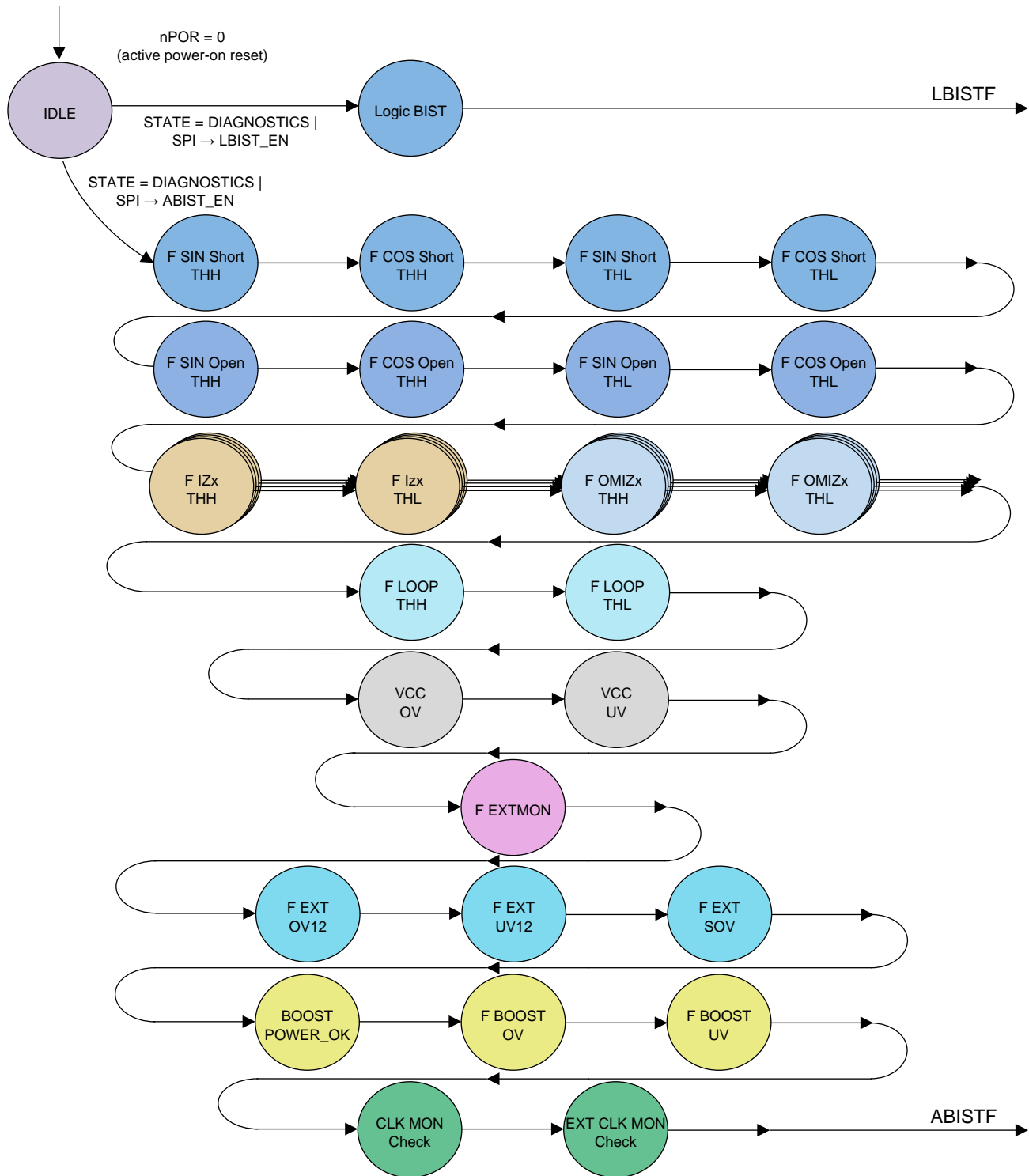


图 39. BIST 运行流程

7.4.6.2 器件配置 CRC 保护

已实现 CRC 校验算法，从而验证是否对 SPI 寄存器的内容进行正确编程。CRC 控制器是一种诊断模块，可通过执行 CRC 计算验证 SPI 映射寄存器空间的完整性。内容读入 CRC 控制器后，随即获取表示诊断寄存器内容的校验和。CRC 控制器必须计算一组数据的校验和，然后将计算结果与系统 MCU 计算出的预定义正确校验和值进行比较。

CRC 校验采用 CRC-8 (ATM HEC) 标准多项式，即 $X^8 + X^2 + X + 1$ ，初始种子值为 0xFF。计算结果划分为多个 8 位数据块以实现优化，根据 LS 字节至 MS 字节的排序约定，按照 LS 位至 MS 位的顺序执行。由 CRC 保护的 192 位字符串按字节顺序进行计算。例如，如果 192 位寄存器值（采用十六进制）为 8F C0 00 C0 AA AA 07 F2 1C 00 03 8F 05 14 00 00 02 00 00 00 00，则 CRC 应根据以下重新排列的字符串 00 00 00 00 02 00 00 14 05 00 14 05 8F 03 00 1C F2 07 AA AA C0 00 进行计算。

表 7 列出了受到 CRC 保护的寄存器。

表 7. 配置 CRC 数据总线顺序

寄存器		192 位总线排序
名称	数据拆分	
DEV_OVUV1	DEV_OVUV1 [15:0]	[MSB] 191:176
DEV_OVUV2	0s pad [15:9]	175:169
	DEV_OVUV2 [8:0]	168:160
DEV_OVUV3	DEV_OVUV3 [15:0]	159:144
DEV_OVUV4	0s pad [15:11]	143:139
	DEV_OVUV4 [10:0]	138:128
DEV_OVUV5	0s pad [15:13]	127:125
	DEV_OVUV5 [12:10]	124:122
	0s pad [9:0]	121:112
DEV_OVUV6	0s pad [15:10]	111:106
	DEV_OVUV6 [9:0]	105:96
DEV_TLOOP_CFG	0s pad [15:11]	95:91
	DEV_TLOOP_CFG [10:0]	90:80
DEV_AFE_CFG	0s pad [15:4]	79:68
	DEV_AFE_CFG [3:0]	67:64
DEV_PHASE_CFG	DEV_PHASE_CFG [15:0]	63:48
DEV_CONFIG1	0s pad [15:9]	47:41
	DEV_CONFIG1 [8:7]	40:39
	0s pad [6]	38
DEV_CONTROL1	DEV_CONFIG1 [5:0]	37:32
	0s pad [15:14]	31:30
	DEV_CONTROL1 [13]	29
DEV_CONTROL2	0s pad [12]	28
	DEV_CONTROL1 [11:0]	27:16
	0s pad [15:6]	15:6
	DEV_CONTROL2 [5:0]	5:0 [LSB]

以下过程列出了成功配置 CRC 计算的步骤：

- 当 PGA411-Q1 器件处于 DIAGNOSTICS 状态时，MCU 会将所需数据写入配置和控制寄存器中。
如果使用新数据更新 DEV_CONTROL1 和 DEV_CONTROL2 寄存器，器件需要通过在 DEV_UNLK_CTRL1 寄存器中输入 SPI 解锁序列进行解锁。更多相关信息，请参见 [器件和 EEPROM 解锁过程](#)部分。
- MCU 计算正确的配置 CRC 并将最终值应用于 DEV_CRC 寄存器的 RCRC 位域。

其中

- b 为 0 时针对角度和正速度；b 为 1 时针对负速度 (16)

7.5 编程

PGA41x-Q1 SPI 包含一个使用以下引脚的四线制 SPI:

- NCS** SPI 片选（低电平有效）
- SCLK** SPI 时钟
- SDI** SPI 从器件输入和 SPI 主器件输出 (SIMO)
- SDO** SPI 从器件输出和 SPI 主器件输入 (SOMI, 三态输出)

在这种情况下，旋变数字转换器始终配置为从器件。

SPI 帧的大小为 32 位，按照图 41 所示的分配方式实现 MSB 优先对齐。

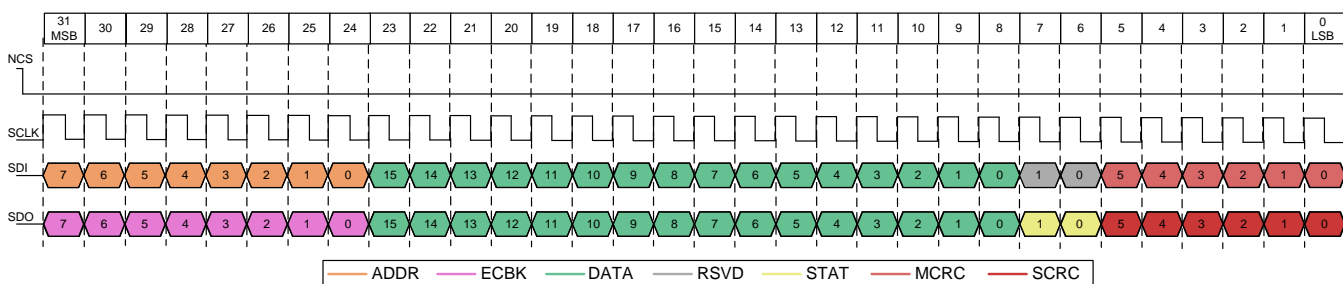


图 41. 32 位 SPI 帧

在主从器件通信中，地址占据 8 位、数据占据 16 位、保留 2 位（始终为 00）并且 CRC 占据 6 位。

在从主器件响应中，地址回显占据 8 位、数据占据 16 位、状态占据 2 位并且 CRC 占据 6 位。

SPI 不支持背靠背 SPI 帧操作。每次完成 SPI 传输后，NCS 引脚必须由低电平变高电平才能够启动下一次 SPI 传输。两条 SPI 命令之间的最短时间为 t_{w_cs} 。在此期间，NCS 引脚必须在 200ns 内保持高电平。

PGA411 器件的 SPI 响应帧始终为 SPI 主帧后的一次 SPI 传输。

注

接收到 SPI 读取的角度和速度数据后，PGA411-Q1 经 1 至 2 个时钟周期将角度或速度数据载入 SPI 并进行传输。

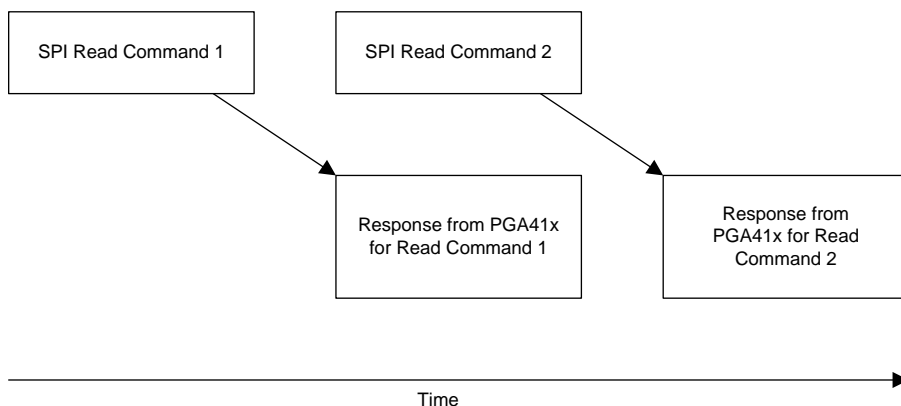


图 42. PGA411-Q1 SPI 响应帧

编程 (接下页)

7.5.1 地址和地址回显域

在主器件的 SPI 帧中，地址域指定写入或读取的寄存器地址。在从器件的 SPI 帧中，地址回显域包含先前访问过的寄存器地址。

7.5.2 数据域

在 SPI 主帧和从帧中，数据域包含 16 位数据（按 MSB 排序）。

7.5.3 状态域

SPI 从帧包含报告 SPI 通信状态的两个位。表 9 列出了每个 SPI 状态值所指示的错误。

表 9. SPI 状态或故障位

值 (十六进制)	状态 说明	优先级
0x0	无错误	4
0x1	SPI CRC 错误或无效 SPI 时钟	1
0x2	数据输出失配	2
0x3	地址错误	3

高优先级故障可始终取代低优先级故障。

注

包含错误 (0x1、0x2 或 0x3) 的响应帧中的数据域值可能不正确，应将其丢弃。

在 DEV_STAT1 寄存器查看 SPI_ERR 标志何时置 1 前，必须首先读取 DEV_STAT4 寄存器。首先读取 DEV_STAT1 寄存器将使 SPI_STAT 位清零，进而使 SPI_ERR 标志清零。

7.5.4 SPI 帧 CRC 域

SPI 使用 SPI 帧的 24 个最高有效位，以生成 CRC 值或检查 SPI CRC 错误。公式 17 中的多项式适用于计算主从 SPI 帧的 CRC。

$$\text{SPI_CRC6} = X^6 + X^4 + X^3 + X + 1 \quad (17)$$

该操作每次进行一位并从 MSB 开始。初始种子值为 0x3F。

表 10 列出了一组 SPI CRC 示例。

表 10. SPI CRC 示例

24 位 SPI 帧	CRC-6
0xAE0000	0x11
0x950055	0x22
0x855555	0x29
0x0D2FFE	0x0D
0x85FFFF	0x38

下文给出了计算 SPI CRC-6 代码的示例代码。

```
function [5:0] crc6_calc;
integer i;
reg inv;
begin

crc6_calc = 6'h3f; // seed value
// polynomial: x^6+x^4+x^3+x+1
for (i=23;i>=0;i=i-1) begin
inv = crc6_calc[5] ^ data_in[i];
crc6_calc[5] = crc6_calc[4];
crc6_calc[4] = crc6_calc[3] ^ inv;
crc6_calc[3] = crc6_calc[2] ^ inv;
crc6_calc[2] = crc6_calc[1];
crc6_calc[1] = crc6_calc[0] ^ inv;
crc6_calc[0] = inv;
end end endfunction
```

注

SPI 帧 CRC 使用不同于 EEPROM CRC (CRC-8) 的多项式 (CRC-6)。在上述等式中, ^ 表示按位 XOR 运算符, data_in 表示 24 位 SPI 帧。

7.5.5 器件和 EEPROM 解锁过程

若要访问 DEV_CONTROL1 与 DEV_CONTROL2 寄存器, 必须按照如下顺序对 DEV_UNLK_CTRL1 寄存器应用预定义的器件解锁序列:

1. 将 0x000F 写入 DEV_UNLK_CTRL1
2. 将 0x0055 写入 DEV_UNLK_CTRL1
3. 将 0x00AA 写入 DEV_UNLK_CTRL1
4. 将 0x00F0 写入 DEV_UNLK_CTRL1

若要访问 DEV_EE_CTRL1, 必须按照如下顺序对 DEV_EE_CTRL4 寄存器应用预定义的 EEPROM 解锁序列:

1. 将 0x000F 写入 DEV_EE_CTRL4
2. 将 0x0055 写入 DEV_EE_CTRL4
3. 将 0x00AA 写入 DEV_EE_CTRL4
4. 将 0x00F0 写入 DEV_EE_CTRL4

在每种情况下, 写入序列的总时间不得超过 10ms。

7.6 寄存器映射

7.6.1 SPI 寄存器映射布局配置

表 4 概要介绍了 PGA411-Q1 SPI 存储器映射中的各寄存器。更多详细信息，请参见相应 REGMAP 寄存器（请参见表 11）。

SPI 寄存器映射

寄存器位置	寄存器名称	SPI 读地址	SPI 写地址	写入状态	配置 CRC
0x00	DEV_OVUV1	0x53	0x87	DIAG	是
0x01	DEV_OVUV2	0x6B	0x26		是
0x02	DEV_OVUV3	0x65	0x17		是
0x03	DEV_OVUV4	0xEC	0x39		是
0x04	DEV_OVUV5	0x52	0x75		是
0x05	DEV_OVUV6	0xE9	0x83		是
0x06	DEV_TLOOP_CFG	0xA6	0x42		是
0x07	DEV_AFE_CFG	0xC2	0x91		是
0x08	DEV_PHASE_CFG	0x57	0x85		是
0x09	DEV_CONFIG1	0xBE	0xEB		是
0x0A	DEV_CONTROL1 ⁽¹⁾	0x90	0x0D		是
0x0B	DEV_CONTROL2 ⁽¹⁾	0x63	0x38		是
0x0C	DEV_CONTROL3	0xDD	0xAE		全部
0x0D	DEV_STAT1	0x81	不适用（只读寄存器）	否	
0x0E	DEV_STAT2	0x4D		否	
0x0F	DEV_STAT3	0x84		否	
0x10	DEV_STAT4	0x1F		否	
0x11	DEV_STAT5	0x41		否	
0x12	DEV_STAT6	0x6F		否	
0x13	DEV_STAT7	0xE1		否	
0x14	DEV_CLCRC	0x4F	0xFC	DIAG	否
0x15	DEV_CRC	0x0F	0xE7		否
0x16	CRCCALC	0xD9	不适用（只读寄存器）		否
0x17	DEV_EE_CTRL1 ⁽²⁾	0xE3	0x6E	DIAG	否
0x18	DEV_CRC_CTRL1	0x7A	0xB6		否
0x19	DEV_EE_CTRL4	0xBA	0x56		否
0x1A	DEV_UNLK_CTRL1	0x64	0x95		否

(1) 需要器件解锁序列来访问寄存器。

(2) 需要 EEPROM 空间解锁序列来访问寄存器。

注

当 PGA411-Q1 器件处于 NORMAL 运行状态时，无法写入仅可在 DIAGNOSTICS 状态下访问的配置寄存器。尝试执行写入会产生状态位域 0x03 响应（如未找到地址）。然而，这些寄存器可在任意状态下读取。

7.6.2 REGMAP 寄存器

表 11 列出了 REGMAP 的存储器映射寄存器。表 11 中未列出的所有寄存器偏移地址都应视为保留的存储单元，并且不应修改寄存器内容。

表 11. REGMAP 寄存器

偏移量	首字母缩写词	章节
0h	DEV_OVUV1	转至对应章节
1h	DEV_OVUV2	转至对应章节
2h	DEV_OVUV3	转至对应章节
3h	DEV_OVUV4	转至对应章节
4h	DEV_OVUV5	转至对应章节
5h	DEV_OVUV6	转至对应章节
6h	DEV_TLOOP_CFG	转至对应章节
7h	DEV_AFE_CFG	转至对应章节
8h	DEV_PHASE_CFG	转至对应章节
9h	DEV_CONFIG1	转至对应章节
Ah	DEV_CONTROL1	转至对应章节
Bh	DEV_CONTROL2	转至对应章节
Ch	DEV_CONTROL3	转至对应章节
Dh	DEV_STAT1	转至对应章节
Eh	DEV_STAT2	转至对应章节
Fh	DEV_STAT3	转至对应章节
10h	DEV_STAT4	转至对应章节
11h	DEV_STAT5	转至对应章节
12h	DEV_STAT6	转至对应章节
13h	DEV_STAT7	转至对应章节
14h	DEV_CLCRC	转至对应章节
15h	DEV_CRC	转至对应章节
16h	CRCCALC	转至对应章节
17h	DEV_EE_CTRL1	转至对应章节
18h	DEV_CRC_CTRL1	转至对应章节
19h	DEV_EE_CTRL4	转至对应章节
1Ah	DEV_UNLK_CTRL1	转至对应章节

7.6.2.1 DEV_OVUV1 寄存器 (偏移 = 0h) [出厂设置 = 8B40h]

DEV_OVUV1 如图 43 所示，并在表 12 中进行介绍。

图 43. DEV_OVUV1 寄存器

15	14	13	12	11	10	9	8
EXTOUT_GL				EXTILIMTH_L1_2			EXTILIMTH_H1_2
R/W-1000b				R/W-101b			R/W-101b
7	6	5	4	3	2	1	0
EXTILIMTH_H1_2		OSHORTL			OSHORTH		
R/W-111b		R/W-000b			R/W-000b		

表 12. DEV_OVUV1 寄存器字段说明

位	字段	类型	出厂设置	说明
15-12	EXTOUT_GL	R/W	1000b	激励输出 (前置放大器) 增益选择: 0000: 1.15 0001: 1.20 0010: 1.25 0011: 1.30 0100: 1.35 0101: 1.40 0110: 1.45 0111: 1.50 1000: 1.55 1001: 1.60 1010: 1.65 1011: 1.70 1100: 1.75 1101: 1.80 1110: 1.85 1111: 1.90
11-9	EXTILIMTH_L1_2	R/W	101b	激励放大器电流下限 (电流从 OE1 流向 OE2): 000 -140mA 001 -150mA 010 -165mA 011 -180mA 100 -200mA 101 -230mA 110 -550mA (不建议采用) 111 -550mA (不建议采用)

表 12. DEV_OVUV1 寄存器字段说明 (接下页)

位	字段	类型	出厂设置	说明
8-6	EXTILIMTH_H1_2	R/W	101b	激励放大器电流上限（电流从 OE2 流向 OE1）： 000: 150mA 001: 165mA 010: 180mA 011: 200mA 100: 225mA 101: 260mA 110: 300mA 111: 360mA
5-3	OSHORTL	R/W	000b	OSIN 和 OCOS 短路阈值下限选择： 000: $V_{CC} \times 0.475V$ 001: $V_{CC} \times 0.45V$ 010: $V_{CC} \times 0.425V$ 011: $V_{CC} \times 0.4V$ 100: $V_{CC} \times 0.375V$ 101: $V_{CC} \times 0.35V$ 110: $V_{CC} \times 0.325V$ 111: $V_{CC} \times 0.3V$
2-0	OSHORTH	R/W	000b	OSIN 和 OCOS 短路阈值上限选择： 000: $V_{CC} \times 0.525V$ 001: $V_{CC} \times 0.55V$ 010: $V_{CC} \times 0.575V$ 011: $V_{CC} \times 0.6V$ 100: $V_{CC} \times 0.625V$ 101: $V_{CC} \times 0.65V$ 110: $V_{CC} \times 0.675V$ 111: $V_{CC} \times 0.7V$

7.6.2.2 DEV_OVUV2 寄存器 (偏移 = 1h) [出厂设置 = 00EDh]

DEV_OVUV2 如图 44所示, 并在表 13 中进行介绍。

图 44. DEV_OVUV2 寄存器

15	14	13	12	11	10	9	8
保留							XEXT_AMP
R-0000000b							R/W-0b
7	6	5	4	3	2	1	0
TRDHL		DVMSENH			DVMSENL		
R/W-11b		R/W-101b			R/W-101b		

表 13. DEV_OVUV2 寄存器字段说明

位	字段	类型	出厂设置	说明
15-9	保留	R	0000000b	
8	XEXT_AMP	R/W	0b	外部激励放大器选择位。 0: 使用内部激励放大器。 1: 使用外部激励放大器。
7-6	TRDHL	R/W	11b	跟踪回路故障去毛刺选择 (AMODE = L): 00: 90ms 01: 120ms 10: 150ms 11: 180ms (AMODE = H) 00: 2ms 01: 4ms 10: 6ms 11: 8ms
5-3	DVMSENH	R/W	101b	IZx 输入完整性检查阈值上限选择: 000: 2.6V 001: 2.75V 010: 2.9V 011: 3.05V 100: 3.2V 101: 3.35V 110: 3.5V 111: 3.65V

表 13. DEV_OVUV2 寄存器字段说明 (接下页)

位	字段	类型	出厂设置	说明
2-0	DVMSEN	R/W	101b	IZx 输入完整性检查阈值下限选择: 000: 2.4V 001: 2.25V 010: 2.1V 011: 1.95V 100: 1.8V 101: 1.65V 110: 1.5V 111: 1.35V

7.6.2.3 DEV_OVUV3 寄存器（偏移 = 2h）[出厂设置 = FCFFh]

DEV_OVUV3 如图 45 所示，并在表 14 中进行介绍。

图 45. DEV_OVUV3 寄存器

15	14	13	12	11	10	9	8
EXTUVT			EXTOVT			OVIZL	
R/W-111b			R/W-111b			R/W-00b	
7	6	5	4	3	2	1	0
OVIZH		OOPENTHL			OOPENTHH		
R/W-11b		R/W-111b			R/W-111b		

表 14. DEV_OVUV3 寄存器字段说明

位	字段	类型	出厂设置	说明
15-13	EXTUVT	R/W	111b	激励放大器欠压去毛刺时间： (EXTUVF_CFG = 0x)/(EXTUVF_CFG = 10) 000: 55µs/000: 1.2µs 001: 105µs/001: 3.2µs 010: 155µs/010: 5.2µs 011: 205µs/011: 7.2µs 100: 255µs/100: 9.2µs 101: 305µs/101: 11.2µs 110: 355µs/110: 13.2µs 111: 405µs/111: 15.2µs
12-10	EXTOVT	R/W	111b	激励放大器过压去毛刺时间： 000: 1.2µs 001: 3.2µs 010: 5.2µs 011: 7.2µs 100: 9.2µs 101: 11.2µs 110: 13.2µs 111: 15.2µs
9-8	OVIZL	R/W	00b	IZx 输入过压阈值下限选择： 00: V _{CC} × 0.25V 01: V _{CC} × 0.2V 10: V _{CC} × 0.15V 11: V _{CC} × 0.1V
7-6	OVIZH	R/W	11b	IZx 输入过压阈值上限选择： 00: V _{CC} × 0.75V 01: V _{CC} × 0.8V 10: V _{CC} × 0.85V 11: V _{CC} × 0.9V

表 14. DEV_OVUV3 寄存器字段说明 (接下页)

位	字段	类型	出厂设置	说明
5-3	OOPENTHL	R/W	111b	OSIN/OCOS 开路阈值下限选择: 000: $V_{CC} \times 0.25V$ 001: $V_{CC} \times 0.225V$ 010: $V_{CC} \times 0.2V$ 011: $V_{CC} \times 0.175V$ 100: $V_{CC} \times 0.15V$ 101: $V_{CC} \times 0.125V$ 110: $V_{CC} \times 0.1V$ 111: $V_{CC} \times 0.075V$
2-0	OOPENTHH	R/W	111b	OSIN/OCOS 开路阈值上限选择: 000: $V_{CC} \times 0.75V$ 001: $V_{CC} \times 0.775V$ 010: $V_{CC} \times 0.8V$ 011: $V_{CC} \times 0.825V$ 100: $V_{CC} \times 0.85V$ 101: $V_{CC} \times 0.875V$ 110: $V_{CC} \times 0.9V$ 111: $V_{CC} \times 0.925V$

7.6.2.4 DEV_OVUV4 寄存器 (偏移 = 3h) [出厂设置 = 07E2h]

DEV_OVUV4 如图 46 所示，并在表 15 中进行介绍。

图 46. DEV_OVUV4 寄存器

15	14	13	12	11	10	9	8
保留					TSHORT		
R-00000b					R/W-111b		
7	6	5	4	3	2	1	0
TEXTMON			AUTOPHASE_CFG		VEXT_CFG	nBOOST_FF	FSHORT_CFG
R/W-111b			R/W-00b		R/W-0b	R/W-1b	R/W-0b

表 15. DEV_OVUV4 寄存器字段说明

位	字段	类型	出厂设置	说明
15-11	保留	R	00000b	
10-8	TSHORT	R/W	111b	OSIN/OCOS 短路去毛刺选择： 000: 35µs 001: 50µs 010: 65µs 011: 80µs 100: 95µs 101: 110µs 110: 125µs 111: 140µs
7-5	TEXTMON	R/W	111b	激励监测故障响应延迟时间 - 用于 FEXTMONL 和 FEXTMONH 故障： 000: 35µs - 不建议采用此设置 001: 50µs - 不建议采用此设置 010: 65µs - 仅在激励频率较高时使用 011: 80µs - 仅在激励频率较高时使用 100: 95µs - 仅在激励频率较高时使用 101: 110µs 110: 125µs 111: 140µs 将去毛刺时间设置地过低可能会导致 FEXTMONL/FEXTMONH 始终指示故障。去毛刺时间需要长于一个激励周期。
4-3	AUTOPHASE_CFG	R/W	00b	自动相位校正配置用于设置自动相位行为，采用的方式为，在两个输入信号（即正弦和余弦）中，选择完整性更好的信号来设置及重置已实现的不匹配定时器以及标准检测（自动选择使用的信号）并进行时间捕获。 00: 使用短路故障检测阈值增强自动相位 01: 使用开路故障检测阈值增强自动相位 X1: 标准自动相位配置
2	VEXT_CFG	R/W	0b	VEXT 配置位： 当 VEXT 电源用于外部激励放大器时置为 1。 若设为 0，可实现正常的升压 VEXT 监视。

表 15. DEV_OVUV4 寄存器字段说明 (接下页)

位	字段	类型	出厂设置	说明
1	nBOOST_FF	R/W	1b	升压前馈控制： 设为 1 可关闭前馈 设为 0 可开启前馈
0	FSHORT_CFG	R/W	0b	0: 由正弦、余弦短路故障条件的 AND 运算结果设置 FSHORT 1: 由正弦、余弦短路故障条件的 OR 运算结果设置 FSHORT

7.6.2.5 DEV_OVUV5 寄存器 (偏移 = 4h) [出厂设置 = 1C00h]

DEV_OVUV5 如图 47 所示，并在表 16 中进行介绍。

图 47. DEV_OVUV5 寄存器

15	14	13	12	11	10	9	8
保留			TOPEN			保留	
R-000b			R/W-111b			R-00b	
7	6	5	4	3	2	1	0
保留							
R-00000000b							

表 16. DEV_OVUV5 寄存器字段说明

位	字段	类型	出厂设置	说明
15-13	保留	R	000b	
12-10	TOPEN	R/W	111b	OSIN/OCOS 开路去毛刺选择： 000: 35μs 001: 50μs 010: 65μs 011: 80μs 100: 95μs 101: 110μs 110: 125μs 111: 140μs
9-0	保留	R	00000000 0b	

7.6.2.6 DEV_OVUV6 寄存器 (偏移 = 5h) [出厂设置 = 038Fh]

DEV_OVUV6 如图 48 所示，并在表 17 中进行介绍。

图 48. DEV_OVUV6 寄存器

15	14	13	12	11	10	9	8
保留						IZTHL	
R-000000b						R/W-111b	
7	6	5	4	3	2	1	0
IZTHL	BOOST_VEXT_MASK	保留		LPETHL		LPETHH	
R/W-111b	R/W-0b	R/W-00b		R/W-11b		R/W-11b	

表 17. DEV_OVUV6 寄存器字段说明

位	字段	类型	出厂设置	说明
15-10	保留	R	000000b	
9-7	IZTHL	R/W	111b	IZx 输入高/低过压去毛刺选择: 000: 1.2µs 001: 3.2µs 010: 5.2µs 011: 7.2µs 100: 9.2µs 101: 11.2µs 110: 13.2µs 111: 15.2µs
6	BOOST_VEXT_MASK	R/W	0b	设为 1 可在 ABIST 期间屏蔽 BOOST_VEXT_GOOD、OV、UV 和 EXCIT_SOV1,2
5-4	保留	R/W	00b	
3-2	LPETHL	R/W	11b	跟踪回路故障阈值下限选择: 00: 0.1V 01: 0.2V 10: 0.25V 11: 0.8V
1-0	LPETHH	R/W	11b	跟踪回路故障阈值上限选择: 00: 0.1V 01: 0.2V 10: 0.25V 11: 0.8V

7.6.2.7 DEV_TLOOP_CFG 寄存器 (偏移 = 6h) [出厂设置 = 0514h]

DEV_TLOOP_CFG 如图 49所示, 并在表 18 中进行介绍。

图 49. DEV_TLOOP_CFG 寄存器

15	14	13	12	11	10	9	8
保留					MKP		DKP
R-00000b					R/W-10b		R/W-100b
7	6	5	4	3	2	1	0
DKP		OHYS		SENCLK	DKI		
R/W-100b		R/W-01b		R/W-0b	R/W-100b		

表 18. DEV_TLOOP_CFG 寄存器字段说明

位	字段	类型	出厂设置	说明
15-11	保留	R	00000b	
10-9	MKP	R/W	10b	数字跟踪回路增益乘数 (10/12 位模式, AMODE = H) 00: 8 01: 16 10: 32 11: 64
8-6	DKP	R/W	100b	数字跟踪回路增益常量: (10 位模式) 000: 16 001: 32 010: 64 011: 128 100: 256 101: 512 (12 位模式) 000: 4 001: 8 010: 16 011: 32 100: 64 101: 128
5-4	OHYS	R/W	01b	输出角度迟滞: 00: 禁止 01: 1 LSB 1X: 请勿使用 (在旋转速度较低时可能导致出现角度误差)
3	SENCLK	R/W	0b	激励时钟输入选择: 0: 激励时钟以系统时钟为基准 1: 不建议采用 - 激励可能不起作用

表 18. DEV_TLOOP_CFG 寄存器字段说明 (接下页)

位	字段	类型	出厂设置	说明
2-0	DKI	R/W	100b	PI 控制器反馈集成权重: 000: 2 ⁸ 位 001: 2 ⁹ 位 010: 2 ¹⁰ 位 011: 2 ¹¹ 位 100: 2 ¹² 位 101: 2 ¹³ 位 110: 2 ¹⁴ 位 111: 2 ¹⁵ 位

7.6.2.8 DEV_AFE_CFG 寄存器 (偏移 = 7h) [出厂设置 = 0005h]

DEV_AFE_CFG 如图 50 所示, 并在表 19 中进行介绍。

图 50. DEV_AFE_CFG 寄存器

15	14	13	12	11	10	9	8
保留							
R-00h							
7	6	5	4	3	2	1	0
保留				GAINCOS		GAINSIN	
R-0h				R/W-01b		R/W-01b	

表 19. DEV_AFE_CFG 寄存器字段说明

位	字段	类型	出厂设置	说明
15-4	保留	R	000h	
3-2	GAINCOS	R/W	01b	余弦输入 AFE 增益: 00: 0.75 01: 1 10: 2.25 11: 3.50
1-0	GAINSIN	R/W	01b	正弦输入 AFE 增益: 00: 0.75 01: 1 10: 2.25 11: 3.50

7.6.2.9 DEV_PHASE_CFG 寄存器 (偏移 = 8h) [出厂设置 = 1400h]

DEV_PHASE_CFG 如图 51 所示，并在表 20 中进行介绍。

图 51. DEV_PHASE_CFG 寄存器

15	14	13	12	11	10	9	8
EXTUVF_CFG		PDEN	APEN	EXTMODE		EXTOUT	
R/W-00b		R/W-0b	R/W-1b	R/W-01b		R/W-0000b	
7	6	5	4	3	2	1	0
EXTOUT		PHASEDEM0D					
R/W-0000b		R/W-000000b					

表 20. DEV_PHASE_CFG 寄存器字段说明

位	字段	类型	出厂设置	说明
15-14	EXTUVF_CFG	R/W	00b	激励故障标志配置位 - 用于选择如何处理激励 UV1 和 UV2 指示器从而形成激励 UV 故障标志。 0x: UV1 OR Uv2, 对 OR 输入的去毛刺时间为 50µs 到 400µs 10: UV1 AND Uv2, 对 AND 输出的去毛刺时间为 1µs 到 15µs 11: UV1 OR UV2 OR (UV1 AND Uv2), 去毛刺时间如前文所述
13	PDEN	R/W	0b	相位延迟使能: 0: 手动相位延迟禁止 1: 手动相位延迟使能, 并且通过 PHASEDEM0D[5:0] 进行设置。手动相位延迟 PDEN 优先于自动相位延迟 APEN
12	APEN	R/W	1b	自动相位控制使能: 0: 禁止 1: 使能
11-10	EXTMODE	R/W	01b	激励模式选择: 00 或 11: 激励已禁止, FAULT = H, FEXTMODE = 1 01: 4V _{RMS} 模式 10: 7V _{RMS} 模式

表 20. DEV_PHASE_CFG 寄存器字段说明 (接下页)

位	字段	类型	出厂设置	说明
9-6	EXTOUT	R/W	0000b	激励偏移电压调整 (下限裕量) : 0000: 2.0V 0001: 1.9V 0010: 1.8V 0011: 1.7V 0100: 1.6V 0101: 1.5V 0110: 1.4V 0111: 1.3V 1000: 1.2V 1001: 1.1V 1010: 1.0V 1011: 0.9V 1100: 0.8V 1101: 0.7V 1110: 0.6V 1111: 0.5V
5-0	PHASEDEMOMD	R/W	000000b	手动相位延迟调整: 值 $[\mu\text{s}] = \text{PHASEDEMOMD}[4:0] \times 0.4\mu\text{s}$ PHASEDEMOMD[5] 是符号位: 0: 正值 (1 × 值) 1: 负值 (-1 × 值)

7.6.2.10 DEV_CONFIG1 寄存器 (偏移 = 9h) [出厂设置 = 0002h]

DEV_CONFIG1 如图 52所示, 并在表 21 中进行介绍。

图 52. DEV_CONFIG1 寄存器

15	14	13	12	11	10	9	8
保留							NPLE
R-0000000b							R/W-00b
7	6	5	4	3	2	1	0
NPLE	保留	SELFEXT			MODEVEXT		
R/W-00b	R-0b	R/W-000b			R/W-010b		

表 21. DEV_CONFIG1 寄存器字段说明

位	字段	类型	出厂设置	说明
15-9	保留	R	0000000b	
8-7	NPLE	R/W	00b	编码器级数选择: 00: 1x 01: 2x 10: 3x 11: 4x
6	保留	R	0b	
5-3	SELFEXT	R/W	000b	激励频率选择: (SENCLK = 0) 000: 10kHz 001: 10.87kHz 010: 11.63kHz 011: 12.82kHz 100: 13.89kHz 101: 15.63kHz 110: 17.24kHz 111: 20kHz
2-0	MODEVEXT	R/W	010b	激励电源电压输出选择: 000: 10V 001: 11V 010: 12V 011: 13V 100: 14V 101: 15V 110: 16V 111: 17V

7.6.2.11 DEV_CONTROL1 寄存器 (偏移 = Ah) [出厂设置 = 0000h]

DEV_CONTROL1 如图 53 所示, 并在表 22 中进行介绍。

图 53. DEV_CONTROL1 寄存器

15		14		13		12		11		10		9		8	
保留		MFOSHORT		保留		MFOSINOPH		MFOCOSOPH		MFOSINOPL		MFOCOSOPL			
R-00b		R/W-0b		R-0b		R/W-0b		R/W-0b		R/W-0b		R/W-0b		R/W-0b	
7		6		5		4		3		2		1		0	
MFLOOPE		MEXTOV		MEXTUV		MIZOV		MIZUV		MAFECAL		MEXTMON		DIAGEXIT	
R/W-0b		R/W-0b		R/W-0b		R/W-0b		R/W-0b		R/W-0b		R/W-0b		R/W-0b	

表 22. DEV_CONTROL1 寄存器字段说明

位	字段	类型	出厂设置	说明
15-14	保留	R	00b	
13	MFOSHORT	R/W	0b	屏蔽输入 IZ1、IZ2、IZ3、IZ4 短路故障 (FOSHORT) 0: 禁止 1: 使能
12	保留	R	0b	
11	MFOSINOPH	R/W	0b	屏蔽正弦输入 (IZ2 - IZ4) 高电平开路故障 (FOSINOPH) 0: 禁止 1: 使能
10	MFOCOSOPH	R/W	0b	屏蔽余弦输入 (IZ1:IZ3) 高电平开路故障 (FOCOSOPH) 0: 禁止 1: 使能
9	MFOSINOPL	R/W	0b	屏蔽正弦输入 (IZ2 - IZ4) 低电平开路故障 (FOSINOPL) 0: 禁止 1: 使能
8	MFOCOSOPL	R/W	0b	屏蔽正弦输入 (IZ1:IZ3) 低电平开路故障 (FOCOSOPL) 0: 禁止 1: 使能
7	MFLOOPE	R/W	0b	屏蔽数字跟踪回路故障 (FLOOPE) 0: 禁止 1: 使能
6	MEXTOV	R/W	0b	屏蔽激励过压故障 (EXTOV) 0: 禁止 1: 使能
5	MEXTUV	R/W	0b	屏蔽激励欠压故障 (EXTUV) 0: 禁止 1: 使能
4	MIZOV	R/W	0b	屏蔽输入 IZ1、IZ2、IZ3、IZ4 高过压故障 (FIZH) 0: 禁止 1: 使能

表 22. DEV_CONTROL1 寄存器字段说明 (接下页)

位	字段	类型	出厂设置	说明
3	MIZUV	R/W	0b	屏蔽输入 IZ1、IZ2、IZ3、IZ4 低过压故障 (FIZL) 0: 禁止 1: 使能
2	MAFECAL	R/W	0b	屏蔽 AFE 校准故障: 0: 禁止 1: 使能
1	MEXTMON	R/W	0b	激励监视故障屏蔽 (FEXTMONL 和 FEXTMONH) 0: 禁止 1: 使能
0	DIAGEXIT	R/W	0b	退出诊断状态。 1: 将触发器件从 DIAG 状态切换到 NORMAL 状态。此位是自清零位；读操作始终会返回零值。此位始终可以写入，即，此位不支持写访问保护。 在器件 CRC 计算中，此位使用零值。

7.6.2.12 DEV_CONTROL2 寄存器 (偏移 = Bh) [出厂设置 = 0000h]

DEV_CONTROL2 如图 54 所示，并在表 23 中进行介绍。

图 54. DEV_CONTROL2 寄存器

15		14		13		12		11		10		9		8	
ABIST_EN		LBIST_EN		保留											
R/W-0b		R/W-0b		R-000000b											
7		6		5		4		3		2		1		0	
保留		RDC_DISABLE		ENINFAULT		ENIOFAULT		ENBISTF		ENEXTMON		ENEXTUV			
R-00b		R/W-0b		R/W-0b		R/W-0b		R/W-0b		R/W-0b		R/W-0b		R/W-0b	

表 23. DEV_CONTROL2 寄存器字段说明

位	字段	类型	出厂设置	说明
15	ABIST_EN	R/W	0b	模拟内置自检使能 (ABIST)。此位返回 ABIST 运行指示位的值。当通过对此寄存器位执行写操作启动 ABIST 时，或在 ABIST 自动启动时的上电期间，此指示位将变为高电平，并且在 ABIST 运行时仍保持此状态。在器件 CRC 计算中，此位使用零值。
14	LBIST_EN	R/W	0b	逻辑内置自检使能 (LBIST)。此位返回 LBIST 运行指示位的值。当通过对此寄存器位执行写操作启动 LBIST 时，或在 LBIST 自动启动时的上电期间，此指示位将变为高电平，并且在 LBIST 运行时仍保持此状态。在器件 CRC 计算中，此位使用零值。
13-6	保留	R	00000000b	
5	RDC_DISABLE	R/W	0b	旋变数字转换器禁止： 0: RDC 模拟前端使能 1: RDC 模拟前端禁止
4	ENINFAULT	R/W	0b	激励信号输入使能控制： 0: 在检测到 FIZHx、FIZLx、FOSHORT、FOSINOPH、FOSINOPL、FOCOSOPH、FOCOSOPL 故障后激励禁止 1: 在检测到故障后激励仍处于使能状态
3	ENIOFAULT	R/W	0b	激励数字 IO 故障使能控制： 0: 在检测到 IOFAULT 故障后激励禁止 1: 在检测到故障后激励仍处于使能状态
2	ENBISTF	R/W	0b	激励 BIST 故障使能控制： 0: 在检测到 BIST 故障后禁止激励 1: 无论 BIST 结果如何都使能激励
1	ENEXTMON	R/W	0b	激励故障监视使能控制： 0: 在检测到 FEXTMONH 或 FEXTMONL 故障后禁止激励 1: 在检测到故障后激励仍处于使能状态
0	ENEXTUV	R/W	0b	激励欠压故障使能控制： 0: 在检测到 EXTUV 故障后禁止激励 1: 在检测到故障后激励仍处于使能状态

7.6.2.13 DEV_CONTROL3 寄存器 (偏移 = Ch) [出厂设置 = 0000h]

DEV_CONTROL3 如图 55 所示，并在表 24 中进行介绍。

图 55. DEV_CONTROL3 寄存器

15	14	13	12	11	10	9	8
保留							
R-00h							
7	6	5	4	3	2	1	0
保留					SPIDIAG	LPEN	EXTEN
R-00000b					R/W-0b	R/W-0b	R/W-0b

表 24. DEV_CONTROL3 寄存器字段说明

位	字段	类型	出厂设置	说明
15-3	保留	R	000h	
2	SPIDIAG	R/W	0b	SPI 从 NORMAL 状态切换到 DIAG 状态。 1: 切换到 DIAG 状态。自清零位，读取时将始终返回零值。
1	LPEN	R/W	0b	跟踪回路使能控制。 在器件上电复位后切换到 NORMAL 状态时，此控制位自动设为 1。该位还可以在 DIAG 或 NORMAL 状态下由 SPI 进行编程。 当内部激励因发生故障而禁止时，此控制位设为 0。
0	EXTEN	R/W	0b	内部激励使能控制。 在器件上电复位后切换到 NORMAL 状态时，此控制位自动设为 1。该位还可以在 DIAG 或 NORMAL 状态下由 SPI 进行编程。 当取消屏蔽的故障（请参见激励输出、放大器和电源特性表）变为活动状态时，此控制位设为 0。只要故障仍处于活动状态，便会保持此状态。

7.6.2.14 DEV_STAT1 寄存器 (偏移 = Dh) [出厂设置 = 0000h]

DEV_STAT1 如图 56 所示，并在表 25 中进行介绍。

图 56. DEV_STAT1 寄存器

15	14	13	12	11	10	9	8
FLOOP_CLAMP	FRCRC	FCECRC	FTECRC	EXTILIM	EXTUV	EXTOV	FLOOPE
RC-0b	RC-0b	RC-0b	RC-0b	R-0b	R-0b	R-0b	R-0b
7	6	5	4	3	2	1	0
FOCOSOPL	FOSINOPL	FOCOSOPH	FOSINOPH	STAT		FGOPEN	FOSHORT
R-0b	R-0b	R-0b	R-0b	R-00b		R-0b	R-0b

表 25. DEV_STAT1 寄存器字段说明

位	字段	类型	出厂设置	说明
15	FLOOP_CLAMP	RC	0b	数字跟踪回路数据钳位标志。执行读操作时此位将清零。
14	FRCRC	RC	0b	器件配置和控制寄存器数据 CRC 错误标志。执行读操作时此位将清零。
13	FCECRC	RC	0b	用户 EEPROM 空间 CRC 错误标志。执行读操作时此位将清零。
12	FTECRC	RC	0b	修整 EEPROM 空间 CRC 错误标志。执行读操作时此位将清零。
11	EXTILIM	R	0b	激励限流故障。执行读操作时此位将清零。
10	EXTUV	R	0b	激励欠压故障。执行读操作时此位将清零。
9	EXTOV	R	0b	激励过压故障。执行读操作时此位将清零。
8	FLOOPE	R	0b	数字跟踪回路故障。执行读操作时此位将清零。
7	FOCOSOPL	R	0b	余弦输入 (IZ1:IZ3) 低电平开路故障。执行读操作时此位将清零。
6	FOSINOPL	R	0b	正弦输入 (IZ2 - IZ4) 低电平开路故障。执行读操作时此位将清零。
5	FOCOSOPH	R	0b	余弦输入 (IZ1:IZ3) 高电平开路故障。执行读操作时此位将清零。
4	FOSINOPH	R	0b	正弦输入 (IZ2 - IZ4) 高电平开路故障。执行读操作时此位将清零。
3-2	STAT	R	00b	SPI 接口状态： 00: 无错误 01: 前一帧期间 SPI CRC 错误或 SPI 时钟无效 10: 前一帧期间数据输出不匹配 11: 前一帧期间地址错误 执行读操作时此位将清零。
1	FGOPEN	R	0b	接地开路故障。执行读操作时此位将清零。
0	FOSHORT	R	0b	输入 IZ1、IZ2、IZ3、IZ4 短路故障。执行读操作时此位将清零。

7.6.2.15 DEV_STAT2 寄存器 (偏移 = Eh) [出厂设置 = 0000h]

DEV_STAT2 如图 57 所示, 并在表 26 中进行介绍。

图 57. DEV_STAT2 寄存器

15	14	13	12	11	10	9	8
保留	SPRD	SORD					
R-0b	R-0b	R-0b					
7	6	5	4	3	2	1	0
SORD							
R-0b							

表 26. DEV_STAT2 寄存器字段说明

位	字段	类型	出厂设置	说明
15	保留	R	0b	
14	SPRD	R	0b	PRD 引脚信号监视
13-0	SORD	R	0b	ORD[13:0] 引脚信号监视

7.6.2.16 DEV_STAT3 寄存器 (偏移 = Fh) [出厂设置 = 0000h]

DEV_STAT3 如图 58 所示, 并在表 27 中进行介绍。

图 58. DEV_STAT3 寄存器

15		14		13		12		11		10		9		8	
OMIZ4L	OMIZ2L	OMIZ3L	OMIZ1L	OMIZ4H	OMIZ2H	OMIZ3H	OMIZ1H	RC-0b	RC-0b	RC-0b	RC-0b	RC-0b	RC-0b	RC-0b	RC-0b
7		6		5		4		3		2		1		0	
FIZL4	FIZL2	FIZL3	FIZL1	FIZH4	FIZH2	FIZH3	FIZH1	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 27. DEV_STAT3 寄存器字段说明

位	字段	类型	出厂设置	说明
15	OMIZ4L	RC	0b	传感器输入信号 IZ4 低基准完整性检查指示位: 将对照 DVMSENL 选定的基准来检查 IZ4 电压。此数字内核输入在记录之前会通过 5us 去毛刺滤波器。执行读操作时此位将清零。
14	OMIZ2L	RC	0b	传感器输入信号 IZ2 低基准完整性检查指示位: 将对照 DVMSENL 选定的基准来检查 IZ2 电压。此数字内核输入在记录之前会通过 5us 去毛刺滤波器。执行读操作时此位将清零。
13	OMIZ3L	RC	0b	传感器输入信号 IZ3 低基准完整性检查指示位: 将对照 DVMSENL 选定的基准来检查 IZ3 电压。此数字内核输入在记录之前会通过 5us 去毛刺滤波器。执行读操作时此位将清零。
12	OMIZ1L	RC	0b	传感器输入信号 IZ1 低基准完整性检查指示位: 将对照 DVMSENL 选定的基准来检查 IZ1 电压。此数字内核输入在记录之前会通过 5us 去毛刺滤波器。执行读操作时此位将清零。
11	OMIZ4H	RC	0b	传感器输入信号 IZ4 高基准完整性检查指示位: 将对照 DVMSENH 选定的基准来检查 IZ4 电压。此数字内核输入在记录之前会通过 5us 去毛刺滤波器。执行读操作时此位将清零。
10	OMIZ2H	RC	0b	传感器输入信号 IZ2 高基准完整性检查指示位: 将对照 DVMSENH 选定的基准来检查 IZ2 电压。此数字内核输入在记录之前会通过 5us 去毛刺滤波器。执行读操作时此位将清零。
9	OMIZ3H	RC	0b	传感器输入信号 IZ3 高基准完整性检查指示位: 将对照 DVMSENH 选定的基准来检查 IZ3 电压。此数字内核输入在记录之前会通过 5us 去毛刺滤波器。执行读操作时此位将清零。
8	OMIZ1H	RC	0b	传感器输入信号 IZ1 高基准完整性检查指示位: 将对照 DVMSENH 选定的基准来检查 IZ1 电压。此数字内核输入在记录之前会通过 5us 去毛刺滤波器。执行读操作时此位将清零。
7	FIZL4	R	0b	输入 IZ4 低过压故障指示位, 将对照 OVIZL 选定的基准来检查 IZ4 电压。执行读操作时此位将清零。
6	FIZL2	R	0b	输入 IZ2 低过压故障指示位, 将对照 OVIZL 选定的基准来检查 IZ2 电压。执行读操作时此位将清零。
5	FIZL3	R	0b	输入 IZ3 低过压故障指示位, 将对照 OVIZL 选定的基准来检查 IZ3 电压。执行读操作时此位将清零。
4	FIZL1	R	0b	输入 IZ1 低过压故障指示位, 将对照 OVIZL 选定的基准来检查 IZ1 电压。执行读操作时此位将清零。
3	FIZH4	R	0b	输入 IZ4 高过压故障指示位, 将对照 OVIZH 选定的基准来检查 IZ4 电压。执行读操作时此位将清零。
2	FIZH2	R	0b	输入 IZ2 高过压故障指示位, 将对照 OVIZH 选定的基准来检查 IZ2 电压。执行读操作时此位将清零。
1	FIZH3	R	0b	输入 IZ3 高过压故障指示位, 将对照 OVIZH 选定的基准来检查 IZ3 电压。执行读操作时此位将清零。
0	FIZH1	R	0b	输入 IZ1 高过压故障指示位, 将对照 OVIZH 选定的基准来检查 IZ1 电压。执行读操作时此位将清零。

7.6.2.17 DEV_STAT4 寄存器（偏移 = 10h）[出厂设置 = 0000h]

DEV_STAT4 如图 59 所示，并在表 28 中进行介绍。

图 59. DEV_STAT4 寄存器

15		14		13		12		11		10		9		8	
FEXTMONH		FEXTMONL		SPI_ERR		FBSTOV		FVDDOC		FTSD2		FEXTMODE		ABISTF	
R-0b		RC-0b		RC-0b		R-0b		RC-0b		RC-0b		R-0b		RC-0b	
7		6		5		4		3		2		1		0	
LBISTF		FVCCOV		FVDDOV		IOFAULT		SFAULT		SOUTA		SOUTB		SOUTZ	
R-0b		R-0b		R-0b		R-0b		R-0b		R-0b		R-0b		RC-0b	

表 28. DEV_STAT4 寄存器字段说明

位	字段	类型	出厂设置	说明
15	FEXTMONH	R	0b	激励监视器 IE1, IE2 高电平故障标志。执行读操作时此位将清零。
14	FEXTMONL	RC	0b	激励监视器 IE1, IE2 低电平故障标志。执行读操作时此位将清零。
13	SPI_ERR	RC	0b	SPI 通信故障标志。
12	FBSTOV	R	0b	激励电源（升压）过压标志。执行读操作时此位将清零。
11	FVDDOC	RC	0b	VDD 稳压器过流标志。执行读操作时此位将清零。
10	FTSD2	RC	0b	激励热警告故障。执行读操作时此位将清零。
9	FEXTMODE	R	0b	激励模式故障标志 0: 无故障, 1: 激励已通过 EXTMODE[1:0] 位禁止
8	ABISTF	RC	0b	模拟 BIST (ABIST) 故障标志。设为“1”后, 则表明发生故障, 仅在 POR 或成功重新运行 BIST 时才能清零。如果在 ABIST 运行时发出 DIAGEXIT 命令, 也会将此位置 1。
7	LBISTF	R	0b	逻辑 BIST (LBIST) 故障标志。设为“1”后, 则表明发生故障, 仅在 POR 或成功重新运行 BIST 时才能清零。
6	FVCCOV	R	0b	V _{CC} 过压故障标志。执行读操作时此位将清零。
5	FVDDOV	R	0b	VDD 过压故障标志。执行读操作时此位将清零。
4	IOFAULT	R	0b	数字输入/输出引脚不匹配故障。执行读操作时此位将清零。
3	SFAULT	R	0b	FAULT 引脚信号监视
2	SOUTA	R	0b	OUTA 引脚信号监视
1	SOUTB	R	0b	OUTB 引脚信号监视
0	SOUTZ	RC	0b	OUTZ 引脚信号监视

7.6.2.18 DEV_STAT5 寄存器 (偏移 = 11h) [出厂设置 = 0000h]

DEV_STAT5 如图 60 所示, 并在表 29 中进行介绍。

图 60. DEV_STAT5 寄存器

15	14	13	12	11	10	9	8
保留	PRD	ORDCLOCK	ORDANGLE				
R-0b	R-0b	R-0b	R-0b				
7	6	5	4	3	2	1	0
ORDANGLE							
R-0b							

表 29. DEV_STAT5 寄存器字段说明

位	字段	类型	出厂设置	说明
15	保留	R	0b	
14	PRD	R	0b	ORD 角度值奇偶校验位 (偶校验) PRD 是 ORD[13:0] 输出的 XOR 函数
13	ORDCLOCK	R	0b	ORD 时钟输出
12-0	ORDANGLE	R	0b	角位置输出值 (右对齐)。角度值以无符号 2 进制补码格式存储。ORD12 始终为 0。如果 PGA411-Q1 采用 10 位模式, 则 ORD11 和 ORD10 将为 0。

7.6.2.19 DEV_STAT6 寄存器 (偏移 = 12h) [出厂设置 = 0000h]

DEV_STAT6 如图 61 所示, 并在表 30 中进行介绍。

图 61. DEV_STAT6 寄存器

15	14	13	12	11	10	9	8
保留	PRD	ORDVELOCITY					
R-0b	R-0b	R-0b					
7	6	5	4	3	2	1	0
ORDVELOCITY							
R-0b							

表 30. DEV_STAT6 寄存器字段说明

位	字段	类型	出厂设置	说明
15	保留	R	0b	
14	PRD	R	0b	ORD 角度值奇偶校验位 (偶校验) PRD 是 ORD[13:0] 输出的 XOR 函数
13-0	ORDVELOCITY	R	0b	旋转速度输出值 (右对齐)。速度值按有符号 2 进制补码的形式存储, 并且基于所选分辨率以 MSB 作为符号 (10 位分辨率时位 9 表示符号, 12 位分辨率时位 11 表示符号)。忽略高于 MSB 的位。请参见“特性描述”的“SPI 输出”说明了解如何将 ORDVELOCITY 位值转换为 RPM 值。

7.6.2.20 DEV_STAT7 寄存器 (偏移 = 13h) [出厂设置 = 0000h]

DEV_STAT7 如图 62 所示，并在表 31 中进行介绍。

图 62. DEV_STAT7 寄存器

15	14	13	12	11	10	9	8
保留							
R-0b							
7	6	5	4	3	2	1	0
FAFECAL	DEVSTATE	OPTID				REVID	
R-0b	R-0b	R				R	

表 31. DEV_STAT7 寄存器字段说明

位	字段	类型	出厂设置	说明
15-8	保留	R	0b	
7	FAFECAL	R	0b	模拟前端零偏移校准故障:
6	DEVSTATE	R	0b	器件状态监视: 0: 诊断状态 1: 正常状态
5-3	OPTID	R	-	选项识别字段
2-0	REVID	R	-	器件版本信息

7.6.2.21 DEV_CLCRC 寄存器 (偏移 = 14h) [出厂设置 = 003Fh]

DEV_CLCRC 如图 63 所示，并在表 32 中进行介绍。

图 63. DEV_CLCRC 寄存器

15	14	13	12	11	10	9	8
保留							
R-0b							
7	6	5	4	3	2	1	0
ECCRC							
R/W-00111111b							

表 32. DEV_CLCRC 寄存器字段说明

位	字段	类型	出厂设置	说明
15-8	保留	R	0b	
7-0	ECCRC	R/W	00111111b	用户 EEPROM 空间 CRC 值

7.6.2.22 DEV_CRC 寄存器 (偏移 = 15h) [出厂设置 = 0000h]

DEV_CRC 如图 64 所示，并在表 33 中进行介绍。

图 64. DEV_CRC 寄存器

15	14	13	12	11	10	9	8
保留							
R-00h							
7	6	5	4	3	2	1	0
RCRC							
R/W-00h							

表 33. DEV_CRC 寄存器字段说明

位	字段	类型	出厂设置	说明
15-8	保留	R	00h	
7-0	RCRC	R/W	00h	器件寄存器数据期望的 CRC 值。

7.6.2.23 CRCCALC 寄存器 (偏移 = 16h) [出厂设置 = 00FFh]

CRCCALC 如图 65 所示，并在表 34 中进行介绍。

图 65. CRCCALC 寄存器

15	14	13	12	11	10	9	8
保留							
R-00h							
7	6	5	4	3	2	1	0
CRCRC							
R/W-FFh							

表 34. CRCCALC 寄存器字段说明

位	字段	类型	出厂设置	说明
15-8	保留	R	00h	
7-0	CRCRC	R/W	FFh	要与 DEV_CRC 中预期的 CRC 值进行比较的器件寄存器数据计算的 CRC

7.6.2.24 DEV_EE_CTRL1 寄存器（偏移 = 17h）[出厂设置 = 0000h]

DEV_EE_CTRL1 如图 66 所示，并在表 35 中进行介绍。

图 66. DEV_EE_CTRL1 寄存器

15	14	13	12	11	10	9	8
保留							
R-00h							
7	6	5	4	3	2	1	0
EECMD							
R/W-00h							

表 35. DEV_EE_CTRL1 寄存器字段说明

位	字段	类型	出厂设置	说明
15-8	保留	R	00h	
7-0	EECMD	R/W	00h	用户 EEPROM 空间命令序列： 0xA7: EEPROM 批量编程 0xA2: EEPROM 批量加载 在命令执行完成后，此寄存器会被清零。请注意，SPI 先写后读响应会被监视，以确定此寄存器是否已成功写入。

7.6.2.25 DEV_CRC_CTRL1 寄存器（偏移 = 18h）[出厂设置 = 0000h]

DEV_CRC_CTRL1 如图 67 所示，并在表 36 中进行介绍。

图 67. DEV_CRC_CTRL1 寄存器

15	14	13	12	11	10	9	8
保留							
R-00h							
7	6	5	4	3	2	1	0
保留							CRCCTL
R-0b							R/W-0h

表 36. DEV_CRC_CTRL1 寄存器字段说明

位	字段	类型	出厂设置	说明
15-1	保留	R	0b	
0	CRCCTL	R/W	0b	CRC 校验序列控制： 0: 选择单次 CRC 校验 1: 选择连续 CRC 校验（每隔 2ms 执行一次 CRC 校验）

7.6.2.26 DEV_EE_CTRL4 寄存器 (偏移 = 19h) [出厂设置 = 0000h]

DEV_EE_CTRL4 如图 68 所示, 并在表 37 中进行介绍。

图 68. DEV_EE_CTRL4 寄存器

15	14	13	12	11	10	9	8
保留							
R-00h							
7	6	5	4	3	2	1	0
EEUNLK							
R/W-00h							

表 37. DEV_EE_CTRL4 寄存器字段说明

位	字段	类型	出厂设置	说明
15-8	保留	R	00h	
7-0	EEUNLK	R/W	00h	用户 EEPROM 解锁序列: 1. 0x0F 2. 0x55 3. 0xAA 4. 0xF0 必须在 10ms 内完成。

7.6.2.27 DEV_UNLK_CTRL1 寄存器 (偏移 = 1Ah) [出厂设置 = 0000h]

DEV_UNLK_CTRL1 如图 69 所示, 并在表 38 中进行介绍。

图 69. DEV_UNLK_CTRL1 寄存器

15	14	13	12	11	10	9	8
保留							
R-00h							
7	6	5	4	3	2	1	0
DEVUNLK							
R/W-00h							

表 38. DEV_UNLK_CTRL1 寄存器字段说明

位	字段	类型	出厂设置	说明
15-8	保留	R	00h	
7-0	DEVUNLK	R/W	00h	器件控制寄存器解锁序列。以下序列用于解锁 DEV_CONTROL1 和 DEV_CONTROL2 寄存器: 1. 0x0F 2. 0x55 3. 0xAA 4. 0xF0 必须在 10ms 内完成。

8 应用和实施

注

以下应用部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

旋变传感器是在恶劣环境中测量角度位置的首选器件。该旋变传感器与旋转变压器类似，各输出线圈的相位彼此相差 90° 并且产生互补电压。激励线圈或主线圈由正弦波供电。电动汽车 (EV) 或混合动力汽车 (HEV) 中的牵引电机、电动助力转向 (EPS) 及启停发电机等系统通常使用旋变传感器。

8.2 典型应用

典型应用是 PGA411-Q1 器件利用 OE1 和 OE2 引脚传输激励输出信号并接收 IZ1 至 IZ4 引脚传输的正弦和余弦反馈。本应用还需使用其他外部元件，如晶体振荡器、电感、二极管和电容。图 70 所示为应用上述元件的示例电路原理图。

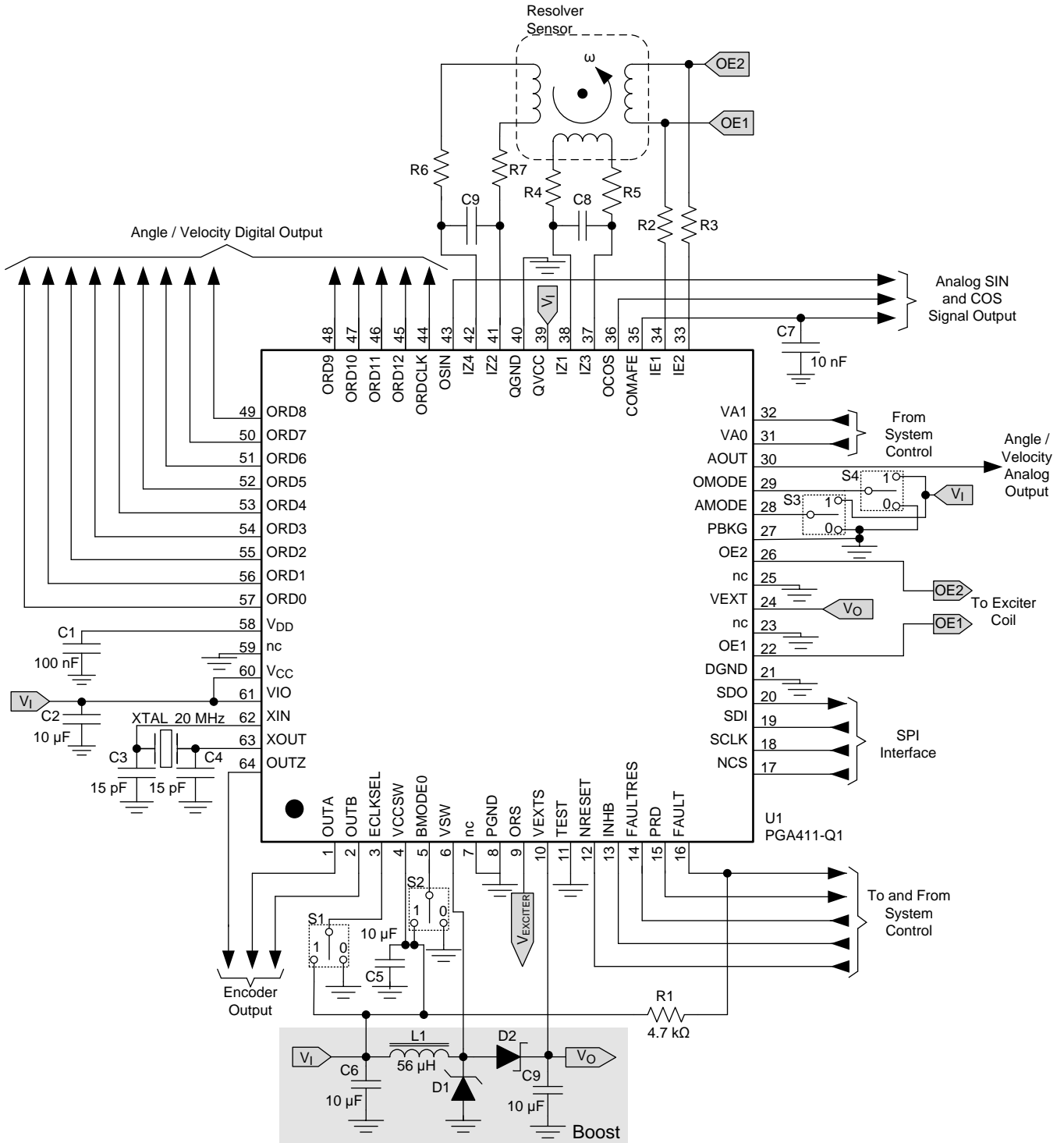
PGA411-Q1

ZHC SER3C – NOVEMBER 2015 – REVISED MARCH 2016

www.ti.com.cn

典型应用 (接下页)

8.2.1 旋变数字转换器



NOTE: 数字引脚 (如 NRESET 和 FAULT) 所容许的最大电流为 10mA。可根据需要使用上拉电阻 (建议阻值为 4.7kΩ)。

图 70. PGA411-Q1 典型应用图

典型应用 (接下页)
表 39. PGA411-Q1 开关配置

开关编号	引脚	STATE	说明
S1	ECLKSEL	0	内部振荡器, 用作系统时钟
		1	外部 XTAL 振荡器, 用作系统时钟
S2	BMODE0	0	10 位角度和速度分辨率
		1	12 位角度和速度分辨率
S3	AMODE	0	加速模式关闭
		1	加速模式开启
S4	OMODE	0	ORD[11:0] 角度和速度数字输出关闭
		1	ORD[11:0] 角度和速度数字输出开启

注

典型应用图中连接开关的引脚可与微控制器相连, 从而在操作过程中进行调节。

表 40. PGA411-Q1 系统控制引脚配置

引脚	STATE	说明
VA0 : VA1	00或11	ORD[11:0] 置为高阻抗状态
	01	ORD[11:0] 的速度输出
	10	ORD[11:0] 的角度输出
INHB	0	ORD[11:0] 的数据处于保持状态
	1	ORD[11:0] 的数据处于持续更新状态
FAULT	0	未检测到任何故障
	高阻态	存在故障并且器件处于 FAULT 状态
FAULTRES	0	故障已清除, 但并未锁存。
	1	故障已锁存并通过 FAULT 引脚传输
NRESET	0	PGA411-Q1 器件处于复位状态
	1	PGA411-Q1 器件处于启动状态

8.2.1.1 设计要求

所有旋变传感器的关键技术规范包括激励电压、频率、阻抗和变压比。在 PGA411-Q1 器件的设计过程中必须考虑上述因素。上述参数通常在每个旋变传感器的数据表中指定; 本示例中的传感器的激励频率为 10kHz, 其他重要参数在表 41 中列出。由于 PGA411-Q1 器件是一款高度集成的器件, 因此除芯片外, 在系统实现过程中仅需使用少量组件。使用表 41 所列的值作为设计参数。

表 41. 设计参数

技术规范名称	技术规范值
激励频率	10kHz
激励电压	4 V _{RMS}
旋变传感器输入阻抗	100Ω + j × w × 2.54mH
变压比	0.35 V/V 至 0.5 V/V

8.2.1.2 详细设计流程

在此设计示例中，应使用表 41 列出的旋变传感器的传感器技术规范计算系统参数。

8.2.1.2.1 激励放大器设计

旋变传感器绕组阻抗由阻性和感性分量组成。旋变传感器阻抗的阻性分量介于 50Ω 至 200Ω 之间，而感性分量随工作频率发生变化。

PGA411-Q1 激励信号输出可在 10kHz 至 20kHz 的范围内进行编程。激励电压可通过编程设定为 $4 V_{\text{RMS}}$ 或 $7 V_{\text{RMS}}$ 。在 $4 V_{\text{RMS}}$ 模式下（增益为 1.5），差分输出电压介于 $10.74 V_{\text{PP}}$ 至 $11.87 V_{\text{PP}}$ 之间。当 OE1 与 OE2 引脚之间的差分输出电压为 $20 V_{\text{PP}}$ 时，测得的 PGA411-Q1 器件所支持的最大输出电流为 145mA 。在本特定示例中，当频率为 10kHz 时，旋变传感器阻抗额外增加 100Ω ，电感分量约为 160Ω 。在 $4 V_{\text{RMS}}$ 模式下，PGA411-Q1 器件的集成激励放大器可轻松驱动此线圈。图 12 提到的前置放大器级有助于进一步调节输出电压。

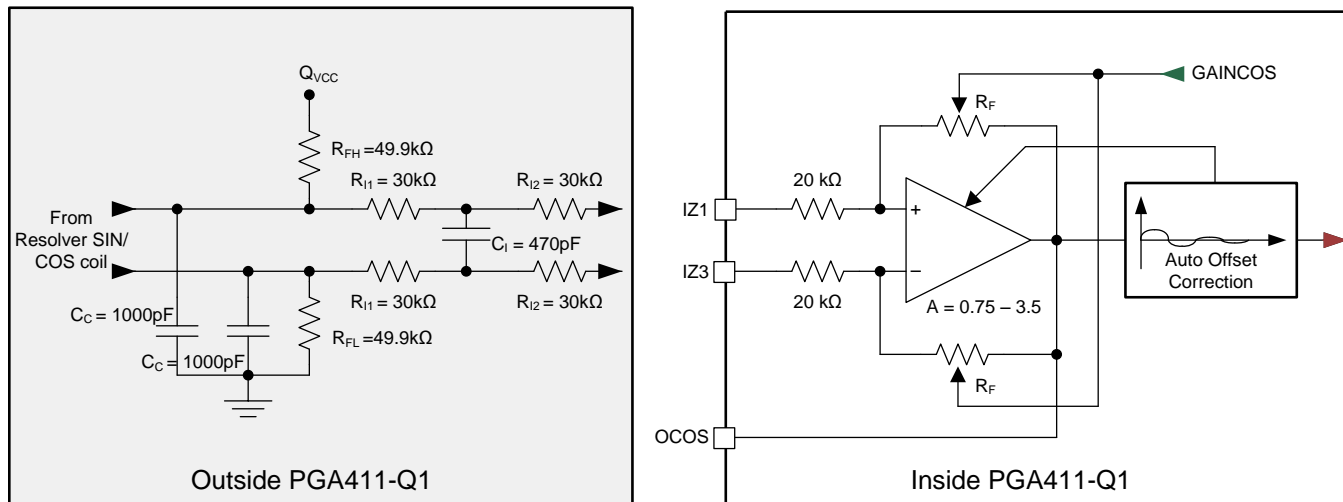
在本设计示例中，PGA411-Q1 器件设定为 $4 V_{\text{RMS}}$ 模式，前置放大器增益为 1.9（由置为 $0x0F$ 的 EXTOUT_GL 进行控制）。

8.2.1.2.2 升压电源组件计算

电源的最大输出电流为 150mA 。鉴于升压转换器的开关频率为固定值 (414kHz)，德州仪器 (TI) 建议使用 $56\mu\text{H}$ 升压电感以及 $10\mu\text{F}$ 输出电容。升压 (VCCSW) 的输入电源电压应介于 4.75V 至 8.5V 范围内。通常可使用与 VCC 和 QVCC 相同的 5V 电压轨为 VCCSW 供电，然而，对于需要超出升压范围的高电压和高电流的应用，建议提升 VCCSW 的电压以实现所需性能。旋变传感器的激励电源电压可通过 SPI 进行编程，从而在 $7 V_{\text{RMS}}$ 模式下产生介于 13.5V 至 17.5V 之间的特定电压；在 $4 V_{\text{RMS}}$ 模式下产生介于 9.5V 至 13.5V 之间的特定电压。升压电源电压必须具有足够裕量，从而确保输出信号的失真较低。如下文中的测试结果所示，本设计示例中的升压输出通过编程设定为 12V 。

8.2.1.2.3 AFE 外部组件值选择

由于 PGA411-Q1 跟踪回路输入信号来源于旋变传感器（通过 AFE）所产生的正弦和余弦信号，适当调节这些信号至关重要。因此，外部组件的选择是决定器件能够正常运行的重要因素。必须在不产生失真的情况下正确放大正弦和余弦信号。必须抑制所监视频率范围内的噪声。



- R_{IX}** 增益设置电阻
- C_I** 输入电容
- R_{FL} 和 R_{FH}** 开路故障电阻
- C_C** 共模电容

图 71. 对 IZx 引脚进行滤波的外部组件选择

根据前文所示，AFE 增益可在 0.75 和 3.5 之间进行选择，这会在内部更改 R_F 阻值（如表 42 所示）

表 42. 不同增益水平下的 AFE 内部电阻

增益水平	内部 R _F 电阻
0.75	15kΩ
1	20kΩ
2.25	45kΩ
3.5	70kΩ

不同旋变传感器型号的传递系数通常介于 0.35 至 0.5 之间，但往往略有差异。本设计示例选择对应于 20kΩ 电阻的增益值 1。可根据需要在输入信号路径中额外添加一个电阻，从而进一步使输入信号发生衰减。请注意，增益过大会导致 OSIN 和 OCOS 输出发生饱和。根据必须加以调节的旋变传感器正弦和余弦信号，使用公式 18 可计算 AFE 总放大幅度，从而确保 OSIN 与 OCOS 的输出摆幅始终低于 4 V_{PP}。

$$A (V/V) = \frac{R_F}{R_{I(1)} + R_{I(2)} + 20 \text{ k}\Omega}$$

其中

- OCOS = A × (IZ1 – IZ3) [V_{PP}]
 - OSIN = A × (IZ2 – IZ4) [V_{PP}]
- (18)

为改善输入的噪声性能，输入电容 C_I 以及输入电阻 R_{I(1)} 应构成一个截止频率为 -3dB 的低通滤波器，如公式 19 所示。

$$f_C (-3 \text{ dB}) = \frac{1}{2 \times \pi \times 2 \times C_I \times (R_{I(1)} \parallel [R_{I(2)} + 20 \text{ k}\Omega])}$$

(19)

使用公式 20 计算时间常数 τ。

$$\tau = C_I \times (R_{I(1)} \parallel [R_{I(2)} + 20 \text{ k}\Omega]) \text{ [s]}$$

(20)

时间常数是激励信号与正弦和余弦信号之间相移的影响因素之一。因此，必须推导出使相移处于 PGA411-Q1 校正范围内的最优值。

PGA411-Q1 输入的差分峰峰值信号（正弦和余弦信号）必须同样处于 0.188V 至 3V 范围内。根据之前的等式将 $R_{I(1)}$ 和 $R_{I(2)}$ 阻值选定为 30kΩ，同时内部电阻设为 20kΩ。

对于需要运行的开路输入诊断功能，应用的外部电阻 R_{FH} 和 R_{FL} 可在输入线圈断开连接时为 IZx 输入提供直流偏置。表 43 列出了 VEXT 引脚上不同假定电压所对应的电阻估算值。

表 43. 典型 VEXT 电压下的外部电阻估算值

VEXT (V)	R_{FH} (kΩ)	R_{FL} (kΩ)
5	20	20
12	50	
24	100	

输入电容 (C_C) 是值为 1000pF 的共模电容。

IE1 与 IE2 信号采用类似的方法进行调节。根据这些引脚的输入技术规范，建议在测量引脚对地的电压时，始终将电压输入摆幅稳定在 4 V_{PP} 以下。根据激励放大器的输出设置，可能需要额外进行信号衰减。这可以通过增加外部电阻来实现，如图 72 所示。

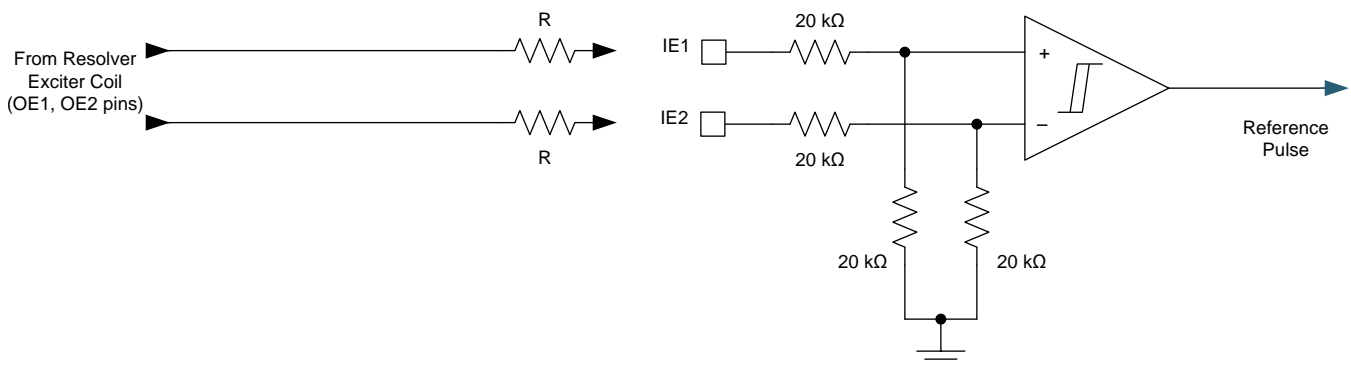


图 72. IE1/IE2 引脚的外部元件选择

根据 OE1 和 OE2 引脚的输出电压，使用公式 21 计算电阻值 R。为了实现最优性能，器件 IEx 引脚的（单端）电压 (V_{IEX}) 应介于 0.5V 至 4V 之间。

$$R = 40 \text{ k}\Omega \times \frac{V_{OEEx} - V_{IEX}}{V_{IEX}} \text{ (}\Omega\text{)} \tag{21}$$

8.2.1.2.3.1 激励信号路径输出计算

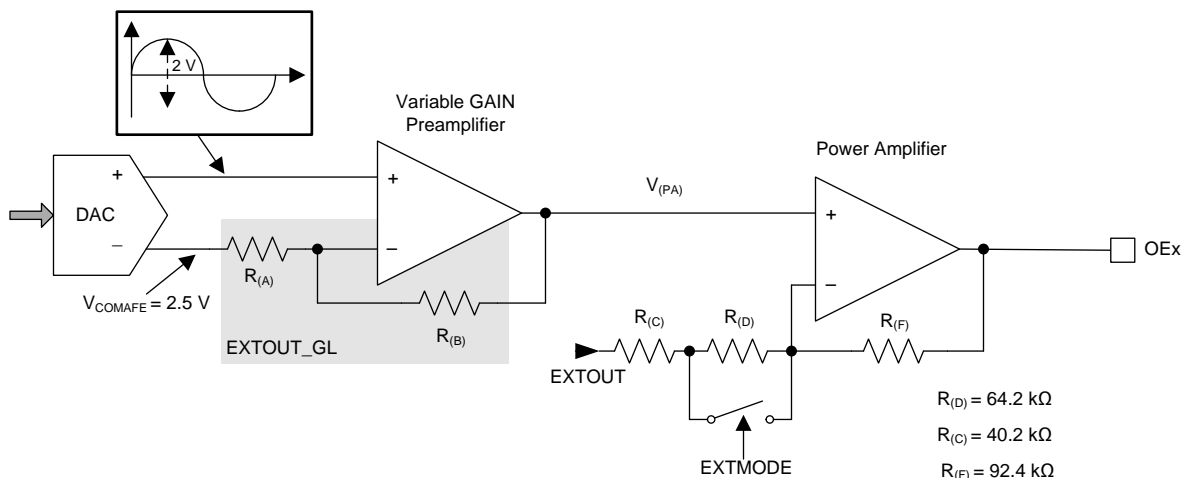


图 73. 激励输出增益

使用公式 22 计算可变增益前置放大器值（已经通过 EXTOUT_GL 参数进行计算和选择）。

$$\frac{V_{(PA)}}{V_{(DAC)}} = \text{EXTOUT_GL} = \frac{R_{(A)} + R_{(B)}}{R_{(A)}} - \frac{V_{\text{COMAFE}}}{V_{(DAC)}} \times \frac{R_{(B)}}{R_{(A)}}$$

其中

- $V_{(PA)}$ 是表示可变增益前置放大器电压输出的内部信号。 (22)

对于功率放大器，请使用公式 23 和公式 24 进行计算。对于 4 V_{RMS} 输出，在开关断开的情况下选择 EXTMODE，如公式 23 所示。

$$\frac{V_{\text{OEx}}}{V_{(PA)}} = \frac{R_{(C)} + R_{(D)} + R_{(F)}}{R_{(C)} + R_{(D)}} - \frac{V_{\text{EXTOUT}}}{V_{(PA)}} \times \frac{R_{(F)}}{R_{(C)} + R_{(D)}} \quad (23)$$

对于 7 V_{RMS} 输出，在开关闭合的情况下选择 EXTMODE，如公式 24 所示。

$$\frac{V_{\text{OEx}}}{V_{(PA)}} = \frac{R_{(C)} + R_{(F)}}{R_{(C)}} - \frac{V_{\text{EXTOUT}}}{V_{(PA)}} \times \frac{R_{(F)}}{R_{(C)}} \quad (24)$$

8.2.1.3 应用曲线

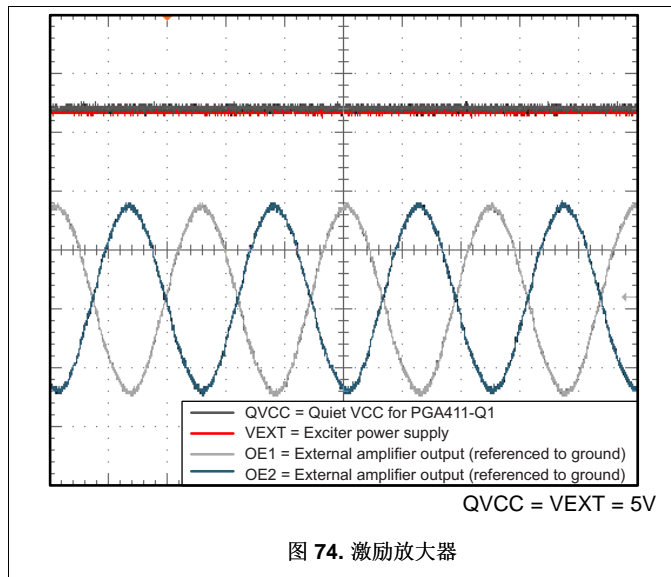


图 74. 激励放大器

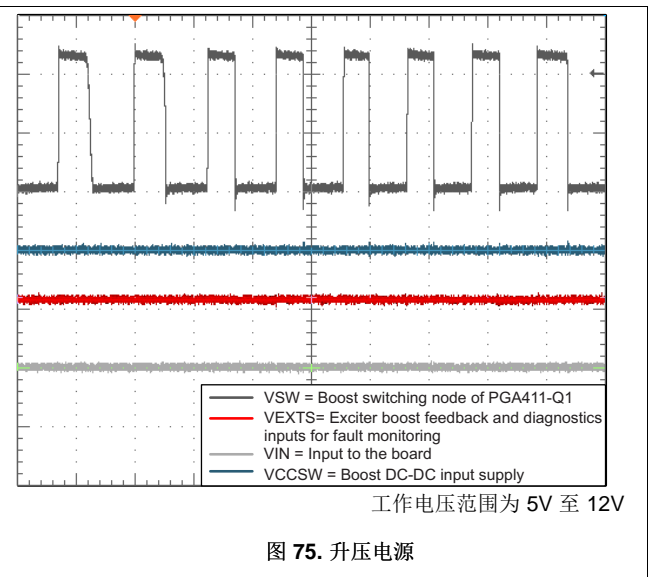


图 75. 升压电源

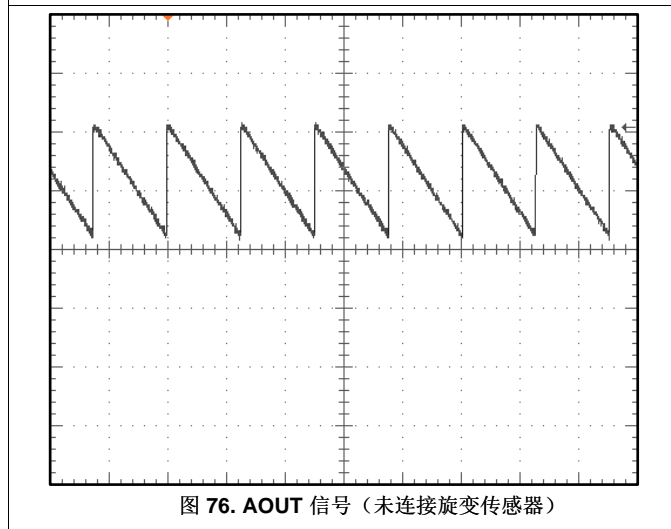


图 76. AOUT 信号 (未连接旋变传感器)

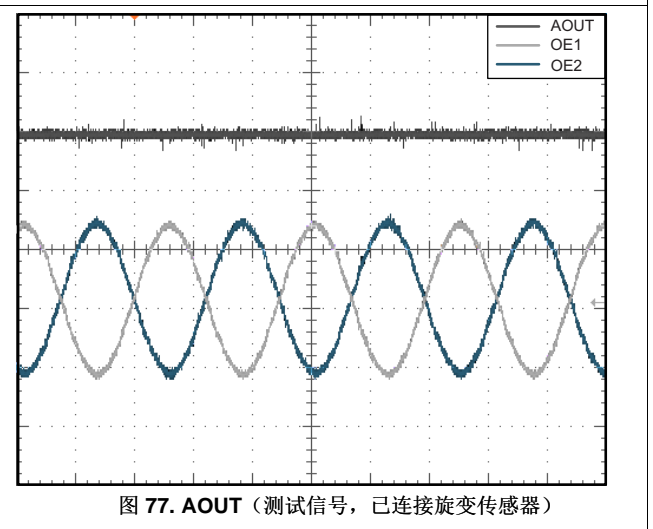


图 77. AOUT (测试信号, 已连接旋变传感器)

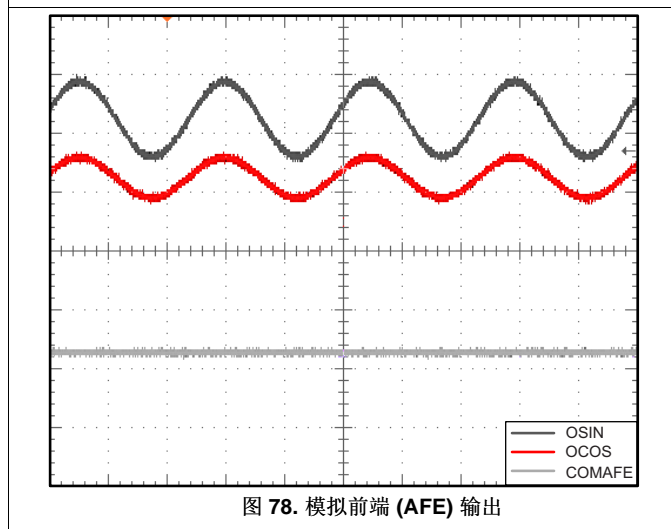


图 78. 模拟前端 (AFE) 输出

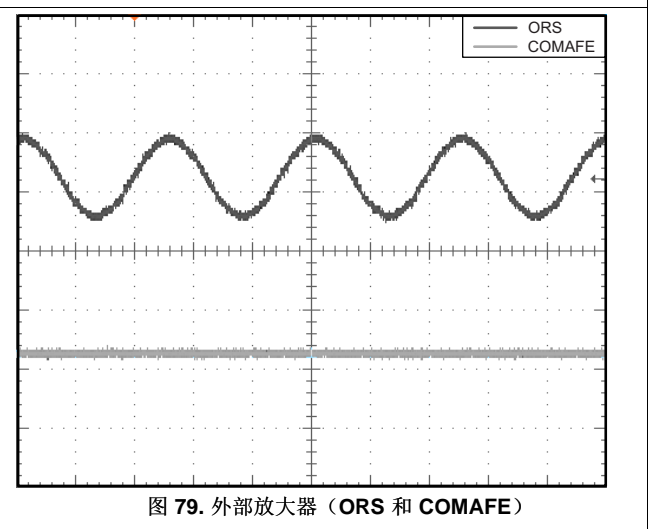
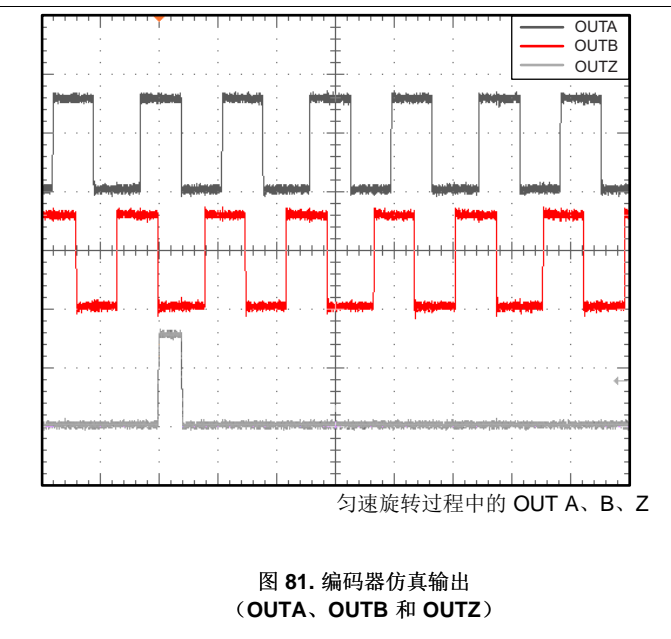
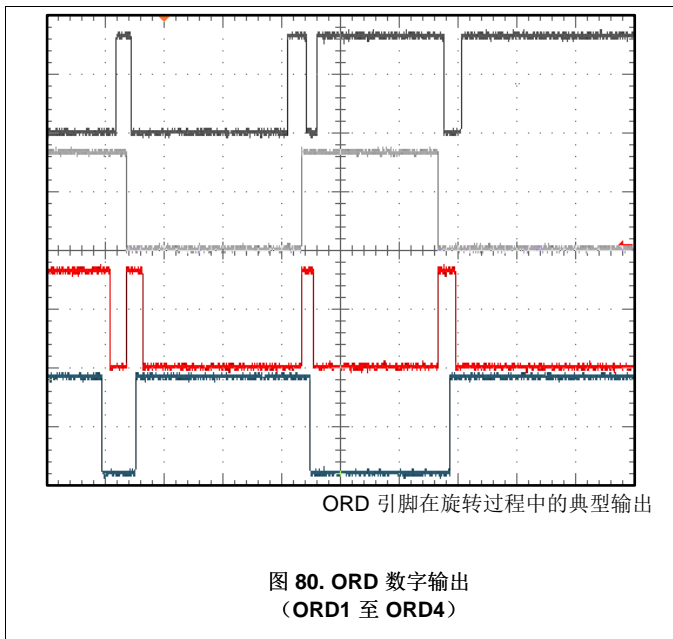


图 79. 外部放大器 (ORS 和 COMAFE)



8.3 系统示例

在图 82、图 83 和图 84 中采用下列图例。

GP_I 通用输入

GP_O 通用输出

TIMER_I 连接定时器、计数器、捕捉或比较模块的输入端口

TIMER_O 连接定时器、计数器、捕捉或比较模块的输出端口

 数据总线

 控制接口

系统示例 (接下页)

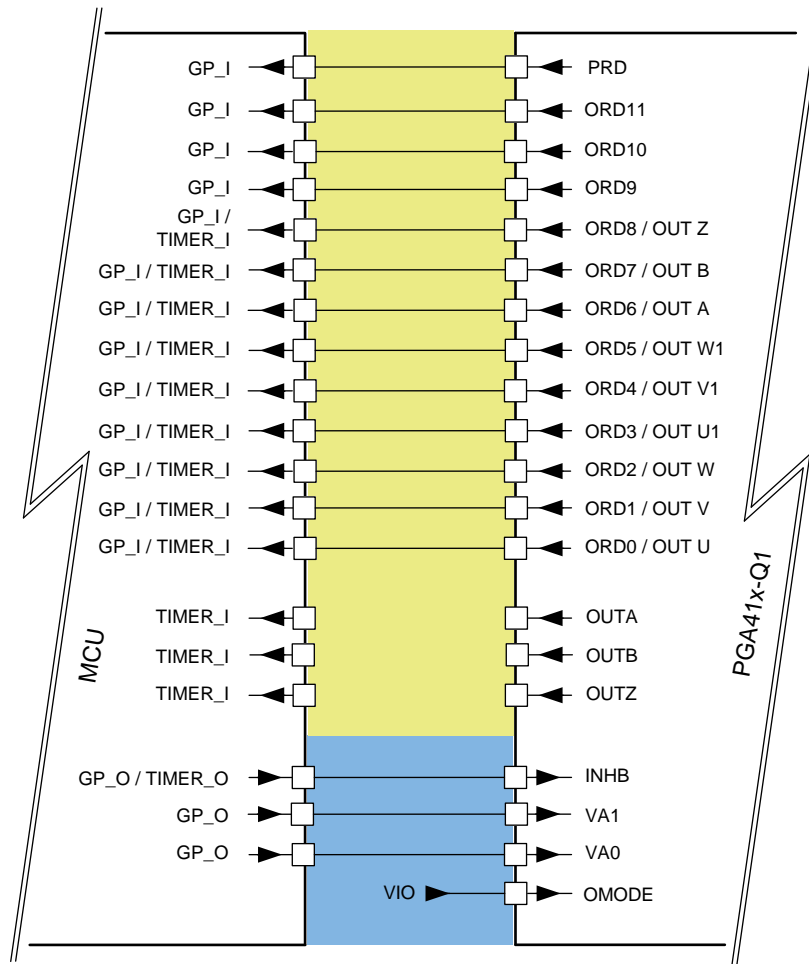
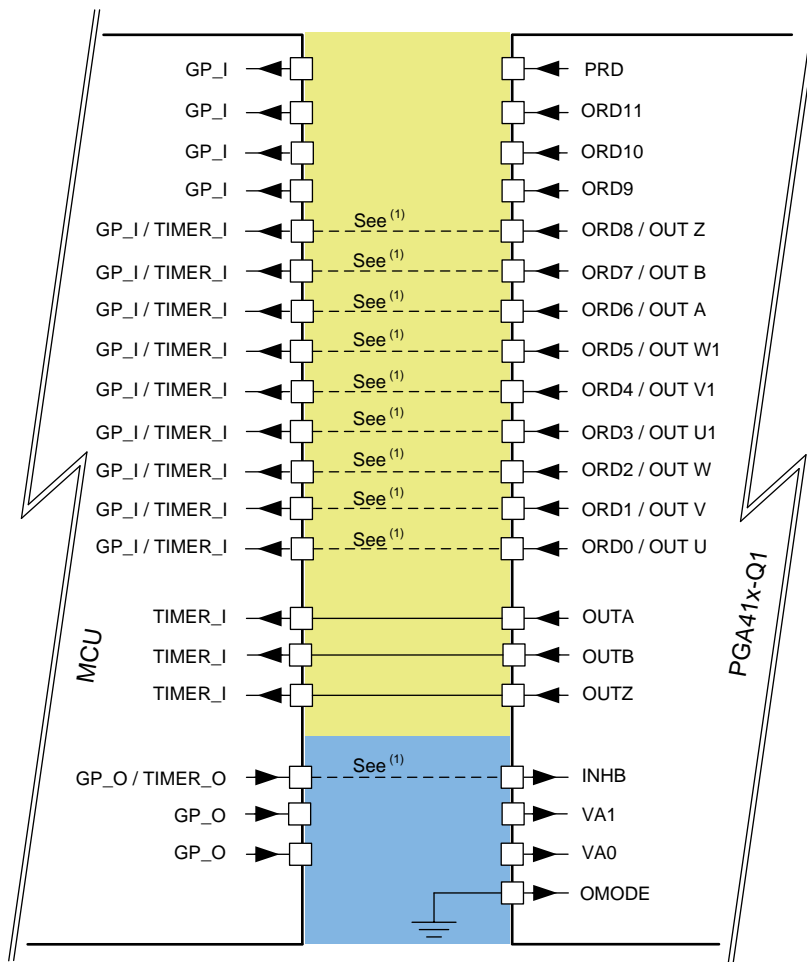


图 82. 单一 PGA411-Q1 并行数据输出

系统示例 (接下页)



(1) 可选

图 83. 单一 PGA411-Q1 仿真编码器数据输出

系统示例 (接下页)

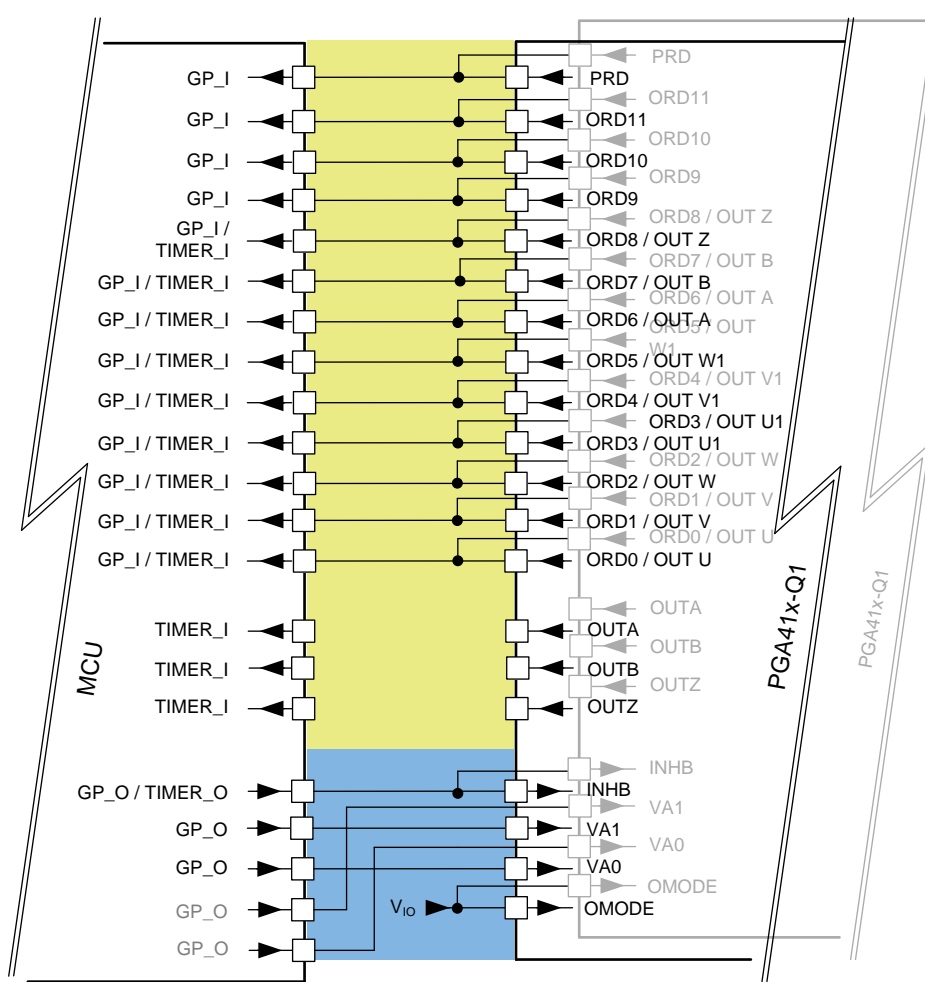


图 84. 多重 PGA411-Q1 并行数据输出

8.4 初始化设置

请参见图 1，确保这些命令遵循所需 SPI 序列并在发送 SPI 命令前导通 NCS 引脚。图 2 所示为信号时序。在电路正常工作期间，RESET 引脚应保持导通。

9 电源相关建议

PGA411-Q1 器件具有三个接地引脚，分别用于电源接地 (PGND)、数字接地 (DGND) 和稳定接地 (QGND)。

注

PGND 和 DGND 引脚分别连接到 PGA411-Q1 器件内部。

德州仪器 (TI) 建议采用 STAR 接地技术接地并在稳定接地、电源接地和数字接地之间添加去耦电容。

V_{DD} 稳压器由 V_{CC} 引脚的 5V 输入电源电压供电并生成稳定的 1.8V 内部数字逻辑电路电源。 V_{DD} 引脚要求使用外部滤波电容。为了进行滤波，请将 100nF 电容与 V_{DD} 引脚相连。

I/O 引脚的数字电源电压、 V_{CC} 、 V_{EXT} 以及 $QVCC$ 要求使用优质陶瓷去耦电容。建议在 $QVCC$ 引脚使用铁氧体磁珠和去耦电容额外进行滤波。

布局示例 (接下页)

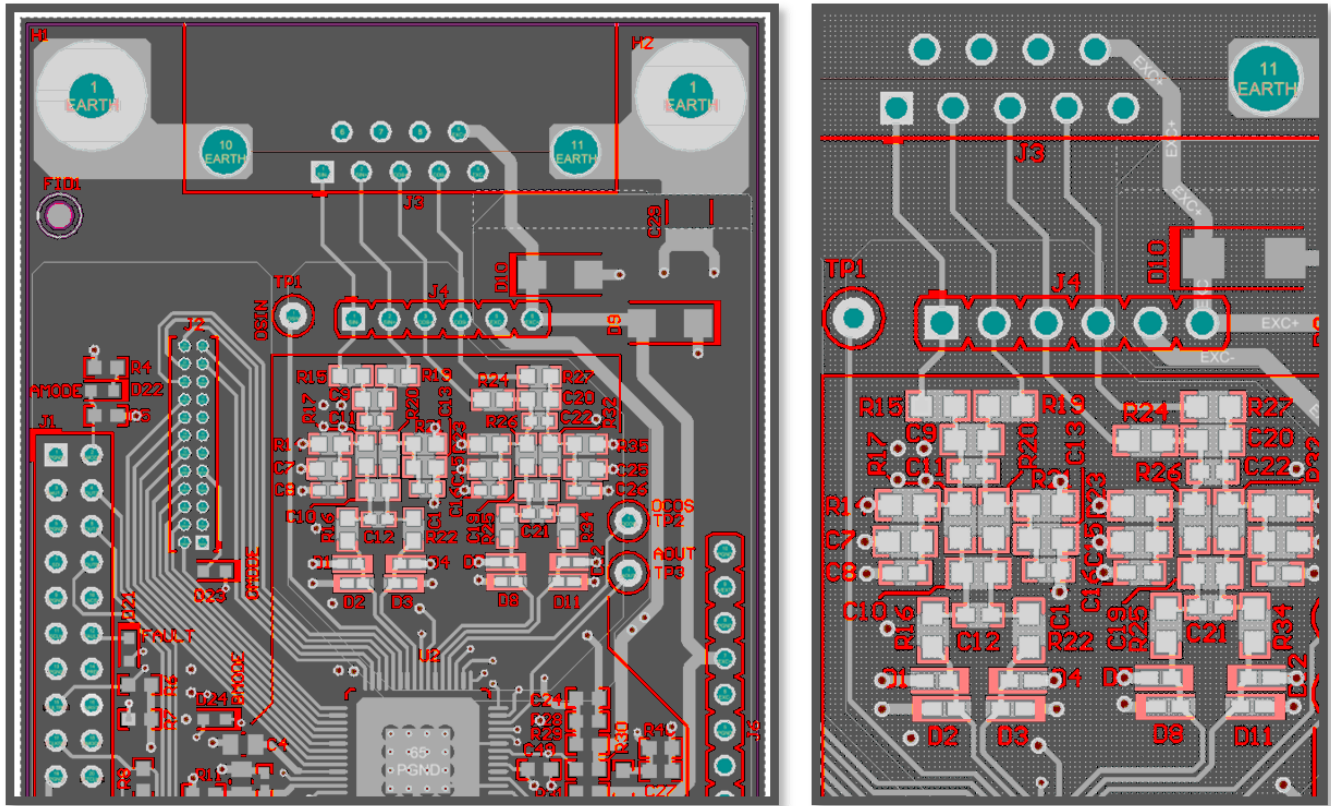


图 86. 模拟前端布局

布局示例 (接下页)

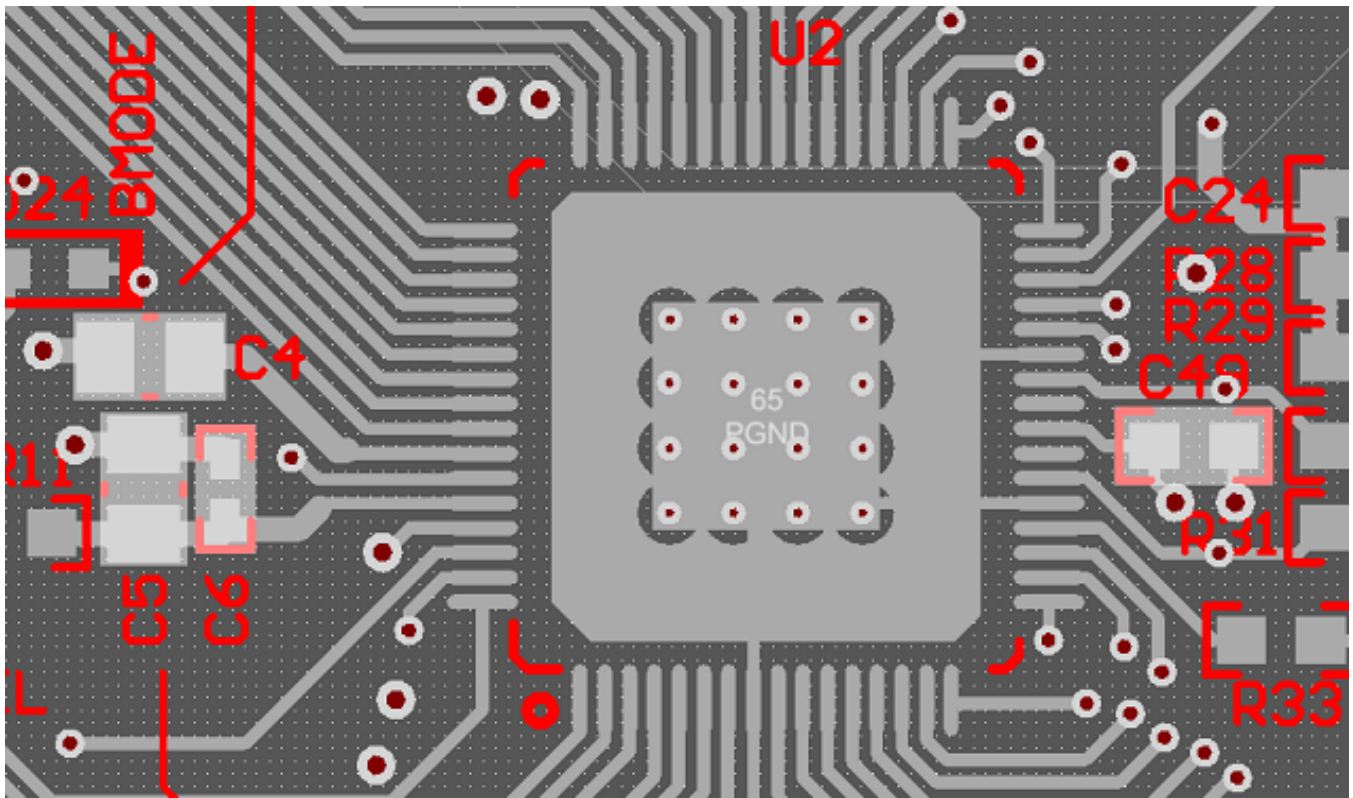


图 87. 去耦电容

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

相关文档如下：

- 《ALM2402-Q1 具有高电流输出的双路运算放大器》， [SLOS912](#)
- 《PGA411-Q1 的故障排除指南》， [SLAA687](#)
- 《PGA411-Q1 PCB 设计指南》， [SLAA697](#)
- 《PGA411-Q1 EVM 用户指南》， [SLAU658](#)
- 《PGA411-Q1 旋变传感器接口的安全手册》， [SLAA684](#)

11.2 社区资源

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

TI E2E™ Online Community *TI's Engineer-to-Engineer (E2E) Community*. Created to foster collaboration among engineers. At e2e.ti.com, you can ask questions, share knowledge, explore ideas and help solve problems with fellow engineers.

Design Support *TI's Design Support* Quickly find helpful E2E forums along with design support tools and contact information for technical support.

11.3 商标

SafeTI, PowerPAD, E2E are trademarks of Texas Instruments.
All other trademarks are the property of their respective owners.

11.4 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.5 Glossary

[SLYZ022](#) — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

12 机械、封装和可订购信息

以下页中包括机械、封装和可订购信息。这些信息是针对指定器件可提供的最新数据。这些数据会在无通知且不对本文档进行修订的情况下发生改变。欲获得该数据表的浏览器版本，请查阅左侧的导航栏。

重要声明

德州仪器(TI)及其下属子公司有权根据 JESD46 最新标准,对所提供的产品和服务进行更正、修改、增强、改进或其它更改,并有权根据 JESD48 最新标准中止提供任何产品和服务。客户在下订单前应获取最新的相关信息,并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的TI 销售条款与条件。

TI 保证其所销售的组件的性能符合产品销售时 TI 半导体产品销售条件与条款的适用规范。仅在 TI 保证的范围内,且 TI 认为有必要时才会使用测试或其它质量控制技术。除非适用法律做出了硬性规定,否则没有必要对每种组件的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险,客户应提供充分的设计与操作安全措施。

TI 不对任何 TI 专利权、版权、屏蔽作品权或其它与使用了 TI 组件或服务的组合设备、机器或流程相关的 TI 知识产权中授予的直接或隐含权限作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息,不能构成从 TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可,或是 TI 的专利权或其它知识产权方面的许可。

对于 TI 的产品手册或数据表中 TI 信息的重要部分,仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。TI 对此类篡改过的文件不承担任何责任或义务。复制第三方的信息可能需要服从额外的限制条件。

在转售 TI 组件或服务时,如果对该组件或服务参数的陈述与 TI 标明的参数相比存在差异或虚假成分,则会失去相关 TI 组件或服务的所有明示或暗示授权,且这是不正当的、欺诈性商业行为。TI 对任何此类虚假陈述均不承担任何责任或义务。

客户认可并同意,尽管任何应用相关信息或支持仍可能由 TI 提供,但他们将独立负责满足与其产品及其在应用中使用的 TI 产品相关的所有法律、法规和安全相关要求。客户声明并同意,他们具备制定与实施安全措施所需的全部专业技术和知识,可预见故障的危险后果、监测故障及其后果、降低有可能造成人身伤害的故障的发生机率并采取适当的补救措施。客户将全额赔偿因在此类安全关键应用中使用任何 TI 组件而对 TI 及其代理造成的任何损失。

在某些场合中,为了推进安全相关应用有可能对 TI 组件进行特别的促销。TI 的目标是利用此类组件帮助客户设计和创立其特有的可满足适用的功能安全性标准和要求的终端产品解决方案。尽管如此,此类组件仍然服从这些条款。

TI 组件未获得用于 FDA Class III (或类似的生命攸关医疗设备)的授权许可,除非各方授权官员已经达成了专门管控此类使用的特别协议。

只有那些 TI 特别注明属于军用等级或“增强型塑料”的 TI 组件才是设计或专门用于军事/航空应用或环境的。购买者认可并同意,对并非指定面向军事或航空航天用途的 TI 组件进行军事或航空航天方面的应用,其风险由客户单独承担,并且由客户独立负责满足与此类使用相关的所有法律和法规要求。

TI 已明确指定符合 ISO/TS16949 要求的产品,这些产品主要用于汽车。在任何情况下,因使用非指定产品而无法达到 ISO/TS16949 要求, TI 不承担任何责任。

	产品		应用
数字音频	www.ti.com.cn/audio	通信与电信	www.ti.com.cn/telecom
放大器和线性器件	www.ti.com.cn/amplifiers	计算机及周边	www.ti.com.cn/computer
数据转换器	www.ti.com.cn/dataconverters	消费电子	www.ti.com.cn/consumer-apps
DLP® 产品	www.dlp.com	能源	www.ti.com.cn/energy
DSP - 数字信号处理器	www.ti.com.cn/dsp	工业应用	www.ti.com.cn/industrial
时钟和计时器	www.ti.com.cn/clockandtimers	医疗电子	www.ti.com.cn/medical
接口	www.ti.com.cn/interface	安防应用	www.ti.com.cn/security
逻辑	www.ti.com.cn/logic	汽车电子	www.ti.com.cn/automotive
电源管理	www.ti.com.cn/power	视频和影像	www.ti.com.cn/video
微控制器 (MCU)	www.ti.com.cn/microcontrollers		
RFID 系统	www.ti.com.cn/rfidsys		
OMAP应用处理器	www.ti.com.cn/omap		
无线连通性	www.ti.com.cn/wirelessconnectivity	德州仪器在线技术支持社区	www.deyisupport.com

邮寄地址: 上海市浦东新区世纪大道1568号, 中建大厦32楼邮政编码: 200122
Copyright © 2016, 德州仪器半导体技术(上海)有限公司

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
PGA411QPAPRQ1	ACTIVE	HTQFP	PAP	64	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	-40 to 125	PGA411QPAPRQ1	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
PGA411QPAPRQ1	HTQFP	PAP	64	1000	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS

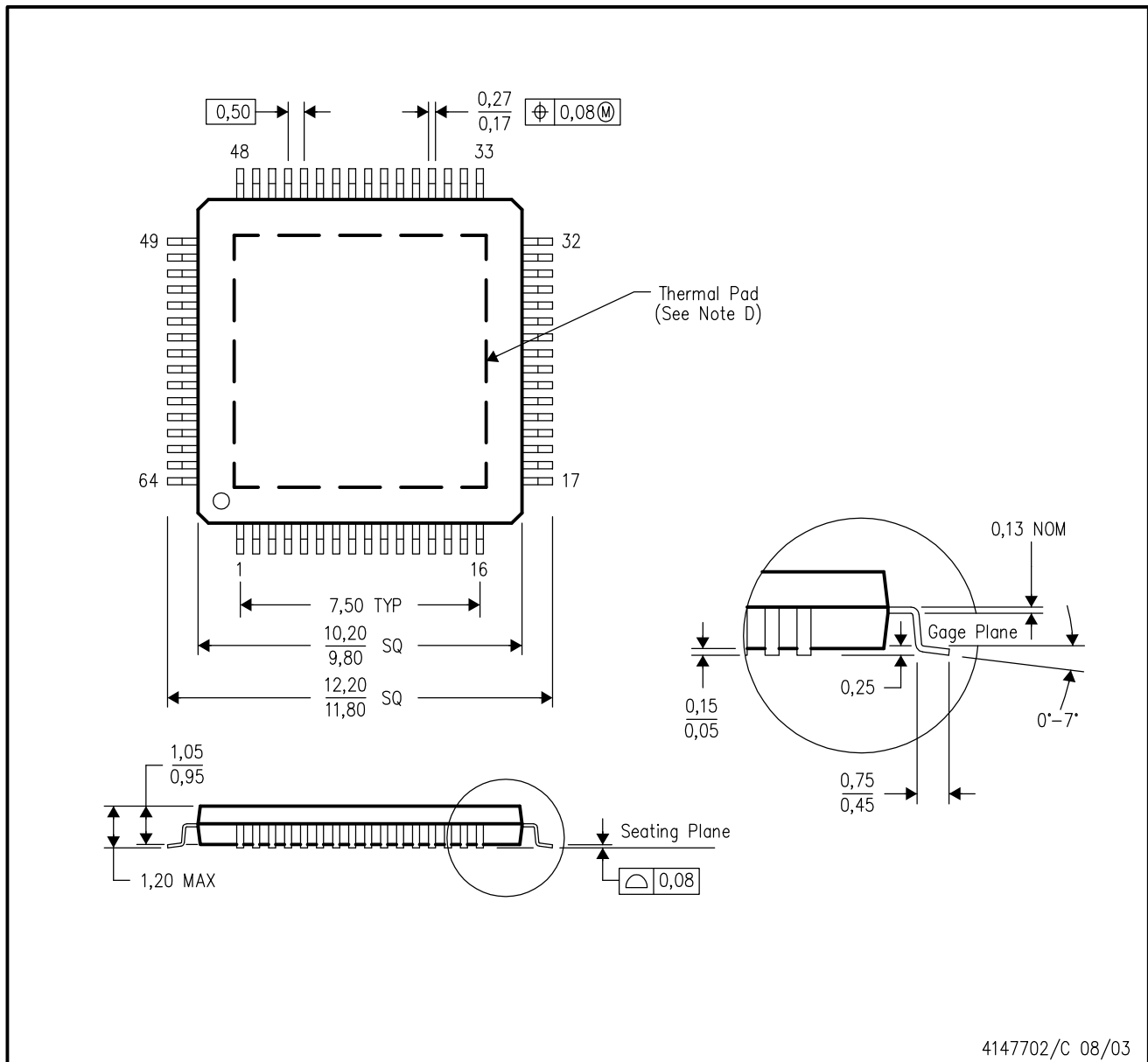


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
PGA411QPAPRQ1	HTQFP	PAP	64	1000	367.0	367.0	45.0

PAP (S-PQFP-G64)

PowerPAD™ PLASTIC QUAD FLATPACK



4147702/C 08/03

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion
 - D. This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 for information regarding recommended board layout. This document is available at www.ti.com <<http://www.ti.com>>.
 - E. Falls within JEDEC MS-026

PowerPAD is a trademark of Texas Instruments.

THERMAL PAD MECHANICAL DATA

PAP (S-PQFP-G64)

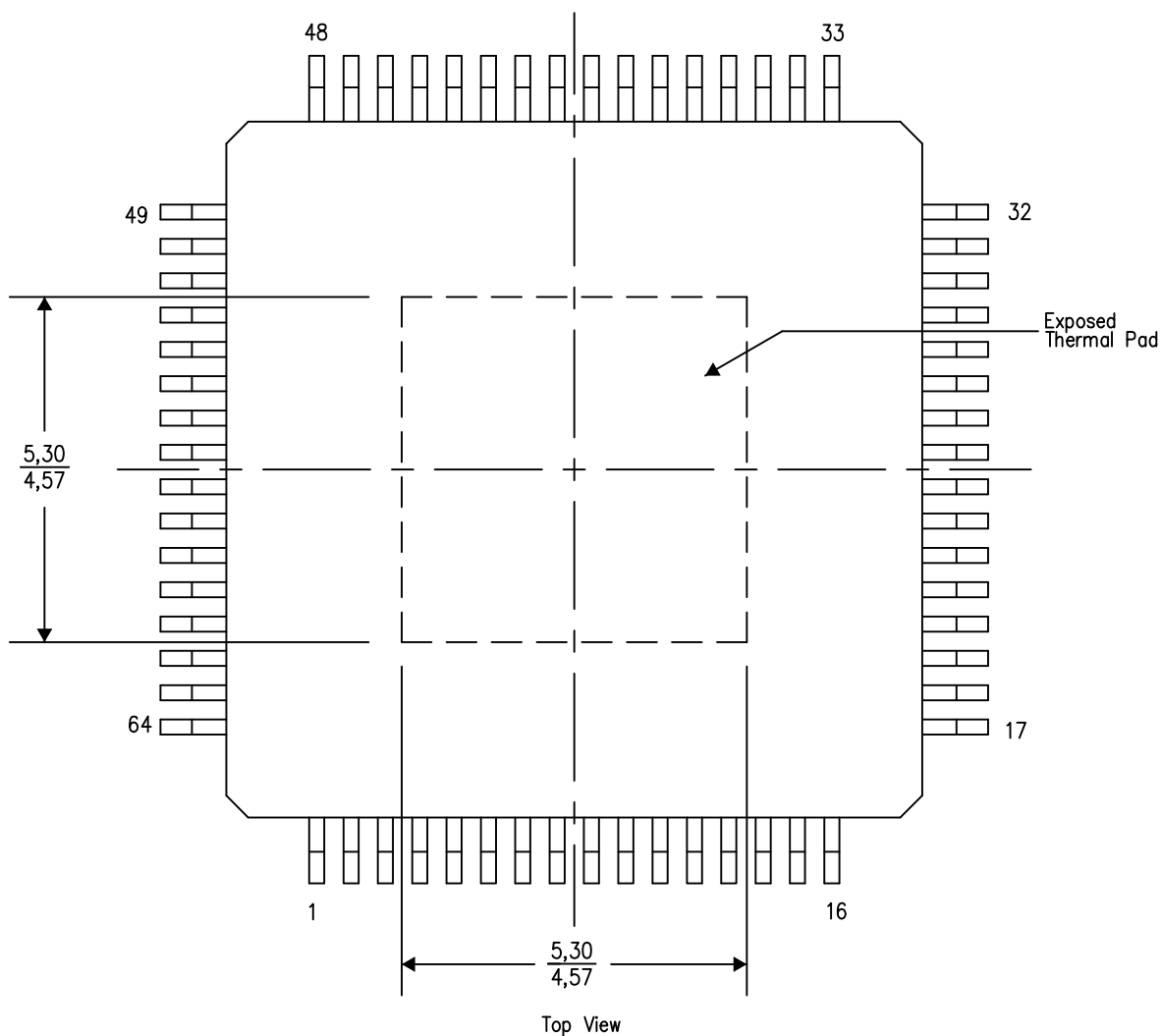
PowerPAD™ PLASTIC QUAD FLATPACK

THERMAL INFORMATION

This PowerPAD™ package incorporates an exposed thermal pad that is designed to be attached to a printed circuit board (PCB). The thermal pad must be soldered directly to the PCB. After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For additional information on the PowerPAD package and how to take advantage of its heat dissipating abilities, refer to Technical Brief, PowerPAD Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 and Application Brief, PowerPAD Made Easy, Texas Instruments Literature No. SLMA004. Both documents are available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Exposed Thermal Pad Dimensions

4206326-8/P 05/14

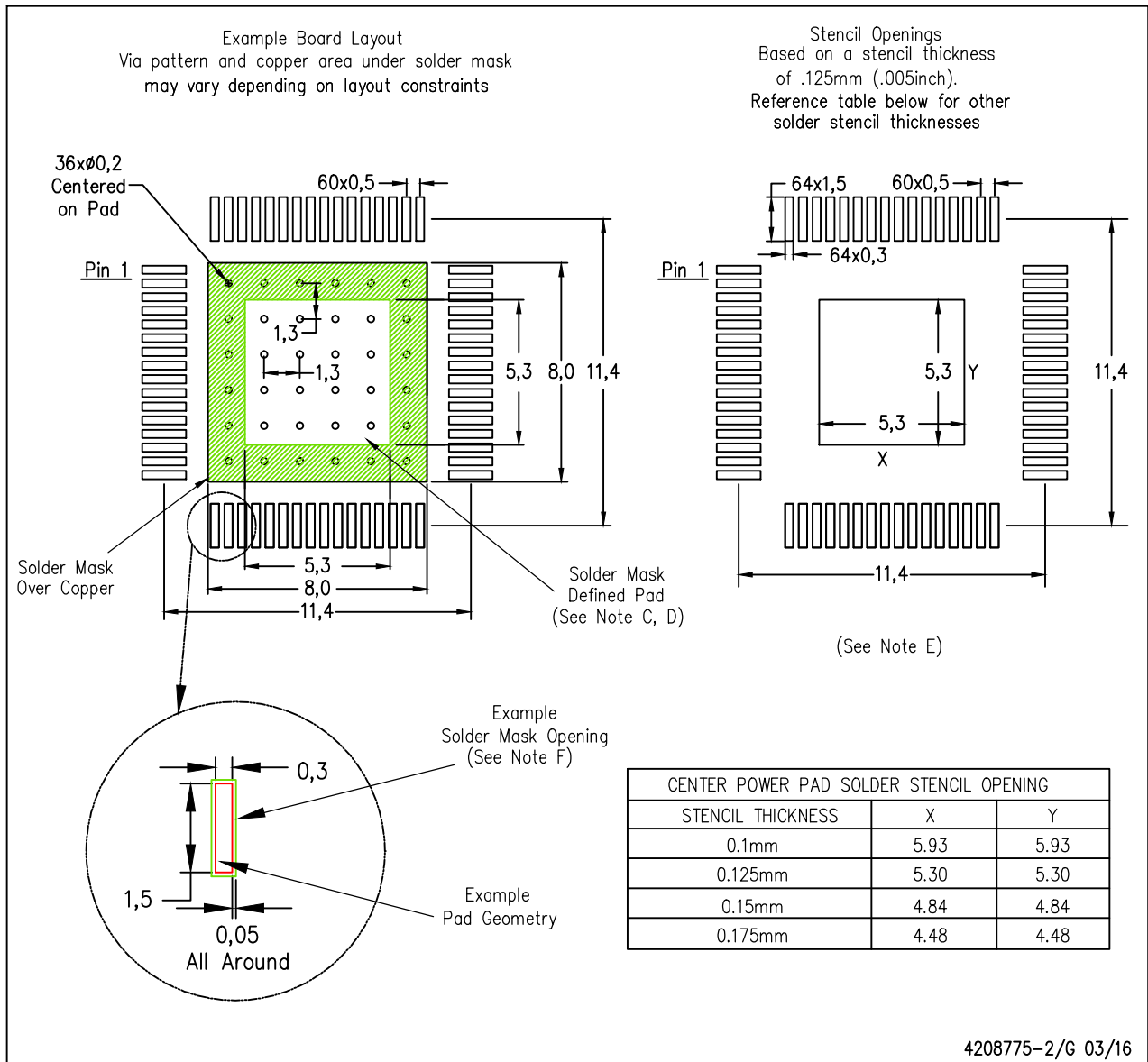
NOTES: A. All linear dimensions are in millimeters

PowerPAD is a trademark of Texas Instruments

LAND PATTERN DATA

PAP (S-PQFP-G64)

PowerPAD™ PLASTIC QUAD FLATPACK



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
 - D. This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002, SLMA004, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>. Publication IPC-7351 is recommended for alternate designs.
 - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.
 - F. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.
- PowerPAD is a trademark of Texas Instruments

重要声明

德州仪器 (TI) 公司有权按照最新发布的 JESD46 对其半导体产品和服务进行纠正、增强、改进和其他修改，并不再按最新发布的 JESD48 提供任何产品和服务。买方在下订单前应获取最新的相关信息，并验证这些信息是否完整且是最新的。

TI 公布的半导体产品销售条款 (<http://www.ti.com/sc/docs/stdterms.htm>) 适用于 TI 已认证和批准上市的已封装集成电路产品的销售。另有其他条款可能适用于其他类型 TI 产品及服务的使用或销售。

复制 TI 数据表上 TI 信息的重要部分时，不得变更该等信息，且必须随附所有相关保证、条件、限制和通知，否则不得复制。TI 对该等复制文件不承担任何责任。第三方信息可能受到其它限制条件的制约。在转售 TI 产品或服务时，如果存在对产品或服务参数的虚假陈述，则会失去相关 TI 产品或服务的明示或暗示保证，且构成不公平的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

买方和在系统中整合 TI 产品的其他开发人员（总称“设计人员”）理解并同意，设计人员在设计应用时应自行实施独立的分析、评价和判断，且应全权负责并确保应用的安全性，及设计人员的应用（包括应用中使用的 TI 产品）应符合所有适用的法律法规及其他相关要求。设计人员就自己设计的应用声明，其具备制订和实施下列保障措施所需的一切必要专业知识，能够 (1) 预见故障的危险后果，(2) 监视故障及其后果，以及 (3) 降低可能导致危险的故障几率并采取适当措施。设计人员同意，在使用或分发包含 TI 产品的任何应用前，将彻底测试该等应用和该等应用中所用 TI 产品的功能。

TI 提供技术、应用或其他设计建议、质量特点、可靠性数据或其他服务或信息，包括但不限于与评估模块有关的参考设计和材料（总称“TI 资源”），旨在帮助设计人员开发整合了 TI 产品的应用，如果设计人员（个人，或如果是代表公司，则为设计人员的公司）以任何方式下载、访问或使用任何特定的 TI 资源，即表示其同意仅为该等目标，按照本通知的条款使用任何特定 TI 资源。

TI 所提供的 TI 资源，并未扩大或以其他方式修改 TI 对 TI 产品的公开适用的质保及质保免责声明；也未导致 TI 承担任何额外的义务或责任。TI 有权对其 TI 资源进行纠正、增强、改进和其他修改。除特定 TI 资源的公开文档中明确列出的测试外，TI 未进行任何其他测试。

设计人员只有在开发包含该等 TI 资源所列 TI 产品的应用时，才被授权使用、复制和修改任何相关 TI 资源。但并未依据禁止反言原则或其他法律授予您任何 TI 知识产权的任何其他明示或暗示的许可，也未授予您 TI 或第三方的任何技术或知识产权的许可，该等许可包括但不限于任何专利权、版权、屏蔽作品权或与美国 TI 产品或服务的任何整合、机器制作、流程相关的其他知识产权。涉及或参考了第三方产品或服务的信息不构成使用此类产品或服务的许可或与其相关的保证或认可。使用 TI 资源可能需要您向第三方获得对该等第三方专利或其他知识产权的许可。

TI 资源系“按原样”提供。TI 兹免除对资源及其使用作出所有其他明确或默认为的保证或陈述，包括但不限于对准确性或完整性、产权保证、无屡发故障保证，以及适销性、适合特定用途和不侵犯任何第三方知识产权的任何默认保证。TI 不负责任何申索，包括但不限于因组合产品所致或与之有关的申索，也不为或对设计人员进行辩护或赔偿，即使该等产品组合已列于 TI 资源或其他地方。对因 TI 资源或其使用引起或与之有关的任何实际的、直接的、特殊的、附带的、间接的、惩罚性的、偶发的、从属或惩戒性损害赔偿，不管 TI 是否获悉可能会产生上述损害赔偿，TI 概不负责。

除 TI 已明确指出特定产品已达到特定行业标准（例如 ISO/TS 16949 和 ISO 26262）的要求外，TI 不对未达到任何该等行业标准要求而承担任何责任。

如果 TI 明确宣称产品有助于功能安全或符合行业功能安全标准，则该等产品旨在帮助客户设计和创作自己的符合相关功能安全标准和要求的的应用。在应用内使用产品的行为本身不会配有安全特性。设计人员必须确保遵守适用于其应用的相关安全要求和标准。设计人员不可将任何 TI 产品用于关乎性命的医疗设备，除非已由各方获得授权的管理人员签署专门的合同对此类应用专门作出规定。关乎性命的医疗设备是指出现故障会导致严重身体伤害或死亡的医疗设备（例如生命保障设备、心脏起搏器、心脏除颤器、人工心脏泵、神经刺激器以及植入设备）。此类设备包括但不限于，美国食品药品监督管理局认定为 III 类设备的设备，以及在美国以外的其他国家或地区认定为同等类别设备的所有医疗设备。

TI 可能明确指定某些产品具备某些特定资格（例如 Q100、军用级或增强型产品）。设计人员同意，其具备一切必要专业知识，可以为自己的应用选择适合的产品，并且正确选择产品的风险由设计人员承担。设计人员单方面负责遵守与该等选择有关的所有法律或监管要求。

设计人员同意向 TI 及其代表全额赔偿因其不遵守本通知条款和条件而引起的任何损害、费用、损失和/或责任。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2017 德州仪器半导体技术（上海）有限公司