

产品特性

高速

- 3 dB带宽: 3.2 GHz
- 1 dB带宽: 1.8 GHz
- 压摆率: 12,000 V/ μ s

数字可调增益

- 电压增益: -6 dB至+15 dB
- 功率增益: -3 dB至+18 dB
- 5位并行或SPI总线增益控制, 具有快速启动功能
- IMD3/HD3失真, 最大增益, 5 V, 高性能(HP)模式
- IMD3/HD3(1 GHz时): -90 dBc/-83 dBc
- IMD3/HD3(1.5 GHz时): -85 dBc/-75 dBc
- IMD3/HD3(2 GHz时): -70 dBc/-70 dBc

低噪声

- 折合到输出的噪声密度(RTO): -154 dBm/Hz
- 噪声系数: 5.5 dB($A_v = 15$ dB, 1 GHz)

差分阻抗: 100 Ω 输入、50 Ω 输出

低功耗工作模式, 关断控制

3.3 V或5 V单电源供电

采用24引脚、4 mm \times 4 mm LFCSP封装

应用

用于10位到14位GSPS转换器的ADC驱动器

射频/中频增益模块

线路驱动器

仪器仪表

卫星通信

数据采集

军用系统

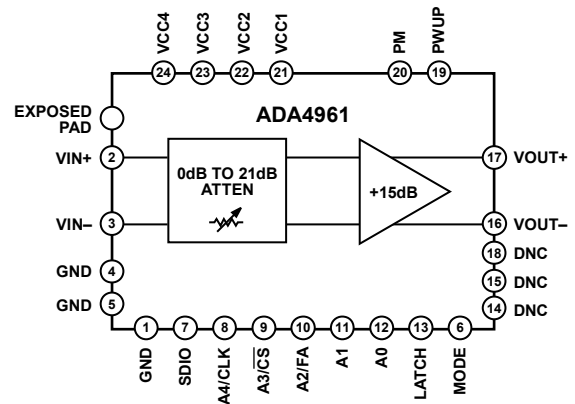
概述

ADA4961是一款高性能BiCMOS RF数字增益放大器(DGA), 针对重负载驱动(≥ 2.0 GHz)进行了优化。它可实现500 MHz时-90 dBc和1.5 GHz时-85 dBc的典型IMD3性能。该RF性能使GHz级转换器可实现最佳性能, 而且不像通常的GaAs放大器, 它对驱动放大器或总功耗的限制极小。该器件可轻松驱动10位至16位HS转换器。

针对许多接收器应用, 可以简化或无需使用抗混叠滤波器(AAF)设计。

ADA4961内部差分输入阻抗为100 Ω , 差分动态输出阻抗为50 Ω , 无需使用外部端接电阻。数字调整能力具有1 dB分辨

功能框图



NOTES
1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.

图1.

12454-001

率, 因而可在21 dB输入电平范围内优化信噪比(SNR)。

ADA4961在最高达2 GHz频率时, 具有高宽带、低失真性能。这些特性以及宽增益调节和相对较低的功耗, 使其成为许多高速应用的首选放大器, 这包括极高频下动态范围至关重要的IF、RF和宽带应用。

ADA4961不仅非常适合驱动模数转换器(ADC), 也可以用于混频器、PIN二极管衰减器、SAW滤波器和多元件分立器件。它采用4 mm \times 4 mm、24引脚LFCSP封装, 工作温度范围是-40°C至+85°C。

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

产品特性	1	输出滤波器交流特性	15
应用	1	工作原理	16
功能框图	1	数字接口概述	16
概述	1	并行数字接口	16
修订历史	2	串行外设接口(SPI)	16
技术规格	3	应用信息	17
噪声/谐波性能	4	基本连接	17
时序规格	5	ADC驱动	18
绝对最大额定值	6	用于ADC接口的低通抗混叠滤波	20
热阻	6	布局考量	21
ESD警告	6	评估板	21
引脚配置和功能描述	7	外形尺寸	24
典型性能参数	8	订购指南	24
特性和测试电路	14		

修订历史

12/14—修订版0至修订版A

更改“产品特性”部分	1
更改表2	4
更改表6中的引脚13	7
增加图33；重新排序	12
增加图34和图35	13
更改表10	17
更改图52	23

2014年10月—修订版0：初始版

技术规格

除非另有说明， $V_s = 5\text{ V}$ ，HP模式， $R_s = 100\ \Omega$ 差分， $R_L = 50\ \Omega$ 差分， $T_A = 25^\circ\text{C}$ ， $f = 500\text{ MHz}$ ， $V_o = 1.2\text{ V p-p}$ (对于双音IMD3，每个信号音 0.6 V p-p)。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能					
-3 dB带宽	V_o 指示小信号		3200		MHz
-1 dB带宽	V_o 指示小信号		1800		MHz
压摆率	$V_o = 2\text{ V}$ 步进		12000		$\text{V}/\mu\text{s}$
1.0%建立时间	$V_o = 2\text{ V}$ 步进		0.6		ns
过驱恢复时间			1.2		ns
输入回损(S_{11})	500 MHz		-40		dB
输出回损(S_{22})	500 MHz		-30		dB
增益					
电压增益	最大电压增益		15		dB
	最小电压增益		-6		
功率增益	最大功率增益		18		dB
	最小功率增益		-3		
增益步长			1.0		dB
增益步进误差			± 0.2		dB
输入级					
输入共模电压			1.0		V
输入电阻	差分		100		Ω
最大交流耦合输入电平	差分		6		V p-p
输入电容	单端		1.3		pF
共模抑制比(CMRR)			55		dB
单端					
最大输出电压摆幅	$V_s = 5.0\text{ V}$		5.0		V p-p
	$V_s = 3.3\text{ V}$		3.0		V p-p
差分输出电阻			50		Ω
数字逻辑规格					
输入高电压， $\overline{\text{CS}}^1$ 、CLK ¹ 、SDIO (V_{IH})		1.4		3.3	V
输入高电压，PM (V_{IH})		2.8		3.3	V
输入低电压， $\overline{\text{CS}}^1$ 、CLK ¹ 、SDIO、PM (V_{IL})		0		0.8	V
输出高电压， $\overline{\text{CS}}^1$ 、CLK ¹ 、SDIO (V_{OH})	$I_{OH} = -100\ \mu\text{A}$	1.4		3.3	V
输出低电压， $\overline{\text{CS}}^1$ 、CLK ¹ 、SDIO (V_{OL})	$I_{OL} = +100\ \mu\text{A}$	0		0.8	V
电源					
工作范围			3.3至5.0		V
静态电流	5.0 V，HP模式		154		mA
	5.0 V，低功耗(LP)模式		131		mA
	5.0 V，关断模式		7.4		mA
	3.3 V，LP模式		126		mA
	3.3 V，关断模式		7.2		mA

¹ 双功能引脚。表1不包含完整引脚名称，仅指出引脚的相关功能。完整的引脚名称和说明参见“引脚配置和功能描述”部分。

ADA4961

噪声/谐波性能

除非另有说明， $V_s = 5\text{ V}$ ，HP模式， $R_s = 100\ \Omega$ 差分， $R_L = 50\ \Omega$ 差分， $T_A = 25^\circ\text{C}$ ， $f = 500\text{ MHz}$ ， $V_o = 1.2\text{ V p-p}$ (对于双音IMD3，每个信号音 0.6 V p-p)，连接LC滤波器。

表2.

参数	测试条件/注释	3.3 V电源， 低功耗工作模式 ¹		5.0 V电源， 高性能工作模式		单位
		最小值	典型值	最大值	最小值	
交流性能，100 MHz						
二次谐波(HD2)	最大增益	-75		-81		dBc
	最小增益	-76		-80		dBc
三次谐波(HD3)	最大增益	-85		-88		dBc
	最小增益	-88		-88		dBc
三阶交调失真(IMD3)	$V_{OUT} = 1.2\text{ V p-p}$ 复合(2 MHz间隔)					
	最大增益	-100		-100		dBc
	最小增益	-95		-100		dBc
1 dB压缩点(OP1dB)	$A_V = 15\text{ dB}$	17.2		18.8		dBm
噪声系数(NF)	$A_V = 15\text{ dB}$	6.0		5.8		dB
折合到输出的噪声密度(RTO)	$A_V = 15\text{ dB}$	-154		-154		dBm/Hz
交流性能，500 MHz						
二次谐波(HD2)	最大增益	-77		-80		dBc
	最小增益	-82		-85		dBc
三次谐波(HD3)	最大增益	-75		-81		dBc
	最小增益	-75		-82		dBc
三阶交调失真(IMD3)	$V_{OUT} = 1.2\text{ V p-p}$ 复合(2 MHz间隔)					
	最大增益	-90		-90		dBc
	最小增益	-95		-90		dBc
1 dB压缩点(OP1dB)	$A_V = 15\text{ dB}$	17.8		19.3		dBm
噪声系数(NF)	$A_V = 15\text{ dB}$	5.8		5.6		dB
折合到输出的噪声密度(RTO)	$A_V = 15\text{ dB}$	-154		-154		dBm/Hz
交流性能，1 GHz						
二次谐波(HD2)	最大增益	-83		-84		dBc
	最小增益	-83		-80		dBc
三次谐波(HD3)	最大增益	-78		-83		dBc
	最小增益	-77		-83		dBc
三阶交调失真(IMD3)	$V_{OUT} = 1.2\text{ V p-p}$ 复合(2 MHz间隔)					
	最大增益	-87		-90		dBc
	最小增益	-86		-92		dBc
1 dB压缩点(OP1dB)	$A_V = 15\text{ dB}$	18.1		21.1		dBm
噪声系数(NF)	$A_V = 15\text{ dB}$	5.6		5.5		dB
折合到输出的噪声密度(RTO)	$A_V = 15\text{ dB}$	-154		-154		dBm/Hz
交流性能，1.5 GHz						
二次谐波(HD2)	最大增益	-73		-76		dBc
	最小增益	-75		-77		dBc
三次谐波(HD3)	最大增益	-75		-75		dBc
	最小增益	-75		-75		dBc

参数	测试条件/注释	3.3 V电源, 低功耗工作模式 ¹		5.0 V电源, 高性能工作模式		单位
		最小值	典型值	最大值	最小值	
三阶交调失真(IMD3)	$V_{OUT} = 1.2\text{ V p-p}$ 复合(2 MHz间隔)					
最大增益		-79		-85		dBc
最小增益		-77		-84		dBc
1 dB压缩点(OP1dB)	$A_V = 15\text{ dB}$	16.4		18.8		dBm
噪声系数(NF)	$A_V = 15\text{ dB}$	6.0		6.3		dB
折合到输出的噪声密度(RTO)	$A_V = 15\text{ dB}$	-153		-153		dBm/Hz
交流性能, 2 GHz						
二次谐波(HD2)	最大增益	-73		-75		dB
最小增益		-76		-77		dB ϵ
三次谐波(HD3)	最大增益	-65		-70		dBc
最小增益		-66		-69		dBc
三阶交调失真(IMD3)	$V_{OUT} = 1.2\text{ V p-p}$ 复合(2 MHz间隔)					
最大增益		-64		-70		dBc
最小增益		-65		-70		dBc
1 dB压缩点(OP1dB)	$A_V = 15\text{ dB}$	14.5		17.0		dBm
噪声系数(NF)	$A_V = 15\text{ dB}$	8.8		9.0		dB
折合到输出的噪声密度(RTO)	$A_V = 15\text{ dB}$	-150		-150		dBm/Hz

¹ 不推荐使用3.3V高性能模式，因为IMD性能在高温时会下降。

时序规格

表3.

参数	说明	最小值	典型值	最大值	单位
t_{CLK}	串行时钟周期	50			ns
t_{DS}	数据与SCLK上升沿之间的建立时间	5			ns
t_{DH}	数据与SCLK上升沿之间的保持时间	5			ns
t_S	\overline{CS} 下降沿与SCLK之间的建立时间				ns
t_H	\overline{CS} 上升沿与SCLK之间的保持时间				ns
t_{HIGH}	可以处于逻辑高电平状态的最短周期SCLK		25		ns
t_{LOW}	可以处于逻辑低电平状态的最短周期SCLK		25		ns
t_{ACCESS}	读操作的SCLK下降沿与输出数据有效之间的最大延迟时间				ns
t_Z	\overline{CS} 停用与SDIO总线返回高阻态之间的最大延迟时间				ns

时序图

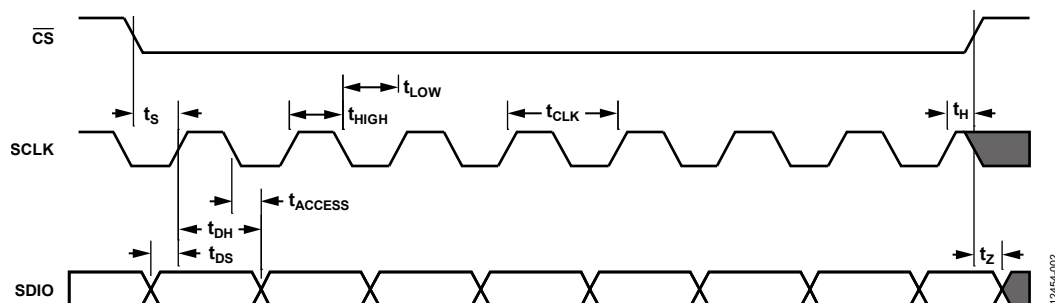


图2.

绝对最大额定值

表4.

参数	额定值
电源电压VCCx	5.5 V
PWUP、A4/CLK、A3/ \overline{CS} 、A2/FA、A1和A0	3.6 V
输入电压VIN+和VIN-	+3.6 V至-1.2 V
θ_{JA} (裸露焊盘焊接到下方)	50.92°C/W
θ_{JC} (裸露焊盘)	42.24°C/W
最高结温	140°C
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+150°C
引脚温度(焊接, 60秒)	240°C

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

θ_{JA} 针对最差条件，即器件焊接在电路板上以实现表贴封装。

表5. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
24引脚 LFCSP	50.92	42.24	°C/W

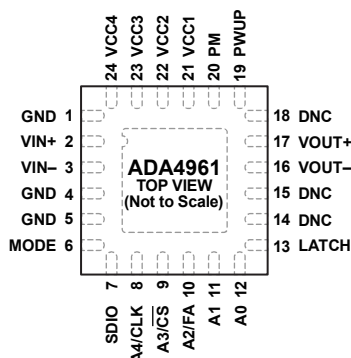
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
 1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
 2. CONNECT THE EXPOSED PAD TO GROUND.

12454-003

图3. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	说明
1, 4, 5	GND	电源地。连接到系统接地层。
2, 3	VIN+, VIN-	差分输入。
6	MODE	增益控制模式选择引脚。低电平表示串行外设接口(SPI)，高电平(最高3.3 V)表示并行接口。
7	SDIO	SPI增益控制的串行数据输入/输出引脚。
8	A4/CLK	并行增益控制的A4位/SPI增益控制的串行时钟引脚。
9	A3/ $\overline{\text{CS}}$	并行增益控制的A3位/SPI增益控制的片选引脚。
10	A2/FA	并行增益控制的A2位/SPI增益控制的快速启动引脚。
11	A1	并行增益控制的A1位。
12	A0	并行增益控制的A0位。
13	LATCH	锁存输入置位并行增益控制。逻辑0置位透明模式，逻辑1置位锁存模式。
14, 15, 18	DNC	不连接。请勿连接该引脚。
16, 17	VOUT-, VOUT+	差分输出。
19	PWUP	上电控制输入引脚。逻辑高电平(3.3 V)置位上电。逻辑低电平置位关断。
20	PM	功耗/性能控制输入引脚。逻辑低电平表示高功耗和高性能，逻辑高电平表示低功耗和标称性能。低功耗模式必须在 $V_{\text{MIN}} = 2.8 \text{ V}$ 下置位。
21	VCC1	正电源。连接至5 V或3.3 V。
22	VCC2	正电源。连接至5 V或3.3 V。
23	VCC3	正电源。连接至5 V或3.3 V。
24	VCC4	正电源。连接至5 V或3.3 V。
	EPAD	裸露焊盘。裸露焊盘应接地。

典型性能参数

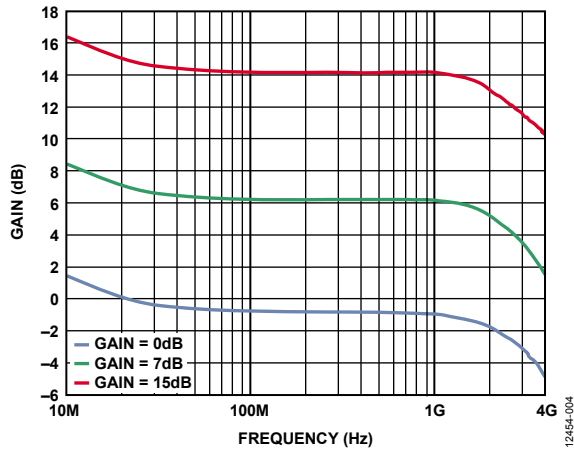


图4. 增益与频率的关系, 15 dB、7 dB和0 dB增益设置, 5.0 V

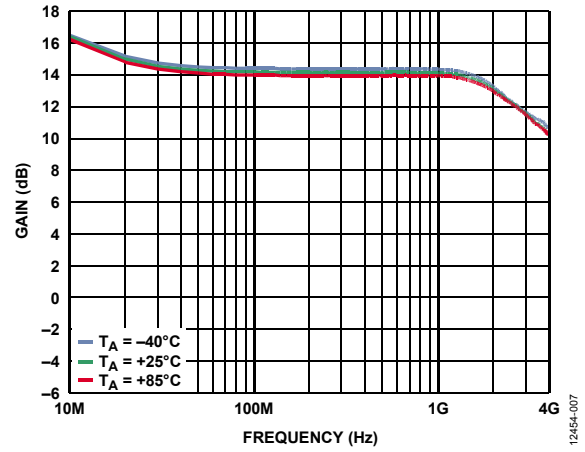


图7. 三种温度下最大增益与频率的关系, 3.3 V, 使用低通滤波器

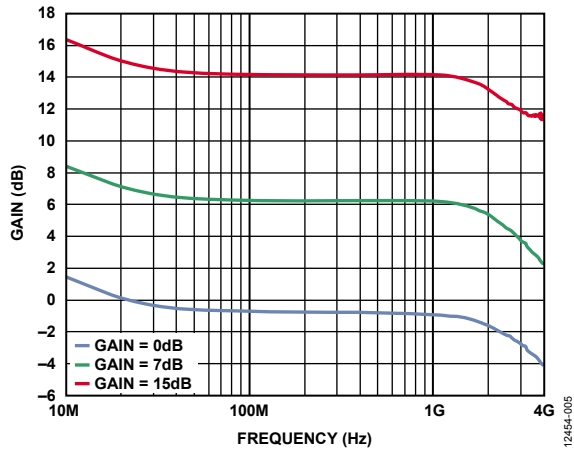


图5. 增益与频率的关系, 15 dB、7 dB和0 dB增益设置, 3.3 V

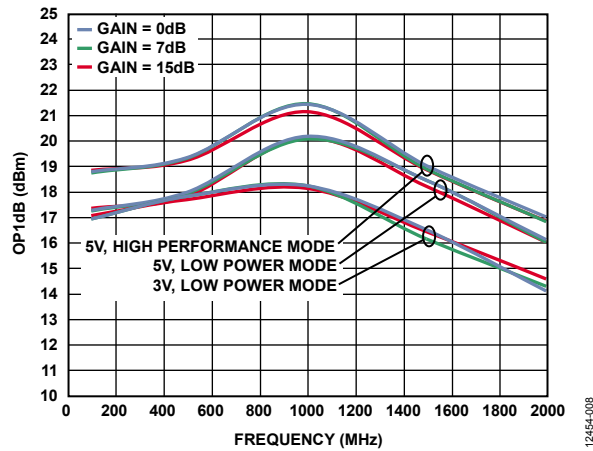


图8. OP1dB与频率的关系, 15 dB、7 dB和0 dB增益设置, 5.0 V、3.3 V, 使用低通滤波器

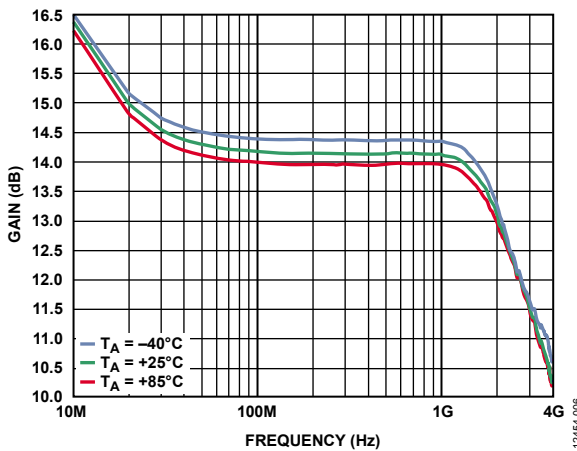


图6. 三种温度下最大增益与频率的关系, 5.0 V, 使用低通滤波器

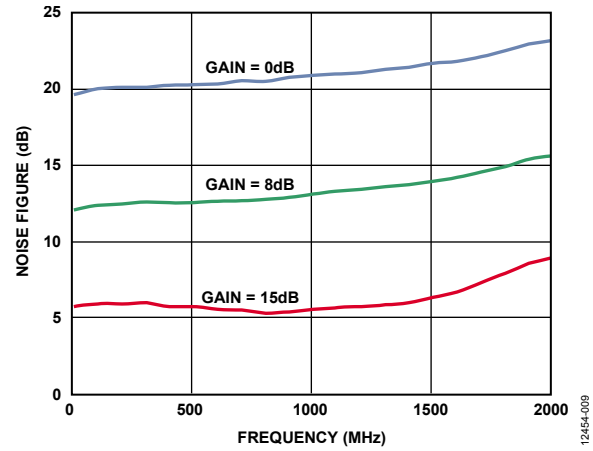


图9. 噪声系数与频率的关系, 15 dB、8 dB和0 dB增益设置, 5.0 V, 使用低通滤波器

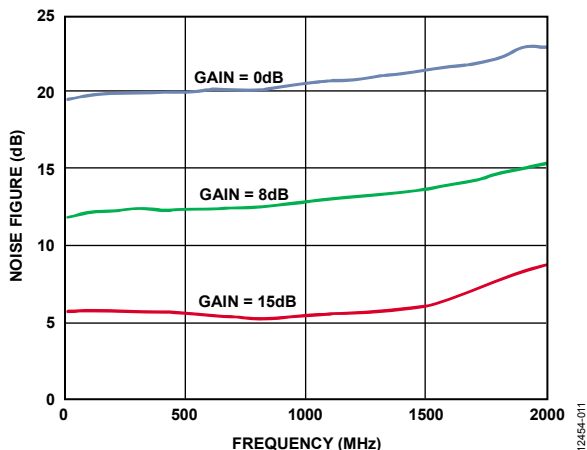


图10. 噪声系数与频率的关系，15 dB、8 dB和0 dB增益设置，3.3 V，使用低通滤波器

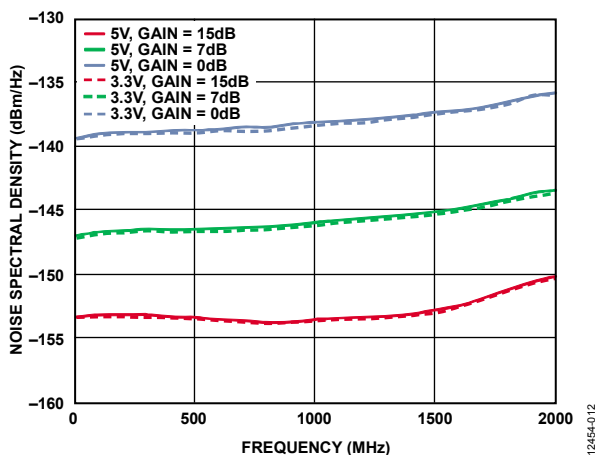


图11. 噪声频谱密度与频率的关系，15 dB、7 dB和0 dB增益设置，5.0 V、3.3 V，使用低通滤波器

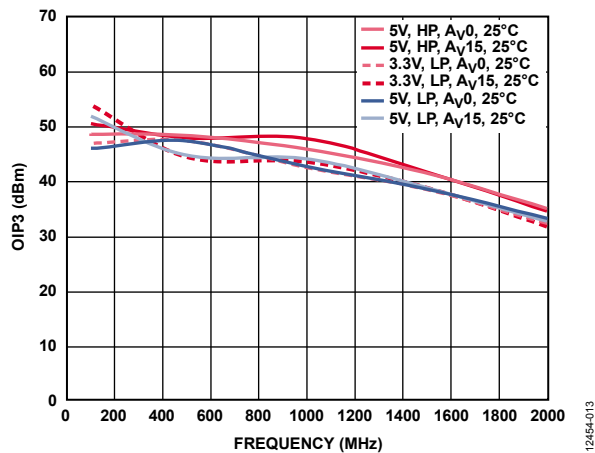


图12. OIP3与频率的关系，15 dB和0 dB增益设置，5.0 V、3.3 V，使用低通滤波器

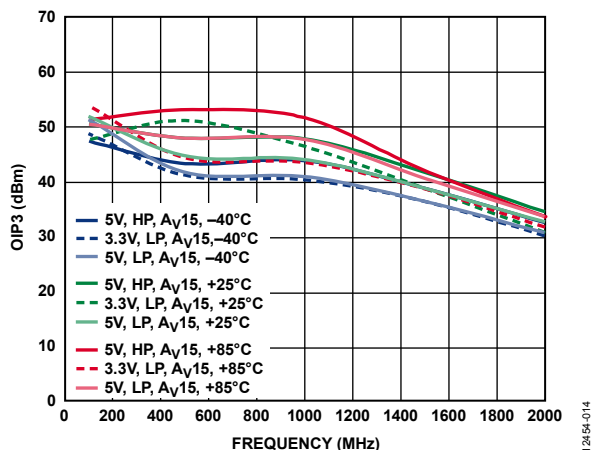


图13. 三种温度下OIP3与频率的关系，最大增益，5.0 V、3.3 V，使用低通滤波器

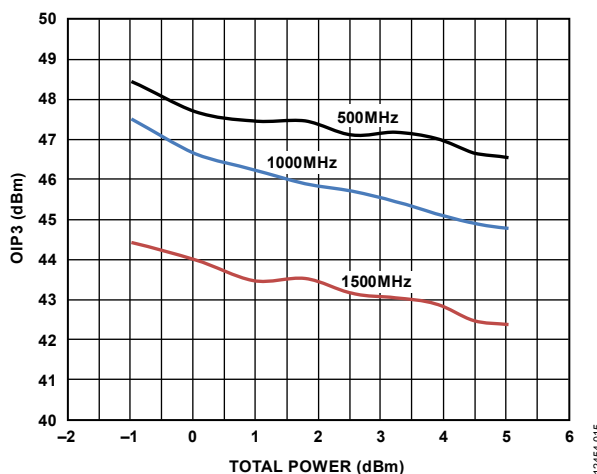


图14. 三种频率下OIP3与总功率的关系

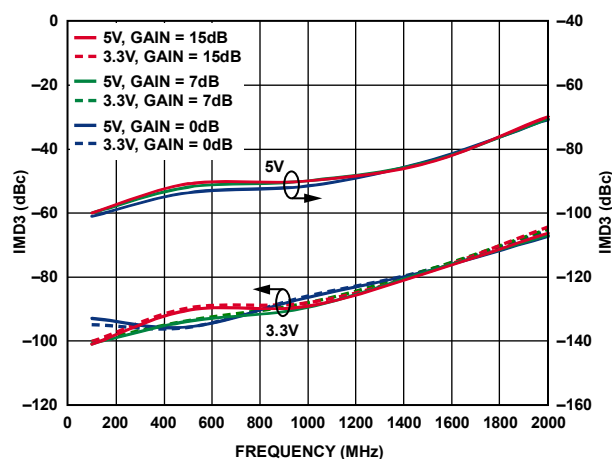


图15. IMD3与频率的关系，15 dB、7 dB和0 dB增益设置，5.0 V、3.3 V，使用低通滤波器

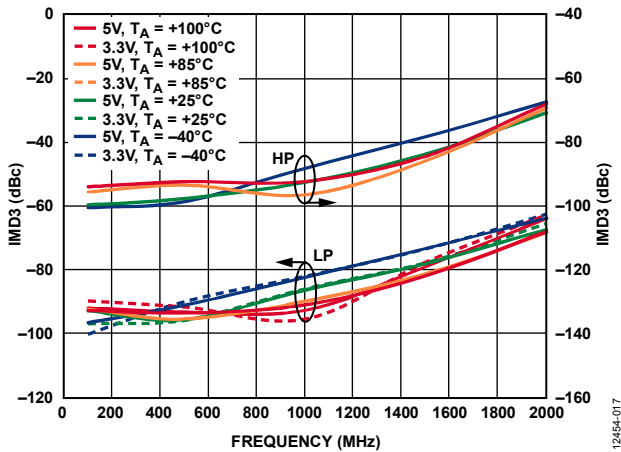


图16. 三种温度下IMD3与频率的关系, 最大增益, 5.0 V、3.3 V, 使用低通滤波器

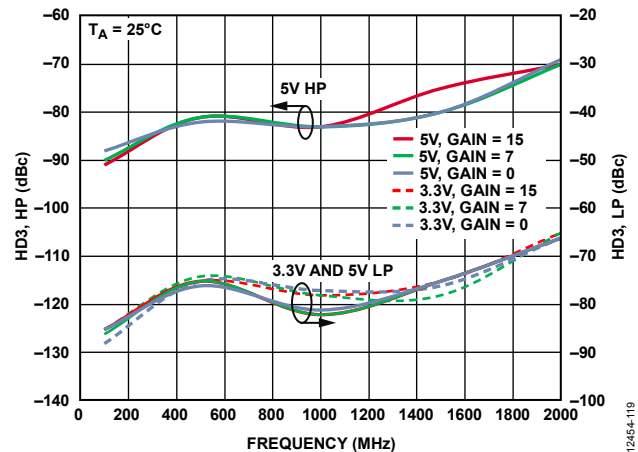


图19. HD3与频率的关系, 15 dB、7 dB和0 dB增益设置, +5.0 V、+3.3 V, 使用低通滤波器

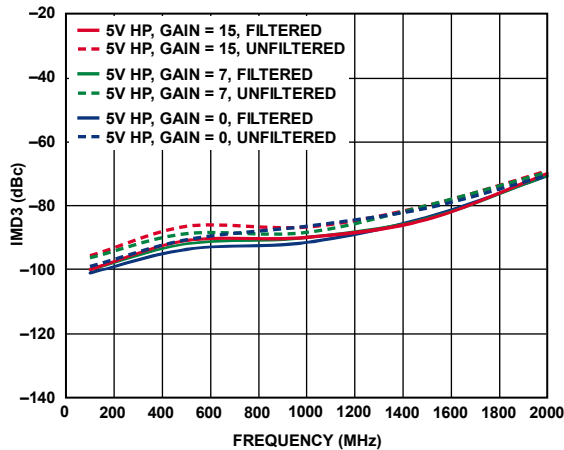


图17. IMD3与频率的关系, 15 dB、7 dB和0 dB增益设置, 使用和不使用低通滤波器, +5.0 V

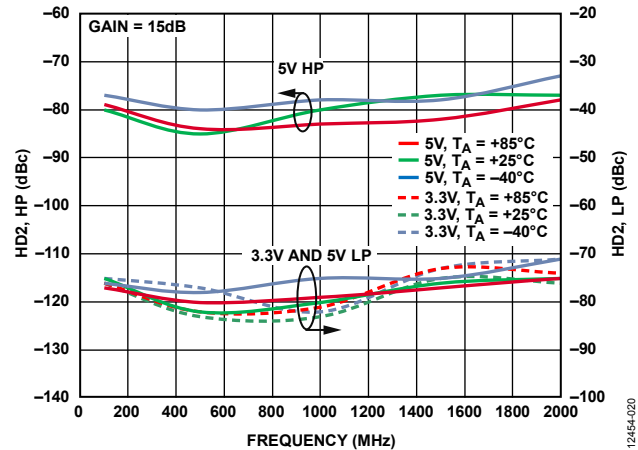


图20. 三种温度下HD2与频率的关系, +5.0 V、+3.3 V, 使用低通滤波器

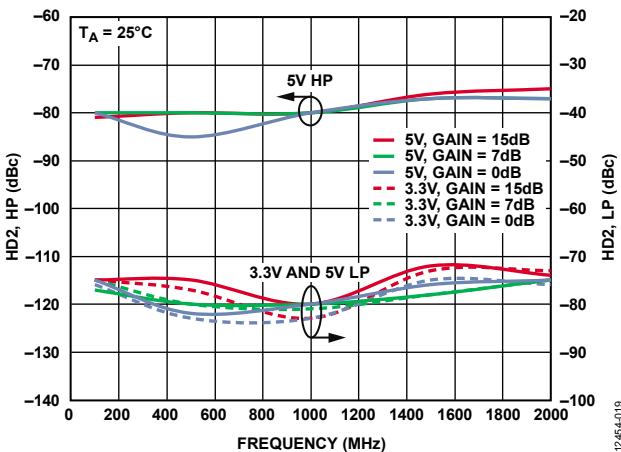


图18. HD2与频率的关系, 15 dB、7 dB和0 dB增益设置, +5.0 V、+3.3 V, 使用低通滤波器

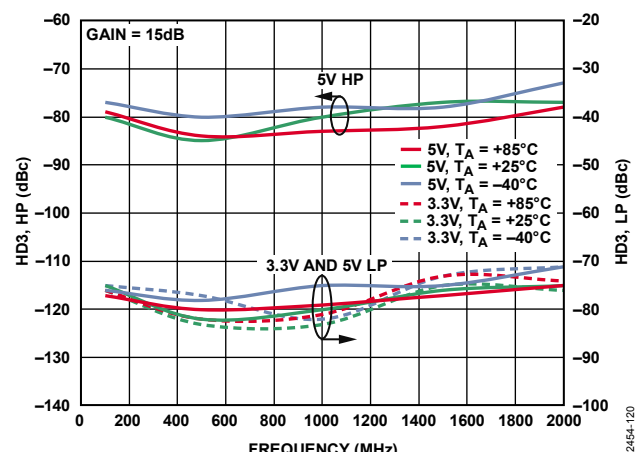


图21. 三种温度下HD3与频率的关系, 5.0 V、3.3 V, 使用低通滤波器

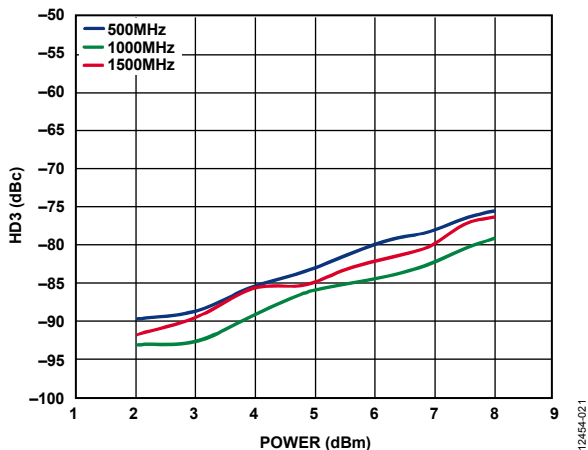


图22. HD3与输出功率/信号音的关系, 使用低通滤波器

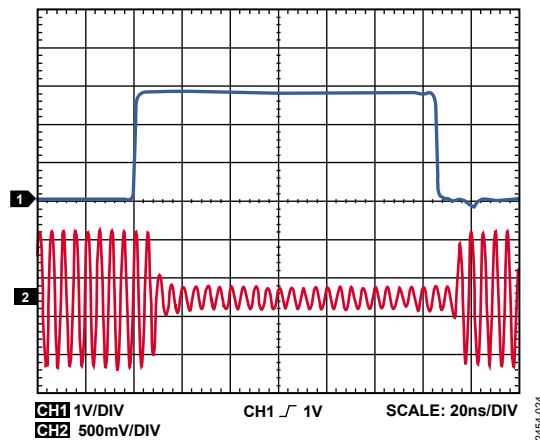


图25. 增益步进响应

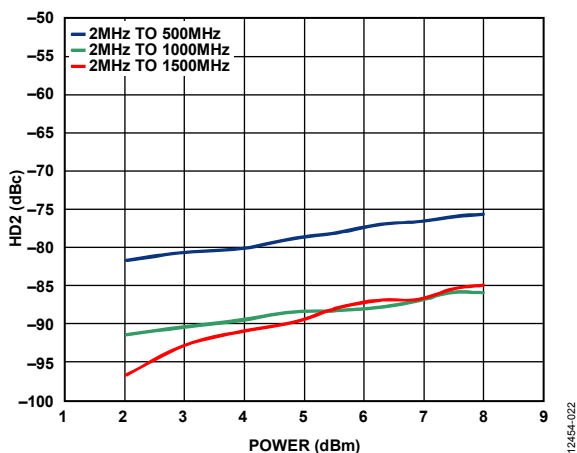


图23. HD2与输出功率/信号音的关系, 使用低通滤波器

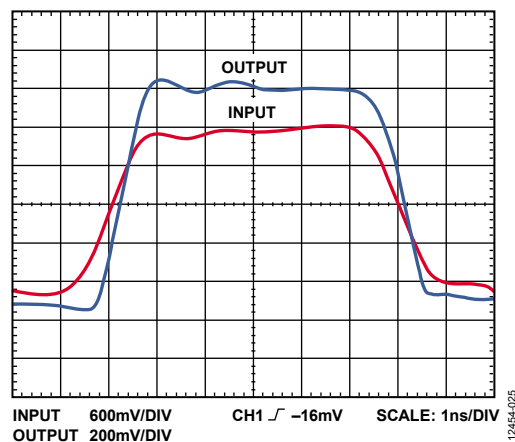


图26. 大信号脉冲响应

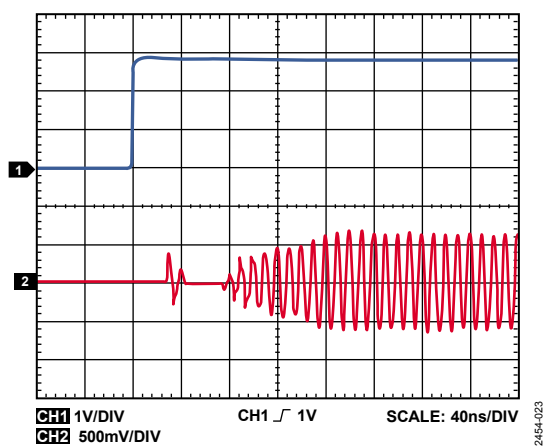


图24. 使能响应时间

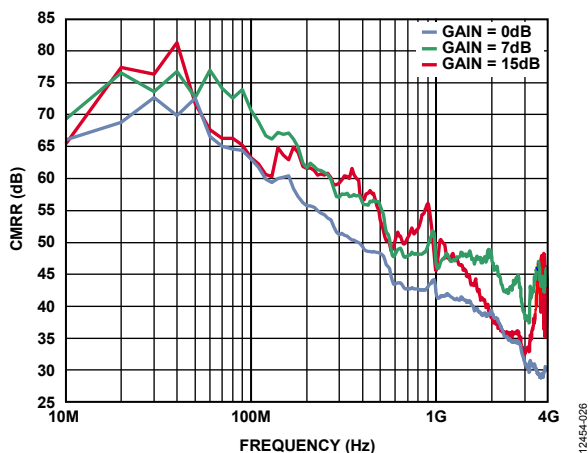


图27. CMRR与频率的关系, 15 dB、7 dB和0 dB增益设置, 5.0 V

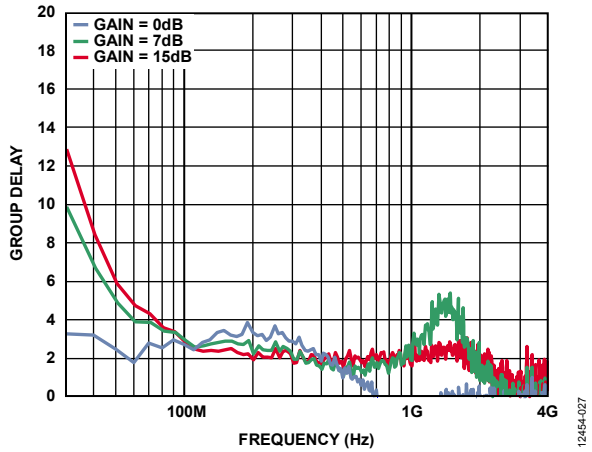


图28. 群延迟与频率的关系, 15 dB、7 dB和0 dB增益设置, 5.0 V

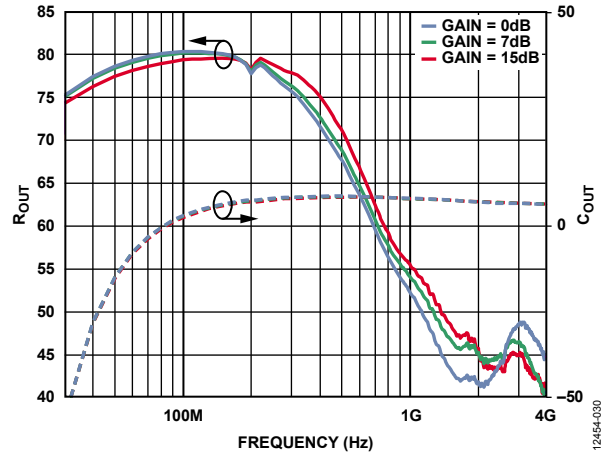


图31. S_{22} RLC与频率的关系, 15 dB、7 dB和0 dB增益设置, 5.0 V

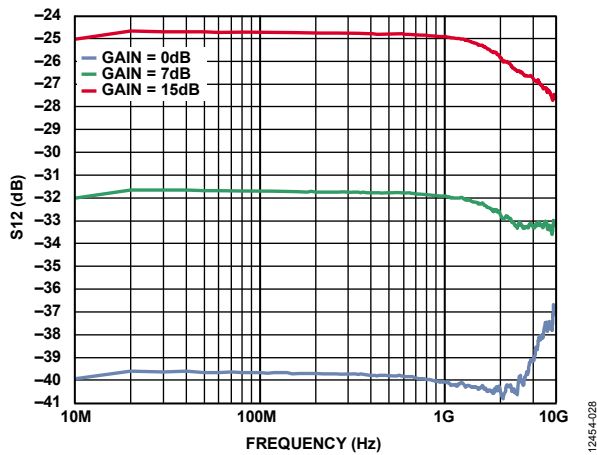


图29. S_{12} 与频率的关系, 15 dB、7 dB和0 dB增益设置, 5.0 V

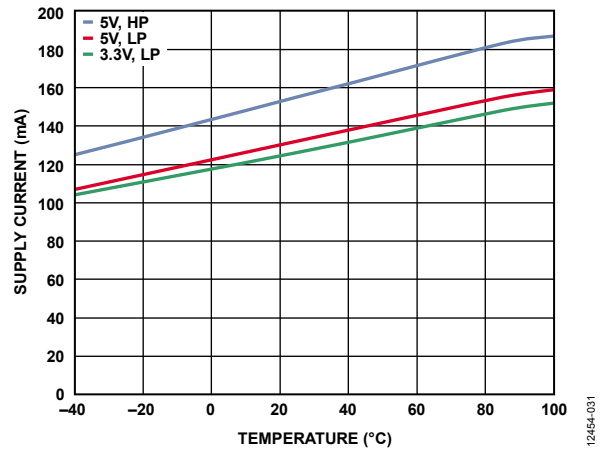


图32. 电源电流与温度的关系

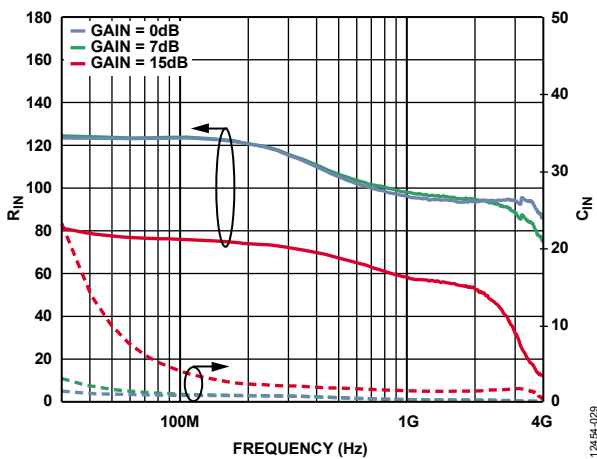


图30. S_{11} 电阻-电感-电容(RLC)与频率的关系, 15 dB、7 dB和0 dB增益设置, 5.0 V

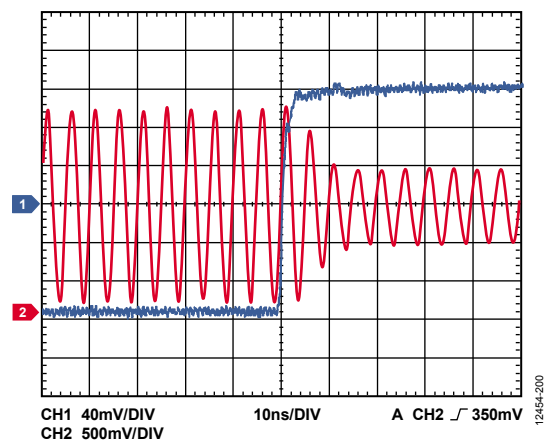


图33. 快速攻击置位时间, 高电平增益至低电平增益, 8 dB步进

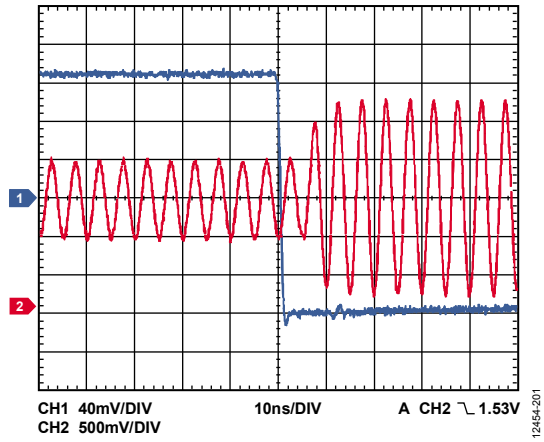


图34. 快速攻击置位时间，低电平增益至高电平增益，8 dB步进

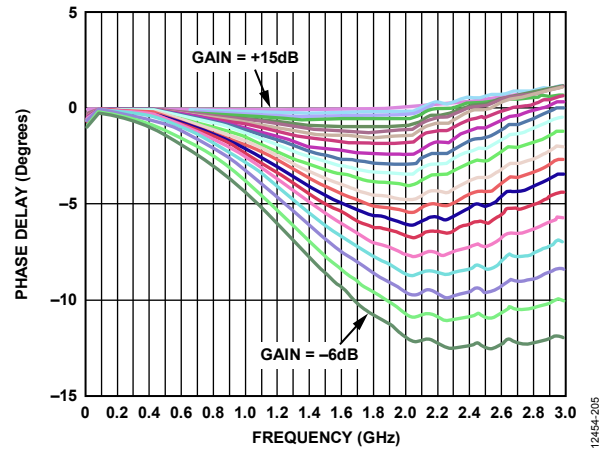


图35. 相位延迟与频率的关系(所有增益设置)

特性和测试电路

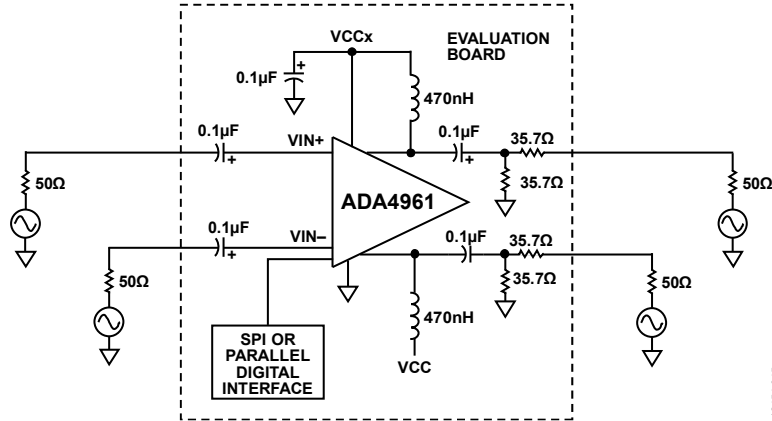


图36. 专用50Ω差分至差分电路板S参数测试电路

12454-045

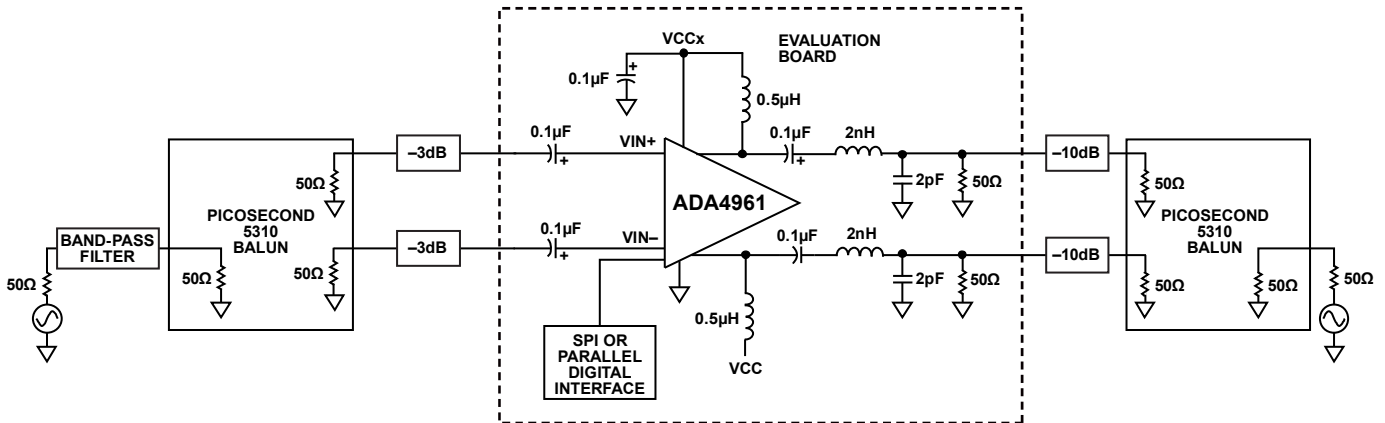


图37. 单音失真测试电路

12454-046

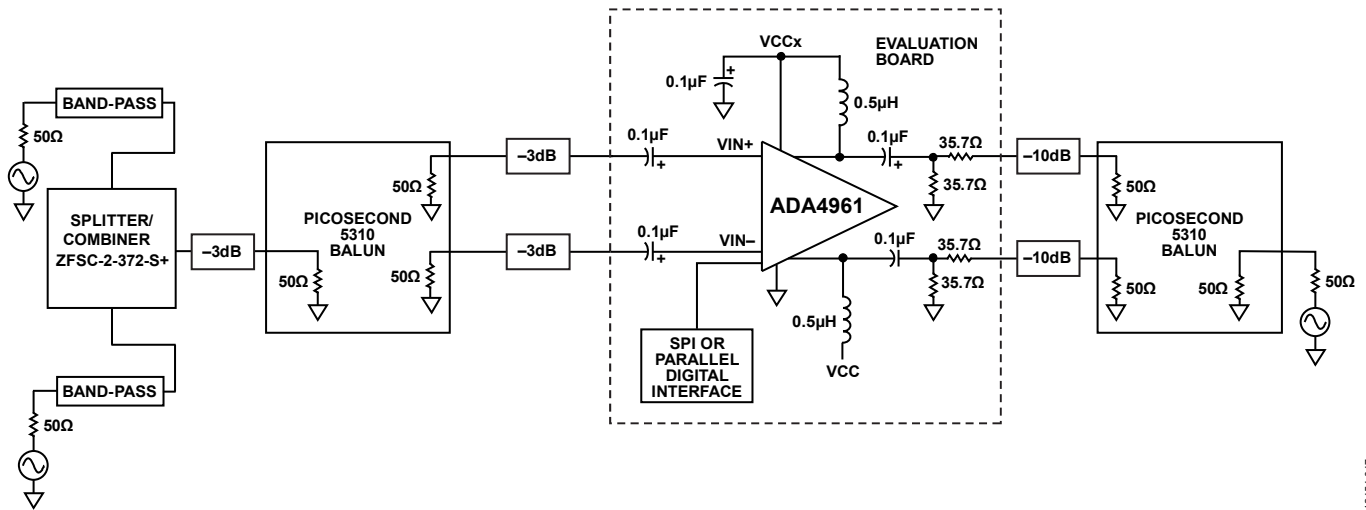


图38. IMD3/IMD2测试电路

12454-047

输出滤波器交流特性

在ADA4961的部分交流特性测量中使用了图37所示电路。皮秒级5310巴伦提供差分输入信号和与器件匹配的100 Ω 差分阻抗。3 dB焊盘使皮秒级巴伦50 Ω 阻抗的一侧电抗较低，从而平衡差分相位精度。在输出端，2 nH电感和2 pF电容与两个50 Ω 电阻形成一个双极点低通滤波器，电阻与焊盘和输出皮秒级巴伦并联。此滤波器产生50 Ω 差分负载。

输出焊盘使负载更加平衡，这对实现良好的HD2性能至关重要。对于高频下的器件，这种滤波器技术还能降低负载(略有峰化)，从而改善IMD3性能。虽然滤波器带宽(BW)计算结果为3.3 GHz，但2 nH滤波器电感上的寄生电容(图37中未显示)将3 dB带宽降至约2 GHz(参见图4)。该滤波器除了降低积分输出噪声以外，还能降低较高频率下的二次和三次谐波(分别高于1 GHz和700 MHz，参见图20和图21)。

工作原理

数字接口概述

ADA4961 DGA有两个数字增益控制选项：并行控制接口和串行外设接口。通过控制引脚MODE选择所需增益控制选项(模式控制引脚的真值表见表7)。增益代码为二进制格式。设置逻辑高电平需要1.4 V至3.3 V的电压。

有两个引脚对这两个增益控制选项都有效：PM和PWUP。PM用于选择低功耗(逻辑高电平)或高性能(逻辑低电平)工作模式。PWUP是上电引脚。两个接口共享物理引脚，每个数字引脚具有两种不同功能(见表2)。

表7. 数字控制接口选择真值表

MODE	接口
1	并行控制
0	SPI

并行数字接口

并行数字接口使用5个二进制位(位[A4:A0])和1个锁存(LATCH)引脚。LATCH引脚控制输入数据锁存器是透明还是锁存状态。在透明模式下，增益随输入增益控制位的变化而改变。在锁存模式下，增益由锁存增益设置决定，不随输入增益控制位的变化而改变。

串行外设接口(SPI)

SPI使用三个引脚：SDIO、A4/CLK和A3/ \overline{CS} 。SPI数据寄存器由8位组成：5个增益控制位、2个快速启动衰减步长地址位和1个读/写位。SDIO是串行数据输入和输出引脚。A4/CLK是串行时钟引脚，A3/ \overline{CS} 是通道选择引脚。

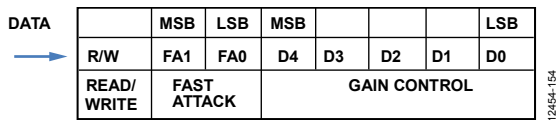


表39. 8位SPI寄存器

若要写入SPI寄存器，必须拉低A3/ \overline{CS} ，并将8个时钟脉冲施加于A4/CLK。若要读取SPI寄存器值，读/写位必须设为高电平，A3/ \overline{CS} 必须拉低，并且器件必须进行时钟控制。寄存器在随后的8个时钟周期内被读取后，SPI自动进入写模式。

快速启动

快速启动功能可通过SPI使用，支持以预置步长降低当前的增益设置。提供4种不同的衰减步长。快速启动的真值表见表8。

表8. SPI 2位衰减步长真值表

FA1	FA0	步长(dB)
0	0	1
0	1	2
1	0	4
1	1	8

SPI快速启动模式受A2/FA引脚控制。A2/FA引脚上的逻辑高电平导致的衰减由SPI寄存器内的位[FA1:FA0]选定。

表9. 增益代码与电压增益关系查找表

5位二进制增益代码	电压增益(dB)
00000	15
00001	14
00010	13
00011	12
00100	11
00101	10
00110	9
00111	8
01000	7
01001	6
01010	5
01011	4
01100	3
01101	2
01110	1
01111	0
10000	-1
10001	-2
10010	-3
10011	-4
10100	-5
10101	-6

应用信息

基本连接

图40显示了ADA4961工作的基本连接。对VCCx引脚施加3.3 V至5.0 V的电压。每个电源引脚应与至少一个0.1 μF的低电感、表面贴装陶瓷电容相连，以便去耦。电容应尽可能靠近器件。

ADA4961的输出必须通过0.5 μH RF扼流圈上拉至正电源。差分输出偏置为正电源，需要连接交流耦合电容，最好是0.1 μF的电容。类似地，输入引脚需要交流耦合，因为它们

具有高于地约1 V的偏置电压。交流耦合电容和RF扼流圈原则上是低频工作时的限制因素。

数字引脚(模式控制引脚、与SPI和并行增益控制相关的引脚、PM和PWUP)工作电压为3.3 V。

将PWUP引脚拉高可以使能ADA4961。将PWUP拉低则会Let ADA4961进入休眠模式，环境温度下电流损耗降低至大约7 mA。

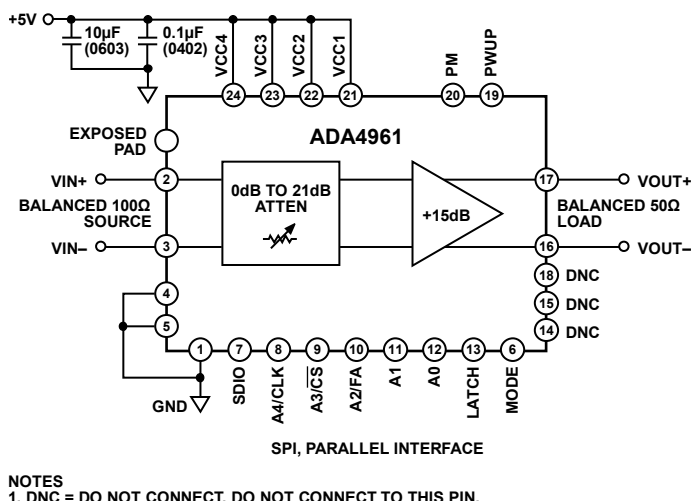


图40. 基本连接

表10. 基本连接

引脚编号	引脚名称	说明	基本连接
5 V电源 21 22 23 24	VCC1 VCC2 VCC3 VCC4	放大器内核电源	将这些引脚连接到5 V，并用靠近引脚的10 μF和0.1 μF电容去耦至GND。
GND 1, 4, 5	GND	接地引脚	连接到地。
RF输入 2 3	VIN+ VIN-	差分RF输入， 差分输入阻抗为100 Ω	将这些引脚连接到信号链中上一器件的平衡输出。可使用巴伦将单端信号转换为差分信号；如果信号链中的上一器件为差分模式，可使用巴伦来改善偶数阶失真。
RF输出 17 16	VOUT+ VOUT-	差分RF输出， 差分输出阻抗为50 Ω	将这些引脚连接到信号链中下一器件的平衡输入。可使用巴伦将ADA4961差分输出转换为单端信号；如果信号链中的下一器件为差分模式，可使用巴伦来改善偶数阶失真。

ADA4961

引脚编号	引脚名称	说明	基本连接
SPI/并行控制 6	MODE	并行、串行模式控制	将此引脚连接到3.3 V兼容逻辑控制。逻辑0置位串行控制，逻辑1置位并行控制。
SPI数据IO 8	A4/SCLK	SPI时钟，并行模式增益控制的位4	将此引脚连接到3.3 V兼容逻辑控制。
9	A3/ \overline{CS}	SPI片选，并行模式增益控制的位3	将此引脚连接到3.3 V兼容逻辑控制。
10	A2/FA	快速启动使能，并行模式增益控制的位2	将此引脚连接到3.3 V兼容逻辑控制。逻辑1置位FA使能，逻辑0置位FA禁用。
11	A1	并行模式增益控制的位1	将此引脚连接到3.3 V兼容逻辑控制。
12	A0	并行模式增益控制的位0	将此引脚连接到3.3 V兼容逻辑控制。
13	LATCH	并行模式锁存控制	将此引脚连接到3.3 V兼容逻辑控制。逻辑0置位透明模式，逻辑1置位锁存模式。
19	PWUP	上电	将此引脚连接到3.3 V兼容逻辑控制。逻辑1置位上电，逻辑0置位关断。
20	PM	性能模式	将此引脚连接到3.3 V兼容逻辑控制。逻辑1置位低性能模式，逻辑0置位高性能模式。

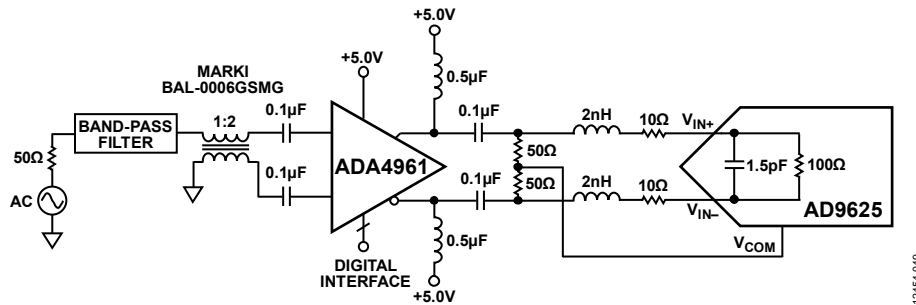


图41. 采用ADA4961和AD9625的宽带ADC接口示例

ADC驱动

ADA4961是一款高输出线性度可变增益放大器，专为ADC接口而优化。输出IMD和本底噪声在22 dB增益范围内保持恒定。对于接收机范围改变时需保持恒定瞬时动态范围的可变增益接收机而言，这一特性很重要。输出噪声为 $69\text{ nV}/\sqrt{\text{Hz}}$ ，与14位或16位ADC兼容。以 5.5 dBm 驱动 $50\ \Omega$ 时，或对于 1.2 V p-p 复合输出时，双音IMD通常大于 -75 dBc 。 $50\ \Omega$ 输出阻抗使得针对高输出阻抗ADC的滤波器设计更简便。

图41显示ADA4961驱动一个双极点、1 GHz低通滤波器至AD9625。AD9625是一款12位、2.5 GSPS ADC，具有缓冲宽带输入，由此产生 $100\ \Omega$ 差分输入阻抗，要求具有 1.2 V 输入摆幅才能达到满量程。为实现最佳性能，应利用高性能1:2匹配巴伦以差分形式驱动ADA4961。

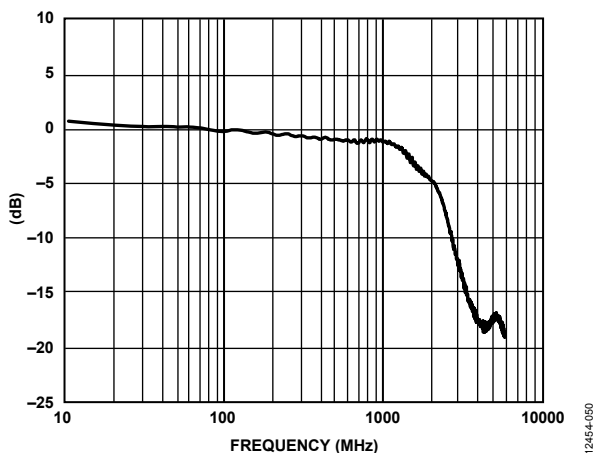


图42. 图41所示宽带ADC接口的测量频率响应

图41使用1:2阻抗变压器以提供ADA4961匹配输入的100 Ω输入阻抗。ADA4961开漏输出通过两个0.5 μH电感偏置，输出端的两个0.1 μF电容对来自ADA4961输入共模电压的5 V电感电压去耦。两个25 Ω电阻与AD9625的100 Ω输入阻抗并联，为ADA4961提供50 Ω负载，增益与负载相关。AD9625的2 nH电感和1.5 pF内部电容构成1 GHz、1 dB低通滤波器。两个5 Ω隔离电阻抑制来自ADC输入采样保持电路的任何开关电流。图41所示电路可为AD9625提供可变增益、隔离、滤波和源阻抗匹配。利用该电路，当ADA4961的增益为15 dB(最大增益)时，在1 GHz频率可实现55 dB的满量程信噪比(SNRFS)和77 dBc的SFDR性能，如图43所示。

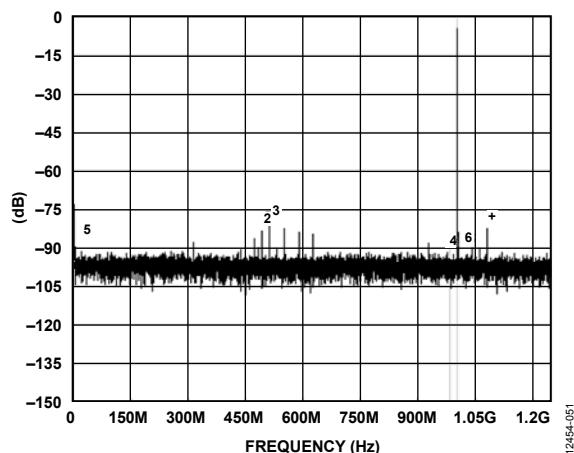


图43. 图41所示电路在1 GHz输入信号时测得的单音性能，使用最大增益(15 dB)

两路0.6 V p-p信号的双音1 GHz IMD具有大于75 dBc的SFDR，如图44所示。

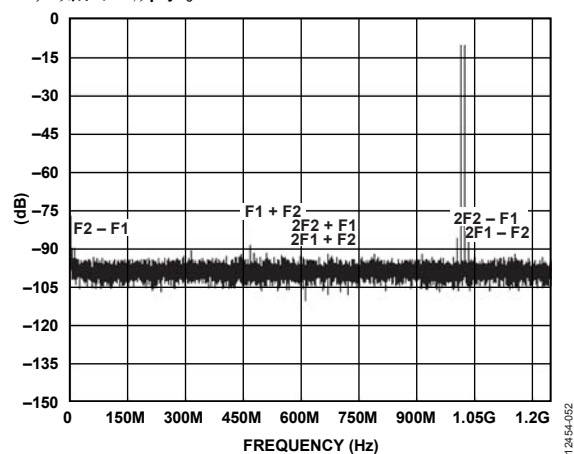


图44. 图41所示电路在1 GHz输入信号时测得的双音性能，使用最大增益(15 dB)

ADA4961

用于ADC接口的低通抗混叠滤波

在输出端增加一个低通滤波器，可以增强ADA4961的高频失真性能(参见图46和图47)。“ADC驱动”部分使用一个双极点低通滤波器来说明失真改善能力和积分噪声降低情况。图49为双极点低通(LP)滤波器的示意图。电感电容(LC)值分别为2 nH和2 pF。连接到ADA4961时，此滤波器提供2 GHz的-3 dB总带宽。在无何寄生效应的理想情况下，带宽为3.5 GHz。2 nH电感上的寄生电容(约1 pF，未显示)将带宽降至约2.1 GHz。

应确保滤波器的物理长度小于3 dB转折频率的波长的1/10。2 GHz时，其为75 mm。串联电感(还有内部焊线电感)和并联寄生电容形成并联谐振，致使总带宽降低。根据最终用户要求，可使用其它值和滤波器类型，但必须确保电路Q不超过1。2 nH和2 pF的值表明：相对于无滤波器情况，在最高达1.5 GHz的频率下，失真(单音和IMD3)有所改善。当频率高于约600 MHz时，HD3开始衰减，这并不意外，因为L(2 nH)和并联C(2 pF)在此处发生LP滚降。此外，带内IMD3也有改善。原因是内部寄生效应与2 nH电感和并联寄生电容相互作用，导致放大器输出端出现峰化。这种峰化会降低放大器的输入信号(未显示)，从而减小带内三阶项。

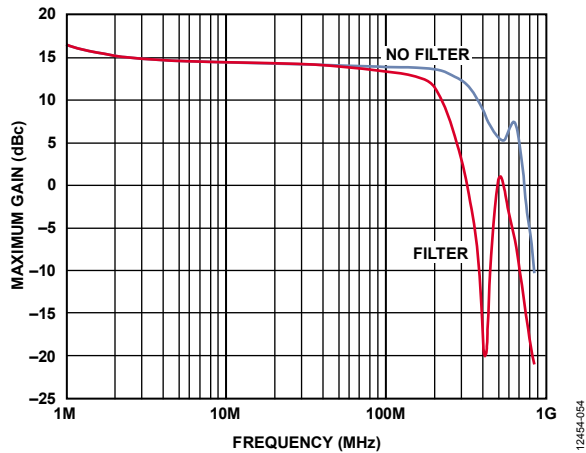


图45. 最大增益与频率的关系，使用和不使用LC滤波器

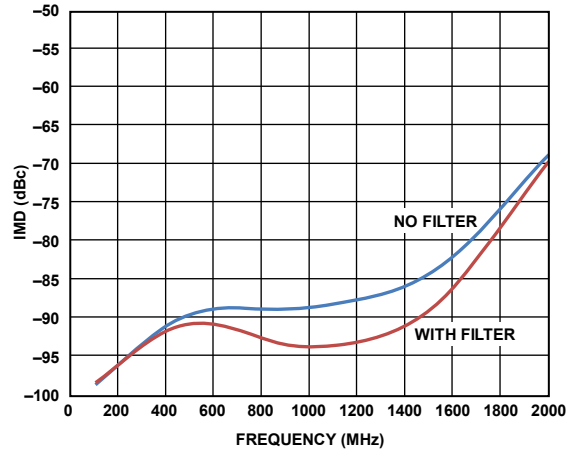


图46. IMD与频率的关系，使用和不使用LC滤波器

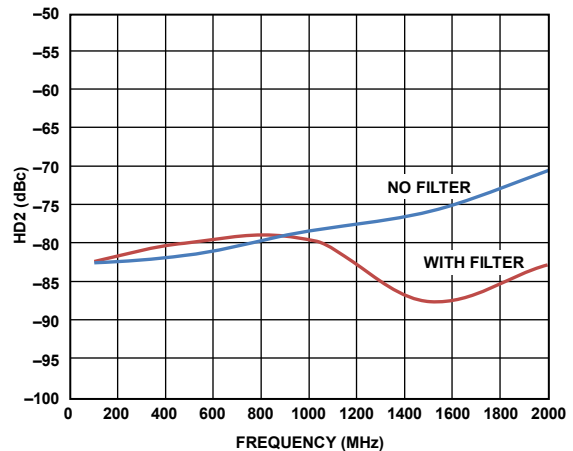


图47. HD2与频率的关系，使用和不使用LC滤波器

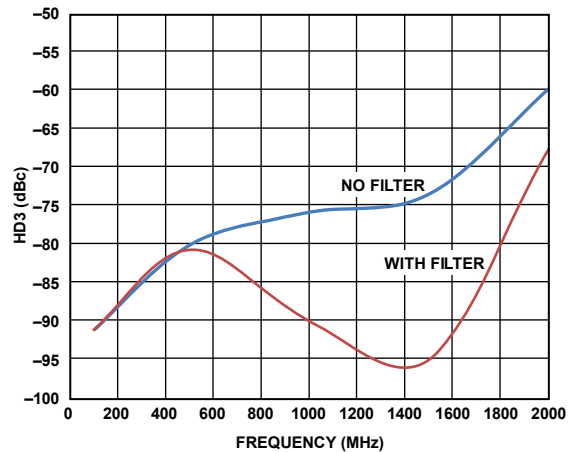


图48. HD3与频率的关系，使用和不使用LC滤波器

布局考量

设计电路板时，应注意降低连接RF输出的布线所引起的寄生电容。降低寄生电容的一个良好实践做法是避免该布线区域和扼流圈的任何接地或与电源层相接。

评估板

ADA4961评估板为4层板，采用标准FR4材料。该板配置为单端输入和单端输出。所有RF输入和输出走线均为50 Ω。RF输入端使用Mini-Circuits® TCM2-43X巴伦(2:1阻抗巴伦)来将外部50 Ω发生器与ADA4961的100 Ω差分输入匹配。RF输出端使用Mini-Circuits TCM1-43X巴伦(1:1阻抗巴伦)来将放大器的差分输出转换为评估板的单端输出。

它在全频率范围内都有出色的线性度性能，部分原因是RF输出直流偏置到电源(通常为5 V以实现最佳性能)。RF扼流圈提供从RF输出到正供电轨的偏置电源路径。强烈建议使用Coilcraft 0805CS-471XJLC 470 nH电感进行偏置。此类电感的自谐振频率足够高，在最高4 GHz频率下不会影响ADA4961的性能。

关于该评估板和评估板软件的详细使用说明，请参阅EV-ADA4961SDP1Z用户指南。

表11给出了该评估板RF部分的物料清单。

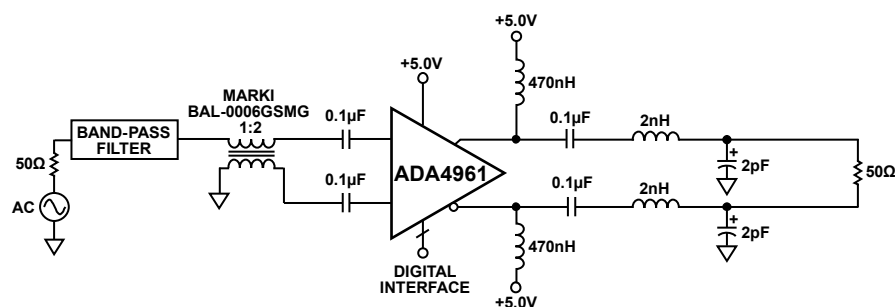
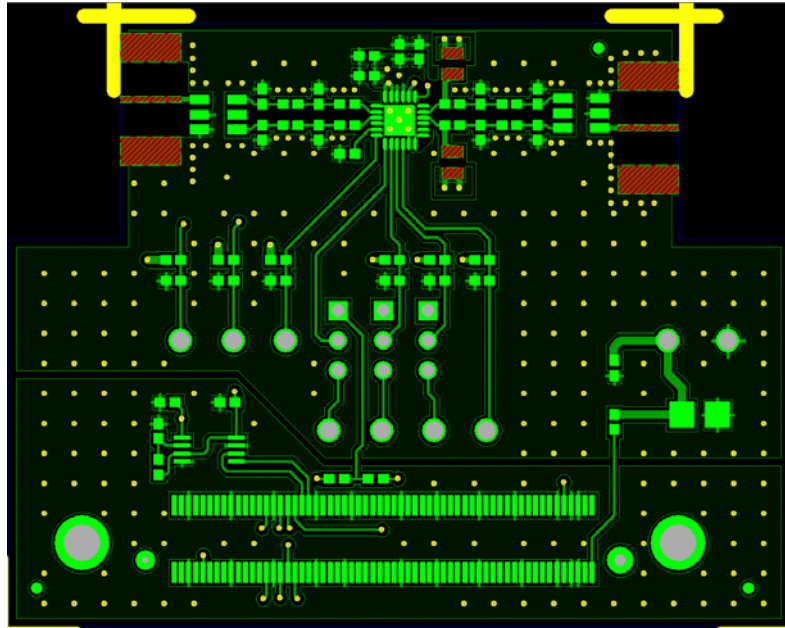


图49. 使用低通抗混叠滤波器的ADC接口电路

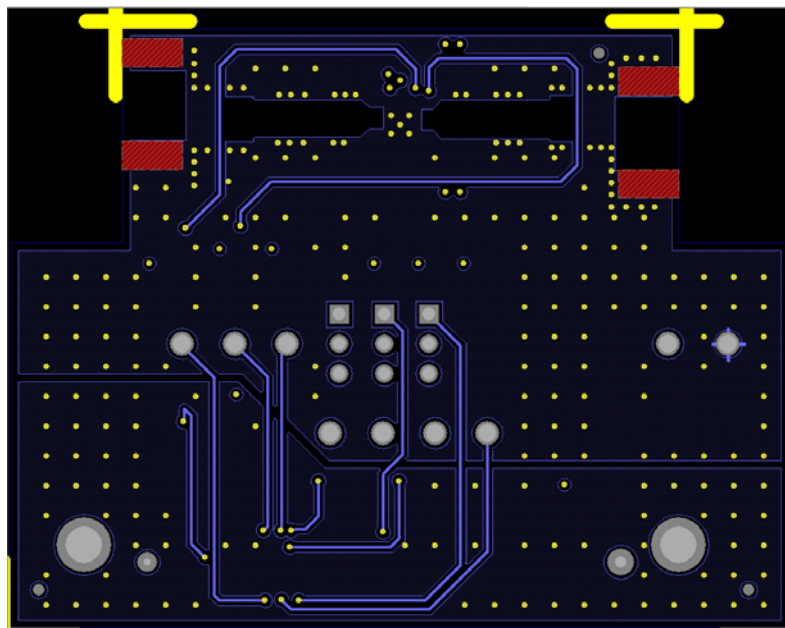
表11.

索引标识符	说明	制造厂商	产品型号
ADA4961ACPZN-R7	受测试器件	Analog Devices, Inc.	ADA4961ACPZN-R7
J1, J2	输入、输出SMA连接器	Johnson	142-0701-801
T1	RF输入巴伦	Mini-Circuits	TCM2-43x+
L1, L2	470 nH RF偏置扼流圈	Coilcraft	0805CS-471XJLC
T2	RF输出巴伦	Mini-Circuits	TCM1-43x+
C1, C2, C3, C4	0.1 μF RF隔直电容	Murata-Erie	GRM155R71C104KA88D
R1, R2	8.87 Ω输入匹配焊盘	Panasonic	ERJ2GEJ9R1X



12454-202

图50. ADA4961评估板顶层



12454-203

图51. ADA4961评估板底层

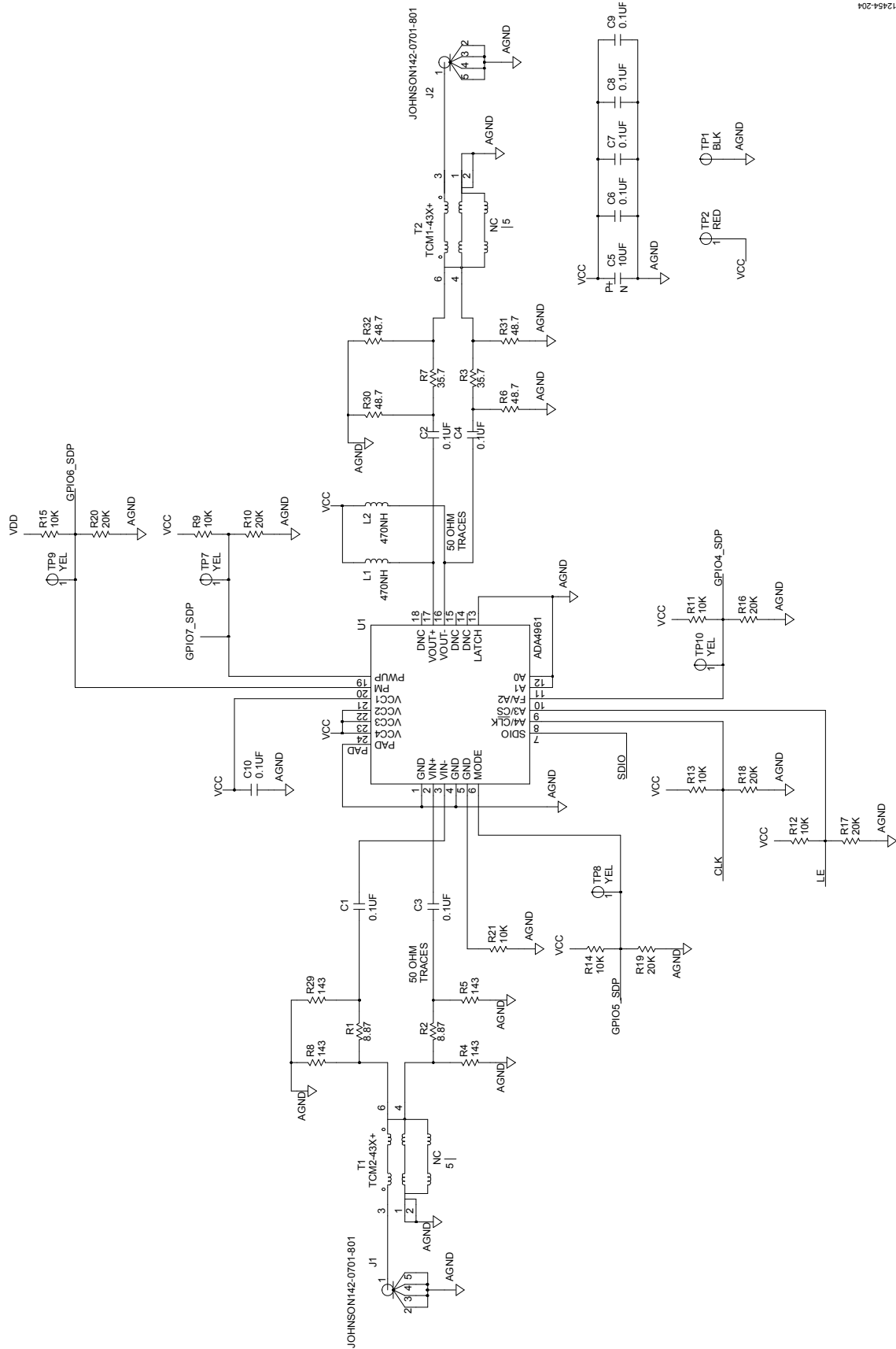
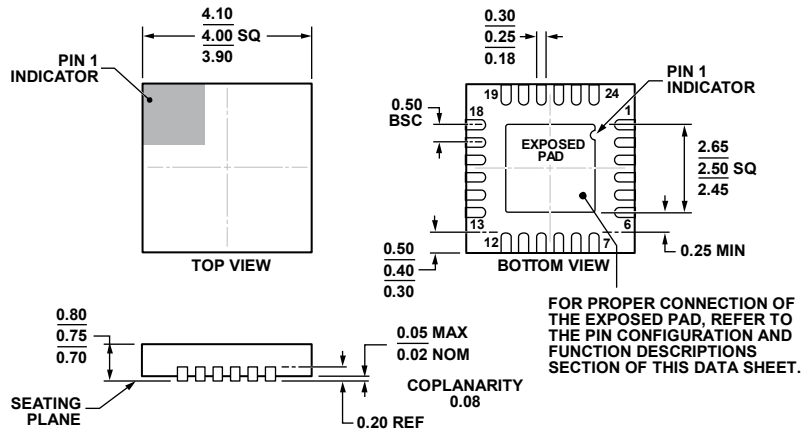


图52. ADA4961评估板原理图

ADA4961

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

图53. 24引脚引线框芯片级封装[LFCSP_WQ]

4 mm × 4 mm, 超薄体

(CP-24-7)

图示尺寸单位: mm

04-12-2012-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADA4961ACPZN-R7	-40°C至+85°C	24引脚LFCSP_WQ, 7"卷带和卷盘	CP-24-7
EV-ADA4961SDP1Z	-40°C至+85°C	评估板	

¹ Z = 符合RoHS标准的器件。