

AD5601/AD5611/AD5621

特性

6引脚SC70和LFCSP封装

低功耗工作：5 V时最大电流100 μ A

关断模式：0.2 μ A(典型值，3 V)

2.7 V至5.5 V电源供电

通过设计保证单调性

上电复位至0 V，具有掉电检测功能

3种关断功能

低功耗串行接口，采用施密特触发式输入

片内轨到轨输出缓冲放大器

SYNC 中断设置

极小的零代码误差

AD5601缓冲8位DAC

B级： ± 0.5 LSB INL

AD5611缓冲10位DAC

B级： ± 0.5 LSB INL

A级： ± 4 LSB INL

AD5621缓冲12位DAC

B级： ± 1 LSB INL

A级： ± 6 LSB INL

应用

电平设置

便携式电池供电仪表

数字增益和失调电压调整

可编程电压源和电流源

可编程衰减器

概述

AD5601/AD5611/AD5621均属于nanoDAC®系列，分别是单通道、8/10/12位、缓冲电压输出DAC，使用2.7 V至5.5 V单电源供电，5 V时典型功耗为75 μ A，采用小型LFCSP和SC70封装。这些器件内置片内精密输出放大器，能够实现轨到轨输出摆幅。AD5601/AD5611/AD5621采用多功能三线式串行接口，能够以最高30 MHz的时钟速率工作，并与SPI、QSPI™、MICROWIRE™、DSP接口标准兼容。

三款器件的基准电压均从电源输入获得，因此具有最宽的动态输出范围。上述器件均内置一个上电复位电路，确保DAC输出上电至0 V并保持该电平，直到对该器件执行一次有效的写操作为止。

AD5601/AD5611/AD5621还内置关断功能，在关断模式下，3 V时的典型功耗降至0.2 μ A。

Rev. F

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

功能框图

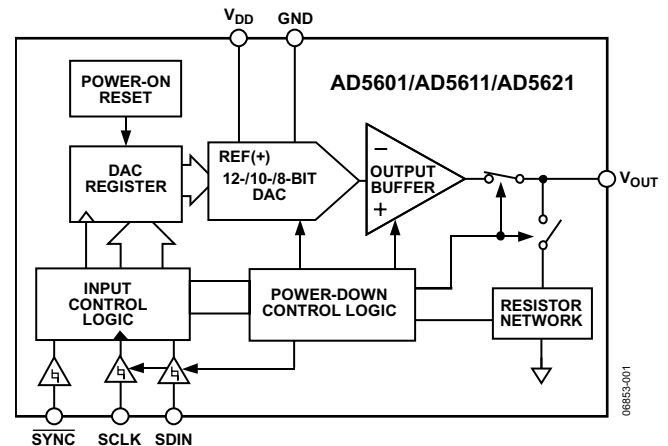


图1.

表1. 相关器件

产品型号	描述
AD5641	2.7 V至5.5 V、小于100 μ A、14位nanoDAC，采用SC70和LFCSP封装

在关断模式下，还可利用软件选择输出负载。可通过串行接口进入关断模式。

在正常工作模式下，这些器件具有低功耗特性，非常适合便携式电池供电设备。这些nanoDAC器件将小尺寸封装与低功耗特性相结合，特别适合用来满足电平设置要求，例如在空间受限、对功耗敏感的应用中产生偏置或控制电压。

产品特点

1. 提供6引脚LFCSP和SC70两种封装。
2. 低功耗、单电源供电。AD5601/AD5611/AD5621采用2.7 V至5.5 V单电源供电，最大功耗为100 μ A，非常适合电池供电的应用。
3. 利用片内输出缓冲放大器，DAC能够提供轨到轨输出摆幅，典型压摆率为0.5 V/ μ s。
4. 基准电压从电源获得。
5. 高速串行接口，时钟速率最高达30 MHz。专为极低功耗应用设计。接口仅在写周期期间上电。
6. 关断功能。关断时，DAC在3 V下的典型功耗为0.2 μ A。可上电复位，具有掉电检测功能。

目录

特性.....	1
应用.....	1
概述.....	1
功能框图.....	1
产品特色.....	1
修订历史.....	2
技术规格.....	3
时序特性.....	4
绝对最大额定值.....	5
ESD警告.....	5
引脚配置和功能描述.....	6
典型性能参数.....	7
术语.....	13
工作原理.....	14
DAC部分.....	14
电阻串.....	14

修订历史

2012年2月—修订版E至修订版F

增加6引脚LFCSP封装.....	通篇
更改“特性”部分、“概述”部分、表1和“产品特色”部分.....	1
更改表4.....	5
增加图4：重新排序.....	6
更改表5.....	6
更改“选择用于AD5601/AD5611/AD5621 的基准电压源”部分.....	18
更新外形尺寸部分.....	20
更改订购指南部分.....	21

2010年7月—修订版D至修订版E

更改图1.....	1
-----------	---

2008年5月—修订版C至修订版D

更改概述部分.....	1
更改表2.....	3
更改“选择用于AD5601/AD5611/AD5621 的基准电压源”部分.....	18
更改订购指南部分.....	20

输出放大器.....	14
串行接口.....	14
输入移位寄存器.....	14
SYNC 中断.....	14
上电复位.....	16
关断模式.....	16
微处理器接口.....	16
应用.....	18
选择用于AD5601/AD5611/AD5621的基准电压源.....	18
使用AD5601/AD5611/AD5621 实现双极性工作模式.....	18
AD5601/AD5611/AD5621与 电流隔离接口的配合使用.....	19
电源旁路和接地.....	19
外形尺寸.....	20
订购指南.....	21

2007年12月—修订版B至修订版C

更改特性部分.....	1
更改表2.....	3
更改“AD5601/AD5611/AD5621与ADSP-2101接口”部分.....	16
更新外形尺寸部分.....	20
更改订购指南部分.....	20

2005年7月—修订版A至修订版B

更改图48.....	17
更改“电流隔离接口”部分.....	19
更改图52.....	19

2005年3月—修订版0至修订版A

更改时序特性.....	4
更改绝对最大额定值.....	5
更改“满量程误差”部分.....	7
更改图20.....	10
更改“工作原理”部分.....	14
更改“关断模式”部分.....	15

2005年1月—修订版0：初始版

技术规格

除非另有说明， $V_{DD} = 2.7\text{ V}$ 至 5.5 V ， $R_L = 2\text{ k}\Omega$ 接GND， $C_L = 200\text{ pF}$ 接GND；所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。A/B级温度范围为 -40°C 至 $+125^\circ\text{C}$ ，典型值 25°C 。

表2.

参数	A级			B级			单位	测试条件/注释
	最小值	典型值	最大值	最小值	典型值	最大值		
静态性能								
AD5601				8			Bits	通过设计保证单调性
分辨率							Bits	
相对精度 ¹ (INL)						± 0.5	LSB	
差分非线性(DNL)						± 0.5	LSB	
AD5611	10						Bits	通过设计保证单调性
分辨率							Bits	
相对精度 ¹ (INL)			± 4			± 0.5	LSB	
差分非线性(DNL)			± 0.5			± 0.5	LSB	
AD5621	12						Bits	通过设计保证单调性
分辨率							Bits	
相对精度 ¹ (INL)			± 6			± 1	LSB	
差分非线性(DNL)			± 0.5			± 0.5	LSB	
零代码误差	0.5		10	0.5		10	mV	DAC寄存器载入全0
满量程误差	± 0.5			± 0.5			mV	DAC寄存器载入全1
失调误差	± 0.063	± 10		± 0.063	± 10		mV	
增益误差	± 0.0004	± 0.037		± 0.0004	± 0.037		%FSR	
零代码误差漂移	5.0			5.0			$\mu\text{V}/^\circ\text{C}$	
增益温度系数	2.0			2.0			ppm FSR/ $^\circ\text{C}$	
输出特性 ²								
输出电压范围	0		V_{DD}	0		V_{DD}	V	
输出电压建立时间		6	10		6	10	μs	编码 $1/4$ 量程至 $3/4$ 量程
压摆率		0.5			0.5		V/ μs	
容性负载稳定性		470			470		pF	$R_L = \infty$
		1000			1000		pF	$R_L = 2\text{ k}\Omega$
输出噪声频谱密度		120			120		nV/ $\sqrt{\text{Hz}}$	DAC码字 = 中间值, 1 kHz
噪声		2			2		μV	DAC码字 = 中间值, 0.1 Hz至10 kHz带宽
数模转换毛刺脉冲		5			5		nV-s	主进位1 LSB变化
数字馈通		0.2			0.2		nV-s	
短路电流		15			15		mA	$V_{DD} = 3\text{ V}/5\text{ V}$
直流输出阻抗		0.5			0.5		Ω	
逻辑输入								
输入电流 ³			± 2			± 2	μA	
输入高电压 V_{INH}	1.8			1.8			V	$V_{DD} = 4.7\text{ V}$ 至 5.5 V
	1.4			1.4			V	$V_{DD} = 2.7\text{ V}$ 至 3.6 V
输入低电压 V_{INL}			0.8			0.8	V	$V_{DD} = 4.7\text{ V}$ 至 5.5 V
			0.6			0.6	V	$V_{DD} = 2.7\text{ V}$ 至 3.6 V
引脚输入电容		3			3		pF	

AD5601/AD5611/AD5621

参数	A级			B级			单位	测试条件/注释
	最小值	典型值	最大值	最小值	典型值	最大值		
电源要求								
V_{DD}	2.7		5.5	2.7		5.5	V	所有数字输入为0 V或 V_{DD} DAC活动, 不包括负载 电流
I_{DD} (正常模式)								
$V_{DD} = \pm 4.5\text{ V至}\pm 5.5\text{ V}$		75	100		75	100	μA	$V_{IH} = V_{DD}$ 且 $V_{IL} = \text{GND}$
$V_{DD} = \pm 2.7\text{ V至}\pm 3.6\text{ V}$		60	90		60	90	μA	$V_{IH} = V_{DD}$ 且 $V_{IL} = \text{GND}$
I_{DD} (全关断模式)								
$V_{DD} = \pm 4.5\text{ V至}\pm 5.5\text{ V}$		0.5			0.5		μA	$V_{IH} = V_{DD}$ 且 $V_{IL} = \text{GND}$
$V_{DD} = \pm 2.7\text{ V至}\pm 3.6\text{ V}$		0.2			0.2		μA	$V_{IH} = V_{DD}$ 且 $V_{IL} = \text{GND}$
电源效率								
I_{OUT}/I_{DD}		96			96		%	$I_{LOAD} = 2\text{ mA}$ 且 $V_{DD} = \pm 5\text{ V}$

¹ 线性度计算使用缩减的数据范围: AD5621从编码64到编码4032; AD5611从编码16到编码1008; AD5601从编码4到编码252.

² 通过设计和特性保证, 但未经生产测试。

³ 流入所有引脚的总电流。

时序特性

除非另有说明, $V_{DD} = 2.7\text{ V至}5.5\text{ V}$, 所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。参见图2。

表3.

参数	限值 ¹	单位	测试条件/注释
t_1^2	33	ns(最小值)	SCLK周期时间
t_2	5	ns(最小值)	SCLK高电平时间
t_3	5	ns(最小值)	SCLK低电平时间
t_4	10	ns(最小值)	$\overline{\text{SYNC}}$ 到SCLK下降沿建立时间
t_5	5	ns(最小值)	数据建立时间
t_6	4.5	ns(最小值)	数据保持时间
t_7	0	ns(最小值)	SCLK下降沿到 $\overline{\text{SYNC}}$ 上升沿
t_8	20	ns(最小值)	最小 $\overline{\text{SYNC}}$ 高电平时间
t_9	13	ns(最小值)	$\overline{\text{SYNC}}$ 上升沿到下一SCLK下降沿忽略

¹ 所有输入信号均指 $t_r = t_f = 1\text{ ns}$ (10%至90%的 V_{DD})条件下并 $(V_{IL} + V_{IH})/2$ 电平起开始计时。

² SCLK最大频率为30 MHz。

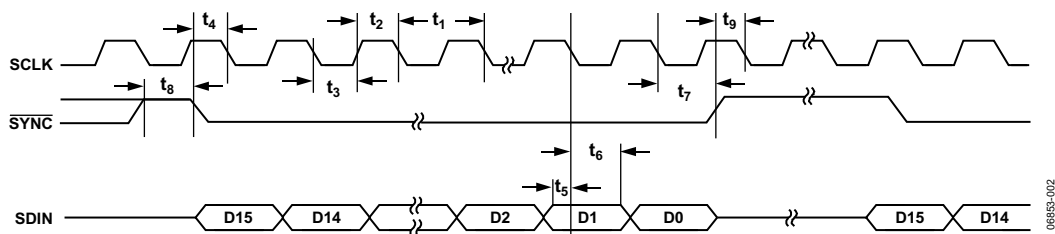


图2. 时序图

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表4.

参数	额定值
V_{DD} 至 GND	-0.3 V 至 +7.0 V
数字输入电压至 GND	-0.3 V 至 $V_{DD} + 0.3$ V
V_{OUT} 至 GND	-0.3 V 至 $V_{DD} + 0.3$ V
工作温度范围	
工业级(A/B级)	-40°C 至 +125°C
存储温度范围	-65°C 至 +160°C
最高结温	150°C
SC70封装	
θ_{JA} 热阻	433.34°C/W
θ_{JC} 热阻	149.47°C/W
LFCSP封装	
θ_{JA} 热阻	95°C/W
引脚温度, 焊接	
气相(60秒)	215°C
红外(15秒)	220°C
ESD(人体模型)	2.0 kV

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD5601/AD5611/AD5621

引脚配置和功能描述

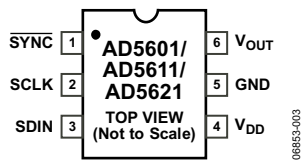
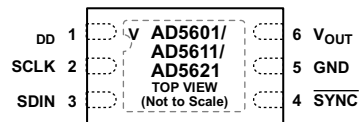


图3. 6引脚SC70的引脚配置



NOTES:
1. CONNECT THE EXPOSED PAD TO GND.

图4. 6引脚LFCSP的引脚配置

表5. 引脚功能描述

SC70 引脚编号	LFCSP 引脚编号	引脚名称	描述
1	4	SYNC	电平触发的控制输入(低电平有效)。这是输入数据的帧同步信号。当SYNC变为低电平时,使能输入移位寄存器,然后数据在后续时钟的下降沿输入移位寄存器。DAC在第16个时钟周期后更新,除非SYNC在此边沿之前变为高电平,这种情况下SYNC的上升沿将用作中断,DAC将忽略写入序列。
2	2	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入移位寄存器。数据能够以最高30 MHz的速率传输。
3	3	SDIN	串行数据输入。该器件有一个16位移位寄存器。数据在串行时钟输入的下降沿读入寄存器。
4	1	V _{DD}	电源输入引脚。AD5601/AD5611/AD5621可以采用2.7V至5.5V电源供电。应将V _{DD} 去耦至GND。
5	5	GND	地。AD5601/AD5611/AD5621上所有电路的地基准点。
6	6	V _{OUT} EP	DAC的模拟输出电压。输出放大器能以轨到轨方式工作。 裸露焊盘。连接到GND。

典型性能参数

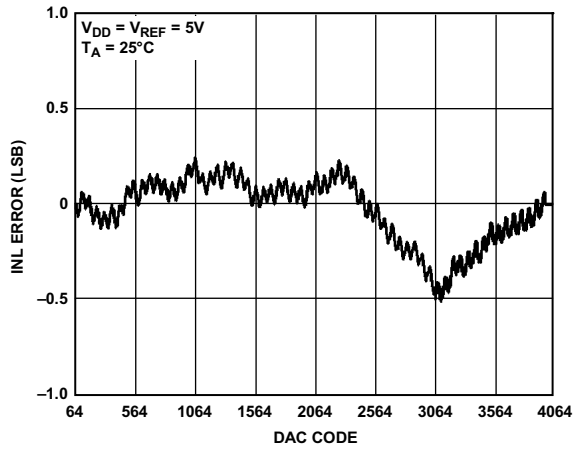


图5. AD5621典型INL

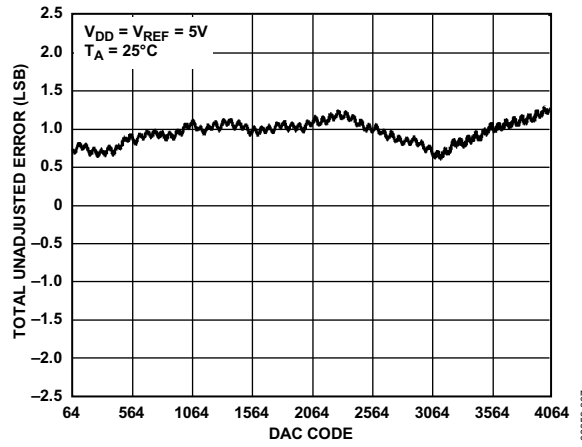


图8. AD5621总不可调整误差(TUE)

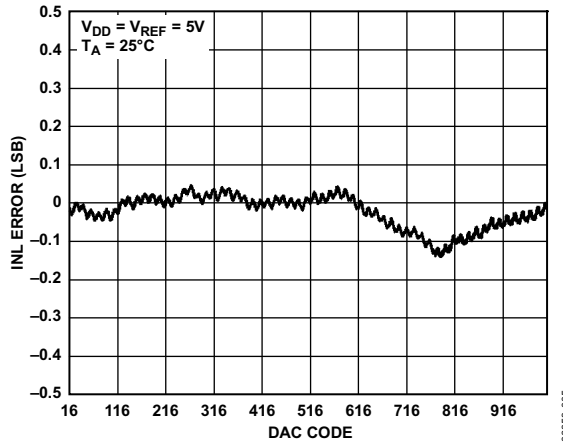


图6. AD5611典型INL

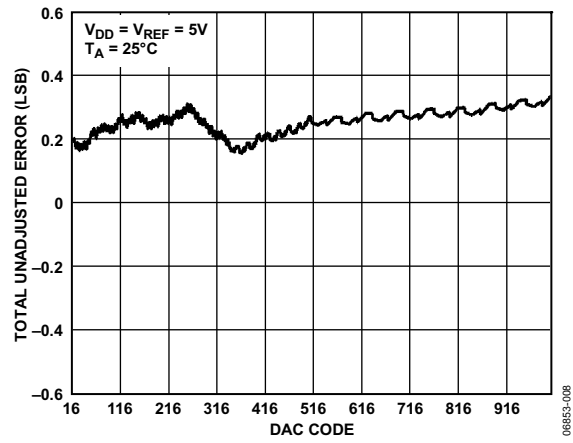


图9. AD5611总不可调整误差(TUE)

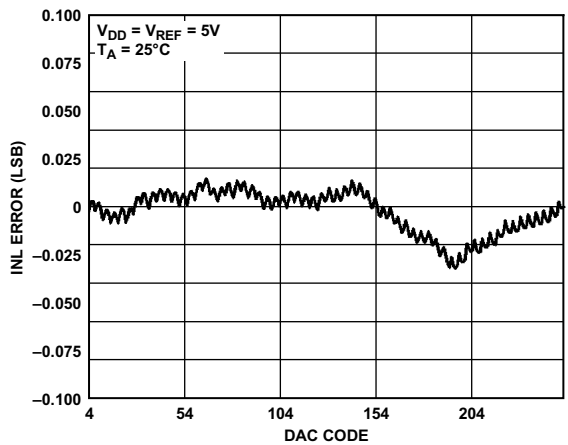


图7. AD5601典型INL

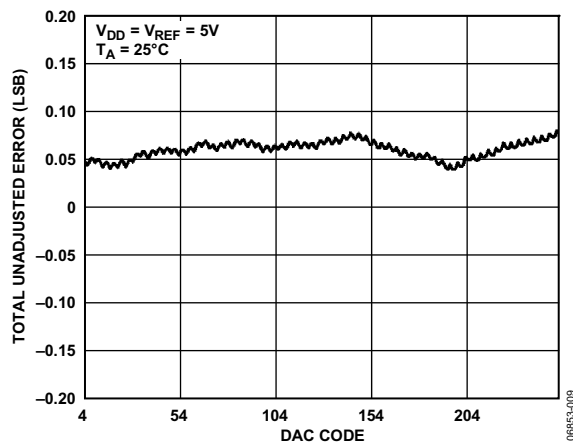


图10. AD5601总不可调整误差(TUE)

AD5601/AD5611/AD5621

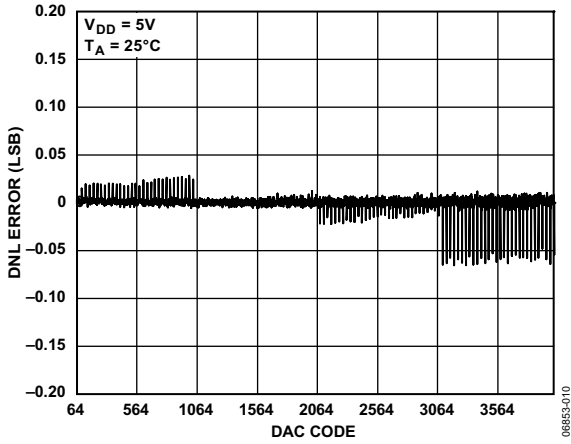


图11. AD5621典型DNL

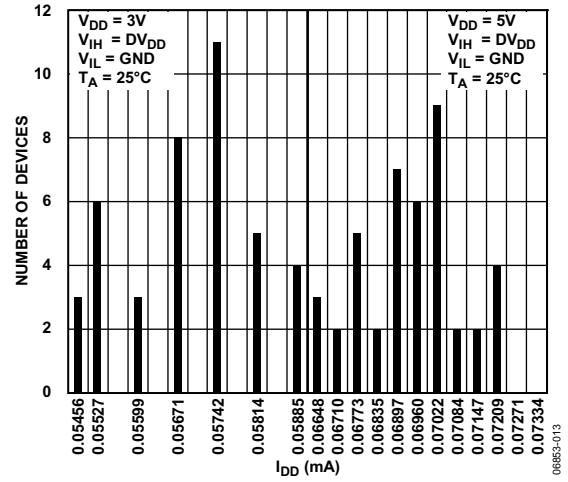


图14. I_{DD} 直方图(3 V/5 V)

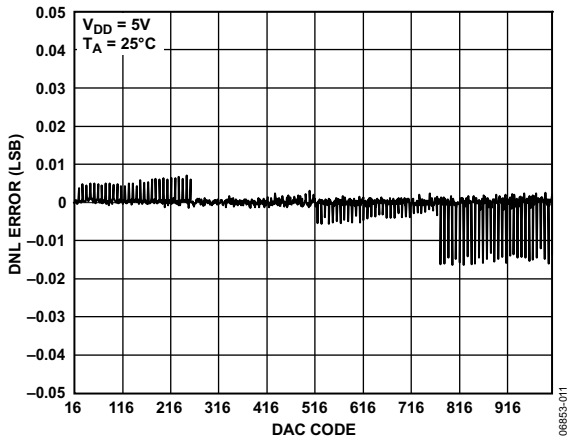


图12. AD5611典型DNL

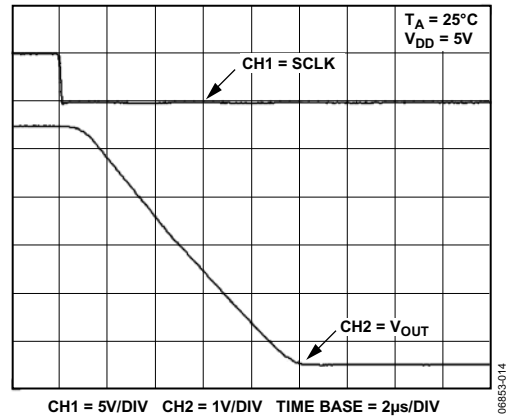


图15. 满量程建立时间

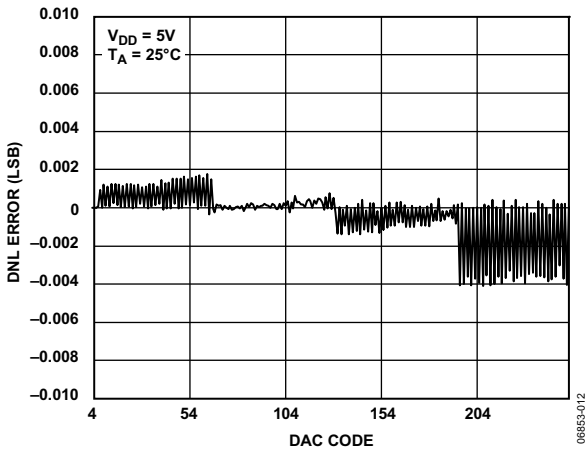


图13. AD5601典型DNL

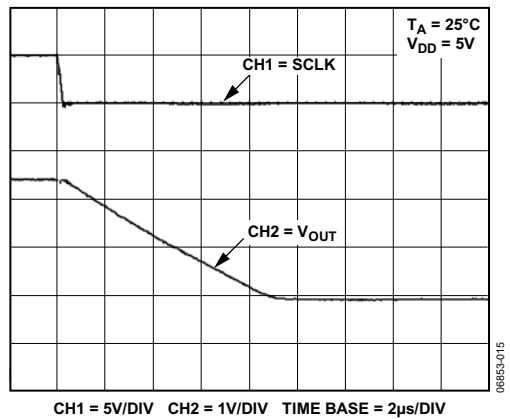


图16. 半量程建立时间

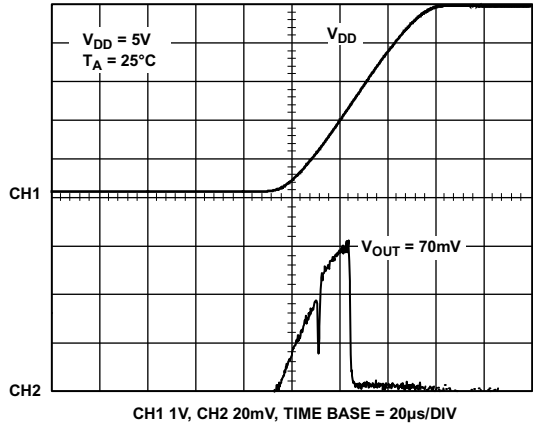


图17. 上电复位至0V

06853-016

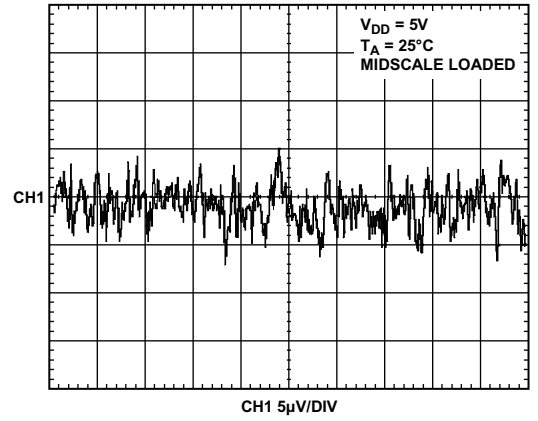


图20. 1/噪声, 0.1 Hz至10 Hz带宽

06853-019

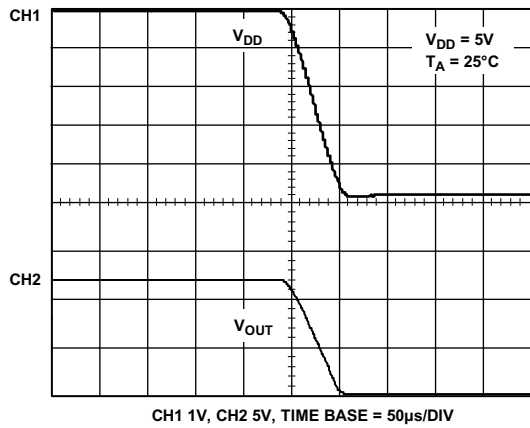


图18. V_{DD}与V_{OUT}的关系

06853-017

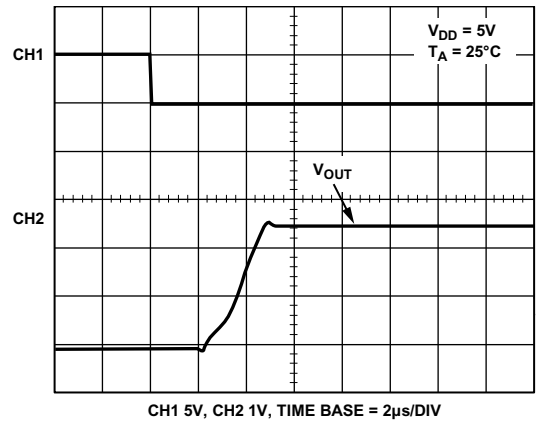


图21. 退出关断模式

06853-020

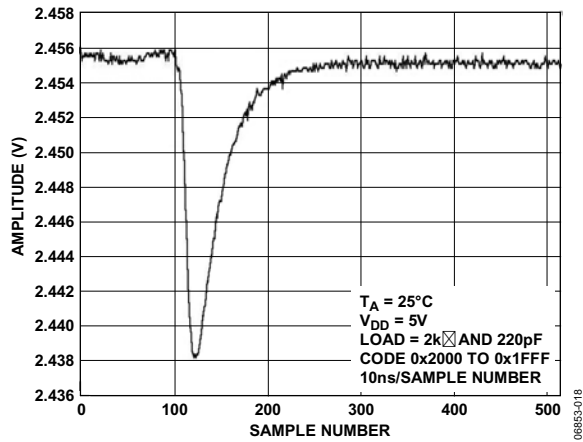


图19. 数模转换毛刺能量

06853-018

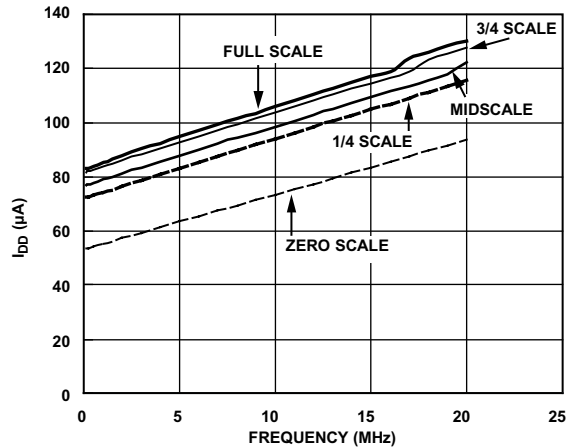


图22. I_{DD}与SCLK和编码的关系

06853-021

AD5601/AD5611/AD5621

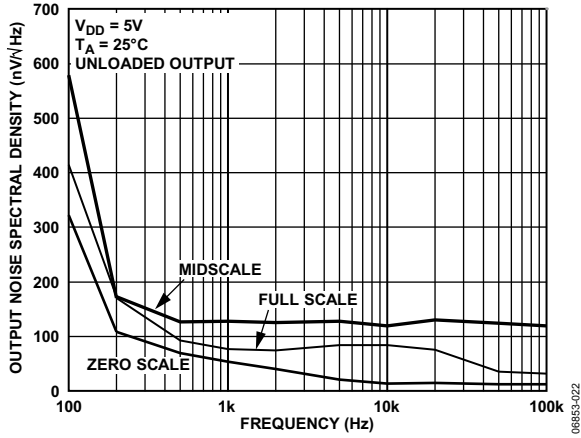


图23. 噪声频谱密度

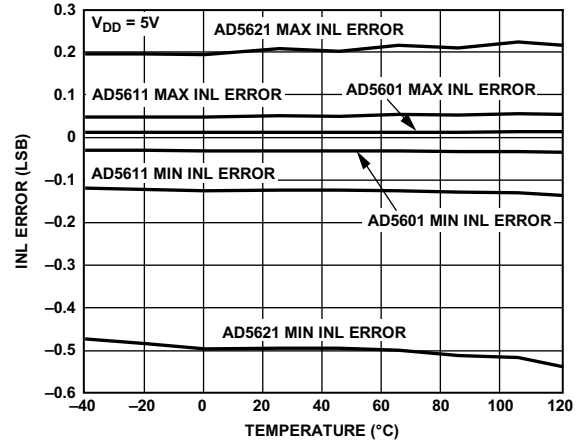


图26. INL与温度的关系(5 V)

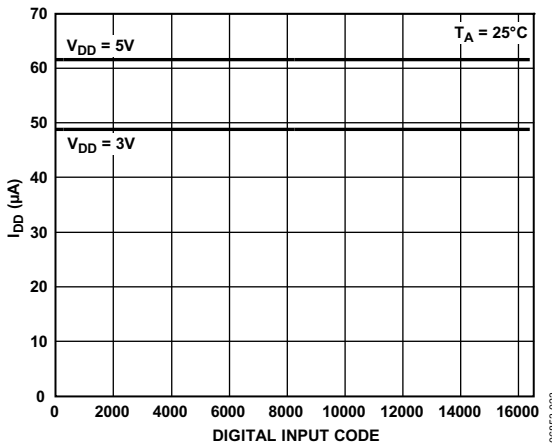


图24. 电源电流与数字输入代码的关系

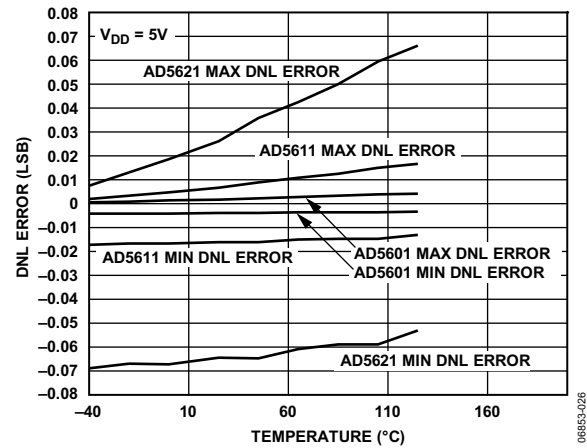


图27. DNL与温度的关系(5 V)

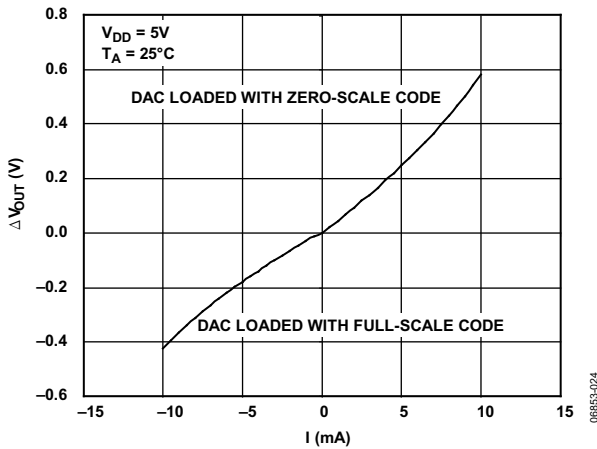


图25. 源电流和吸电流能力

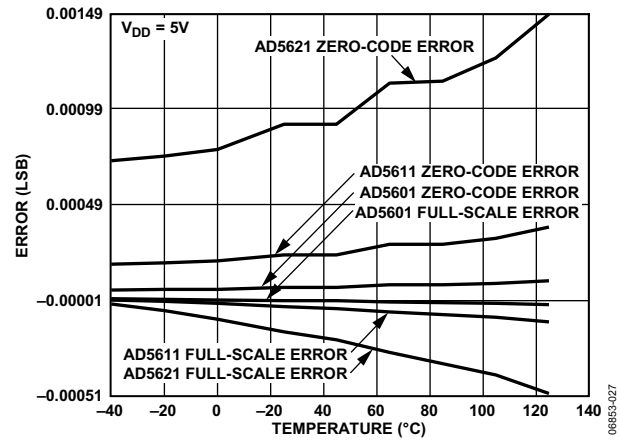


图28. 零代码误差和满量程误差与温度的关系

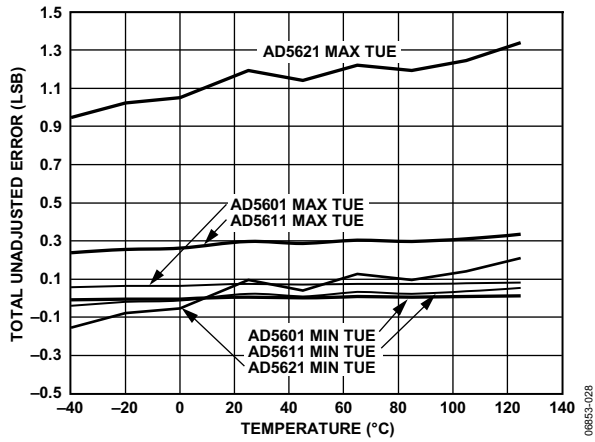


图29. 总不可调整误差(TUE)与温度的关系(5 V)

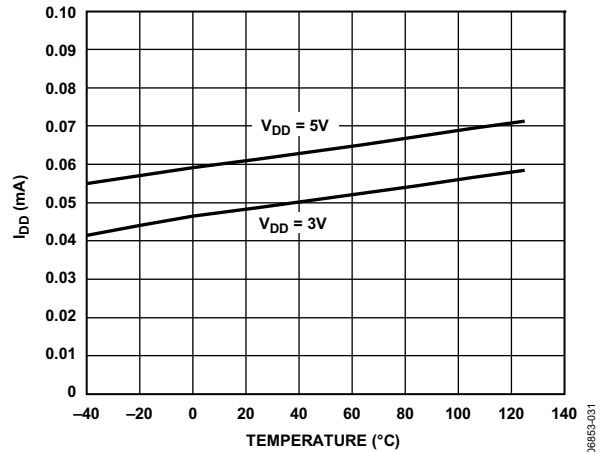


图32. 电源电流与温度的关系(3 V/5 V电源)

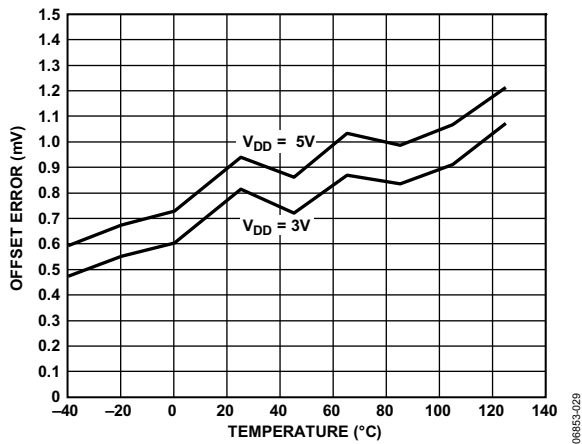


图30. 失调误差与温度的关系(3 V/5 V电源)

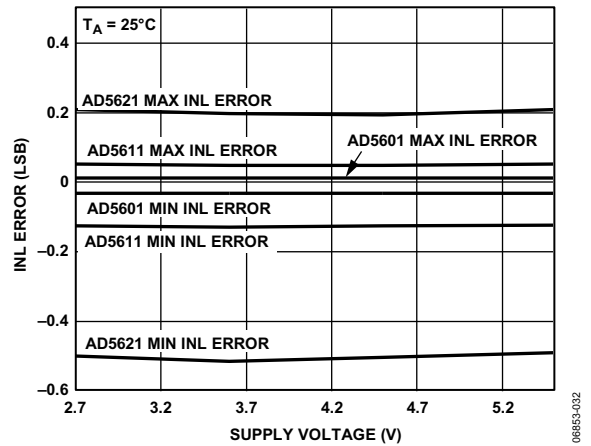


图33. INL与电源电压的关系(25°C)

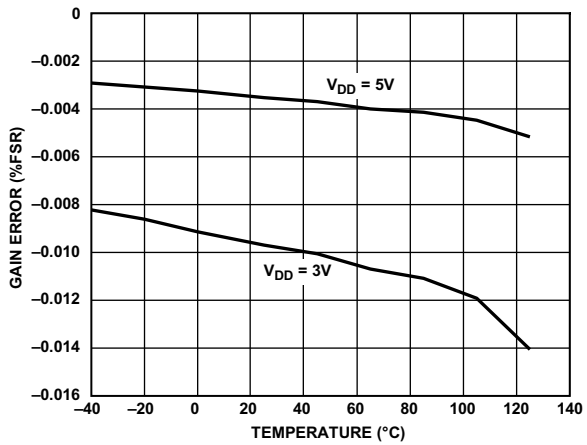


图31. 增益误差与温度的关系(3 V/5 V电源)

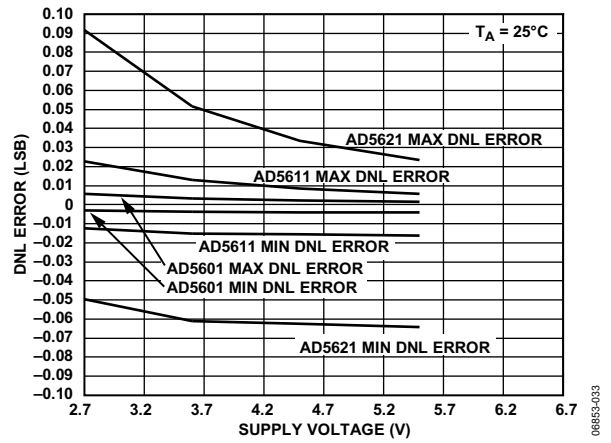


图34. DNL与电源电压的关系(25°C)

AD5601/AD5611/AD5621

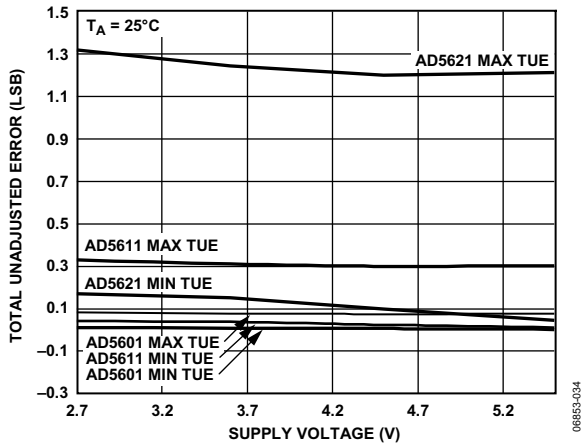


图35. 总不可调整误差(TUE)与电源电压的关系(25°C)

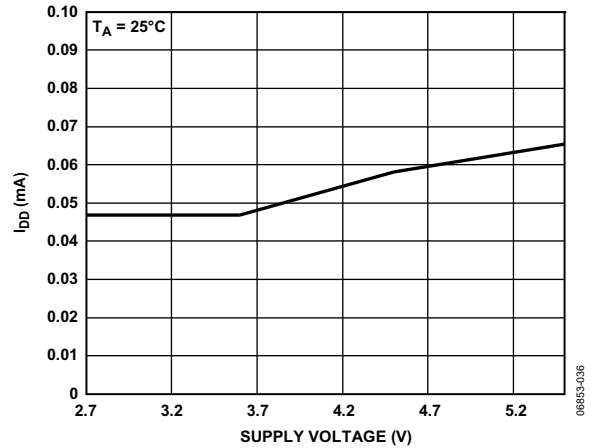


图37. 电源电流与电源电压的关系(25°C)

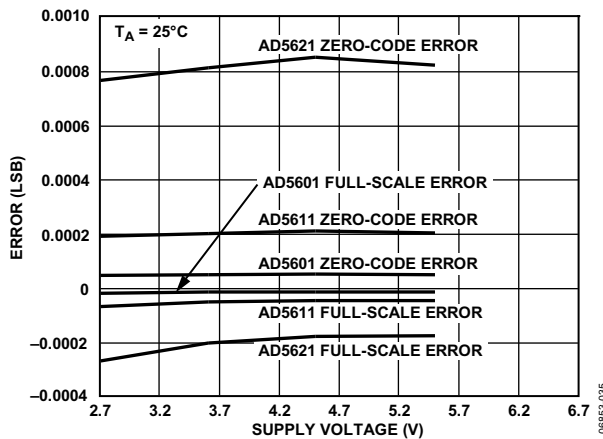


图36. 零代码误差和满量程误差与电源电压的关系(25°C)

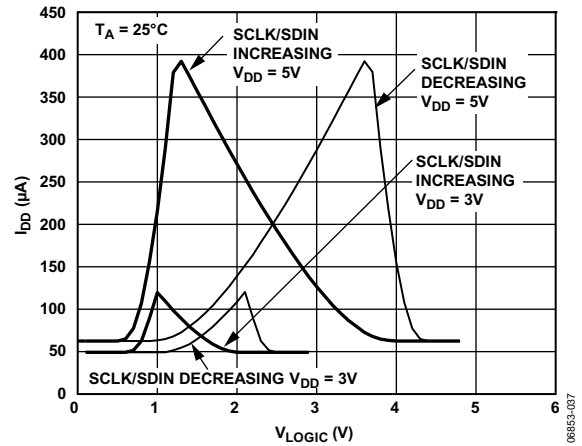


图38. SCLK/SDIN与逻辑电压的关系

术语

相对精度

对于DAC，相对精度或积分非线性(INL)是指DAC输出与通过DAC传递函数端点的直线之间的最大偏差，单位为LSB。典型INL与编码的关系参见图5至图7。

差分非线性

差分非线性(DNL)是指任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 ± 1 LSB的额定差分非线性可确保单调性。本DAC通过设计保证单调性。典型DNL与编码的关系参见图11至图13。

零代码误差

零代码误差衡量将零电平码(0x0000)载入DAC寄存器时的输出误差。理想情况下，输出应为0V。在AD5601/AD5611/AD5621中，零代码误差始终为正值，因为在DAC和输出放大器中的失调误差的共同作用下，DAC输出不能低于0V。零代码误差用mV表示。图28所示为零代码误差与温度的关系图。

满量程误差

满量程误差衡量将满量程码(0xFFFF)载入DAC寄存器时的输出误差。理想情况下，输出应为 $V_{DD} - 1$ LSB。满量程误差用mV表示。图28所示为满量程误差与温度的关系图。

增益误差

增益误差衡量DAC的满量程误差，是指DAC传递特性的斜率与理想值之间的偏差，用满量程范围的百分比表示。

总不可调整误差

总不可调整误差(TUE)衡量包括所有误差在内的总输出误差。典型TUE与编码的关系参见图8至图10。

零代码误差漂移

零代码误差漂移衡量零编码误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

增益温度系数

增益温度系数用来衡量增益误差随温度的变化，用(满量程范围的ppm)/ $^\circ\text{C}$ 表示。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的输入代码变化时注入到模拟输出的脉冲。数模转换毛刺脉冲通常规定为毛刺的面积，用nV-s表示，数字输入编码在主进位跃迁中改变1 LSB(0x2000至0x1FFF)时进行测量。参见图19。

数字馈通

数字馈通衡量从DAC的数字输入注入到DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为nV-s，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。

工作原理

DAC部分

AD5601/AD5611/AD5621 DAC采用CMOS工艺制造,由一个电阻串DAC和一个输出缓冲放大器构成。图39为DAC结构框图。

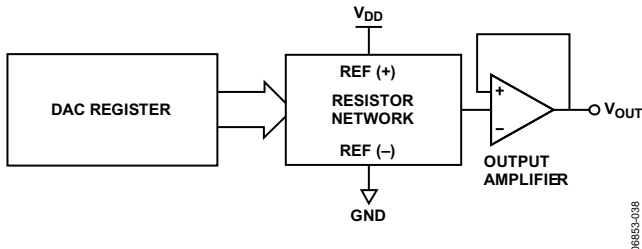


图39. DAC结构

DAC的输入编码为连续的二进制,理想输出电压为:

$$V_{OUT} = V_{DD} \times \left(\frac{D}{2^n} \right)$$

其中:

D 是载入DAC寄存器的二进制编码的十进制等效值。

n 是DAC的位分辨率。

电阻串

电阻串结构如图40所示。它只是一串电阻,各电阻的值为 R 。载入DAC寄存器的编码决定抽取电阻串上哪一个节点的电压,以馈入输出放大器。通过闭合连接电阻串和放大器之间众多开关中的一个,来抽头出一个电压。由于它是一串电阻,因此可以保证单调性。

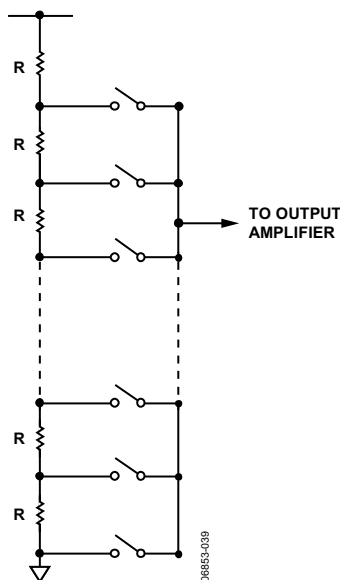


图40. 电阻串结构

输出放大器

输出缓冲放大器可以在其输出端产生轨到轨电压,输出范围为 0 V 至 V_{DD} 。它能驱动与接GND的 1000 pF 电容并联的 $2\text{ k}\Omega$ 负载。输出放大器的源电流和吸电流能力如图25所示。压摆率为 $0.5\text{ V}/\mu\text{s}$,输出端接负载时半量程建立时间为 $8\text{ }\mu\text{s}$ 。

串行接口

AD5601/AD5611/AD5621的三线式串行接口($\overline{\text{SYNC}}$ 、SCLK和DIN)与SPI、QSPI和MICROWIRE接口标准以及大多数DSP兼容。典型写序列的时序图参见图2。

写序列通过将 $\overline{\text{SYNC}}$ 线置为低电平来启动。来自SDIN线的数据在SCLK的下降沿输入16位移位寄存器。串行时钟频率最高可以达到 30 MHz ,因而AD5601/AD5611/AD5621能与高速DSP兼容。在第16个时钟下降沿,最后一位数据被读入,编程功能执行完毕,DAC寄存器内容和/或工作模式发生改变。在这个阶段, $\overline{\text{SYNC}}$ 线可以保持在低电平或置为高电平。任意一种情况下,必须在下一个写序列之前保持至少 33 ns 的高电平,这样才能用 $\overline{\text{SYNC}}$ 下降沿启动下一个写序列。

由于 $\overline{\text{SYNC}}$ 缓冲在 $V_{IN} = 1.8\text{ V}$ 时比在 $V_{IN} = 0.8\text{ V}$ 时消耗更多电流,为了进一步降低功耗,如上文所述, $\overline{\text{SYNC}}$ 在写序列之间的空闲时应为低电平。然而,在下次写序列前必须将它置为高电平。

输入移位寄存器

输入移位寄存器为16位宽(参见图41)。前两位是控制位,用于控制器件的工作模式(正常模式或任何一种关断模式)。有关各种模式的完整说明,请参见“关断模式”部分。对于AD5621,后续12位是数据位,在SCLK的第16个下降沿被送入DAC寄存器。最后两位的信息会被AD5621忽略。有关AD5611和AD5601输入移位寄存器映射,参见图42和图43。

SYNC 中断

在正常写序列中, $\overline{\text{SYNC}}$ 线在至少16个SCLK的下降沿保持为低电平,而DAC会在第16个下降沿更新。如果在第16个下降沿之前 $\overline{\text{SYNC}}$ 被拉高,写序列就会中断。移位寄存器会复位,写序列被认为是无效的。DAC寄存器内容不会更新,工作模式也不会改变(参见图44)。

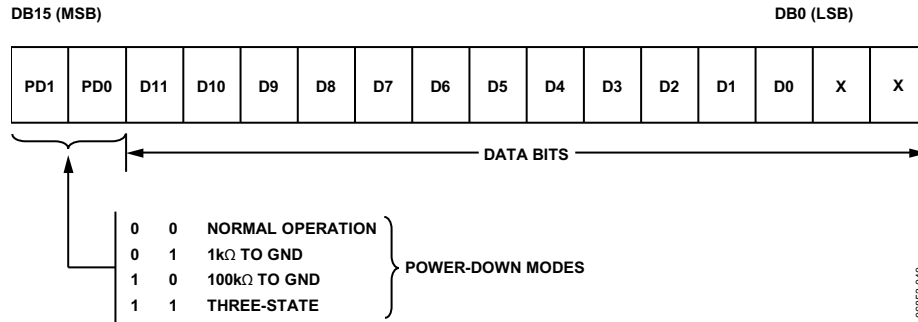


图41. AD5621输入寄存器内容

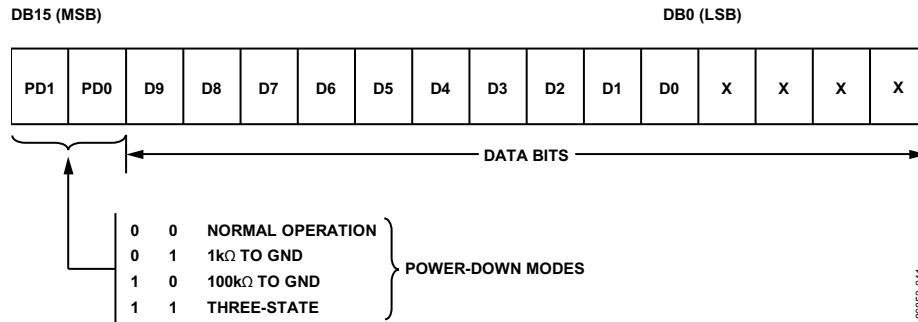


图42. AD5611输入寄存器内容

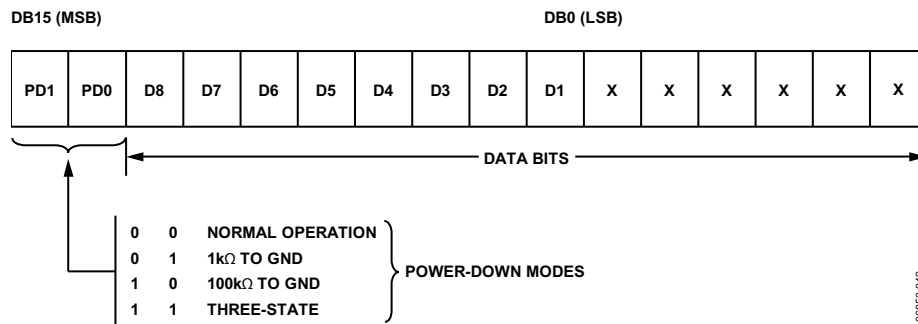
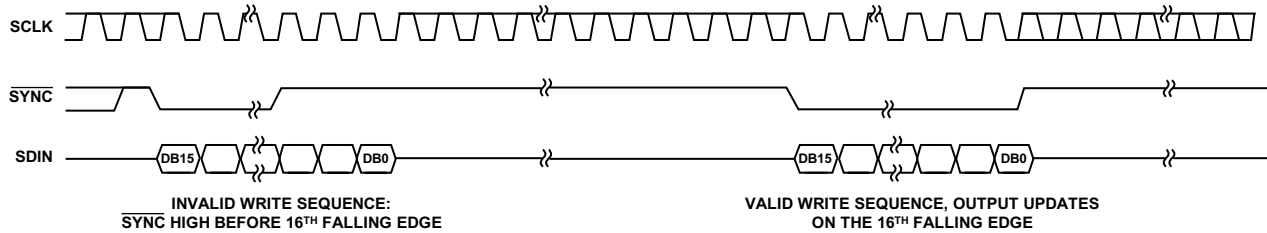


图43. AD5601输入寄存器内容



AD5601/AD5611/AD5621

上电复位

AD5601/AD5611/AD5621具有上电复位电路，可以在上电时控制输出电压。DAC寄存器用0填充，输出电压为0 V。输出一直如此，直到对DAC执行有效的写序列。这个特性对于在DAC上电过程中必须知道DAC输出状态的应用十分有用。

关断模式

AD5601/AD5611/AD5621具有四种独立的工作模式。这些模式可通过软件编程，设置控制寄存器中的两位(DB15和DB14)进行选择。表6列出了这些位的状态与器件工作模式的对应关系。

表6. AD5601/AD5611/AD5621的工作模式

DB15	DB14	工作模式
0	0	正常工作
		关断模式:
0	1	1 kΩ接GND
1	0	100 kΩ接GND
1	1	三态

当两位均设为0时，器件在5 V时正常模式最大功耗为100 μA。但在三种关断模式下，3 V时电源电流降典型值至0.2 μA。

不仅是供电电流下降，输出级也从放大器输出切换为已知电阻值的电阻网络，这是有好处的，因为在关断模式下器件的输出阻抗是已知的。

有三种不同的选项：输出通过1 kΩ电阻或100 kΩ电阻内部连接到GND，或者保持开路状态(三态)。图45所示为输出级。

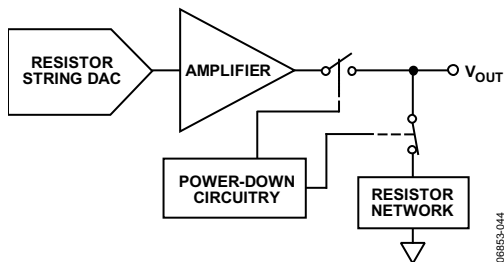


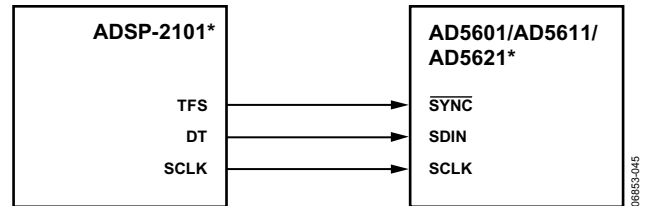
图45. 关断模式下的输出级

在关断模式有效时，偏置发生器、输出放大器、电阻串以及其它相关线性电路全部关断。然而，关断期间DAC寄存器的内容不受影响。对于 $V_{DD} = 5\text{ V}$ 和 $V_{DD} = 3\text{ V}$ ，退出关断模式所需时间通常为13 μs和16 μs，参见图21。

微处理器接口

AD5601/AD5611/AD5621与ADSP-2101接口

图46显示的是AD5601/AD5611/AD5621与ADSP-2101之间的串行接口。ADSP-2101应设置为SPORT交替帧传输工作模式。通过SPORT控制寄存器对ADSP-2101 SPORT进行编程，配置如下：内部时钟工作模式、低电平有效帧传输和16位字长。使能SPORT后，可以通过对Tx寄存器进行写操作来启动传输。

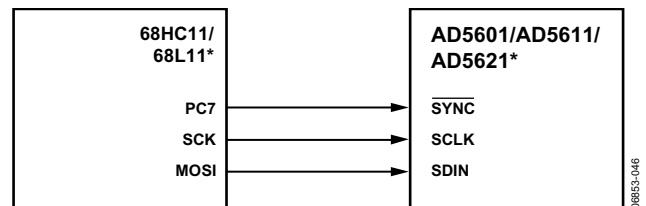


*ADDITIONAL PINS OMITTED FOR CLARITY

图46. AD5601/AD5611/AD5621与ADSP-2101接口

AD5601/AD5611/AD5621与68HC11/68L11接口

图47显示的是AD5601/AD5611/AD5621与68HC11/68L11微控制器之间的串行接口。68HC11/68L11的SCK驱动AD5601/AD5611/AD5621的SCLK，MOSI输出驱动DAC的串行数据线。SYNC信号由端口线(PC7)驱动。该接口正确工作的设置条件如下：68HC11/68L11的CPOL位设为0，CPHA位设为1。向DAC发送数据时，SYNC线被拉低(PC7)。当68HC11/68L11按照以上所述进行配置时，MOSI输出端上的数据在SCK的下降沿有效。来自68HC11/68L11的串行数据以8位字节进行传送，即在每个发送周期中，仅出现在8个时钟下降沿。数据以MSB优先方式发送。要将数据载入AD5601/AD5611/AD5621，PC7应在前8个位传输完成后保持低电平，同时对DAC执行第二次串行写操作。此程序结束后PC7被拉高。

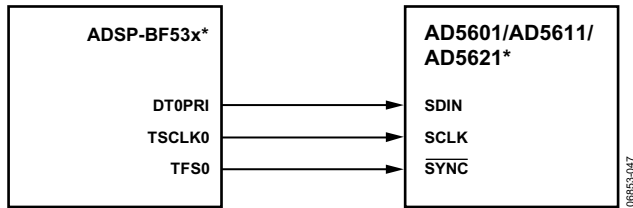


*ADDITIONAL PINS OMITTED FOR CLARITY

图47. AD5601/AD5611/AD5621与68HC11/68L11接口

AD5601/AD5611/AD5621与Blackfin® ADSP-BF53x接口

图48显示的是AD5601/AD5611/AD5621与Blackfin ADSP-BF53x微处理器之间的串行接口。ADSP-BF53x系列处理器集成两个双通道同步串口SPORT1和SPORT0，用于串行和多处理器通信。将SPORT0连接到AD5601/AD5611/AD5621，接口的设置如下：DT0PRI驱动AD5601/AD5611/AD5621的SDIN引脚，TSCLK0驱动器件的SCLK。SYNC由TFS0驱动。



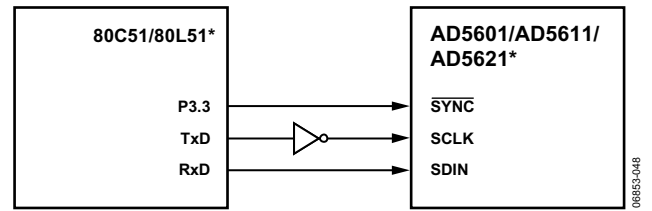
*ADDITIONAL PINS OMITTED FOR CLARITY

图48. AD5601/AD5611/AD5621与Blackfin ADSP-BF53x接口

AD5601/AD5611/AD5621与80C51/80L51接口

图49显示的是AD5601/AD5611/AD5621与80C51/80L51微控制器之间的串行接口。接口设置如下：80C51/80L51的TxD驱动AD5601/AD5611/AD5621的SCLK，RxD驱动器件的串行数据线。SYNC信号同样由端口的一个可编程引脚驱动。在这个例子中，使用的是端口线P3.3。向AD5601/AD5611/AD5621发送数据时，P3.3被拉低。80C51/80L51仅以8位字节传送数据，因此在发送周期中只有8个时钟下降沿。要加载数据到DAC，在前8位发送后P3.3保持低电平，第二次写周期开始传输第二个字节的数据。这个周期结束

后P3.3被拉高。80C51/80L51以LSB优先格式输出串行数据。AD5601/AD5611/AD5621则要求MSB为最先收到的数据位，80C51/80L51的发送程序需要考虑这一情况。

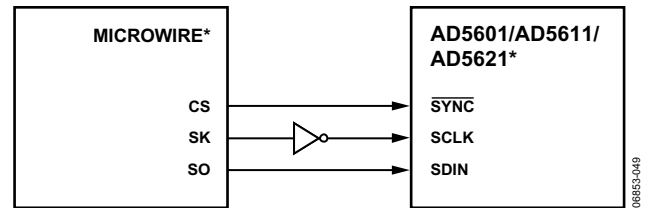


*ADDITIONAL PINS OMITTED FOR CLARITY

图49. AD5601/AD5611/AD5621与80C51/80L51接口

AD5601/AD5611/AD5621与MICROWIRE接口

图50显示的是AD5601/AD5611/AD5621与MICROWIRE兼容器件之间的串行接口。串行数据在串行时钟的下降沿输出，并在SK的上升沿输入AD5601/AD5611/AD5621。



*ADDITIONAL PINS OMITTED FOR CLARITY

图50. AD5601/AD5611/AD5621与MICROWIRE接口

AD5601/AD5611/AD5621

应用

选择用于AD5601/AD5611/AD5621的基准电压源

AD5601/AD5611/AD5621采用小型LFCSP和SC70封装，电源电流小于100 μA。因此，基准电压源的选择取决于应用要求。对于要求节省空间的应用，推荐使用ADR02，它采用SC70封装，具有出色的温漂特性(9 ppm/°C，R-8封装为3 ppm/°C)，噪声性能非常好(3.4 μV p-p，0.1 Hz至10 Hz范围)。

AD5601/AD5611/AD5621只需要极低的电源电流，非常适合低功耗应用。针对这种应用，推荐使用基准电压源ADR395，其静态电流小于100 μA，因而在需要时，它可以驱动一个系统中的多个DAC。而且它还能提供非常好的噪声性能，在0.1 Hz至10 Hz范围内仅8 μV p-p。

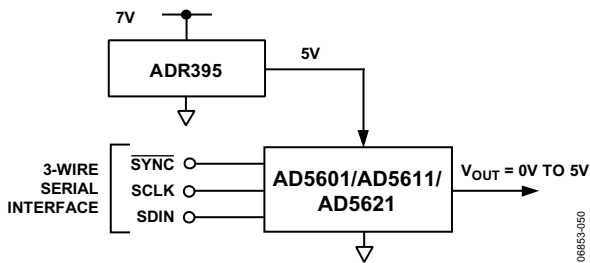


图51. ADR395用作AD5601/AD5611/AD5621的电源

表7列出了建议用作AD5601/AD5611/AD5621电源的一些精密基准电压源。

表7. 适用于AD5601/AD5611/AD5621的精密基准电压源

产品型号	初始精度 (mV, 最大值)	温度漂移 (ppm/°C, 最大值)	0.1 Hz至10 Hz噪声 (μV p-p, 典型值)
ADR435	±2	3 (R-8)	8
ADR425	±2	3 (R-8)	3.4
ADR02	±3	3 (R-8)	10
ADR02	±3	3 (SC70)	10
ADR395	±5	9 (TSOT-23)	8

使用AD5601/AD5611/AD5621实现双极性工作模式

AD5601/AD5611/AD5621专为单电源供电而设计，但是使用图52中的电路也可以实现双极性输出范围。所示电路可以实现±5 V的输出电压范围。使用AD820或OP295作为输出放大器可以在放大器输出端实现轨到轨输出方式。

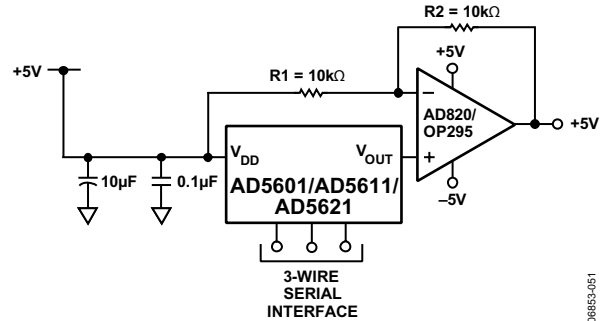


图52. AD5601/AD5611/AD5621的双极性工作模式

任意输入编码的输出电压可以按如下公式计算：

$$V_{OUT} = \left[V_{DD} \times \left(\frac{D}{2^N} \right) \times \left(\frac{R1 + R2}{R1} \right) - V_{DD} \times \left(\frac{R2}{R1} \right) \right]$$

其中D代表十进制输入编码(0 - 2^N)。

当V_{DD} = 5 V、R1 = R2 = 10 kΩ时，

$$V_{OUT} = \left(\frac{10 \times D}{2^N} \right) - 5 \text{ V}$$

输出电压范围为±5 V，0x0000对应-5 V输出，0x3FFF对应+5 V输出。

AD5601/AD5611/AD5621与电位隔离接口的配合使用

在工业环境的过程控制应用中，常常有必要使用电位隔离接口以保护和隔离控制电路，使之免受可能出现在DAC工作区域的危险共模电压影响。iCoupler®可以提供超过2.5 kV的隔离电压。AD5601/AD5611/AD5621使用3线串行逻辑接口，因此ADuM1300 3通道数字隔离器可以提供所需的隔离（参见图53）。器件的电源也需要隔离，而这可以通过变压器实现。在变压器的DAC侧，5 V稳压器提供AD5601/AD5611/AD5621所需的5V电源。

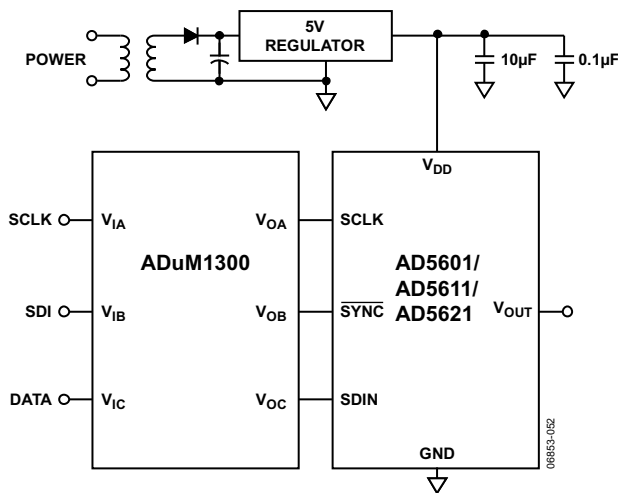


图53. 使用电流隔离接口的AD5601/AD5611/AD5621

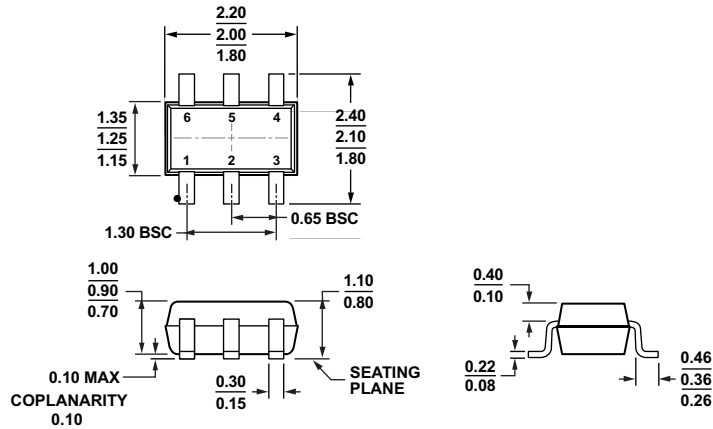
电源旁路和接地

在注重精度的电路中，精心考虑电路板上的电源和接地回路布局很有用。AD5601/AD5611/AD5621所在的PCB应具有单独的模拟部分和数字部分，每部分在板上都有各自的区域。如果AD5601/AD5611/AD5621所在系统中有其它器件要求AGND至DGND连接，则只能在一个点上进行连接。该接地点应尽可能靠近AD5601/AD5611/AD5621。

AD5601/AD5611/AD5621的电源应使用10 μF 和0.1 μF 电容进行旁路。这些电容应尽可能靠近该器件，0.1 μF 电容最好正对着该器件。10 μF 电容应为钽珠型电容。0.1 μF 电容必须具有低有效串联电阻(ESR)和低有效串联电感(ESI)，普通陶瓷型电容是可行的。针对内部逻辑开关引起的瞬态电流所导致的高频干扰，该0.1 μF 电容可提供低阻抗接地路径。

电源走线本身应尽可能宽，以提供低阻抗路径，并减小电源线路上的毛刺效应。时钟和其它快速开关的数字信号应通过数字地将其与电路板上的其它器件屏蔽开。尽可能避免数字信号与模拟信号交叠。当电路板两侧的走线交叉时，应确保这些走线彼此垂直，以减小电路板的馈通效应。最佳电路板布局技术是微带线技术，其中电路板的元件侧专用于接地层，信号走线则布设在焊接侧。但是，这种技术对于双层电路板未必可行。

外形尺寸

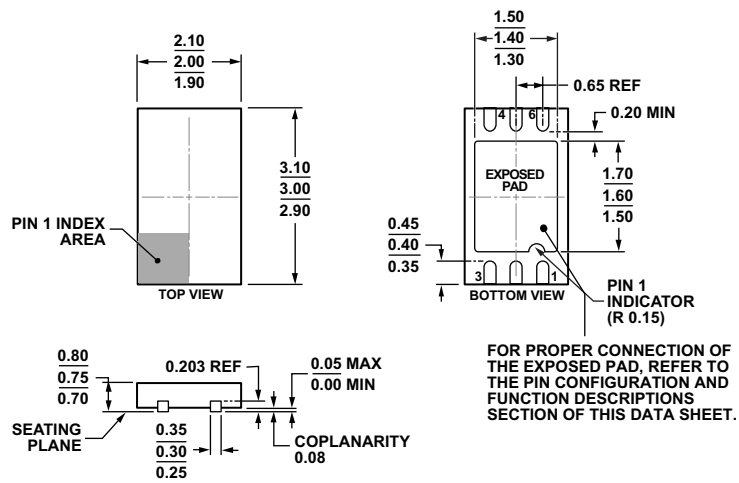


COMPLIANT TO JEDEC STANDARDS MO-203-AB

图54. 6引脚超薄紧缩小型晶体管封装[SC70]
(KS-6)

图示尺寸单位: mm

072808-A



COMPLIANT TO JEDEC STANDARDS MO-229

图55. 6引脚引脚架构芯片级封装[LFCSP_WD]

2.00 mm x 3.00 mm, 超薄体, 双列引脚

(CP-6-5)

图示尺寸单位: mm

10-18-2010-A

订购指南

型号 ¹	温度范围	积分非线性(INL)	封装描述	封装选项	标识
AD5601BKSZ-500RL7	-40°C至+125°C	±0.5 LSB	6引脚超薄紧缩小型晶体管封装[SC70]	KS-6	D3V
AD5601BKSZ-REEL7	-40°C至+125°C	±0.5 LSB	6引脚超薄紧缩小型晶体管封装[SC70]	KS-6	D3V
AD5601BCPZ-RL7	-40°C至+125°C	±0.5 LSB	6引脚引脚架构芯片级封装[LFCSP_WD]	CP-6-5	89
AD5611AKSZ-500RL7	-40°C至+125°C	±4.0 LSB	6引脚超薄紧缩小型晶体管封装[SC70]	KS-6	D3U
AD5611AKSZ-REEL7	-40°C至+125°C	±4.0 LSB	6引脚超薄紧缩小型晶体管封装[SC70]	KS-6	D3U
AD5611ACPZ-RL7	-40°C至+125°C	±4.0 LSB	6引脚引脚架构芯片级封装[LFCSP_WD]	CP-6-5	8B
AD5611BKSZ-500RL7	-40°C至+125°C	±0.5 LSB	6引脚超薄紧缩小型晶体管封装[SC70]	KS-6	D3T
AD5611BKSZ-REEL7	-40°C至+125°C	±0.5 LSB	6引脚超薄紧缩小型晶体管封装[SC70]	KS-6	D3T
AD5621AKSZ-500RL7	-40°C至+125°C	±6.0 LSB	6引脚超薄紧缩小型晶体管封装[SC70]	KS-6	D3S
AD5621AKSZ-REEL7	-40°C至+125°C	±6.0 LSB	6引脚超薄紧缩小型晶体管封装[SC70]	KS-6	D3S
AD5621ACPZ-RL7	-40°C至+125°C	±6.0 LSB	6引脚引脚架构芯片级封装[LFCSP_WD]	CP-6-5	88
AD5621BKSZ-500RL7	-40°C至+125°C	±1.0 LSB	6引脚超薄紧缩小型晶体管封装[SC70]	KS-6	D3R
AD5621BKSZ-REEL7	-40°C至+125°C	±1.0 LSB	6引脚超薄紧缩小型晶体管封装[SC70]	KS-6	D3R
EVAL-AD5621EBZ			评估板		

¹Z = 符合RoHS标准的器件。

注释

注释

注释