

### 产品特性

32通道DAC, 采用64引脚LQFP和64引脚LFCSP封装  
 AD5372/AD5373<sup>1</sup>保证16/14位单调性  
 最大输出电压范围:  $4 \times VREF$  (20 V)  
 标称输出电压范围:  $-4 V$ 至 $+8 V$   
 可提供多种独立的输出电压范围  
 允许用户可编程失调和增益的系统校准功能  
 通道分组和寻址特性  
 热关断功能  
 DSP/微控制器兼容串行接口  
 SPI串行接口

2.5 V至5.5 V JEDEC兼容数字电平

数字复位(RESET)  
 清零至用户定义SIGGNDx的清零功能  
 DAC输出同步更新

### 应用

自动测试设备(ATE)的电平设置  
 可变光衰减器(VOA)  
 光学开关  
 工业控制系统  
 仪器仪表

功能框图

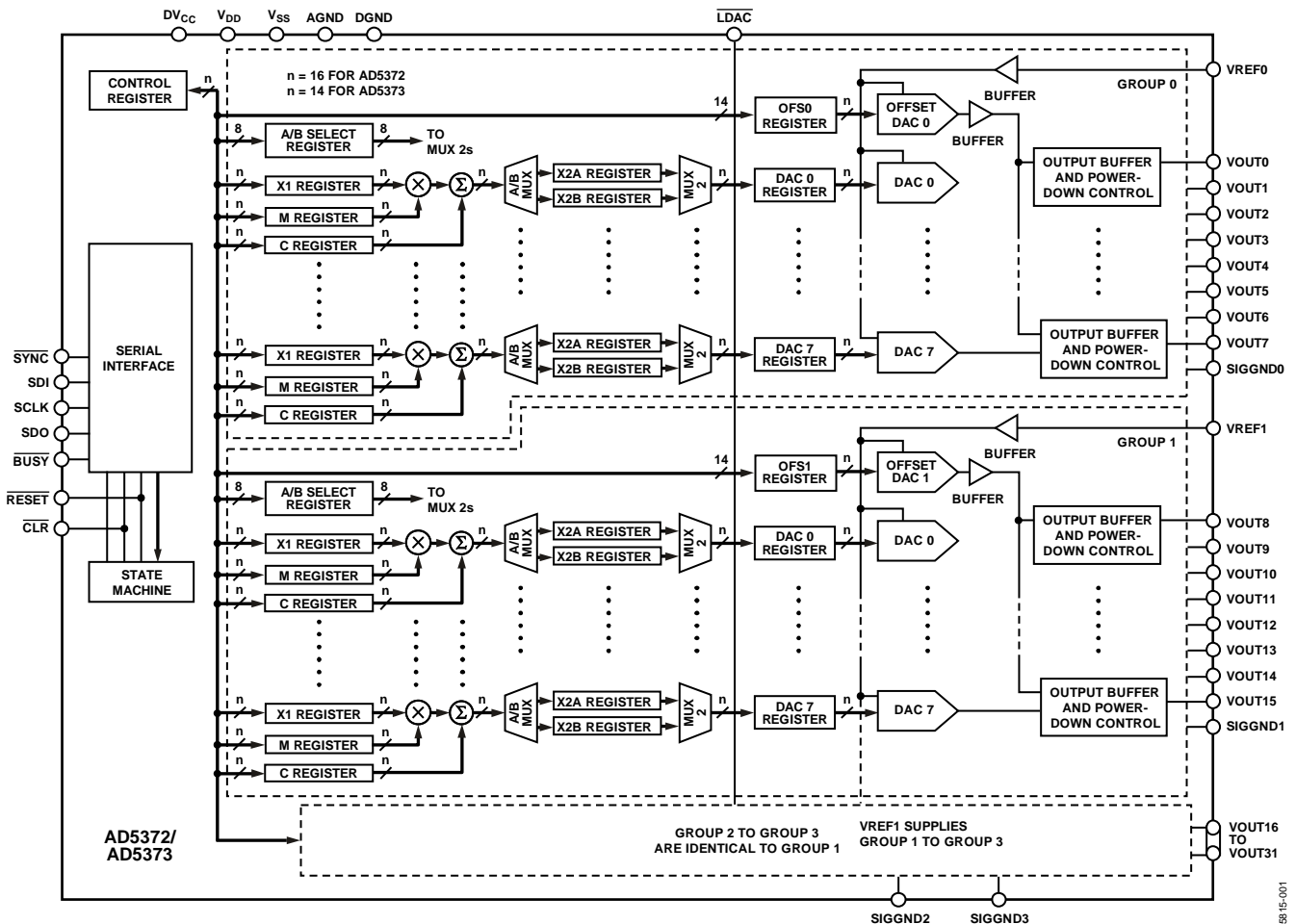


图1.

<sup>1</sup> 受美国专利第5,969,657号保护。

### Rev. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
 Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
 Fax: 781.461.3113 ©2007–2011 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

## 目录

产品特性 .....	1
应用 .....	1
功能框图 .....	1
修订历史 .....	2
概述 .....	3
技术规格 .....	4
交流特性 .....	5
时序特性 .....	6
绝对最大额定值 .....	9
ESD警告 .....	9
引脚配置和功能描述 .....	10
典型工作特性 .....	12
术语 .....	14
工作原理 .....	15
DAC架构 .....	15
通道组 .....	15
A/B寄存器和增益/失调调整 .....	16
加载DAC .....	16
失调DAC .....	16
输出放大器 .....	17
传递函数 .....	17

## 修订历史

### 2011年7月—修订版B至修订版C

增加64引脚LFCSP封装 .....	通篇
更改“特性”部分 .....	1
更改“概述”部分 .....	3
更改表5 .....	9
增加图7；重新排序 .....	10
更改表6 .....	10
更新“外形尺寸” .....	24
更改“订购指南” .....	25

### 2008年2月—修订版A至修订版B

增加表1 .....	3
更改 $t_{10}$ 参数 .....	6
增加 $t_{23}$ 参数 .....	6
更改图4 .....	7

基准电压选择 .....	17
校准 .....	18
其它校准 .....	19
复位功能 .....	19
清零功能 .....	19
$\overline{\text{BUSY}}$ 和 $\overline{\text{LDAC}}$ 功能 .....	19
掉电模式 .....	20
热关断功能 .....	20
Toggle模式 .....	20
串行接口 .....	21
SPI写入模式 .....	21
SPI回读模式 .....	21
寄存器更新速率 .....	21
通道寻址和特殊模式 .....	22
特殊功能模式 .....	23
应用信息 .....	24
电源去耦 .....	24
上电顺序 .....	24
接口示例 .....	24
外形尺寸 .....	25
订购指南 .....	26

更改“绝对最大额定值”部分 .....	9
更改“引脚配置和功能描述”部分 .....	10
更改“复位功能”部分 .....	18

### 2007年12月—修订版0至修订版A

更改表3 .....	6
更改“AD5373传递函数”部分 .....	16
更改“校准”部分 .....	17
更改表8 .....	18
更改“寄存器更新速率”部分 .....	20
更改“订购指南” .....	25

### 2007年8月—修订版0：初始版

## 概述

AD5372/AD5373集成了32个16/14位DAC，采用64引脚LQFP和LFCSP封装，可提供4倍于基准电压的标称缓冲电压输出范围。各DAC的增益和失调可以独立进行调整，以消除误差。为了实现更大的灵活性，这些DAC分为4组，每组8个DAC。两个失调DAC用于调整各组的输出范围。第0组通过失调DAC 0进行调整，第1组至第3组通过失调DAC 1进行调整。

AD5372/AD5373能够可靠地在宽电源电压范围工作： $V_{SS}$ 从-16.5 V至-4.5 V， $V_{DD}$ 从9 V至16.5 V。负载电流为1 mA时，输出放大器的裕量要求为1.4 V。

AD5372/AD5373具有与SPI、QSPI™、MICROWIRE™和DSP接口标准兼容的高速串行接口，能够处理高达50 MHz的时钟速度。

DAC寄存器在接收到新数据时更新。通过将 $\overline{LDAC}$ 输入拉低，所有输出可以同步更新。每个通道都具有可编程增益和失调调整寄存器。

各DAC输出均根据外部SIGGND<sub>x</sub>输入进行片内放大和缓冲。DAC输出也可以通过 $\overline{CLR}$ 引脚切换到SIGGND<sub>x</sub>。

**表1. 高通道数双极性DAC**

型号	分辨率(位)	标称输出范围	输出通道数	线性误差(LSB)
AD5360	16	$4 \times V_{REF}$ (20 V)	16	±4
AD5361	14	$4 \times V_{REF}$ (20 V)	16	±1
AD5362	16	$4 \times V_{REF}$ (20 V)	8	±4
AD5363	14	$4 \times V_{REF}$ (20 V)	8	±1
AD5370	16	$4 \times V_{REF}$ (12 V)	40	±4
AD5371	14	$4 \times V_{REF}$ (12 V)	40	±1
AD5372	16	$4 \times V_{REF}$ (12 V)	32	±4
AD5373	14	$4 \times V_{REF}$ (12 V)	32	±1
AD5378	14	±8.75 V	32	±3
AD5379	14	±8.75 V	40	±3

# AD5372/AD5373

## 技术规格

除非另有说明,  $DV_{CC} = 2.5\text{ V}$ 至 $5.5\text{ V}$ ;  $V_{DD} = 9\text{ V}$ 至 $16.5\text{ V}$ ;  $V_{SS} = -16.5\text{ V}$ 至 $-8\text{ V}$ ;  $VREF0 = VREF1 = 3\text{ V}$ ;  $AGND = DGND = SIGGNDx = 0\text{ V}$ ;  $C_L =$  开路;  $R_L =$  开路; 增益(M)、失调(C)和DAC失调寄存器均为默认值; 所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ 而言。

表2.

参数	AD5372 <sup>1</sup> B级	AD5373 <sup>1</sup> B级	单位	测试条件/备注 <sup>2</sup>
精度				
分辨率	16	14	位	
积分非线性(INL)	±4	±1	LSB(最大值)	
差分非线性(DNL)	±1	±1	LSB(最大值)	通过设计保证整个温度范围内的单调性
零刻度误差	±10	±10	mV, (最大值)	校准前
满量程误差	±10	±10	mV, (最大值)	校准前
增益误差	0.1	0.1	% FSR	校准前
零电平误差 <sup>2</sup>	1	1	LSB(典型值)	校准后
满量程误差 <sup>2</sup>	1	1	LSB(典型值)	校准后
失调DAC的范围误差	±35	±35	mV, 最大值	详情参见失调DAC部分
VOUTx温度系数	5	5	ppm FSR/°C (典型值)	包括线性、失调和增益漂移
直流串扰 <sup>2</sup>	100	100	μV, 最大值	典型值20 μV; 测量通道处于中间电平, 所有其它通道发生满量程变化
基准电压输入(VREF0、VREF1) <sup>2</sup>				
VREFx输入电流	±10	±10	μA, 最大值	每路输入; 典型值±30 nA
VREFx范围	2/5	2/5	V, 最小值/ 最大值	±2%(额定工作性能)
SIGGND输入(SIGGND0至SIGGND3) <sup>2</sup>				
直流输入阻抗	50	50	kΩ(最小值)	典型值55 kΩ
输入范围	±0.5	±0.5	V, 最小值/ 最大值	
SIGGNDx增益	0.995/1.005	0.995/1.005	最小值/最大值	
输出特性 <sup>2</sup>				
输出电压范围	$V_{SS} + 1.4$ $V_{DD} - 1.4$	$V_{SS} + 1.4$ $V_{DD} - 1.4$	V, 最小值 V, 最大值	$I_{LOAD} = 1\text{ mA}$ $I_{LOAD} = 1\text{ mA}$
标称输出电压范围	-4至+8	-4至+8	V, 最小值/ 最大值	
短路电流	15	15	mA(最大值)	VOUTx至 $DV_{CC}$ 、 $V_{DD}$ 或 $V_{SS}$
负载电流	±1	±1	mA(最大值)	
容性负载	2200	2200	pF(最大值)	
直流输出阻抗	0.5	0.5	Ω(最大值)	
数字输入				符合JEDEC标准
输入高电压	1.7 2.0	1.7 2.0	V, 最小值 V, 最小值	$DV_{CC} = 2.5\text{ V}$ 至 $3.6\text{ V}$ $DV_{CC} = 3.6\text{ V}$ 至 $5.5\text{ V}$
输入低电压	0.8	0.8	V, 最大值	$DV_{CC} = 2.5\text{ V}$ 至 $5.5\text{ V}$
输入电流	±1	±1	μA, 最大值	不包括 $\overline{CLR}$ 引脚
$\overline{CLR}$ 高阻抗漏电流	±20	±20	μA, 最大值	
输入电容 <sup>2</sup>	10	10	pF(最大值)	
数字输出(SDO、BUSY)				
输出低电压	0.5	0.5	V, 最大值	吸电流200 μA
输出高电压(SDO)	$DV_{CC} - 0.5$	$DV_{CC} - 0.5$	V, 最小值	源电流200 μA
SDO高阻抗漏电流	±5	±5	μA, 最大值	
高阻抗输出电容 <sup>2</sup>	10	10	pF, 典型值	

参数	AD5372 <sup>1</sup> B级	AD5373 <sup>1</sup> B级	单位	测试条件/备注 <sup>2</sup>
电源要求				
DV <sub>CC</sub>	2.5/5.5	2.5/5.5	V, 最小值/最大值	
V <sub>DD</sub>	9/16.5	9/16.5	V, 最小值/最大值	
V <sub>SS</sub>	-16.5/-4.5	-16.5/-4.5	V, 最小值/最大值	
电源灵敏度 <sup>2</sup>				
Δ满量程/ΔV <sub>DD</sub>	-75	-75	dB, 典型值	
Δ满量程/ΔV <sub>SS</sub>	-75	-75	dB, 典型值	
Δ满量程/ΔDV <sub>CC</sub>	-90	-90	dB, 典型值	
DI <sub>CC</sub>	2	2	mA(最大值)	DV <sub>CC</sub> = 5.5 V, V <sub>IH</sub> = DV <sub>CC</sub> , V <sub>IL</sub> = GND
I <sub>DD</sub>	16	16	mA(最大值)	输出端无负载, DAC输出 = 0 V
	18	18	mA(最大值)	输出端无负载, DAC输出 = 满量程
I <sub>SS</sub>	-16	-16	mA(最大值)	输出端无负载, DAC输出 = 0 V
	-18	-18	mA(最大值)	输出端无负载, DAC输出 = 满量程
掉电模式				控制寄存器的位0置1
DI <sub>CC</sub>	5	5	μA(典型值)	
I <sub>DD</sub>	35	35	μA(典型值)	
I <sub>SS</sub>	-35	-35	μA(典型值)	
功耗(无负载)	250	250	mW(典型值)	V <sub>SS</sub> = -8 V, V <sub>DD</sub> = 9.5 V, DV <sub>CC</sub> = 2.5 V
结温 <sup>3</sup>	130	130	°C(最大值)	T <sub>J</sub> = T <sub>A</sub> + P <sub>TOTAL</sub> × θ <sub>JA</sub>

<sup>1</sup> B级温度范围为-40°C至+85°C。典型规格相对于25°C而言。

<sup>2</sup> 通过设计和特性保证, 但未经生产测试。

<sup>3</sup> θ<sub>JA</sub>表示封装热阻。

## 交流特性

除非另有说明, DV<sub>CC</sub> = 2.5 V; V<sub>DD</sub> = 15 V; V<sub>SS</sub> = -15 V; VREF0 = VREF1 = 3 V; AGND = DGND = SIGGNDx = 0 V; C<sub>L</sub> = 200 pF; R<sub>L</sub> = 10 kΩ; 增益(M)、失调(C)和DAC失调寄存器均为默认值; 所有规格均相对于T<sub>MIN</sub>至T<sub>MAX</sub>而言。

表3.

参数	B版本	单位	测试条件/注释
动态性能 <sup>1</sup>			
输出电压建立时间	20 30	μs(典型值) μs(最大值)	满量程变化 DAC锁存内容交替变为全0和全1
压摆率	1	V/μs(典型值)	
数模转换脉冲干扰	5	nV-s(典型值)	
毛刺脉冲峰值幅度	10	mV(最大值)	
通道间隔离	100	dB, 典型值	VREF0、VREF1 = 2 V峰峰值, 1 kHz
DAC间串扰	10	nV-s(典型值)	
数字串扰	0.2	nV-s(典型值)	
数字馈通	0.02	nV-s(典型值)	输入总线对受测DAC输出的影响
输出噪声频谱密度(10 kHz)	250	nV/√Hz(典型值)	VREF0 = VREF1 = 0 V

<sup>1</sup> 通过设计和特性保证, 但未经生产测试。

# AD5372/AD5373

## 时序特性

除非另有说明,  $DV_{CC} = 2.5\text{ V}$ 至 $5.5\text{ V}$ ;  $V_{DD} = 9\text{ V}$ 至 $16.5\text{ V}$ ;  $V_{SS} = -16.5\text{ V}$ 至 $-8\text{ V}$ ;  $V_{REFx} = 3\text{ V}$ ;  $AGND = DGND = SIGGNDx = 0\text{ V}$ ;  $C_L = 200\text{ pF}$ 至 $GND$ ;  $R_L =$ 开路; 增益(M)、失调(C)和DAC失调寄存器均为默认值; 所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ 而言。

表4. SPI接口

参数 <sup>1,2,3</sup>	在 $T_{MIN}$ 、 $T_{MAX}$ 的限值	单位	描述
$t_1$	20	ns(最小值)	SCLK周期时间
$t_2$	8	ns(最小值)	SCLK高电平时间
$t_3$	8	ns(最小值)	SCLK低电平时间
$t_4$	11	ns(最小值)	$\overline{SYNC}$ 下降沿到SCLK下降沿建立时间
$t_5$	20	ns(最小值)	最小 $\overline{SYNC}$ 高电平时间
$t_6$	10	ns(最小值)	24 <sup>th</sup> SCLK下降沿到 $\overline{SYNC}$ 上升沿
$t_7$	5	ns(最小值)	数据建立时间
$t_8$	5	ns(最小值)	数据保持时间
$t_9^4$	42	ns(最大值)	$\overline{SYNC}$ 上升沿到 $\overline{BUSY}$ 下降沿
$t_{10}$	1/1.5	$\mu\text{s}$ (典型值/最大值)	$\overline{BUSY}$ 低电平脉冲宽度(单通道更新); 见表9
$t_{11}$	600	ns(最大值)	单通道更新周期时间
$t_{12}$	20	ns(最小值)	$\overline{SYNC}$ 上升沿到 $\overline{LDAC}$ 下降沿
$t_{13}$	10	ns(最小值)	$\overline{LDAC}$ 低电平脉冲宽度
$t_{14}$	3	$\mu\text{s}$ (最大值)	$\overline{BUSY}$ 上升沿到DAC输出响应时间
$t_{15}$	0	ns(最小值)	$\overline{BUSY}$ 上升沿到 $\overline{LDAC}$ 下降沿
$t_{16}$	3	$\mu\text{s}$ (最大值)	$\overline{LDAC}$ 下降沿到DAC输出响应时间
$t_{17}$	20/30	$\mu\text{s}$ (典型值/最大值)	DAC输出建立时间
$t_{18}$	140	ns(最大值)	$\overline{CLR}/\overline{RESET}$ 脉冲启动时间
$t_{19}$	30	ns(最小值)	$\overline{RESET}$ 低电平脉冲宽度
$t_{20}$	400	$\mu\text{s}$ (最大值)	$\overline{RESET}$ 时间, 由 $\overline{BUSY}$ 低电平表示
$t_{21}$	270	ns(最小值)	回读模式下 $\overline{SYNC}$ 最短高电平时间
$t_{22}^5$	25	ns(最大值)	SCLK上升沿到SDO有效
$t_{23}$	80	ns(最大值)	$\overline{RESET}$ 上升沿到 $\overline{BUSY}$ 下降沿

<sup>1</sup> 通过设计和特性保证, 但未经生产测试。

<sup>2</sup> 所有输入信号均指定 $t_R = t_F = 2\text{ ns}$ ( $DV_{CC}$ 的10%到90%)并从1.2V电平起开始计时。

<sup>3</sup> 参见图4和图5。

<sup>4</sup>  $t_9$ 用图2中的负载电路测量。

<sup>5</sup>  $t_{22}$ 用图3中的负载电路测量。

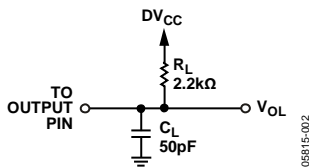


图2.  $\overline{BUSY}$ 时序图负载电路

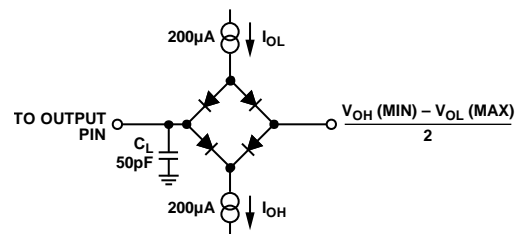
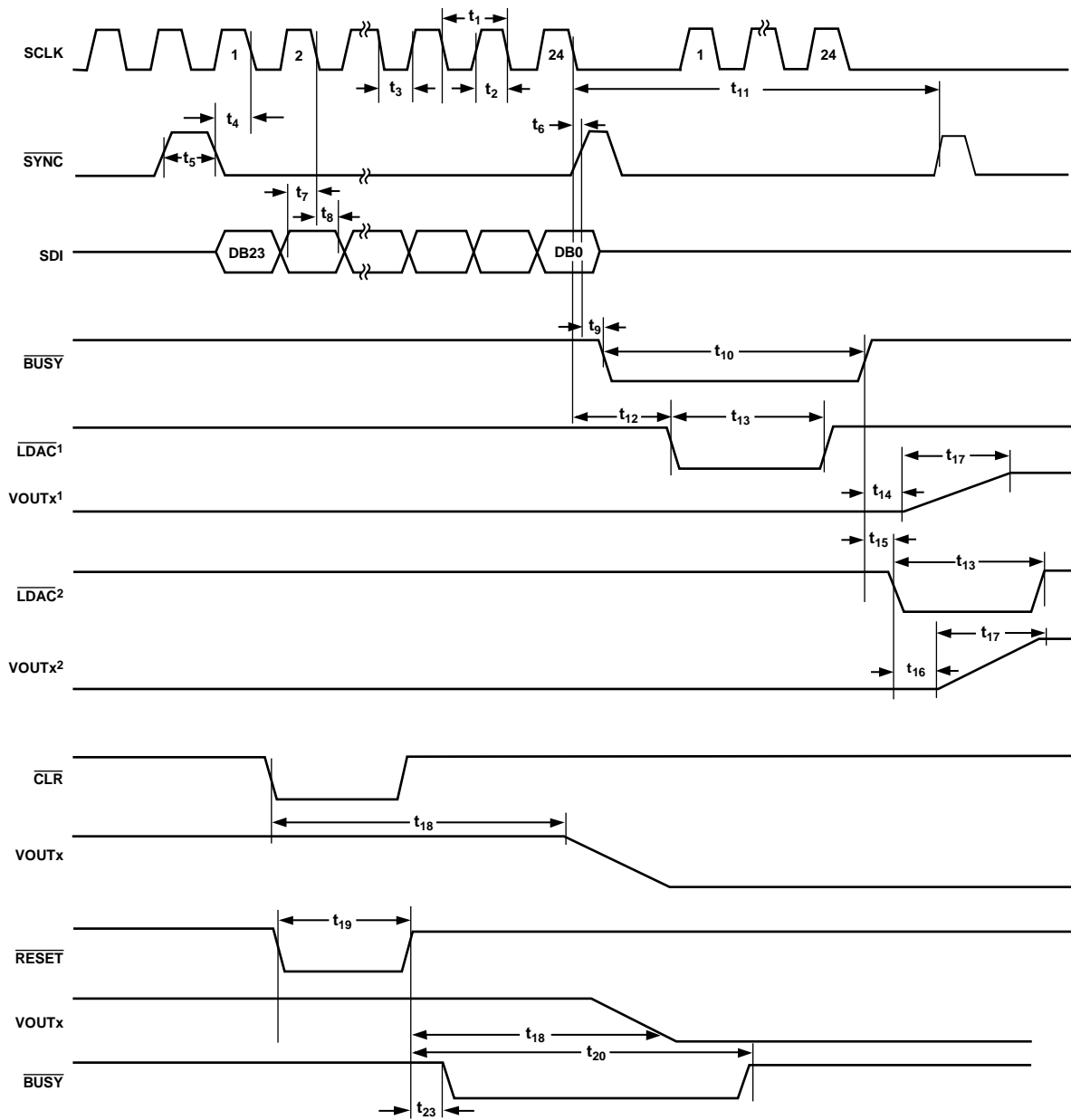


图3. SDO时序图负载电路



1 LDAC ACTIVE DURING BUSY.  
 2 LDAC ACTIVE AFTER BUSY.

图4. SPI写入时序

05815-004

# AD5372/AD5373

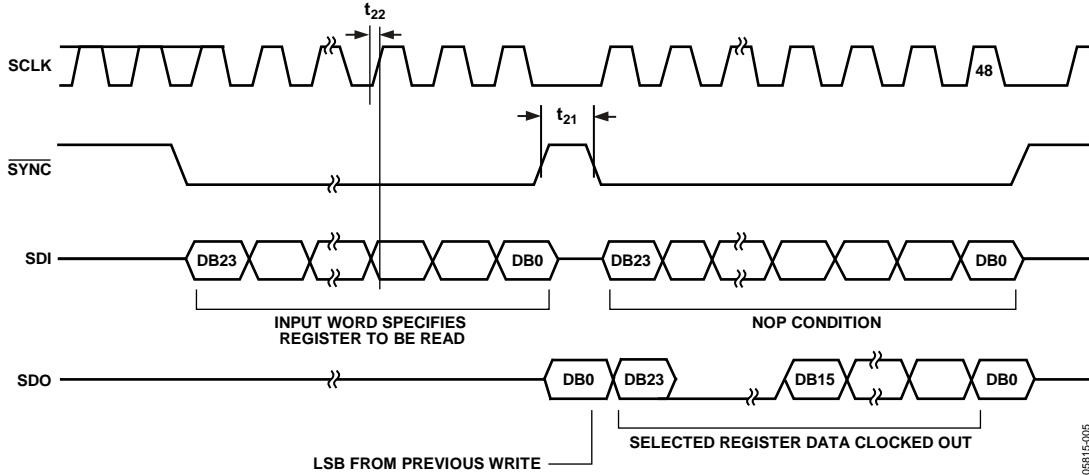


图5. SPI读取时序

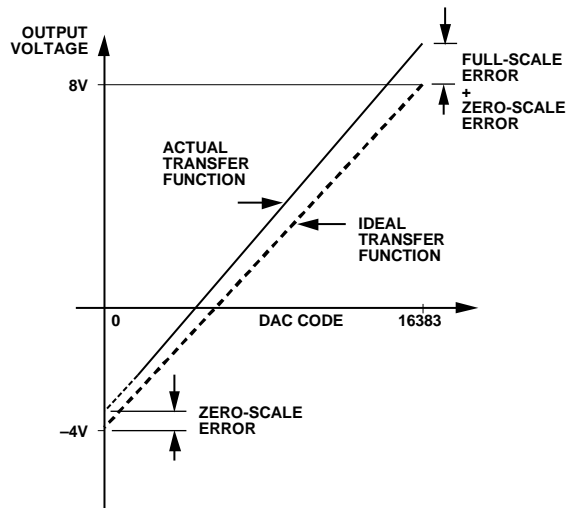


图6. DAC传递函数



## 绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。60 mA以下的瞬态电流不会造成SCR闩锁。

表5.

参数	额定值
$V_{DD}$ 至AGND	-0.3 V至+17 V
$V_{SS}$ 至AGND	-17 V至+0.3 V
$DV_{CC}$ 至DGND	-0.3 V至+7 V
数字输入至DGND	-0.3 V至 $DV_{CC} + 0.3\text{ V}$
数字输出至DGND	-0.3 V至 $DV_{CC} + 0.3\text{ V}$
VREF0、VREF1至AGND	-0.3 V至+5.5 V
VOUT0 - VOUT31至AGND	$V_{SS} - 0.3\text{ V}$ 至 $V_{DD} + 0.3\text{ V}$
SIGGNDx至AGND	-1 V至+1 V
AGND至DGND	-0.3 V至+0.3 V
工作温度范围( $T_A$ )	
工业(B级)	-40°C至+85°C
存储温度范围	-65°C至+150°C
结温( $T_{j\text{max}}$ )	130°C
$\theta_{JA}$ 热阻	
64引脚 LFCSP	25.5°C/W
64引脚 LQFP	45.5°C/W
回流焊	
峰值温度	230°C
峰值温度时间	10秒至40秒

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

### ESD警告

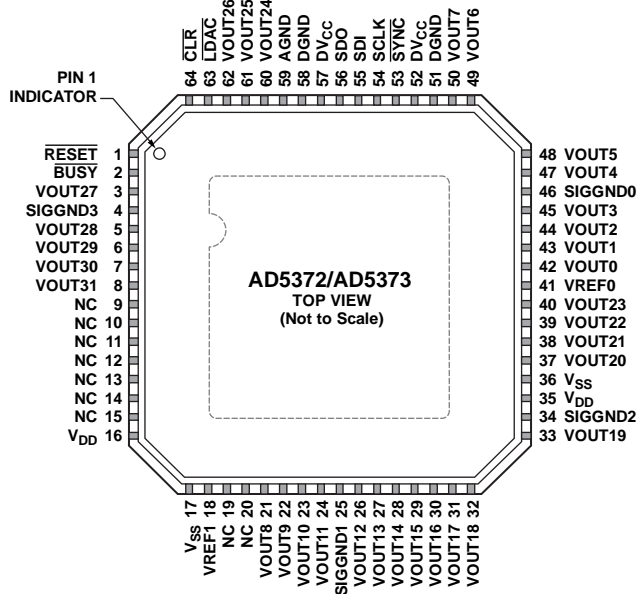


#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

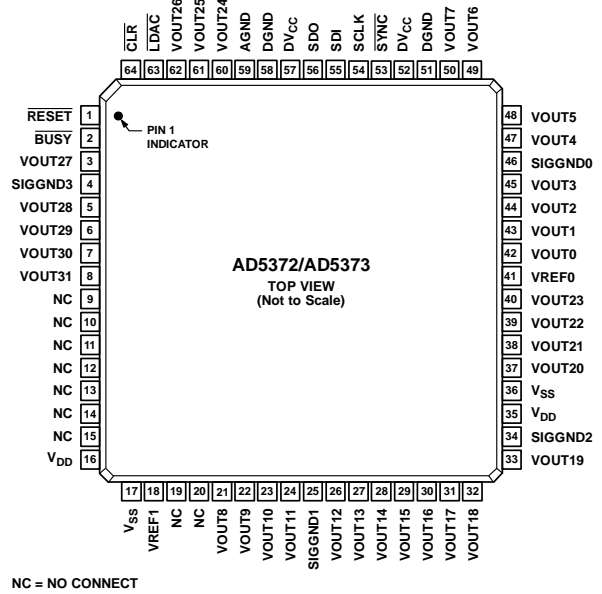
# AD5372/AD5373

## 引脚配置和功能描述



- NOTES
1. NC = NO CONNECT.
  2. THE LEAD FRAME CHIP SCALE PACKAGE (LFCSP) HAS AN EXPOSED PAD ON THE UNDERSIDE. CONNECT THE EXPOSED PAD TO V<sub>SS</sub>.

图7. 64引脚LFCSP的引脚配置



NC = NO CONNECT

图8. 64引脚LQFP的引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	描述
0	EPAD	裸露焊盘。引脚架构芯片级封装(LFCSP)底部有一个裸露焊盘。裸露焊盘应连接至V <sub>SS</sub> 。
1	RESET	数字复位输入。
2	BUSY	数字输入/开漏输出。用作输出时，BUSY为开漏输出。详情参见BUSY和LDAC功能部分。
42至45、47至50、21至24、26至33、37至40、60至62、3、5至8	VOUT0至VOUT31	DAC输出。32个DAC通道的缓冲模拟输出。各模拟输出能够驱动10 kΩ的输出负载至地。这些放大器的典型输出阻抗为0.5 Ω。
4	SIGGND3	DAC 24至DAC 31的参考地。VOUT24至VOUT31参考此电压。
9至15, 19, 20	NC	不连接。
16, 35	V <sub>DD</sub>	正模拟电源；额定电压为9 V至16.5 V。这些引脚应通过0.1 μF陶瓷电容和10 μF电容去耦。
17, 36	V <sub>SS</sub>	负模拟电源；额定电压为-16.5 V至-8 V。这些引脚应通过0.1 μF陶瓷电容和10 μF电容去耦。
18	VREF1	DAC 8至DAC 31的基准电压输入。此基准电压参考AGND。
25	SIGGND1	DAC 8至DAC 15的参考地。VOUT8至VOUT15参考此电压。
34	SIGGND2	DAC 16至DAC 23的参考地。VOUT16至VOUT23参考此电压。
41	VREF0	DAC 0至DAC 7的基准电压输入。此基准电压参考AGND。
46	SIGGND0	DAC 0至DAC 7的参考地。VOUT0至VOUT7参考此电压。
51, 58	DGND	所有数字电路的地。DGND引脚应接到DGND层。
52, 57	DV <sub>CC</sub>	逻辑电源；2.5 V至5.5 V。这些引脚应通过0.1 μF陶瓷电容和10 μF电容去耦。
53	SYNC	低电平输入有效。这是串行接口的帧同步信号。
54	SCLK	串行时钟输入。数据在SCLK的下降沿逐个输入移位寄存器。此引脚的工作时钟速率最高达50 MHz。
55	SDI	串行数据输入。数据必须在SCLK的下降沿有效。

引脚编号	引脚名称	描述
56	SDO	串行数据输出。CMOS输出。SDO可用于回读。数据在SCLK的上升沿通过SDO输出，在SCLK的下降沿有效。
59	AGND	所有模拟电路的地。AGND引脚应接到AGND层。
63	$\overline{\text{LDAC}}$	加载DAC逻辑输入(低电平有效)。详情参见BUSY和LDAC功能部分。
64	$\overline{\text{CLR}}$	异步清零输入(电平敏感，低电平有效)。详情参见清零功能部分。

## 典型性能参数

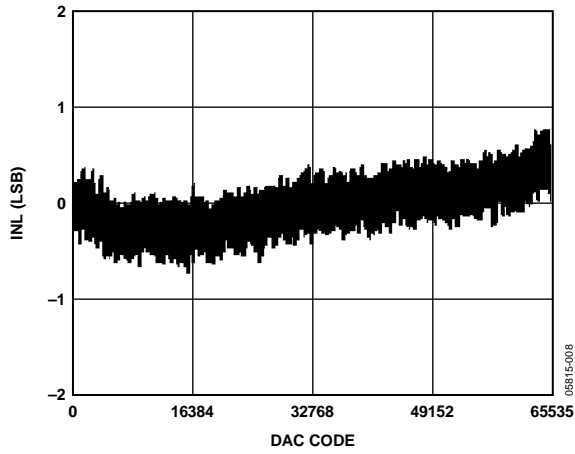


图9. AD5372典型INL图

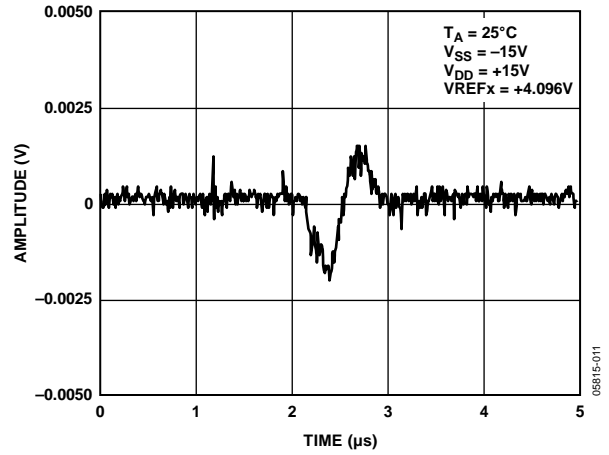


图12. 数字串扰

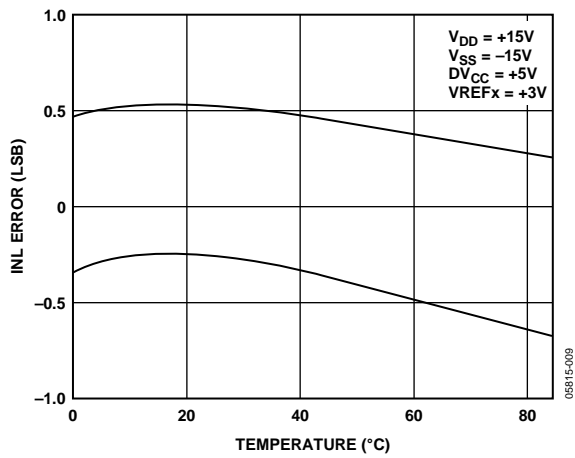


图10. 典型INL误差与温度的关系

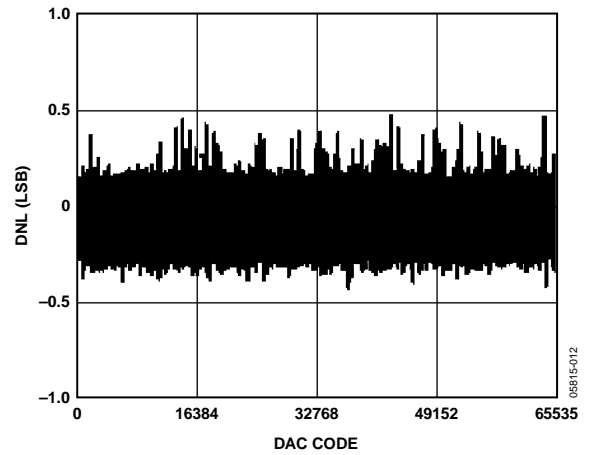


图13. AD5372典型DNL图

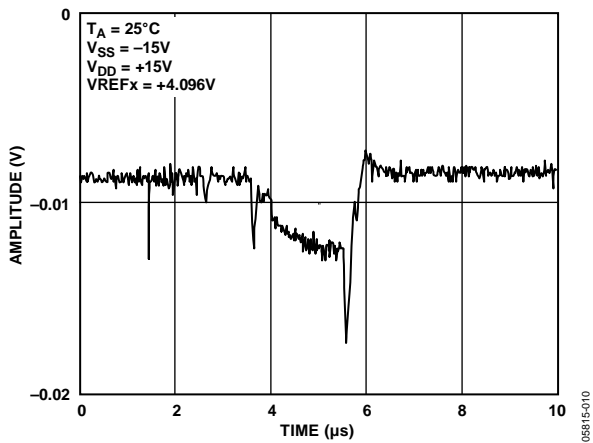


图11. LDAC引起的模拟串扰

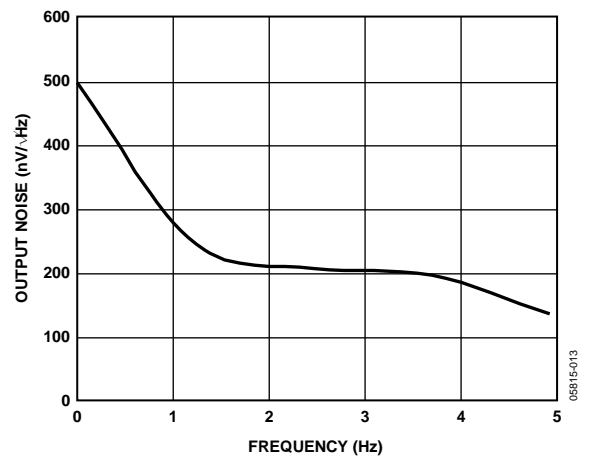


图14. 输出噪声频谱密度

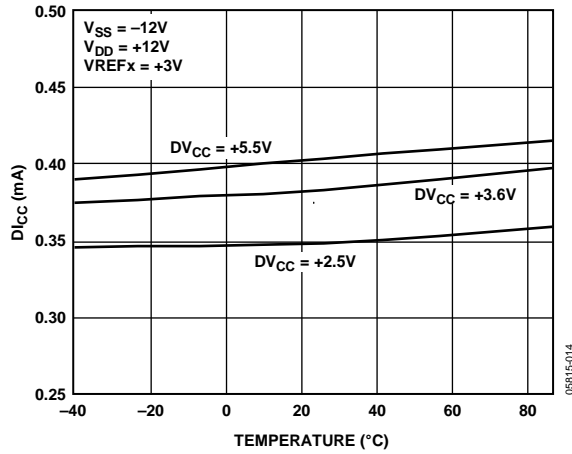


图15.  $DI_{CC}$  与温度的关系

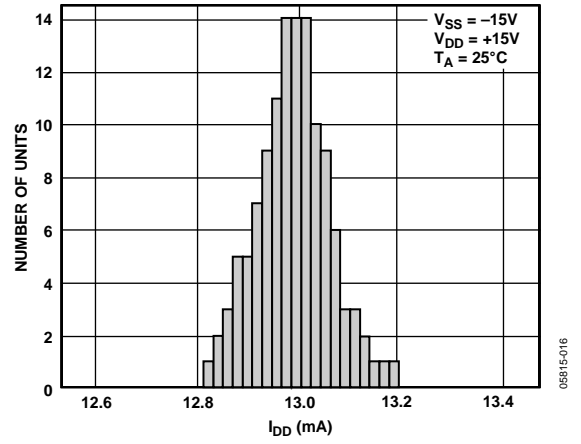


图17.  $I_{DD}$  典型分布

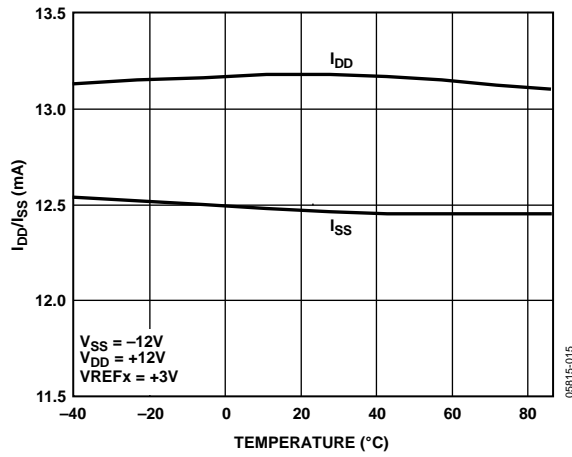


图16.  $I_{DD}/I_{SS}$  与温度的关系

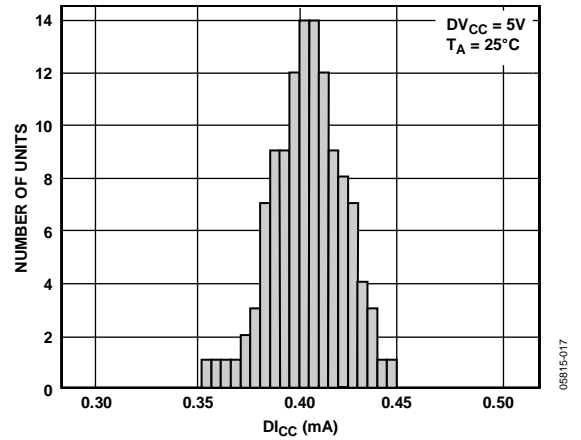


图18.  $DI_{CC}$  典型分布

## 术语

### 积分非线性(INL)

积分非线性也被称作端点线性度，是指DAC输出与通过DAC端点的传递函数直线之间的最大偏差。它是在调整零电平误差和满量程误差后进行测量，用最低有效位(LSB)表示。

### 差分非线性(DNL)

差分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大1 LSB的额定差分非线性可确保单调性。

### 零刻度误差

零刻度误差指DAC寄存器中加载全0时DAC输出电压的误差。当通道处于最小值时，它衡量实际V<sub>OUT</sub>与理想V<sub>OUT</sub>之间的偏差，用mV表示。零电平误差主要由输出放大器的失调引起。

### 满量程误差

满量程误差指DAC寄存器中加载全1时DAC输出电压的误差。当通道处于最大值时，它衡量实际V<sub>OUT</sub>与理想V<sub>OUT</sub>之间的偏差，用mV表示。满量程误差不包括零电平误差。

### 增益误差

增益误差指满量程误差与零电平误差之间的差异，用满量程范围(FSR)的百分比表示。

$$\text{增益误差} = \text{满量程误差} - \text{零电平误差}$$

### V<sub>OUT</sub>温度系数

V<sub>OUT</sub>温度系数包括线性、失调和增益漂移引起的输出误差。

### 直流输出阻抗

直流输出阻抗指有效输出源阻抗，主要是封装引脚电阻。

### 直流串扰

DAC输出由共用V<sub>DD</sub>和V<sub>SS</sub>电源的运算放大器进行缓冲。如果一个通道中的直流负载电流因为更新而发生变化，这可能导致一个或多个通道输出发生进一步的直流变化。这种影响在高负载电流时更为明显，随着负载电流的减小而降低。如果使用高阻抗负载，这种影响几乎无法估量。为使直流串扰最小，还提供了多个V<sub>DD</sub>和V<sub>SS</sub>引脚。

### 输出电压建立时间

输出电压建立时间是指对于一个满量程输入变化，DAC输出建立为指定电平所需的时间量。

### 数模转换脉冲干扰

数模转换毛刺能量指主编码转换时注入模拟输出的能量，定义为以nV-s为单位的毛刺面积，通过DAC寄存器数据在0x7FFF与0x8000 (AD5372)或0x1FFF与0x2000 (AD5373)之间跳变进行测量。

### 通道间隔离

通道间隔离指一个DAC的基准输入中出现在采用另一个基准电压工作的另一个DAC输出端的输入信号比例，用dB表示，在中间电平进行测量。

### DAC间串扰

DAC间串扰指一个转换器的数字变化和随后的模拟输出变化引起另一个转换器的输出端出现毛刺脉冲，用nV-s表示。

### 数字串扰

数字串扰定义为一个转换器的DAC寄存器编码变化引起并传送到另一个转换器输出的毛刺脉冲，用nV-s表示。

### 数字馈通

当器件未被选择时，器件数字输入端的高频逻辑活动可以跨越并穿过器件以容性方式耦合，在V<sub>OUT</sub>引脚上表现为噪声。它也可以沿电源线和地线耦合。这种噪声就是数字馈通。

### 输出噪声频谱密度

输出噪声频谱密度衡量内部产生的随机噪声。随机噪声用频谱密度(V/ $\sqrt{\text{Hz}}$ )的方式来表征。测量方法是将所有DAC加载到中间电平，然后测量输出端的噪声。单位为nV/ $\sqrt{\text{Hz}}$ 。

## 工作原理

### DAC架构

AD5372/AD5373在单封装中集成32个DAC通道和32个输出放大器。单个DAC通道的架构由一个16位(AD5372)或14位(AD5373)电阻串DAC和一个输出缓冲放大器构成。电阻串部分仅仅是一串接在VREF0或VREF1与AGND之间的等值电阻。这种架构可保证DAC单调性。载入DAC寄存器的16位(AD5372)或14位(AD5373)二进制数字代码,决定抽取电阻串上哪一个节点的电压,以馈入输出放大器。

输出放大器将DAC输出电压乘以4。标称输出范围在3 V基准电压下为12 V,在5 V基准电压下为20 V。

### 通道组

AD5372/AD5373的32个DAC通道分为4组,每组8个通道。第0组的8个DAC从VREF0获得基准电压。第1组至第3组从VREF1获得基准电压。每组均有自己的信号地引脚。

表7. AD5372/AD5373寄存器

寄存器名称	字长(位)	描述
X1A(组)(通道)	16 (14)	输入数据寄存器A, 每个DAC通道一个。
X1B(组)(通道)	16 (14)	输入数据寄存器B, 每个DAC通道一个。
M(组)(通道)	16 (14)	增益调整寄存器, 每个DAC通道一个。
C(组)(通道)	16 (14)	失调调整寄存器, 每个DAC通道一个。
X2A(组)(通道)	16 (14)	输出数据寄存器A, 每个DAC通道一个。这些寄存器存储增益和失调调整之后的最终的校准DAC数据。不能读取或直接写入这些寄存器。
X2B(组)(通道)	16 (14)	输出数据寄存器B, 每个DAC通道一个。这些寄存器存储增益和失调调整之后的最终的校准DAC数据。不能读取或直接写入这些寄存器。
DAC(组)(通道)		DAC获取最终输入数据的数据寄存器。DAC寄存器从X2A或X2B寄存器获得更新。不能读取或直接写入这些寄存器。
OFS0	14	失调DAC 0数据寄存器: 设置第0组的失调。
OFS1	14	失调DAC 1数据寄存器: 设置第1组至第3组的失调。
控制	3	位2 = $\bar{A}/B$ 。 0 = 整体选择X1A输入数据寄存器。 1 = 整体选择X1B输入数据寄存器。 位1 = 使能热关断。 0 = 禁用热关断。 1 = 使能热关断。 位0 = 软件掉电。 0 = 软件上电。 1 = 软件掉电。
A/B选择0	8	此寄存器中的各位决定第0组的DAC是从寄存器X2A还是寄存器X2B(0 = X2A, 1 = X2B)获得数据。
A/B选择1	8	此寄存器中的各位决定第1组的DAC是从寄存器X2A还是寄存器X2B(0 = X2A, 1 = X2B)获得数据。
A/B选择2	8	此寄存器中的各位决定第2组的DAC是从寄存器X2A还是寄存器X2B(0 = X2A, 1 = X2B)获得数据。
A/B选择3	8	此寄存器中的各位决定第3组的DAC是从寄存器X2A还是寄存器X2B(0 = X2A, 1 = X2B)获得数据。

表8. AD5372/AD5373输入寄存器默认值

寄存器名称	AD5373默认值	AD5372默认值
X1A, X1B	0x5554	0x1555
M	0xFFFF	0x3FFF
C	0x8000	0x2000
OFS0, OFS1	0x1555	0x1555
控制	0x00	0x00
A/B选择0至A/B选择3	0x00	0x00

## A/B寄存器和增益/失调调整

每个DAC通道具有7个数据寄存器。根据控制寄存器中A/B位的设置，实际DAC数据字可以写入X1A或X1B输入寄存器。如果 $\overline{A/B}$ 位为0，数据写入X1A寄存器。如果 $\overline{A/B}$ 位为1，数据写入X1B寄存器。请注意，此位是一个全局控制位，影响器件中的所有DAC通道。由于无法设置器件的每个通道，因此有些通道写入X1A寄存器，另一些通道则写入X1B寄存器。

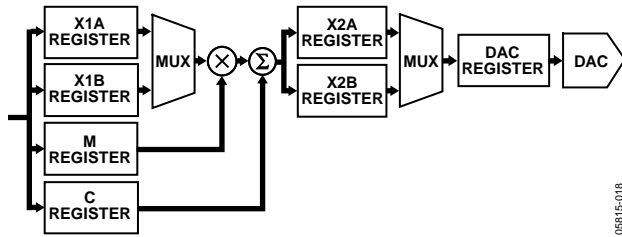


图19. 与各DAC通道相关的数据寄存器

每个DAC通道还有一个增益(M)寄存器和一个失调(C)寄存器，用于消除整个信号链的增益和失调误差。X1A寄存器的数据通过数字乘法器和加法器调整处理，后两者受M和C寄存器的内容控制。校准后的DAC数据存储在X2A寄存器中。同样，该乘法器和加法器也会对X1B寄存器的数据进行调整处理，并存储在X2B寄存器中。

虽然图19中显示每个通道都有一个乘法器和加法器符号，但实际上器件只有一个乘法器和加法器，由所有通道共用。当几个通道同时更新时，这会影响更新速度，详见寄存器更新速率部分所述。

当A/B控制位置0时，每次将数据写入X1A寄存器或M、C寄存器，X2A数据就会重新计算，并且X2A寄存器自动更新。同样，当 $\overline{A/B}$ 位置1时，每次将数据写入X1B、M或C寄存器时，X2B寄存器就会更新。用户无法读取或直接写入X2A和X2B寄存器。

X2A和X2B寄存器输出的数据，通过一个多路复用器路由至最终DAC寄存器。每组8个DAC都有一个相关的8位 $\overline{A/B}$ 选择寄存器，它控制该组的每个DAC是从X2A寄存器还是从X2B寄存器获得数据。如果此寄存器中的某位为0，则相应的DAC从X2A寄存器获得数据；如果为1，则从X2B寄存器获得数据(位0至位7分别控制DAC 0至DAC 7)。

请注意，由于四个寄存器共有32位，因此可以按通道设置每个DAC是从X2A还是从X2B寄存器获得数据。同时还提供一个全局命令，它可将A/B选择寄存器中的所有位设置为0或1。

## 加载DAC

当各DAC从其X2A或X2B寄存器(取决于A/B选择寄存器的设置)进行更新时，将 $\overline{LDAC}$ 拉低可以同时更新AD5372/AD5373的所有DAC。用户无法读取或直接写入DAC寄存器。 $\overline{LDAC}$ 可以永久接至低电平，这样只要相应的DAC寄存器中出现新数据，DAC输出就会更新。

## 失调DAC

除了针对各DAC的增益和失调调整之外，还有两个14位失调DAC，一个用于第0组，另一个用于第1组至第3组。失调DAC可以使与之相连的所有DAC的输出范围在一定范围内偏移。因此，在不违反裕量限制的条件下，可以将第0组或第1组至第3组的输出范围设置为单极性正范围、单极性负范围或双极性范围(关于0 V对称或非对称)。AD5372/AD5373的DAC经过工厂调整，失调DAC设置为其默认值。对于默认输出范围和跨度，它可提供最佳失调和增益性能。

通过改变失调DAC的值来调整输出范围时，失调DAC的增益误差会引起额外的失调，失调量取决于基准电压的幅度和失调DAC偏离其默认值的程度。关于该失调，请参阅技术规格部分。当失调DAC位于正或负的满量程时，失调状况最差。可以将此值增加到主DAC通道中存在的失调中，以反映该通道的总失调状况。在大多数情况下，可以将适当的值写入该通道的C寄存器，从而消除该失调。只有当失调DAC变为非默认值时，才需要考虑失调DAC所引起的额外失调。图20显示了可以载入失调DAC的容许代码范围，具体取决于所用的基准电压值。对于5 V基准电压，不得将大于8192 (0x2000)的值写入失调DAC。

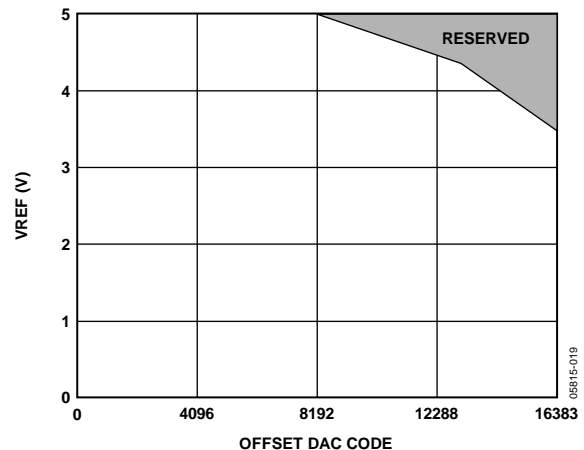


图20. 失调DAC代码范围



## 输出放大器

输出放大器的摆幅为正电源以下1.4 V至负电源以上1.4 V，因此对于给定基准电压，输出的偏移幅度会受到摆幅的限制。例如，因为最大电源电压为±16.5 V，所以单极性输出范围不可能达到20 V。

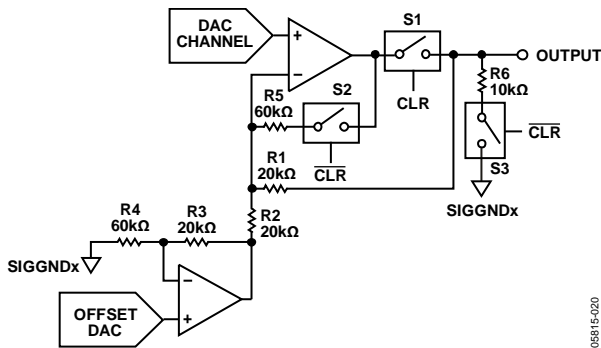


图21. 输出放大器和失调DAC

图21显示了DAC输出放大器的详细结构及其与失调DAC的连接。上电时，S1断开，放大器与输出断开连接。S3闭合，因而输出拉至SIGGNDx(R1和R2大于R6)。S2也闭合，防止输出放大器变为开环。如果 $\overline{\text{CLR}}$ 在上电时为低电平，输出将保持这种状态，直到 $\overline{\text{CLR}}$ 被拉高。可以对DAC寄存器进行编程，当 $\overline{\text{CLR}}$ 被拉高时，输出变为编程值。即使 $\overline{\text{CLR}}$ 在上电时为高电平，输出仍然会保持先前的状态，直到 $V_{\text{DD}} > 6\text{ V}$ 、 $V_{\text{SS}} < -4\text{ V}$ 并且初始化序列完成为止。然后，输出变为上电默认值。

## 传递函数

AD5372/AD5373的DAC输出电压取决于输入寄存器的值、M和C寄存器的值以及失调DAC的值。

### AD5372传递函数

输入码为施加于DAC的X1A或X1B寄存器值(X1A、X1B默认码为21,844)。

$$DAC\_CODE = INPUT\_CODE \times (M + 1)/2^{16} + C - 2^{15}$$

其中：

$M = \text{增益寄存器码} - \text{默认码} = 2^{16} - 1$ 。

$C = \text{失调寄存器码} - \text{默认码} = 2^{15}$ 。

DAC输出电压通过下式计算：

$$VOUT = 4 \times VREFx \times (DAC\_CODE - (OFFSET\_CODE \times 4))/2^{16} + VSIGGND$$

其中：

$DAC\_CODE$ 应在0至65,535的范围内。

对于12 V范围， $VREFx = 3.0\text{ V}$ 。

对于20 V范围， $VREFx = 5.0\text{ V}$ 。

$OFFSET\_CODE$ 为载入失调DAC的码。由于此DAC是一个14位器件，因此它在传递函数中乘以4。上电时，载入失调DAC的默认码为5461(0x1555)。使用3 V基准电压时，它提供的范围为-4 V至+8 V。

### AD5373传递函数

输入码为施加于DAC的X1A或X1B寄存器值(X1A、X1B默认码为5461)。

$$DAC\_CODE = INPUT\_CODE \times (M + 1)/2^{14} + C - 2^{13}$$

其中：

$M = \text{增益寄存器码} - \text{默认码} = 2^{14} - 1$ 。

$C = \text{失调寄存器码} - \text{默认码} = 2^{13}$ 。

DAC输出电压通过下式计算：

$$VOUT = 4 \times VREFx \times (DAC\_CODE - OFFSET\_CODE)/2^{14} + VSIGGND$$

其中：

$DAC\_CODE$ 应在0至16,383的范围内。

对于12 V范围， $VREFx = 3.0\text{ V}$ 。

对于20 V范围， $VREFx = 5.0\text{ V}$ 。

$OFFSET\_CODE$ 为载入失调DAC的码。

上电时，载入失调DAC的默认码为5461(0x1555)。使用3 V基准电压时，它提供的范围为-4 V至+8 V。

## 基准电压源选择

AD5372/AD5373具有两个基准电压输入引脚。施加于基准电压引脚的电压决定VOUT0至VOUT31的输出电压跨度。VREF0决定VOUT0至VOUT7(第0组)的电压跨度，VREF1决定VOUT8至VOUT31(第1组至第3组)的电压跨度。如果需要，施加于各VREF引脚的基准电压可以不同，这样各组可以具有不同的电压跨度。通过对各通道的失调和增益寄存器以及失调DAC进行编程，可以进一步调整输出电压范围和跨度。如果不使用失调和增益功能(即M和C寄存器保持其默认值)，则所需的基准电平可以通过下式计算：

$$VREF = (VOUT_{\text{MAX}} - VOUT_{\text{MIN}})/4$$

如果使用AD5372/AD5373的失调和增益功能，所需的输出范围略有不同。所选的输出范围应考虑系统失调和增益误差，需要通过调整消除这些误差。因此，所选输出范围应大于实际需要的范围。

# AD5372/AD5373

所需的基准电平可以通过下述方法计算：

1. 确定VOUT的标称输出范围。
2. 确定满量程输出信号所需的最大失调范围和最大增益。
3. 计算新的VOUT最大输出范围，包括预期的最大失调和增益误差。
4. 选择所需的新VOUT<sub>MAX</sub>和VOUT<sub>MIN</sub>，VOUT限值应始终以标称值为中心。注意V<sub>DD</sub>和V<sub>SS</sub>必须提供充足的裕量。
5. 通过下式计算VREF的值：

$$VREF = (VOUT_{MAX} - VOUT_{MIN})/4$$

## 基准电压选择示例

如果

标称输出范围 = 12 V(-4 V至+8 V)

零电平误差 = ±70 mV

增益误差 = ±3%，且

SIGGND<sub>x</sub> = AGND = 0 V

那么

增益误差 = ±3%

=> 最大正增益误差 = 3%

=> 含增益误差的输出范围 = 12 + 0.03(12) = 12.36 V

零电平误差 = ±70 mV

=> 最大失调误差范围 = 2(70 mV) = 0.14 V

=> 含增益误差和零电平误差的输出范围 = 12.36 V + 0.14 V = 12.5 V

VREF计算

实际输出范围 = 12.5 V，即-4.25 V至+8.25 V；

VREF = (8.25 V + 4.25 V)/4 = 3.125 V

如果由此得出的基准电平不便于获得，用户可以采用下述方法之一：

- 利用电阻分压器将一个便于获得的较高基准电平降为所需的电平。
- 选择一个高于VREF的便于获得的基准电平，然后修改增益和失调寄存器，以数字方式降低基准电平。用这种方法，用户几乎可以使用任何便于获得的基准电平，但传递函数的过度压缩可能会降低性能。
- 综合运用上述两种方法。

## 校准

用户可以对AD5372/AD5373执行系统校准，将增益和失调误差降至1 LSB以下。实现方法是计算M和C寄存器的新值，并对其重新编程。

只有计算出零电平和满量程误差之后，才能对M和C寄存器进行编程。

### 降低零电平误差

零电平误差可以通过下述方法来降低：

1. 将输出尽可能设为最低值。
2. 测量实际输出电压，将其与所需值进行比较，由此便得到零电平误差。
3. 计算与该误差相当的LSB数，将此数加到C寄存器的默认值中。注意只能降低负的零电平误差。

### 降低满量程误差

满量程误差可以通过下述方法来降低：

1. 测量零电平误差。
2. 将输出尽可能设为最高值。
3. 测量实际输出电压，将其与所需值进行比较，然后将此误差与零电平误差相加。这样就得到范围误差，其中包括满量程误差。
4. 计算与该范围误差相当的LSB数，从M寄存器的默认值中减去此数。注意只能降低正的满量程误差。

## AD5372校准示例

本例假设需要-4 V至+8 V的输出电压。DAC输出设置为-4 V时，实测值为-4.03 V，因此零电平误差为-30 mV。

$$1 \text{ LSB} = 12 \text{ V}/65,536 = 183.105 \mu\text{V}$$

$$30 \text{ mV} = 164 \text{ LSBs}$$

现在可以计算满量程误差。输出设置为8 V时，实测值为8.02 V，因此满量程误差为+20 mV，范围误差为+20 mV - (-30 mV) = +50 mV。

$$50 \text{ mV} = 273 \text{ LSBs}$$

现在可以按照下述方法消除误差：

1. 将164 LSB加到C寄存器的默认值中：  
(32,768 + 164) = 32,932
2. 从M寄存器的默认值中减去273 LSB：  
(65,535 - 273) = 65,262
3. 将M寄存器值编程设为65,262；将C寄存器值编程设为32,932。

## 其它校准

上一部分所介绍的技术通常足以降低大多数应用的零电平和满量程误差。但是，这些技术存在一些限制，可能导致无法充分降低误差。例如，失调(C)寄存器只能用来降低负零电平误差所引起的失调，而不能降低正失调。同样，如果最大电压低于理想值，即满量程误差为负值，则无法使用增益(M)寄存器来提高增益，从而补偿误差。

通过提高基准电压值可以克服这些限制。使用3 V基准电压时，可以实现12 V的范围。AD5372或AD5373的理想电压范围是-4 V至+8 V。使用+3.1 V基准电压时，范围提高到-4.133 V至+8.2667 V。显然，这种情况下的失调和增益误差无足轻重，但可以使用M和C寄存器将负电压提高到-4 V，然后将最大电压降低至+8 V，从而提供尽可能精确的值。

## 复位功能

复位功能由RESET引脚启动。在RESET的上升沿，AD5372/AD5373状态机启动复位序列，将X、M和C寄存器复位至各自的默认值。此序列通常需要300 μs，在此期间用户不应写入程序。上电时，建议用户尽可能迅速地拉高RESET，以便正确初始化这些寄存器。

当复位序列完成时(并且CLR为高电平)，DAC输出处于寄存器默认设置所指定的电位，它相当于SIGGND<sub>x</sub>。DAC输出将保持SIGGND<sub>x</sub>，直到X、M或C寄存器更新并且LDAC被拉低为止。通过发送脉冲以拉低RESET至少30 ns，可以使AD5372/AD5373返回默认状态。请注意，由于复位功能由上升沿触发，因此拉低RESET对AD5372/AD5373的操作没有影响。

## 清零功能

CLR是低电平有效输入，在正常工作期间应为高电平。CLR引脚具有500 kΩ内部下拉电阻。当CLR为低电平时，各DAC输出缓冲器级(VOUT0至VOUT31)的输入切换到相关SIGGND<sub>x</sub>引脚的外部设置电位。在CLR为低电平期间，所有LDAC脉冲都被忽略。当再次拉高CLR时，DAC输出回到先前的值。拉低CLR不会影响输入寄存器和DAC寄存器0至31的内容。为了防止输出端出现毛刺，只要通过写入失调DAC来调整输出范围，就应将CLR拉低。

## BUSY和LDAC功能

用户每次向对应的X1、C或M寄存器写入新数据时，就会计算X2(A或B)寄存器的值。在X2计算期间，BUSY输出变为低电平。当BUSY为低电平时，用户可以继续向X1、M或C寄存器写入新数据(详情参见寄存器更新速率部分)，但DAC输出无法更新。

BUSY引脚为双向引脚，具有50 kΩ内部上拉电阻。当一个系统使用多个AD5372或AD5373器件时，可以将BUSY引脚连在一起。这样就能满足以下应用需求：在所有DAC就绪之前，任何器件的任一DAC都不能更新。每个器件完成X2(A或B)寄存器更新时，就会释放BUSY引脚。如果有一个器件没有完成X2寄存器的更新，它将使BUSY保持低电平，从而推迟LDAC变为低电平的影响。

将LDAC输入拉低，即可更新DAC输出。如果在BUSY有效时LDAC变为低电平，则将存储LDAC事件，并在BUSY变为高电平后立即更新DAC输出。用户也可以使LDAC输入永远保持低电平。这样，一旦BUSY变为高电平，DAC输出就会更新。只要写入A/B选择寄存器，BUSY也会变为低电平，并保持大约500 ns。

AD5372/AD5373的寻址非常灵活，允许将数据写入一个通道、一组中的所有通道、第0组到第3组的同一通道、第1组到第3组的同一通道或者器件中的所有通道。这意味着可能需要计算并更新1、4、8或32个DAC寄存器值。由于32个通道共用一个乘法器，因此该任务必须按顺序执行，这就导致BUSY脉冲的长度随需更新的通道数不同而异。

表9. BUSY脉冲宽度

操作	BUSY 脉冲宽度 <sup>1</sup>
加载输入C或M至1个通道 <sup>2</sup>	1.5 μs(最大值)
加载输入C或M至4个通道	3.3 μs(最大值)
加载输入C或M至8个通道	5.7 μs(最大值)
加载输入C或M至32个通道	20.1 μs(最大值)

<sup>1</sup> BUSY 脉冲宽度 = ((通道数 + 1) × 600 ns) + 300 ns

<sup>2</sup> 单通道更新时间典型值为1 μs

AD5372/AD5373具有一个额外特性，即自上次拉低LDAC以来，除非已写入X2A或X2B寄存器，否则不会更新DAC寄存器。一般情况下，当LDAC被拉低时，DAC寄存器就会填充X2A或X2B寄存器(取决于A/B选择寄存器的设置)的内容。然而，AD5372/AD5373仅在X2A或X2B数据改变时才更新DAC寄存器，从而消除不必要的数字串扰。

# AD5372/AD5373

## 掉电模式

通过将控制寄存器的位0设置为1，可以使AD5372/AD5373进入掉电模式，从而关闭DAC，降低功耗。DAC输出连接到各自的SIGGND<sub>x</sub>电位。掉电模式不改变寄存器的内容；当掉电位清0时，DAC恢复其先前的电压。

## 热关断功能

AD5372/AD5373可以设置成芯片温度超过130°C时关断DAC。将控制寄存器的位1置1可以使能此功能(见表16)。如果芯片温度超过130°C，AD5372/AD5373即进入热关断模式，这相当于将控制寄存器的掉电位置1。为了指示AD5372/AD5373已进入热关断模式，控制寄存器的位4置1。在控制寄存器的位1清0之前，即使芯片温度已下降，AD5372/AD5373仍会保持热关断模式。

## TOGGLE模式

AD5372/AD5373每个通道有两个X2寄存器：X2A和X2B，可以利用这两个寄存器使DAC输出在两个电平之间轻松切换。此方法可大大减轻微处理器所需的开销，否则需要分别写入各通道。当用户写入X1A、X1B、M或C寄存器时，计算引擎需要一定的时间来计算相应的X2A或X2B值。如果应用(例如数据发生器)要求DAC输出仅在两个电平之间切换，那么任何可以缩短所需计算时间的方法都是有利的。以数据发生器为例，用户只需写入X1A和X1B寄存器，设置各通道的高低电平一次即可。X2A和X2B的值经过计算，存储在各自的寄存器中。因此，计算延迟仅在设置阶段(即编程设置初始值时)发生。要使DAC输出在两个电平之间跳变，只需写入相关的A/B选择寄存器，以便设置MUX2寄存器位。此外，由于每个寄存器有8个MUX2控制位，因此可以通过一个写操作更新8个通道。表10列出了与各DAC输出相对应的位。

表10. A/B选择寄存器所选的DAC

A/B选择寄存器	位 <sup>1</sup>							
	F7	F6	F5	F4	F3	F2	F1	F0
0	VOUT7	VOUT6	VOUT5	VOUT4	VOUT3	VOUT2	VOUT1	VOUT0
1	VOUT15	VOUT14	VOUT13	VOUT12	VOUT11	VOUT10	VOUT9	VOUT8
2	VOUT23	VOUT22	VOUT21	VOUT20	VOUT19	VOUT18	VOUT17	VOUT16
3	VOUT31	VOUT30	VOUT29	VOUT28	VOUT27	VOUT26	VOUT25	VOUT24

<sup>1</sup> 如果该位置0，选择寄存器X2A。如果该位置1，选择寄存器X2B。

## 串行接口

AD5372/AD5373内置一个高速SPI接口，其工作时钟频率最高可达50 MHz(读取操作时为20 MHz)。为了降低器件的功耗和片内数字噪声，该接口仅在对器件执行写操作时，即在SYNC的下降沿才完全上电。采用2.5 V至3.6 V DVCC电源工作时，该串行接口兼容2.5 V LVTTTL。它受四个引脚控制：SYNC(帧同步输入)、SDI(串行数据输入引脚)、SCLK(数据输入/输出器件所用的时钟)和SDO(用于数据回读的串行数据输出引脚)。

### SPI写入模式

AD5372/AD5373允许通过串行接口向该接口可以直接访问的每一个寄存器写入数据，即除X2A、X2B和DAC寄存器以外的所有寄存器。X2A和X2B寄存器在写入X1A、X1B、M和C寄存器时更新，DAC数据寄存器由LDAC更新。串行字(见表11或表12)为24位长：其中的16位(AD5372)或14位(AD5373)是数据位，6位是地址位，2位是决定如何使用该数据的模式位。AD5373有2位保留不用。

串行接口可以采用连续式和突发式(选通式)串行时钟工作。施加于SDI的串行数据由施加于SCLK的时钟脉冲逐个输入AD5372/AD5373。SYNC的第一个下降沿启动写周期。SCLK必须经过至少24个时钟下降沿以输入24位数据之后，才能将SYNC重新拉高。如果在第24个时钟下降沿之前拉高SYNC，则写操作失败。

如果使用连续时钟，必须在第25个时钟下降沿之前拉高SYNC，这样可以抑制AD5372/AD5373内的时钟。如果再次拉高SYNC前有超过24个时钟下降沿，输入数据将被破坏。如果使用恰好有24个脉冲的外部选通式时钟，则可以在第24个时钟下降沿后的任何时间拉高SYNC。

寻址的输入寄存器在SYNC的上升沿更新。若需进行其它串行传输，必须将SYNC再次拉低。

表11. AD5372串行字位分配

I23	I22	I21	I20	I19	I18	I17	I16	I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
M1	M0	A5	A4	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

表12. AD5373串行字位分配

I23	I22	I21	I20	I19	I18	I17	I16	I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1 <sup>1</sup>	I0 <sup>1</sup>
M1	M0	A5	A4	A3	A2	A1	A0	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0

<sup>1</sup> 位I1和位I0保留供将来使用；写入串行字时，这些位应为0。这些位的回读结果为0。

### SPI回读模式

AD5372/AD5373允许通过串行接口从该接口可以直接访问的每一个寄存器回读数据，即除X2A、X2B和DAC数据寄存器以外的所有寄存器。若要回读寄存器，首先必须告知AD5372/AD5373要读取哪一个寄存器。只要向器件写入一个字，其前两位是特殊功能代码00便能实现，其余位决定要回读的寄存器。

如果将回读命令写入一个特殊功能寄存器，则所选寄存器的数据在下一个SPI操作期间从SDO引脚逐个输出。SDO引脚一般处于三态，但一旦发出读取命令，它即变为受驱状态。在寄存器数据全部输出之前，该引脚保持受驱状态。读取时序图参见图5。请注意，由于 $t_{22}$ 的时序要求(25 ns)，SPI接口在读操作期间的最大速度不得超过20 MHz。

### 寄存器更新速率

每次用户向对应的X1、C或M寄存器写入新数据时，就会计算X2A寄存器或X2B寄存器的值。该计算分三个阶段进行。前两个阶段各需大约600 ns，最后一个阶段需要大约300 ns。当对X1、C或M寄存器的写操作完成时，计算过程开始。如果写操作只涉及到一个DAC通道的更新，则用户可以对另一个寄存器执行写操作，只要该写操作在第一阶段计算完成之后结束即可(即第一个写操作完成后600 ns)。如果通过一个写操作更新一组通道，则对每个通道都会重复第一阶段计算，每个通道都需要600 ns时间。这种情况下，用户应在这段时间过去之后才能完成下一个写操作。

# AD5372/AD5373

## 通道寻址和特殊模式

如果模式位不是00，则将数据字D15至D0(AD5372)或D13至D0(AD5373)写入器件。地址位A5至A0决定要写入的通道，模式位决定数据要写入哪一个寄存器(X1A、X1B、C或M)，如表13和表14所示。当控制寄存器的A/B位为0时，数据写入X1A寄存器；当A/B位为1时，数据写入X1B寄存器。

AD5372/AD5373的寻址非常灵活，允许将数据写入一个通道、一组中的所有通道、第0组到第3组的同一通道、第1组到第3组的同一通道或者器件中的所有通道。表14显示了地址位A5至A0各种组合情况下寻址的对应组和通道。

表13. 模式位

M1	M0	操作
1	1	写入DAC数据(X)寄存器
1	0	写入DAC失调(C)寄存器
0	1	写入DAC增益(M)寄存器
0	0	特殊功能，配合数据字的其它位使用

表14. 组和通道寻址

地址位A2至 地址位A0	地址位A5至地址位A3							
	000	001	010	011	100	101	110	111
000	所有组、 所有通道	第0组、 通道0	第1组、 通道0	第2组、 通道0	第3组、 通道0	保留	第0组/ 第1组/ 第2组/ 第3组、 通道0	第1组/ 第2组/ 第3组、 通道0
001	第0组、 所有通道	第0组、 通道1	第1组、 通道1	第2组、 通道1	第3组、 通道1	保留	第0组/ 第1组/ 第2组/ 第3组、 通道1	第1组/ 第2组/ 第3组、 通道1
010	第1组、 所有通道	第0组、 通道2	第1组、 通道2	第2组、 通道2	第3组、 通道2	保留	第0组/ 第1组/ 第2组/ 第3组、 通道2	第1组/ 第2组/ 第3组、 通道2
011	第2组、 所有通道	第0组、 通道3	第1组、 通道3	第2组、 通道3	第3组、 通道3	保留	第0组/ 第1组/ 第2组/ 第3组、 通道3	第1组/ 第2组/ 第3组、 通道3
100	第3组、 所有通道	第0组、 通道4	第1组、 通道4	第2组、 通道4	第3组、 通道4	保留	第0组/ 第1组/ 第2组/ 第3组、 通道4	第1组/ 第2组/ 第3组、 通道4
101	保留	第0组、 通道5	第1组、 通道5	第2组、 通道5	第3组、 通道5	保留	第0组/ 第1组/ 第2组/ 第3组、 通道5	第1组/ 第2组/ 第3组、 通道5
110	保留	第0组、 通道6	第1组、 通道6	第2组、 通道6	第3组、 通道6	保留	第0组/ 第1组/ 第2组/ 第3组、 通道6	第1组/ 第2组/ 第3组、 通道6
111	保留	第0组、 通道7	第1组、 通道7	第2组、 通道7	第3组、 通道7	保留	第0组/ 第1组/ 第2组/ 第3组、 通道7	第1组/ 第2组/ 第3组、 通道7

**特殊功能模式**

如果模式位为00，则选择特殊功能模式，如表15所示。串行数据字的位I21至位I16选择特殊功能，其余位是执行特殊功能所需的数据，例如数据回读的通道地址等。特殊功能的代码见表16。表17显示用于数据回读的地址。

**表15. 特殊功能模式**

I23	I22	I21	I20	I19	I18	I17	I16	I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
0	0	S5	S4	S3	S2	S1	S0	F15	F14	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	F0

**表16. 特殊功能代码**

特殊功能代码						数据(F15至F0)	操作
S5	S4	S3	S2	S1	S0		
0	0	0	0	0	0	0000 0000 0000 0000	无操作(NOP)。
0	0	0	0	0	1	XXXX XXXX XXXX X[F2:F0]	写入控制寄存器。 F4 = 过温指示(只读位)。写入控制寄存器时，此位应为0。 F3 = 保留。写入控制寄存器时，此位应为0。 F2 = 1: 为输入选择寄存器X1B。 F2 = 0: 为输入选择寄存器X1A。 F1 = 1: 使能热关断模式。 F1 = 0: 禁用热关断模式。 F0 = 1: 软件掉电。 F0 = 0: 软件上电。
0	0	0	0	1	0	XX[F13:F0]	将F13至F0中的数据写入OFS0寄存器。
0	0	0	0	1	1	XX[F13:F0]	将F13至F0中的数据写入OFS1寄存器。
0	0	0	1	0	0	保留	
0	0	0	1	0	1	见表17	选择用于回读的寄存器。
0	0	0	1	1	0	XXXX XXXX [F7:F0]	将F7至F0中的数据写入A/B选择寄存器0。
0	0	0	1	1	1	XXXX XXXX [F7:F0]	将F7至F0中的数据写入A/B选择寄存器1。
0	0	1	0	0	0	XXXX XXXX [F7:F0]	将F7至F0中的数据写入A/B选择寄存器2。
0	0	1	0	0	1	XXXX XXXX [F7:F0]	将F7至F0中的数据写入A/B选择寄存器3。
0	0	1	0	1	0	保留	
0	0	1	0	1	1	XXXX XXXX [F7:F0]	块写入A/B选择寄存器。 F7至F0 = 0: 写入全0(所有通道都使用X2A寄存器)。 F7至F0 = 1: 写入全1(所有通道都使用X2B寄存器)。

**表17. 用于数据回读的地址代码<sup>1</sup>**

F15	F14	F13	F12	F11	F10	F9	F8	F7	寄存器读取	
0	0	0	位F12至位F7从通道0 = 001000至通道31 = 100111 选择要回读的通道							X1A寄存器
0	0	1								X1B寄存器
0	1	0								C寄存器
0	1	1								M寄存器
1	0	0	0	0	0	0	0	1	控制寄存器	
1	0	0	0	0	0	0	1	0	OFS0数据寄存器	
1	0	0	0	0	0	0	1	1	OFS1数据寄存器	
1	0	0	0	0	0	1	0	0	保留	
1	0	0	0	0	0	1	1	0	A/B选择寄存器0	
1	0	0	0	0	0	1	1	1	A/B选择寄存器1	
1	0	0	0	0	1	0	0	0	A/B选择寄存器2	
1	0	0	0	0	1	0	0	1	A/B选择寄存器3	
1	0	0	0	0	1	0	1	0	保留	

<sup>1</sup> 对于数据回读功能，位F6至位F0为无关位。

## 应用信息

### 电源去耦

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。安装AD5372/AD5373所用的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。如果AD5372/AD5373所在系统中有多个器件要求AGND至DGND连接，则只能在一个点上连接。星形接地点应尽可能靠近器件。对于具有多个引脚( $V_{SS}$ 、 $V_{DD}$ 、 $DV_{CC}$ )的电源，建议将这些引脚连在一起，并且每个电源仅去耦一次。

AD5372/AD5373应具有足够大的10  $\mu$ F电源去耦电容，与每个电源上的0.1  $\mu$ F电容并联，并且尽可能靠近封装，最好是正对着该器件。10  $\mu$ F电容最好为钽电容。0.1  $\mu$ F电容应具有低有效串联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬变电流。

应避免在器件下方布设数字线路，否则会将噪声耦合至器件。应允许模拟接地层布设在AD5372/AD5373下方，以避免噪声耦合。AD5372/AD5373的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺效应。快速开关数字信号应利用数字地屏蔽起来，以免向电路板上的其它器件辐射噪声，并且绝不应靠近参考输入。必须将VREF0和VREF1线路上的噪声降至最低。

避免数字信号与模拟信号交叠。电路板相对两侧上的走线应当彼此垂直，这样做有助于减小电路板上的馈通效应。微带线技术是目前为止最好的方法，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

像所有薄型封装一样，必须避免弯曲封装，并且在组装过程中必须避免封装表面上出现点负载。

### 电源时序控制

将电源连接到AD5372/AD5373时，必须在施加正电源或负电源之前，将AGND和DGND引脚连接到相应的接地层。在大多数应用中，这不是问题，因为电源的接地引脚通过接地层与AD5372/AD5373的接地引脚相连。如果将AD5372/AD5373用于热插拔卡中，则应注意确保在连接正

电源或负电源之前，将接地引脚连接到电源地，以免电流流向模拟地或数字地以外的方向。

### 接口示例

AD5372/AD5373的SPI接口设计旨在使器件能够轻松连接到业界标准DSP和微控制器。图22显示AD5372/AD5373连接到ADI公司的Blackfin® DSP。Blackfin集成了一个SPI端口，可以直接连到AD5372/AD5373的SPI引脚和可编程I/O引脚，以便设置或读取与接口相关的数字输入或输出引脚的状态。

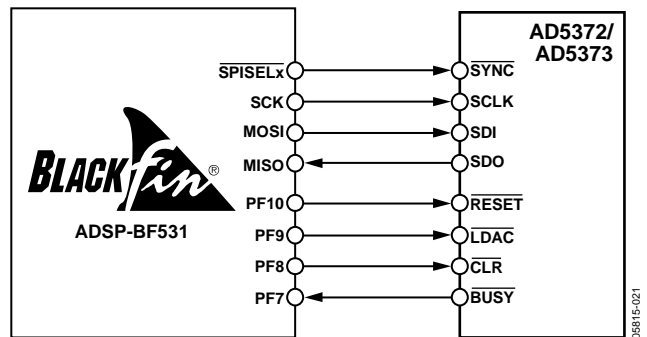


图22. 与Blackfin DSP接口

ADI公司的ADSP-21065L是一款浮点DSP，具有两个串行端口(SPORT)。图23显示一个SPORT端口可以用于控制AD5372/AD5373。本例中，发射帧同步(TFSx)引脚连接到接收帧同步(RFSx)引脚。同样，发射和接收时钟(TCLKx和RCLKx)也相连。用户可以通过写入ADSP-21065L的发射寄存器来写入AD5372/AD5373。读取操作可以分两步完成：首先写入AD5372/AD5373以告知器件需要一个读取操作，然后通过NOP指令再执行一个写入操作，以便从AD5372/AD5373读出数据。可以使用DSP接收中断来指示读取操作何时完成。

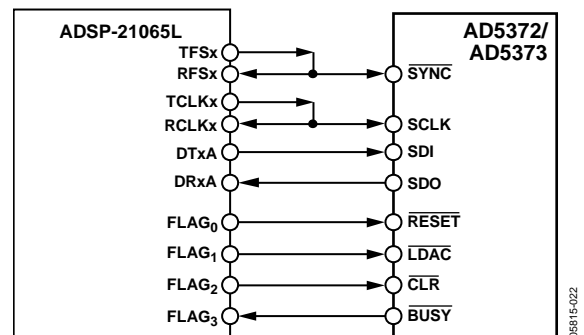
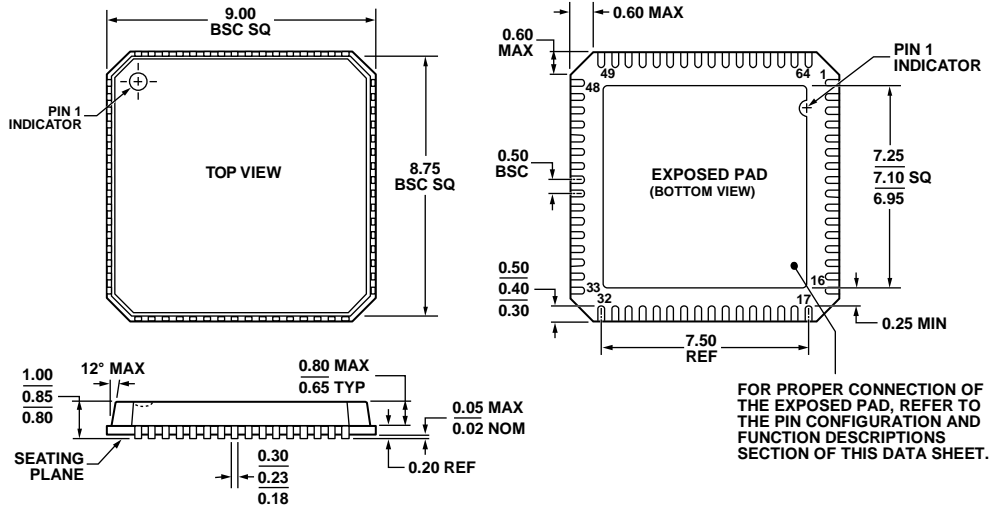


图23. 与ADSP-21065L DSP接口



外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VMMD-4

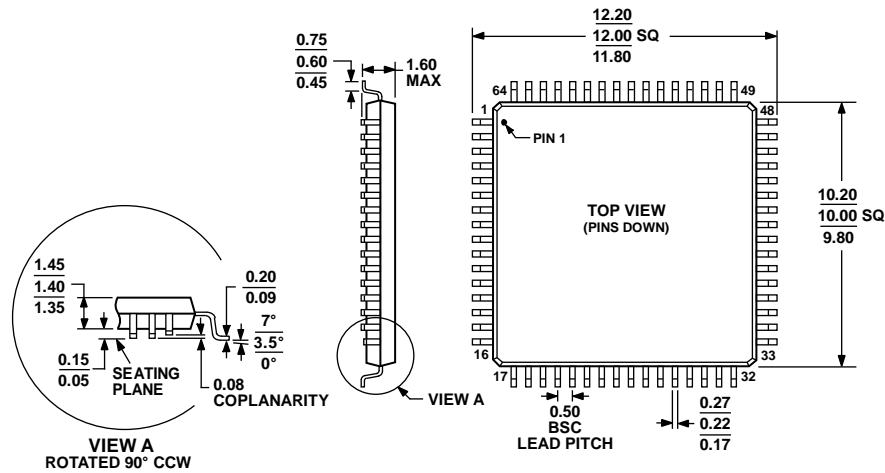
图24. 64引脚引线框构芯片级封装 [LFCSP\_VQ]

9 mm × 9 mm, 超薄体

(CP-64-3)

图示尺寸单位: mm

080108-C



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

图25. 64引脚薄型四方扁平封装 [LQFP]

(ST-64-2)

尺寸单位: mm

051706-A

# AD5372/AD5373

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
AD5372BSTZ	-40°C至+85°C	64引脚薄型四方扁平封装(LQFP)	ST-64-2
AD5372BSTZ-REEL	-40°C至+85°C	64引脚薄型四方扁平封装(LQFP)	ST-64-2
AD5372BCPZ	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-3
AD5372BCPZ-RL7	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-3
AD5373BSTZ	-40°C至+85°C	64引脚薄型四方扁平封装(LQFP)	ST-64-2
AD5373BSTZ-REEL	-40°C至+85°C	64引脚薄型四方扁平封装(LQFP)	ST-64-2
AD5373BCPZ	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-3
AD5373BCPZ-RL7	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-3
EVAL-AD5372EBZ		评估板	
EVAL-AD5373EBZ		评估板	

<sup>1</sup> Z = 符合RoHS标准的器件。

**注释**

**注释**