

## AD5310R/AD5311R

### 产品特性

高相对精度(INL):  $\pm 0.5$  LSB (最大值)  
 低漂移 2.5 V 基准电压源: 2 ppm/°C (典型值)  
 可选输出范围: 2.5 V 或 5 V  
 总不可调整误差(TUE): 0.06% FSR (最大值)  
     失调误差:  $\pm 1.5$  mV (最大值)  
     增益误差:  $\pm 0.05\%$  FSR (最大值)  
 低毛刺: 0.1 nV-sec  
 高驱动能力: 20 mA  
 低功耗: 1.2 mW (3.3 V)  
 独立逻辑电源: 1.8 V 至 5.5 V  
 宽工作温度范围:  $-40^{\circ}\text{C}$  至  $+105^{\circ}\text{C}$   
 鲁棒的 4 kV HBM ESD 保护

### 应用

过程控制  
 数据采集系统  
 数字增益和失调电压调整  
 可编程电压源  
 光学模块

### 概述

AD5310R/AD5311R 均属于 nanoDAC® 系列, 分别是低功耗、单通道、10 位缓冲电压输出 DAC。这些器件内部集成默认 2.5 V 基准电压源, 提供 2 ppm/°C 漂移。输出范围可编程设置为 0 V 至  $V_{REF}$  或 0 V 至  $2 \times V_{REF}$ 。采用 2.7 V 至 5.5 V 单电源供电, 通过设计保证单调性。这些器件提供 10 引脚 MSOP 封装。

AD5310R/AD5311R 的内部上电复位电路确保当内部输出缓冲器配置为正常模式时, DAC 寄存器上电时写入零电平。这些器件具有掉电特性, 掉电模式下功耗降至 2  $\mu\text{A}$  (5 V 时)。

AD5310R/AD5311R 采用多功能 SPI 或 I<sup>2</sup>C 接口, 包括一个异步  $\overline{\text{REST}}$  引脚和一个兼容 1.8 V 的  $V_{LOGIC}$  引脚。

### 功能框图

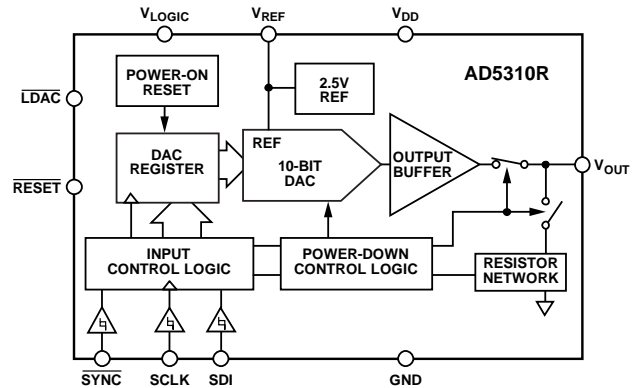


图1. AD5310R

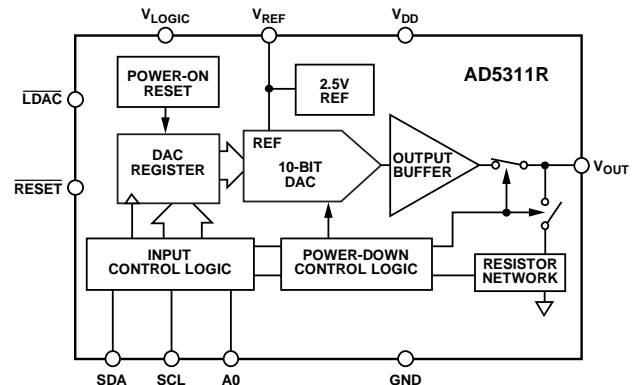


图2. AD5311R

表1. 相关器件

接口	参考	12位	10位
SPI	内部		
	外部	AD5681R	AD5310 <sup>1</sup>
I <sup>2</sup> C	内部		
	外部		AD5311 <sup>1</sup>

<sup>1</sup> AD5310R 和 AD5311R 分别与 AD5310 和 AD5311 引脚兼容或软件兼容。

### 产品特色

- 高相对精度(INL):  $\pm 0.5$  LSB (最大值)。
- 低漂移 2.5 V 片内基准电压源: 温度系数为 5 ppm/°C (最大值)。

Rev. A

### Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI 中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考 ADI 提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
 Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.  
 Technical Support [www.analog.com](http://www.analog.com)

# AD5310R/AD5311R

## 目录

产品特性.....	1	传递函数.....	17
应用.....	1	DAC架构.....	17
概述.....	1	串行接口.....	18
功能框图.....	1	AD5310R SPI串行数据接口.....	18
产品特点.....	1	菊花链模式兼容性.....	18
修订历史.....	2	AD5311R I <sup>2</sup> C串行数据接口.....	19
技术规格.....	3	命令.....	21
交流特性.....	4	加载DAC(硬件LDAC引脚).....	22
时序特性.....	5	硬件REST.....	22
绝对最大额定值.....	8	AD5311R I <sup>2</sup> C读操作.....	22
热阻.....	8	热滞.....	23
ESD警告.....	8	上电时序.....	23
引脚配置和功能描述.....	9	布局布线指南.....	23
典型性能参数.....	11	外形尺寸.....	24
术语.....	16	订购指南.....	24
工作原理.....	17		
数模转换器.....	17		

## 修订历史

### 2014年1月—修订版0至修订版A

更改“产品特性”部分.....	1
删除表2的尾注2、尾注3、尾注5和尾注6；重新排序.....	3
删除表3的尾注3.....	4
删除表4的尾注1；重新排序.....	5
更改表6.....	8
删除“回流焊”部分和图44，重新排序.....	23

### 2014年1月—修订版0：初始版

## 技术规格

除非另有说明,  $V_{DD} = 2.7\text{ V}$ 至 $5.5\text{ V}$ ,  $R_L = 2\text{ k}\Omega$ 至GND,  $C_L = 200\text{ pF}$ 至GND,  $2.5\text{ V} \leq V_{REF} \leq V_{DD}$ ,  $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$  ( $V_{LOGIC} = 1.8\text{ V}$ 至 $5.5\text{ V}$ ?),  $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。

表2.

参数	最小值	典型值	最大值	单位	测试条件/注释
静态性能 <sup>1</sup>					
分辨率	10			位	
相对精度(INL)			$\pm 0.5$	LSB	
差分非线性(DNL)			$\pm 0.5$	LSB	
零代码误差			1.25	mV	DAC寄存器载入全0
失调误差			$\pm 1.5$	mV	
满量程误差			$\pm 0.075$	% FSR	DAC寄存器载入全1
增益误差			$\pm 0.05$	% FSR	
总不可调整误差(TUE)			$\pm 0.16$	% FSR	内部基准电压源, 增益 = 1
			$\pm 0.14$	% FSR	内部基准电压源, 增益 = 2
			$\pm 0.075$	% FSR	外部基准电压源, 增益 = 1
			$\pm 0.06$	% FSR	外部基准电压源, 增益 = 2
零代码误差漂移		$\pm 1$		$\mu\text{V}/^\circ\text{C}$	
失调误差漂移		$\pm 1$		$\mu\text{V}/^\circ\text{C}$	
增益温度系数		$\pm 1$		ppm/ $^\circ\text{C}$	
直流电源抑制比(PSRR)		0.2		mV/V	DAC代码 = 中间电平, $V_{DD} = 5\text{ V} \pm 10\%$
输出特性					
输出电压范围	0		$V_{REF}$	V	增益 = 1
	0		$2 \times V_{REF}$	V	增益 = 2
容性负载稳定性		2		nF	$R_L = \infty$
		10		nF	$R_L = 2\text{ k}\Omega$
阻性负载	1			k $\Omega$	$C_L = 0\text{ }\mu\text{F}$
负载调整率		10		$\mu\text{V}/\text{mA}$	$V_{DD} = 5\text{ V}$ , DAC代码 = 中间电平; $-30\text{ mA} \leq I_{OUT} \leq 30\text{ mA}$
		10		$\mu\text{V}/\text{mA}$	$V_{DD} = 3\text{ V}$ , DAC代码 = 中间电平; $-20\text{ mA} \leq I_{OUT} \leq 20\text{ mA}$
短路电流	20		50	mA	
供电轨上的负载阻抗 <sup>2</sup>		20		$\Omega$	
基准输出					
输出电压	2.4975		2.5025	V	环境温度
基准电压源TC <sup>3</sup>		2	5	ppm/ $^\circ\text{C}$	参见“术语”部分
输出阻抗		0.05		$\Omega$	
输出电压噪声		16.5		$\mu\text{V p-p}$	0.1 Hz至10 Hz
输出电压噪声密度		240		nV/ $\sqrt{\text{Hz}}$	环境温度下; $f = 10\text{ kHz}$ , $C_L = 10\text{ nF}$
容性负载稳定性		5		$\mu\text{F}$	$R_L = 2\text{ k}\Omega$
负载调整率(源)		50		$\mu\text{V}/\text{mA}$	环境温度; $V_{DD} \geq 3\text{ V}$
负载调整率(吸)		30		$\mu\text{V}/\text{mA}$	环境温度
输出电流负载能力		$\pm 5$		mA	$V_{DD} \geq 3\text{ V}$
电压调整率		80		$\mu\text{V}/\text{V}$	环境温度
热滞		125		ppm	第一个周期
		25		ppm	其它周期

# AD5310R/AD5311R

参数	最小值	典型值	最大值	单位	测试条件/注释
逻辑输入					
输入电流 $I_{IN}$			$\pm 1$	$\mu A$	每引脚 SDA和SCL引脚 (AD5311R)
输入低电压 $V_{INL}$			$\pm 4$	$\mu A$	
输入高电压 $V_{INH}$			$0.3 \times V_{LOGIC}$	V	
引脚电容 $C_{IN}$	$0.7 \times V_{LOGIC}$	2		pF	
逻辑输出(SDA)					AD5311R
输出低电压 $V_{OL}$			0.4	V	$I_{SINK} = 200 \mu A$
输出高电压 $V_{OH}$	$V_{LOGIC} - 0.4$			V	$I_{SOURCE} = 200 \mu A$
引脚电容		4		pF	
电源要求					
$V_{LOGIC}$	1.8		5.5	V	$V_{IH} = V_{LOGIC}$ 或 $V_{IL} = GND$
$I_{LOGIC}$		0.25	3	$\mu A$	
$V_{DD}$	2.7		5.5	V	增益 = 1
	$V_{REF} + 1.5$		5.5	V	增益 = 2
$I_{DD}$					$V_{IH} = V_{DD}$ , $V_{IL} = GND$
正常模式 <sup>4</sup>		350	500	$\mu A$	使能内部基准电压源
掉电模式 <sup>5</sup>		110	180	$\mu A$	禁用内部基准电压源
			2	$\mu A$	

<sup>1</sup> 线性度计算使用缩减的数据范围：代码8至代码1024，输出无负载。

<sup>2</sup> 从任一供电轨吸取负载电流时，相对于该供电轨的输出电压裕量受输出器件的20  $\Omega$  典型通道电阻限制。例如，吸取1 mA时，最小输出电压且20  $\Omega$  负载下，1 mA产生20 mV。参见图29。

<sup>3</sup> 基准电压源温度系数采用黑盒法计算。详情见“术语”部分。

<sup>4</sup> 接口未启用。DAC启用。代码 = 零电平，DAC输出无负载。

<sup>5</sup> DAC掉电。

## 交流特性

除非另有说明<sup>1</sup>， $V_{DD} = 2.7 V$ 至 $5.5 V$ ， $R_L = 2 k\Omega$ 至GND， $C_L = 200 pF$ 至GND， $2.5 V \leq V_{REF} \leq V_{DD}$ ， $1.8 V \leq V_{LOGIC} \leq V_{DD}$ ， $-40^\circ C < T_A < +105^\circ C$ 。

表3.

参数 <sup>2</sup>	典型值	最大值	单位	条件/注释
输出电压建立时间	5	7	$\mu s$	增益 = 1， $1/4$ 到 $3/4$ 量程建立到 $\pm 0.25$ LSB
压摆率	0.7		V/ $\mu s$	
数模转换毛刺脉冲	0.1		nV-sec	主进位 $\pm 1$ LSB变化，增益 = 1
数字馈通	0.1		nV-sec	
总谐波失真(THD)	-83		dB	$V_{REF} = 2 V \pm 0.1 V$ p-p, $f = 10$ kHz
输出噪声频谱密度	200		nV/ $\sqrt{Hz}$	DAC代码 = 中间电平， $f = 10$ kHz
输出噪声	6		$\mu V$ p-p	0.1 Hz至10 Hz；内部基准电压源
信噪比(SNR)	90		dB	环境温度下；BW = 20 kHz， $V_{DD} = 5 V$ ， $f_{OUT} = 1$ kHz
无杂散动态范围(SFDR)	88		dB	环境温度下；BW = 20 kHz， $V_{DD} = 5 V$ ， $f_{OUT} = 1$ kHz
信纳比(SINAD)	82		dB	环境温度下；BW = 20 kHz， $V_{DD} = 5 V$ ， $f_{OUT} = 1$ kHz

<sup>1</sup> 温度范围为 $-40^\circ C$ 至 $+105^\circ C$ ，典型值 $25^\circ C$ 。

<sup>2</sup> 参见术语部分。

## 时序特性

### AD5310R

除非另有说明， $V_{DD} = 2.7\text{ V}$ 至 $5.5\text{ V}$ ， $V_{LOGIC} = 1.8\text{ V}$ 至 $5.5\text{ V}$ ， $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。

表4.

参数 <sup>1</sup>	符号	$1.8\text{ V} \leq V_{LOGIC} \leq 2.7\text{ V}$			$2.7\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
SCLK周期时间	$t_1$	33			20			ns
SCLK高电平时间	$t_2$	16			10			ns
SCLK低电平时间	$t_3$	16			10			ns
$\overline{\text{SYNC}}$ 到SCLK下降沿建立时间	$t_4$	15			10			ns
数据建立时间	$t_5$	5			5			ns
数据保持时间	$t_6$	5			5			ns
SCLK下降沿到 $\overline{\text{SYNC}}$ 上升沿	$t_7$	15			10			ns
最小 $\overline{\text{SYNC}}$ 高电平时间	$t_8$	20			20			ns
$\overline{\text{SYNC}}$ 下降沿到SCLK下降沿忽略	$t_9$	16			10			ns
$\overline{\text{SYNC}}$ 上升沿到LDAC下降沿	$t_{10}$	25			25			ns
LDAC低电平脉冲宽度	$t_{11}$	20			15			ns
$\overline{\text{RESET}}$ 低电平最小脉冲宽度	$t_{12}$	75			75			ns
$\overline{\text{RESET}}$ 脉冲启动时间	$t_{13}$	150			150			ns
基准电压源上电时间 (图3中未显示)	$t_{\text{REF\_POWER\_UP}}^2$		600			600		$\mu\text{s}$
退出关断时间 (图3中未显示)	$t_{\text{SHUTDOWN}}^3$			6			6	$\mu\text{s}$

<sup>1</sup> 所有输入信号均指定 $t_r = t_f = 1\text{ ns/V}$  (10%到90%的 $V_{DD}$ ) 并从 $(V_{IL} + V_{IH})/2$ 电平起开始计时。

<sup>2</sup>  $V_{DD} = 2.7\text{ V}$ 之后令器件上电时，时序应相同。

<sup>3</sup> 退出掉电模式进入正常工作模式所需的时间， $\overline{\text{SYNC}}$ 上升沿到DAC中间电平值的90%，且输出端无负载。

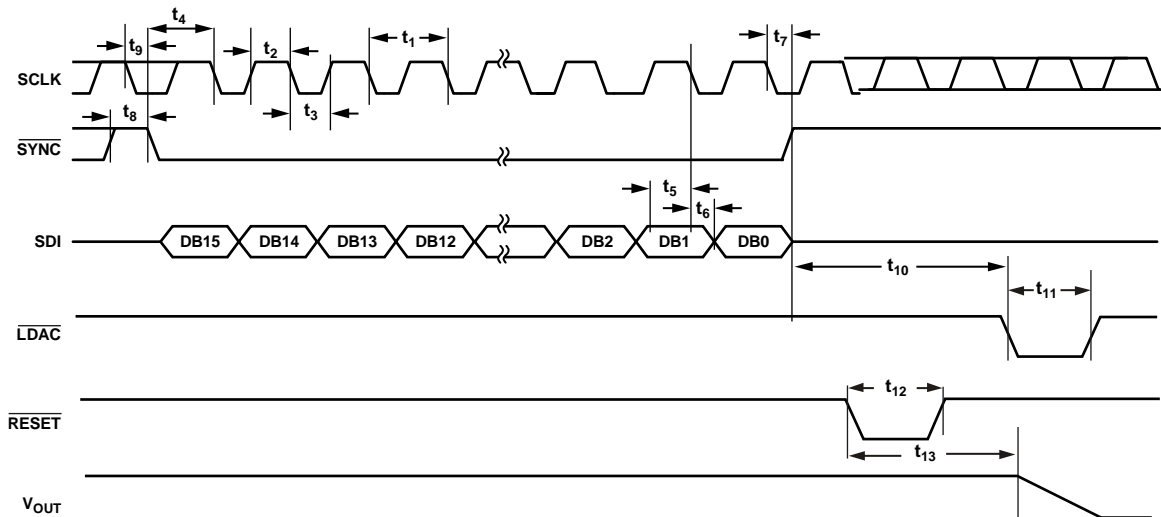


图3. SPI时序图，与模式1和模式2兼容(参见AN-1248应用笔记)

1195e-003

# AD5310R/AD5311R

## AD5311R

除非另有说明,  $V_{DD} = 2.7\text{ V至}5.5\text{ V}$ ,  $V_{LOGIC} = 1.8\text{ V至}5.5\text{ V}$ ,  $-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$ 。

表5.

参数 <sup>1</sup>	符号	最小值	典型值	最大值	单位
串行时钟频率	$f_{SCL}^2$			400	kHz
SCL高电平时间, $t_{HIGH}$	$t_1$	0.6			$\mu\text{s}$
SCL低电平时间, $t_{LOW}$	$t_2$	1.3			$\mu\text{s}$
数据建立时间, $t_{SU, DAT}$	$t_3$	100			ns
数据保持时间, $t_{HD, DAT}$	$t_4$	0		0.9	$\mu\text{s}$
重复起始条件的建立时间, $t_{SU, STA}$	$t_5$	0.6			$\mu\text{s}$
(重复)起始条件保持时间, $t_{HD, STA}$	$t_6$	0.6			$\mu\text{s}$
停止条件和起始条件之间的总线空闲时间, $t_{BUF}$	$t_7$	1.3			$\mu\text{s}$
停止条件的建立时间, $t_{SU, STO}$	$t_8$	0.6			$\mu\text{s}$
SDA信号的上升时间, $t_R$	$t_9$	20		300	ns
SDA信号的下降时间, $t_F$	$t_{10}$	$20 \times (V_{DD}/5.5\text{ V})$		300	ns
SCL信号的上升时间, $t_R$	$t_{11}$	20		300	ns
SCL信号的下降时间, $t_F$	$t_{12}$	$20 \times (V_{DD}/5.5\text{ V})$		300	ns
抑制尖峰的脉冲宽度(图4未显示)	$t_{SP}$	0		50	ns
LDAC下降沿到SCL下降沿	$t_{13}$	400			ns
LDAC脉冲宽度(同步模式)	$t_{14}$	400			ns
LDAC脉冲宽度(异步模式)	$t_{15}$	20			ns
RESET脉冲宽度	$t_{16}$	75			ns
基准电压源上电时间(图4中未显示)	$t_{REF\_POWER\_UP}^3$		600		$\mu\text{s}$
退出关断时间(图4中未显示)	$t_{SHUTDOWN}^4$			6	$\mu\text{s}$

<sup>1</sup> 最大总线电容限制在400 pF。所有输入信号均在 $t_r = t_f = 1\text{ ns/V}$ (10%到90%的 $V_{DD}$ )情况下标定并从 $(V_{IL} + V_{IH})/2$ 电平起开始计时。

<sup>2</sup> SDA和SCL时序通过输入滤波器使能来测量。关闭输入滤波器可提高传输速率,但对器件的EMC特性有不利影响。

<sup>3</sup>  $V_{DD} = 2.7\text{ V}$ 之后令器件上电时,时序应相同。

<sup>4</sup> 退出掉电模式进入正常工作模式所需的时间。

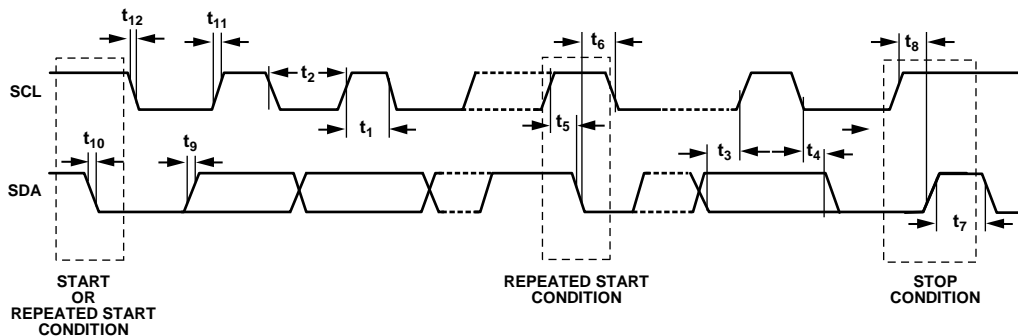
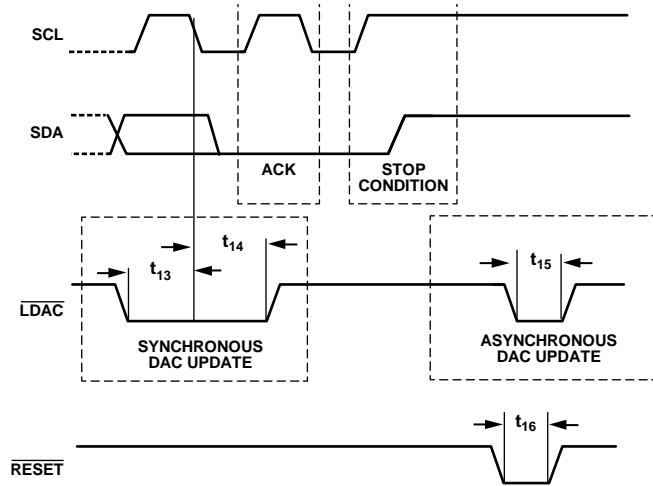


图4. I<sup>2</sup>C串行接口时序图

11956-004



11966-005

图5. PC、LDAC和RESET时序

# AD5310R/AD5311R

## 绝对最大额定值

除非另有说明,  $T_A = 25^\circ\text{C}$ 。

表6.

参数	额定值
$V_{DD}$ 至GND	-0.3 V至+7 V
$V_{LOGIC}$ 至GND	-0.3 V至+7 V
$V_{OUT}$ 至GND	-0.3 V至 $V_{DD} + 0.3$ V或+7 V (取较小者)
$V_{REF}$ 至GND	-0.3 V至 $V_{DD} + 0.3$ V或+7 V (取较小者)
数字输入电压至GND	-0.3 V至 $V_{DD} + 0.3$ V或+7 V (取较小者)
工作温度范围 工业	-40°C至+105°C
存储温度范围	-65°C至+150°C
结温( $T_J$ max)	135°C
功耗	$(T_J - T_A)/\theta_{JA}$
ESD <sup>1</sup>	4 kV
FICDM <sup>2</sup>	1.25 kV

<sup>1</sup> 人体模型(HBM)分类。

<sup>2</sup> 场感应充电装置模型类别。

注意, 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

### 热阻

$\theta_{JA}$ 由JEDEC JESD51标准定义, 其取值取决于测试板和测试环境。

表7. 热阻

封装类型	$\theta_{JA}$	$\theta_{JC}$	单位
10引脚MSOP	135 <sup>1</sup>	N/A <sup>2</sup>	°C/W

<sup>1</sup> JEDEC 2S2P测试板, 静止空气(0 m/s气流)。

<sup>2</sup> N/A表示不适用。

### ESD警告



#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。



## 引脚配置和功能描述

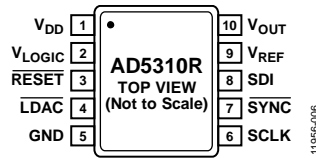


图6. AD5310R引脚配置

表8. AD5310R引脚功能描述

引脚编号	引脚名称	说明
1	V <sub>DD</sub>	电源输入引脚。工作电压范围为2.7V至5.5V。将此电源去耦至GND。
2	V <sub>LOGIC</sub>	数字电源。电压范围为1.8V至5.5V。将此电源去耦至GND。
3	RESET	硬件复位引脚。RESET输入对低电平敏感。当RESET为低电平时，器件复位，忽略外部引脚。
4	LDAC	输入和DAC寄存器载入零电平值，控制寄存器载入默认值。此引脚如果不用，可以接至V <sub>LOGIC</sub> 。加载DAC。LDAC支持异步模式(见图3)。发送脉冲使该引脚变为低电平后，当输入寄存器有新数据时，可以更新DAC寄存器。此引脚可以永久连接到低电平，这种情况下，当有新数据写入输入寄存器时，DAC寄存器会自动更新。
5	GND	接地基准。
6	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入移位寄存器。数据以最高50 MHz的速率传输。
7	SYNC	同步数据输入。当SYNC变为低电平时，SCLK和SDI缓冲器以及输入移位寄存器使能。
8	SDI	串行数据输入。数据在SCLK的下降沿进行采样。
9	V <sub>REF</sub>	基准电压输入/输出。默认情况下，此引脚为基准电压输出。
10	V <sub>OUT</sub>	建议通过一个10 nF电容将此引脚去耦至GND。 DAC的模拟输出电压。输出放大器能以轨到轨方式工作。

# AD5310R/AD5311R

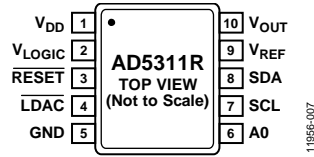


图7. AD5311R引脚配置

表9. AD5311R引脚功能描述

引脚编号	引脚名称	说明
1	V <sub>DD</sub>	电源输入引脚。工作电压范围为2.7 V至5.5 V。将此电源去耦至GND。
2	V <sub>LOGIC</sub>	数字电源。电压范围为1.8 V至5.5 V。将此电源去耦至GND。
3	RESET	硬件复位引脚。RESET输入对低电平敏感。当RESET为低电平时，器件复位，忽略外部引脚。输入和DAC寄存器载入零电平值，控制寄存器载入默认值。此引脚如果不用，可以接至V <sub>LOGIC</sub> 。
4	LDAC	加载DAC。将输入寄存器中的内容传送到DAC寄存器。支持两种工作模式：异步和同步，如图5所示。此引脚可以永久连接到低电平，这种情况下，当有新数据写入输入寄存器时，DAC更新。
5	GND	接地基准。
6	A0	用于多个封装解码的可编程地址(ADDR1)。该地址可以即时更改。
7	SCL	串行时钟线。
8	SDA	串行数据输入/输出。
9	V <sub>REF</sub>	基准电压输入/输出。此引脚默认用作基准输出。建议通过一个10 nF电容将此引脚去耦至GND。
10	V <sub>OUT</sub>	DAC的模拟输出电压。输出放大器能以轨到轨方式工作。

典型性能参数

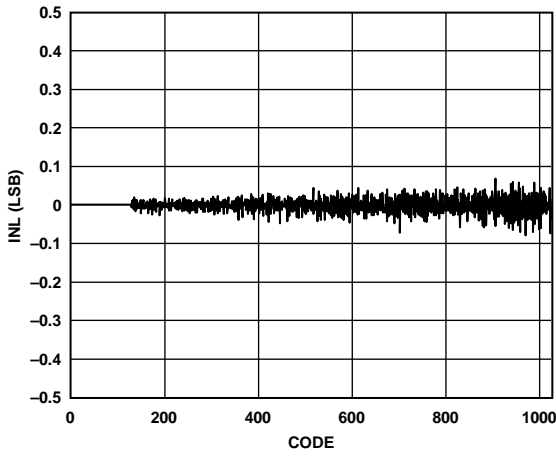


图8. INL

11956-011

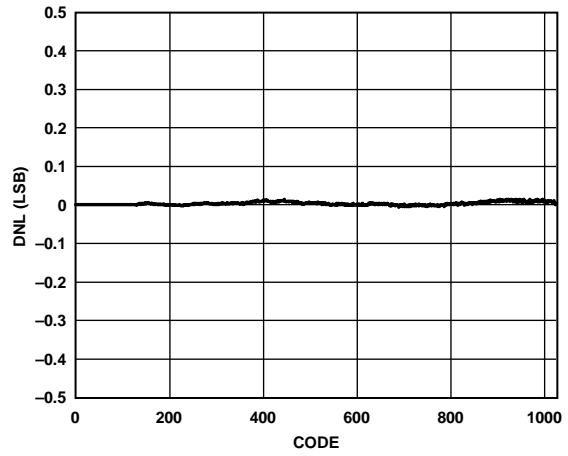


图11. DNL

11956-018

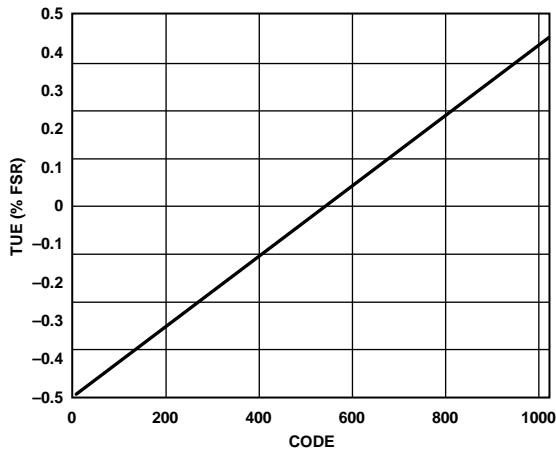


图9. TUE与代码的关系

11956-013

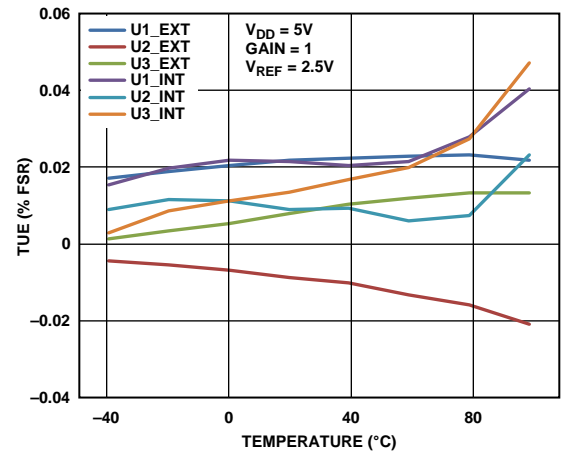


图12. TUE与温度的关系

11956-014

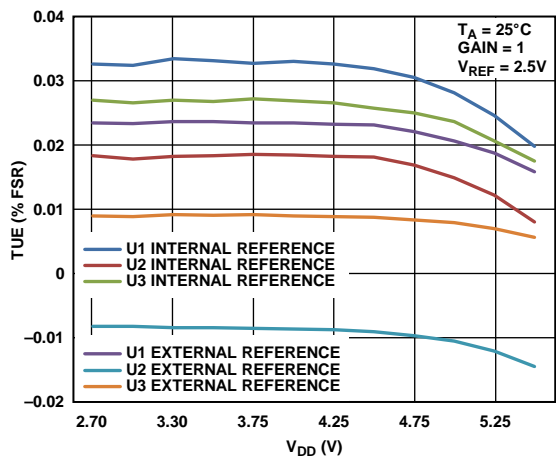


图10. TUE与电源的关系(增益=1)

11956-017

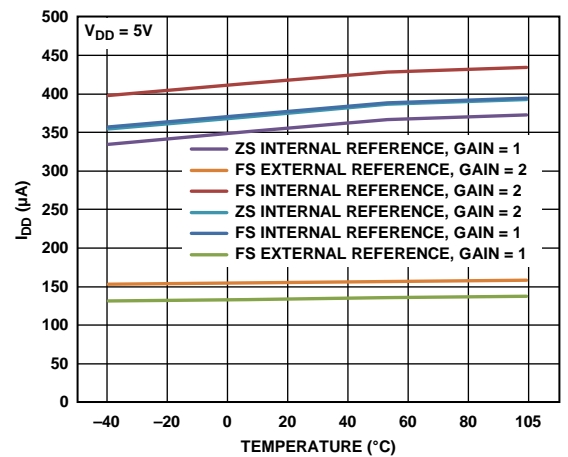


图13. 电源电流与温度的关系

11956-033

# AD5310R/AD5311R

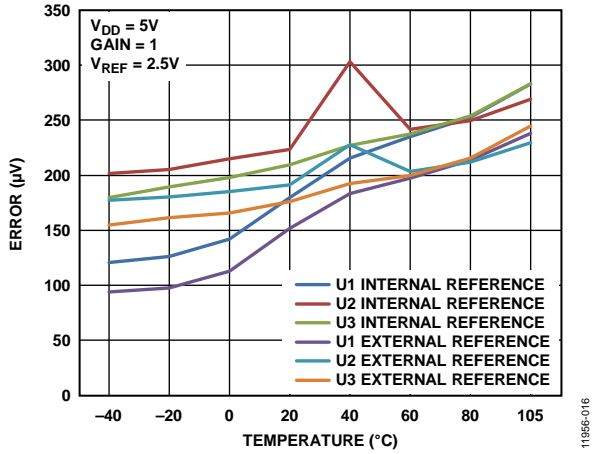


图14. 零代码误差和失调误差与温度的关系

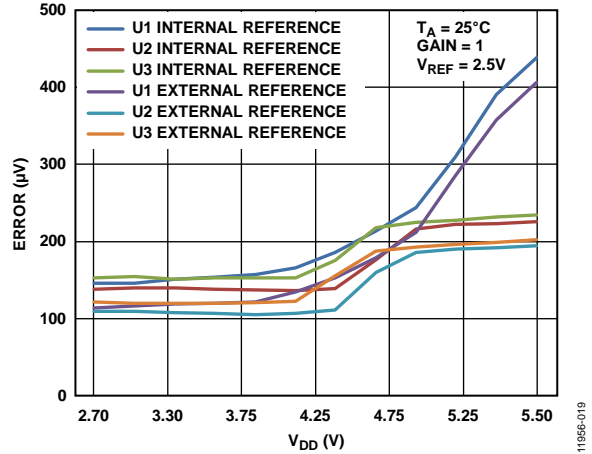


图17. 零代码误差和失调误差与电源的关系

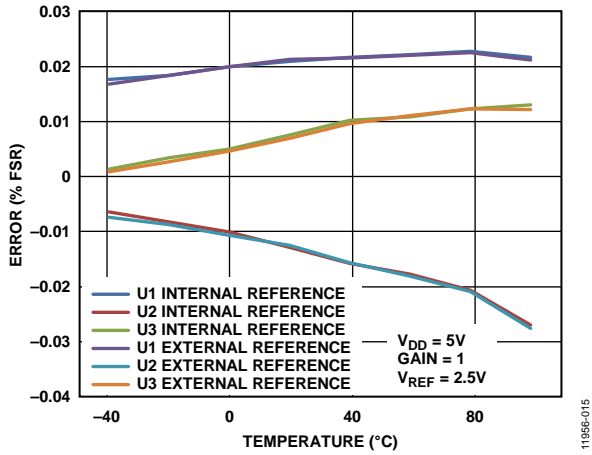


图15. 增益误差和满量程误差与温度的关系

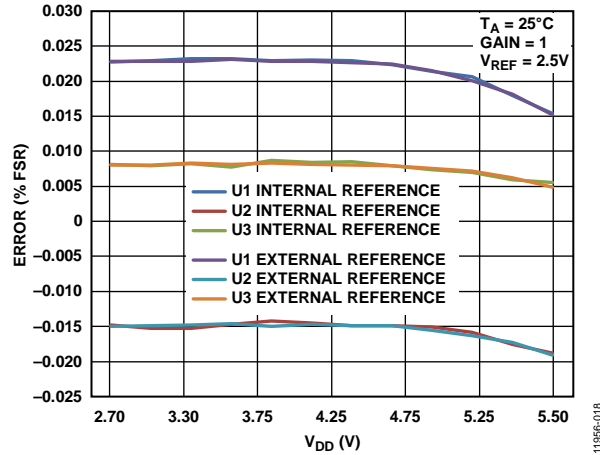


图18. 增益误差和满量程误差与电源的关系

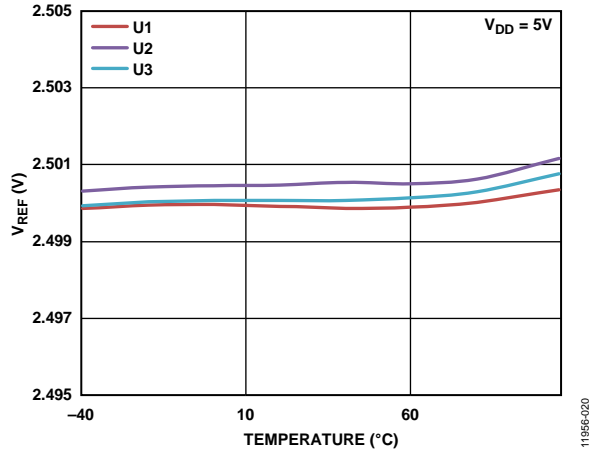


图16. 内部基准电压与温度的关系

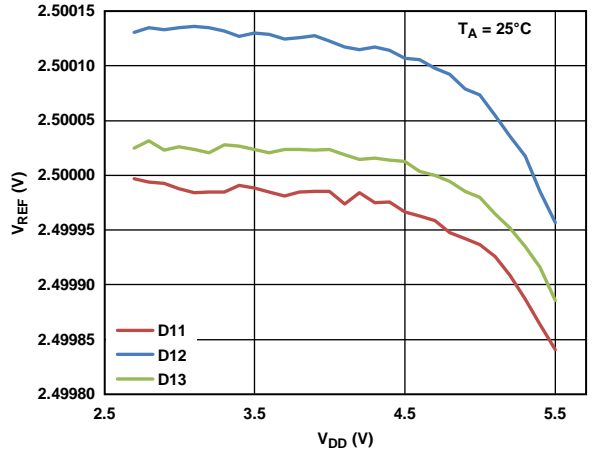


图19. 内部基准电压与电源电压的关系

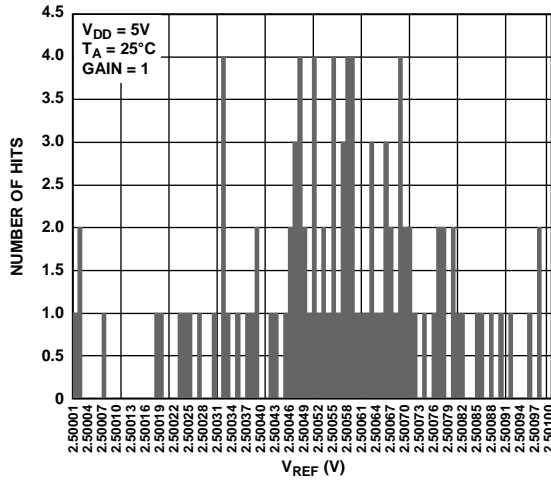


图20. 基准输出分布

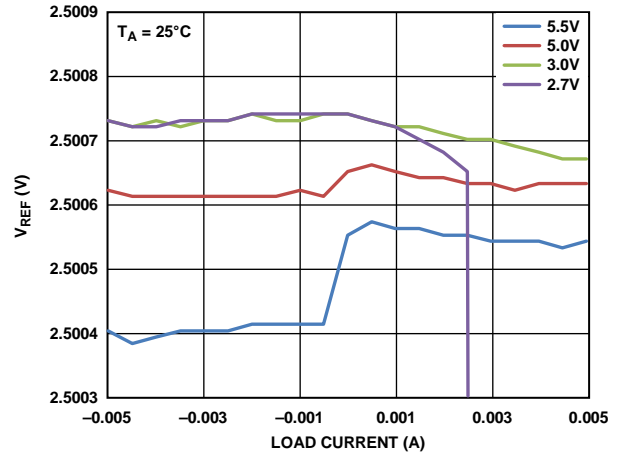


图23. 内部基准电压与负载电流的关系

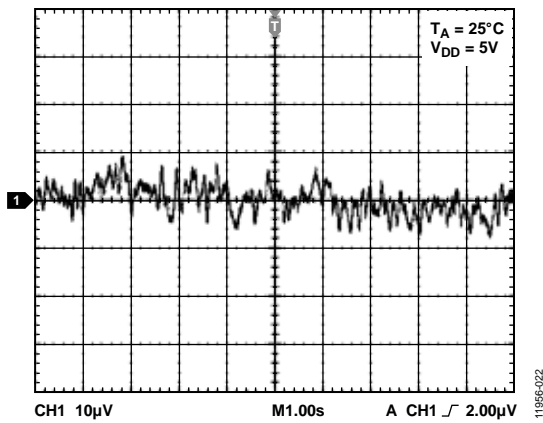


图21. 内部基准电压源噪声 (0.1 Hz至10 Hz)

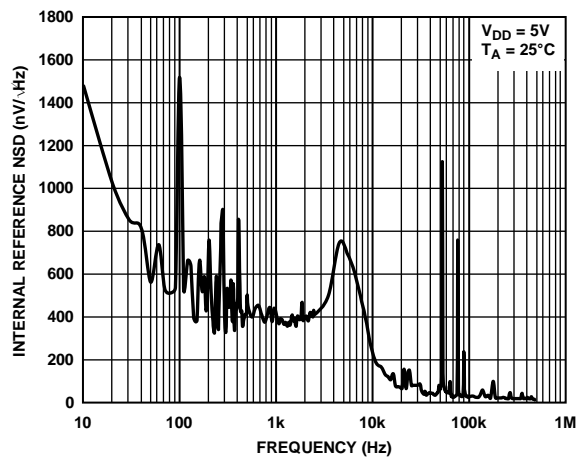


图24. 内部基准电压源噪声谱密度与频率的关系

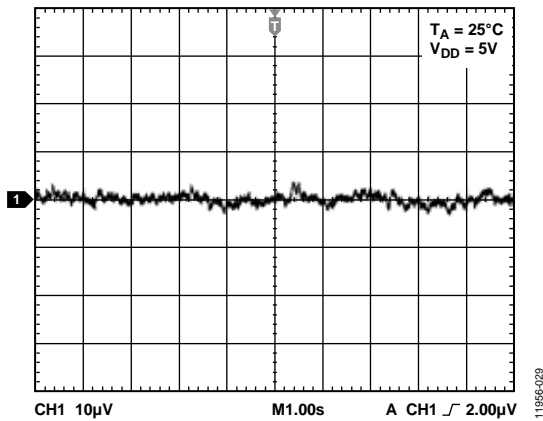


图22. 0.1 Hz至10 Hz输出噪声图, 外部基准电压源

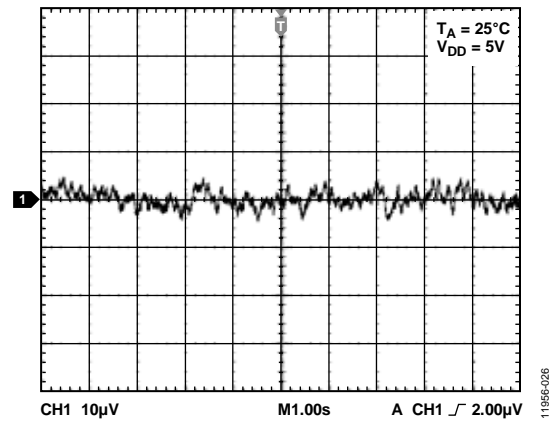


图25. 0.1 Hz至10 Hz输出噪声图, 内部基准电压源

# AD5310R/AD5311R

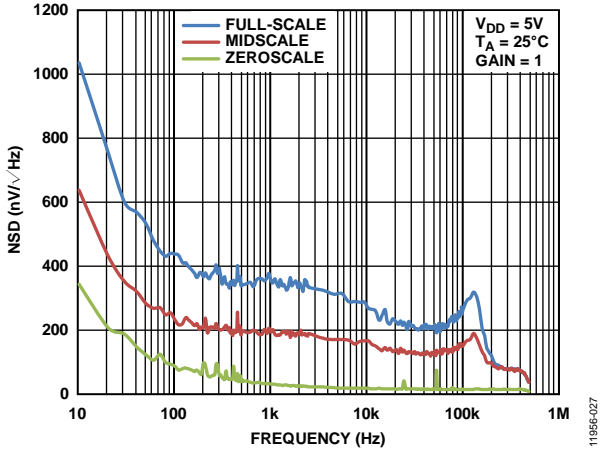


图26. 噪声频谱密度, 增益 = 1

11956-027

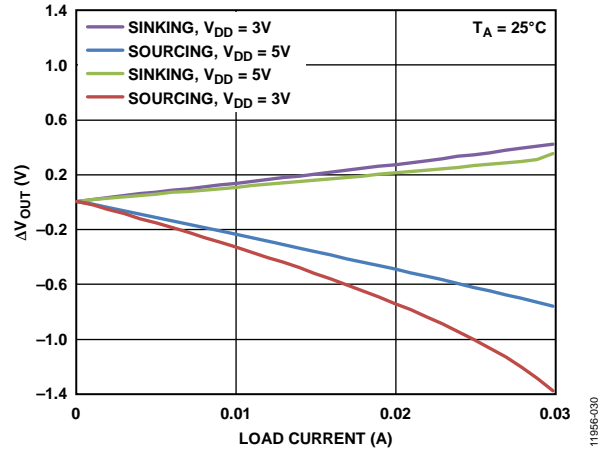


图29. 上裕量/下裕量与负载电流的关系

11956-030

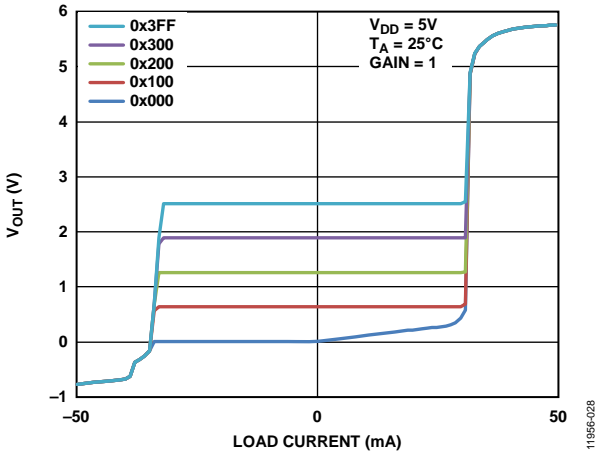


图27. 源电流和吸电流能力, 增益 = 1

11956-028

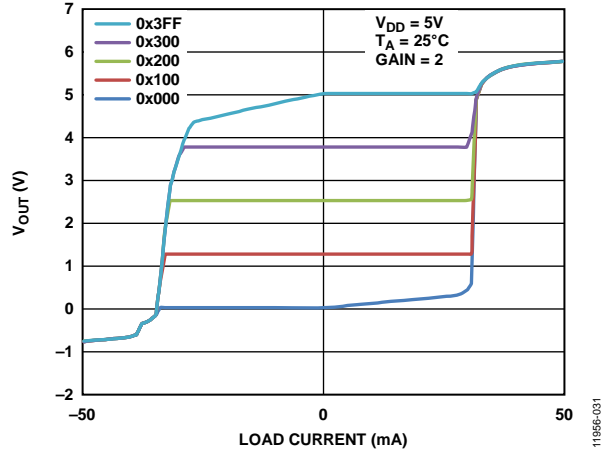


图30. 源电流和吸电流能力, 增益 = 2

11956-031

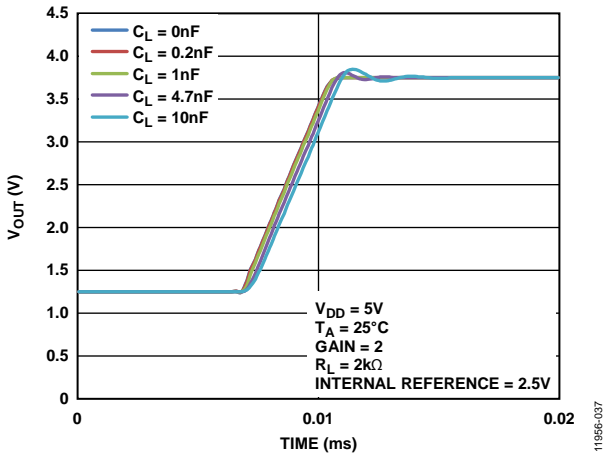


图28. 建立时间与容性负载的关系, 增益 = 2

11956-037

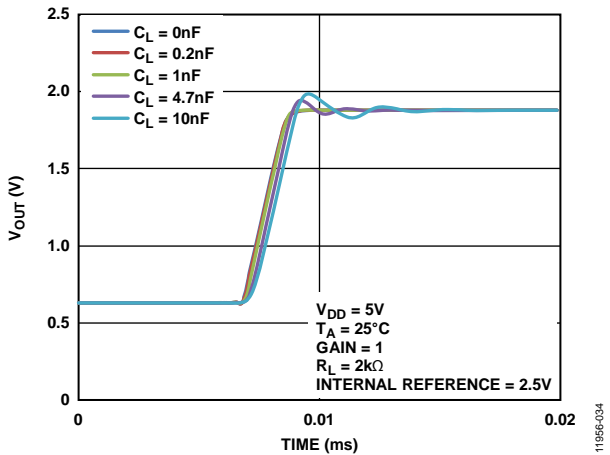


图31. 建立时间与容性负载的关系, 增益 = 1

11956-034

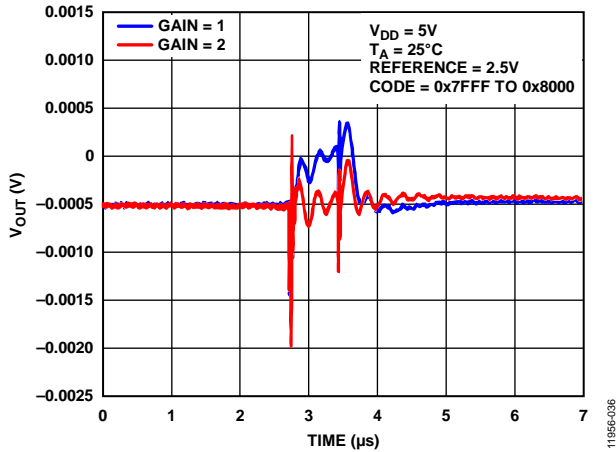


图32. 数模转换毛刺脉冲

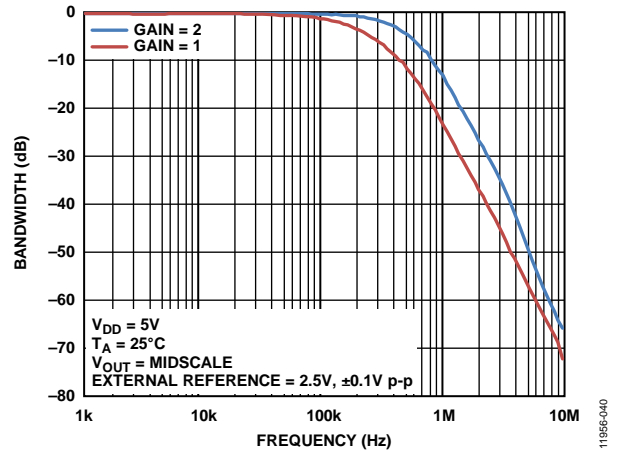


图35. 乘法带宽(外部基准电压源为 $2.5\text{ V} \pm 0.1\text{ V p-p}$ , 10 kHz至10 MHz)

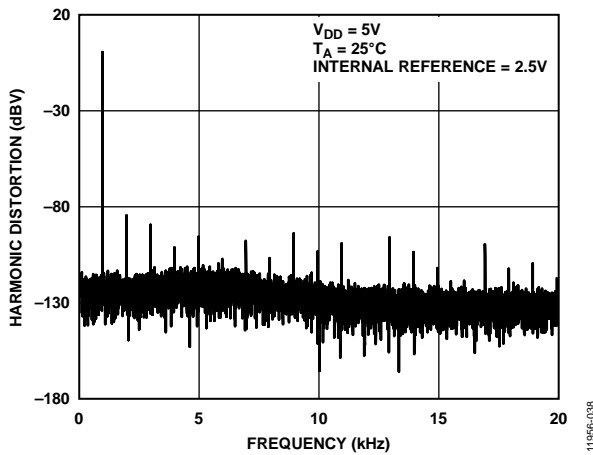


图33. 1 kHz时的总谐波失真

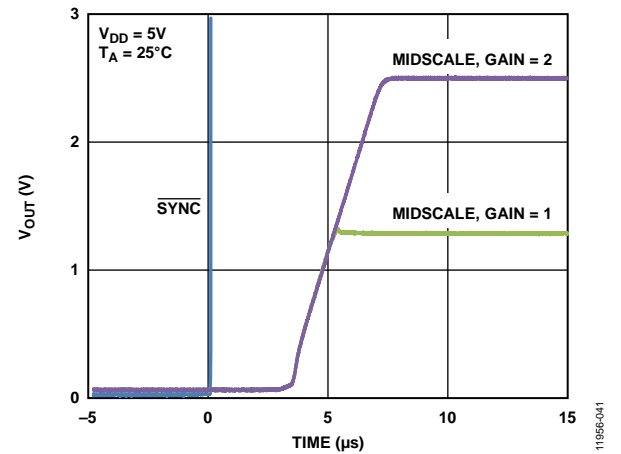


图36. 退出掉电模式进入中间电平

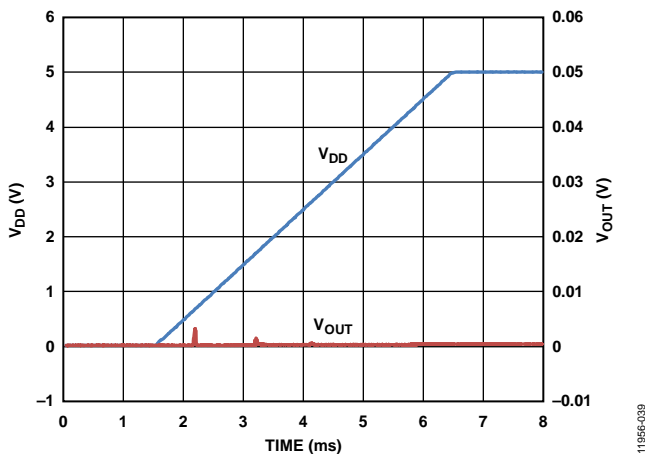


图34. 上电复位至0V

## 术语

### 相对精度或积分非线性(INL)

对于DAC，相对精度(或积分非线性)是指DAC输出与通过DAC传递函数的两个端点的直线之间的最大偏差，单位为LSB。典型INL与代码的关系曲线参见图8。

### 差分非线性(DNL)

差分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大±1 LSB的额定差分非线性可确保单调性。本DAC通过设计保证单调性。典型DNL与代码的关系曲线参见图11。

### 零代码误差

零代码误差衡量将零电平代码(0x000)载入DAC寄存器时的输出误差。理想情况下，输出应为0 V。输入的零代码误差始终为正值，因为在DAC和输出放大器中的失调误差的共同作用下，DAC输出不能低于0 V。零代码误差用mV表示。零代码误差曲线参见图14至图17。

### 满量程误差

满量程误差衡量将满量程代码(0x3FF)载入DAC寄存器时的输出误差。理想情况下，输出为 $V_{DD} - 1$  LSB。满量程误差用满量程范围的百分比(%FSR)表示。满量程误差曲线参见图15和图18。

### 增益误差

增益误差衡量DAC的量程误差，表示DAC传递特性的斜率与理想值之间的偏差，用%FSR表示。

### 零代码误差漂移

零代码误差漂移衡量零代码误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

### 增益温度系数

增益温度系数用来衡量增益误差随温度的变化，用ppmFSR/ $^\circ\text{C}$ 表示。

### 失调误差

失调误差是指传递函数线性区内 $V_{OUT}$ (实际)和 $V_{OUT}$ (理想)之间的差值，用mV表示。失调误差是通过将代码4载入DAC寄存器测得的。该值可以为正，也可为负。

### 直流电源抑制比(PSRR)

PSRR表示电源电压变化对DAC输出的影响大小，是指DAC满量程输出的条件下 $V_{OUT}$ 变化量与 $V_{DD}$ 变化量之比，单位为dB。 $V_{REF}$ 保持在2 V，而 $V_{DD}$ 的变化范围为±10%。

### 输出电压建立时间

输出电压建立时间是指对于一个 $\frac{1}{4}$ 至 $\frac{3}{4}$ 满量程输入变化，DAC输出建立为指定电平所需的时间。

### 数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的代码输入变化时注入模拟输出的脉冲。数模转换毛刺脉冲通常规定为毛刺的面积，用nV-sec表示，数字输入代码在主进位跃迁中改变1 LSB(0x1FF至0x200)时进行测量。

### 数字馈通

数字馈通衡量从DAC的数字输入注入DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为nV-sec，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。

### 输出噪声频谱密度

噪声频谱密度衡量内部产生的随机噪音。随机噪声表示为频谱密度(nV/ $\sqrt{\text{Hz}}$ )。测量方法是将DAC加载到中间电平，然后测量输出端噪声。单位为nV/ $\sqrt{\text{Hz}}$ 。噪声频谱密度曲线参见图22、图25和图26。内部基准电压源的噪声频谱密度曲线参见图21和图24。

### 乘法带宽

DAC内部的放大器具有有限的带宽，乘法带宽即是衡量该带宽。参考端的正弦波(DAC加载满量程代码)出现在输出端。乘法带宽指输出幅度降至输入幅度以下3 dB时的频率。

### 总谐波失真(THD)

总谐波失真(THD)是指理想正弦波与使用DAC时其衰减形式的差别。正弦波用作DAC的参考，而THD用来衡量DAC输出端存在的谐波。单位为dB。

### 基准电压温度系数(TC)

基准电压源TC衡量基准输出电压随温度的变化。基准电压源TC利用黑盒法计算，该方法将温度系数(TC)定义为基准电压输出在给定温度范围内的最大变化，用ppm/ $^\circ\text{C}$ 表示，计算公式如下：

$$TC = \left[ \frac{V_{REFmax} - V_{REFmin}}{V_{REFnom} \times TempRange} \right] \times 10^6$$

其中：

$V_{REFmax}$ 是在整个温度范围内测量的最大基准电压输出。

$V_{REFmin}$ 是在整个温度范围内测量的最小基准电压输出。

$V_{REFnom}$ 是标称基准输出电压2.5 V。

$TempRange$ 为额定温度范围：-40 $^\circ\text{C}$ 至+105 $^\circ\text{C}$ 。



## 工作原理

### 数模转换器

AD5310R/AD5311R是单通道、10位、串行输入、电压输出DAC，内置2.5 V基准电压源，这些器件采用2.7 V至5.5 V电源供电。数据通过I<sup>2</sup>C串行接口或SPI接口以24位字格式写入AD5310R/AD5311R。

AD5310R/AD5311R内置一个上电复位电路，确保DAC输出上电至零电平。它们也有软件掉电模式，可以将典型功耗降至2 μA(最大值)。

### 传递函数

内部基准电压源默认使能。需要外部基准电压源的用户可以使用AD568x系列。DAC的输入编码为直接二进制，理想输出电压为：

对于AD5310R，

$$V_{OUT}(D) = Gain \times V_{REF} \times \left[ \frac{D}{1024} \right]$$

对于AD5311R，

$$V_{OUT}(D) = Gain \times V_{REF} \times \left[ \frac{D}{1024} \right]$$

其中：

$D$ 是载入DAC寄存器的二进制编码的十进制等效值。

$Gain$ 是输出放大器的增益，默认设置为1。可使用控制寄存器中的增益选择位将其设置为1或2。

### DAC架构

DAC架构由一个分段式串DAC和一个内部输出放大器构成。图37显示了内部功能框图。

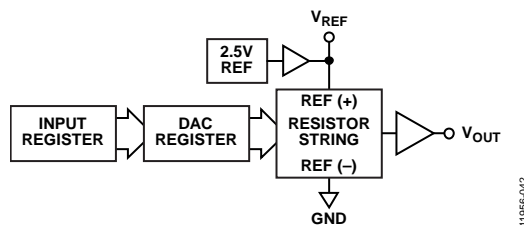


图37. DAC通道架构框图

简化的分段式电阻串DAC结构如图38所示。载入DAC寄存器的代码决定串上连接到输出缓冲器的开关状态。串中的各电阻具有相同的值 $R$ ，因此串DAC必定是单调的。

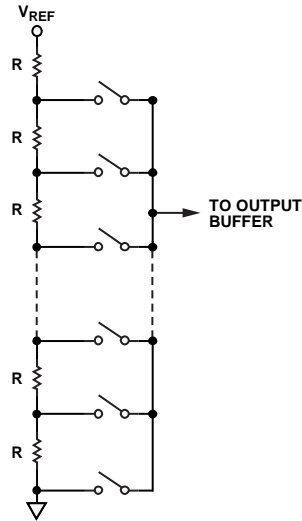


图38. 简化电阻串结构

### 内部基准电压源

AD5310R/AD5311R内置一个2.5 V、2 ppm/°C基准电压源，满量程输出为2.5 V或5 V，具体取决于增益位的状态(参见表15)。

AD5310R/AD5311R的片内基准电压源在上电时开启，可以通过写入控制寄存器予以禁用。

内部基准电压由 $V_{REF}$ 引脚提供。它经过内部缓冲，能够驱动高达50 mA的外部负载。

### 外部基准电压源

根据应用要求， $V_{REF}$ 引脚可以配置为输入引脚，从而支持使用外部基准电压源。片内基准电压源在上电时默认开启。

将外部缓冲器连接到该引脚之前，需要写入控制寄存器以禁用内部基准电压源，参见“REF位”部分。

### 输出缓冲器

输出缓冲器采用输入/输出轨到轨缓冲器设计，最大输出电压范围为0 V至 $V_{DD}$ 。增益位将分段式串DAC的增益设置为1或2，如表15所示。输出缓冲电压由 $V_{REF}$ 、增益位、失调和增益误差决定。

输出缓冲器可以驱动10 nF电容与2 kΩ电阻的并联组合，如图34所示。如果需要更高的容性负载，必须在输出放大器与负载之间连接分流电阻。压摆率为0.7 V/μs， $\frac{1}{4}$ 到 $\frac{3}{4}$ 量程建立时间为5 μs。

## 串行接口

### AD5310R SPI串行数据接口

AD5310R具有三线式串行接口(SYNC、SCLK和SDI)，与串行外设接口(SPI)模式1和模式2兼容，并且与SPORT等完全同步接口兼容。典型写序列的时序图参见图3。有关SPI接口的更多信息，请参见AN-1248应用笔记。

写序列通过将SYNC线置为低电平来启动。来自SDI线的数据在SCLK的下降沿采样并进入输入移位寄存器。SYNC引脚必须保持低电平，直到从SDI引脚载入完整的数据字(16位，参见图3)。当SYNC变回高电平时，串行数据字按照表10中的说明解码。

SYNC必须在下一个写序列之前保持至少20 ns的高电平，这样才能用SYNC下降沿启动下一个写序列。

经过16个下降时钟沿后，如果SYNC变为高电平，它将被解读为有效的写操作，前16位被载入输入移位寄存器。

如果SYNC在16个下降时钟沿之前变为高电平，则忽略该串行写操作，写序列被视为无效。

为了最大程度地降低功耗，建议所有串行接口引脚都在供电轨附近操作。

### 菊花链模式兼容性

AD5310R支持菊花链配置，但因为没有SDO引脚，故而无法转发数据。要以菊花链模式连接AD5310R，每个链仅连接一个器件是可行的，并且AD5310R应当最后连接。

菊花链形式可以最大程度地减少控制IC的引脚数量要求。如图39所示，必须将一个封装的SDO引脚连接到下一个封装的SDI引脚。由于后续器件之间的线路存在传播延迟，因此可能需要延长时钟周期。默认情况下，菊花链配置模式禁用。若要使能，必须将控制寄存器的DCEN位设置为1(参见表11)。

当控制寄存器中的DCEN位使能时，AD5310R将任何长于24位的数据字视为有效帧，解码最后收到的24位，最后10个LSB为无关位。

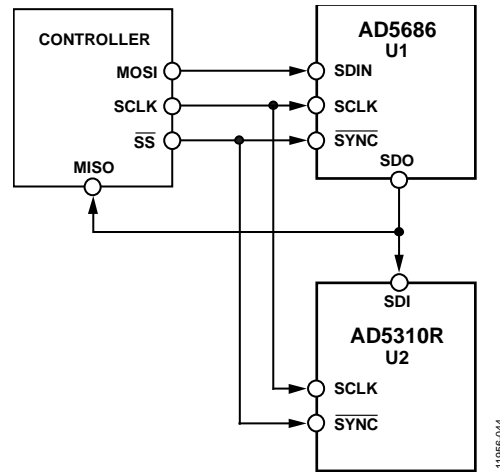


图39. 菊花链连接

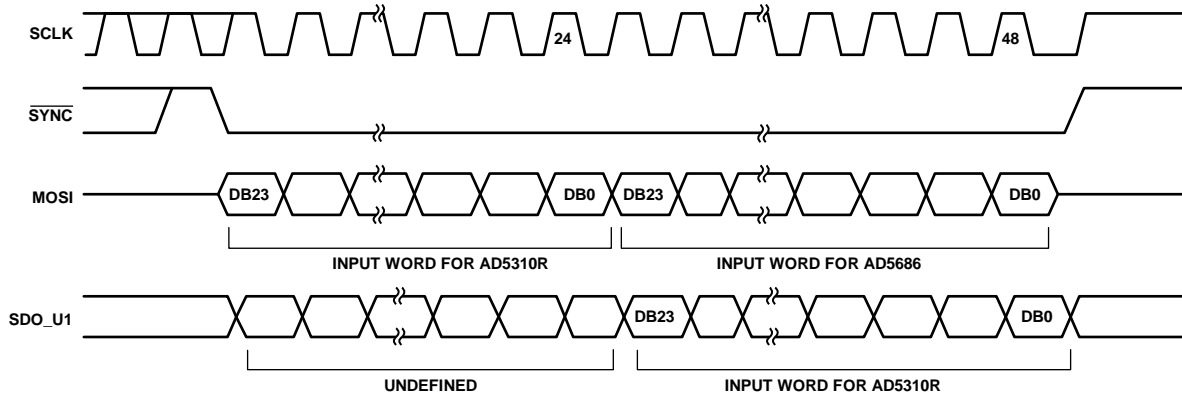


图40. 菊花链时序图

表10. SPI命令操作

命令位 [DB15:DB12]				数据位 [DB11:DB0] <sup>1</sup>											操作
C3	C2	C1	C0	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	[DB1:DB0]	
0	0	0	0	X	X	X	X	X	X	X	X	X	X	XX	无操作(NOP)。无操作。
0	0	0	1	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	XX	写入输入寄存器。
0	0	1	0	X	X	X	X	X	X	X	X	X	X	XX	更新DAC寄存器 (LDAC软件)
0	0	1	1	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	XX	写入DAC和输入 寄存器。
0	1	0	0	DB9	DB8	DB7	DB6	DB5	DB4	0	0	0	0	00	写入控制寄存器。

<sup>1</sup>X = 无关位。

表11. 控制寄存器位

DB11	DB10	DB9	DB8	DB7	DB6
RESET	PD1	PDO	REF	GAIN	DCEN

### AD5311R I<sup>2</sup>C串行数据接口

AD5311R具有一个双线式I<sup>2</sup>C兼容串行接口，这些器件可作为从机连接到I<sup>2</sup>C总线，受主机的控制。典型写序列的时序图参见图4。

AD5311R支持标准(100 kHz)和快速(400 kHz)数据传输模式。不支持10位寻址和广播寻址。

双线式串行总线协议按如下方式工作：

- 当SDA线上发生高低转换而SCL处于高电平时，主机通过建立起始条件而启动数据传输。之后的字节是地址字节，由7位从机地址组成。与发送地址对应的从机地址通过在第9个时钟脉冲期间拉低SDA来做出响应(这称为应答位)。在这个阶段，在选定器件等待从移位寄存器读写数据期间，总线上的所有其它器件保持空闲状态。
- 数据按9个时钟脉冲(8个数据位和1个应答位)的顺序通过串行总线发送。SDA线上的数据转换必须发生在SCL低电平期间，并且在SCL高电平期间保持稳定。
- 读取或写入所有数据位之后，停止条件随即建立。在写入模式下，主器件在第10个时钟脉冲期间拉高SDA线，以建立停止条件。在读取模式下，主机会向第9个时钟脉冲发送不应答(即SDA线保持高电平)。主机在第10个时钟脉冲前将SDA线拉低，然后在第10个时钟脉冲期间拉高，以建立停止条件。

### I<sup>2</sup>C地址

AD5311R有一个7位从机地址。五个MSB为10011。第二位至最后一位为0，由A0地址引脚的状态和LSB设置。由于可以更改A0硬连线，因此用户可将最多两个器件集成到一条总线上，如表12所示。此外，该引脚可以在传输启动之前更新，因此可以将该引脚连接到GPIO或多路复用器，从而在同一条总线上使用多个器件。

表12. 器件地址选择

A0引脚连接	A0位	I <sup>2</sup> C地址
GND	0	1001100
V <sub>Logic</sub>	1	1001110

### I<sup>2</sup>C写操作

写入AD5311R时，用户必须先设置启动条件和地址字节(R/ $\overline{W}$ =0)，接着DAC通过拉低SDA做出应答，表示其已做好接收数据准备，如图41所示。AD5311R需要一个命令字节来控制DAC的各种功能(参见表13)，以及DAC的两个数据字节。所有这些数据字节都由AD5311R应答。随即出现停止条件。写操作序列如图41所示。

# AD5310R/AD5311R

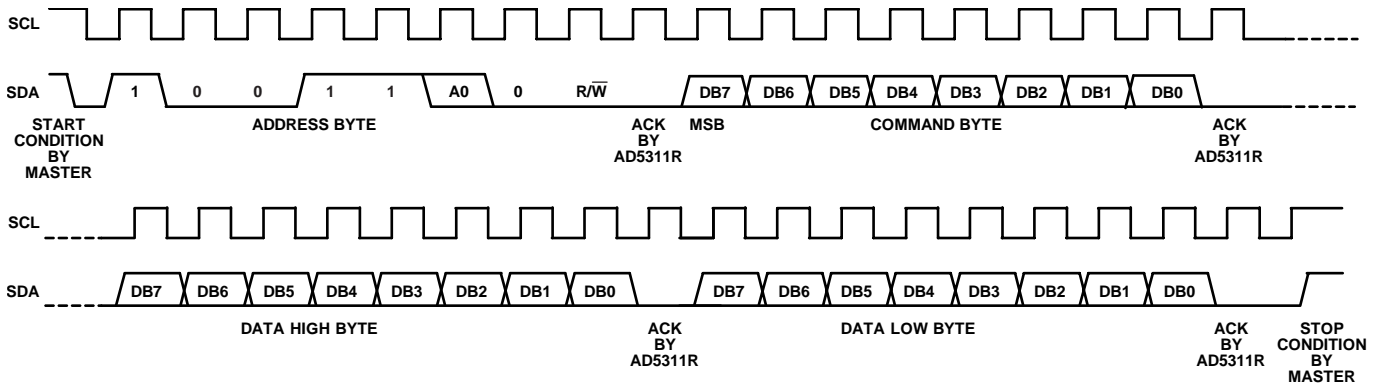


图41. I<sup>2</sup>C写操作

表13. I<sup>2</sup>C命令表<sup>1</sup>

命令字节					数据高字节		数据低字节		操作
DB7	DB6	DB5	DB4	[DB3:DB0]	[DB7:DB3]	[DB2:DB0]	[DB7:DB6]	[DB5:DB0]	
0	0	0	0	XXXX	XXXXX	XXX	XX	XXXXX	NOP: 无操作。
0	0	0	1	XXXX	DB9:DB5	DB:DB2	DB1:DB0	XXXXX	写入输入寄存器。
0	0	1	0	XXXX	XXXXX	XXX	XX	XXXXX	更新DAC寄存器(LDAC软件)
0	0	1	1	XXXX	DB9:DB5	DB4:DB2	DB1:DB0	XXXXX	写入DAC和输入寄存器。
0	1	0	0	XXXX	DB9:DB5	000	00	00000	写入控制寄存器。

<sup>1</sup>X = 无关位。

表14. 控制寄存器位

DB9	DB8	DB7	DB6	DB5
RESET	PD1	PDO	REF	GAIN

## 命令

### 写入输入寄存器

该寄存器允许预载入DAC寄存器的新值。从输入寄存器到DAC寄存器的传输可通过硬件、LDAC引脚或软件(使用命令2)触发。

若新数据载入DAC寄存器, 则DAC寄存器将自动覆盖输入寄存器的内容。

### 更新DAC寄存器

该命令将输入寄存器中的内容传送到DAC寄存器, 并因此而更新 $V_{OUT}$ 引脚。串行写操作中包含的数据会被忽略。

此操作与软件LDAC等效。

### 写入DAC寄存器

完成写操作时, 该命令更新DAC寄存器。输入寄存器自动更新为DAC寄存器值。

### 写入控制寄存器

写入控制寄存器命令用于设置掉电和增益功能。它还用来使能/禁用内部基准源以及执行软件复位。控制寄存器的各位参见表14。

### 增益位(Gain)

Gain位选择输出放大器的增益。表15列出了输出电压范围与该位状态的对应关系。

表15. Gain位

增益	输出电压范围
0	0 V至 $V_{REF}$ (默认)
1	0 V至 $2 \times V_{REF}$

### REF位

片内基准电压源在上电时默认开启。通过设置控制寄存器中的软件可编程位DB6, 可以开启或关闭此基准电压源。表16列出了该位的状态与工作模式的对应关系。

为降低功耗, 如果器件被置于掉电模式, 建议禁用内部基准电压源。

表16. REF位

REF	基准电压源功能
0	基准电压源使能(默认)
1	基准电压源禁用

### PD0和PD1位

AD5310R/AD5311R支持两种工作模式, 通过写入控制寄存器可以选择工作模式。

正常模式下, 输出缓冲器直接与 $V_{OUT}$ 引脚相连。

掉电模式, 输出缓冲器内部禁用,  $V_{OUT}$ 引脚输出阻抗可以选择熟知的值, 如表17所示。

表17. 工作模式

工作模式	PD1	PD0
正常模式	0	0
掉电模式		
1 k $\Omega$ 输出阻抗	0	1
100 k $\Omega$ 输出阻抗	1	0
三态输出阻抗	1	1

掉电模式下, 器件禁用输出缓冲器, 但不禁用内部基准电压源。为最大程度地降低功耗, 建议禁用REF位。

内部基准电压源和输出缓冲器均禁用时, 电源电流降至 $2 \mu\text{A}$  (5 V电源)。

图42显示了此输出级。

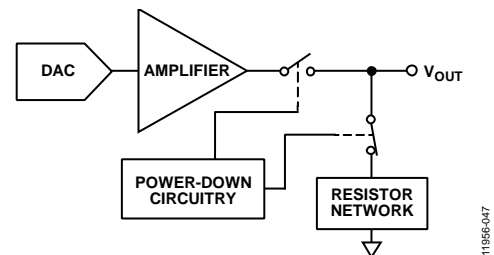


图42. 掉电模式下的输出级

掉电模式激活时, 输出放大器关断。然而, 除非内部基准电压源关断, 否则偏置发生器、基准源和电阻串仍然开启。电源电流降至 $2 \mu\text{A}$  (5 V电源)。DAC寄存器的内容不受关断模式的影响, 且该模式下可更新DAC寄存器。当 $V_{DD} = 5 \text{ V}$ 时, 退出掉电模式所需时间通常为 $4 \mu\text{s}$ , 在基准电压源禁用的情况下为 $600 \mu\text{s}$ 。

### 复位(Reset)

AD5310R/AD5311R的写入控制寄存器包含软件复位位, 可将DAC寄存器复位至零电平, 并将输入、DAC和控制寄存器复位至默认值。将控制寄存器的reset位设为1时, 就会启动软件复位。软件复位完成时, reset位自动清0。

# AD5310R/AD5311R

## 加载DAC (硬件LDAC引脚)

AD5310R/AD5311R有一个由输入寄存器和DAC寄存器组成的双缓冲接口。 $\overline{\text{LDAC}}$ 引脚将输入寄存器中的数据传送到DAC寄存器，输出因此而更新。

## 同步DAC更新 (仅AD5311R)

写入输入寄存器时，如果 $\overline{\text{LDAC}}$ 引脚保持低电平，则DAC寄存器、输入寄存器和输出在ACK位之前的最后一个SCL下降沿更新，如图5所示。

## 异步DAC更新

$\overline{\text{LDAC}}$ 在数据传送到器件时保持高电平。产生停止条件后，通过拉低 $\overline{\text{LDAC}}$ 可以更新DAC输出。输出DAC在 $\overline{\text{LDAC}}$ 引脚的下降沿更新。

若在访问器件期间发送脉冲至 $\overline{\text{LDAC}}$ ，该脉冲将被忽略。

## 硬件RESET

$\overline{\text{RESET}}$ 是一个低电平有效信号，用于将DAC输出设置为零电平，并将输入、DAC和控制寄存器设为默认值。 $\overline{\text{RESET}}$ 必须保持75 ns的低电平才能完成该操作。当 $\overline{\text{RESET}}$ 信号变回高电平后，输出会保持零电平，直到写入新值。在 $\overline{\text{RESET}}$ 引脚为低电平期间，AD5310R/AD5311R会忽略任何新命令。

若RESET在上电时保持低电平，内部基准电压源将不能正确初始化，直到RESET引脚被释放为止。

## AD5311R, I<sup>2</sup>C读操作

当回读AD5311R DAC的输入寄存器时，用户必须先写入地址字节( $\overline{\text{R/W}} = 1$ )，接着DAC通过拉低SDA做出应答，表示其已做好数据接收准备。然后，从DAC读取包含输入寄存器内容的两字节数据，如图43所示。主机发出NACK条件，后跟停止条件，以完成读操作序列。

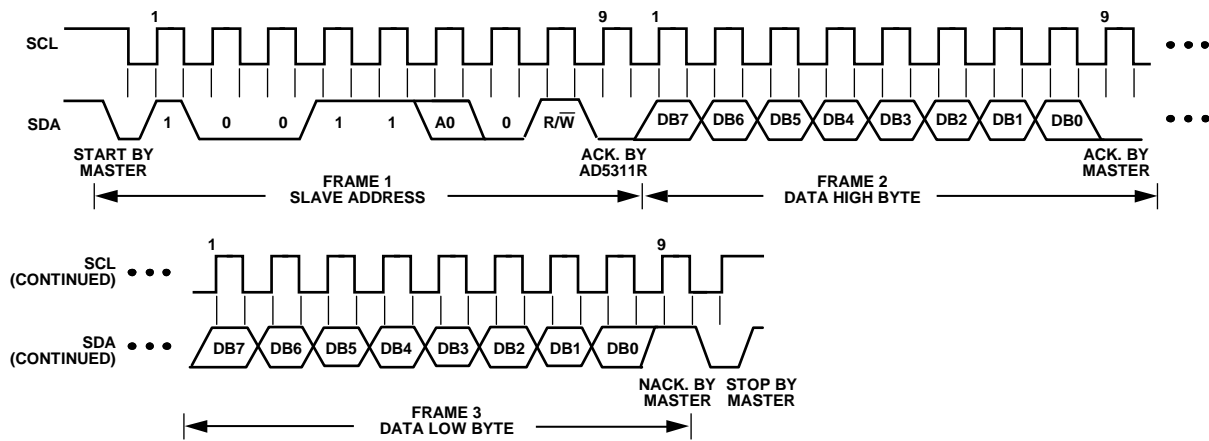


图43. I<sup>2</sup>C读操作

11956-048

## 热滞

热滞是指当温度从环境温度变冷再变热之后回到环境温度时基准电压上出现的电压差。

热滞数据如图44所示。其测量条件是从环境温度+25°C变为-40°C，然后变为+105°C，最后回到环境温度+25°C。然后，测得两次环境温度下测量结果之间的偏差 $V_{REF}$ （如图44中的实线所示）。接着，立即重复相同的温度变化和测量，其结果如图44中的虚线所示。

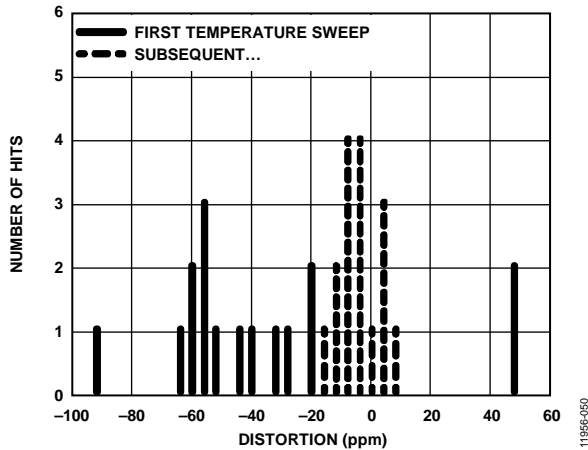


图44. 热滞

## 上电时序

由于有二极管来限制数字引脚和模拟引脚的顺从电压，因此必须先给GND供电，然后再向 $V_{DD}$ 、 $V_{OUT}$ 和 $V_{LOGIC}$ 施加电压。否则，二极管将正偏，以致 $V_{DD}$ 意外上电。理想的上电时序为GND、 $V_{DD}$ 、 $V_{LOGIC}$ 、 $V_{REF}$ ，然后是数字输入。

## 布局布线指南

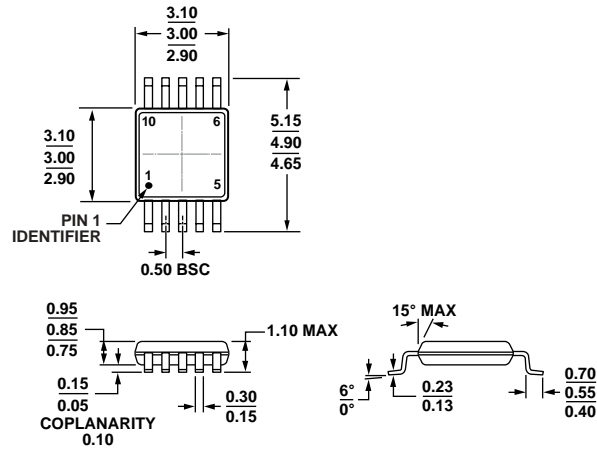
在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。安装AD5310R/AD5311R所用的PCB应经过专门设计，使AD5310R/AD5311R位于模拟平面。

确保AD5310R/AD5311R具有足够大的10  $\mu$ F电源旁路电容，与每个电源上的0.1  $\mu$ F电容并联，并且尽可能靠近封装，最好是正对着该器件。10 $\mu$ F电容应为钽珠型电容。0.1  $\mu$ F电容应具有低有效串联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。



# AD5310R/AD5311R

## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-187-BA

图45. 10引脚超小型封装[MSOP]  
(RM-10)

图示尺寸单位: mm

## 订购指南

型号 <sup>1</sup>	分辨率(位)	温度范围	封装描述	封装选项	标识
AD5310RBRMZ	10	-40°C至+105°C	10引脚 MSOP	RM-10	DJZ
AD5310RBRMZ-RL7	10	-40°C至+105°C	10引脚 MSOP	RM-10	DJZ
AD5311RBRMZ	10	-40°C至+105°C	10引脚 MSOP	RM-10	DJX
AD5311RBRMZ-RL7	10	-40°C至+105°C	10引脚 MSOP	RM-10	DJX

<sup>1</sup> Z = 符合RoHS标准的器件。