

产品特性

超小型封装: 2 mm x 2 mm、8引脚LFCSP

高相对精度(INL): 16位时最大±2 LSB

AD5693R/AD5692R/AD5691R

低漂移2.5 V基准电压源: 2 ppm/°C(典型值)

可选输出范围: 2.5 V或5 V

AD5693

仅外部基准电压源

可选输出范围: V_{REF} 或 $2 \times V_{REF}$

总不可调整误差(TUE): ±0.06% FSR(最大值)

失调误差: ±1.5 mV(最大值)

增益误差: ±0.05% FSR(最大值)

低毛刺: 0.1 nV-sec

高驱动能力: 20 mA

低功耗: 1.2 mW (3.3 V)

独立逻辑电源: 1.8 V至5.5 V

宽工作温度范围: -40°C至+105°C

鲁棒的4 kV HBM ESD保护

应用

过程控制

数据采集系统

数字增益和失调电压调整

可编程电压源

光学模块

概述

AD5693R/AD5692R/AD5691R/AD5693均属于nanoDAC+®系列, 分别是低功耗、单通道、16/14/12位缓冲电压输出DAC。除了AD5693, 这些器件均内部集成默认2.5 V基准电压源, 提供2 ppm/°C漂移。输出范围可编程设置为0 V至 V_{REF} 或0 V至 $2 \times V_{REF}$ 。采用2.7 V至5.5 V单电源供电, 通过设计保证单调性。提供2.00 mm × 2.00 mm、8引脚LFCSP或10引脚MSOP封装。

内部上电复位电路确保DAC寄存器上电时写入零电平, 而内部输出缓冲器配置为正常模式。AD5693R/AD5692R/AD5691R/AD5693具有掉电模式, 可在5 V时降低器件功耗至2 μA(最大值), 并且提供软件可选的输出负载。

AD5693R/AD5692R/AD5691R/AD5693采用I²C接口。某些器件选项还提供异步RESET引脚和 V_{LOGIC} 引脚, 可兼容1.8 V。

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

功能框图

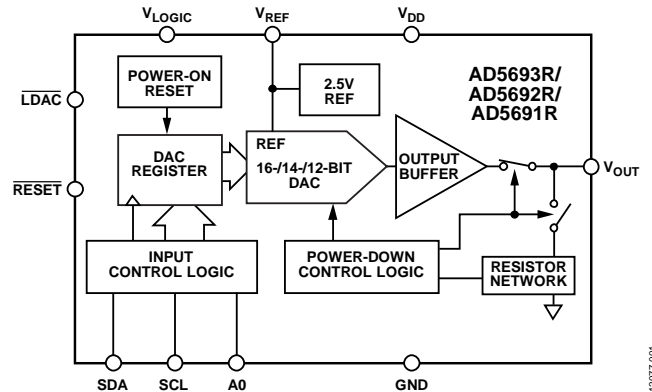
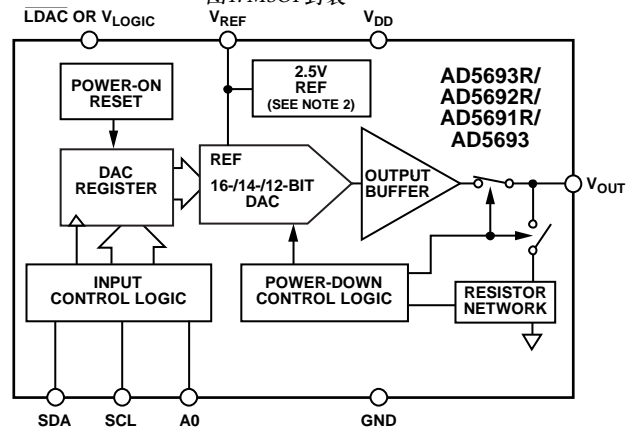


图1. MSOP封装



NOTES
1. NOT ALL PINS AVAILABLE IN ALL 8-LEAD LFCSP MODELS.
2. NOT AVAILABLE IN THE AD5693.

图2. LFCSP封装

表1. 相关器件

接口	基准电压源	16位	14位	12位
SPI	内部	AD5683R	AD5682R	AD5681R
	外部	AD5683		
I ² C	内部	AD5693R	AD5692R	AD5691R
	外部	AD5693		

产品特色

- 高相对精度(INL): 最大±2 LSB(AD5693R/AD5693, 16位)。
- 低漂移, 2.5V片内基准电压源: 2 ppm/°C(典型温度系数, 5 ppm/°C(最大温度系数))。
- 2 mm × 2 mm、8引脚LFCSP和10引脚MSOP封装。

AD5693R/AD5692R/AD5691R/AD5693

目录

产品特性	1	数模转换器	17
应用	1	传递函数	17
概述	1	DAC架构	17
功能框图	1	串行接口	18
产品特色	1	IC串行数据接口	18
修订历史	2	IC地址	18
技术规格	3	写操作	18
交流特性	5	读操作	20
时序特性	5	加载DAC(硬件LDAC引脚)	21
绝对最大额定值	7	硬件RESET	21
热阻	7	热滞	21
ESD警告	7	上电时序	21
引脚配置和功能描述	8	布局布线指南	21
典型性能参数	10	外形尺寸	22
术语	16	订购指南	23
工作原理	17		

修订历史

2014年5月 — 修订版0至修订版A

增加AD5693	通篇
更改“产品特性”部分、“概述”部分、图2、表1和“产品特色”部分	1
表1增加AD5693参数	3
更改“技术规格”部分中表1的尾注1	4
更改表3交流特性部分的总谐波失真和表3的尾注2	5
更改表4时序特性部分的尾注7	5
更改表7的引脚9描述	8
更改图6和表8	9
更改图11	10
更改图18	11
更改“外部基准电压”部分	17
更改图46	19
更改图48	20
更改图50	21
更改“订购指南”部分	23

2014年2月—修订版0：初始版

技术规格

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $R_L = 2\text{ k}\Omega$ 接GND, $C_L = 200\text{ pF}$ 接GND, $V_{REF} = 2.5\text{ V}$ 至 $V_{DD} - 0.2\text{ V}$, $V_{LOGIC} = 1.8\text{ V}$ 至 5.5 V , $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。

表2.

参数	最小值	典型值	最大值	单位	测试条件/注释
静态性能 ¹					
AD5693R					
分辨率	16			位	
相对精度(INL)					
A级			±8	LSB	增益 = 2
B级			±2	LSB	增益 = 1
差分非线性			±3	LSB	通过设计保证单调性
差分非线性			±1	LSB	通过设计保证单调性
AD5692R					
分辨率	14			位	
相对精度			±4	LSB	
差分非线性			±1	LSB	通过设计保证单调性
AD5691R					
分辨率	12			位	
相对精度					
A级			±2	LSB	
B级			±1	LSB	
差分非线性			±1	LSB	通过设计保证单调性
AD5693					
分辨率	16			位	
相对精度(INL)			±2	LSB	增益 = 2
			±3	LSB	增益 = 1
差分非线性			±1	LSB	通过设计保证单调性
零代码误差			1.25	mV	DAC寄存器载入全0
失调误差			±1.5	mV	
满量程误差			±0.075	% FSR	DAC寄存器载入全1
增益误差			±0.05	% FSR	
总不可调整误差			±0.16	% FSR	内部基准电压源, 增益 = 1
			±0.14	% FSR	内部基准电压源, 增益 = 2
			±0.075	% FSR	外部基准电压源, 增益 = 1
			±0.06	% FSR	外部基准电压源, 增益 = 2
零代码误差漂移		±1		$\mu\text{V}/^\circ\text{C}$	
失调误差漂移		±1		$\mu\text{V}/^\circ\text{C}$	
增益温度系数		±1		ppm/ $^\circ\text{C}$	
直流电源抑制比		0.2		mV/V	DAC代码 = 中间电平; $V_{DD} = 5\text{ V} \pm 10\%$
输出特性					
输出电压范围	0		V_{REF}	V	增益 = 0
	0		$2 \times V_{REF}$	V	增益 = 1
容性负载稳定性		2		nF	$R_L = \infty$
		10		nF	$R_L = 2\text{ k}\Omega$
阻性负载	1			k Ω	$C_L = 0\text{ }\mu\text{F}$
负载调整率		10		$\mu\text{V}/\text{mA}$	$V_{DD} = 5\text{ V}$, DAC代码 = 中间电平; $-30\text{ mA} \leq I_{OUT} \leq +30\text{ mA}$
		10		$\mu\text{V}/\text{mA}$	$V_{DD} = 3\text{ V}$, DAC代码 = 中间电平; $-20\text{ mA} \leq I_{OUT} \leq +20\text{ mA}$
短路电流	20		50	mA	
供电轨上的负载阻抗 ²		20		Ω	

AD5693R/AD5692R/AD5691R/AD5693

参数	最小值	典型值	最大值	单位	测试条件/注释
基准输出					
输出电压	2.4975		2.5025	V	环境温度
基准电压源TC ³					参见“术语”部分
A级		5	20	ppm/°C	
B级		2	5	ppm/°C	
输出阻抗		0.05		Ω	
输出电压噪声		16.5		μV p-p	0.1 Hz至10 Hz
输出电压噪声密度		240		nV/√Hz	环境温度下, f = 10 kHz, C _L = 10 nF
容性负载稳定性		5		μF	R _L = 2 kΩ
负载调整率(源)		50		μV/mA	环境温度, V _{DD} ≥ 3 V
负载调整率(吸)		30		μV/mA	环境温度
输出电流负载能力		±5		mA	V _{DD} ≥ 3 V
电压调整率		80		μV/V	环境温度
热滞		125		ppm	第一个周期
		25		ppm	其它周期
基准输入					
基准电流		35		μA	V _{REF} = V _{DD} = V _{LOGIC} = 5.5 V, 增益 = 1
		57		μA	V _{REF} = V _{DD} = V _{LOGIC} = 5.5 V, 增益 = 2
基准输入范围 ⁴			V _{DD}	V	
基准输入阻抗		120		kΩ	增益 = 1
		60		kΩ	增益 = 2
逻辑输入					
输入电流I _{IN}			±1	μA	每引脚
			±3	μA	SDA和SCL引脚
输入低电压V _{INL} ⁴			0.3 × V _{DD}	V	
输入高电压V _{INH} ⁴	0.7 × V _{DD}			V	
引脚电容C _{IN}		2		pF	
逻辑输出(SDA) ⁴					
输出低电压V _{OL}			0.4	V	I _{SINK} = 200 μA
输出高电压V _{OH}	V _{DD} - 0.4			V	I _{SOURCE} = 200 μA
引脚电容		4		pF	
电源要求					
V _{LOGIC} ⁵	1.8		5.5	V	
I _{LOGIC} ⁵		0.25	3	μA	V _{IH} = V _{LOGIC} 或 V _{IL} = GND
V _{DD}	2.7		5.5	V	增益 = 1
	V _{REF} + 1.5		5.5	V	增益 = 2
I _{DD} ⁶					V _{IH} = V _{DD} , V _{IL} = GND
正常模式 ⁷		350	500	μA	使能内部基准电压源
		110	180	μA	禁用内部基准电压源
掉电模式 ⁸			2	μA	

¹ 线性度计算使用缩减的数据范围: AD5693R/AD5693(编码512到编码65535); AD5692R(编码128到编码16384); AD5691R(编码32到编码4096)。输出端无负载。

² 从任一供电轨吸取负载电流时, 相对于该供电轨的输出电压裕量受输出器件的20 Ω典型通道电阻限制。例如, 吸取1 mA时, 最小输出电压为20 Ω、1 mA产生的20 mV。更多信息参见图35。

³ 基准电压源温度系数采用黑盒法计算。详情见“术语”部分。

⁴ 如果器件具有V_{LOGIC}引脚, 请用V_{LOGIC}代替V_{DD}。

⁵ 不是所有型号都提供V_{LOGIC}引脚。

⁶ 如果V_{LOGIC}引脚不可用, 则I_{DD} = I_{DD} + I_{LOGIC}。

⁷ 接口未启用。DAC启用。DAC输出端无负载。

⁸ DAC掉电。

交流特性

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $R_L = 2\text{ k}\Omega$ 接GND, $C_L = 200\text{ pF}$ 接GND, $V_{REF} = 2.5\text{ V}$ 至 $V_{DD} - 0.2\text{ V}$, $V_{LOGIC} = 1.8\text{ V}$ 至 5.5 V , $-40^\circ\text{C} < T_A < +105^\circ\text{C}$, 典型值为 25°C 。

表3.

参数	最小值	典型值	单位	测试条件/注释
输出电压建立时间 ^{1,2}	5	7	μs	增益 = 1
压摆率	0.7		$\text{V}/\mu\text{s}$	
数模转换毛刺脉冲 ¹	0.1		$\text{nV}\cdot\text{s}$	主进位 ± 1 LSB变化, 增益 = 2
数字馈通 ¹	0.1		$\text{nV}\cdot\text{s}$	
总谐波失真 ¹	-80		dB	环境温度, $\text{BW} = 20\text{ kHz}$, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
输出噪声频谱密度 ¹	300		$\text{nV}/\sqrt{\text{Hz}}$	DAC编码 = 中间量程, 10 kHz
输出噪声	6		$\mu\text{V p-p}$	0.1 Hz 至 10 Hz ; 内部基准电压源
SNR	90		dB	环境温度, 带宽(BW) = 20 kHz , $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
无杂散动态范围(SFDR)	83		dB	环境温度, $\text{BW} = 20\text{ kHz}$, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
信纳比(SINAD)	80		dB	环境温度, $\text{BW} = 20\text{ kHz}$, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$

¹ 参见术语部分。

² 对于AD5693R/AD5693, 建立至 ± 2 LSB。对于AD5692R, 建立至 ± 1 LSB。对于AD5691R, 建立至 ± 0.5 LSB。

时序特性

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $V_{LOGIC} = 1.8\text{ V}$ 至 5.5 V , $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。

表4.

参数 ¹	最小值	典型值	最大值	单位	说明
f_{SCL}^2			400	kHz	串行时钟频率
t_1	0.6			μs	SCL高电平时间, t_{HIGH}
t_2	1.3			μs	SCL低电平时间, t_{LOW}
t_3	100			ns	数据建立时间, $t_{SU,DAT}$
t_4^3	0		0.9	μs	数据保持时间, $t_{HD,DAT}$
t_5	0.6			μs	重复起始条件的建立时间, $t_{SU,STA}$
t_6	0.6			μs	(重复)起始条件的保持时间, $t_{HD,STA}$
t_7	1.3			μs	一个停止条件与一个起始条件之间的总线空闲时间 t_{BUF}
t_8	0.6			μs	停止条件的建立时间, $t_{SU,STO}$
t_9	20		300	ns	SDA信号的上升时间, t_r
t_{10}^4	$20 \times (V_{DD}/5.5\text{ V})$		300	ns	SDA信号的下降时间, t_f
t_{11}	20		300	ns	SCL信号的上升时间, t_r
t_{12}^4	$20 \times (V_{DD}/5.5\text{ V})$		300	ns	SCL信号的下降时间, t_f
t_{SP}^5	0		50	ns	抑制尖峰的脉冲宽度(图3未显示)
t_{13}	400			ns	$\overline{\text{LDAC}}$ 下降沿到SCL下降沿
t_{14}	400			ns	$\overline{\text{LDAC}}$ 脉冲宽度(同步模式)
t_{15}	20			ns	$\overline{\text{LDAC}}$ 脉冲宽度(异步模式)
t_{16}	75			ns	$\overline{\text{RESET}}$ 脉冲宽度
$t_{REF_POWER_UP}^6$		600		μs	基准电压源上电(图3未显示)
$t_{SHUTDOWN}^7$			6	μs	退出关断模式(图3未显示)

¹ 最大总线电容限制在 400 pF 。所有输入信号均在 $t_r = t_f = 1\text{ ns}/V(10\%$ 到 90% 的 $V_{DD})$ 情况下标定并从 $(V_{IL} + V_{IH})/2$ 电平起开始计时。

² SDA和SCL时序通过输入滤波器使能来测量。关闭输入滤波器可提高传输速率, 但对器件的EMC特性有不利影响。

³ 主机应为SDA信号(相对于SCL信号的 $V_{OH}(\text{min})$)增加至少 300 ns 的时间, 以便桥接SCL下降沿未定义区域。

⁴ 如果器件具有 V_{LOGIC} 引脚, 请用 V_{LOGIC} 代替 V_{DD} 。

⁵ 标准模式下不可用。

⁶ $V_{DD} = 2.7\text{ V}$ 之后令器件上电时, 时序应相同。

⁷ 退出掉电模式到进入AD5693R/AD5692R/AD5691R/AD5693正常工作模式的时间。

AD5693R/AD5692R/AD5691R/AD5693

时序图

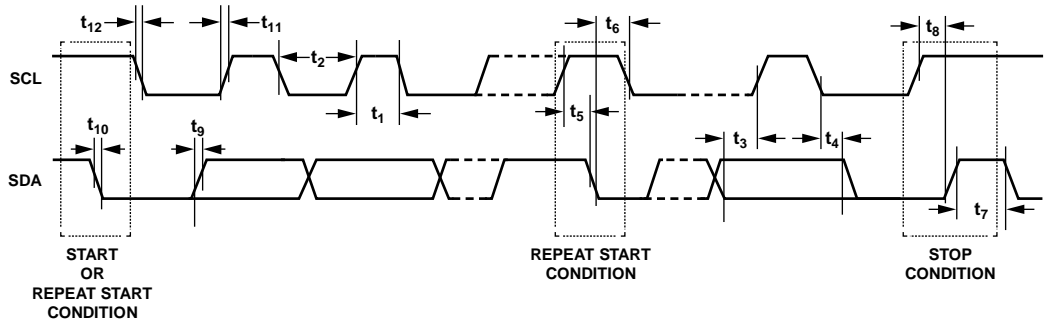


图3. I²C串行接口时序图

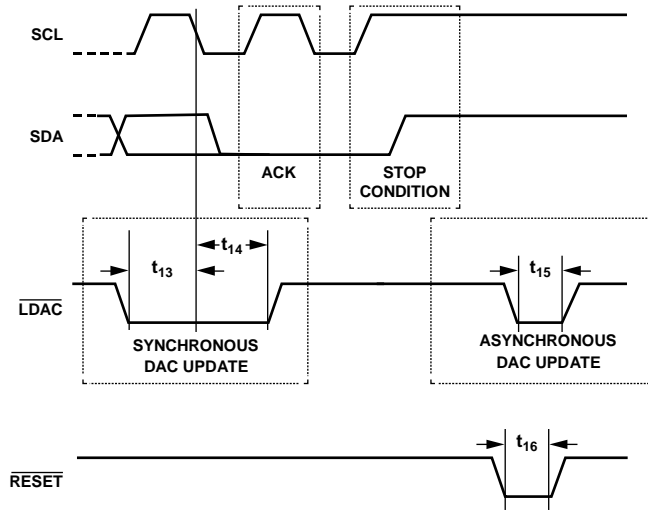


图4. I²C RESET和LDAC时序

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表5.

参数	额定值
V_{DD} 至 GND	-0.3 V 至 +7 V
V_{LOGIC} 至 GND	-0.3 V 至 +7 V
V_{OUT} 至 GND	-0.3 V 至 $V_{DD} + 0.3 \text{ V}$ 或 +7 V (取较小者)
V_{REF} 至 GND	-0.3 V 至 $V_{DD} + 0.3 \text{ V}$ 或 +7 V (取较小者)
数字输入电压至 GND ¹	-0.3 V 至 $V_{DD} + 0.3 \text{ V}$ 或 +7 V (取较小者)
工作温度范围	
工业	-40°C 至 +105°C
存储温度范围	-65°C 至 +150°C
结温(T_J 最大值)	135°C
功耗	$(T_{J\text{最大值}} - T_A) / \theta_{JA}$
ESD ²	4 kV
FICDM ³	1.25 kV

¹ 如果器件具有 V_{LOGIC} 引脚，请用 V_{LOGIC} 代替 V_{DD} 。

² 人体模型(HBM)分类。

³ 场感应充电装置模型类别。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

θ_{JA} 由 JEDEC JESD51 标准定义，其取值取决于测试板和测试环境。

表6. 热阻¹

封装类型	θ_{JA}	θ_{JC}	单位
8引脚 LFCSP	90	25	$^\circ\text{C}/\text{W}$
10引脚 MSOP	135	N/A	$^\circ\text{C}/\text{W}$

¹ JEDEC 2S2P 测试板，静止空气(0 m/s 气流)。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD5693R/AD5692R/AD5691R/AD5693

引脚配置和功能描述

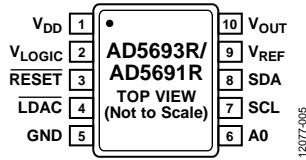


图5. 引脚配置(10引脚MSOP)

表7. 10引脚MSOP引脚功能描述

引脚编号	引脚名称	说明
1	V _{DD}	电源输入引脚。工作电压范围为2.7V至5.5V。将此电源去耦至GND。
2	V _{LOGIC}	数字电源。电压范围为1.8V至5.5V。将此电源去耦至GND。
3	RESET	硬件复位引脚。RESET输入对低电平敏感。当RESET为低电平时，器件复位，忽略外部引脚。输入和DAC寄存器载入零代码值，控制寄存器载入默认值。此引脚如果不用，应将其接至V _{LOGIC} 。
4	LDAC	加载DAC。将输入寄存器中的内容传送到DAC寄存器。它支持两种工作模式：异步和同步，如图4所示。此引脚可以永久连接到低电平，当有新数据写入输入寄存器时，DAC会更新。
5	GND	接地基准。
6	A0	用于多个封装解码的可编程地址。地址引脚可即时更新。
7	SCL	串行时钟线。
8	SDA	串行数据输入/输出。
9	V _{REF}	基准电压输入/输出。在AD5693R/AD5691R中，它默认是基准输出引脚。内部基准电压源建议使用10 nF去耦电容。
10	V _{OUT}	DAC的模拟输出电压。输出放大器能以轨到轨方式工作。

AD5693R/AD5692R/AD5691R/AD5693

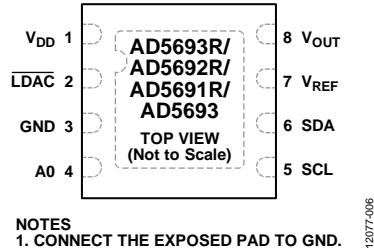


图6. 引脚配置(8引脚LFCSP、LDAC选项)

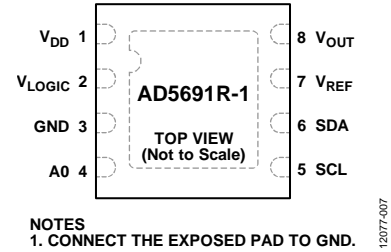


图7. 引脚配置(8引脚LFCSP、V_{LOGIC}选项)

表8. 8引脚LFCSP引脚功能描述

引脚编号		引脚名称	说明
LDAC	V _{LOGIC}		
1	1	V _{DD}	电源输入引脚。工作电压范围为2.7V至5.5V。将此电源去耦至GND。
2	不适用	LDAC	加载DAC。将输入寄存器中的内容传送到DAC寄存器。它支持两种工作模式：异步和同步，如图4所示。此引脚可以永久连接到低电平，当有新数据写入输入寄存器时，DAC会更新。
不适用	2	V _{LOGIC}	数字电源。电压范围为1.8V至5.5V。将此电源去耦至GND。
3	3	GND	接地基准。
4	4	A0	用于多个封装解码的可编程地址。地址引脚可即时更新。
5	5	SCL	串行时钟线。
6	6	SDA	串行数据输入/输出。
7	7	V _{REF}	基准电压输入/输出。在AD5693R/AD5692R/AD5691R中，它默认是基准输出引脚。内部基准电压源建议使用10 nF去耦电容。
8	8	V _{OUT} EPAD	DAC的模拟输出电压。输出放大器能以轨到轨方式工作。裸露焊盘。裸露焊盘应连接至GND。

典型性能参数

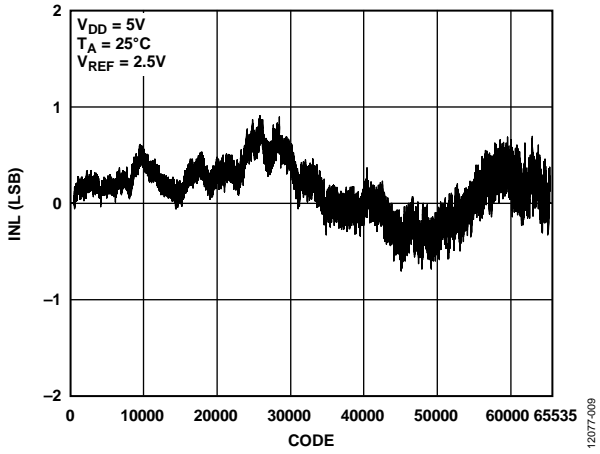


图8. AD5693R/AD5693 INL

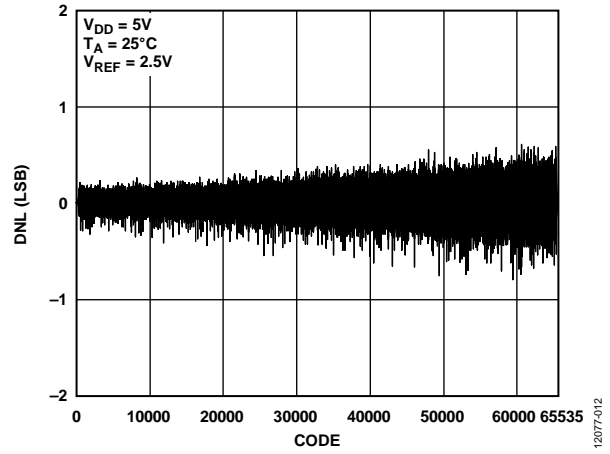


图11. AD5693R/AD5693 DNL

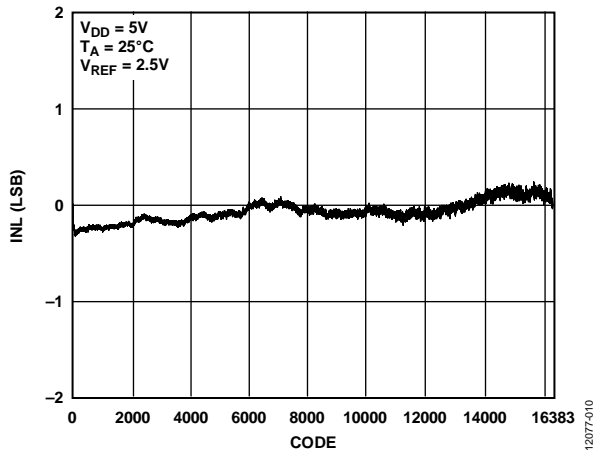


图9. AD5692R INL

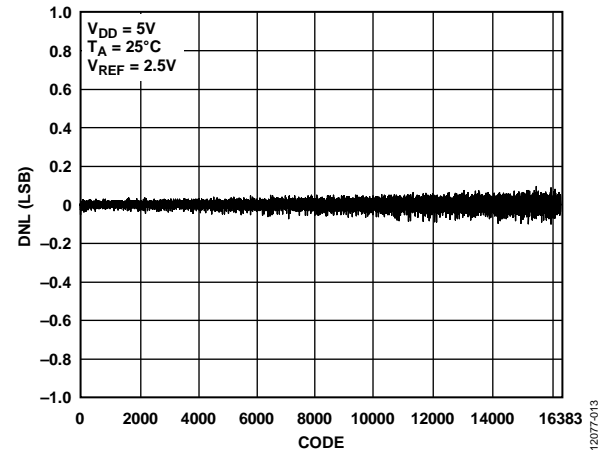


图12. AD5692R DNL

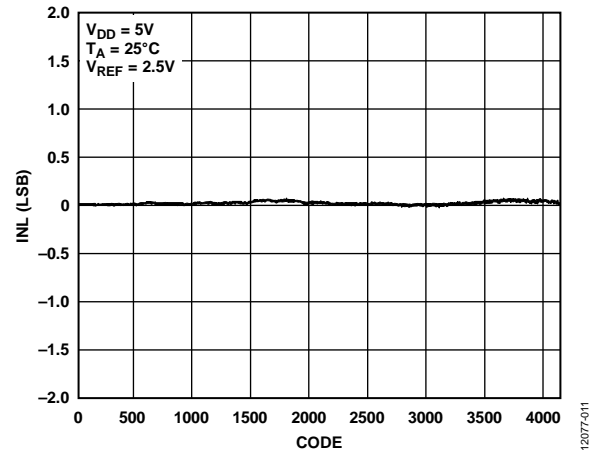


图10. AD5691R INL

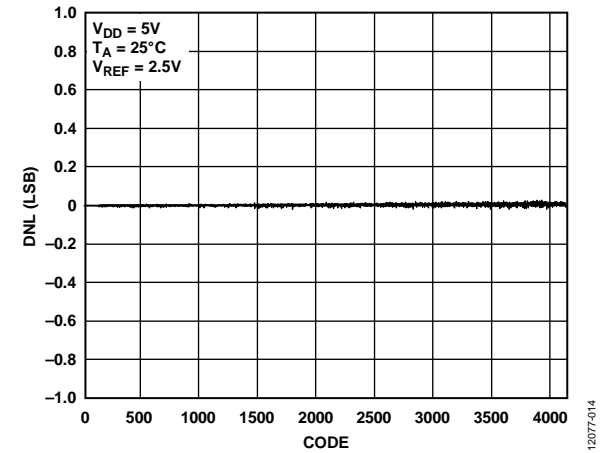


图13. AD5691R DNL

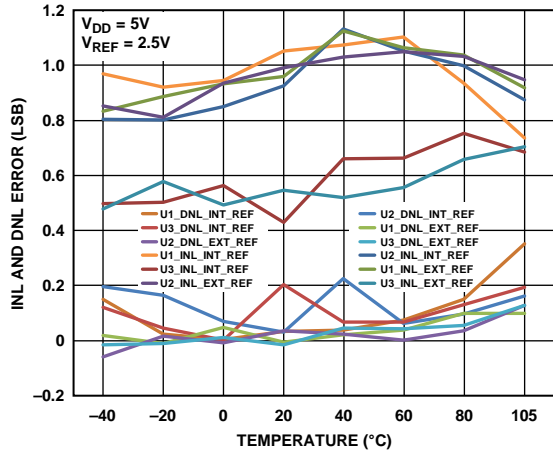


图14. INL和DNL误差与温度的关系(AD5693R/AD5693)

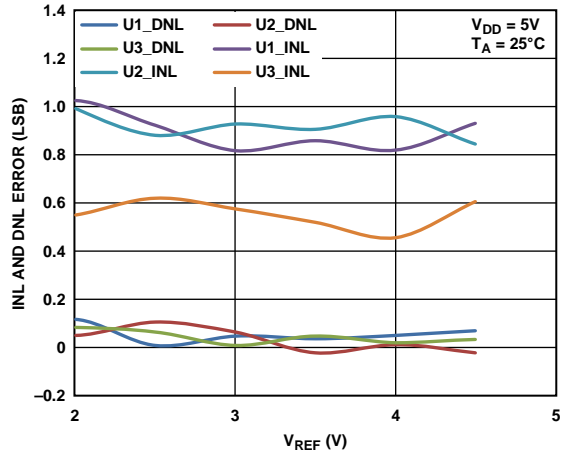


图17. INL和DNL误差与VREF的关系(AD5693R/AD5693)

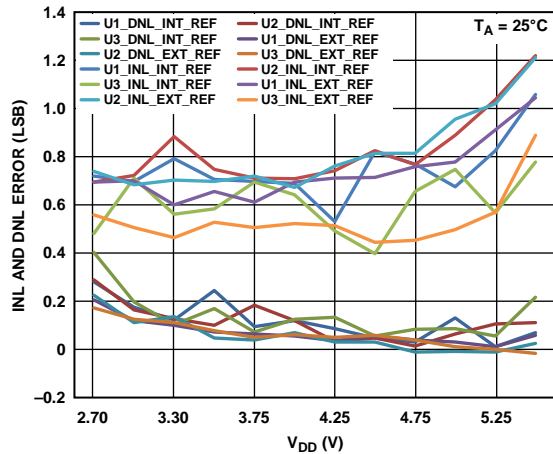


图15. INL和DNL误差与VDD的关系

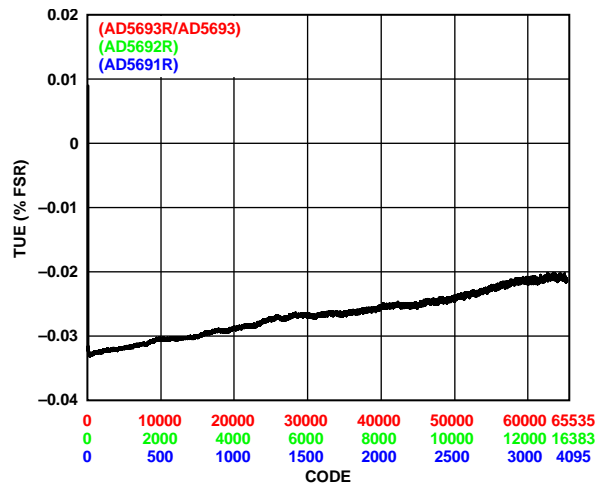


图18. TUE与代码的关系

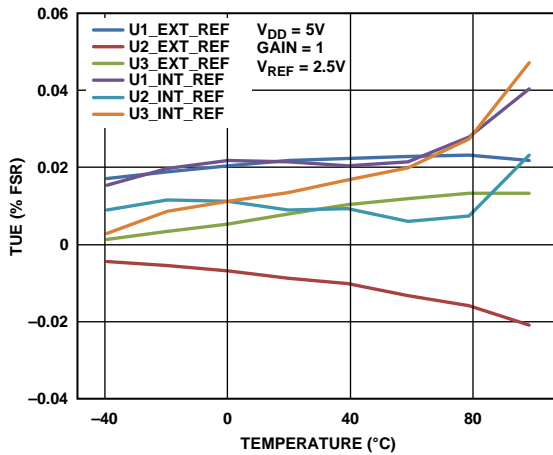


图16. TUE与温度的关系

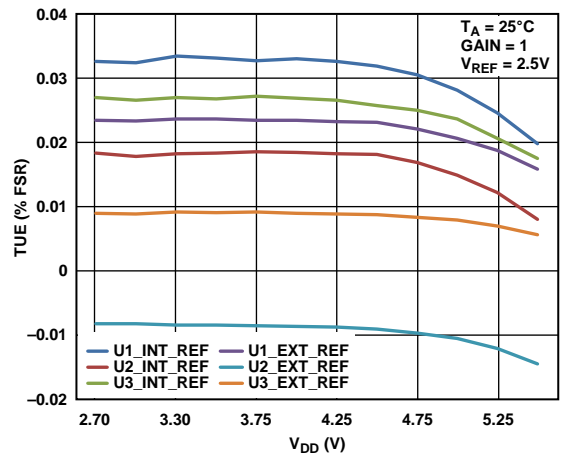


图19. TUE与VDD的关系

AD5693R/AD5692R/AD5691R/AD5693

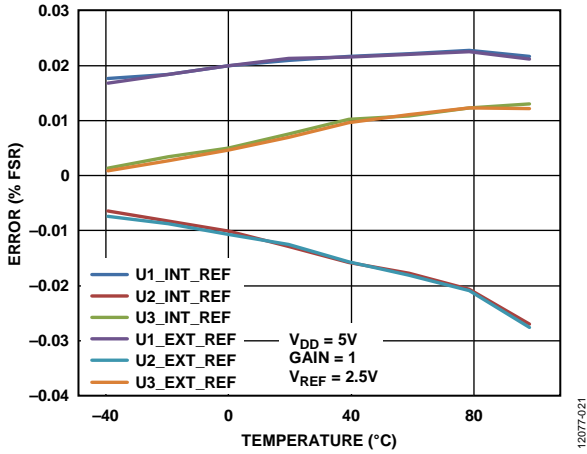


图20.增益误差和满量程误差与温度的关系

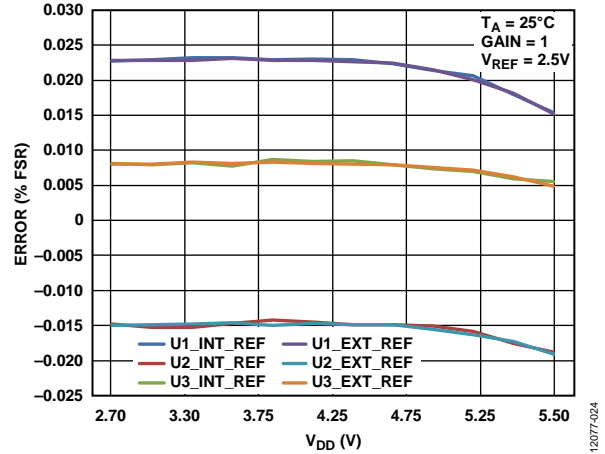


图23.增益误差和满量程误差与V_{DD}的关系

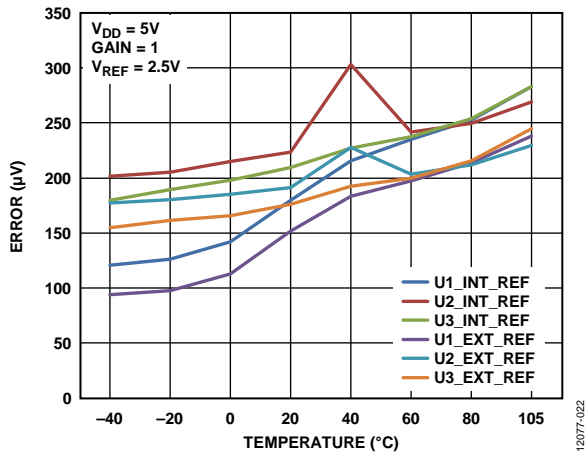


图21.零代码误差和失调误差与温度的关系

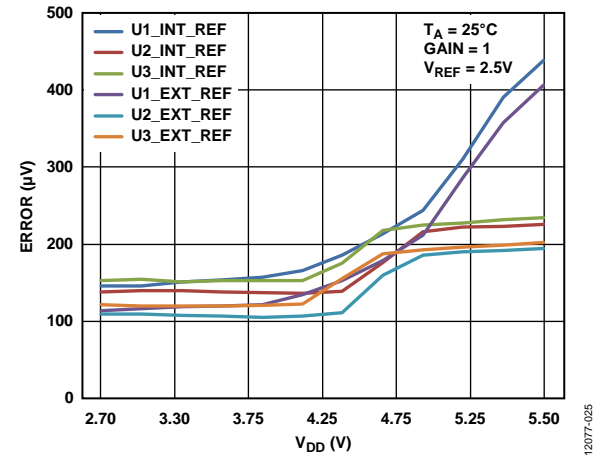


图24.零代码误差和失调误差与V_{DD}的关系

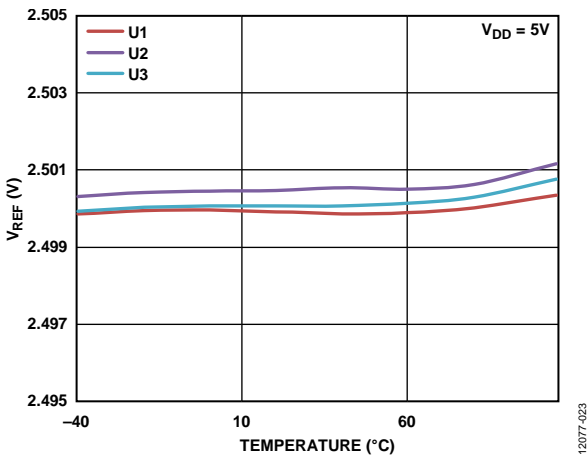


图22.内部基准电压与温度的关系(B级)

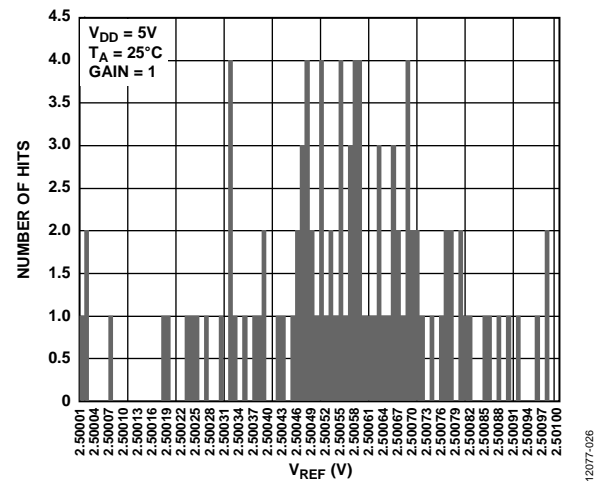


图25.基准输出分布

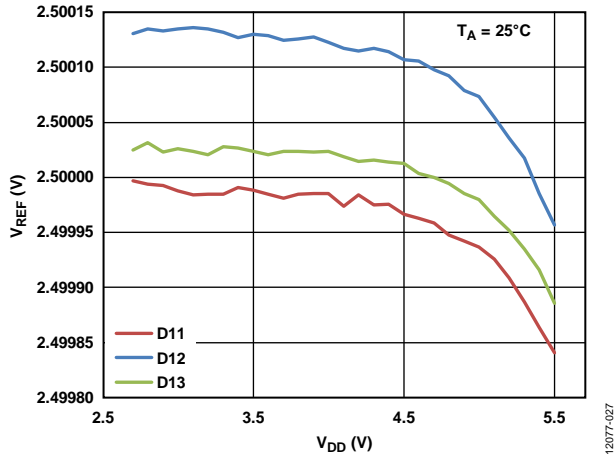


图26. 内部基准电压与 V_{DD} 的关系

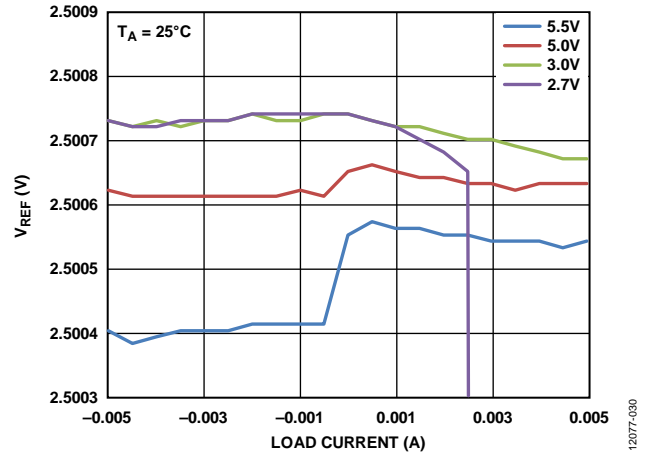


图29. 内部基准电压与负载电流的关系

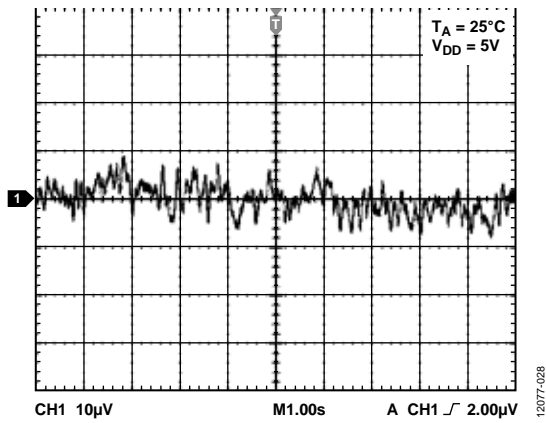


图27. 内部基准电压源噪声(0.1 Hz至10 Hz)

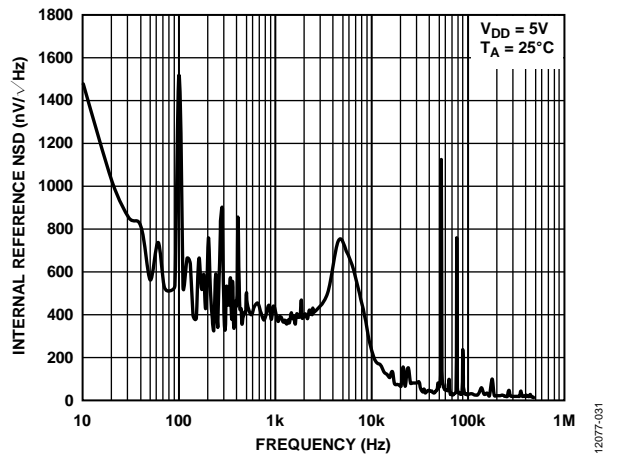


图30. 内部基准电压源噪声谱密度与频率的关系

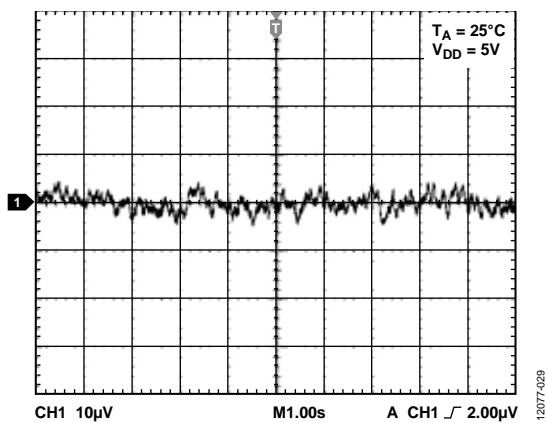


图28. 0.1 Hz至10 Hz输出噪声图, 内部基准电压源开启

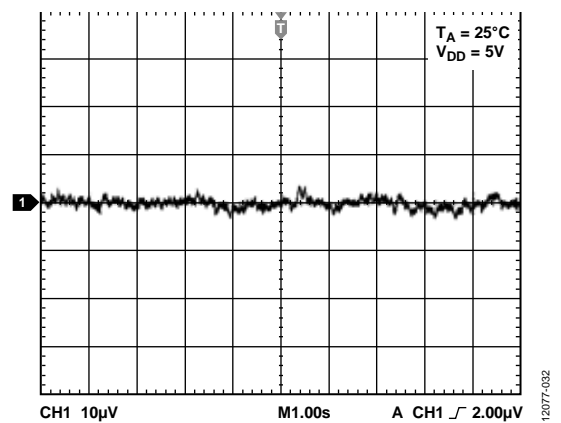


图31. 0.1 Hz至10 Hz输出噪声图, 外部基准电压源

AD5693R/AD5692R/AD5691R/AD5693

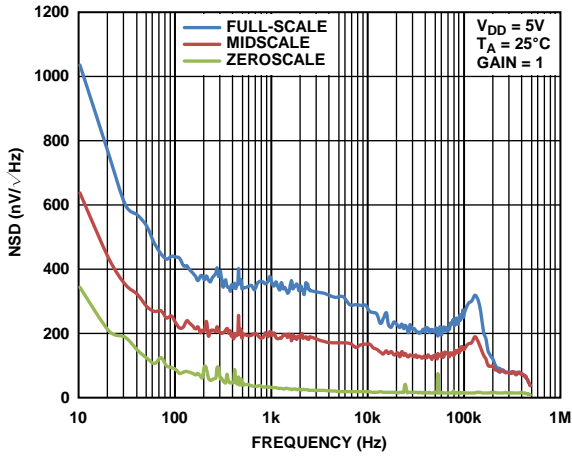


图32. 噪声频谱密度与频率的关系, 增益 = 1

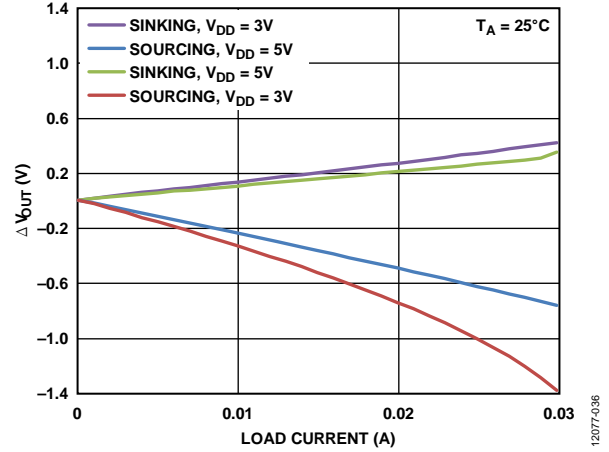


图35. 上裕量/下裕量与负载电流的关系

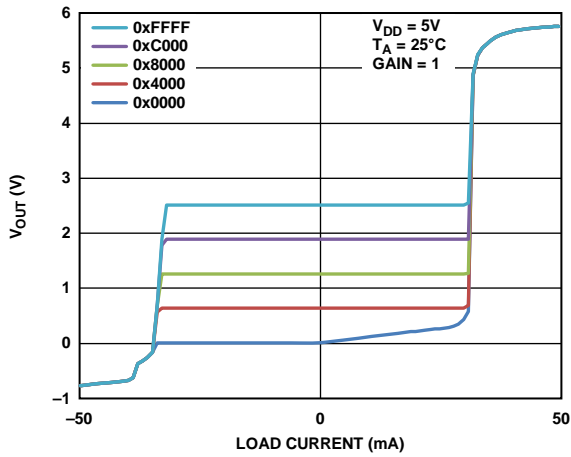


图33. 源电流和吸电流能力, 增益 = 1

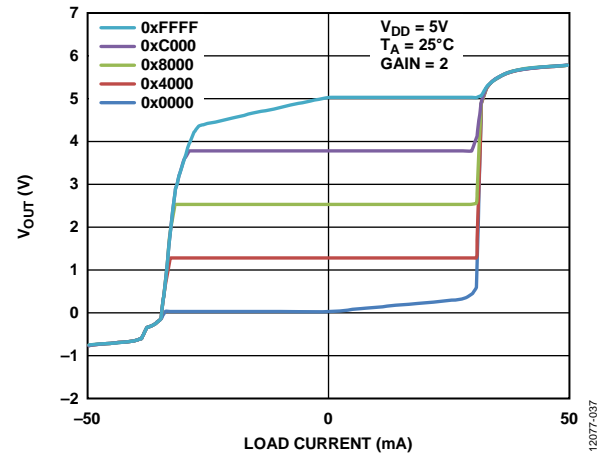


图36. 源电流和吸电流能力, 增益 = 2

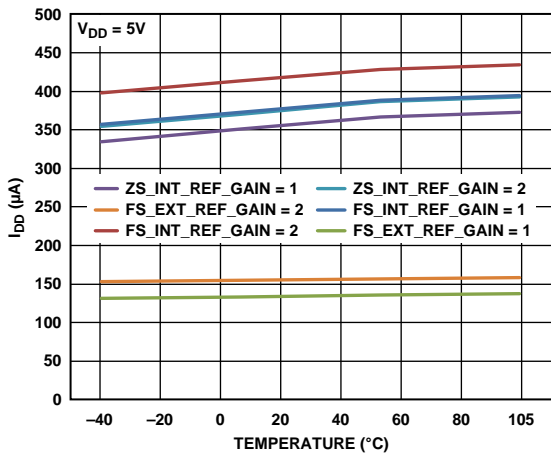


图34. I_{DD} 与温度的关系

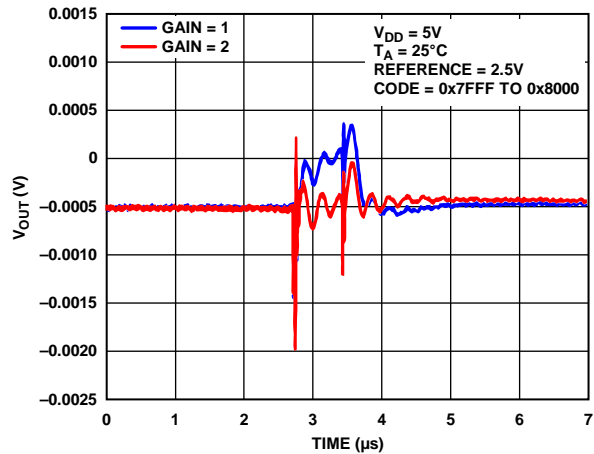


图37. 数模转换毛刺脉冲

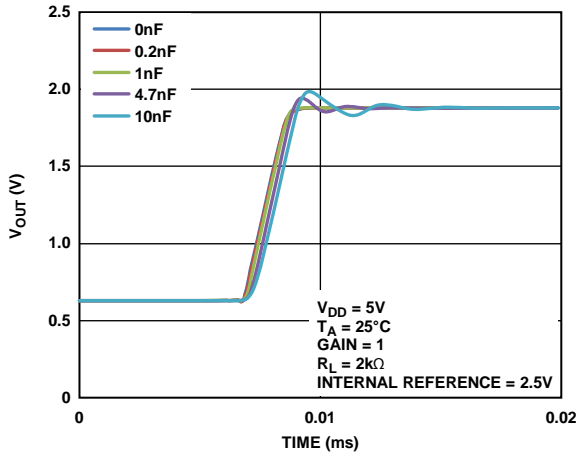


图38. 容性负载与建立时间的关系, 增益 = 1

12077-039

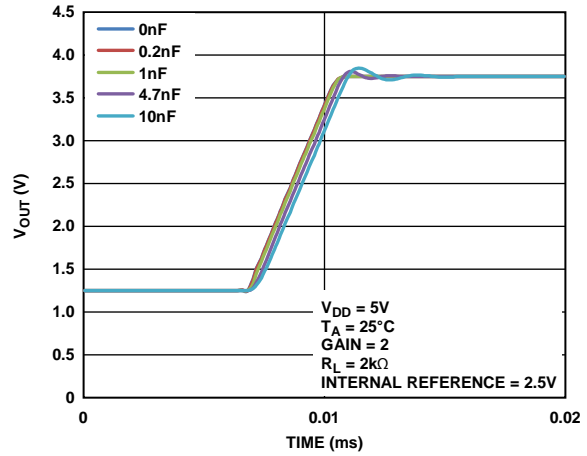


图41. 容性负载与建立时间的关系, 增益 = 2.5

12077-042

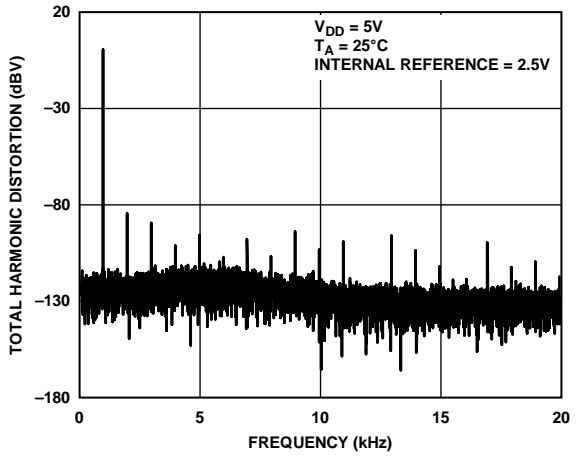


图39. 1 kHz时的总谐波失真

12077-040

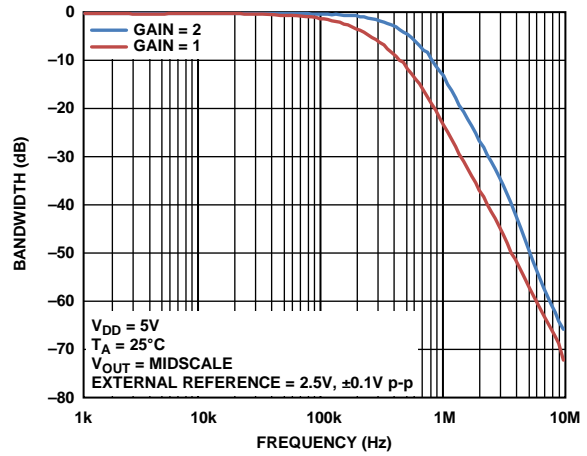


图42. 乘法带宽(外部基准电压源 = 2.5 V, ± 0.1 V p-p, 10 kHz至10 MHz)

12077-043

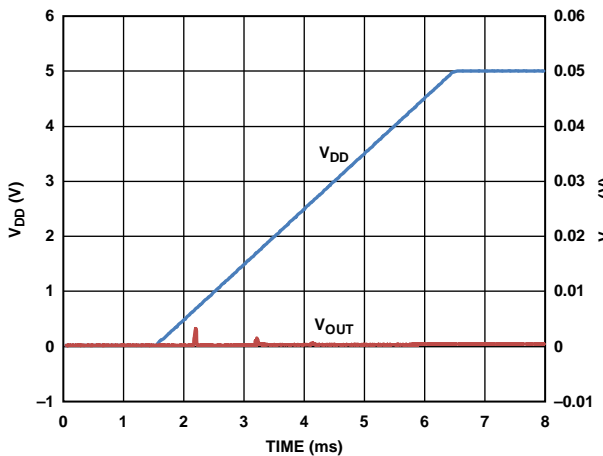


图40. 上电复位至0 V

12077-041

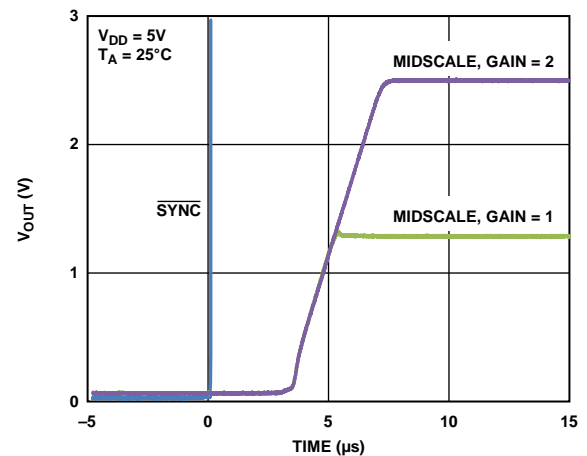


图43 退出掉电模式进入中间电平

12077-044

术语

相对精度或积分非线性(INL)

对于DAC，相对精度或积分非线性是指DAC输出与通过DAC传递函数的两个端点的直线之间的最大偏差，单位为LSB。典型INL与编码的关系参见图8、图9和图10。

差分非线性(DNL)

差分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大±1 LSB的额定微分非线性可确保单调性。本DAC通过设计保证单调性。典型DNL与编码的关系参见图11、图12和图13。

零代码误差

零代码误差衡量将零电平码(0x0000)载入DAC寄存器时的输出误差。理想情况下，输出为0V。在AD5693R/AD5692R/AD5691R/AD5693中，零代码误差始终为正值，因为在DAC和输出放大器中的失调误差的共同作用下，DAC输出不能低于0V。零代码误差用mV表示。零代码误差图参见图21和图24。

满量程误差

满量程误差衡量将满量程代码(0xFFFF)载入DAC寄存器时的输出误差。理想情况下，输出应为 $V_{DD} - 1 \text{ LSB}$ 。满量程误差用满量程范围的百分比表示。满量程误差与温度的关系参见图20和图23。

增益误差

增益误差衡量DAC的量程误差，是指DAC传递特性的斜率与理想值之间的偏差，用%FSR表示。

零代码误差漂移

零代码误差漂移衡量零代码误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

增益温度系数

增益温度系数用来衡量增益误差随温度的变化，用ppmFSR/ $^\circ\text{C}$ 表示。

失调误差

失调误差是指传递函数线性区内 V_{OUT} (实际)和 V_{OUT} (理想)之间的差值，用mV表示。失调误差在AD5693R上是通过将代码512载入DAC寄存器测得的(AD5692R是代码256，AD5693R/AD5693是代码128)。该值可以为正，也可为负。

直流电源抑制比(PSRR)

PSRR表示电源电压变化对DAC输出的影响大小，是指DAC满量程输出的条件下 V_{OUT} 变化量与 V_{DD} 变化量之比，用mV/V表示。 V_{REF} 保持在2V，而 V_{DD} 的变化范围为±10%。

输出电压建立时间

输出电压建立时间是指对于一个¼至¾满量程输入变化，DAC输出建立为指定电平所需的时间量。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的编码输入变化时注入到模拟输出的脉冲。数模转换毛刺脉冲通常规定为毛刺的面积，用nV-sec表示，数字输入代码在主进位跃迁中改变1 LSB(0x7FFF至0x8000)时进行测量。

数字馈通

数字馈通衡量从DAC的数字输入注入到DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为nV-sec，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。

噪声频谱密度

噪声频谱密度衡量内部产生的随机噪音。随机噪声表示为频谱密度(nV/ $\sqrt{\text{Hz}}$)。测量方法是将DAC加载到中间电平，然后测量输出端噪声。单位为nV/ $\sqrt{\text{Hz}}$ 。噪声频谱密度图参见图28、图31和图32。基准电压源的噪声频谱密度参见图27和图30。

乘法带宽

DAC内部的放大器具有有限的带宽，乘法带宽用于衡量该有限带宽。参考端的正弦波(DAC加载满量程编码)出现在输出端。乘法带宽指输出幅度降至输入幅度以下3 dB时的频率。

总谐波失真(THD)

总谐波失真(THD)是指理想正弦波与使用DAC时其衰减形式的差别。正弦波用作DAC的参考，而THD用来衡量DAC输出端存在的谐波。单位为dB。

基准电压温度系数(TC)

基准电压TC衡量基准输出电压随温度的变化。基准电压TC利用黑盒法计算，该方法将温度系数(TC)定义为基准电压输出在给定温度范围内的最大变化，用ppm/ $^\circ\text{C}$ 表示，计算公式如下：

$$TC = \left[\frac{V_{\text{REFmax}} - V_{\text{REFmin}}}{V_{\text{REFnom}} \times \text{TempRange}} \right] \times 10^6$$

其中：

V_{REFmax} 是在整个温度范围内测量的最大基准电压输出。

V_{REFmin} 是在整个温度范围内测量的最小基准电压输出。

V_{REFnom} 是标称基准输出电压2.5V。

TempRange 为额定温度范围：-40 $^\circ\text{C}$ 至+105 $^\circ\text{C}$ 。

工作原理

数模转换器

AD5693R/AD5692R/AD5691R/AD5693分别为单通道、16/14/12位、串行输入、电压输出DAC，内置2.5 V基准电压源。采用2.7 V至5.5 V电源供电。数据通过I²C串行接口以24位字格式写入AD5693R/AD5692R/AD5691R/AD5693。

AD5693R/AD5692R/AD5691R/AD5693内置一个上电复位电路，确保DAC输出上电至零电平。它们还有软件掉电模式，可以将功耗降至2 μA(最大值)。

传递函数

内部基准电压源默认使能。DAC的输入编码方式为直接二进制。理想输出电压可通过以下公式计算：

对于AD5693R/AD5693，

$$V_{OUT}(D) = Gain \times V_{REF} \times \left[\frac{D}{65,536} \right]$$

对于AD5692R，

$$V_{OUT}(D) = Gain \times V_{REF} \times \left[\frac{D}{16,384} \right]$$

对于AD5691R，

$$V_{OUT}(D) = Gain \times V_{REF} \times \left[\frac{D}{4096} \right]$$

其中：

D是载入DAC寄存器的二进制编码的十进制等效值。

Gain是输出放大器的增益，默认设置为1。利用控制寄存器中的增益位，也可以将该增益设置为2。

DAC架构

AD5693R/AD5692R/AD5691R/AD5693采用分段式串DAC架构，内置输出缓冲器。图44显示了内部功能框图。

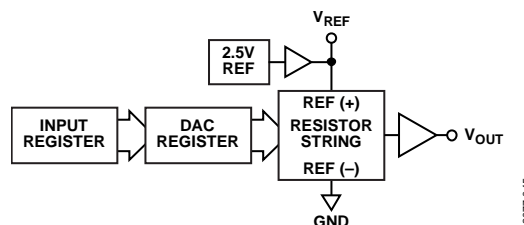


图44. DAC通道架构框图

简化的分段式电阻串DAC结构如图45所示。载入DAC寄存器的代码决定串上连接到输出缓冲器的开关状态。

串中的各电阻具有相同的值R，因此串DAC必定是单调的。

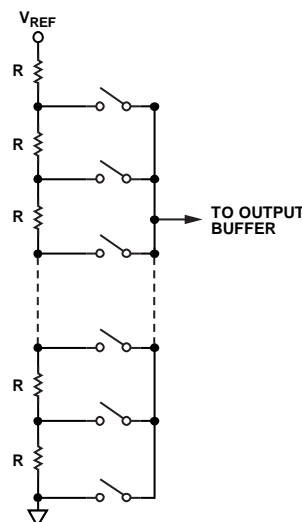


图45. 简化电阻串结构

内部基准电压源

AD5693R/AD5692R/AD5691R的片内基准电压源在上电时开启，可以通过写入控制寄存器予以禁用。

AD5693R/AD5692R/AD5691R各有一个2.5 V、2 ppm/°C基准电压源，满量程输出为2.5 V或5 V，具体取决于增益位的状态。

内部基准电压由V_{REF}引脚提供。它经过内部缓冲，能够驱动高达5 mA的外部负载。

外部基准电压源

V_{REF}引脚是AD5693的输入引脚。根据应用要求，AD5693R/AD5692R/AD5691R上的V_{REF}引脚也可以配置为输入引脚，以便使用外部基准电压源。

AD5693R/AD5692R/AD5691R的片内基准电压源在上电时默认开启。将外部基准电压源连接到该引脚之前，应写入控制寄存器的REF位(位DB12)，禁用内部基准电压源。

输出缓冲器

输出缓冲器采用输入/输出轨到轨缓冲设计，最大输出电压范围可达V_{DD}。增益位将分段式串DAC的增益设置为1或2，如表12所示。

输出缓冲电压由V_{REF}、增益位、失调和增益误差决定。输出缓冲器可以驱动10 nF电容与2 kΩ电阻的并联组合，如图38和图41所示。如果需要更高的容性负载，可使用缓冲方法或分流电阻将负载与输出放大器隔离。压摆率为0.7 V/μs，¼到¾量程建立时间为5 μs。

AD5693R/AD5692R/AD5691R/AD5693

串行接口

AD5693R/AD5692R/AD5691R/AD5693采用2线I²C兼容串行接口。这些器件可作为从机连接到I²C总线，受主机的控制。典型写序列的时序图参见图3。

AD5693R/AD5692R/AD5691R/AD5693支持标准(100 kHz)和快速(400 kHz)数据传输模式。不支持10位寻址和广播寻址。

I²C串行数据接口

双线式串行总线协议按如下方式工作：

1. 当SDA线上发生高低转换而SCL处于高电平时，主机通过建立起始条件而启动数据传输。之后的字节是地址字节，由7位从机地址组成。与发送地址对应的从机地址通过在第9个时钟脉冲期间拉低SDA来做出响应(这称为应答(ACK)位)。在这个阶段，在选定器件等待从移位寄存器读写数据期间，总线上的所有其它器件保持空闲状态。
2. 数据按9个时钟脉冲(8个数据位和1个应答位)的顺序通过串行总线发送。SDA线上的数据转换必须发生在SCL低电平期间，并且在SCL高电平期间保持稳定。
3. 读取或写入所有数据位之后，停止条件随即建立。在写入模式下，主器件在第10个时钟脉冲期间拉高SDA线，以建立停止条件。在读取模式下，主机会向第9个时钟脉冲发送不应答(即SDA线保持高电平)。主机在第10个时钟脉冲前将SDA线拉低，然后在第10个时钟脉冲期间拉高，以建立停止条件。

I²C地址

AD5693R/AD5692R/AD5691R/AD5693具有一个7位从机地址。五个MSB为10011，倒数第二位(由A0地址引脚的状态设定)和LSB为0。通过更改A0硬连线，用户可以将两个这样的器件集成到一条总线上，如表9所示。此外，该引脚可在启动传输之前进行更新，这样，通过将该引脚连接到GPIO或多路复用器，一条总线就可以支持多个器件。

表9. 器件地址选择

A0引脚连接	A0	I ² C地址
GND	0	1001100
V _{LOGIC} (LFCSP封装上的V _{DD})	1	1001110

写操作

写入AD5693R/AD5692R/AD5691R/AD5693时，用户必须先写入启动条件和地址字节(R/ \bar{W} = 0)，接着DAC通过拉低SDA做出应答，表示其已做好接收数据准备，如图46所示。AD5693R/AD5692R/AD5691R/AD5693需要一个用于控制各种DAC功能的命令字节(参见表10)和DAC的两字节数据。所有这些数据字节得到AD5693R/AD5692R/AD5691R/AD5693应答后，随即出现停止条件。写序列如图46所示。

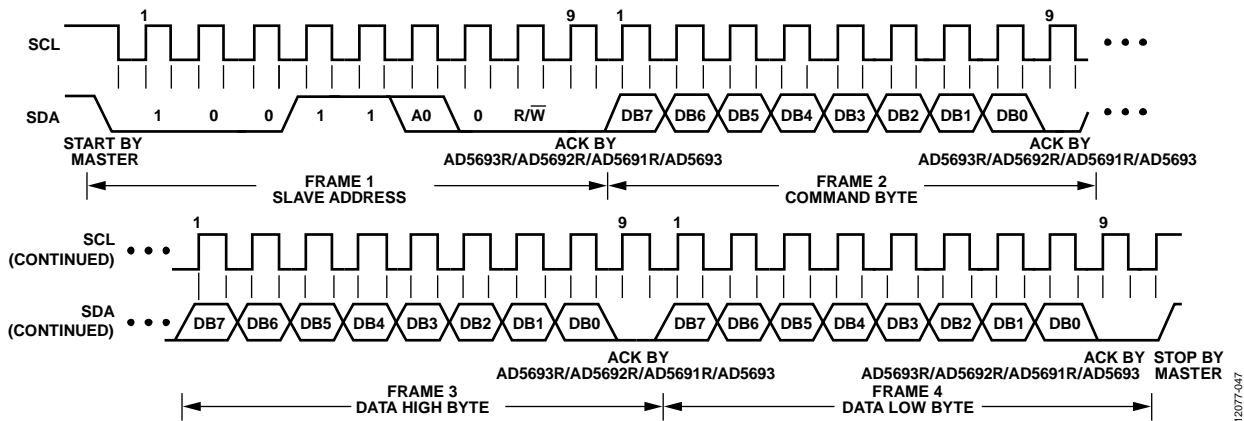


图46. I²C写操作

表10. 命令字节¹

命令字节					数据高字节		数据低字节				操作	
DB7	DB6	DB5	DB4	[DB3:DB0]	[DB7:DB3]	[DB2:DB0]	[DB7:DB4]	DB3	DB2	DB1		DB0
0	0	0	0	XXXX	XXXXX	XXX	XXXX	X	X	X		NOP: 无操作
0	0	0	1	XXXX	DB15:DB11	DB10:DB8	DB7:DB4	DB3 ²	DB2 ²	DB1 ^{2,3}	DB0 ^{2,3}	写入输入寄存器
0	0	1	0	XXXX	XXXXX	XXX	XXXX	X	X	X	X	更新DAC寄存器 (LDAC软件)
0	0	1	1	XXXX	DB15:DB11	DB10:DB8	DB7:DB4	DB3 ²	DB2 ²	DB1 ^{2,3}	DB0 ^{2,3}	写入DAC和输入寄存器
0	1	0	0	XXXX	DB15:DB11	000	0000	0	0	0	0	写入控制寄存器

¹ X表示无关。

² 对于AD5691R, 此位是无关位。

³ 对于AD5692R, 此位是无关位。

写入输入寄存器

该寄存器允许预载入DAC寄存器的新值。从输入寄存器到DAC寄存器的传输可通过硬件、LDAC引脚或软件(使用命令2)触发。

若新数据载入DAC寄存器, 则DAC寄存器将自动覆盖输入寄存器的内容。

更新DAC寄存器

该命令将输入寄存器中的内容传送到DAC寄存器, 并因此而更新V_{OUT}引脚。串行写操作中包含的数据会被忽略。此操作与软件LDAC等效。

写入DAC寄存器

完成写操作时, 该命令更新DAC输出。输入寄存器自动更新为DAC寄存器值。

写入控制寄存器

控制寄存器用于设置掉电和增益功能。它还用来使能/禁用内部基准源以及执行软件复位。控制寄存器功能参见表11。

表11. 控制寄存器位

D15	D14	D13	D12	D11
Reset	PD1	PD0	REF	Gain

增益位(Gain)

gain位选择输出放大器的增益。表12列出了输出电压范围与该位状态的对应关系。

表12. Gain位

增益	输出电压范围
0	0 V至V _{REF} (默认)
1	0 V至2 × V _{REF}

REF位

AD5693R/AD5692R/AD5691R的片内基准电压源在上电时默认开启。通过设置控制寄存器中的软件可编程位DB12, 可以开启或关闭此基准电压源。表13列出了该位的状态与工作模式的对应关系。

为降低功耗, 如果器件被置于掉电模式, 建议禁用内部基准电压源。

表13. 基准电压源位

REF	基准电压源功能
0	基准电压源使能(默认)
1	基准电压源禁用

PD0和PD1位

AD5693R/AD5692R/AD5691R/AD5693支持两种工作模式, 通过写入控制寄存器可以选择工作模式。

正常模式下, 输出缓冲器直接与V_{OUT}引脚相连。

掉电模式下, 输出缓冲器内部禁用, V_{OUT}引脚输出阻抗可以选择熟知的值, 如表14所示。

表14. 工作模式

工作模式	PD1	PD0
正常模式	0	0
掉电模式		
1 kΩ输出阻抗	0	1
100 kΩ输出阻抗	1	0
三态输出阻抗	1	1

AD5693R/AD5692R/AD5691R/AD5693

掉电模式下，器件禁用输出缓冲器，但不禁用内部基准电压源。为最大程度地降低功耗，建议禁用内部基准电压源。

内部基准电压源和输出缓冲器均禁用时，电源电流降至 $2\ \mu\text{A}$ (5 V电源)。

图47显示了输出级。

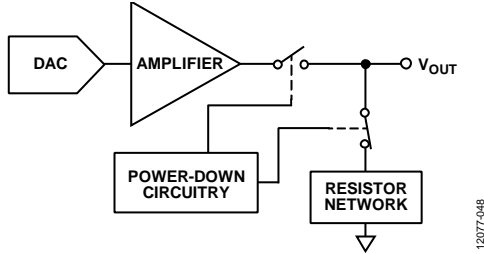


图47. 掉电模式下的输出级

掉电模式激活时，输出放大器关断。然而，除非内部基准电压源关断(使用控制寄存器的位DB12)，否则偏置发生器、基准源和电阻串仍然开启。电源电流降至 $2\ \mu\text{A}$ (5 V电源)。DAC寄存器的内容不受掉电模式的影响，DAC寄存器可以继续更新。当 $V_{DD} = 5\ \text{V}$ 时，退出掉电模式所需时间通常为 $4\ \mu\text{s}$ ，基准电压源禁用时则需 $600\ \mu\text{s}$ 。

复位(Reset)位

AD5693R/AD5692R/AD5691R/AD5693的控制寄存器包含软件reset位，可将DAC复位至零电平，并将输入、DAC和控制寄存器复位至默认值。将控制寄存器的reset位设为1时，就会启动软件复位。软件复位完成时，reset位自动清0。

读操作

从AD5693R/AD5692R/AD5691R/AD5693 DAC读回输入寄存器时，用户先从地址字节($R/\bar{W} = 1$)开始，接着DAC通过拉低SDA做出应答，表示其已做好数据接收准备。然后，器件从DAC读取两个字节的的数据(包含输入寄存器的内容)，如图48所示。主机发出NACK条件，后跟STOP条件，以完成读序列。

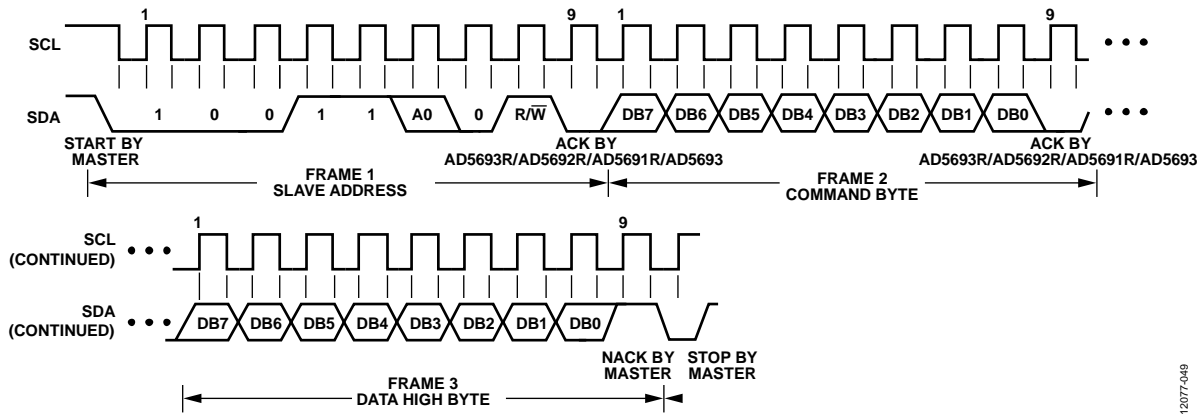


图48. I²C读操作

加载DAC(硬件LDAC引脚)

AD5693R/AD5692R/AD5691R/AD5693的DAC有一个由输入寄存器和DAC寄存器组成的双缓冲接口。LDAC引脚将输入寄存器中的数据传送到DAC寄存器，并更新输出。

同步DAC更新

写入输入寄存器时，如果LDAC引脚保持低电平，则DAC寄存器、输入寄存器和输出在ACK位前的最后一个SCL下降沿更新，如图4所示。

异步DAC更新

传输数据到器件时，LDAC保持高电平。产生停止条件后，通过拉低LDAC可以更新DAC输出。输出DAC在LDAC引脚的下降沿更新。若在访问器件期间发送脉冲至LDAC，该脉冲将被忽略。

硬件RESET

RESET是一个低电平有效信号，用于将DAC输出复位至零电平，并将输入、DAC和控制寄存器设为默认值。RESET必须保持75 ns的低电平才能完成该操作。当RESET信号变回高电平后，输出保持零电平，直到设置新值。在RESET引脚为低电平期间，AD5693R/AD5692R/AD5691R/AD5693会忽略任何新命令。若RESET引脚在上电时保持低电平，内部基准电压源将不能正确初始化，直到RESET引脚被释放为止。

热滞

热滞是指当温度从环境温度变冷再变热之后回到环境温度时基准电压上出现的电压差。

热滞数据如图49所示。其测量条件是从环境温度变为-40°C，然后变为+105°C，最后再回到环境温度。获得两次环境温度下测量结果之间的偏差 V_{REF} ，结果如图49中的实线所示。接着，立即重复相同的温度变化和测量，其结果如图49中的虚线所示。

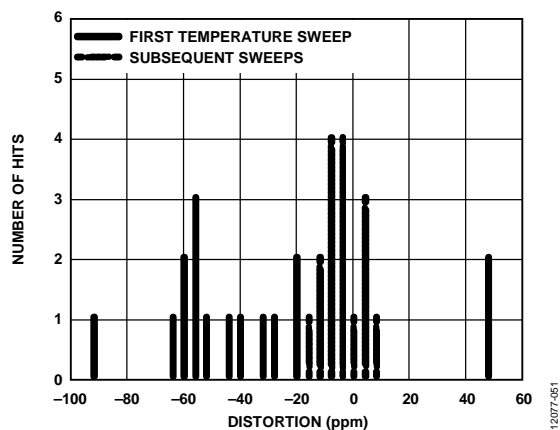


图49. 热滞

上电时序

由于二极管会限制数字引脚和模拟引脚的顺从电压，因此必须先给GND供电，然后再向 V_{DD} 、 V_{OUT} 和 V_{LOGIC} 施加电压。否则，二极管将正偏，以致 V_{DD} 意外上电。理想的上电时序为GND、 V_{DD} 、 V_{LOGIC} 、 V_{REF} ，然后是数字输入。

布局布线指南

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。应专门设计安装AD5693R/AD5692R/AD5691R/AD5693所用的印刷电路板(PCB)，使这些ADC位于模拟平面。

确保AD5693R/AD5692R/AD5691R/AD5693具有足够大的10 μ F电源旁路电容，与每个电源上的0.1 μ F电容并联，并且尽可能靠近封装，最好是正对着该器件。10 μ F电容应为钽珠型电容。确保0.1 μ F电容具有低有效串联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。

在一个电路板上使用多个器件的系统中，提供一定的散热能力通常有助于功率耗散。

LFCSP封装的AD5693R/AD5692R/AD5691R/AD5693器件下方具有裸露焊盘。该焊盘与器件的GND电源相连。为了获得最佳性能，在设计母板和安装器件时需要有一些特殊考虑。为了改善散热、电气和板级性能，需将封装底部的裸露焊盘焊接到PCB上相应的散热焊盘上。为进一步改善散热性能，PCB焊盘区可以设计一些散热通孔。

可以扩大器件上的GND平面(如图50所示)，以提供自然散热效应。

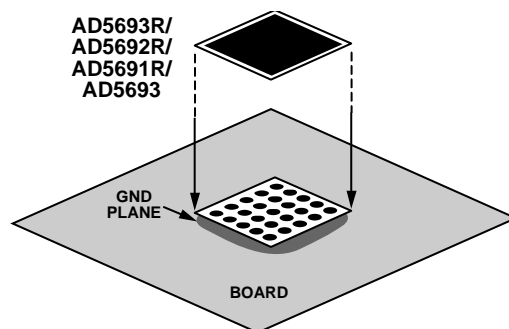
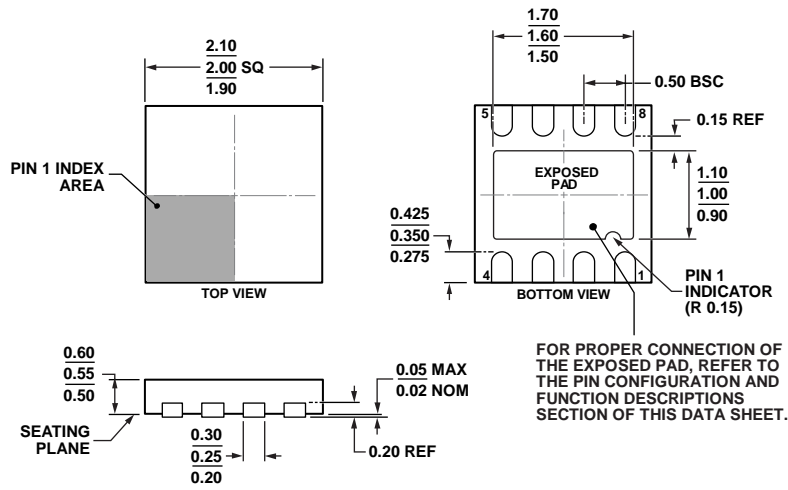


图50. 焊盘与电路板的连接

外形尺寸

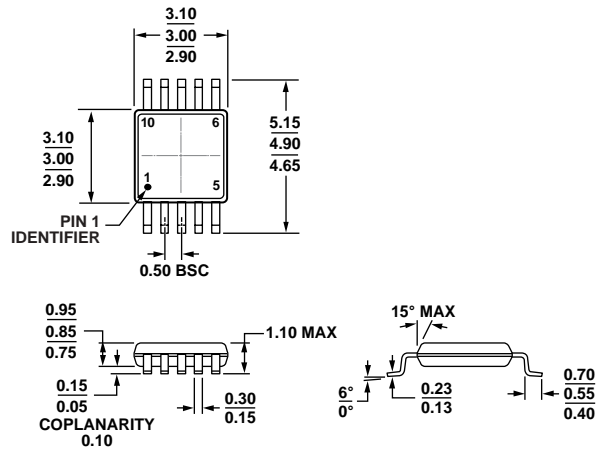


01-14-2013-C

图51. 8引脚引线框芯片级封装[LFCSP_UD]

2.00 × 2.00 mm 超薄体, 双列引脚
(CP-8-10)

图示尺寸单位: mm



081705-A

COMPLIANT TO JEDEC STANDARDS MO-187-BA

图52. 10引脚超小型封装[MSOP]

(RM-10)

图示尺寸单位: mm

AD5693R/AD5692R/AD5691R/AD5693

订购指南

型号 ¹	分辨率(位)	引脚排列	温度范围	性能	封装描述	封装选项	标识
AD5693RACPZ-RL7	16	LDAC	-40°C至+105°C	A级	8引脚 LFCSP_UD	CP-8-10	AB
AD5693RARMZ	16		-40°C至+105°C	A级	10引脚 MSOP	RM-10	DJU
AD5693RARMZ-RL7	16		-40°C至+105°C	A级	10引脚 MSOP	RM-10	DJU
AD5693RBRMZ	16		-40°C至+105°C	B级	10引脚 MSOP	RM-10	DJV
AD5693RBRMZ-RL7	16		-40°C至+105°C	B级	10引脚 MSOP	RM-10	DJV
AD5693BCPZ-RL7	16	LDAC	-40°C至+105°C	B级	8引脚 LFCSP_UD	CP-8-10	AA
AD5692RACPZ-RL7	14	LDAC	-40°C至+105°C	A级	8引脚 LFCSP_UD	CP-8-10	4M
AD5691RACPZ-1RL7	12	V _{LOGIC}	-40°C至+105°C	A级	8引脚 LFCSP_UD	CP-8-10	5W
AD5691RBCPZ-RL7	12	LDAC	-40°C至+105°C	B级	8引脚 LFCSP_UD	CP-8-10	6M
AD5691RBRMZ	12		-40°C至+105°C	B级	10引脚 MSOP	RM-10	DK2
AD5691RBRMZ-RL7	12		-40°C至+105°C	B级	10引脚 MSOP	RM-10	DK2
EVAL-AD5693RSDZ					评估板		

¹Z = 符合RoHS标准的器件。

注释

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。