

产品特性

支持的输入数据速率大于2 GSPS

专有低杂散与失真设计

SFDR = 82 dBc(直流中频, -9 dBFS)

灵活的8通道JESD204B接口

多芯片同步

固定延迟

数据发生器延迟补偿

可选1倍、2倍、4倍或8倍插值滤波器

低功耗架构

发射使能功能可进一步省电, 实现输出状态的瞬时控制

高性能、低噪声锁相环(PLL)时钟倍频器

数字反sinc滤波器

低功耗: 1.42 W(1.6 GSPS, 全部工作条件)

88引脚LFCSP(带裸露焊盘)

应用

无线通信

3G/4G W-CDMA基站

宽带中继器

软件定义无线电

宽带通信

点对点

本地多点分配服务(LMDS)和多通道多点分配服务(MMDS)

发射分集、多路输入/多路输出(MIMO)

仪器仪表

自动测试设备

概述

AD9135/AD9136 TxDAC+®是双通道、11/16位、高动态范围数模转换器(DAC), 提供最高2800 MSPS的采样速率, 可以在极宽的带宽内产生多载波。DAC输出经过优化, 可以与ADI公司的ADRF6720和ADRF670x模拟正交调制器(AQM)无缝接口。可选三线式或四线式串行端口接口(SPI)允许对许多内部参数进行编程和回读。满量程输出电流可以在13.9 mA至27.0 mA典型范围内进行编程。AD9135/AD9136提供88引脚LFCSP封装。

功能框图

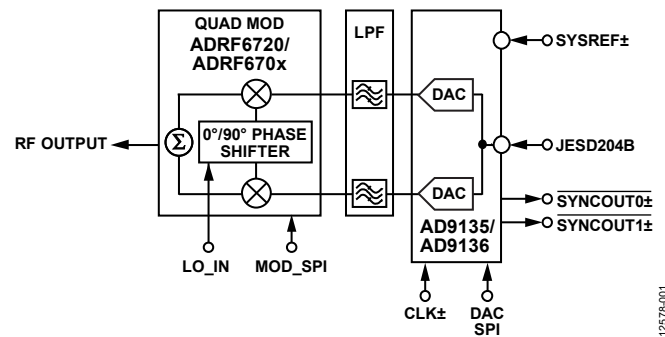


图1.

产品特色

1. 高于2 GHz的超宽复信号带宽, 支持新兴的宽带和多频带无线应用。
2. 先进的低杂散与失真设计技术, 从基带到高中频的宽带信号可以实现高质量合成。
3. 支持JESD204B子类1, 可简化软件和硬件设计中的多芯片同步。
4. 对于具有串行器/解串器(SERDES) JESD204B 8通道接口的数据接口宽度, 引脚更少。
5. 可编程发射使能功能有助于轻松实现功耗与唤醒时间之间的设计平衡。
6. 小型封装, 尺寸为12 mm × 12 mm。

Rev. 0

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.
[Technical Support](#) www.analog.com

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	插值.....	29
应用.....	1	JESD204B设置.....	29
功能框图.....	1	SERDES时钟设置.....	30
概述.....	1	均衡模式设置.....	30
产品特点.....	1	链路延迟设置.....	30
修订历史.....	3	纵横设置.....	32
详细功能框图.....	4	JESD204B串行数据接口.....	33
技术规格.....	5	JESD204B概述.....	33
直流规格.....	5	物理层.....	34
数字规格.....	6	数据链路层.....	37
不同电源下的DAC最大更新速率规格.....	7	传输层.....	45
JESD204B串行接口速度规格.....	7	JESD204B测试模式.....	55
SYSREF至DAC时钟时序规格.....	8	JESD204B错误监控.....	56
数字输入数据时序规格.....	8	硬件考虑.....	58
延迟差异规格.....	9	数字数据路径.....	62
JESD204B接口电气规格.....	9	DAC传呼.....	62
交流规格.....	10	数据格式.....	62
绝对最大额定值.....	11	插值滤波器.....	62
热阻.....	11	反Sinc.....	63
ESD警告.....	11	数字增益、直流偏移和群延迟.....	63
引脚配置和功能描述.....	12	下游保护.....	65
术语.....	15	数据路径PRBS.....	66
典型性能参数.....	16	直流测试模式.....	67
工作原理.....	22	中断请求操作.....	68
串行端口操作.....	23	中断服务程序.....	68
数据格式.....	23	DAC输入时钟配置.....	70
串行端口引脚功能描述.....	23	驱动CLK±输入.....	70
串行端口选项.....	23	时钟倍频.....	70
芯片信息.....	25	启动PLL.....	72
器件设置指南.....	26	模拟输出.....	73
概述.....	26	发射DAC操作.....	73
第一步：启动DAC.....	26	器件功耗.....	76
第二步：数字数据路径.....	26	温度传感器.....	76
第三步：传输层.....	27	启动序列.....	77
第四步：物理层.....	27	第一步：启动DAC.....	77
第五步：数据链路层.....	28	第二步：数字数据路径.....	77
第六步：可选错误监控.....	28	第三步：传输层.....	78
第七步：可选特性.....	28	第四步：物理层.....	78
DAC PLL设置.....	29	第五步：数据链路层.....	78
		第六步：错误监控.....	78

寄存器映射和描述	79	外形尺寸	116
器件配置寄存器映射	79	订购指南	116
器件配置寄存器描述	85		
三种不同DAC PLL参考频率的查找表	112		

修订历史

2014年10月—修订版0：初始版

详细功能框图

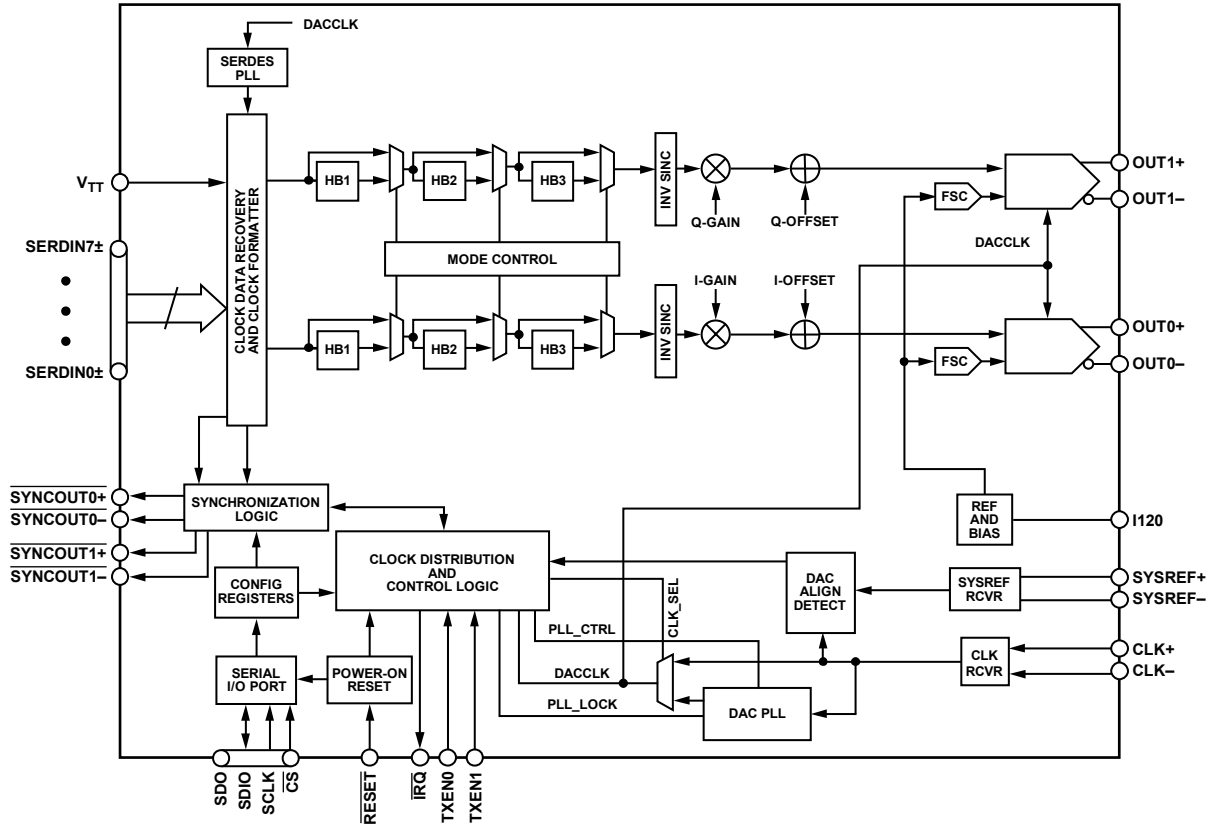


图2.

12576-002

技术规格

直流规格

除非另有说明，AVDD33 = 3.3 V，SIOVDD33 = 3.3 V，IOVDD = 1.8 V，DVDD12 = 1.2 V，CVDD12 = 1.2 V，PVDD12 = 1.2 V，SVDD12 = 1.2 V， $V_{TT} = 1.2$ V， $T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ ， $I_{OUTFS} = 20$ mA。

表1.

参数	测试条件/注释	AD9135			AD9136			单位	
		最小值	典型值	最大值	最小值	典型值	最大值		
分辨率		11			16			位	
精度	经过校准								
差分非线性(DNL)		±0.175			±1.0			LSB	
积分非线性(INL)		±0.35			±2.0			LSB	
主DAC输出									
增益误差	使用内部基准源	-2.5	+2	+5.5	-2.5	+2	+5.5	% FSR	
I/Q增益失配		-0.6		+0.6	-0.6		+0.6	% FSR	
满量程输出电流(I_{OUTFS})	基于I120与GND之间的4 kΩ外部电阻								
最大设置		25.5	27.0	28.6	25.5	27.0	28.6	mA	
最小设置		13.1	13.9	14.8	13.1	13.9	14.8	mA	
输出顺从电压范围		-250			-250			+750	mV
输出电阻		0.2			0.2			MΩ	
输出电容		3.0			3.0			pF	
增益DAC单调性		保证			保证				
建立时间	至±0.5 LSB范围内	20			20			ns	
主DAC温度漂移									
偏移		0.04			0.04			ppm/°C	
增益		32			32			ppm/°C	
基准电压		16			16			ppm/°C	
基准电压									
内部基准电压		1.2			1.2			V	
模拟电源电压									
AVDD33		3.13	3.3	3.47	3.13	3.3	3.47	V	
PVDD12		1.14	1.2	1.26	1.14	1.2	1.26	V	
CVDD12		1.14	1.2	1.26	1.14	1.2	1.26	V	
数字电源电压									
SIOVDD33		3.13	3.3	3.47	3.13	3.3	3.47	V	
V_{TT}		1.1	1.2	1.37	1.1	1.2	1.37	V	
DVDD12	1.2 V标称电源电压	1.14	1.2	1.26	1.14	1.2	1.26	V	
	1.3 V标称电源电压	1.274	1.3	1.326	1.274	1.3	1.326	V	
SVDD12	1.2 V标称电源电压	1.14	1.2	1.26	1.14	1.2	1.26	V	
	1.3 V标称电源电压	1.274	1.3	1.326	1.274	1.3	1.326	V	
IOVDD		1.71	1.8	3.47	1.71	1.8	3.47	V	
功耗									
1倍插值模式	$f_{DAC} = 1.6$ GSPS，IF = 40 MHz，PLL开启，数字增益开启，反sinc开启，DAC满量程电流(I_{OUTFS}) = 20 mA	1.42			1.74			W	
AVDD33		68			73			mA	
PVDD12		100			113.4			mA	
CVDD12		101			112			mA	
SVDD12	包括 V_{TT}	554			665			mA	
DVDD12		196			224			mA	
SIOVDD33		11			12			mA	
IOVDD		36			50			μA	

AD9135/AD9136

数字规格

除非另有说明, AVDD33 = 3.3 V, SIOVDD33 = 3.3 V, IOVDD = 1.8 V, DVDD12 = 1.2 V, CVDD12 = 1.2 V, PVDD12 = 1.2 V, SVDD12 = 1.2 V, $V_{TT} = 1.2 V$, $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$, $I_{OUTFS} = 20 mA$ 。

表2.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
CMOS输入逻辑电平 输入电压(V_{IN})逻辑 高		$1.8 V \leq IOVDD \leq 3.3 V$	$0.7 \times IOVDD$			V
低		$1.8 V \leq IOVDD \leq 3.3 V$			$0.3 \times IOVDD$	V
CMOS输出逻辑电平 输出电压(V_{OUT})逻辑 高		$1.8 V \leq IOVDD \leq 3.3 V$	$0.7 \times IOVDD$			V
低		$1.8 V \leq IOVDD \leq 3.3 V$			$0.3 \times IOVDD$	V
最大DAC更新速率 ¹		1倍插值 ² (参见表4) 2倍插值 ² 4倍插值 ³ 8倍插值 ³	2120 2120 2800 2800			MSPS MSPS MSPS MSPS
调整后的DAC更新速率		1倍插值 2倍插值 4倍插值 8倍插值	2120 1060 700 350			MSPS MSPS MSPS MSPS
接口 ⁴ JESD204B通道数				8		通道
JESD204B串行接口速度 最小值		每通道			1.42	Gbps
最大值		每通道, $SVDD12 = 1.3 V \pm 2\%$	10.64			Gbps
DAC时钟输入(CLK+, CLK-) 差分峰峰值电压			400	1000	2000	mV
共模电压		自偏置输入, 交流耦合		600		mV
最大时钟速率			2800			MHz
REFCLK ⁵ 频率(PLL模式)		$6.0 GHz \leq f_{VCO} \leq 12.0 GHz$	35		1000	MHz
系统参考输入 (SYSREF+, SYSREF-) 差分峰峰值电压			400	1000	2000	mV
共模电压			0		2000	mV
SYSREF \pm 频率 ⁶					$f_{DATA}/(K \times (F/S))$	Hz
SYSREF信号至DAC时钟 ⁷ 建立时间	t_{SSD}	SYSREF差分摆幅 = 0.4 V, 压摆率 = 1.3 V/ns, 测试的共模电压: 交流耦合、0 V、0.6 V、1.25 V、2.0 V	131			ps
保持时间	t_{HSD}		119			ps
阻挡窗口	KOW			20		ps
SPI 最大时钟速率	SCLK	IOVDD = 1.8 V	10			MHz
最小SCLK脉冲宽度 高	t_{PWH}				8	ns
低	t_{PWL}				12	ns
SDIO至SCLK 建立时间	t_{DS}		5			ns
保持时间	t_{DH}		2			ns

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
SDO至SCLK 数据有效窗口	t_{dv}		25			ns
\overline{CS} 至SCLK 建立时间	$t_{s\overline{CS}}$		5			ns
保持时间	$t_{H\overline{CS}}$		2			ns

¹ DAC更新速率条件的详细规格参见表3。

² 在较高电源电平下，1倍和2倍插值的最大速度受JESD204B接口的限制。详情参见表4。

³ 4倍和8倍插值的最大速度受DAC内核的限制。详情参见表4。

⁴ JESD速度条件的详细规格参见表4。

⁵ REFCLK为参考时钟。

⁶ K、F和S为JESD204B传输层参数。完整定义参见表41。

⁷ SYSREF信号至DAC时钟时序条件的详细规格参见表5。

不同电源下的DAC最大更新速率规格

除非另有说明，AVDD33 = 3.3 V，SIOVDD33 = 3.3 V，IOVDD = 1.8 V，DVDD12 = 1.2 V，CVDD12 = 1.2 V，PVDD12 = 1.2 V，SVDD12 = 1.2 V， $V_{TT} = 1.2 V$ ， $T_A = -40^\circ C$ 至 $+85^\circ C$ ， $I_{OUTFS} = 20 mA$ 。

表3.

参数	测试条件/注释	最小值	典型值	最大值	单位
DAC最大更新速率					
2倍、4倍和8倍插值	DVDD12, CVDD12 = 1.2 V ± 5%	2.23			GSPS
	DVDD12, CVDD12 = 1.2 V ± 2%	2.41			GSPS
	DVDD12, CVDD12 = 1.3 V ± 2%	2.80			GSPS
1倍插值	DVDD12, CVDD12 = 1.2 V ± 5%	1.81			GSPS
	DVDD12, CVDD12 = 1.2 V ± 2%	1.93			GSPS
	DVDD12, CVDD12 = 1.3 V ± 2%	2.21			GSPS

JESD204B串行接口速度规格

除非另有说明，AVDD33 = 3.3 V，SIOVDD33 = 3.3 V，IOVDD = 1.8 V，DVDD12 = 1.2 V，CVDD12 = 1.2 V，PVDD12 = 1.2 V，SVDD12 = 1.2 V， $V_{TT} = 1.2 V$ ， $T_A = -40^\circ C$ 至 $+85^\circ C$ ， $I_{OUTFS} = 20 mA$ 。

表4.

参数	测试条件/注释	最小值	典型值	最大值	单位
半速率	SVDD12 = 1.2 V ± 5%	5.65		8.92	Gbps
	SVDD12 = 1.2 V ± 2%	5.65		9.42	Gbps
	SVDD12 = 1.3 V ± 2%	5.65		10.64	Gbps
全速率	SVDD12 = 1.2 V ± 5%	2.83		4.63	Gbps
	SVDD12 = 1.2 V ± 2%	2.83		4.93	Gbps
	SVDD12 = 1.3 V ± 2%	2.83		5.52	Gbps
过采样	SVDD12 = 1.2 V ± 5%	1.42		2.31	Gbps
	SVDD12 = 1.2 V ± 2%	1.42		2.46	Gbps
	SVDD12 = 1.3 V ± 2%	1.42		2.76	Gbps

AD9135/AD9136

SYSREF信号至DAC时钟时序规格

除非另有说明, AVDD33 = 3.3 V, SIOVDD33 = 3.3 V, IOVDD = 1.8 V, DVDD12 = 1.2 V, CVDD12 = 1.2 V, PVDD12 = 1.2 V, SVDD12 = 1.2 V, $V_{TT} = 1.2 V$, $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$, $I_{OUTFS} = 20 mA$, SYSREF±共模电压 = 0.0 V、0.6 V、1.25 V和2.0 V。

表5.

参数	测试条件/注释	最小值	典型值	最大值	单位
SYSREF差分摆幅 = 0.4 V, 压摆率 = 1.3 V/ns 建立时间	交流耦合	126			ps
	直流耦合	131			ps
	交流耦合	92			ps
	直流耦合	119			ps
SYSREF差分摆幅 = 0.7 V, 压摆率 = 2.28 V/ns 建立时间	交流耦合	96			ps
	直流耦合	104			ps
	交流耦合	77			ps
	直流耦合	95			ps
SYSREF摆幅 = 1.0 V, 压摆率 = 3.26 V/ns 建立时间	交流耦合	83			ps
	直流耦合	90			ps
	交流耦合	68			ps
	直流耦合	84			ps

数字输入数据时序规格

除非另有说明, AVDD33 = 3.3 V, SIOVDD33 = 3.3 V, IOVDD = 1.8 V, DVDD12 = 1.2 V, CVDD12 = 1.2 V, PVDD12 = 1.2 V, SVDD12 = 1.2 V, $V_{TT} = 1.2 V$, $T_A = 25^{\circ}C$, $I_{OUTFS} = 20 mA$ 。

表6.

参数	测试条件/注释	最小值	典型值	最大值	单位
延迟					
接口			17		PClock ¹ 周期
插值					
1×			66		DAC时钟周期
2×			137		DAC时钟周期
4×			251		DAC时钟周期
8×			484		DAC时钟周期
反Sinc			17		DAC时钟周期
数字增益调整			12		DAC时钟周期
上电时间			60		μs

¹ PClock为AD9135/AD9136内部处理时钟, 等于通道速率 ÷ 40。

延迟差异规格

除非另有说明, AVDD33 = 3.3 V, SIOVDD33 = 3.3 V, IOVDD = 1.8 V, DVDD12 = 1.2 V, CVDD12 = 1.2 V, PVDD12 = 1.2 V, SVDD12 = 1.2 V, $V_{TT} = 1.2$ V, $T_A = 25^\circ\text{C}$, $I_{OUTFS} = 20$ mA。

表7.

参数	最小值	典型值	最大值	单位	测试条件/注释
DAC延迟差异					
同步开					
PLL关闭		0	1	DAC时钟周期	
PLL开启	-1		+1	DAC时钟周期	

JESD204B接口电气规格

除非另有说明, AVDD33 = 3.3 V, SIOVDD33 = 3.3 V, IOVDD = 1.8 V, DVDD12 = 1.2 V, CVDD12 = 1.2 V, PVDD12 = 1.2 V, SVDD12 = 1.2 V, $V_{TT} = 1.2$ V, $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$, $I_{OUTFS} = 20$ mA。

表8.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
JESD204B数据输入						
输入漏电流		$T_A = 25^\circ\text{C}$				
逻辑高电平		输入电平 = $1.2\text{ V} \pm 0.25\text{ V}$, $V_{TT} = 1.2\text{ V}$		10		μA
逻辑低电平		输入电平 = 0 V		-4		μA
单位间隔	UI		94		714	ps
共模电压	V_{RCM}	交流耦合 $V_{TT} = \text{SVDD12}^1$	-0.05		+1.85	V
差分电压	$R_{V_{DIFF}}$		110		1050	mV
V_{TT} 源阻抗	Z_{TT}	对于直流			30	Ω
差分阻抗	$Z_{R_{DIFF}}$	对于直流	80	100	120	Ω
差分回损	RL_{RDIF}			8		dB
共模回损	RL_{RCM}			6		dB
差分输出(SYNCOUT $x\pm$) ²						
输出差分电压	V_{OD}	寄存器0x2A5[0] = 0	192		235	mV
正常摆幅模式		寄存器0x2A5[0] = 1	341		394	mV
高摆幅模式			1.19		1.27	V
输出失调电压	V_{OS}					
确定延迟						
固定					17	PClock ³ 周期
可变					2	PClock ³ 周期
SYSREF \pm 至局部多帧计数器(LMFC)延迟			4			DAC时钟周期

¹ 在交流耦合电容的输入侧测量。

² IEEE标准1596.3 LVDS兼容。

³ PClock为AD9135/AD9136内部处理时钟, 等于通道速率 $\div 40$ 。

AD9135/AD9136

交流规格

除非另有说明, AVDD33 = 3.3 V, SIOVDD33 = 3.3 V, IOVDD = 1.8 V, DVDD12 = 1.2 V, CVDD12 = 1.2 V, PVDD12 = 1.2 V, SVDD12 = 1.2 V¹, V_{TT} = 1.2 V, T_A = 25°C, I_{OUTFS} = 20 mA。

表9.

参数	测试条件/注释	最小值	典型值	最大值	单位
无杂散动态范围(SFDR)	-9 dBFS单音				
f _{DAC} = 983.04 MSPS	f _{OUT} = 20 MHz		82		dBc
f _{DAC} = 983.04 MSPS	f _{OUT} = 150 MHz		76		dBc
f _{DAC} = 1966.08 MSPS	f _{OUT} = 20 MHz		81		dBc
f _{DAC} = 1966.08 MSPS	f _{OUT} = 170 MHz		69		dBc
双音交调失真(IMD)	-9 dBFS				
f _{DAC} = 983.04 MSPS	f _{OUT} = 20 MHz		90		dBc
f _{DAC} = 983.04 MSPS	f _{OUT} = 150 MHz		82		dBc
f _{DAC} = 1966.08 MSPS	f _{OUT} = 20 MHz		90		dBc
f _{DAC} = 1966.08 MSPS	f _{OUT} = 170 MHz		81		dBc
噪声谱密度(NSD), 单音	0 dBFS				
f _{DAC} = 983.04 MSPS	f _{OUT} = 150 MHz		-162		dBm/Hz
f _{DAC} = 1966.08 MSPS	f _{OUT} = 150 MHz		-163		dBm/Hz
W-CDMA第一邻道泄漏比(ACLR), 单载波 RATIO (ACLR), SINGLE CARRIER	0 dBFS				
f _{DAC} = 983.04 MSPS	f _{OUT} = 30 MHz		82		dBc
f _{DAC} = 983.04 MSPS	f _{OUT} = 150 MHz		80		dBc
f _{DAC} = 1966.08 MSPS	f _{OUT} = 150 MHz		80		dBc
W-CDMA第二邻道泄漏比(ACLR), 单载波	0 dBFS				
f _{DAC} = 983.04 MSPS	f _{OUT} = 30 MHz		84		dBc
f _{DAC} = 983.04 MSPS	f _{OUT} = 150 MHz		85		dBc
f _{DAC} = 1966.08 MSPS	f _{OUT} = 150 MHz		85		dBc

¹ 对于表9中的所有f_{DAC} = 1966.08 MSPS条件, SVDD12 = 1.3 V。

绝对最大额定值

表10.

参数	额定值
I120至地	-0.3 V至AVDD33 + 0.3 V
SERDINx±、VTT、 $\overline{\text{SYNCOUT1}}\pm$ / $\overline{\text{SYNCOUT0}}\pm$ 、TXENx	-0.3 V至SIOVDD33 + 0.3 V
OUTx±	-0.3 V至AVDD33 + 0.3 V
SYSREF±	GND - 0.5 V至+2.5 V
CLK±至地	-0.3 V至PVDD12 + 0.3 V
$\overline{\text{RESET}}$ 、 $\overline{\text{IRQ}}$ 、 $\overline{\text{CS}}$ 、SCLK、SDIO、 SDO至地	-0.3 V至IOVDD + 0.3 V
LDO_BYP1	-0.3 V至SVDD12 + 0.3 V
LDO_BYP2	-0.3 V至PVDD12 + 0.3 V
LDO24	-0.3 V至AVDD33 + 0.3 V
工作环境温度(T_A)	-40°C至+85°C
结温	125°C
存储温度范围	-65°C至+150°C

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

88引脚LFCSP封装的裸露焊盘(EPAD)必须焊接到接地层。EPAD提供到电路板的电气、热和机械连接。

θ_{JA} 、 θ_{JB} 和 θ_{JC} 典型值的测试条件为4层JESD51-7高效导热测试板和有引脚表贴封装。 θ_{JA} 在静止空气条件下获得(JESD51-2)。气流可增强散热，从而有效降低 θ_{JA} 。 θ_{JB} 在双环板测试条件下获得(JESD51-8)。测量 θ_{JC} 时，在裸露焊盘底部监控测试外壳温度。

Ψ_{JT} 和 Ψ_{JB} 是热特性参数，利用静止空气条件下的 θ_{JA} 获得。

结温(T_J)可利用下式估算：

$$T_J = T_T + (\Psi_{JT} \times P)$$

或者

$$T_J = T_B + (\Psi_{JB} \times P)$$

其中：

T_T 是在封装顶部测得的温度。

P 是器件总功耗。

T_B 是在电路板测得的温度。

表11. 热阻

封装	θ_{JA}	θ_{JB}	θ_{JC}	Ψ_{JT}	Ψ_{JB}	单位
88引脚 LFCSP ¹	22.6	5.59	1.17	0.1	5.22	°C/W

¹ 裸露焊盘必须牢固连接到接地层。

ESD警告

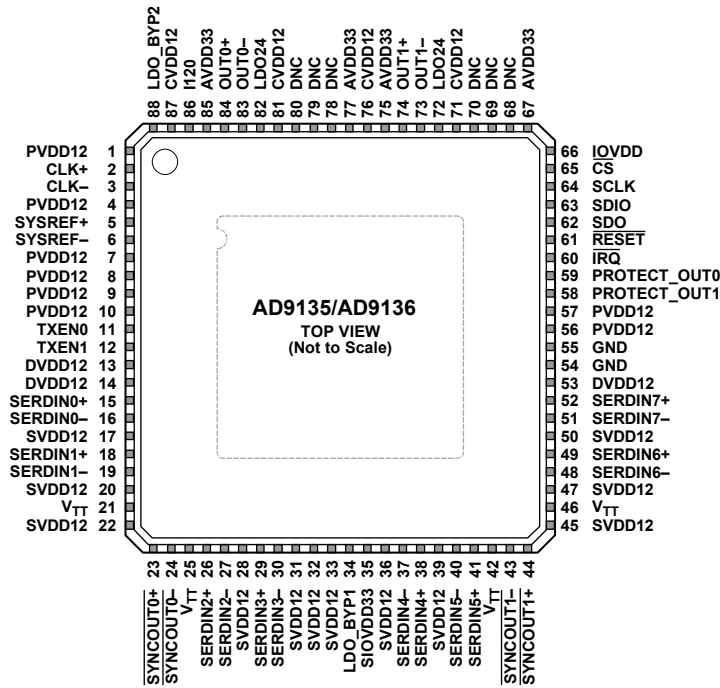


ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD9135/AD9136

引脚配置和功能描述



- NOTES**
1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
 2. THE EXPOSED PAD MUST BE SECURELY CONNECTED TO THE GROUND PLANE.

图3. 引脚配置

表12. 引脚功能描述

引脚编号	引脚名称	说明
1	PVDD12	1.2 V电源。PVDD12提供干净的电源。
2	CLK+	PLL参考/时钟输入(+)。使用PLL时，这是参考时钟正输入。不使用PLL时，这是器件时钟正输入。此引脚自偏置，必须交流耦合。
3	CLK-	PLL参考/时钟输入(-)。使用PLL时，这是参考时钟负输入。不使用PLL时，这是器件时钟负输入。此引脚自偏置，必须交流耦合。
4	PVDD12	1.2 V电源。PVDD12提供干净的电源。
5	SYSREF+	确定延迟的正参考时钟。此引脚自偏置，支持交流耦合。它既可采用交流耦合，也可采用直流耦合。
6	SYSREF-	确定延迟的负参考时钟。此引脚自偏置，支持交流耦合。它既可采用交流耦合，也可采用直流耦合。
7	PVDD12	1.2 V电源。PVDD12提供干净的电源。
8	PVDD12	1.2 V电源。PVDD12提供干净的电源。
9	PVDD12	1.2 V电源。PVDD12提供干净的电源。
10	PVDD12	1.2 V电源。PVDD12提供干净的电源。
11	TXEN0	DAC0的发射使能。CMOS电平相对于IOVDD确定。
12	TXEN1	DAC1的发射使能。CMOS电平相对于IOVDD确定。
13	DVDD12	1.2 V数字电源。
14	DVDD12	1.2 V数字电源。
15	SERDIN0+	串行通道输入0 (+)。CML兼容。SERDIN0+使用校准的50 Ω电阻内部端接到V _{TT} 引脚电压。此引脚只能交流耦合。
16	SERDIN0-	串行通道输入0 (-)。CML兼容。SERDIN0-使用校准的50 Ω电阻内部端接到V _{TT} 引脚电压。此引脚只能交流耦合。
17	SVDD12	1.2 V JESD204B接收器电源。
18	SERDIN1+	串行通道输入1 (+)。CML兼容。SERDIN1+使用校准的50 Ω电阻内部端接到V _{TT} 引脚电压。此引脚只能交流耦合。
19	SERDIN1-	串行通道输入1 (-)。CML兼容。SERDIN1-使用校准的50 Ω电阻内部端接到V _{TT} 引脚电压。此引脚只能交流耦合。

引脚编号	引脚名称	说明
20	SVDD12	1.2 V JESD204B接收器电源。
21	V _{TT}	1.2 V端接电压。将V _{TT} 连接到SVDD12电源引脚。
22	SVDD12	1.2 V JESD204B接收器电源。
23	SYNCOUT0+	正LVDS同步(低电平有效)输出信号通道链路0。
24	SYNCOUT0-	负LVDS同步(低电平有效)输出信号通道链路0。
25	V _{TT}	1.2 V端接电压。将V _{TT} 连接到SVDD12电源引脚。
26	SERDIN2+	串行通道输入2 (+)。CML兼容。SERDIN2+使用校准的50 Ω电阻内部端接到V _{TT} 引脚电压。此引脚只能交流耦合。
27	SERDIN2-	串行通道输入2 (-)。CML兼容。SERDIN2-使用校准的50 Ω电阻内部端接到V _{TT} 引脚电压。此引脚只能交流耦合。
28	SVDD12	1.2 V JESD204B接收器电源。
29	SERDIN3+	串行通道输入3 (+)。CML兼容。SERDIN3+使用校准的50 Ω电阻内部端接到V _{TT} 引脚电压。此引脚只能交流耦合。
30	SERDIN3-	串行通道输入3 (-)。CML兼容。SERDIN3-使用校准的50 Ω电阻内部端接到V _{TT} 引脚电压。此引脚只能交流耦合。
31	SVDD12	1.2 V JESD204B接收器电源。
32	SVDD12	1.2 V JESD204B接收器电源。
33	SVDD12	1.2 V JESD204B接收器电源。
34	LDO_BYP1	LDO SERDES旁路。此引脚需要一个1 Ω电阻与一个1 μF电容串联接地。
35	SIOVDD33	3.3 V SERDES电源。
36	SVDD12	1.2 V JESD204B接收器电源。
37	SERDIN4-	串行通道输入4 (-)。CML兼容。SERDIN4-使用校准的50 Ω电阻内部端接到V _{TT} 引脚电压。此引脚只能交流耦合。
38	SERDIN4+	串行通道输入4 (+)。CML兼容。SERDIN4+使用校准的50 Ω电阻内部端接到V _{TT} 引脚电压。此引脚只能交流耦合。
39	SVDD12	1.2 V JESD204B接收器电源。
40	SERDIN5-	串行通道输入5 (-)。CML兼容。SERDIN5-使用校准的50 Ω电阻内部端接到V _{TT} 引脚电压。此引脚只能交流耦合。
41	SERDIN5+	串行通道输入5 (+)。CML兼容。SERDIN5+使用校准的50 Ω电阻内部端接到V _{TT} 引脚电压。此引脚只能交流耦合。
42	V _{TT}	1.2 V端接电压。将V _{TT} 连接到SVDD12电源引脚。
43	SYNCOUT1-	负LVDS同步(低电平有效)输出信号通道链路1。
44	SYNCOUT1+	正LVDS同步(低电平有效)输出信号通道链路1。
45	SVDD12	1.2 V JESD204B接收器电源。
46	V _{TT}	1.2 V端接电压。将V _{TT} 连接到SVDD12电源引脚。
47	SVDD12	1.2 V JESD204B接收器电源。
48	SERDIN6-	串行通道输入6 (-)。CML兼容。SERDIN6-使用校准的50 Ω电阻内部端接到V _{TT} 引脚电压。此引脚只能交流耦合。
49	SERDIN6+	串行通道输入6 (+)。CML兼容。SERDIN6+使用校准的50 Ω电阻内部端接到V _{TT} 引脚电压。此引脚只能交流耦合。
50	SVDD12	1.2 V JESD204B接收器电源。
51	SERDIN7-	串行通道输入7 (-)。CML兼容。SERDIN7-使用校准的50 Ω电阻内部端接到V _{TT} 引脚电压。此引脚只能交流耦合。
52	SERDIN7+	串行通道输入7 (+)。CML兼容。SERDIN7+使用校准的50 Ω电阻内部端接到V _{TT} 引脚电压。此引脚只能交流耦合。
53	DVDD12	1.2 V数字电源。
54	GND	地。GND连接到接地层。
55	GND	地。GND连接到接地层。
56	PVDD12	1.2 V电源。PVDD12提供干净的电源。
57	PVDD12	1.2 V电源。PVDD12提供干净的电源。
58	PROTECT_OUT1	DAC1的电源检测和保护引脚输出。在电源保护过程中，引脚58为高电平。
59	PROTECT_OUT0	DAC0的电源检测和保护引脚输出。在电源保护过程中，引脚59为高电平。
60	IRQ	中断请求(低电平有效、开漏)。
61	RESET	复位。此引脚为低电平有效。CMOS电平相对于IOVDD确定。

AD9135/AD9136

引脚编号	引脚名称	说明
62	SDO	串行端口数据输出。CMOS电平相对于IOVDD确定。
63	SDIO	串行端口数据输入/输出。CMOS电平相对于IOVDD确定。
64	SCLK	串行端口时钟输入。CMOS电平相对于IOVDD确定。
65	$\overline{\text{CS}}$	串行端口片选。此引脚为低电平有效。CMOS电平相对于IOVDD确定。
66	IOVDD	CMOS输入/输出和SPI的IOVDD电源。正常工作要求 $1.8\text{ V} \leq \text{IOVDD} \leq 3.3\text{ V}$ 。
67	AVDD33	DAC内核的3.3 V模拟电源。
68	DNC	请勿连接该引脚。
69	DNC	请勿连接该引脚。
70	DNC	请勿连接该引脚。
71	CVDD12	1.2 V时钟电源。尽可能靠近引脚71放置旁路电容。
72	LDO24	2.4 V LDO。需要一个1 μF 电容接地。
73	OUT1-	DAC1负电流输出。
74	OUT1+	DAC1正电流输出。
75	AVDD33	DAC内核的3.3 V模拟电源。
76	CVDD12	1.2 V时钟电源。尽可能靠近引脚76放置旁路电容。
77	AVDD33	DAC内核的3.3 V模拟电源。
78	DNC	请勿连接该引脚。
79	DNC	请勿连接该引脚。
80	DNC	请勿连接该引脚。
81	CVDD12	1.2 V时钟电源。尽可能靠近引脚81放置旁路电容。
82	LDO24	2.4 V LDO。需要一个1 μF 电容接地。
83	OUT0-	DAC0负电流输出。
84	OUT0+	DAC0正电流输出。
85	AVDD33	DAC内核的3.3 V模拟电源。
86	I120	DAC满量程电流的输出电流产生引脚。应将一个4 k Ω 电阻连接在I120引脚与地之间。
87	CVDD12	1.2 V时钟电源。尽可能靠近引脚87放置旁路电容。
88	LDO_BYP2	DAC PLL的LDO时钟旁路。此引脚需要一个1 Ω 电阻与一个1 μF 电容串联接地。
	EPAD	裸露焊盘。裸露焊盘必须牢固连接到接地层。

术语

积分非线性(INL)

INL指实际模拟输出与理想输出的最大偏差，理想输出由从零电平到满量程所画的直线确定。

差分非线性(DNL)

DNL用于衡量数字输入代码改变1 LSB时模拟值(用满量程归一化)的变化。

失调误差

失调误差指输出电流与理想值0 mA的偏差。对于OUTx+，当所有输入均置0时，预期输出为0 mA。对于OUTx-，当所有输入均置1时，预期输出为0 mA。

增益误差

增益误差指实际输出范围与理想输出范围的差异。输入为最小代码时的输出与输入为最大代码时的输出之差即为实际范围。

输出顺从电压范围

输出顺从电压范围指电流输出DAC输出端的容许电压范围。超出最大限值工作可能会引起输出级饱和或击穿，导致非线性性能。

温度漂移

温度漂移衡量环境温度(25°C)值与 T_{MIN} 或 T_{MAX} 值之间的最大变化范围。失调和增益漂移用每摄氏度(°C)满量程范围(FSR)的ppm表示；基准电压漂移用每摄氏度ppm表示(ppm/°C)。

电源抑制(PSR)

PSR衡量电源从最小额定电压变为最大额定电压时满量程输出的最大变化。

建立时间

建立时间指输出达到并保持在以最终值为中心的规定误差范围内所需的时间，从输出跃迁开始时测量。

无杂散动态范围(SFDR)

SFDR指DC至DAC奈奎斯特频率范围内输出信号与杂散信号的峰值幅度之差，用dB表示。此频段内的能量一般会被插值滤波器抑制。因此，该特性衡量的是插值滤波器的工作性能以及其它寄生耦合路径对DAC输出的影响。

信噪比(SNR)

SNR指实测输出信号的均方根值与奈奎斯特频率以下除前六次谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

插值滤波器

如果以 f_{DATA} 的倍率(插值速率)对DAC的数字输入进行采样，可以构建一个在 $f_{DATA}/2$ 附近具有陡峭跃迁带的数字滤波器，这样就能大大抑制通常出现在 f_{DAC} (输出数据速率)附近的镜像。

邻道泄漏比(ACLR)

ACLR指一个信道相对于其相邻信道的测量功率之比，用相对于载波的分贝数(dBc)表示。

复数镜像抑制

在传统的两部分上变频中，第二IF频率附近会再创建两个镜像。这些镜像会浪费发射器功率和系统带宽。如果将第二复数调制器的实部与第一复数调制器串联，就能抑制第二IF附近的上方或下方频率镜像。

调整后的DAC更新速率

调整后的DAC更新速率是指将DAC更新速率除以最小插值系数所得的值。为清楚起见，对于具有多个插值系数的DAC，可以给出每个插值系数对应的调整后DAC更新速率。

物理通道

物理通道x指SERDINx±。

逻辑通道

逻辑通道x指被纵横模块(寄存器0x308至寄存器0x30B)选择性重新映射之后的物理通道。

链路通道

链路通道指每条链路考虑的逻辑通道。传呼链路0时(寄存器0x300[2]=0)，链路通道x=逻辑通道x。传呼链路1时(寄存器0x300[2]=1，仅限双链路)，链路通道x=逻辑通道x+4。

典型性能参数

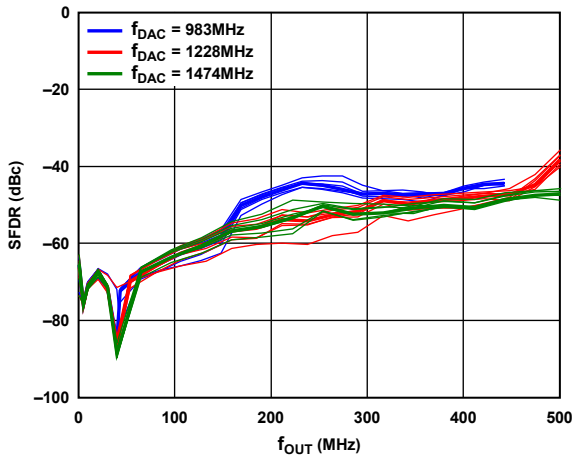


图4. 第一奈奎斯特区中单音SFDR与 f_{OUT} 的关系,
 $f_{DAC} = 983\text{ MHz}$ 、 1228 MHz 和 1474 MHz

12578-104

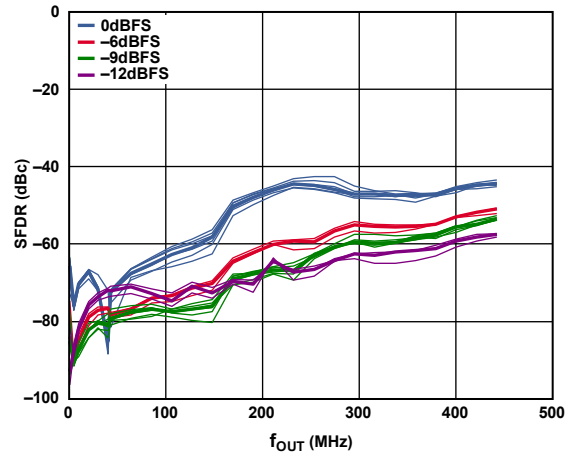


图7. 第一奈奎斯特区中单音SFDR与 f_{OUT} 的关系
(数字倒退, $f_{DAC} = 983\text{ MHz}$)

12578-107

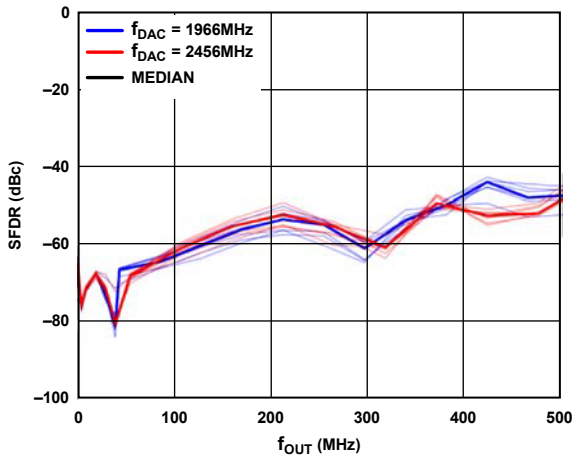


图5. 第一奈奎斯特区中单音SFDR与 f_{OUT} 的关系,
 $f_{DAC} = 1966\text{ MHz}$ 和 2456 MHz

12578-305

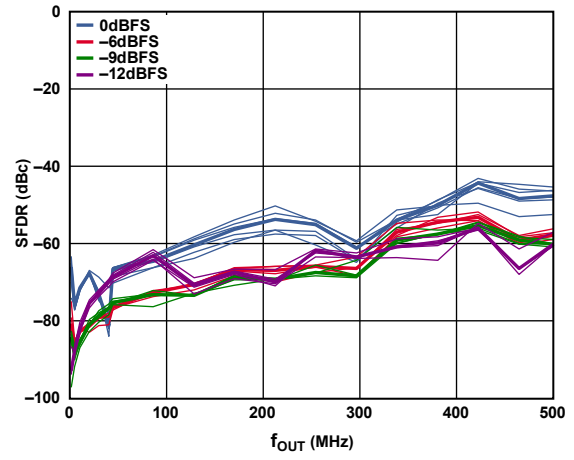


图8. 第一奈奎斯特区中单音SFDR与 f_{OUT} 的关系
(数字倒退, $f_{DAC} = 1966\text{ MHz}$)

12578-108

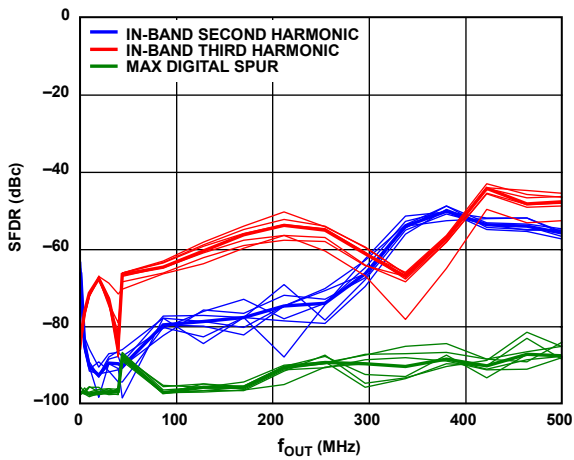


图6. 第一奈奎斯特区中单音二次和三次谐波与最大数字杂散的关系,
 $f_{DAC} = 1966\text{ MHz}$, 0 dB 倒退

12578-106

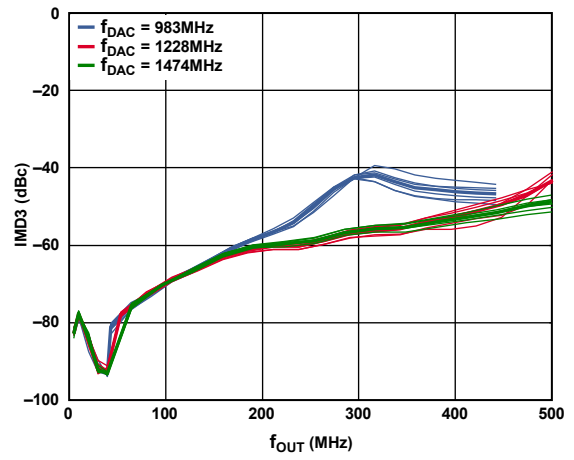


图9. 双音三阶IMD (IMD3)与 f_{OUT} 的关系,
 $f_{DAC} = 983\text{ MHz}$ 、 1228 MHz 和 1474 MHz

12578-109

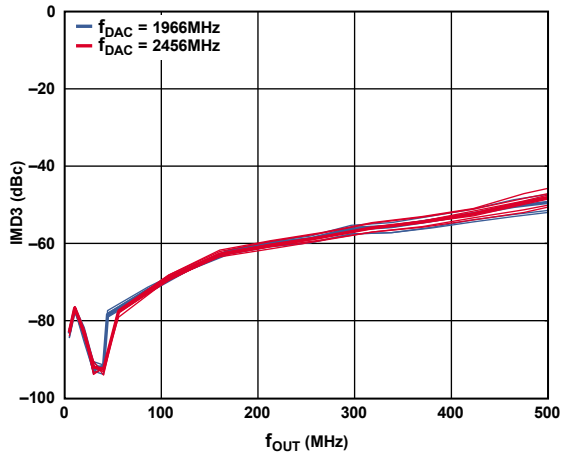


图10. 双音三阶IMD (IMD3)与 f_{OUT} 的关系,
 $f_{DAC} = 1966 \text{ MHz}$ 和 2456 MHz

12578-110

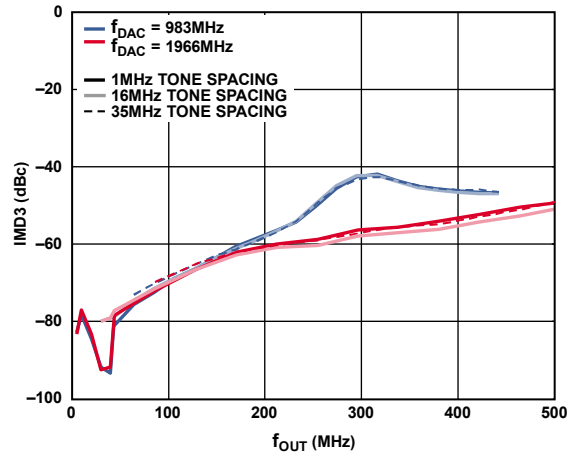


图13. 双音三阶IMD (IMD3)与 f_{OUT} 的关系
(信号音间隔0 dB倒退, $f_{DAC} = 983 \text{ MHz}$ 和 1966 MHz)

12578-113

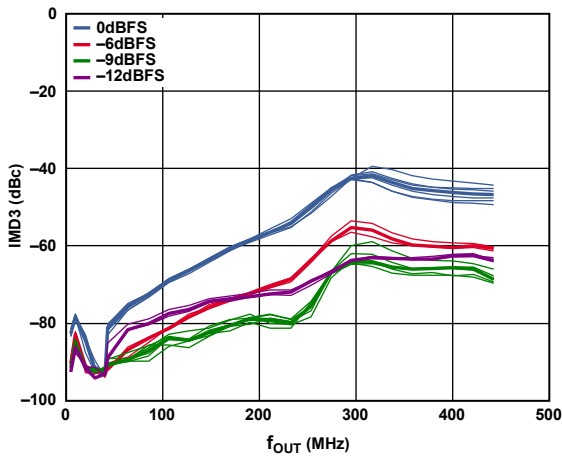


图11. 双音三阶IMD (IMD3)与 f_{OUT} 的关系
(数字倒退, $f_{DAC} = 983 \text{ MHz}$, 每个信号音为-6 dBFS)

12578-111

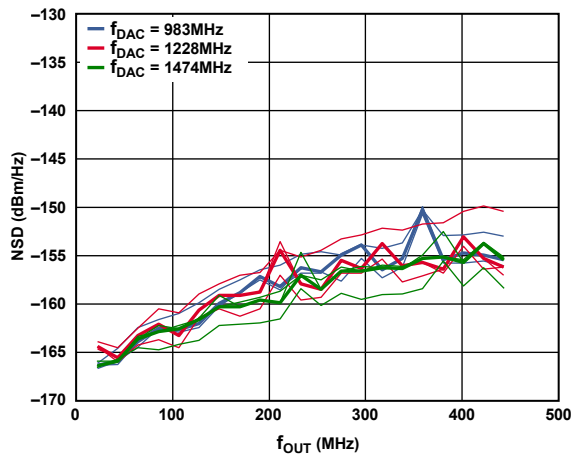


图14. AD9136单音(0 dBFS) NSD与 f_{OUT} 的关系,
 $f_{DAC} = 983 \text{ MHz}$, 1228 MHz 和 1474 MHz

12578-114

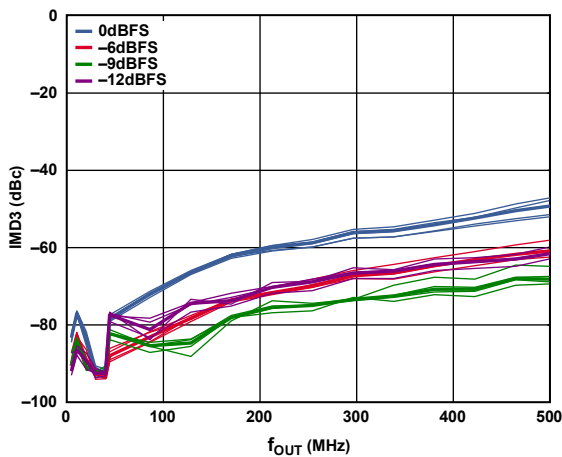


图12. 双音三阶IMD (IMD3)与 f_{OUT} 的关系
(数字倒退, $f_{DAC} = 1966 \text{ MHz}$, 每个信号音为-6 dBFS)

12578-112

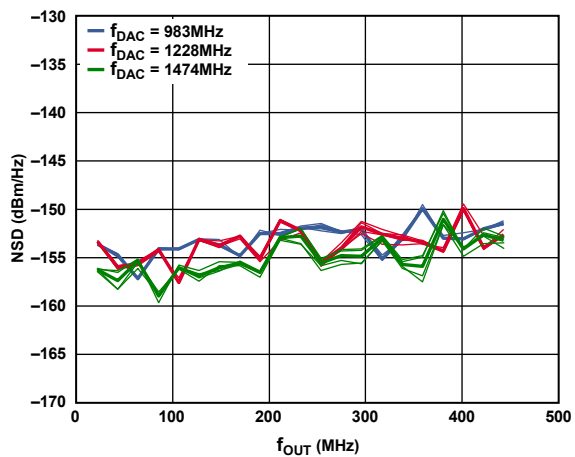


图15. AD9135单音(0 dBFS) NSD与 f_{OUT} 的关系,
 $f_{DAC} = 983 \text{ MHz}$, 1228 MHz 和 1474 MHz

12578-421

AD9135/AD9136

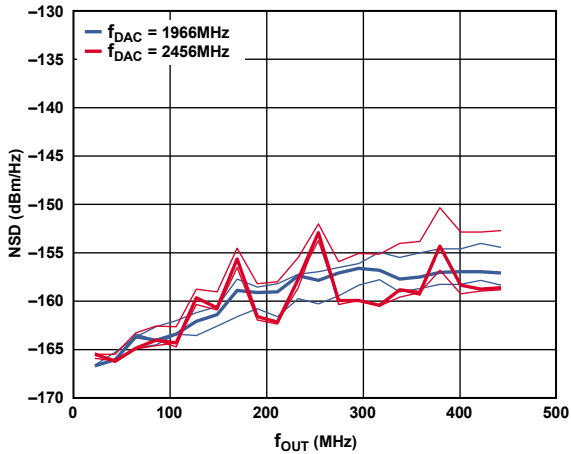


图16. AD9136单音(0 dBFS) NSD与 f_{OUT} 的关系,
 $f_{DAC} = 1966$ MHz和 2456 MHz

12578-115

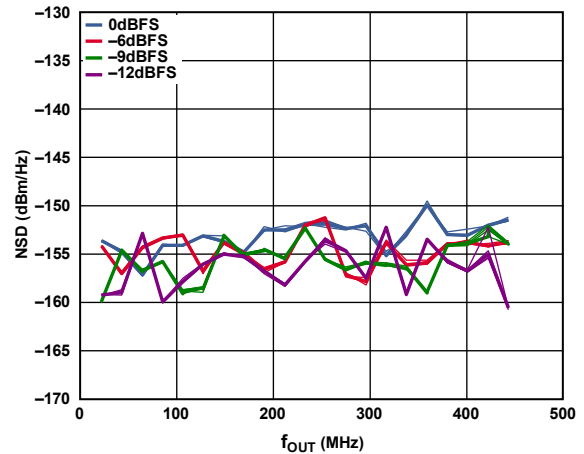


图19. AD9135单音NSD与 f_{OUT} 的关系
(数字倒退, $f_{DAC} = 983$ MHz)

12578-423

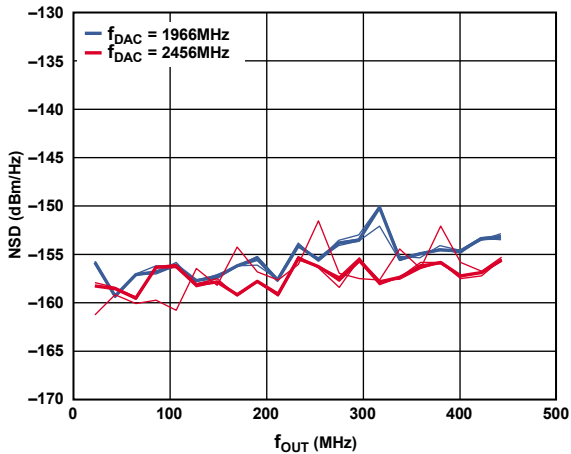


图17. AD9135单音(0 dBFS) NSD与 f_{OUT} 的关系,
 $f_{DAC} = 1966$ MHz和 2456 MHz

12578-422

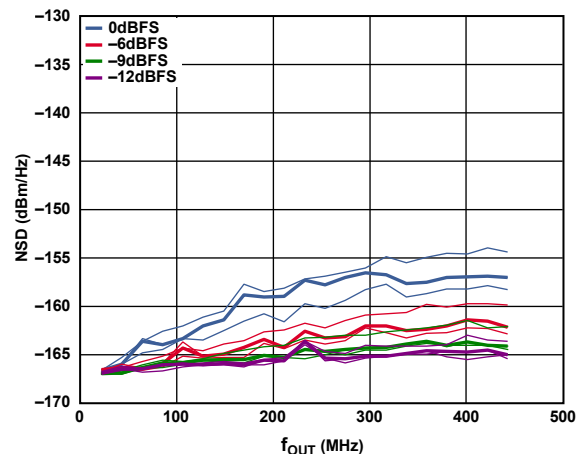


图20. AD9136单音NSD与 f_{OUT} 的关系
(数字倒退, $f_{DAC} = 1966$ MHz)

12578-117

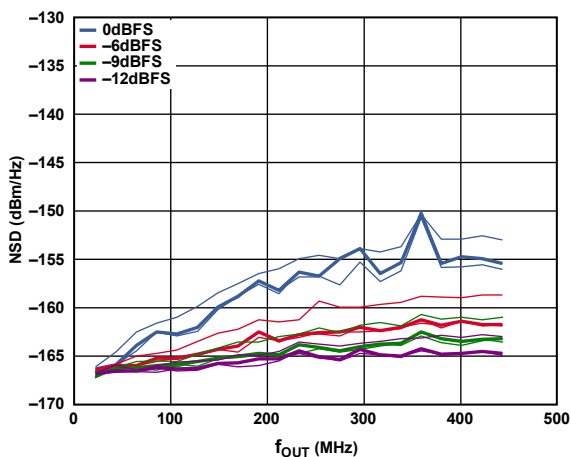


图18. AD9136单音NSD与 f_{OUT} 的关系
(数字倒退, $f_{DAC} = 983$ MHz)

12578-116

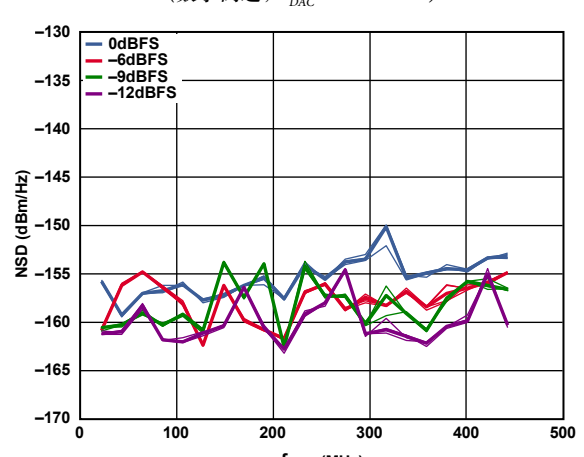


图21. AD9135单音NSD与 f_{OUT} 的关系
(数字倒退, $f_{DAC} = 1966$ MHz)

12578-424

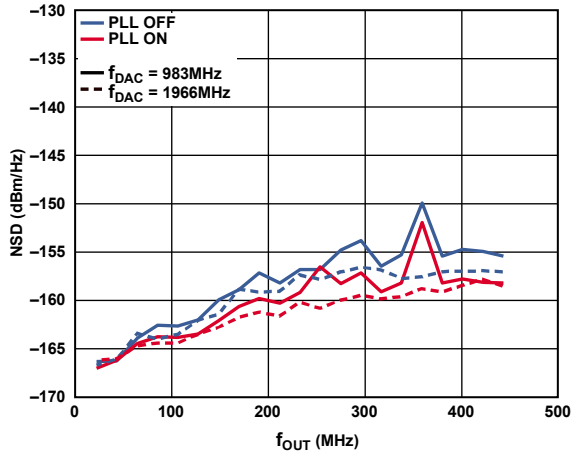


图22. AD9136单音NSD (0 dBFS)与 f_{OUT} 的关系, $f_{DAC} = 983$ MHz和1966 MHz, PLL开启和关闭

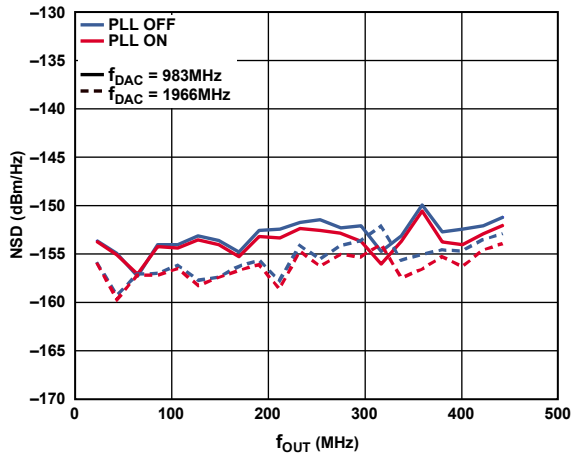


图23. AD9135单音NSD (0 dBFS)与 f_{OUT} 的关系, $f_{DAC} = 983$ MHz和1966 MHz, PLL开启和关闭

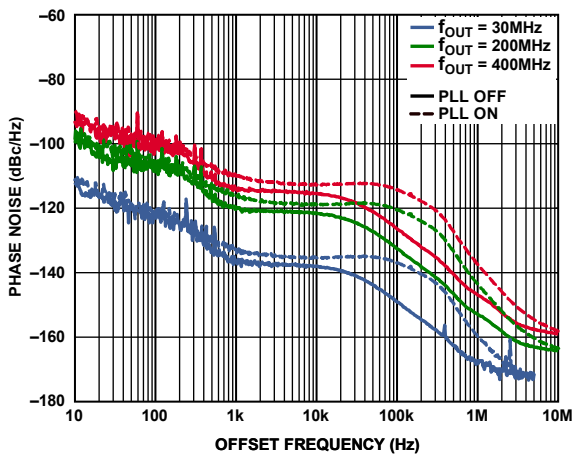


图24. 不同 f_{OUT} 时AD9136单音相位噪声与偏移频率的关系, $f_{DAC} = 2.0$ GHz, PLL开启和关闭

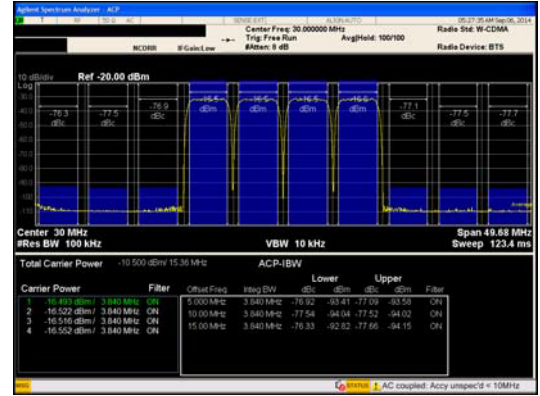


图25. AD9136四载波W-CDMA ACLR, $f_{OUT} = 30$ MHz, $f_{DAC} = 983$ MHz, 2倍插值, PLL频率 = 122 MHz

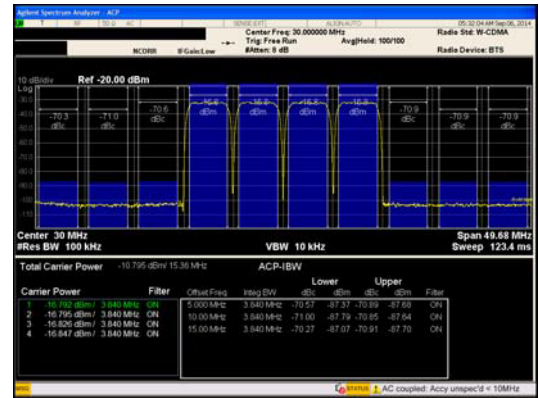


图26. AD9135四载波W-CDMA ACLR, $f_{OUT} = 30$ MHz, $f_{DAC} = 983$ MHz, 2倍插值, PLL频率 = 122 MHz

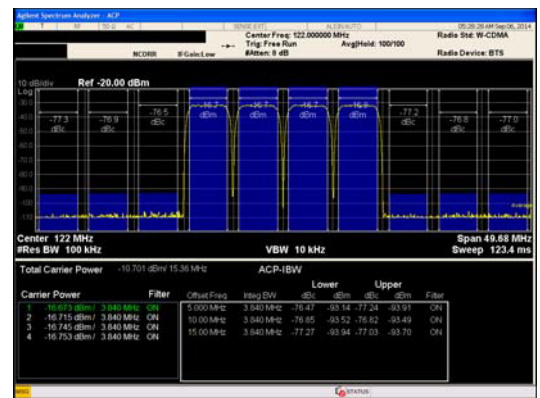


图27. AD9136四载波W-CDMA ACLR, $f_{OUT} = 122$ MHz, $f_{DAC} = 983$ MHz, 2倍插值, PLL频率 = 122 MHz

AD9135/AD9136

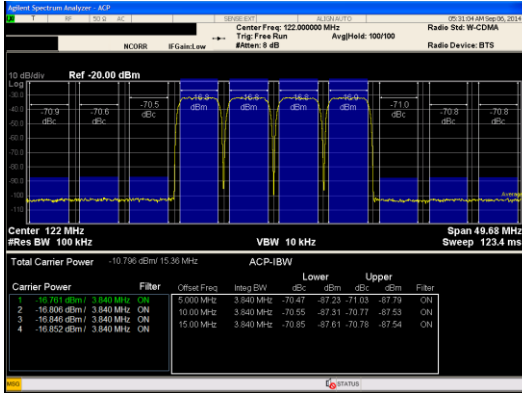


图28. AD9135四载波W-CDMA ACLR, $f_{OUT} = 122$ MHz, $f_{DAC} = 983$ MHz, 2倍插值, PLL频率 = 122 MHz

1.2576-418

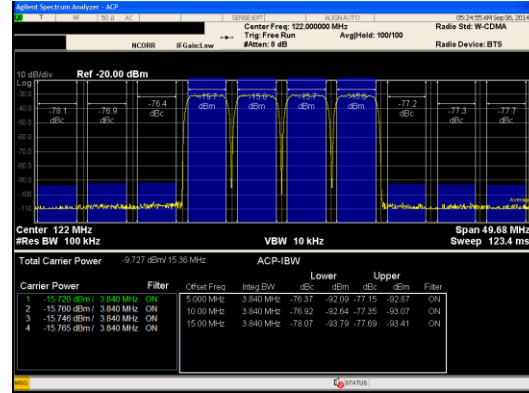


图31. AD9136四载波W-CDMA ACLR, $f_{OUT} = 122$ MHz, $f_{DAC} = 1966$ MHz, 4倍插值, PLL频率 = 122 MHz

1.2576-320

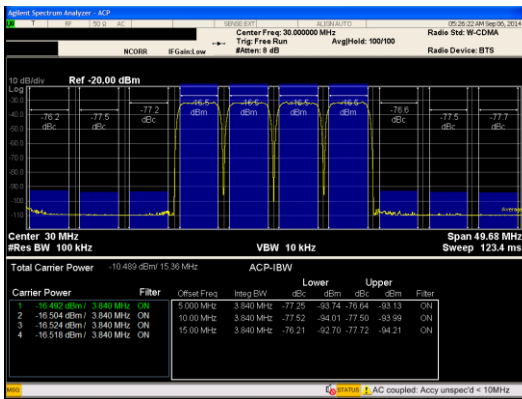


图29. AD9136四载波W-CDMA ACLR, $f_{OUT} = 30$ MHz, $f_{DAC} = 1966$ MHz, 4倍插值, PLL频率 = 245 MHz

1.2576-319

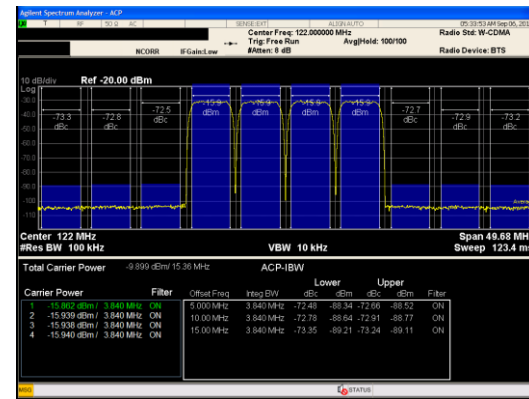


图32. AD9135四载波W-CDMA ACLR, $f_{OUT} = 122$ MHz, $f_{DAC} = 1966$ MHz, 4倍插值, PLL频率 = 122 MHz

1.2576-320

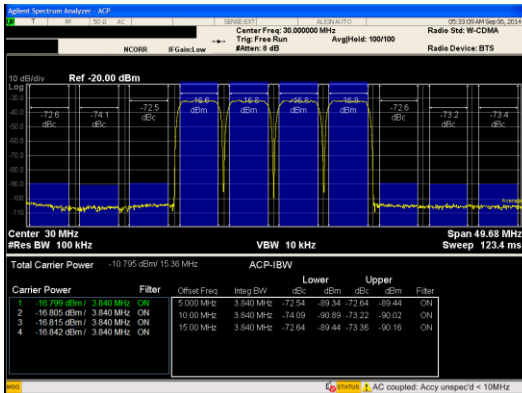


图30. AD9135四载波W-CDMA ACLR, $f_{OUT} = 30$ MHz, $f_{DAC} = 1966$ MHz, 4倍插值, PLL频率 = 245 MHz

1.2576-419

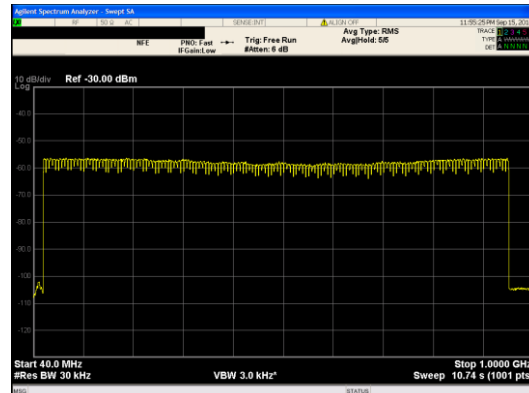


图33. AD9136超宽带(900 MHz) QAM信号的输出性能, $f_{DAC} = 2$ GHz, 1倍插值, 反sinc开启, JESD204B模式 11

1.2576-433

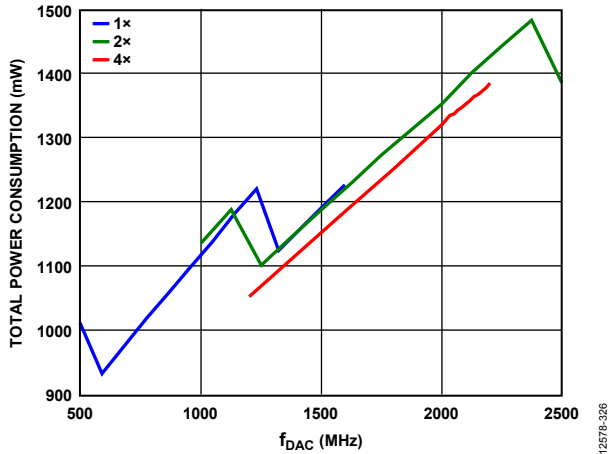


图34. 不同插值下总功耗与 f_{DAC} 的关系, 8个SERDES通道使能, 反Sinc和DAC PLL禁用

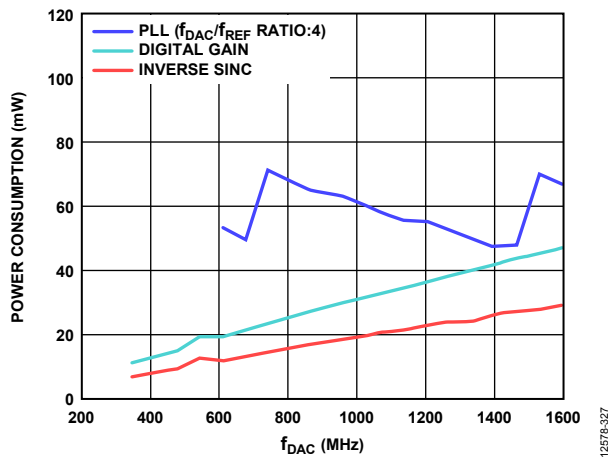


图35. 不同数字功能下功耗与 f_{DAC} 的关系

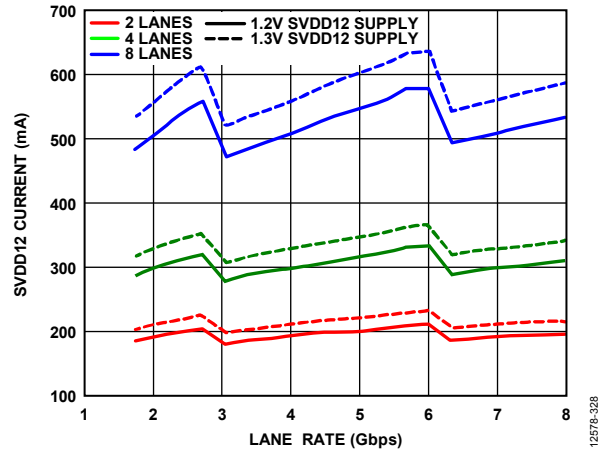


图36. 不同SERDES通道数和电源电压设置下SVDD12电流与通道速率的关系

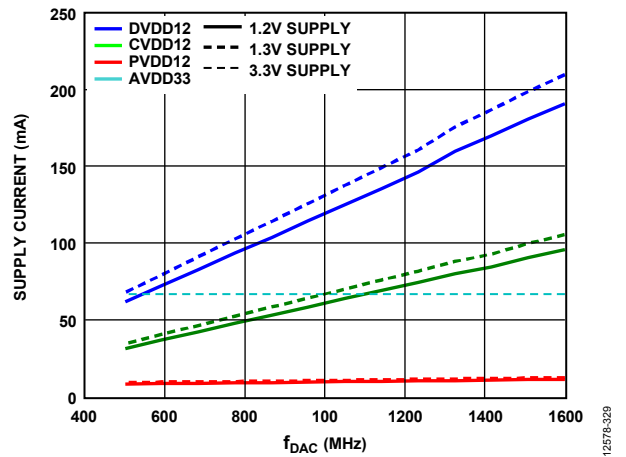


图37. 不同电源电压设置下DVDD12、CVDD12、PVDD12和AVDD33电源电流与 f_{DAC} 的关系

工作原理

AD9135/AD9136是11/16位、双通道DAC，采用SERDES接口。图2为AD9135/AD9136的详细功能框图。8个高速串行通道以最大10.64 Gbps的速度承载数据，每个ADC的输入数据速率为2120 MSPS。与LVDS或CMOS接口相比，SERDES接口减少了引脚数量，简化了电路板布局和器件的输入时钟要求。

输入数据时钟从器件时钟获得(JESD204B规范的要求)。此器件时钟可以由PLL参考时钟提供，片内PLL利用参考时钟产生DAC时钟或高保真直接外部DAC采样时钟。根据输入数据速率要求，器件可配置为单通道、双通道、四通道或八通道工作模式。

AD9135/AD9136的数字数据路径通过三个半带滤波器提供四种插值模式(1倍、2倍、4倍和8倍)，DAC最大采样速率为2.8 GSPS。反sinc滤波器用于补偿sinc相关的滚降。

AD9135/AD9136 DAC内核提供全差分电流输出，标称满量程电流为20 mA。用户可在13.9 mA至27.0 mA范围内调整满量程电流 I_{OUTFS} 典型值。差分电流输出是互补的，并且经过

优化，可与ADI公司的ADRF6720和ADRF670x AQM轻松集成。AD9135/AD9136支持多芯片同步，不仅能同步多个DAC，而且能为DAC建立一个恒定且确定的延迟(延迟锁定)。每次链路建立后，每个DAC的延迟即保持不变。外部对齐(SYSREF±)信号使AD9135/AD9136符合子类1要求。系统可使用多种SYSREF±信号处理模式。

SPI配置各种功能模块并监控其状态。为了确保正常工作，各种功能模块和数据接口必须按特定顺序设置(参见“器件设置指南”部分)。JESD204B链路通过简单的SPI初始化程序设置，这些程序已包括在评估板支持包中。以下部分将更详细地说明AD9135/AD9136的各种模块，并介绍JESD204B接口、控制参数以及各种用于设置和监控器件的寄存器。推荐的启动程序会可靠地设置数据链路。

串行端口操作

串行端口是一种灵活的同步串行通信端口，可以很方便地与多种工业标准微控制器和微处理器接口。该串行输入/输出(I/O)兼容大多数同步传输格式，包括Motorola SPI和Intel® SSR协议。通过此接口可读/写所有AD9135/AD9136配置寄存器。支持MSB优先和LSB优先传输格式。该串行端口接口可以配置为4线接口或3线接口；对于后者，输入和输出共用一个引脚I/O (SDIO)。

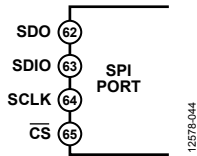


图38. 串行端口接口引脚

AD9135/AD9136的通信周期分为两个阶段。第一阶段是指令周期(将指令字节写入器件)，与前16个SCLK上升沿重合。指令字向串行端口控制器提供有关数据传输周期(即通信周期第二阶段)的信息。第一阶段指令字明确即将发生的数据传输是读操作还是写操作，以及随后数据传输的起始寄存器地址。

当 \overline{CS} 引脚由逻辑高电平变为逻辑低电平时，串行端口时序复位到指令周期的初始状态。从此状态开始的16个SCLK上升沿代表当前I/O操作的指令位。

其余SCLK边沿用于通信周期的第二阶段。第二阶段是器件与系统控制器之间发生实际数据传输的阶段。通信周期第二阶段可以传输一个或多个数据字节。要在传输阶段传输N个字节，需要 $8 \times N$ 个SCLK周期。写入每个传输字节的最后一位后，寄存器立即改变。

数据格式

指令字节包含的信息如表13所示。

表13. 串行端口指令字

I15 (MSB)	I[14:0]
R/W	A[14:0]

R/W(指令字的位15)决定指令字写周期结束后是进行读操作还是写操作。逻辑1表示读操作，而逻辑0表示写操作。A14至A0(指令字的位14至位0)决定通信周期数据传输阶段

要访问的寄存器。对于多字节传输，A[14:0]是起始地址。其余寄存器地址由器件根据地址递增位产生。如果地址递增位设置为高电平(寄存器0x000的位5和位2)，则多字节SPI写操作从A[14:0]开始，每发送/接收8位后，地址递增1。如果地址递增位设置为0，则每发送/接收8位后，地址递减1。

串行端口引脚功能描述

串行时钟(SCLK)

串行时钟引脚用于同步输入/输出器件的数据，并运行内部状态机。SCLK的最大频率为10 MHz。所有数据输入记录在SCLK的上升沿。所有数据都在SCLK的下降沿输出。

片选(\overline{CS})

它是一个低电平有效输入，用于启动并选通一个通信周期。它支持多个器件使用相同的串行通信线路。当此输入高电平时，SDIO引脚进入高阻抗状态。在通信周期中，片选引脚必须保持低电平。

串行数据I/O (SDIO)

此引脚是双向数据线。在4线模式下，此引脚用作数据输入，SDO用作数据输出。

串行端口选项

该串行端口支持MSB优先和LSB优先两种数据格式。此功能由LSB优先位控制(寄存器0x000的位6和位1)。默认是MSB优先(LSBFIRST/LSBFIRST_M = 0)。

当LSB优先位 = 0(MSB优先)时，指令和数据位必须按照从MSB到LSB的顺序写入。R/ \overline{W} 之后是指令字A[14:0]，D[7:0]是数据字。当LSB优先位 = 1(LSB优先)时，情况相反。A[0:14]之后是R/ \overline{W} ，接着是D[0:7]。

该串行端口支持3线或4线接口。当SDO有效位 = 1(寄存器0x000的位4和位3)时，使用具有独立输入引脚(SDIO)和输出引脚(SDO)的4线接口。当SDO有效位 = 0时，不使用SDO引脚，SDIO引脚同时用作输入和输出。

AD9135/AD9136

还可以执行多字节数据传输。方法是：完成指令周期和第一个数据字传输之后，让 \overline{CS} 引脚保持低电平并持续多个数据传输周期(8个SCLK)。指令周期后的第一个8 SCLK用于读取或写入指令周期指定的寄存器。对于随后的每个8 SCLK周期，地址递增或递减，以便对新寄存器执行读/写操作。地址方向可利用地址递增位(寄存器0x000的位5和位2)设置。当地址递增位为1时，多周期地址递增。当地址递增位为0时，地址递减。要开始新的写周期，只需先拉高再拉低 \overline{CS} 。

为防止混淆并确保器件之间的一致性，芯片会测试地址阶段之后的第一个半字节，忽略第二个半字节。此测试独立完成，与LSB优先位无关，确保软复位位(寄存器0x000的位0和位7)之后有多余的时钟周期。这仅适用于写入寄存器0x000时。

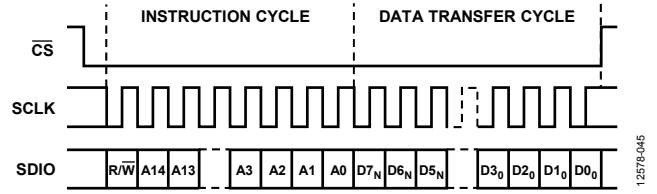


图39. 串行寄存器接口时序, MSB优先, ADDRINC = 0

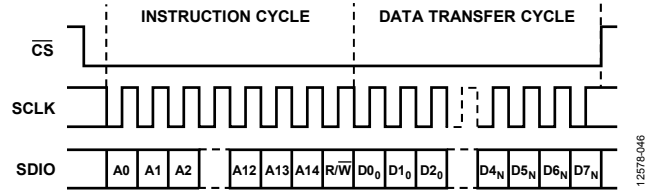


图40. 串行寄存器接口时序, LSB优先, ADDRINC = 1

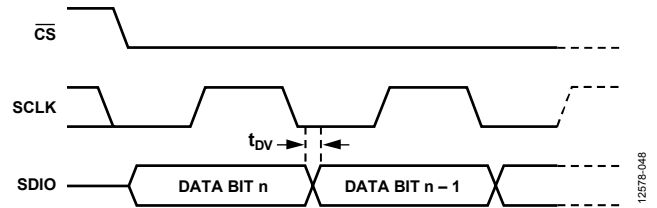


图41. 串行端口寄存器读操作时序图

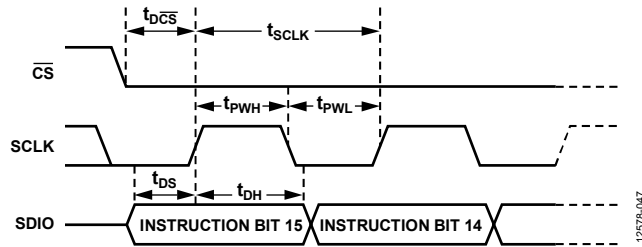


图42. 串行端口寄存器写操作时序图

芯片信息

寄存器0x003至寄存器0x006包含芯片信息，如表14所示。

表14. 芯片信息

信息	说明
芯片类型	产品类型的高速DAC，由寄存器0x003中的代码0x04表示。
产品ID	寄存器0x005中的8个MSB和寄存器0x004中的8个LSB。产品ID为0x9144。
产品等级	寄存器0x006[7:4]。AD9136的产品等级为0x6，AD9135的产品等级为0x4
器件版本	寄存器0x006[3:0]。器件版本为0x2。

器件设置指南

概述

应按照如下步骤序列正确设置AD9135/AD9136：

1. 设置SPI接口，给必要的电路模块上电，对配置寄存器执行必需的写操作，设置DAC时钟(参见“第一步：启动DAC”)。
2. 设置AD9135/AD9136的数字特性(参见“第二步：数字数据路径”)。
3. 设置JESD204B链路(参见“第三步：传输层”)。
4. 设置SERDES接口的物理层(参见“第四步：物理层”)。
5. 设置SERDES接口的数据链路层(参见“第五步：数据链路层”)。
6. 检查有无错误(参见“第六步：可选错误监控”)。
7. 可选步骤，使能“第七步：可选特性”中说明的任何需要的特性。

表15至表21中列出的寄存器写操作提供AD9135/AD9136设置所必需的寄存器写操作。可以把本设置指南打印出来，并根据具体应用条件，在数值栏中填写适当的变量值。

灰色框中的0x表示必须由用户填写的寄存器设置。要填写未知寄存器值，请为表15至表21的“变量”栏中列出的各变量选择正确的设置。“说明”栏描述如何设置变量，或者提供一个对此加以说明的链接。变量名由多个术语连接而成。例如，变量PdDACs对应于“器件设置指南”部分确定的寄存器0x011[6:3]的值。

第一步：启动DAC

本节说明如何设置SPI接口、给必要的电路模块上电、写入所需的配置寄存器以及设置DAC时钟。

表15. 上电和DAC初始化设置

地址	位号	值 ¹	变量	说明
0x000		0xBD		软复位。
0x000		0x3C		解除复位，设置4线SPI。
0x011		0x		
	7	0		带隙基准电压源上电。
	[6:3]		PdDACs	PdDACs = 0x05；DAC0/DAC1上电。PdDACs = 0x07；仅使用DAC0时(单链路)。
	2	0		主DAC上电。
0x080		0x	PdClocks	PdClocks = 0；使用DAC0/DAC1时。PdClocks = 0x40；仅使用DAC0时。
0x081		0x	PdSysref	PdSysref = 0x00；子类1。PdSysref = 0x10；子类0。关于子类的详细信息参见“子类设置”部分。

¹ 0x表示必须由用户填写的寄存器值。有关选择适当寄存器值的信息，参见“变量”和“说明”栏。

为使器件正常工作，必须将不同于默认值的值写入以下寄存器；软复位、硬复位或上电之后，也必须写入这些寄存器。

表16. 必需的器件配置

地址	数值	说明
0x12D	0x8B	数字数据路径配置
0x146	0x01	数字数据路径配置
0x2A4	0xFF	时钟配置
0x1C4	0x73	DAC PLL配置
0x291	0x49	SERDES PLL配置
0x29C	0x24	SERDES PLL配置
0x29F	0x73	SERDES PLL配置
0x232	0xFF	JESD204B接口配置
0x333	0x01	JESD204B接口配置

如果使用可选DAC PLL，还应设置表17中的寄存器。

表17. 可选DAC PLL配置程序

地址	值 ¹	变量	说明
0x08B	0x	LODivMode	参见“DAC PLL设置”部分
0x08C	0x	RefDivMode	参见“DAC PLL设置”部分
0x085	0x	BCount	参见“DAC PLL设置”部分
Various	0x	LookUpVals	参见“DAC PLL设置”部分
0x083	0x10		使能DAC PLL ²

¹ 0x表示必须由用户填写的寄存器值。有关选择适当寄存器值的信息，参见“变量”和“说明”栏。

² 使能DAC PLL之后，验证寄存器0x084[1]回馈值为1，表示DAC PLL已锁定。

第二步：数字数据路径

本节说明使用哪些插值滤波器以及如何设置所用的数据格式。还有其它数字特性可用，包括数字增益调整和用来改善通带平坦度的反sinc滤波器。表22提供了有关可用功能模块的更详细信息。

表18. 数字数据路径设置

地址	位号	值 ¹	变量	说明
0x112		0x	InterpMode	选择插值模式；参见“插值”部分。
0x110		0x		
	7		DataFmt	DataFmt = 0；二进制补码；DataFmt = 1；无符号二进制。

¹ 0x表示必须由用户填写的寄存器值。有关选择适当寄存器值的信息，参见“变量”和“说明”栏。

第三步：传输层

本节说明如何设置JESD204B链路。相关参数由所需的JESD204B工作模式决定。详情参见“JESD204B设置”部分。

表19. 传输层设置

地址	位号	值 ¹	变量	说明
0x200		0x00		接口上电。
0x201		0x	UnusedLanes	参见“JESD204B设置”部分。
0x300		0x		
	6		ChecksumMode	参见“JESD204B设置”部分。
	3		DualLink	参见“JESD204B设置”部分。
	2		CurrentLink	参见“JESD204B设置”部分。
0x450		0x	DID	设置DID匹配发射器发送的器件ID。
0x451		0x	BID	设置BID匹配发射器发送的模块ID。
0x452		0x	LID	设置LID匹配发射器发送的通道ID。
0x453		0x		
	7		Scrambling	参见“JESD204B设置”部分。
	[4:0]		$L - 1^2$	参见“JESD204B设置”部分。
0x454		0x	$F - 1^2$	参见“JESD204B设置”部分。
0x455		0x	$K - 1^2$	参见“JESD204B设置”部分。
0x456		0x	$M - 1^2$	参见“JESD204B设置”部分。
0x457		0x	$N - 1^2$	$N = 16$ 。
0x458		0x		
	[7:5]		Subclass	参见“JESD204B设置”部分。
	[4:0]		$Np - 1^2$	$Np = 16$ 。
0x459		0x		
	[7:5]		JESDVer	JESDVer = 1: JESD204B; JESDVer = 0: JESD204A。
	[4:0]		$S - 1^2$	参见“JESD204B设置”部分。
0x45A	5	0x	HD	参见“JESD204B设置”部分。
0x45D		0x	Lane0Checksum	参见“JESD204B设置”部分。
0x46C			Lanes	去偏斜通道。
0x476		0x	F	参见“JESD204B设置”部分。
0x47D		0x	Lanes	使能通道。参见“JESD204B设置”部分。

¹ 0x表示必须由用户填写的寄存器值。有关选择适当寄存器值的信息，参见“变量”和“说明”栏。

² 此JESD204B链路参数用 $n - 1$ 形式设置。例如，若设置要求 $L = 8$ (每条链路8个通道)，则应将 $L - 1$ 或7写入寄存器0x453[4:0]。

如果使用双链路模式，首先应在CurrentLink = 0下对寄存器0x300至寄存器0x47D执行写操作，然后在CurrentLink = 1下执行同样的寄存器写操作(寄存器0x200和寄存器0x201只需写入一次)。

第四步：物理层

本节说明如何设置SERDES接口的物理层。在本节中，输入端接设置与CDR采样和SERDES PLL一同配置。

表20. 器件配置和物理层设置

地址	位号	值 ¹	变量	说明
0x2AA		0xB7		JESD204B接口端接设置
0x2AB		0x87		JESD204B接口端接设置
0x2B1		0xB7		JESD204B接口端接设置
0x2B2		0x87		JESD204B接口端接设置
0x2A7		0x01		自动调谐PHY设置
0x2AE		0x01		自动调谐PHY设置
0x314		0x01		SERDES SPI配置
0x230		0x		
	5		Halfrate	设置CDR；参见“SERDES时钟设置”部分
	1		OvSmp	设置CDR；参见“SERDES时钟设置”部分
0x206		0x00		复位CDR
0x206		0x01		解除CDR复位
0x289		0x		
	2	1		SERDES PLL配置
	[1:0]		PLLDiv	设置PLL的CDR过采样；参见“SERDES时钟设置”部分
0x280		0x01		使能SERDES PLL ²
0x268		0x		
	[7:6]		EqMode	参见“均衡模式设置”部分
	[5:0]	0x22		必需值(默认值)

¹ 0x表示必须由用户填写的寄存器值。有关选择适当寄存器值的信息，参见“变量”和“说明”栏。

² 使能SERDES PLL之后，验证寄存器0x281[0]回读值为1，表示SERDES PLL已锁定。

AD9135/AD9136

第五步：数据链路层

本节说明如何设置SERDES接口的数据链路层。本节涉及SYSREF信号处理、设置确定延迟以及建立链路。

表21. 数据传输层设置

地址	位号	值 ¹	变量	说明
0x301		0x	Subclass	参见“JESD204B设置”部分。
0x304		0x	LMFCDel	参见“链路延迟设置”部分。
0x305		0x	LMFCDel	参见“链路延迟”部分。
0x306		0x	LMFCVar	参见“链路延迟设置”部分。
0x307		0x	LMFCVar	参见“链路延迟设置”部分。
0x03A		0x01		设置同步模式为单步同步；其它同步选项参见“LMFC信号同步”部分。
0x03A		0x81		使能同步机。
0x03A		0xC1		启动同步机。
SYSREF±				如果Subclass = 1，确保至少向器件发送一个SYSREF±边沿。 ²
0x308 to 0x30B		0x	XBarVals	如果重映射通道，应设置纵横；参见“纵横设置”部分。
0x334		0x	InvLanes	反转所需逻辑通道的极性。对于要反转的每个逻辑通道x，InvLanes的位x必须为1。
0x300		0x		使能链路。
	6		ChecksumMode	参见“JESD204B设置”部分。
	3		DualLink	参见“JESD204B设置”部分。
	[1:0]		EnLinks	EnLinks = 3；DualLink = 1时(使能链路0和链路1)；EnLinks = 1；DualLink = 0时(仅使能链路0)。

¹ 0x表示必须由用户填写的寄存器值。有关选择适当寄存器值的信息，参见“变量”和“说明”栏。

² 向器件发送至少一个SYSREF±边沿之后，验证寄存器0x03B[3]回读值为1，表示LMFC同步机已正确锁定。

第六步：可选错误监控

有关JESD204B错误监控，参见“JESD204B错误监控”部分。有关其它错误检查，参见“中断请求操作”部分。

第七步：可选特性

有多个可选特性可以启用。表22提供了说明各种特性的链接。除非另有说明，这些特性应按照“DAC传呼”部分所述进行传呼。对于数字增益和直流偏移等DAC特定设置，传呼尤其重要。

表22. 可选特性

特性	默认	说明
反Sinc	开	改善通带平坦度。参见“反Sinc”部分。
数字增益	2.7 dB	将数据乘以一个系数。可以补偿反sinc使用或平衡I/Q幅度。参见“数字增益”部分。
直流偏移	关	用于抵消LO泄露。参见“直流偏移”部分。
群延迟	0	用于控制总延迟。参见“群延迟”部分。
下游保护	关	用于保护下游器件。参见“下游保护”部分。
自校准	关	用于改善DAC线性度。非由双传呼寄存器传呼。参见“自校准”部分。

DAC PLL设置

本节说明如何为“第一步：启动DAC”部分中的LODivMode、RefDivMode和BCount选择合适的值。这些参数取决于所需的DAC时钟频率(f_{DAC})和DAC参考时钟频率(f_{REF})。使用DAC PLL时，参考时钟信号施加于CLK±差分引脚(引脚2和引脚3)。

表23. DAC PLL LODivMode设置

DAC频率范围(MHz)	LO_DIV_MODE, 寄存器0x08B[1:0]
1500至2800	1
750至1500	2
420至750	3

表24. DAC PLL RefDivMode设置

DAC PLL参考频率(f_{REF}) (MHz)	分频比 (RefDivFactor)	REF_DIV_MODE, 寄存器0x08C[2:0]
35至80	1	0
80至160	2	1
160至320	4	2
320至640	8	3
640至1000	16	4

VCO频率(f_{VCO})与DAC时钟频率具有如下关系：

$$f_{VCO} = f_{DAC} \times 2^{LODivMode + 1}$$

其中，6 GHz ≤ f_{VCO} ≤ 12 GHz。

BCount必须介于6和127之间，根据 f_{DAC} 和 f_{REF} 计算：

$$BCount = \text{floor}((f_{DAC}) / (2 \times f_{REF} / \text{RefDivFactor}))$$

其中， $\text{RefDivFactor} = 2^{\text{RefDivMode}}$ (参见表24)。

最后设置数个寄存器以配置PLL环路。这些设置是基于PLL参考频率和VCO频率。表83至表85说明了如何设置这些值。每张表均针对特定PLL参考频率(40 MHz、60 MHz或80 MHz)而优化；使用最接近实际PLL参考频率的频率。选择一张表后，从包含所用VCO频率(f_{VCO})或次低 f_{VCO} (如果该值介于表中给出的值之间)的行中选择参数。将相应的LookUpVals写入表中列出的寄存器。

有关DACPLL的更多信息，参见“DAC输入时钟配置”部分。

插值

发射路径可使用0到3个级联插值滤波器，各插值滤波器都将输出数据速率提高2倍并执行低通滤波。表25列出了不同的插值模式、相应的可用带宽以及可实现的最大 f_{DATA} 速率。

表25. 插值模式及其可用带宽

插值模式	InterpMode	可用带宽	最大 f_{DATA} (MSPS)
1×(旁路)	0x00	$0.5 \times f_{DATA}$	2120 (JESD204B限制)
2×	0x01	$0.4 \times f_{DATA}$	1060 (JESD204B限制)
4×	0x03	$0.4 \times f_{DATA}$	700
8×	0x04	$0.4 \times f_{DATA}$	350

1倍、2倍、4倍和8倍模式的可用带宽定义为滤波器通带纹波小于±0.001 dB且镜像抑制大于85 dB的频带。更多信息请参阅“插值滤波器”部分。

JESD204B设置

本节介绍如何为具体应用选择JESD204B工作模式。它进而将决定“第三步：传输层”部分所需的ChecksumMode、UnusedLanes、DualLink、CurrentLink、Scrambling、L、F、K、M、N、Np、Subclass、S、HD、Lane0Checksum和Lanes的合适值。注意，发射侧的DualLink、Scrambling、F、K、N、Np、S、HD和Subclass必须设置为相同的值。对于模式8、模式9和模式10，发射侧的转换器数(M)和通道数(L)必须与接收侧一致。对于模式11、模式12和模式13，发射侧的M和L与接收侧不一致。详情参见表27。

关于JESD204B系统工作原理的概述以及各参数的意义，参见“JESD204B串行数据接口”部分。

可用工作模式

**表26. JESD204B工作模式(单或双链路)
(同时适用于JESD204B Tx和Rx)**

参数	模式		
	8	9	10
M(转换器数)	1	1	1
L(通道数)	4	2	1
S(每帧的每个转换器采样数)	2	1	1
F(每通道的每帧8位字数)	1	1	2

表27. JESD204B工作模式(仅单链路)

参数	模式		
	11	12	13
M(转换器数)(Tx设置)	2	2	2
AD9135和AD9136 M设置 ¹ (Rx设置)	1	1	1
L(通道数)(Tx设置)	8	4	2
AD9135和AD9136 L设置 ¹ (Rx设置)	4	2	1
S(每帧的每个转换器采样数)	2	1	1
F(每通道的每帧8位字数)	1	1	2

¹ 注意：对于模式11至模式13，接收侧设置的M和L参数与发射侧参数不一致。发射侧参数反映的是每条链路的转换器和通道的实际数量。

AD9135/AD9136

对于特定应用，每条链路使用的转换器数(M)和 f_{DATA} (DataRate)是已知的。LaneRate和通道数(L)具有如下关系：

$$DataRate = (DACRate)/(InterpolationFactor)$$
$$LaneRate = (20 \times DataRate \times M)/L$$

其中，LaneRate介于1.42 Gbps到10.64 Gbps。

每个通道的每帧8位字数(F)和每帧的每转换器采样数(S)定义数据包装方式。如果F=1，则高密度设置必须设为1(HD=1)。否则，设置HD=0。

转换器分辨率和样本位数(N和Np)均必须设为16。对于模式8、模式9、模式11和模式12，每个多帧的帧数(K)必须设为32。其它模式可以使用K=16或K=32。

DualLink

DualLink设置两条独立的JESD204B链路，每条链路可以独立复位。如果需要此功能，应将DualLink设为1；如果只需一条链路，应将DualLink设为0。注意，链路0和链路1的参数必须相同。使用双链路或单链路模式时，可用的工作模式如表26所示。其它可用的单链路模式如表27所示。

Scrambling

Scrambling(加扰)是一个使链路数据频谱独立的特性。它可以避免频谱峰化，防止因为电气接口的频率选择效应而发生数据相关错误。如果使用加扰，此变量应设为1，否则设为0。

Subclass

Subclass决定器件的延迟是否是确定的，也就是是否需要外部同步信号。更多信息参见“子类设置”部分。

CurrentLink

将CurrentLink设置为0或1，以便配置链路0或链路1。

Lanes

Lanes用于使能两个温度计编码寄存器中的特定通道以及去偏斜。每种模式的通道设置如表28所示。

表28. 各种JESD工作模式的Lanes设置

JESD模式ID	8	9	10	11	12	13
Lanes	0x0F	0x03	0x01	0xFF	0x33	0x11

UnusedLanes

UnusedLanes用于关闭未使用的电路模块以省电。每个不在使用的物理通道(SERDINx±)都必须关闭，方法是将1写入寄存器0x201的相应位。

例如，若在双链路模式下使用模式9，并且在SERDIN0±、SERDIN1±、SERDIN4±和SERDIN5±上发送数据，则应设置UnusedLanes=0xCC以关闭物理通道2、3、6和7。

ChecksumMode

ChecksumMode必须与发射侧使用的校验和模式一致。如果所用的校验和为链路配置表中的字段之和，则ChecksumMode=0。如果对包含封装链路配置字段的寄存器求和，则ChecksumMode=1。有关如何计算着两种校验和模式的更多信息，参见Lane0Checksum部分。

Lane0Checksum

Lane0Checksum可用于检查错误，确保发射器具有预期的设置。

如果ChecksumMode=0，则校验和是L-1、M-1、K-1、N-1、Np-1、S-1、Scrambling、HD、Subclass和JESDVer变量之和的低8位。

如果ChecksumMode=1，则Lane0Checksum为寄存器0x450至寄存器0x45A之和的低8位。选择是按字段还是按寄存器求和，须与发射器设置一致。

SERDES时钟设置

本节说明如何为“第四步：物理层”部分中的Halfrate、OvSmp和PLLDiv选择合适的设置。这些参数仅与通道速率相关(通道速率在“JESD204B设置”部分中确立)。

表29. SERDES通道速率配置设置

通道速率(Gbps)	Halfrate	OvSmp	PLLDiv
1.42至2.76	0	1	2
2.83至5.52	0	0	1
5.65至10.64	1	0	0

Halfrate和OvSmp设置时钟检测与恢复(CDR)电路如何采样。关于该电路模块的工作原理和PLLDiv在模块中的作用，参见“SERDES PLL”部分的说明。

均衡模式设置

对于低功耗操作，设置EqMode=1。如果印刷电路板(PCB)的插入损耗低于12 dB，应选择此模式。如果插入损耗大于12 dB但小于17.5 dB，应设置EqMode=0。更详细信息参见“均衡”部分。

链路延迟设置

本部分介绍如何保证子类1的多芯片确定延迟，以及保证子类0的器件内链路同步。利用本部分填写“第五步：数据链路层”部分中的LMFCDel、LMFCVar和Subclass设置。更多信息请参见“LMFC信号同步”部分。

子类设置

AD9135/AD9136支持JESD204B子类0和子类1操作。

子类1

此模式提供确定延迟，链路同步精度小于 $\frac{1}{2}$ DAC时钟周期。

它要求外部SYSREF±信号与DAC时钟的相位精确对齐。

子类0

此模式不要求SYSREF±引脚上有任何信号，这些引脚可以断开连接。

子类0依然要求所有通道在同一LMFC周期内到达，并且两个DAC必须相互同步；它们与内部时钟而非SYSREF±信号同步。

根据需要，将Subclass设为0或1。

链路延迟设置

LMFCVar和LMFCDel用于施加延迟，使得系统中的所有通道在同一LMFC周期到达。

内部使用的延迟单位是内部处理时钟周期(PClock)，其速率为通道速率的1/40。不是以PClock周期为单位的延迟，在使用之前必须换算。

下面是一些有用的内部关系式：

$$PClockPeriod = 40/LaneRate$$

需要时，PClockPeriod可用于将时间换算为PClock周期数。

$$PClockFactor = 4/F \text{ (Frames per PClock)}$$

PClockFactor用于将PClock周期单位换算为FrameClock周期，设置子类1的LMFCDel需要后者。

$$PClocksPerMF = K/PClockFactor \text{ (PClocks per LMFC cycle)}$$

其中，PClocksPerMF为多帧周期中的PClock周期数。

JESD204B模式的PClockFactor和PClockPerMF值如表30所示。

表30. PClockFactor和PClockPerMF

JESD204B模式ID	8	9	10	11	12	13
PClockFactor	4	4	2	4	4	2
PClockPerMF (K = 32)	8	8	16	8	8	16
PClockPerMF (K = 16)	N/A ¹	N/A ¹	8	N/A ¹	N/A ¹	8

¹ N/A表示不适用。

延迟已知

知道所有系统延迟的信息后，可以直接计算LMFCVar和LMFCDel。

RxFixed(PClock周期中的接收器固定延迟)和RxVar(PClock周期中的接收器可变延迟)可在表8中找到。TxFixed(PClock周期中的发射器固定延迟)和TxVar(PClock周期中的发射器可变延迟)可在所用发射器的数据手册中找到。PCBFixed(PClock周期中的PCB走线固定延迟)可从软件获得；它一般远小于PClock周期，因此也可忽略不计。将PCB和发射器延迟转换为PClock周期。

对于每个通道：

$$\begin{aligned} MinDelayLane &= \text{floor}(RxFixed + TxFixed + PCBFixed) \\ MaxDelayLane &= \text{ceiling}(RxFixed + RxVar + TxFixed + TxVar + PCBFixed) \end{aligned}$$

为安全起见，在链路延迟的每一端增加1 PClock周期的余量，如下式所示：

$$LMFCVar = (MaxDelay + 1) - (MinDelay - 1)$$

其中：

MinDelay为通道、链路和器件上的所有MinDelayLane值的最小值。

MaxDelay为通道、链路和器件上的所有MaxDelayLane值的最大值。

注意，如果LMFCVar必须大于10，则AD9135/AD9136无法支持系统中的可变延迟。

对于子类1：

$$LMFCDel = ((MinDelay - 1) \times PClockFactor) \% K$$

对于子类0：

$$LMFCDel = (MinDelay - 1) \% PClockPerMF$$

所有链路和器件都应使用相同的LMFCDel和LMFCVar值。

计算示例参见“延迟已知时的链路延迟设置示例”部分。

延迟未知

如果不知道全面的延迟信息，AD9135/AD9136可以回读每条链路的局部LMFC (LMFC_{RX})与最后到达的LMFC边界之间的链路延迟，单位为PClock周期。然后便可利用此信息计算LMFCVar和LMFCDel。

对于(每个器件上的)每条链路，执行以下步骤：

1. 给电路板上电。
2. 执行“器件设置指南”的表15至表21中的步骤。
3. 设置子类并执行同步操作。对于单次同步，执行表31中的写操作。其它同步模式参见“LMFC信号同步”部分。
4. 将DYN_LINK_LATENCY_0(寄存器0x302)记录为该链路的延迟值，然后周期供电。
5. 将DYN_LINK_LATENCY_1(寄存器0x303)记录为该链路的延迟值，然后周期供电。

AD9135/AD9136

对于系统中的每个器件，重复第一步至第五步二十次。把每个器件的每次测量的延迟值记在一张表上。

表31. 单次同步的寄存器配置和程序

地址	位号	值 ¹	变量	说明
0x301		0x	Subclass	设置子类
0x03A		0x01		同步模式设置为单次同步
0x03A		0x81		使能同步机
0x03A		0xC1		启动同步机
SYSREF±				如果Subclass = 1, 确保至少向器件发送一个SYSREF±边沿。
0x300		0x		使能链路
	6		ChecksumMode	参见“JESD204B设置”部分
	3		DualLink	参见“JESD204B设置”部分
	[1:0]		EnLinks	EnLinks = 3: 双链路模式下使能链路0和链路1时; EnLinks = 1: 不在双链路模式下使能链路0时。

¹ 0x表示必须由用户填写的寄存器值。有关选择适当寄存器值的信息，参见“变量”和“说明”栏。

延迟值列表用于计算LMFCDel和LMFCVar，但前面几个延迟值可能需要重新映射。

DYN_LINK_LATENCY_x的最大可能值是比多帧中的PClocks周期数(PClocksPerMF)小1。可能会遇到翻转情况，也就是说，记录的延迟数值集可能会在多帧的边缘翻转。此时，延迟值可能同时接近0和PClocksPerMF。如果发生这种情况，应将PClocksPerMF添加到接近0的数值集。

例如，若延迟值回读结果为6、7、0和1，则0和1延迟值必须重映射到8和9，得到新的延迟数值集为6、7、8和9。

在周期供电、链路和器件上：

- MinDelay为所有延迟测量结果中的最小值。
- MaxDelay为所有延迟测量结果中的最大值。

为安全起见，在链路延迟的每一端增加1 PClock周期的余量，LMFCVar和LMFCDel计算如下：

$$LMFCVar = (MaxDelay + 1) - (MinDelay - 1)$$

注意，如果LMFCVar必须大于10，则AD9135/AD9136无法支持系统中的可变延迟。

对于子类1：

$$LMFCDel = ((MinDelay - 1) \times PClockFactor)$$

对于子类0：

$$LMFCDel = (MinDelay - 1) \% PClockPerMF$$

所有链路和器件都应使用相同的LMFCDel和LMFCVar值。

计算示例参见“延迟未知时的链路延迟设置示例”部分。

纵横设置

寄存器0x308至寄存器0x30B用于将物理通道(SERDINx±)任意映射为SERDES解帧器使用的逻辑通道。

表32. 纵横寄存器

地址	位	逻辑通道
0x308	[2:0]	LOGICAL_LANE0_SRC
0x308	[5:3]	LOGICAL_LANE1_SRC
0x309	[2:0]	LOGICAL_LANE2_SRC
0x309	[5:3]	LOGICAL_LANE3_SRC
0x30A	[2:0]	LOGICAL_LANE4_SRC
0x30A	[5:3]	LOGICAL_LANE5_SRC
0x30B	[2:0]	LOGICAL_LANE6_SRC
0x30B	[5:3]	LOGICAL_LANE7_SRC

把要从中接收数据的物理通道(SERDINx±)的编号(x)写入各LOGICAL_LANEy_SRC。默认情况下，所有逻辑通道都使用对应的物理通道作为其数据源。例如，LOGICAL_LANE0_SRC默认值为0，意味着逻辑通道0从物理通道0 (SERDIN0±)接收数据。要将SERDIN4±用作逻辑通道0的数据源，应设置LOGICAL_LANE0_SRC = 4。

JESD204B串行数据接口

JESD204B概述

AD9135/AD9136有8个JESD204B数据端口用于接收数据。这8个JESD204B端口既可配置为单一JESD204B链路的一部分，也可配置为两条独立JESD204B链路(双链路模式，共享同一系统参考SYSREF±和器件时钟CLK±)的一部分。

JESD204B串行接口硬件由三层组成：物理层、数据链路层和传输层。这些硬件部分将在随后的章节中说明，包括用于配置接口各个方面的信息。图43显示了AD9135/AD9136串行数据接口中实现的通信层：恢复时钟并对数据进行解串行化、解扰、解帧处理，然后将数据送至器件的数字信号处理部分。

物理层用于在发射器与接收器之间建立可靠的通道，数据链路层用于将数据解包为8位字并进行解扰处理，传输层用于接收解扰的JESD204B帧并将其转换为DAC样本。

多个JESD204B参数(L、F、K、M、N、Np、S、HD和Scrambling)定义数据如何打包，并指示器件如何将串行数据转换为样本。“传输层”部分将详细说明这些参数。

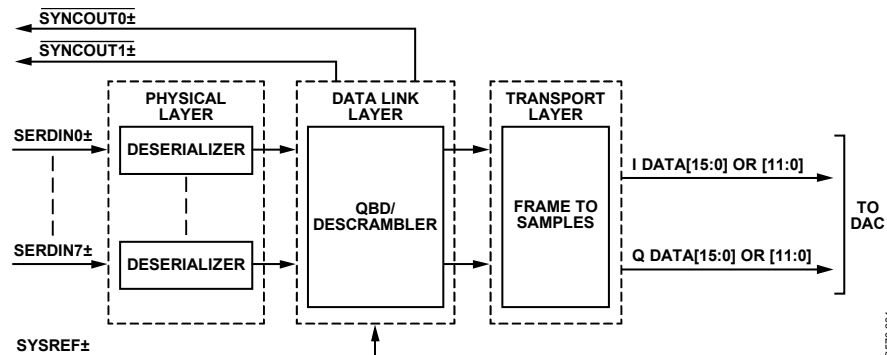


图43. 串行链路接收器功能框图

仅支持参数的某些组合。支持的每种组合称为一种模式。AD9135/AD9136总共支持6种模式。其中有三种单链路模式，如表34所示；另外三种支持单链路和双链路两种模式，如表33所示。这些表格给出了通道速率为10 Gbps时的相关时钟速率。

对于特定应用，所用的转换器数(M)和数据速率(DataRate)是已知的。LaneRate和通道数(L)计算如下：

$$DataRate = (DACRate)/(InterpolationFactor)$$

$$LaneRate = (20 \times DataRate \times M)/L$$

其中，LaneRate必须介于1.42 Gbps到10.64 Gbps。

实现和恢复通道同步非常重要。为了简化与发射器的接口，AD9135/AD9136为每条JESD204B链路指定了一个主同步信号。在单链路模式下，SYNCOUT0±用作所有通道的主信号；在双链路模式下，SYNCOUT0±用作链路0的主信号，SYNCOUT1±用作链路1的主信号。如果链路中的任何通道失去同步，则会通过链路的同步信号向发射器发送再同步请求。然后，发射器将停止发送数据，转而在该链路中的所有通道发送同步字符，直至重新实现同步。

AD9135/AD9136

表33. 单链路和双链路JESD204B工作模式

参数	模式		
	8	9	10
M(转换器数)	1	1	1
L(通道数)	4	2	1
S(每帧的每个转换器采样数)	2	1	1
F(每通道的每帧8位字数)	1	1	2
10 Gbps通道速率的时钟示例			
PClock速率(MHz)	250	250	250
帧速率(MHz)	1000	1000	500
数据速率(MHz)	2000	1000	500

表34. 单链路JESD204B工作模式

参数	模式		
	11	12	13
M(转换器数)(Tx设置)	2	2	2
AD9135和AD9136 M设置 ¹ (Rx设置)	1	1	1
L(通道数)(Tx设置)	8	4	2
AD9135和AD9136 L设置 ¹ (Rx设置)	4	2	1
S(每帧的每个转换器采样数)	2	1	1
F(每通道的每帧8位字数)	1	1	2
10 Gbps通道速率的时钟示例			
PClock速率(MHz)	250	250	250
帧速率(MHz)	1000	1000	500
数据速率(MHz)	2000	1000	500

¹ 注意：对于模式11至模式13，接收侧设置的M和L参数与发射侧参数不一致。发射侧参数反映的是每条链路的转换器和通道的实际数量。

物理层

JESD204B接口的物理层(以下称为“解串行器”)具有8个相同的通道。每个通道由端接器、均衡器、时钟和数据恢复(CDR)电路及1:40解复用功能组成(参见图45)。

根据JESD204B规范，JESD204B数据通过SERDINx± 1.2 V差分输入引脚输入AD9135/AD9136。

接口上电和输入端接

使用JESD204B接口之前，必须设置Register 0x200[0] = 0使其上电。此外，所有不在使用的物理通道(SERDINx±)都必须关断。为此，如果物理通道x在使用，应将寄存器0x201中的相应位x设为0，否则应设为1。

AD9135/AD9136将输入端接电阻自动校准为50 Ω。运行端接校准之前，应按照表35所示写入寄存器0x2AA、寄存器

0x2AB、寄存器0x2B1和寄存器0x2B2，以保证正确校准。当寄存器0x2A7[0]和寄存器0x2AE[0]从低电平变为高电平时，端接校准开始。寄存器0x2A7控制PHY 0、PHY 1、PHY 6和PHY 7的自动校准。寄存器0x2AE控制PHY 2、PHY 3、PHY 4和PHY 5的自动校准。

PHY端接自动校准程序如表35所示。

表35. PHY端接自动校准程序

地址	数值	说明
0x2AA	0xB7	JESD204B接口端接配置
0x2AB	0x87	JESD204B接口端接配置
0x2B1	0xB7	JESD204B接口端接配置
0x2B2	0x87	JESD204B接口端接配置
0x2A7	0x01	自动调谐PHY端接
0x2AE	0x01	自动调谐PHY端接

DAC的输入端接电压由外部电源通过V_{TT}引脚(引脚21、引脚25、引脚42和引脚46)提供。设置V_{TT}的方法是其连接到SVDD12。建议利用100 nF电容将JESD204B输入交流耦合到JESD204B发射器件。

接收器眼罩

AD9135/AD9136符合JESD204B规范关于接收器眼罩的要求，能够捕捉符合此眼罩的数据。图44显示归一化到数据速率间隔的接收器眼罩，V_{TT}摆幅为600 mV。关于眼罩和允许的接收器眼罩开口的更多信息，参见JESD204B规范。

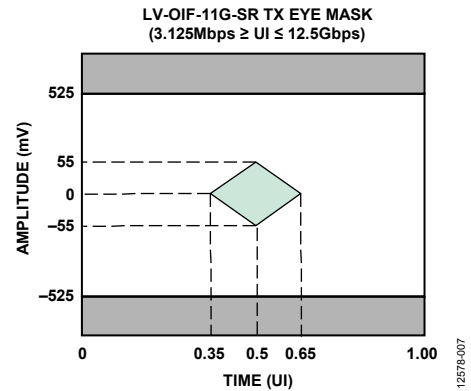


图44. 接收器眼罩

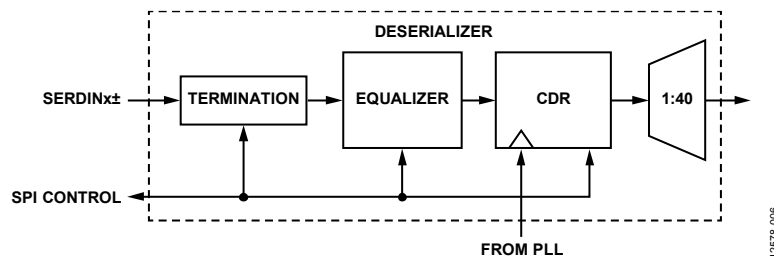


图45. 解串行器功能框图

时钟关系

余下的JESD204B部分全部使用以下时钟速率。任何时钟之间的关系可从以下公式导出：

$$DataRate = (DACRate)/(InterpolationFactor)$$

$$LaneRate = (20 \times DataRate \times M)/L$$

$$ByteRate = LaneRate/10$$

其中：

M 为JESD204B参数，表示每条链路的转换器数。

L 为JESD204B参数，表示每条链路的通道数。

该关系来自8位/10位编码，每个字节用10位表示。

$$PClockRate = ByteRate/4$$

处理时钟用于四字解编码器。

$$FrameRate = ByteRate/F$$

其中， F 为每通道的每帧字节数。

$$PClockFactor = FrameRate/PClockRate = 4/F$$

其中， F 为JESD204B参数，表示每通道的每帧8位字数。

SERDES PLL

SERDES PLL功能概述

独立的SERDES PLL利用整数 N 分频技术实现时钟合成。SERDES PLL全部集成于片内，包括VCO和环路滤波器。SERDES PLL VCO的工作频率范围是5.65 GHz至12 GHz。

在SERDES PLL中，VCO分频器模块将VCO时钟2分频，产生解串行器内核所用的2.83 GHz至5.52 GHz正交时钟。此时钟是“时钟和数据恢复”部分所述的时钟和数据恢复模块的输入。

SERDES PLL的参考时钟总是以 $f_{REF} = \text{通道速率}/40$ (PClockRate)的频率运行。此时钟以DivFactor值分频后，为PFD模块提供35 MHz到80 MHz的时钟。表36给出了各种可用DivFactor选项对应的SERDES_PLL_DIV_MODE寄存器设置。

表36. SERDES PLL分频器设置

LaneRate (Gbps)	分频比 (DivFactor)	SERDES_PLL_DIV_MODE 寄存器0x289[1:0]
1.42至2.76	1	2
2.83至5.52	2	1
5.65至10.64	4	0

寄存器0x280控制合成器使能和重新校准。

要使能SERDES PLL，首先应按照表36设置PLL分频器寄存器，然后向寄存器0x280[0]写入1以使能SERDES PLL。

为了确认SERDES PLL正常工作，应读取寄存器0x281。如果寄存器0x281[0] = 1，则SERDES PLL已锁定。如果寄存器0x281[3] = 1，则SERDES PLL已成功校准。如果寄存器0x281[4]或寄存器0x281[5]为1，则PLL已达到校准带的上限或下限，必须重新校准，方法是向寄存器0x280[2]先写入0再写入1。

SERDES PLL IRQ

SERDES PLL锁定和丢失信号可用作IRQ事件。寄存器0x01F[3:2]用于使能这些信号，寄存器0x023[3:2]用于回读其状态和复位IRQ信号。更多信息请参见“中断请求操作”部分。

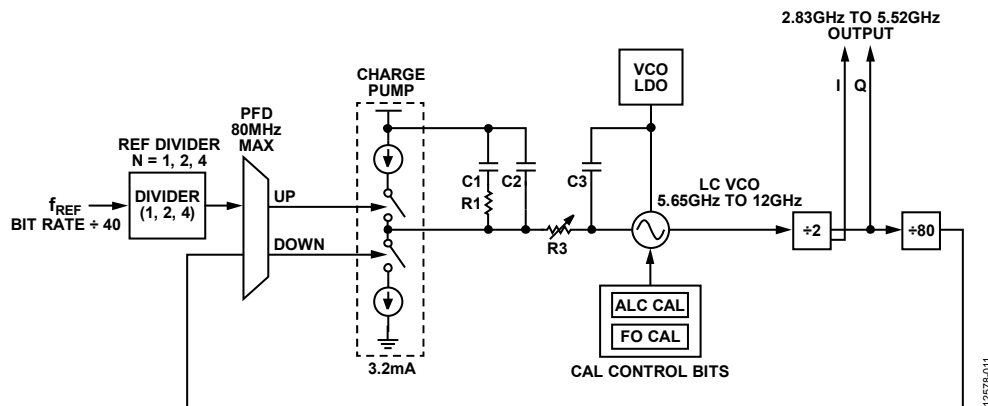


图46. SERDES PLL合成器模块框图，包括VCO分频器模块

AD9135/AD9136

时钟和数据恢复

解串行器配有一个CDR电路。CDR不是从JESD204B串行通道恢复时钟，而是从SERDES PLL恢复时钟。SERDES PLL的2.83 GHz至5.52 GHz输出(如图46所示)是CDR的输入。

必须选择一种CDR采样模式以产生器件内部的通道速率时钟。如果所需的通道速率大于5.65 GHz，必须使用半速率CDR模式。如果所需的通道速率小于5.65 GHz，应禁用半速率模式。如果通道速率小于2.83 GHz，应禁用半速率模式并使能2倍过采样，以便恢复适当的通道速率时钟。表37详细列出了CDR采样设置，它必须根据通道速率(LaneRate)进行设置。

表37. CDR工作模式

LaneRate (Gbps)	ENHALFRATE 寄存器0x230[5]	CDR_OVERSAMP 寄存器0x230[1]
1.42至2.76	0	1
2.83至5.52	0	0
5.65至10.64	1	0

CDR电路让用于在各串行通道上独立采样数据的相位同步。这种针对每个串行接口独立调整相位的方法可确保数据精确采样，简化PCB上多串行接口的实现。

配置CDR电路之后，应向寄存器0x206[0]先写入1再写入0，以使其先复位再解除复位。

关断未使用的PHY

注意，任何未使用但已使能的通道都会不必要地消耗电源。每个不在使用的通道(SERDINx±)都必须关闭，方法是将1写入PHY_PD(寄存器0x201)的相应位。

均衡

为了补偿PCB走线长度和阻抗引起的各PHY通道的信号完整性失真，AD9135/AD9136的各JESD204B通道采用易于使用的低功耗均衡器。AD9135/AD9136均衡器可补偿远大于JESD204B规范要求的插入损耗。均衡器有两种工作模式，由寄存器0x268[7:6]中的EQ_POWER_MODE设置决定。在低功耗模式(寄存器0x268[7:6] = 2b'01)下，当以10 Gbps的最大通道速率工作时，均衡器可以补偿高达12 dB的插入损耗。在正常模式(寄存器0x268[7:6] = 2b'00)下，均衡器可以补偿高达17.5 dB的插入损耗。此性能在图47中显示为JESD204B插入损耗要求的一个叠加。图47显示了10.0 Gbps(接近AD9135/AD9136的最大波特率)时的均衡性能。

图48和图49用作硬件设计人员的参考，展示了精心布局的不同长度带线和微带传输线的插入损耗。关于JESD204B通道的具体布局建议，参见“硬件考虑”部分。

如果JESD204B PCB通道的插入损耗低于低功耗模式支持的大多数高损耗通道的插入损耗(如图47所示)，建议使用低功耗模式。如果插入损耗高于上述情况，但仍低于正常模式支持的大多数高损耗通道的插入损耗(如图47所示)，则应使用正常模式。在10 Gbps速率时，均衡器在正常模式下的每通道功耗比低功耗模式高出约4 mW。注意，任一模式均可与发射器预加重功能一起使用，以确保正常工作和/或优化功耗。

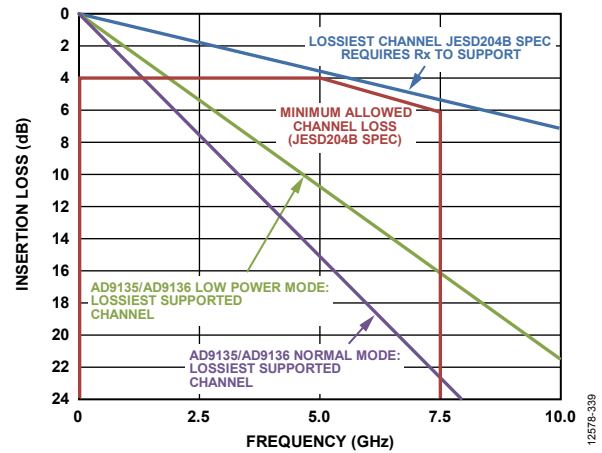


图47. 允许的插入损耗

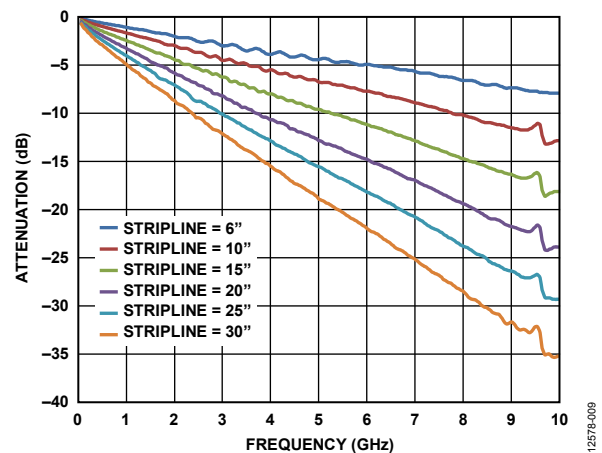


图48. FR-4上50 Ω带线的插入损耗

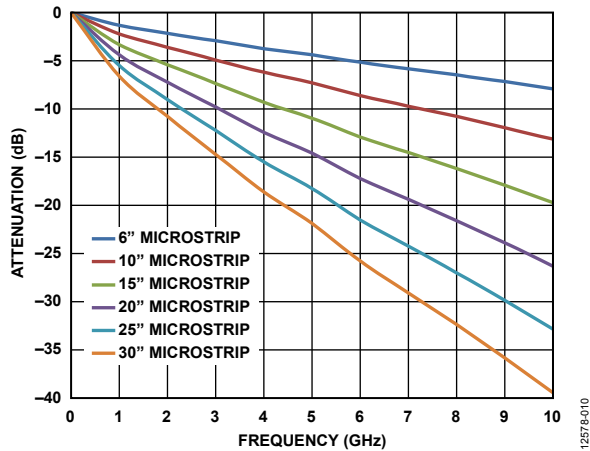


图49. FR-4上50Ω微带的插入损耗

数据链路层

AD9135/AD9136 JESD204B接口的数据链路层从PHY接收解串行化数据，然后进行解帧和解扰处理，将数据8位字提供给传输层，变成DAC样本。数据链路层的架构如图50所示。它由同步FIFO(每个通道一个)、纵横开关、解帧器和解扰器组成。

AD9135/AD9136能以单链路或双链路高速JESD204B串行数据接口工作。以双链路模式工作时，两条链路应当用相同的JESD204B参数加以配置，因为它们共享同一器件时钟和系统参考。JESD204B接口的所有8个通道都会处理链路层通信，如代码组同步、帧对齐和帧同步等。

AD9135/AD9136解码8位/10位控制字符，允许标记帧的起始和结束以及串行通道间的对齐。AD9135/AD9136每条串行接口链路都可以将其SYNCOUT0±/SYNCOUT1±信号设为低电平，从而发出同步请求。同步协议参见JESD204B标准第4.9节所述。接收到4个连续/K/字符时，AD9135/AD9136在下一个内部LMFC上升沿将SYNCOUT0±/SYNCOUT1±信号设为高电平，使同步请求无效。然后，AD9135/AD9136等待发射器发出ILAS。在ILAS序列中，所有通道利用A/至/R/字符跃迁对齐，参见“JESD204B串行链路建立”部分所述。弹性缓冲器保存先期到达的通道数据，直至最后通道的对齐字符到达。此时，所有通道的缓冲器都将释放，所有通道将对齐(参见图51)。

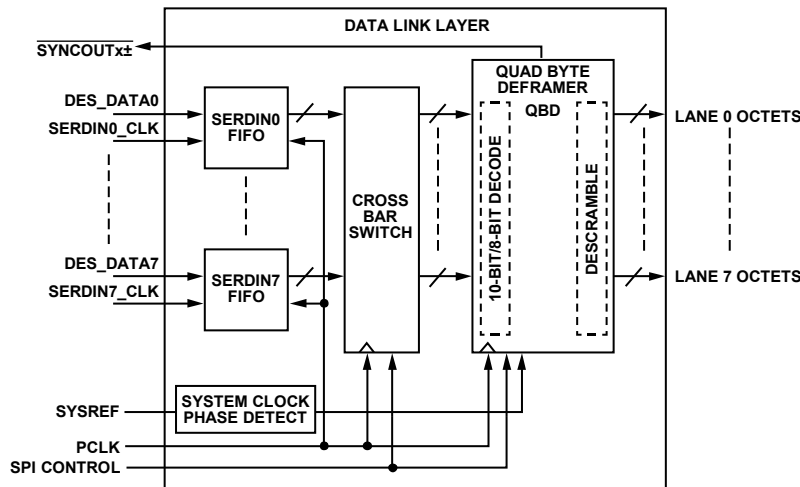


图50. 数据链路层框图

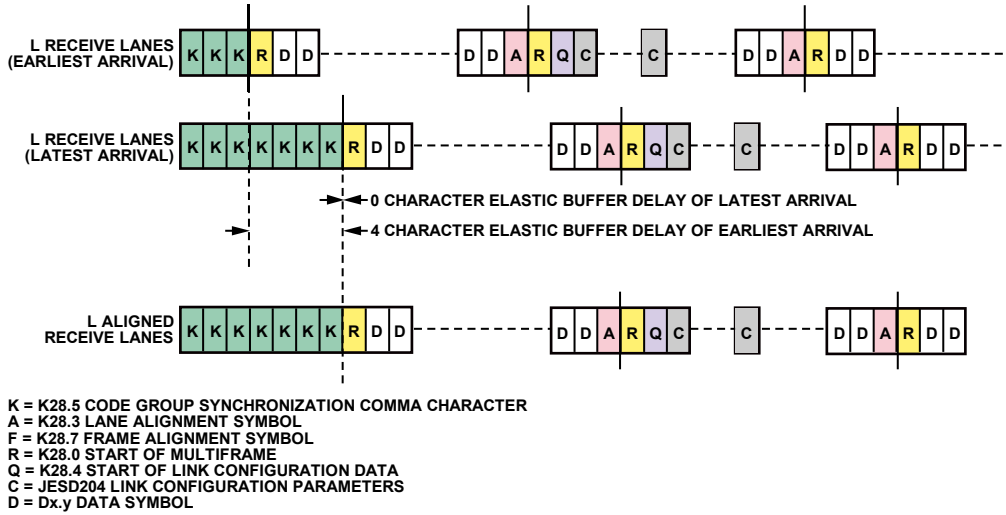


图51. ILAS期间的通道对齐

JESD204B串行链路建立

下面简要说明子类1的高速串行链路建立过程。详细信息请参阅JESD204B规范文件第5.3.3节。

第一步：代码组同步

每个接收器都必须在输入数据流中找到K(K28.5)字符。在所有链路通道上都检测到4个连续K字符后，接收器模块在接收器LMFC边沿解除置位发送到发射器模块的 $\overline{\text{SYNCOUTx}}\pm$ 信号。

发射器捕捉到 $\overline{\text{SYNCOUTx}}\pm$ 信号的变化，在后续发射器LMFC上升沿启动初始通道对齐序列(ILAS)。

第二步：初始通道对齐序列

此阶段的主要目的是让链路的所有通道对齐并验证链路参数。

建立链路之前，将各链路参数写入接收器以指定如何向接收器模块发送数据。

ILAS由4个或更多多帧组成。各多帧的最后一个字符是多帧对齐字符/A/。第一、第三和第四多帧用预定数据值填充。注意，JESD204B规范文件第8.2节说明了ILAS期间预期出现的数据斜坡。默认情况下，AD9135/AD9136不需要此斜坡。如需该数据斜坡，可将寄存器0x47E[0]设为1。解帧器利用各通道的最后一个/A/对齐接收器内各多帧的末尾。第二多帧包含R(K.28.0)、Q(K.28.4)以及对应链路参数的数据。如果接收器需要，可以添加其它多帧。默认情况下，AD9135/AD9136在ILAS中使用4个多帧(这可以通过寄存器0x478加以更改)。如果使用子类1，必须使用恰好4个多帧。

最后ILAS的最后一个/A/字符出现后，多帧数据开始流传输。此时，接收器调整/A/字符的位置，使其与接收器的内部LMFC对齐。

第三步：数据流

在此阶段，数据从发射器模块流传输到接收器模块。

可以选择加扰数据。加扰要等到ILAS完成后出现第一个8位字后才开始。

接收器模块处理并监控接收的数据有无错误，包括：

- 不良运行差异(8位/10位错误)
- 不在表中(8位/10位错误)
- 异常控制字符
- 不良ILAS
- 通道间偏斜错误(通过字符替换)

若有任何错误，将通过多种方式中的一种反馈给发射器(详情参见“JESD204B错误监控”部分)。

- $\overline{\text{SYNCOUTx}}\pm$ 信号置位：对于最后两个错误，每个错误都请求重新同步(拉低 $\overline{\text{SYNCOUTx}}\pm$ 信号)。对于前三个错误，当错误计数器达到设定的错误阈值时，可以置位可选再同步请求。
- 对于前三个错误，每个出错的多帧都会导致 $\overline{\text{SYNCOUTx}}\pm$ 上出现一个小脉冲。
- 可以设置出错时触发IRQ事件，然后将其发送至发射器。

“JESD204B测试模块”部分说明了多种用于验证链路完整性的测试模式。

通道FIFO

纵横开关和解帧器之前的FIFO通过调整输入数据的相位，使高速串行数据接口上发送的样本与解帧器时钟同步。FIFO吸收数据源与解帧器之间的时序差异，允许其相对于发射器漂移最多2个PClock周期。可以监控FIFO_STATUS_REG_0寄存器和FIFO_STATUS_REG_1寄存器(分别为寄存器0x30C和寄存器0x30D)，以确定FIFO是满还是空。

通道FIFO IRQ

也可将一个聚合通道FIFO错误位用作IRQ事件。寄存器0x01F[1]用于使能该FIFO错误位，寄存器0x023[1]用于回读其状态和复位IRQ信号。更多信息请参见“中断请求操作”部分。

纵横开关

寄存器0x308至寄存器0x30B用于将物理通道(SERDIN_{x±})任意映射为SERDES解帧器使用的逻辑通道。

表38. 纵横寄存器

地址	位	逻辑通道
0x308	[2:0]	LOGICAL_LANE0_SRC
0x308	[5:3]	LOGICAL_LANE1_SRC
0x309	[2:0]	LOGICAL_LANE2_SRC
0x309	[5:3]	LOGICAL_LANE3_SRC
0x30A	[2:0]	LOGICAL_LANE4_SRC
0x30A	[5:3]	LOGICAL_LANE5_SRC
0x30B	[2:0]	LOGICAL_LANE6_SRC
0x30B	[5:3]	LOGICAL_LANE7_SRC

把要从中接收数据的物理通道(SERDIN_{x±})的编号(x)写入各LOGICAL_LANE_y_SRC。默认情况下，所有逻辑通道都使用对应的物理通道作为其数据源。例如，LOGICAL_LANE0_SRC默认值为0，因此，逻辑通道0从物理通道0(SERDIN0_±)接收数据。如果用户希望将SERDIN4_±用作逻辑通道0的数据源，则应设置LOGICAL_LANE0_SRC = 4。

通道反转

寄存器0x334用于反转所需的逻辑通道，从而简化SERDIN_{x±}信号的布线。对于每个逻辑通道x，将寄存器0x334的位x置1可使其反转。

解帧器

AD9135/AD9136包括两个四字节解帧器(QBD)。每个解帧器从解串行器接收8位/10位编码数据(通过纵横开关)，将其解扰为JESD204B帧，然后送至传输层以转换为DAC样本。解帧器每个处理时钟(PClock)周期处理四个符号(或8位字)。

在单链路模式下，仅使用解帧器0，解帧器1无效。在双链路模式下，两个QBD均有效，必须分别配置，利用LINK_PAGE位(寄存器0x300[2])选择要配置的链路。LINK_MODE位(寄存器0x300[3])为1时设置双链路，为0时设置单链路。

每个解帧器利用用户写入寄存器映射的JESD204B参数来确定数据如何打包和解包。JESD204B参数在“传输层”部分中详细说明，传输层也需要其中的许多参数来将JESD204B帧转换为样本。

解扰器

AD9135/AD9136提供一个采用自同步解扰器的解扰模块，它使用以下多项式： $1 + x^{14} + x^{15}$ 。

使能数据加扰可以减少相同数据8位字在不同帧中重复时产生的频谱尖峰。它还使频谱数据具有独立性，因而电气接口可能的频率选择效应不会造成数据相关错误。要使能数据解扰，应将SCR位(寄存器0x453[7])设为1。

LMFC信号同步

保证链路和器件同步的第一步要从LMFC信号同步开始。每个DAC都有自己的LMFC信号。在子类0中，每个DAC的LMFC信号与内部处理时钟同步。在子类1中，所有DAC和器件的所有LMFC信号都与外部SYSREF信号同步。所有LMFC同步寄存器都按照“DAC传呼”部分所述进行传呼。

SYSREF信号

SYSREF信号是一个差分源同步输入，用于同步JESD204B子类1系统中的发射器和接收器的LMFC信号，从而实现确定延迟。

SYSREF信号是一个高电平有效信号，在器件时钟上升沿采样。器件时钟和SYSREF信号最好由相同时钟源产生，例如AD9516-x时钟发生器，这样信号之间的相位对齐是固定的。设计最佳确定延迟操作时，应考虑SYSREF信号在多点链路系统(多芯片)中的时序分配偏斜。

AD9135/AD9136支持单脉冲/单步或周期性SYSREF_±信号。周期性可以是连续的、选通的或有间隔的周期性。SYSREF_±信号总是可以采用直流耦合(共模电压为0 V至2 V)。直流耦合时，SYSREF_±引脚会消耗少量共模电流(<500 μA)。SYSREF_±内部电路参见图52。

AD9135/AD9136

为了避免消耗这种共模电流，可以将50%占空比的周期性SYSREF±信号与交流耦合电容配合使用。采用交流耦合时，交流耦合电容与图52所示的电阻结合，形成一个高通滤波器，其RC时间常数 $\tau = RC$ 。选择适当的C，使 $\tau > 4/\text{SYSREF}$ 频率。此外，为了满足SYSREF±与DAC时钟阻挡窗口(KOW)要求，边沿速率必须足够快；根据表5，至少应达到1.3 V/ns。

通过利用SYSREF±迟滞(寄存器0x081和寄存器0x082)，可以使用交流耦合模式而不满足频率至时间常数限制。但是，这会提高DAC时钟KOW(表5不适用)，提高量取决于SYSREF±频率、迟滞电平、电容选择和边沿速率。

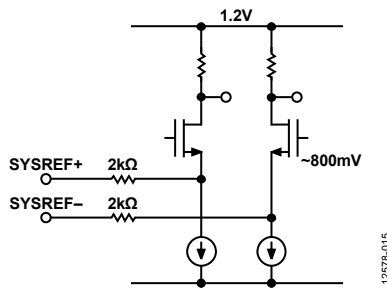


图52. SYSREF±输入电路

同步处理模式概述

AD9135/AD9136支持多种LMFC同步处理模式，包括单次模式、连续模式、窗口式连续模式和监控模式。所有同步处理模式都会执行相位检查，确定LMFC是否与对齐边沿对齐。在子类1中，SYSREF脉冲用作对齐边沿；在子类0中，内部处理时钟用作对齐边沿。如果信号不同相，时钟会旋转以使信号对齐。同步模式将在以下章节中加以介绍。有关LMFC信号同步程序的详细信息，参见“同步程序”部分。

单次同步模式(SYNCMODE = 0x1)

在单次同步模式中，相位检查仅发生在同步机启动后接收到的第一个对齐边沿上。如果相位误差大于指定的窗口误差容限，就会发生相位调整。虽然LMFC同步仅发生一次，但SYSREF信号仍然可以是连续的。

连续同步模式(SYNCMODE = 0x2)

连续模式只能用于子类1的周期性SYSREF信号。在连续模式下，每个对齐边沿上都会发生相位检查/同步。

连续模式与单次模式有两方面不同。第一，启动器件无需SPI周期；使能连续模式后出现的对齐边沿会引起相位检查。第二，在连续模式下，每个对齐边沿上都会发生相位检查(必要时还会发生时钟旋转)。需要注意的一点是：当相位旋转周期正在进行时，后续对齐边沿会被忽略，直到逻辑通道再次就绪。

对齐边沿与LMFC边沿之间的最大容许相位误差(单位为DAC时钟周期)通过误差窗口容限寄存器设置。如果使用连续同步模式且误差窗口容限非零，则每个SYSREF±脉冲上都会发生相位检查，但相位对齐仅在相位误差大于指定误差窗口容限时发生。如果SYSREF信号的抖动违反了表5给出的KOW要求，导致相位误差不确定，可以提高误差容限以避免不断发生时钟旋转。注意，这意味着延迟的确定性会因为窗口大小而降低。

出于调试目的，在连续模式下可以使用SYNCARM(寄存器0x03A[6])来通知用户接收到对齐边沿。SYNCARM位在收到对齐边沿后自动清零，因此，用户可以启动同步(SYNCARM(寄存器0x03A[6]) = 1)，然后回读SYNCARM。如果SYNCARM = 0，则说明接收到对齐边沿且正在进行相位检查。在这种模式下启动同步机不会影响器件运作。

单次同步后监控同步模式(SYNCMODE = 0x9)

在单次同步后监控模式下，用户可以实时监控相位误差。这种同步模式适用于周期性SYSREF信号。相位检查和对齐发生在同步机启动后接收到的第一个对齐边沿上。在所有后续对齐边沿上监控并报告相位，但不发生时钟相位对齐。

相位误差可以通过SYNC_CURRERR_L寄存器(寄存器0x03C[3:0])进行监控。发生对齐后，立即设置CURRERROR = 0以指示对齐边沿与LMFC边沿无差异。在随后的每个对齐边沿上，检查相位。如果相位丢失，相位误差将在SYNC_CURRERR_L寄存器中报告，单位为DAC时钟周期。如果相位误差超过选定的窗口容限(寄存器0x034[2:0])，则寄存器0x03D[7:6]中的一位会被置1，具体哪一位取决于相位误差是在低端还是高端。

发生对齐时，最后相位误差(寄存器0x03C[3:0])和对应误差标志(寄存器0x03D[7:6])的快照会被置于可读寄存器中以供参考(分别是寄存器0x038和寄存器0x039)。

同步程序

使能同步的程序如下：

1. 将寄存器0x008设置为0x03以同步DAC0和DAC1的LMFC。
2. 设置所需的同步处理模式。同步处理模式设置参见表39。
3. 对于子类1，根据SYSREF信号相对于DAC时钟的不确定性和应用的确定延迟不确定性容限设置误差窗口。同步窗口容限设置参见表40。
4. 将1写入SYNCENABLE(寄存器0x03A[7])以使能同步。
5. 若在单次模式下，则将1写入SYNCARM(寄存器0x03A[6])以启动同步机。
6. 若在子类1中，应确保至少向器件发送一个SYSREF±脉冲。
7. 读取以下位域以检查状态：
 - a) SYNC_BUSY(寄存器0x03B[7]) = 0，表示同步逻辑不再繁忙。
 - b) SYNC_LOCK(寄存器0x03B[3]) = 1，表示信号已对齐。每次相位检查都会更新此位。
 - c) SYNC_WLIM(寄存器0x03B[1]) = 0，表示相位误差未超过指定误差窗口。每次相位检查都会更新此位。
 - d) SYNC_ROTATE(寄存器0x03B[2]) = 1。如果相位未在同步之前对齐且发生过对齐，则此位表示发生过时钟对齐。此位为粘滞位，只能通过写入SYNCCLRSTKY控制位(寄存器0x03A[5])清零。
 - e) SYNC_TRIP(寄存器0x03B[0]) = 1，表示收到对齐边沿且发生过相位检查。此位为粘滞位，只能通过写入SYNCCLRSTKY控制位(寄存器0x03A[5])清零。

表39. 同步处理模式

同步处理模式	SYNCMODE(寄存器0x03A[3:0])
单次	0x01
连续	0x02
单次同步后监控	0x09

表40. 同步窗口容限

同步误差窗口容限	ERRWINDOW(寄存器0x034[2:0])
±½ DAC时钟周期	0x00
±1 DAC时钟周期	0x01
±2 DAC时钟周期	0x02
±3 DAC时钟周期	0x03

LMFC同步IRQ

同步状态位(SYNC_LOCK、SYNC_ROTATE、SYNC_TRIP和SYNC_WLIM)可用作IRQ事件。

寄存器0x021[3:0]用于使能DAC0的同步状态位，寄存器0x025[3:0]用于回读其状态和复位IRQ信号。

寄存器0x022[3:0]用于使能DAC1的同步状态位，寄存器0x026[3:0]用于回读其状态和复位IRQ信号。

更多信息请参见“中断请求操作”部分。

确定延迟

JESD204B系统中分布着各种时钟域。数据从一个时钟域传输到另一个时钟域时，可能导致JESD204B链路出现不确定的延迟。这种不确定性导致每次周期供电后建立新链路时，链路上的延迟时间不具重复性。JESD204B规范第6部分讨论了利用子类1和子类2机制解决确定延迟问题。

AD9135/AD9136支持JESD204B子类0和子类1操作，但不支持子类2。将子类写入寄存器0x301[2:0]以及(每条链路一次)寄存器0x458[7:5]。

子类0

此模式不要求SYSREF±引脚上有任何信号，这些引脚可以断开连接。

子类0依然要求所有通道在同一LMFC周期内到达，并且两个DAC必须相互同步。

关于子类0的一点提醒

由于AD9135/AD9136需要ILAS，因此仅在使用可选ILAS时支持JESD204A规范中的简式转换器对齐单通道(NMCDA-SL)情况。

使用子类0且F = 1时，不支持利用SYNCOUTx±报告错误。

子类1

此模式提供确定延迟，链路同步精度小于½ DAC时钟周期。它要求外部SYSREF±信号与DAC时钟的相位精确对齐。

AD9135/AD9136

确定延迟要求

在JESD204B子类1系统中，实现确定延迟需要满足多项关键要求。

- 系统中的SYSREF±信号分配偏斜必须小于所需的不确定性。
- 系统中的每个器件必须满足SYSREF±设置和保持时间要求。
- 所有通道、链路和器件的总延迟偏差必须 ≤ 10 PClock周期。这包括可变延迟以及系统中不同通道、链路和器件的固定延迟差异。

链路延迟

JESD204B系统的链路延迟为发射器、通道和接收器的固定延迟与可变延迟之和，如图55所示。

为使系统正常运行，一条链路上的所有通道必须在同一LMFC周期中读取。JESD204B规范第6.1节规定，LMFC周期必须大于最大链路延迟。AD9135/AD9136无需如此，因为其每条链路使用局部LMFC (LMFC_{Rx})，它可以迟于SYSREF对齐的LMFC。LMFC是周期性的，因而可以补偿任意固定

延迟量。结果，LMFC周期仅须大于链路延迟的差异，AD9135/AD9136可以利用较小的总延迟实现适当的性能。图53和图54显示了链路延迟大于LMFC周期的情况。注意，它可以通过延迟LMFC_{Rx}来适应。

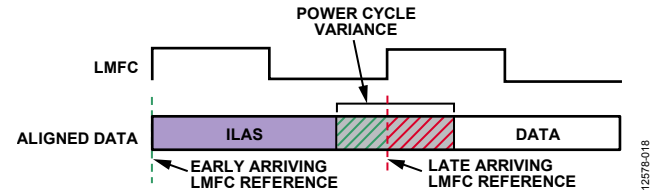


图53. 链路延迟 > LMFC周期示例

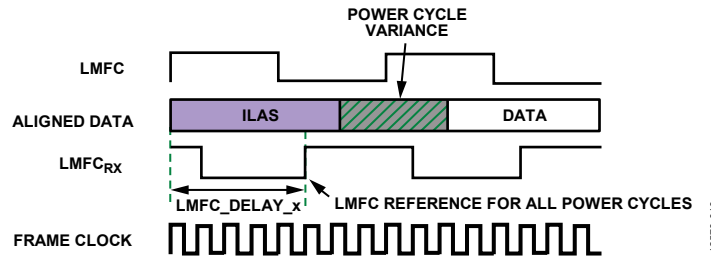


图54. LMFC_DELAY_x, 用于补偿大于LMFC的链路延迟

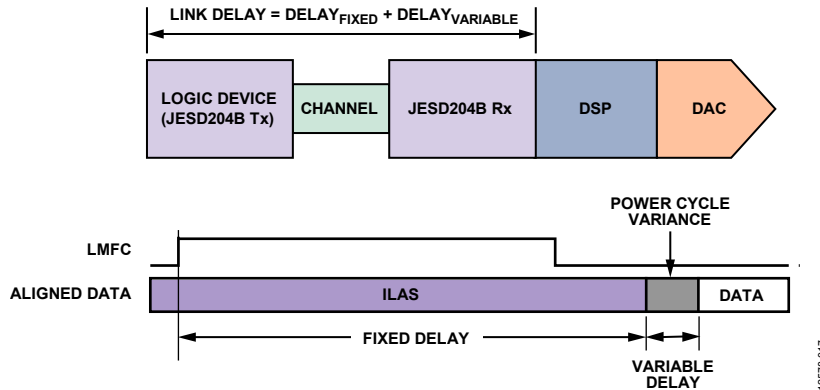


图55. JESD204B链路延迟 = 固定延迟 + 可变延迟

设置LMFCDel和LMFCVar值的方法在“链路延迟设置”部分中说明。

适当设置LMFCDel可确保所有对应的数据样本在同一LMFC周期中到达。然后，LMFCVar被写入接收缓冲延迟(RBD)中，以吸收所有链路延迟差异。这样就能确保所有数据样本在读取之前都已到达。把这些参数设置为不随运行和器件而改变的固定值，便可实现确定延迟。

JESD204B规范所述的RBD取1个帧时钟周期到k个帧时钟周期的值，而AD9135/AD9136的RBD取0个PClock周期到10个PClock周期的值。因此，最多可以吸收10 PClock周期的总延迟差异。LMFCVar以PClock周期为单位，LMFCDel以帧时钟周期为单位，这两个单位需要换算。每个PClock周期的帧时钟周期数PClockFactor等于4/F。欲了解此关系的更多信息，请参见“时钟关系”部分。

下面的两个例子说明如何确定LMFCVar和LMFCDel。计算完成后，将LMFCDel写入系统中所有器件的寄存器0x304和寄存器0x305，将LMFCVar写入系统中所有器件的寄存器0x306和寄存器0x307。

延迟已知的链路延迟设置示例

所有已知的系统延迟都可以用来计算LMFCVar和LMFCDel，如“链路延迟设置”部分所述。

图56中的示例是依照“链路延迟设置”部分给出的程序而分为以下步骤加以说明。注意，本例是在子类1中实现确定延迟，其PClockFactor (4/F)为每个PClock周期相当于2个帧时钟周期，并使用K = 32(每个多帧的帧数)。由于PCBFixed << PClockPeriod，因此PCBFixed在本例中可忽略不计，计算中未予包括。

1. 利用表8查找接收器延迟。

$$RxFixed = 17 \text{ PClock周期}$$

$$RxVar = 2 \text{ PClock周期}$$

2. 查找发射器延迟。JESD204B内核示例(在Virtex-6 FPGA的GTH或GTX收发器上实现)中的相关表格声明，该延迟为 56 ± 2 字节时钟周期。

PClockRate = ByteRate/4(如“时钟关系”部分所述)，因此用PClock周期表示的发射器延迟为：

$$TxFixed = 54/4 = 13.5 \text{ PClock周期}$$

$$TxVar = 4/4 = 1 \text{ PClock周期}$$

3. 计算MinDelayLane，如下所示：

$$\begin{aligned} MinDelayLane &= \text{floor}(RxFixed + TxFixed + PCBFixed) \\ &= \text{floor}(17 + 13.5 + 0) \\ &= \text{floor}(30.5) \end{aligned}$$

$$MinDelayLane = 30$$

4. 计算MaxDelayLane，如下所示：

$$\begin{aligned} MaxDelayLane &= \text{ceiling}(RxFixed + RxVar + TxFixed + TxVar + PCBFixed) \\ &= \text{ceiling}(17 + 2 + 13.5 + 1 + 0) \\ &= \text{ceiling}(33.5) \end{aligned}$$

$$MaxDelayLane = 34$$

5. 计算LMFCVar，如下所示：

$$\begin{aligned} LMFCVar &= (MaxDelay + 1) - (MinDelay - 1) \\ &= (34 + 1) - (30 - 1) = 35 - 29 \end{aligned}$$

$$LMFCVar = 6 \text{ PClock周期}$$

6. 计算LMFCDel，如下所示：

$$\begin{aligned} LMFCDel &= ((MinDelay - 1) \times PClockFactor) \% K \\ &= ((30 - 1) \times 2) \% 32 = (29 \times 2) \% 32 \\ &= 58 \% 32 \end{aligned}$$

$$LMFCDel = 26 \text{ 帧时钟周期}$$

7. 将LMFCDel写入系统中所有器件的寄存器0x304和寄存器0x305。将LMFCVar写入系统中所有器件的寄存器0x306和寄存器0x307。

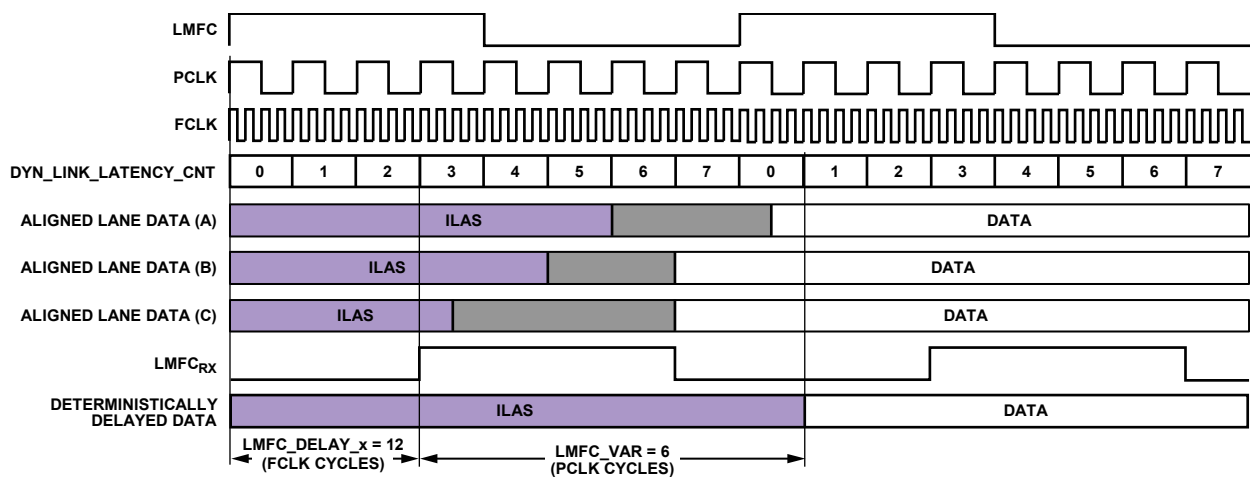


图56. LMFC_DELAY_x计算示例

AD9135/AD9136

延迟未知的链路延迟设置示例

如果系统延迟未知，AD9135/AD9136可以回读各链路的LMFC_{RX}与SYSREF±对齐LMFC之间的链路延迟。然后便可利用此信息计算LMFCVar和LMFCDel，如“延迟已知”部分所述。

图58显示了DYN_LINK_LATENCY_x(寄存器0x302和寄存器0x303)如何提供回读结果，以便得出LMFC_{RX}与从ILAS到第一个数据样本的转换之间的延迟(单位为PClock周期)。通过重复周期供电并加以测量，便可确定所有周期供电的最小和最大延迟，进而计算LMFCVar和LMFCDel。

图58中的示例是依照“延迟未知”部分给出的程序而分为以下步骤加以说明。注意，本例是在子类1中实现确定延迟，其PClockFactor(帧时钟速率/PClockRate)为2，并使用K = 16，因而PClocksPerMF = 8。

1. 在图58中，对于链路A、链路B和链路C，包含AD9135/AD9136的系统(包括发射器)周期供电并配置20次。AD9135/AD9136按照“器件设置指南”部分所述进行配置。本练习的重点是确定LMFCDel和LMFCVar，因此将LMFCDel设置为0，链路0和链路1的DYN_LINK_LATENCY_x分别从寄存器0x302和寄存器0x303读取。20次测量的链路延迟差异如图58中的灰色部分所示。

链路A给出的回读结果为6、7、0和1。注意：记录的延迟值集会在边界处翻过多帧的边沿，K/PClockFactor = 8。集合低端应增加PClocksPerMF = 8。因此，延迟值范围是6到9。

链路B给出的延迟值为5到7。

链路C给出的延迟值为4到7。

2. 计算所有周期供电、链路和器件上的所有延迟测量结果的最小值：

$$MinDelay = \min(\text{all Delay values}) = 4$$

3. 计算所有周期供电、链路和器件上的所有延迟测量结果的最大值：

$$MaxDelay = \max(\text{all Delay values}) = 9$$

4. 计算所有周期供电、链路和器件上的总延迟差异(带余量)：

$$LMFCVar = (MaxDelay + 1) - (MinDelay - 1) \\ = (9 + 1) - (4 - 1) = 10 - 3 = 7 \text{ PClock周期}$$

5. 计算所有周期供电、链路和器件上的最小延迟的帧时钟周期(带余量)：

$$LMFCDel = ((MinDelay - 1) \times PClockFactor) \% K \\ = ((4 - 1) \times 2) \% 16 = (3 \times 2) \% 16 \\ = 6 \% 16 = 6 \text{ 帧时钟周期}$$

6. 将LMFCDel写入系统中所有器件的寄存器0x304和寄存器0x305。将LMFCVar写入系统中所有器件的寄存器0x306和寄存器0x307。

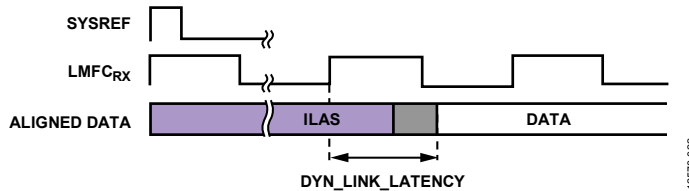


图57. DYN_LINK_LATENCY图解

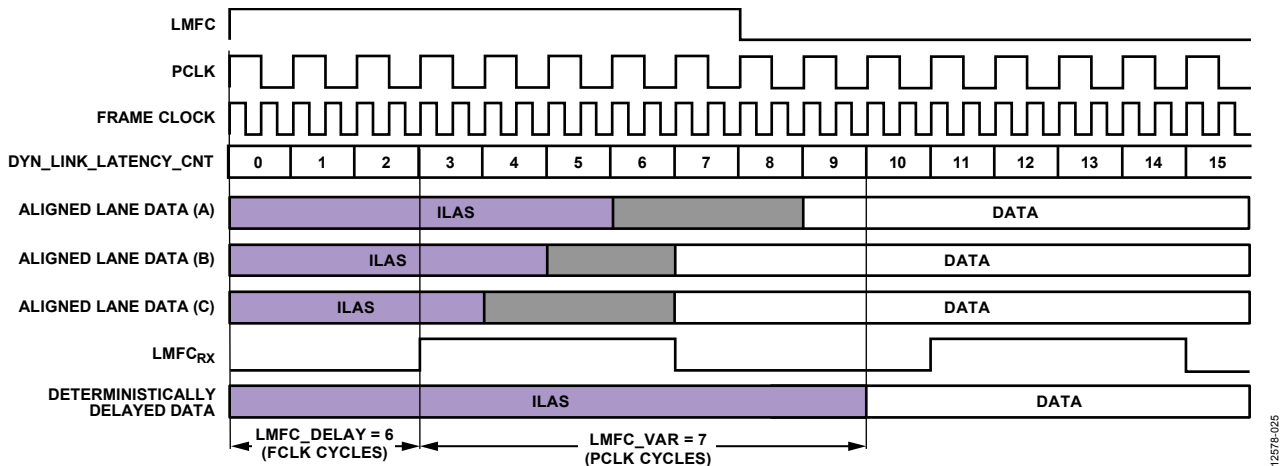


图58. 多链路同步设置，衍生方法示例

传输层

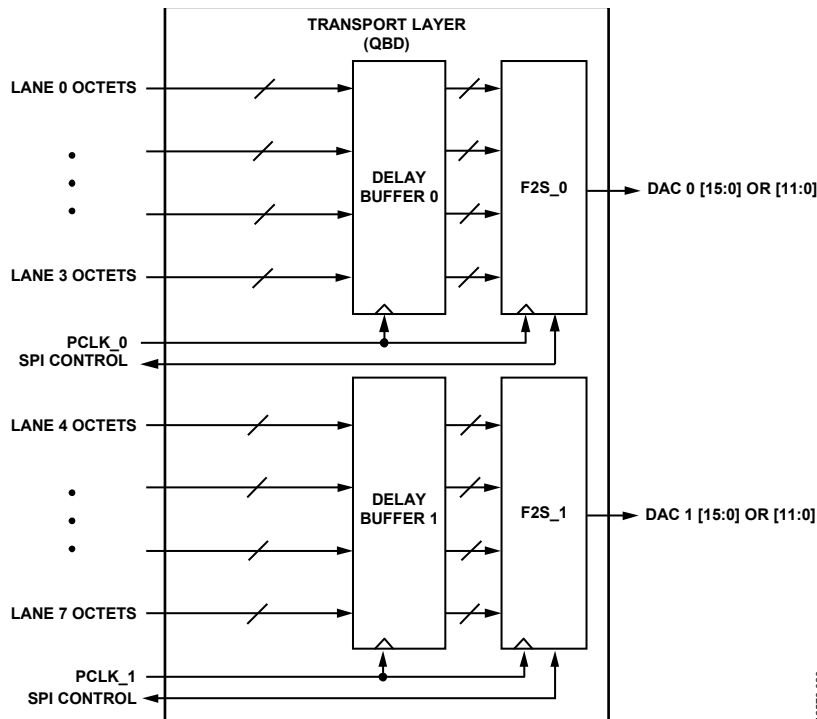


图59. 传输层框图

传输层接收解扰的JESD204B帧，并根据表41所示的JESD204B参数设置将其转换为DAC样本。表42中定义了多个器件参数。

表41. JESD204B传输层参数

参数	说明
F	每通道每帧的8位字数：1、2或4。
K	每个多帧的帧数。 若F = 1，则K = 32；其它情况下K = 16或32。
L	每个转换器(每条链路)的通道数： 1、2、4或8(单链路模式)。 1、2或4(双链路模式)。
M	每个器件(每条链路)的转换器数： 1或2(单链路模式)。 1(双链路模式)。
S	每帧每转换器的样本数：1或2。

表42. JESD204B器件参数

参数	说明
CF	每条链路每个器件时钟的控制字数。不支持，必须为0。
CS	每个转换样本的控制位数。不支持，必须为0。
HD	高密度用户数据格式。当样本必须分开放到多个通道上时使用。当F = 1时置1，其它情况下置0。
N	转换器分辨率 = 16。
N' (or NP)	每个样本的总位数 = 16。

AD9135/AD9136支持上述参数的某些组合，称为“JESD204B工作模式”。表43和表44列出了支持的模式以及相关的时钟关系。

AD9135/AD9136

表43. 单链路和双链路JESD204B工作模式

参数	模式		
	8	9	10
M(转换器数)	1	1	1
L(通道数)	4	2	1
S(每帧每个转换器采样数)	2	1	1
F(每通道每帧8位字数)	1	1	2
K ¹ (每个多帧的帧数)	32	32	16或32
HD(高密度)	1	1	0
N(转换器分辨率)	16	16	16
NP(每样本位数)	16	16	16
10 Gbps通道速率的时钟示例			
PClock速率(MHz)	250	250	250
帧时钟速率(MHz)	250	1000	500
数据速率(MHz)	250	1000	500

¹ K在模式8和模式9中必须为32，在模式10中可以是16或32。

表44. 单链路JESD204B工作模式

参数	模式		
	11	12	13
M(转换器数)	2	2	2
AD9135/AD9136 M设置 ¹	1	1	1
L(通道数)	8	4	2
AD9135/AD9136 L设置	4	2	1
S(每帧每个转换器采样数)	2	1	1
F(每通道每帧8位字数)	1	1	2
K ² (每个多帧的帧数)	32	32	16或32
HD(高密度)	1	1	0
N(转换器分辨率)	16	16	16
NP(每样本位数)	16	16	16
10 Gbps通道速率的时钟示例			
PClock速率(MHz)	250	250	250
帧时钟速率(MHz)	250	250	1000
数据速率(MHz)	250	250	1000

¹ 注意：对于模式11至模式13，接收侧设置的M和L参数与发射侧参数不一致。发射侧参数反映的是每条链路的转换器和通道的实际数量。

² K在模式11和模式12中必须为32，在模式13中可以是16或32。

配置参数

AD9135/AD9136模式是指链路配置参数L、K、M、N、NP、S和F。表45提供了这些设置的说明和地址。

表45. 配置参数

JESD204B 设置	说明	地址
L - 1	通道数 - 1。	0x453[4:0]
F - 1 ¹	每通道每帧的8位字数 - 1。	0x454[7:0]
K - 1	每个多帧的帧数 - 1。	0x455[4:0]
M - 1	转换器数 - 1。	0x456[7:0]
N - 1	转换器分辨率 - 1。	0x457[4:0]
NP - 1	每个样本的位数 - 1。	0x458[4:0]
S - 1	每帧每转换器的样本数 - 1。	0x459[4:0]
HD	高密度格式。当F = 1时置1，F ≠ 1时置0。	0x45A[7]
F ¹	F参数，每通道每帧的8位字数。	0x476[7:0]
DID	器件ID。匹配发射器发送的器件ID。	0x450[7:0]
BID	模块ID。匹配发射器发送的模块ID。	0x451[3:0]
LID0	通道0的通道ID。匹配发射器在逻辑通道0上发送的通道ID。	0x452[4:0]
JESDV	JESD版本。匹配发射器发送的版本(0x0 = JESD204A, 0x1 = JESD204B)。	0x459[7:5]

¹ 需要写入寄存器0x454和寄存器0x476的值不同，分别是F - 1和F。

JESD204B接收器中的数据流

链路配置参数决定JESD204B接收器接口上的串行位如何解帧并作为数据样本传送至DAC。图60详细显示了模式11(L = 8、M = 2、S = 2、F = 1)的各种硬件模块中的数据流。所有其它模式的简化流程图参见图61至图65。

单链路和双链路配置

AD9135/AD9136使用表43和表44中的设置。模式8至模式13支持单链路操作。模式8至模式10还支持双链路操作。

要使用双链路模式，应将LINK_MODE(寄存器0x300[3])置1。在双链路模式下，链路1和链路0必须采用相同的参数加以配置。要写入链路1，应将LINK_PAGE(寄存器0x300[2])置1。

如果使用单链路模式，关断SYNCOUT1±的输出缓冲器(设置寄存器0x203[0] = 1)可以节省少量功耗。

检查配置是否正确

为了方便起见，AD9135/AD9136提供了一些快速配置检查功能。如果使用了非法LMFC_DELAY值，寄存器0x030[5]将等于1。如果使用了不支持的L、M、F或S组合，寄存器0x030[3]将等于1。如果使用了非法K值，寄存器0x030[2]将等于1。如果使用了非法SUBCLASSV，寄存器0x030[1]将等于1。

去偏斜和使能逻辑通道

正确配置后，逻辑通道必须去偏斜并使能以捕捉数据。

将寄存器0x46C的位x置1以使逻辑通道x去偏斜，若不使用该逻辑通道则置0。然后，将寄存器0x47D的位x置1以使能逻辑通道x，若不使用该逻辑通道则置0。

AD9135/AD9136

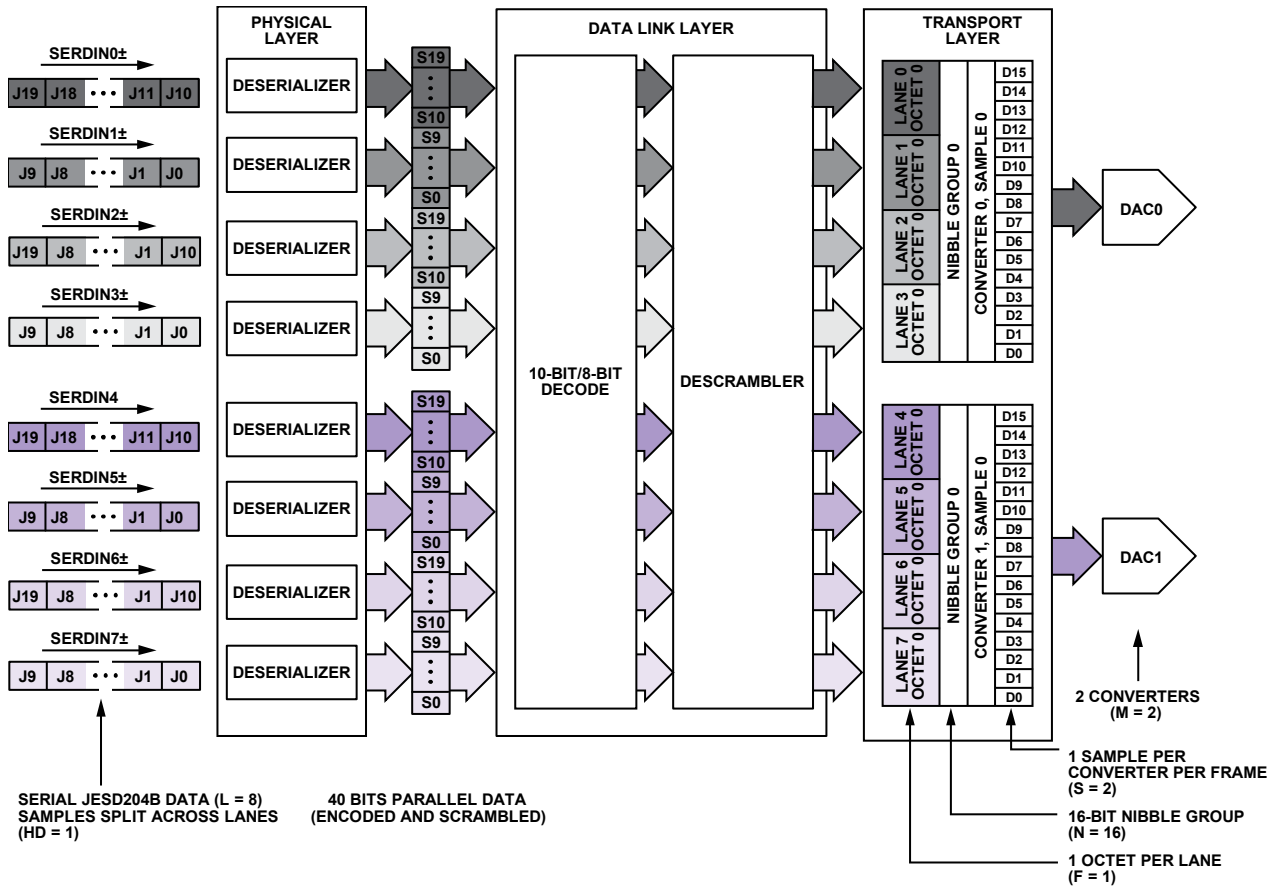


图60. JESD204B模式11数据解帧

模式配置映射

表46至表51提供了图60至图65所示各种模式的SPI配置映射。图60至图65显示了各种模式下JESD204B接收器的解帧过程中的相关数据流。模式8至模式13适用于单链路操作。模

式8至模式10还适用于双链路操作。寄存器0x300必须根据单链路或双链路操作正确设置。

欲了解所有SPI寄存器的更多信息，请参阅“寄存器映射和描述”部分。

表46. SPI配置映射—模式8的JESD204B参数的寄存器设置

地址	设置	说明
0x453	0x03或0x83	寄存器0x453[7] = 0或1: 禁用或使能加扰; 寄存器0x453[4:0] = 0x3; L = 4通道/链路
0x454	0x00	寄存器0x454[7:0] = 0x00; F = 1八位字/帧
0x455	0x1F	寄存器0x455[4:0] = 0x1F; K = 32帧/多帧
0x456	0x00	寄存器0x456[7:0] = 0x00; M = 1转换器/链路
0x457	0x0F	寄存器0x457[7:6] = 0x0; 始终设置CS = 0; 寄存器0x457[4:0] = 0x0F; N = 16, 始终设置为16位分辨率
0x458	0x0F或0x2F	寄存器0x458[7:5] = 0x0或0x1; 子类0或子类1; 寄存器0x458[4:0] = 0xF; NP = 16位/样本
0x459	0x21	寄存器0x459[7:5] = 0x1; 设置为JESD204B版本; 寄存器0x459[4:0] = 0x1; S = 2样本/转换器/帧
0x45A	0x80	寄存器0x45A[7] = 1; HD = 1; 寄存器0x45A[4:0] = 0x00; 始终设置CF = 0
0x46C	0x0F	寄存器0x46C[7:0] = 0x0F; 链路通道0至链路通道3去偏斜
0x476	0x01	寄存器0x476[7:0] = 0x01; F = 1八位字/帧
0x47D	0x0F	寄存器0x47D[7:0] = 0x0F; 使能链路通道0至链路通道3

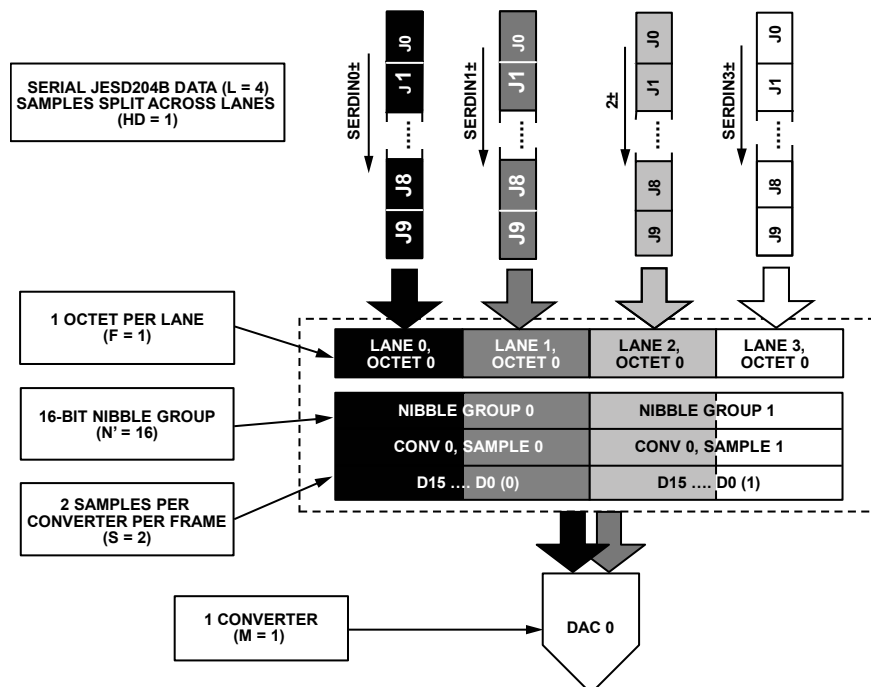


图61. JESD204B模式8数据解帧

12578-352

AD9135/AD9136

表47. SPI配置映射—模式9的JESD204B参数的寄存器设置

地址	设置	说明
0x453	0x01或0x81	寄存器0x453[7] = 0或1: 禁用或使能加扰; 寄存器0x453[4:0] = 0x1; L = 2通道/链路
0x454	0x00	寄存器0x454[7:0] = 0x00; F = 1八位字/帧
0x455	0x1F	寄存器0x455[4:0] = 0x1F; K = 32帧/多帧
0x456	0x00	寄存器0x456[7:0] = 0x00; M = 1转换器/链路
0x457	0x0F	寄存器0x457[7:6] = 0x0: 始终设置CS = 0; 寄存器0x457[4:0] = 0x0F; N = 16, 始终设置为16位分辨率
0x458	0x0F或0x2F	寄存器0x458[7:5] = 0x0或0x1: 子类0或子类1; 寄存器0x458[4:0] = 0xF; NP = 16位/样本
0x459	0x20	寄存器0x459[7:5] = 0x1: 设置为JESD204B版本; 寄存器0x459[4:0] = 0x0; S = 1样本/转换器/帧
0x45A	0x80	寄存器0x45A[7] = 1; HD = 1; 寄存器0x45A[4:0] = 0x00: 始终设置CF = 0
0x46C	0x03	寄存器0x46C[7:0] = 0x0F: 链路通道0和链路通道1去偏斜
0x476	0x01	寄存器0x476[7:0] = 0x01: F = 1八位字/帧
0x47D	0x03	寄存器0x47D[7:0] = 0x03: 使能链路通道0和链路通道1

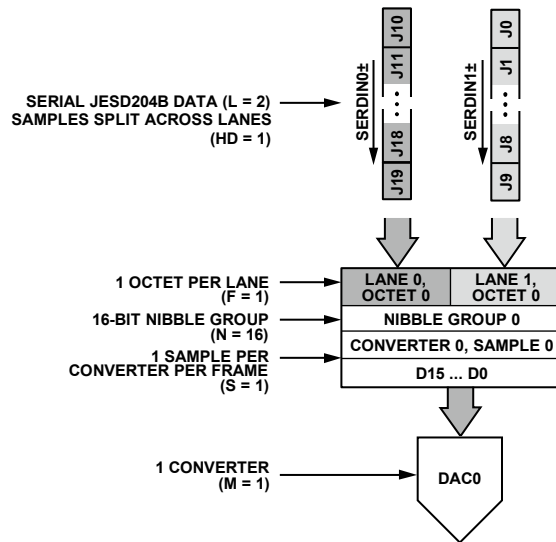


图62. JESD204B模式9数据解帧

12576-035

表48. SPI配置映射—模式10的JESD204B参数的寄存器设置

地址	设置	说明
0x453	0x00或0x80	寄存器0x453[7] = 0或1：禁用或使能加扰；寄存器0x453[4:0] = 0x0：L = 1通道/链路
0x454	0x01	寄存器0x454[7:0] = 0x01：F = 2八位字/帧
0x455	0x0F或0x1F	寄存器0x455[4:0] = 0x0F或0x1F：K = 16或32帧/多帧
0x456	0x00	寄存器0x456[7:0] = 0x00：M = 1转换器/链路
0x457	0x0F	寄存器0x457[7:6] = 0x0：始终设置CS = 0；寄存器0x457[4:0] = 0x0F：N = 16，始终设置为16位分辨率
0x458	0x0F或0x2F	寄存器0x458[7:5] = 0x0或0x1：子类0或子类1；寄存器0x458[4:0] = 0xF：NP = 16位/样本
0x459	0x20	寄存器0x459[7:5] = 0x1：设置为JESD204B版本；寄存器0x459[4:0] = 0x0：S = 1样本/转换器/帧
0x45A	0x00	寄存器0x45A[7] = 0；HD = 0；寄存器0x45A[4:0] = 0x00；始终设置CF = 0
0x46C	0x01	寄存器0x46C[7:0] = 0x0F：链路通道0去偏斜
0x476	0x02	寄存器0x476[7:0] = 0x02：F = 2八位字/帧
0x47D	0x01	寄存器0x47D[7:0] = 0x01：使能链路通道0

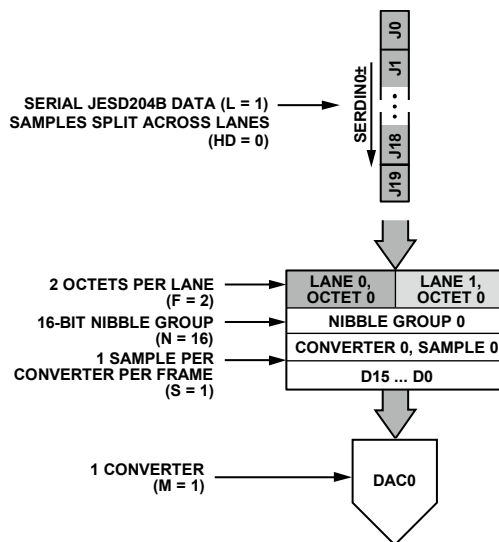


图63. JESD204B模式10数据解帧

12578-036

AD9135/AD9136

表49. SPI配置映射—模式11的JESD204B参数的寄存器设置

地址	设置	说明
0x453	0x03或0x83	寄存器0x453[7] = 0或1: 禁用或使能加扰; 寄存器0x453[4:0] = 0x3: L = 4通道/链路(发射侧L = 8) ¹
0x454	0x00	寄存器0x454[7:0] = 0x00: F = 1八位字/帧
0x455	0x1F	寄存器0x455[4:0] = 0x1F: K = 32帧/多帧
0x456	0x00	寄存器0x456[7:0] = 0x00: M = 1转换器/链路(发射侧M = 2) ¹
0x457	0x0F	寄存器0x457[7:6] = 0x0: 始终设置CS = 0; 寄存器0x457[4:0] = 0x0F: N = 16, 始终设置为16位分辨率
0x458	0x0F或0x2F	寄存器0x458[7:5] = 0x0或0x1: 子类0或子类1; 寄存器0x458[4:0] = 0xF: NP = 16位/样本
0x459	0x21	寄存器0x459[7:5] = 0x1: 设置为JESD204B版本; 寄存器0x459[4:0] = 0x1: S = 2样本/转换器/帧
0x45A	0x80	寄存器0x45A[7] = 1: HD = 1; 寄存器0x45A[4:0] = 0x00: 始终设置CF = 0
0x46C	0xFF	寄存器0x46C[7:0] = 0x0F: 链路通道0至链路通道7去偏斜
0x476	0x01	寄存器0x476[7:0] = 0x01: F = 1八位字/帧
0x47D	0xFF	寄存器0x47D[7:0] = 0x0F: 使能链路通道0至链路通道7

¹ 注意: 对于模式11至模式13, 接收侧设置的M和L参数与发射侧参数不一致。发射侧参数反映的是每条链路的转换器和通道的实际数量。

AD9135/AD9136 JESD204B模式11数据解帧过程说明参见图60。

表50. SPI配置映射—模式12的JESD204B参数的寄存器设置

地址	设置	说明
0x453	0x01或0x81	寄存器0x453[7] = 0或1: 禁用或使能加扰; 寄存器0x453[4:0] = 0x1; L = 2通道/链路(发射侧L = 4) ¹
0x454	0x00	寄存器0x454[7:0] = 0x00: F = 1八位字/帧
0x455	0x1F	寄存器0x455[4:0] = 0x1F: K = 32帧/多帧
0x456	0x00	寄存器0x456[7:0] = 0x00: M = 1转换器/链路(发射侧M = 2) ¹
0x457	0x0F	寄存器0x457[7:6] = 0x0: 始终设置CS = 0; 寄存器0x457[4:0] = 0x0F: N = 16, 始终设置为16位分辨率
0x458	0x0F或0x2F	寄存器0x458[7:5] = 0x0或0x1: 子类0或子类1; 寄存器0x458[4:0] = 0xF: NP = 16位/样本
0x459	0x20	寄存器0x459[7:5] = 0x1: 设置为JESD204B版本; 寄存器0x459[4:0] = 0x0: S = 1样本/转换器/帧
0x45A	0x80	寄存器0x45A[7] = 1: HD = 1; 寄存器0x45A[4:0] = 0x00: 始终设置CF = 0
0x46C	0x33	寄存器0x46C[7:0] = 0x0F: 链路通道0、链路通道1、链路通道4和链路通道5去偏斜
0x476	0x01	寄存器0x476[7:0] = 0x01: F = 1八位字/帧
0x47D	0x33	寄存器0x47D[7:0] = 0x03: 使能链路通道0、链路通道1、链路通道4和链路通道5

¹ 注意: 对于模式11至模式13, 接收侧设置的M和L参数与发射侧参数不一致。发射侧参数反映的是每条链路的转换器和通道的实际数量。

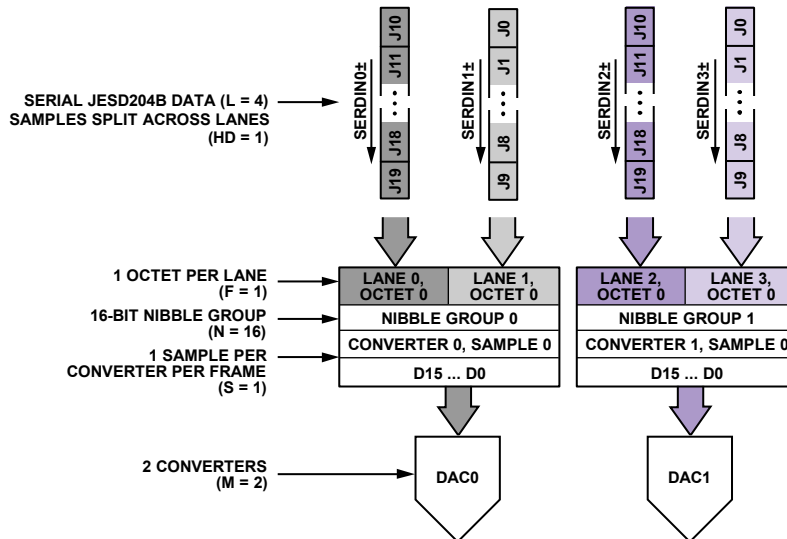


图64. JESD204B模式12数据解帧

12578-354

AD9135/AD9136

表51. SPI配置映射—模式13的JESD204B参数的寄存器设置

地址	设置	说明
0x453	0x00或0x80	寄存器0x453[7] = 0或1: 禁用或使能加扰; 寄存器0x453[4:0] = 0x0; L = 1通道/链路(发射侧L = 2) ¹
0x454	0x01	寄存器0x454[7:0] = 0x01; F = 2八位字/帧
0x455	0x0F或0x1F	寄存器0x455[4:0] = 0x0F或0x1F; K = 16或32帧/多帧
0x456	0x00	寄存器0x456[7:0] = 0x00; M = 1转换器/链路(发射侧M = 2) ¹
0x457	0x0F	寄存器0x457[7:6] = 0x0; 始终设置CS = 0; 寄存器0x457[4:0] = 0x0F; N = 16, 始终设置为16位分辨率
0x458	0x0F或0x2F	寄存器0x458[7:5] = 0x0或0x1; 子类0或子类1; 寄存器0x458[4:0] = 0xF; NP = 16位/样本
0x459	0x20	寄存器0x459[7:5] = 0x1; 设置为JESD204B版本; 寄存器0x459[4:0] = 0x0; S = 1样本/转换器/帧
0x45A	0x00	寄存器0x45A[7] = 0; HD = 0; 寄存器0x45A[4:0] = 0x00; 始终设置CF = 0
0x46C	0x11	寄存器0x46C[7:0] = 0x0F; 链路通道0和链路通道4去偏斜
0x476	0x02	寄存器0x476[7:0] = 0x02; F = 2八位字/帧
0x47D	0x11	寄存器0x47D[7:0] = 0x01; 使能链路通道0和链路通道4

¹ 注意: 对于模式11至模式13, 接收侧设置的M和L参数与发射侧参数不一致。发射侧参数反映的是每条链路的转换器和通道的实际数量。

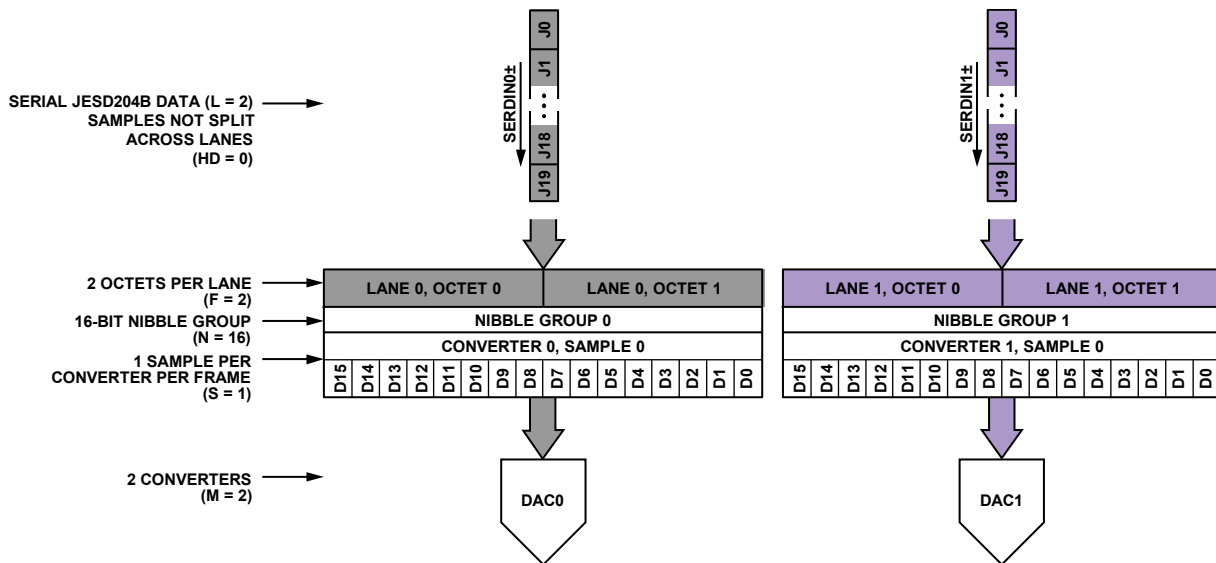


图65. JESD204B模式13数据解帧

12578-033

JESD204B测试模式

PHY PRBS测试

AD9135/AD9136的JESD204B接收器在其物理层后端包括一个PRBS模式检查器。此功能支持对JESD204B链路的所有物理通道进行误码率(BER)测试。PHY PRBS模式检查器不要求建立JESD204B链路。它可以与PRBS7、PRBS15或PRBS31数据模式同步。一次可以对多个通道执行PRBS模式验证。JESD204B故障通道的错误计数是一次报告一个通道。对AD9135/AD9136执行PRBS测试的步骤如下：

1. 开始从JESD204B发射器发送PRBS7、PRBS15或PRBS31模式。
2. 选择适当的PRBS模式并将其写入寄存器0x316[3:2]，如表52所示。
3. 写入PHY_TEST_EN(寄存器0x315)，使能所有受测通道的PHY测试。寄存器0x315的每位使能对应通道的PRBS测试。例如，将1写入位0就会使能物理通道0的PRBS测试。
4. 将PHY_TEST_RESET(寄存器0x316[0])从0变为1，然后变回0。
5. 根据需要设置PHY_PRBS_ERROR_THRESHOLD(寄存器0x317至寄存器0x319)。
6. 向PHY_TEST_START(寄存器0x316[1])先写入0再写入1。PHY_TEST_START的上升沿启动测试。
7. 等待500 ms。
8. 向PHY_TEST_START(寄存器0x316[1])写入0以停止测试。
9. 读取PRBS测试结果。

PHY_PRBS_PASS(寄存器0x31D)的每位对应一个SERDES通道。0 = 失败，1 = 通过。

要读取各故障通道出现的PRBS错误数，可将要检查的通道号(0至7)写入PHY_SRC_ERR_CNT(寄存器0x316[6:4])，然后读取PHY_PRBS_ERR_CNT(寄存器0x31A至寄存器0x31C)。最大错误数为 $2^{24}-1$ 。如果寄存器0x31A至寄存器0x31C的所有位都是1，则说明已经超过了选定通道的最大错误数。

表52. PHY PRBS模式选择

PHY_PRBS_PAT_SEL设置 (寄存器0x316[3:2])	PRBS模式
0b00(默认)	PRBS7
0b01	PRBS15
0b10	PRBS31

传输层测试

AD9135/AD9136的JESD204B接收器支持JESD204B标准所述的短传输层(STPL)测试。此测试可用于验证JESD204B发射器与接收器之间的数据映射。为执行此测试，必须在逻辑器件中实现并使能该功能。在接收器侧运行测试之前，链路必须建立并且正常运行(参见“器件设置指南”部分)。

STPL测试确保各转换器的各样本根据转换器数(M)和每转换器的样本数(S)而正确映射。按照JESD204B标准的规定，转换器制造商指定发送何种测试样本。每个样本必须有唯一值。例如，若 $M=2$ 且 $S=2$ ，则会重复发送4个唯一样本，直至测试停止。必须将预期样本写入器件中；预期样本与接收到的样本相比较，一次一个样本，直至所有样本测试完毕。对AD9135/AD9136执行此测试的步骤如下：

1. 同步JESD204B链路。
2. 使能JESD204B发射器的STPL测试。
3. 选择转换器0样本0进行测试。设置SHORT_TPL_DAC_SEL(寄存器0x32C[3:2])=0且SHORT_TPL_SP_SEL(寄存器0x32C[5:4])=0。
4. 设置转换器0样本0的预期测试样本。将预期11/16位测试样本写入SHORT_TPL_REF_SP_x寄存器(寄存器0x32E和寄存器0x32D)。
5. 使能STPL测试。设置SHORT_TPL_TEST_EN(寄存器0x32C[0])=1。
6. 切换STPL复位。SHORT_TPL_TEST_RESET(寄存器0x32C[1])从0变为1，然后变回0。
7. 检查有无故障。读取SHORT_TPL_FAIL(寄存器0x32F[0])，0 = 通过，1 = 失败。
8. 对各转换器的各样本，重复第3步至第7步。Conv₀Sample₀至Conv_{M-1}Sample_{S-1}。

重复CGS和ILAS测试

根据JESD204B规范第5.3.3.8.2节，AD9135/AD9136可以检查是否接收到恒定的/K28.5/字符流，或者先接收到CGS，再接收到恒定的ILAS流。

要运行重复CGS测试，应将一个恒定的/K28.5/字符流发送到AD9135/AD9136 SERDES输入。然后，按照“器件设置指南”部分所述设置器件并使能链路。为了确保接收到/K28.5/字符，应验证 $\overline{\text{SYNCOUTx}}$ 是否已解除置位，并且读取寄存器0x470，检查是否所有使能的链路通道都已通过CGS测试。对于双链路模式，设置0x300[2]=0以监控链路0上的通道状态，设置寄存器0x300[2]=1以监控链路1上的通道状态。

AD9135/AD9136

要运行CGS及重复ILAS序列测试，应按照“器件设置指南”部分所述进行操作，但在执行最后一个写操作(使能链路)之前，应将1写入寄存器0x477[7]以使能ILAS测试模式，然后再使能链路。当器件识别到各通道上的4个CGS字符后，就会解除置位 $\overline{\text{SYNCOUTx}}\pm$ 。此时，发射器开始发送重复ILAS序列。

读取寄存器0x473，验证是否所有使能的链路通道都已实现初始通道同步。对于双链路模式，设置0x300[2] = 0以监控链路0上的通道状态，设置寄存器0x300[2] = 1以监控链路1上的通道状态。

JESD204B错误监控

差异、不在表中及意外控制字符错误

根据JESD204B规范第7.6节，AD9135/AD9136可以检测差异错误、不在表中错误和意外控制字符错误，并且在出错时，可以发出同步请求并重新初始化链路。

注意，差异错误计数器会计数所有包含无效差异的字符，无论它们是否在8位/10位解码表中。这与JESD204B规范略有不同，后者仅计数8位/10位解码表中的差异错误。

检查错误数

可以检查差异错误、不在表中错误和意外控制字符错误的计数值。错误按通道和错误类型计数。注意，通道和计数器通过寄存器0x46B选择，错误计数也是从该地址读取。要检查错误数，请执行以下步骤：

1. 选择要查看计数器的链路通道和错误类型。根据表53将这些信息写入寄存器0x46B。
要选择链路通道，首先应选择链路：寄存器0x300[2] = 0选择链路0，寄存器0x300[2] = 1选择链路1(仅限双链路模式)。
注意：当使用链路1时，链路通道x指逻辑通道x + 4。
2. 从寄存器0x46B读取错误数。注意，最大错误数等于寄存器0x47C中设置的错误阈值。

表53. 错误计数器

地址	位	变量	说明
0x46B	[6:4]	LaneSel	LaneSel = x监控链路通道x的错误数。参见“检查错误数”部分第1步中关于链路通道的说明。
	[1:0]	CntrSel	CntrSel = 0b00：不良运行差异计数器。 CntrSel = 0b01：不在表中错误计数器。 CntrSel = 0b10：意外控制字符计数器。

检查错误数是否超过阈值

除了“检查错误数”部分所述的读取每个通道和每种错误类型的错误数之外，用户还可以检查寄存器以确定指定错误类型的错误数是否达到可编程的阈值。

三种错误类型(差异、不在表中及意外控制字符)使用相同的错误阈值。错误计数器则是基于错误类型。要使用此特性，请执行以下步骤：

1. 将所需错误数阈值写入ERRORTHRES(寄存器0x47C)。
2. 读取各种错误类型的错误状态，确定错误数是否达到错误阈值。
差异错误在寄存器0x46D中报告。
不在表中错误在寄存器0x46E中报告。
意外控制字符错误在寄存器0x46F中报告。

错误计数器和IRQ控制

用户可以写入寄存器0x46D和寄存器0x46F，以便复位或禁用错误计数，以及复位指定通道的IRQ。注意，这些寄存器就是用于报告错误数是否超过阈值的寄存器(参见“检查错误数是否超过阈值”部分)，因此，回读值不是之前写入的值。对于每种错误类型：

1. 选择要访问的链路通道。要选择链路通道，首先应选择链路：寄存器0x300[2] = 0选择链路0，寄存器0x300[2] = 1选择链路1(仅限双链路模式)。
注意：当使用链路1时，链路通道x指逻辑通道x + 4。
2. 针对指定通道和错误类型，决定是否复位IRQ、禁用错误计数和/或复位错误数。
3. 根据表54，将链路通道和所需的复位或禁用操作写入寄存器0x46D至寄存器0x46F。

表54. 错误计数器和IRQ控制：差异(寄存器0x46D)、不在表中(寄存器0x46E)、意外控制字符(寄存器0x46F)

位	变量	说明
7	RstIRQ	RstIRQ = 1复位位[2:0]所选通道的IRQ。
6	Disable_ErrCnt	Disable_ErrCnt = 1禁用位[2:0]所选通道的错误计数。
5	RstErrCntr	RstErrCntr = 1复位位[2:0]所选通道的错误计数。
[2:0]	LaneAddr	LaneAddr = x监控链路通道x的错误数。参见“检查错误数”部分第1步中关于链路通道的说明。

通过SYNCOUTx±监控错误

当发生一个或多个差异错误、不在表中错误或意外控制字符错误时，错误通过SYNCOUTx±引脚报告，如JESD204B规范第7.6节所述。JESD204B规定，发生错误时，SYNCOUTx±信号置位2个帧周期。对于AD9135/AD9136，SYNCOUTx±脉冲宽度可设置为½、1或2个PClock周期。使SYNCOUTx±脉冲持续2个帧时钟周期的设置参见表55。

表55. 设置SYNCOUTx±错误脉冲持续时间

JESD模式ID	PClockFactor (帧/PClock)	SYNCB_ERR_DUR (寄存器0x312[5:4])设置 ¹
8, 9, 11, 12	4	0(默认)
10, 13	2	1

¹ 这些寄存器设置将SYNCOUTx±信号置位2个帧时钟周期的脉冲宽度。

差异、不在表中及意外控制字符IRQ

对于差异、不在表中及意外控制字符错误，错误数超过阈值事件可用作IRQ事件。写入寄存器0x47A[7:5]可启用这些事件。使能IRQ之后，可从同一地址(寄存器0x47A[7:5])读取IRQ事件状态。

有关复位IRQ的信息，参见“错误计数器和IRQ控制”部分。有关IRQ的更多信息，参见“中断请求操作”部分。

要求重新初始化的错误

根据JESD204B规范第7.1节，当接收到4个无效差异字符时，链路会自动重新初始化。发生链路重新初始化时，再同步请求为5帧和9个八位字长。

用户可以设置当差异错误、不在表中错误或意外控制字符的错误数达到某一可编程错误阈值时，链路重新初始化。针对某些错误类型使能重新初始化特性的步骤如下：

1. 设置THRESHOLD_MASK_EN(寄存器0x477[3]) = 1。注意：当此位置1时，未屏蔽错误不会在阈值或最大值时饱和。
2. 根据表56写入SYNCASSERTIONMASK寄存器(寄存器0x47B[7:5])，使能各种错误类型的同步置位屏蔽。
3. 将所需错误计数器阈值写入ERRORTHRES(寄存器0x47C)。
4. 对于SYNCASSERTIONMASK寄存器中使能的各种错误类型，如果任一通道的错误数达到所设置的阈值，SYNCOUTx±就会下降，发出同步请求。注意：发生链路重新初始化时，所有错误计数都会复位。IRQ不会复位，必须手动复位。

表56. 同步置位屏蔽

地址	位号	位名称	说明
0x47B	7	BADDIS_S	置1时，如果差异错误数达到阈值，SYNCOUTx±置位
	6	NIT_S	置1时，如果不在表中错误数达到阈值，SYNCOUTx±置位
	5	UCC_S	置1时，如果意外控制字符数达到阈值，SYNCOUTx±置位

CGS、帧同步、校验和及ILAS监控

可以监控寄存器0x470至寄存器0x473以验证JESD204B链路建立的各阶段是否已发生。设置0x300[2] = 0以监控链路0上的通道状态，设置寄存器0x300[2] = 1以监控链路1上的通道状态。

如果链路通道x收到至少4个K28.5字符且实现了代码组同步，则CODEGRPSYNCFILAG(寄存器0x470)的位x为1。

如果链路通道x完成了初始帧同步，则FRAMESYNCFILAG(寄存器0x471)的位x为1。

如果链路通道x发送的校验和与ILAS期间通道发送的JESD204B参数之和一致，则GOODCHKSUMFLG(寄存器0x472)的位x为1。参数相加可以是对寄存器中的各个域求和，或者对打包寄存器求和。如果寄存器0x300[6] = 0(默认)，则计算的校验和为以下各域之和的低8位：DID、BID、LID、SCR、L-1、F-1、K-1、M-1、N-1、SUBCLASSV、NP-1、JESDV、S-1和HD。如果寄存器0x300[6] = 1，则计算的校验和为寄存器0x400至寄存器0x40C与LID之和的低8位。

如果链路通道x完成了初始通道对齐序列，则INITLANESYNCFILG(寄存器0x473)的位x为1。

CGS、帧同步、校验和及ILAS IRQ

CGS、帧同步、校验和及ILAS的故障信号可用作IRQ事件。写入寄存器0x47A[3:0]可启用这些事件。使能IRQ之后，可从同一地址(寄存器0x47A[3:0])读取IRQ事件状态。向寄存器0x470[7]写入1可复位CGS IRQ。向寄存器0x471写入1可复位帧同步IRQ。向寄存器0x472写入1可复位校验和IRQ。向寄存器0x473写入1可复位ILAS IRQ。

更多信息请参见“中断请求操作”部分。

AD9135/AD9136

配置失配IRQ

AD9135/AD9136有一个配置失配标志可用作IRQ事件。寄存器0x47B[3]用于使能该失配标志(默认使能)，寄存器0x47B[4]用于回读其状态和复位IRQ信号。更多信息请参见“中断请求操作”部分。

当链路配置设置(寄存器0x450至寄存器0x45D)与JESD204B发送的设置(寄存器0x400至寄存器0x40D)不一致时，配置失配事件标志为1。所有这些寄存器均按链路(寄存器0x300中)传呼。对于模式11至模式13，配置失配标志为1，因为链路发送的M和L参数的值与写入寄存器0x453和寄存器0x456的参数不一致。

注意，此功能与寄存器0x472中的校验和正确标志不同。校验和正确标志确保发送的校验和与依据发送的设置而算出的校验和一致。配置失配事件则用于确保发送的设置与配置的设置一致。

硬件考虑

电源建议

电源域如表57所示。电源域可以划分为图66所示的多个不同PCB域组。为实现最佳工作性能，AD9135/AD9136的所有电源域都必须尽可能无噪声。电源噪声的频率分量会影响性能，用V_{rms}项表示。

为了衰减噪声，建议在电源输出端使用LC滤波器，其必须尽可能靠近AD9135/AD9136。图66显示了一个有源滤波器，此滤波器方案可降低高频噪声成分。AD9135/AD9136的每个电源引脚还必须有一个0.1 μF电容连接到接地层，如图66所示。该电容应尽可能靠近电源引脚。相邻电源引脚可以共用一个旁路电容。利用过孔将AD9135/AD9136的接地引脚连接到接地层。

电源层和接地层

建议使用实心接地层，以避免出现接地环路，并为需要受控阻抗的高速传输线提供不中断的实心接地参考。请勿将分段电源层用作受控阻抗的参考，除非受控阻抗走线全长仅分布于单个分段层。关于高速传输线的上述及其它指南，参见“JESD204B串行接口输入(SERDIN0±至SERDIN7±)”部分所述。

表57. 电源

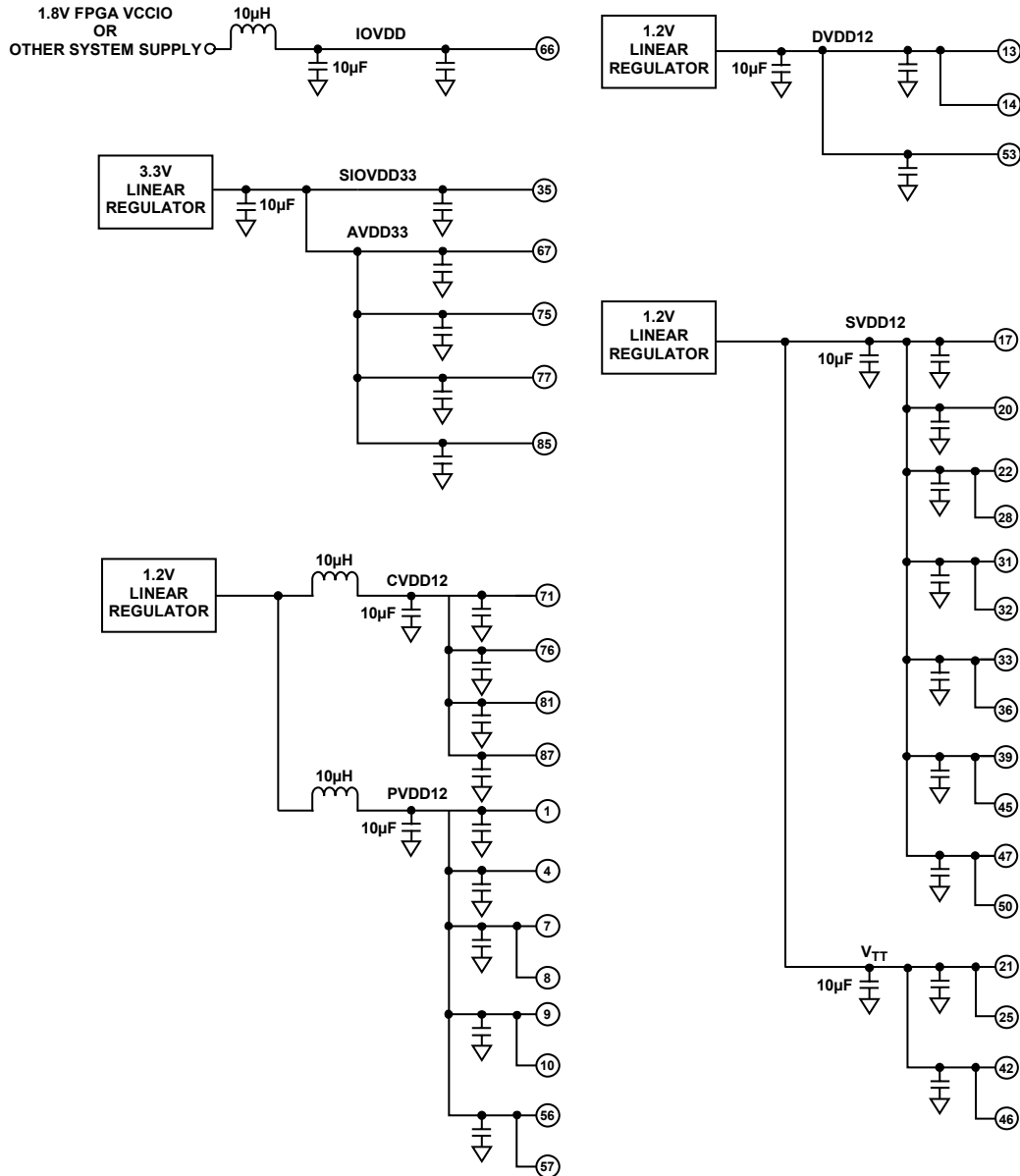
电源域	电压(V)	电路
DVDD12 ¹	1.2	数字内核
PVDD12 ²	1.2	DAC PLL
SVDD12 ³	1.2	JESD204B接收器接口
CVDD12 ¹	1.2	DAC时钟
IOVDD	1.8	SPI接口
V _{TT} ⁴	1.2	V _{TT}
SIOVDD33	3.3	同步LVDS发送
AVDD33	3.3	DAC

¹ 以最大DAC采样速率工作时，此电源需要1.3 V电源。详情参见表3。

² 此电源可以与CVDD12合并，由同一稳压器供电，但使用不同的电源滤波器网络，并且引脚附近有足够的旁路电容。

³ 以最大接口速率工作时，此电源需要1.3 V电源。详情参见表4。

⁴ 此电源可连接到SVDD12，无需单独的电路。



NOTES
 1. UNLABELED CAPACITORS ARE 0.1µF, CLOSE TO DEVICE PIN(S), WITH MINIMUM DISTANCE AND VIAS BETWEEN CAPACITORS AND PIN(S).

12576-039

图66. JESD204B接口PCB电源域建议

JESD204B串行接口输入(SERDIN0±至SERDIN7±)

考虑JESD204B串行接口传输线的布局时，为了确保链路性能最佳，有许多因素需要考虑，其中包括插入损耗、回损、信号偏斜和差分走线拓扑。

插入损耗

JESD204B规范对传输通道允许的插入损耗做了限制(参见图47)。AD9135/AD9136均衡电路容许的通道损耗显著高于

JESD204B规范要求的损耗。不过，PCB设计人员仍然必须遵从以下原则，最大程度地降低插入损耗量：

- 让AD9135/AD9136尽可能靠近发射逻辑器件，并且器件之间的走线尽可能直，使差分走线较短。
- 利用实心接地层作为参考，将差分对布设在同一层上。
- 尽可能使用低介电常数(<4)的PCB材料。

AD9135/AD9136

在带线和微带两种技术中选择时，牢记以下几点：带线损耗较少(参见图48和图49)，EMI辐射较低，但需要使用过孔，这会增加阻抗控制的复杂性；微带更易实现(如果器件布置和密度允许在顶层布线)，而且可简化阻抗控制工作。

如果使用PCB顶层有问题或者希望获得带线技术的优势，请遵从如下建议：

- 尽量减少过孔。
- 如果可能，要使用盲孔，以消除过孔根影响，并利用微过孔来尽量减小电感。
- 如果使用标准过孔，则要使用最大过孔长度，以使过孔根尺寸最小。例如，在8层板上，带线对使用第7层(参见图67)。
- 对于每个过孔对，应布置一对接地过孔与之相邻，尽量消除阻抗不连续现象(参见图67)。

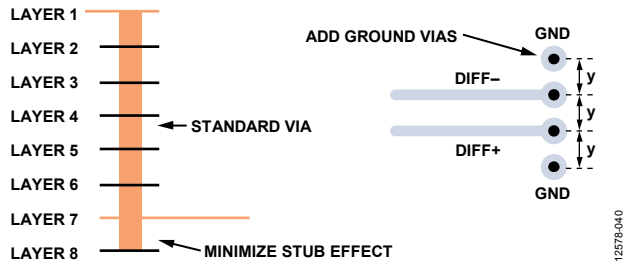


图67. 尽量消除根效应并为差分带线走线增加接地过孔

回损

JESD204B规范限制了转换器件和逻辑器件的回损量，但并未规定通道的回损。然而，必须尽全力保持发射逻辑器件与AD9135/AD9136之间的传输线阻抗连续。正如“插入损耗”部分所述，应尽量少使用过孔，或者完全不使用，消除传输线阻抗不匹配的一个主要原因。在差分走线下方(对于微带)或上下方(对于带线)使用实心参考，确保传输线阻抗连续。如果使用带线技术，应遵从“插入损耗”部分列出的指南，使阻抗不匹配和根效应最小。

阻抗不匹配的另一个主要原因是在传输线的两端，在这些地方，必须采取措施让端接阻抗与传输线阻抗匹配。

AD9135/AD9136在内部处理这一问题，即对线的接收端使用校准端接方案。有关此电路和校准程序的详细信息，参见“接口上电和输入端接”部分。

信号偏斜

信号偏斜有很多原因，但在PCB布局布线时需要考虑两个原因：单条JESD204B链路内的互连偏斜和多条JESD204B链路之间的偏斜。任一情况下，让通道长度匹配精度达到15 mm以内便足以使JESD204B链路以最高10.64 Gbps的速度工作。管理单条链路内的互连偏斜非常简单。管理多个器件的多条链路则较为复杂。然而，长度匹配精度务必满足15 mm要求。

拓扑结构

合理安排SERDINx±对的结构，使该对的每一半实现50 Ω接地阻抗。带线和微带技术的利弊已在“插入损耗”部分中说明。任一情况下，这些传输线都必须与高速数字信号和高噪声电源等潜在噪声源分开。如果使用带线差分走线，应使用共面方法布线，两条走线应位于同一层上。虽然这并不能提供比宽边布线方法(走线布置在相邻层上)更好的抗噪性，但其布线和制造更容易，阻抗的连续性得以保持。宽边与共面方法的对比如图68所示。

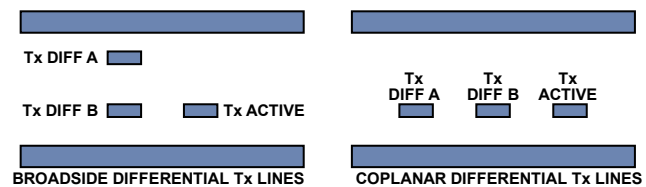


图68. 宽边与共面差分带线布线技术

考虑走线宽度与铜重量和厚度的关系时，必须考虑接口速度。速度为数Gbps时，传导材料的集肤效应会将电流限制在表面。应加大走线的宽度，使导体的表面积最大，从而降低损耗。此外，应将差分走线松散地耦合起来以支持较宽的走线。当走线必须分开以适应器件、过孔、连接器或其它布线障碍时，这样做有助于降低串扰，使阻抗不匹配最小。紧密耦合与松散耦合的差分走线如图69所示。

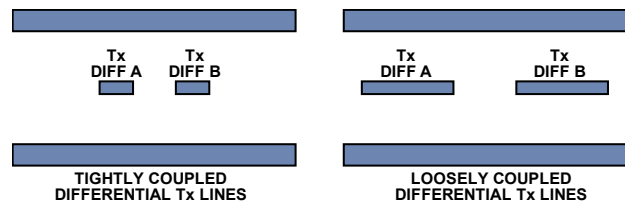


图69. 紧密耦合与松散耦合的差分走线

交流耦合电容

AD9135/AD9136要求JESD204B输入信号交流耦合到信号源。所用电容必须为100 nF，并且尽可能靠近发射逻辑器件。为使焊盘的阻抗不匹配最小，应合理选择电容的封装尺寸，使得PCB上的焊盘尺寸尽可能与走线宽度匹配。

SYNCOUT_{x±}、SYSREF_±和CLK_±信号

AD9135/AD9136的SYNCOUT_{x±}和SYSREF_±信号是低速LVDS差分信号。为这些信号布线时，应将受控阻抗走线与100 Ω差分阻抗和50 Ω接地电阻一起布线。与SERDIN_{7±}至SERDIN_{1±}数据对一样，这些信号必须与高速数字信号和高噪声电源等潜在噪声源分开。

将SYNCOUT_{x±}信号与其它高噪声信号分开，因为SYNCOUT_{x±}上的噪声可能会被解读为对K字符的请求。SYNCOUT_{x±}信号有两种工作模式可用。寄存器0x2A5[0]默认值为0，设置SYNCOUT_{x±}摆幅为正常摆幅模式。此位设为1时，SYNCOUT_{x±}摆幅配置为高摆幅模式。更多信息请参见表8。

在JESD204B链路的任一端，从时钟源到各器件，CLK_±和SYSREF_±信号必须保持相似的走线长度(参见图70)。如果使用能够严密控制CLK_±和SYSREF_±相位的时钟芯片，则走线长度匹配要求可以大大降低。

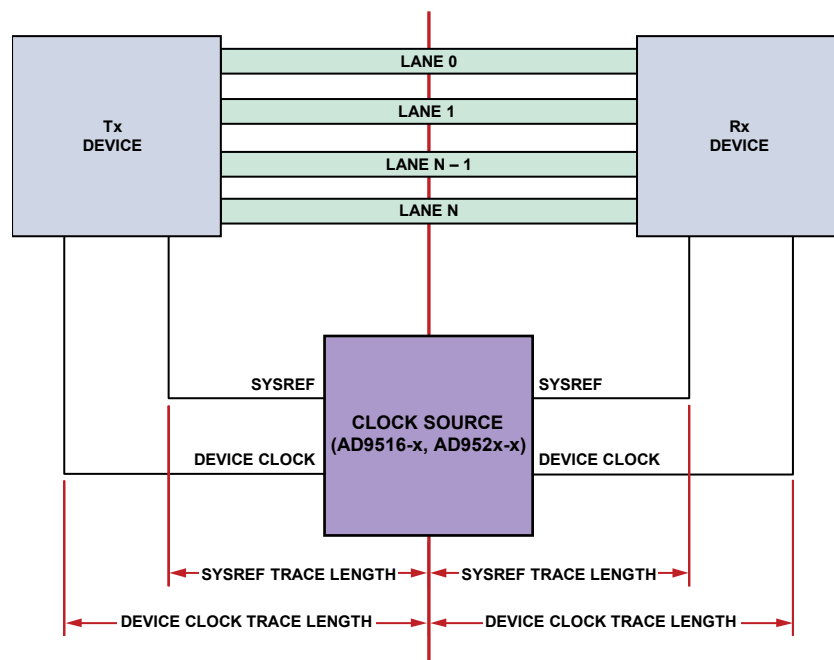


图70. SYSREF信号和器件时钟走线长度

12578-043

数字数据路径

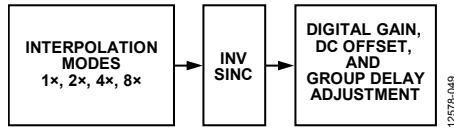


图71. 数字数据路径框图

图71显示了数字数据路径的功能框图(所有模块都可以旁路)。数字处理包括三个半带插值滤波器、一个反sinc滤波器以及增益、失调、群延迟调整模块。

注意：使能/禁用数字数据路径功能时，流水线延迟会改变。如果需要固定的DAC流水线延迟，完成初始配置后请勿重新配置这些功能。

DAC传呼

数字数据路径寄存器通过传呼来独立配置一个DAC或同时配置两个DAC。表58说明了如何使用DAC传呼位。

表58. 传呼模式

DAC_PAGE, 寄存器0x008[1:0]	传呼的DAC
1	DAC0
2	DAC1
3(默认)	DAC0和DAC1

DAC可以传呼多个功能，如输入数据格式、下游保护、插值、反sinc、数字增益、直流偏移、群延迟、数据路径PRBS和LMFC同步。

数据格式

BINARY_FORMAT(寄存器0x110[7]，按照“DAC传呼”部分所述进行传呼)控制预期输入数据格式。其默认值为0，表示输入数据必须为二进制补码。也可以将其设置为1，表示输入数据为偏移二进制。对于AD9136，0x0000为负满量程，0xFFFF为正满量程。对于AD9135，0x0000为负满量程，0xFFE0为正满量程。

插值滤波器

发射路径包含3个半带插值滤波器，各插值滤波器都将输出数据速率提高2倍并执行低通滤波。这些滤波器可以级联以提供4倍或8倍的插值比。表59说明了如何选择各种可用的插值模式、其可用带宽和最大数据速率。注意， $f_{\text{DATA}} = f_{\text{DAC}} / \text{插值系数}$ 。插值模式按照“DAC传呼”部分所述进行传呼。如果选择了不支持的插值模式，寄存器0x030[0]将等于1。

表59. 插值模式及可用带宽

插值模式	INTERP_MODE, 寄存器0x112 [2:0]	可用带宽	最大 f_{DATA} (MHz)
1x(旁路)	0x00	$0.5 \times f_{\text{DATA}}$	2120 ¹
2x	0x01	$0.4 \times f_{\text{DATA}}$	1060 ¹
4x	0x03	$0.4 \times f_{\text{DATA}}$	700
8x	0x04	$0.4 \times f_{\text{DATA}}$	350

¹ 1倍和2倍插值的最大速度受JESD204B接口的限制。有关电源电平参见表4。

滤波器性能

插值滤波器在现有数据之间插值，使得输入数据的变化最小，同时抑制插值镜像的产生。各滤波器的情况如图72所示。

可用带宽(如表59所示)定义为滤波器通带纹波小于 ± 0.001 dB且镜像抑制大于85 dB的频带。

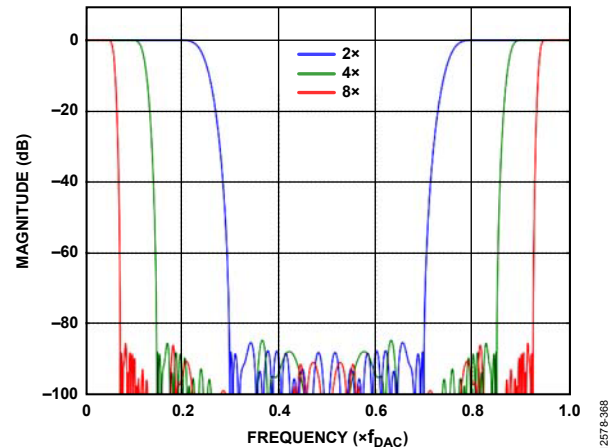


图72. 插值滤波器的全带响应

额定带宽以外的滤波器性能

插值滤波器的额定带宽为 $0.4 \times f_{\text{DATA}}$ (含通带)。滤波器可以在略高于此比值的情况下使用，不过通带纹波会提高，插值镜像抑制能力会降低。

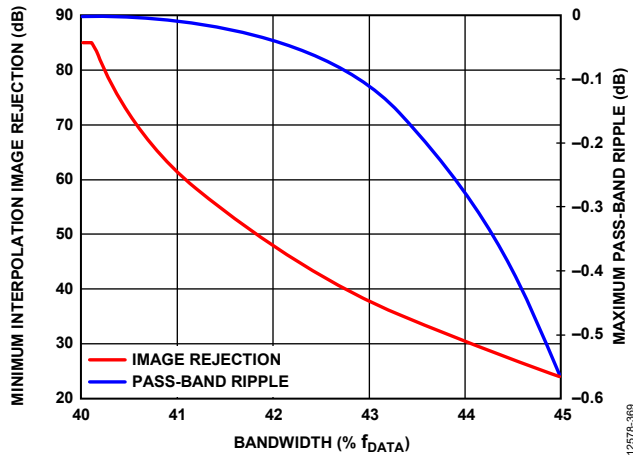


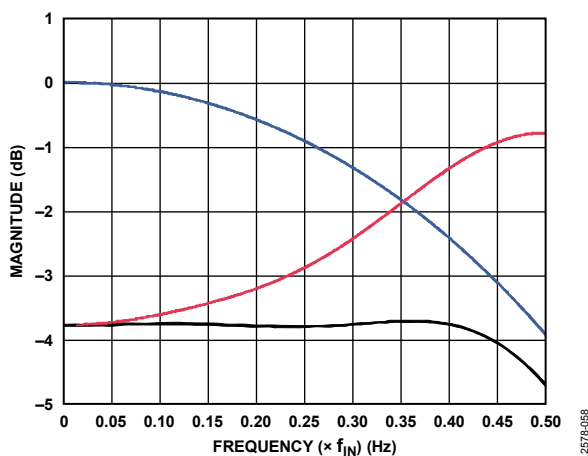
图73. 额定带宽以外的滤波器性能

图73显示了超出 $0.4 \times f_{DATA}$ 时的插值滤波器性能。注意，纹波提高的速度比镜像抑制性能降低的速度要慢得多。这意味着，如果应用能够接受插值滤波器的镜像抑制性能降低，就可以使用更高的带宽。

反SINC

AD9135/AD9136提供一个数字反sinc滤波器来补偿DAC随频率的滚降。INVSINC_ENABLE位(寄存器0x111[7]，按照“DAC传呼”部分所述进行传呼)置1就会使能该滤波器。该滤波器默认使能。

反sinc (sinc^{-1})滤波器是一个七抽头FIR滤波器。图74显示了 $\sin(x)/x$ 滚降、反sinc滤波器的频率响应及其复合响应。在最高 $0.4 \times f_{DAC}$ 的频率范围内，复合响应的通带纹波小于 ± 0.05 dB。为在通带的上端提供必要的峰化，所示的反sinc滤波器具有约3.8 dB的内在插入损耗。很多情况下，可以按照“数字增益”部分所述对此加以部分补偿。

图74. $\sin(x)/x$ 滚降的响应、Sinc-1滤波器的响应及双输入信号和保护的复合响应

数字增益、直流偏移和群延迟

DAC I/Q输出、正交调制器I/Q基带输入、DAC/调制器接口I/Q路径之间的模拟不匹配会导致I和Q路径的不平衡，利用数字增益和直流偏移(如“数字增益”部分和“直流偏移”部分所述)可以补偿这种不平衡。这些不平衡会引起下列问题：

- 能量显著的干扰边带信号出现在正交调制器输出端。调谐正交增益调整值可以优化单边带无线电的镜像抑制，或者优化零中频(ZIF)架构的误差矢量幅度(EVM)。
- I/Q不匹配会引起调制器LO泄露，这可以利用直流偏移予以消除。

利用群延迟可以调整DAC延迟，进而调整数字预失真(DPD)环路延迟。

数字增益

数字增益可用来独立调整馈入各DAC的数字信号幅度。这对DAC的I和Q通道之间的增益平衡或抵消反sinc滤波器的插入损耗很有用。使用消隐状态机时，必须使能数字增益(参见“下游保护”部分)。如果禁用数字增益，TXEN_x必须接高电平。

DIG_GAIN_ENABLE位(寄存器0x111[5]，按照“DAC传呼”部分所述进行传呼)置1就会使能数字增益。除了使能该功能外，还必须设置数字增益量(GainCode)。数字增益默认使能，GainCode为0xAEA。

$$0 \leq \text{Gain} \leq 4095/2048$$

$$-\infty \text{ dB} \leq \text{dBGain} \leq 6.018 \text{ dB}$$

$$\text{Gain} = \text{GainCode} \times (1/2048)$$

$$\text{dBGain} = 20 \times \log_{10}(\text{Gain})$$

$$\text{GainCode} = 2048 \times \text{Gain} = 2048 \times 10^{\text{dBGain}/20}$$

其中GainCode为12位无符号二进制数。

I/Q数字增益设置如表60所示，按“DAC传呼”部分所述进行传呼。

使用2倍插值时，GainCode默认值(0xAEA = 2.7 dB)可以抵消反sinc滤波器的插入损耗，而不会引起数字削波。从图74可知此值为 $0.25 \times f_{DAC}$ ，但这是使用2倍插值时的奈奎斯特频率。对于4倍和8倍插值，GainCode建议值分别是0xBB3 (3.3 dB)和0xBF8 (3.5 dB)。

AD9135/AD9136

表60. 数字增益寄存器

寄存器	位名称	说明
0x111[5]	DIG_GAIN_ENABLE	置1使能数字增益
0x13C[7:0]	DAC_DIG_GAIN[7:0]	LSB增益代码
0x13D[7:0]	DAC_DIG_GAIN[11:8]	MSB增益代码

直流偏移

直流偏移特性用于独立偏移馈入I或Q DAC的数据。这可以用来消除LO泄漏。

偏移表示为一个16位二进制补码数(单位为LSB)加上一个5位二进制补码数(单位为一个LSB的1/16)，如表61所示。直流偏移按照“DAC传呼”部分所述进行传呼。

$$-2^{15} \leq \text{LSBs Offset} < 2^{15}$$

$$-16 \leq \text{Sixteenths Offset} \leq 15$$

其中

LSBs Offset(LSB偏移)为寄存器0x136和寄存器0x137的值。

Sixteenths Offset(1/16偏移)为寄存器0x13A的值。

表61. 直流偏移寄存器

寄存器	位名称	说明
0x135[0]	DC_OFFSET_ON	置1使能直流偏移
0x136[7:0]	LSB_OFFSET[7:0]	LSB直流偏移代码
0x137[7:0]	LSB_OFFSET[15:8]	MSB直流偏移代码
0x13A[4:0]	SIXTEENTH_OFFSET	Sub-LSB直流偏移代码

群延迟

群延迟可用于同时延迟I和Q通道。这对DPD环路延迟调整等可能很有用。

$$-4 \leq \text{DAC时钟周期} \leq 3.5$$

$$\text{Group Delay} = (\text{DAC时钟周期} \times 2) + 8$$

其中，Group Delay(群延迟)为4位二进制补码数。

将GroupDelay写入GROUP_DLY寄存器(寄存器0x014[3:0])。群延迟按照“DAC传呼”部分所述进行传呼。

下游保护

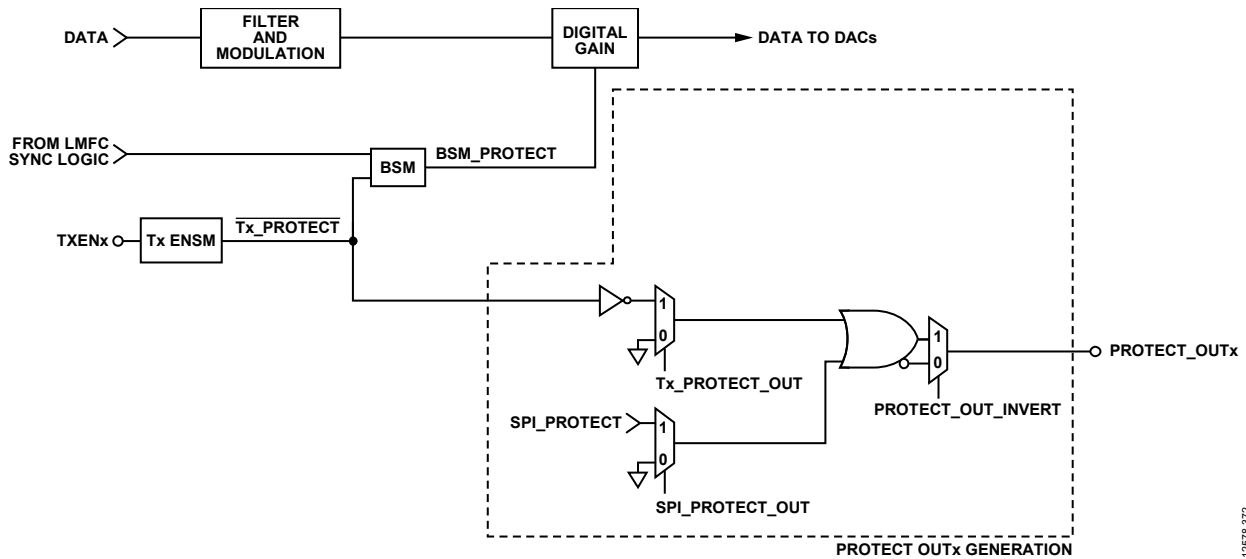


图75. 下游保护框图

162578-372

AD9135/AD9136有多个模块设计用于保护系统的功率放大器(PA)和其它下游模块。AD9135/AD9136内置一个消隐状态机(BSM)和一个发射使能状态机(Tx ENSM)。

Tx ENSM是一个控制TXENx与 $\overline{\text{Tx_PROTECT}}$ 信号间延迟的模块。 $\overline{\text{Tx_PROTECT}}$ 信号用作BSM输入，其反信号可外接出去。作为一个选项，Tx ENSM也可以关闭相关DAC。

BSM平缓地改变进入DAC的数据并刷新数据路径。BSM由 $\overline{\text{Tx_PROTECT}}$ 信号激活，或在旋转期间由LMFC同步逻辑自动激活。为确保正常工作，必须使能数字增益；如果禁用数字增益，应将TXENx接高电平。

最后，某种简单逻辑获得各模块的输出，并利用其在外部引脚上产生所需的PROTECT_OUTx信号。此信号可用于使能或禁用PA等下游器件。

发射使能状态机

Tx ENSM是一个控制TXENx信号与 $\overline{\text{Tx_PROTECT}}$ 信号之间延迟的简单模块。此信号用作BSM输入，其反信号可路由至外部引脚(PROTECT_OUTx)，以便根据需要开启或关闭下游器件。

TXENx信号可用于关断相关DAC。如果DAC0_MASK(寄存器0x012[0]) = 1，则TXENx下降沿引起DAC0关断。如果DAC1_MASK(寄存器0x012[1]) = 1，则TXENx下降沿引起DAC1关断。在TXENx上升沿，若DAC0_MASK和DAC1_MASK未使能，则输出在BSM稳定后有效(参见“消隐状态机(BSM)”部分)。

如果屏蔽使能，则会施加额外的延迟，输出要到BSM稳定且DAC完全开启后有效(一般需要增加约35 μs)。

Tx ENSM配置如表62所示，按“DAC传呼”部分所述进行传呼。

表62. Tx ENSM寄存器

地址	位号	位名称	说明
0x11F	[7:6]	FALL_COUNTERS	要使用的下降计数器数量(1至2)。
	[5:4]	RISE_COUNTERS	要使用的上升计数器数量(0至2)。
0x121	[7:0]	RISE_COUNT_0	TX_PROTECT上升从TXENx上升沿延迟 $32 \times \text{RISE_COUNT_0}$ DAC时钟周期。
0x122	[7:0]	RISE_COUNT_1	TX_PROTECT上升从TXENx上升沿延迟 $32 \times \text{RISE_COUNT_1}$ DAC时钟周期。
0x123	[7:0]	FALL_COUNT_0	TX_PROTECT上升从TXENx上升沿延迟 $32 \times \text{FALL_COUNT_0}$ DAC时钟周期。至少必须为0x12。
0x124	[7:0]	FALL_COUNT_1	TX_PROTECT上升从TXENx上升沿延迟 $32 \times \text{FALL_COUNT_1}$ DAC时钟周期。

AD9135/AD9136

消隐状态机(BSM)

BSM平缓地改变进入DAC的数据并刷新数据路径。

在TX_PROTECT下降沿(Tx ENSM延迟TXENx信号), 数据路径保存最近的数据值, 数字增益平缓地从设定值变为0。同时, 数据路径刷新为0。

在TX_PROTECT上升沿, Tx ENSM延迟TXENx信号; 数据又可以流过数据路径, 数字增益平缓地从0变为设定值。

旋转期间的LMFC同步逻辑也会自动触发这两种功能, 以防输出产生毛刺。

斜坡

为确保数据正常变化, 必须使能数字增益; 如果禁用数字增益, 应将TXENx接高电平。

增益以斜坡方式变为0或指定值的步进大小可通过GAIN_RAMP_DOWN_STEP[11:0]寄存器(寄存器0x142和寄存器0x143)和GAIN_RAMP_UP_STEP[11:0]寄存器(寄存器0x140和寄存器0x141)来控制。这些寄存器按照“DAC传呼”部分所述进行传呼。

当前BSM状态可按照表63所示进行回读。

表63. 消隐状态机斜坡回读

寄存器	数值	说明
0x147[7:6]	0b00	数据保持为中间电平。
	0b01	增益变为0。数据变为中间电平。
	0b10	增益变为指定值。数据变为正常幅度。
	0b11	数据处于正常幅度。

消隐状态机IRQ

消隐完成可用作IRQ事件。

寄存器0x021[5]用于使能DAC0的消隐完成, 寄存器0x025[5]用于回读其状态和复位IRQ信号。

寄存器0x022[5]用于使能DAC1的消隐完成, 寄存器0x026[5]用于回读其状态和复位IRQ信号。

更多信息请参见“中断请求操作”部分。

PROTECT_OUTx产生

寄存器0x013控制哪些信号进行“或”运算以提供外部PROTECT_OUTx信号。寄存器0x11F[2]可用于反转PROTECT_OUTx信号。默认情况下, 当输出有效时, PROTECT_OUTx为高电平。寄存器0x013和寄存器0x11F按照“DAC传呼”部分所述进行传呼。

表64. PROTECT_OUTx寄存器

寄存器	位号	位名称	说明
0x013	5	TX_PROTECT_OUT	1: Tx ENSM触发PROTECT_OUT
	3	SPI_PROTECT_OUT	1: SPI_PROTECT触发PROTECT_OUT
	2	SPI_PROTECT	设置SPI_PROTECT
0x11F	2	PROTECT_OUT_INVERT	反转PROTECT_OUTx

数据路径PRBS

数据路径PRBS用来验证AD9135/AD9136数据路径是否能接收并正确解码数据。数据路径PRBS验证发射器和接收器的JESD204B参数是否一致, 接收器的通道映射是否恰当, 通道是否恰当地反转(如需要), 以及启动程序是否得到正确地实施。数据路径PRBS测试支持最高1060 MHz的输入数据速率。

数据路径PRBS按照“DAC传呼”部分所述进行传呼。要运行数据路径PRBS测试, 请执行以下步骤:

1. 设置器件为所需的工作模式。有关设置器件的详细信息, 参见“器件设置指南”。
2. 发送PRBS7或PRBS15数据。
3. 写入寄存器0x14B[2] = 0 (PRBS7)或1 (PRBS15)。
4. 写入寄存器0x14B[1:0] = 0b11以使能和复位PRBS测试。
5. 写入寄存器0x14B[1:0] = 0b01以使能PRBS测试并解除复位。
6. 等待500 ms。
7. 检查状态, 即按照“数据路径PRBS IRQ”部分所述检查DAC0和DAC1 PRBS的IRQ。
8. 如有故障, 设置寄存器0x008 = 0x01以查看DAC0状态。设置寄存器0x008 = 0x02以查看DAC1状态。
9. 读取寄存器0x14B[6]。如果所选DAC有任何错误, 则位6为0。它必须与IRQ一致。
10. 读取寄存器0x14C以了解所选DAC的错误数。

注意: PRBS一次处理32位, 并将新的32位与之前的32位进行比较。在每组(32位)中, 它只能检测(和报告)1个错误; 因此, 错误数部分取决于何时发现错误。例如:

- 位: 32对, 31对, 1错; 32对(2个错误)
- 位: 32对, 22对, 10错; 32对(2个错误)
- 位: 32对, 31对, 1错; 31对, 1错; 32对(3个错误)

数据路径PRBS IRQ

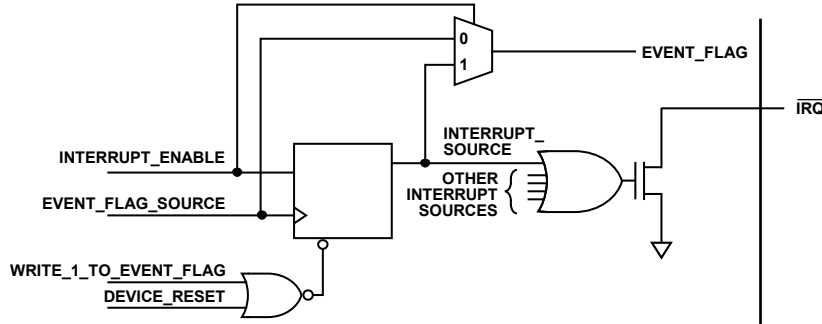
各DAC的PRBS故障信号可用作IRQ事件。寄存器0x020的位2和位0用于使能故障信号，寄存器0x024的位2和位0用于回读其状态和复位IRQ信号。更多信息请参见“中断请求操作”部分。

直流测试模式

为方便起见，AD9135/AD9136提供直流测试模式，这可以通过设置寄存器0x520[1]来使能。使能此模式时，数据路径将其数据指定为0(中间电平)。

与直流偏移一起，此测试模式可向DAC提供所需的直流数据。

中断请求操作

图76. $\overline{\text{IRQ}}$ 电路原理示意图

AD9135/AD9136在引脚60上提供中断请求输出信号，用来在发生重要器件事件时通知外部主机处理器。中断置位时，应查询器件以确定到底发生了何种事件。 $\overline{\text{IRQ}}$ 引脚是一个开漏、低电平有效输出。应在器件外部拉高 $\overline{\text{IRQ}}$ 引脚。此引脚可以连接到其它器件的开漏输出中断引脚，使这些引脚形成线或连接。

图76以简化框图形式说明了IRQ模块的工作原理。如果 IRQ_EN 为低电平，则 INTERRUPT_SOURCE 信号设为0。如果 IRQ_EN 为高电平，则事件的上升沿导致 INTERRUPT_SOURCE 信号变为高电平。若有 INTERRUPT_SOURCE 信号为高电平，则 $\overline{\text{IRQ}}$ 引脚会被拉低。 INTERRUPT_SOURCE 可通过 IRQ_RESET 信号或 DEVICE_RESET 复位为0。

根据 STATUS_MODE 信号电平， EVENT_STATUS 位读出结果为事件或 INTERRUPT_SOURCE 。AD9135/AD9136有多个IRQ寄存器模块，最多可监控75个事件(取决于器件配置)。不同IRQ寄存器模块的某些细节有所不同，如表65所示。表66显示图76中的 IRQ_EN 、 IRQ_RESET 和 STATUS_MODE 信号来自哪些寄存器，以及回读 EVENT_STATUS 的地址。

表65. IRQ寄存器模块详情

寄存器模块	报告事件	EVENT_STATUS
0x01F至0x026	按芯片	使能IRQ时为 INTERRUPT_SOURCE ，否则为 EVENT
0x46D至0x46F； 0x470至0x473；0x47A	按链路和通道	使能IRQ时为 INTERRUPT_SOURCE ，否则为0
0x47B[4]	按链路	使能IRQ时为 INTERRUPT_SOURCE ，否则为0

中断服务程序

中断请求管理从选择需要主机干预或监控的事件标志集开始。应当使能那些需要主机采取行动的事件，以便在发生这些事件时能够通知主机。对于要求主机干预的事件，在 $\overline{\text{IRQ}}$ 激活时，应执行下述程序以清除中断请求：

1. 读取受监控的事件标志位的状态。
2. 向 IRQ_EN 写入0以禁用中断。
3. 读取事件源。对于寄存器0x01F至寄存器0x026， EVENT_STATUS 具有实时回读结果。对于其它事件，参见相应的寄存器。
4. 执行清除EVENT原因可能需要的所有操作。许多情况下，可能不需要执行任何特定操作。
5. 验证事件源是否正常工作。
6. 向 IRQ_RESET 写入1以清除中断。
7. 向 IRQ_EN 写入1以使能中断。

表66. IRQ寄存器模块IRQ信号地址详情

寄存器模块	IRQ信号地址 ¹			
	IRQ_EN	IRQ_RESET	STATUS_MODE	EVENT_STATUS
0x01F至0x026	0x01F至0x022; R/W(按芯片)	0x023至0x026; W(按芯片)	STATUS_MODE = IRQ_EN	0x023至0x026; R(按芯片)
0x46D至0x46F	0x47A; W(按链路)	0x46D至0x46F; W(按链路和通道)	N/A, STATUS_MODE = 1	0x47A; R(按链路)
0x470至0x473	0x47A; W(按链路)	0x470至0x473; W(按链路)	N/A, STATUS_MODE = 1	0x47A; R(按链路)
0x47B[4]	0x47B[3]; R/W(按链路); 默认为1	0x47B[4]; W(按链路)	N/A, STATUS_MODE = 1	0x47B[4]; R(按链路)

¹ N/A表示不适用。

DAC输入时钟配置

AD9135/AD9136 DAC采样时钟(DACCLK)可直接由CLK±(引脚2和引脚3)提供,或由时钟倍频器通过CLK±差分输入提供。时钟倍频涉及到片内锁相环(PLL)。首先,锁相环接受参考时钟,后者频率为所需DACCLK速率的约数。然后,PLL将该参考时钟倍频至所需的DACCLK频率,以便利用该频率来产生DAC所需的全部内部时钟。时钟倍频器所提供的高质量时钟能够满足大部分应用的性能要求。使用片内时钟倍频器可以消除产生和分配高速DACCLK的负担。

第二种模式是旁路时钟倍频器电路,而将DACCLK直接提供给DAC内核。这种模式允许用户将极高质量的时钟直接提供给DAC内核使用。

驱动CLK±输入

图77的输入简化电路图中显示了CLK±差分输入电路。片内时钟接收器具有10 kΩ的差分输入阻抗。它自偏置到约600 mV的共模电压。这些输入可以采用交流耦合在时钟源与接收器之间的差分PECL或LVDS驱动器驱动。

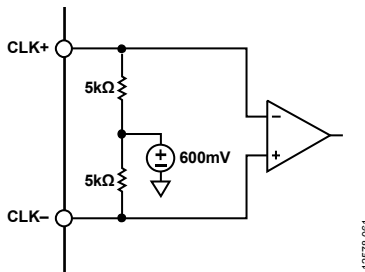


图77. 时钟接收器输入简化等效电路

至差分时钟输入的最低输入驱动电平为400 mV峰峰值差分。当时钟输入信号在800 mV峰峰值差分至1000 mV峰峰值差分之间时,性能最佳。无论使用片内时钟倍频器还是直接提供DACCLK(两种情况均使用CLK±引脚),器件的输入时钟信号都必须具有低抖动特性和快速边沿速率,以便优化DAC噪声性能。直接提供低噪声时钟可以使DAC输出端的噪声频谱密度降到最低。

时钟和时钟接收器默认关断。要使能时钟,必须写入寄存器0x080。要使能器件的所有时钟,请写入寄存器0x080 = 0x00。寄存器0x080的位7设置DAC0的时钟上电;位6设置DAC1的时钟上电;位5设置数字时钟上电;位4设置SERDES时钟上电;位3设置时钟接收器上电。

时钟倍频

片内PLL时钟乘法器电路可以用来从低频参考时钟产生DAC采样速率时钟。PLL集成于片内,包括VCO和环路滤波器。VCO的工作频率范围是6 GHz至12 GHz。

PLL配置参数必须在使能PLL之前设置。关于PLL编程的分步说明参见“启动PLL”部分。图80显示了时钟倍频器的功能框图。

时钟倍频电路从REFCLK输入产生DAC采样时钟,REFCLK馈入CLK±差分引脚(引脚2和引脚3)。REFCLK输入的频率称为 f_{REF} 。

REFCLK输入以变量RefDivFactor表示的系数分频。选择合适的RefDivFactor变量,确保输入鉴频鉴相器(PFD)模块的频率介于35 MHz到80 MHz。RefDivFactor的有效值是1、2、4、8、16或32。RefDivFactor值与REF_DIV_MODE寄存器控制一一对应,如表67所示。REF_DIV_MODE寄存器通过寄存器0x08C[2:0]编程。

表67. RefDivFactor与REF_DIV_MODE的映射关系

DAC参考频率范围(MHz)	分频比 (RefDivFactor)	REF_DIV_MODE 寄存器0x08C[2:0]
35至80	1	0
80至160	2	1
160至320	4	2
320至640	8	3
640至1000	16	4

f_{REF} 范围是35 MHz到1 GHz,PLL输出频率范围是420 MHz至2 GHz。通过下式确定RefDivFactor:

$$35 \text{ MHz} < \frac{f_{REF}}{\text{RefDivFactor}} < 80 \text{ MHz} \quad (1)$$

其中:

f_{REF} 为CLK±输入引脚上的参考频率。

RefDivFactor为参考分频器分频比。

BCount值为环路分频器分频比。它将 f_{DAC} 分频以与 $f_{REF}/\text{RefDivFactor}$ 一致。依据下式选择BCount:

$$\frac{f_{DACCLK}}{2 \times BCount} = \frac{f_{REF}}{\text{RefDivFactor}} \quad (2)$$

其中:

f_{DAC} 为DAC采样时钟。

BCount为反馈环路分频比。

BCount值通过寄存器0x085的位[7:0]设置,可编程范围是6至127。

PFD将 $f_{REF}/RefDivRate$ 与 $f_{DAC}/(2 \times BCount)$ 进行比较，发送脉冲调整电荷泵，从而控制VCO频率。低噪声VCO可在一个倍频程范围内调谐，振荡频率范围是6 GHz至12 GHz。

时钟倍频电路使VCO输出一个频率 f_{VCO} ：

$$f_{VCO} = f_{DAC} \times LODivFactor \quad (3)$$

依据公式2，DAC采样时钟频率 f_{DAC} 等于：

$$f_{DACCLK} = 2 \times BCount \times \frac{f_{REF}}{RefDivFactor} \quad (4)$$

选择合适的LODivFactor，使 f_{VCO} 处于6 GHz至12 GHz的工作范围。LODivFactor的有效值是4、8和16。LODivFactor与LO_DIV_MODE值一一对应。LO_DIV_MODE(寄存器0x08B[1:0])的设置如表68所示。

表68. DAC VCO分频器选择

DAC频率范围 (MHz)	分频比 (LODivFactor)	LO_DIV_MODE寄存器 0x08B[1:0]
>1500	4	1
750至1500	8	2
420至750	16	3

表69给出了一些常见频率示例以及正确配置PLL所需的RefDivFactor、LODivFactor和BCount值。

表69. 常见频率示例

频率 (MHz)	f_{DAC} (MHz)	f_{VCO} (MHz)	RefDiv-Factor	LODiv-Factor	BCount
368.64	1474.56	11796.48	8	8	16
184.32	1474.56	11796.48	4	8	16
307.2	1228.88	9831.04	8	8	16
122.88	983.04	7864.35	2	8	8
61.44	983.04	7864.35	1	8	8
491.52	1966.08	7864.35	8	4	16
245.76	1966.08	7864.35	4	4	16

RF PLL滤波器完全集成于片内，是一个标准无源三阶滤波器，具有五个4位可编程元件(参见图78)。滤波器元件C1、C2、C3、R1和R3通过寄存器0x087至寄存器0x089编程。图78和图79包括频率合成器配置的环路滤波器值示例，利用这些值一般可获得出色的性能。

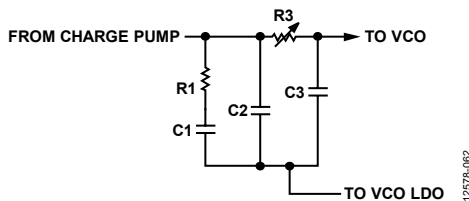


图78. 环路滤波器

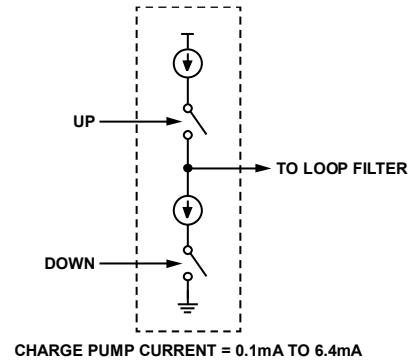


图79. 电荷泵

CHARGE PUMP CURRENT = 0.1mA TO 6.4mA

12579-083

表中给出了基于 f_{VCO} 的不同参数集。使用哪一张表由输入PLL PFD模块的频率决定。表83至表85还提供了优化VCO温度补偿系数，用以确保初始频段校准不会因为温漂而引起失锁。

表70. 参考查找表

PFD参考频率 ($f_{REF}/RefDivFactor$)	查找表
35 MHz至50 MHz	40 MHz(参见表83)
50 MHz至70 MHz	60 MHz(参见表84)
70 MHz至80 MHz	80 MHz(参见表85)

从包含所需VCO频率(f_{VCO})的行中选择参数；如果所用的 f_{VCO} 介于表中给出的值之间，则从表中选择次低的 f_{VCO} 。

“频段”、“索引”和“VCO K_V ”(变容二极管增益)栏提供说明性信息，以便查阅。其它栏包含用户可检索、格式化然后写入器件的数据。上面的栏标题显示用户必须写入的各种设置的相应寄存器和位的位置。

VCO参数位于标题中含VCO的栏中。最后6栏用于设置特定配置的电荷泵电流和环路滤波器。用户必须从表83至表85中提取ADI公司提供的VCO参数，然后不加更改地将其写入所示的器件寄存器和位置。然而，视乎需要，用户可以更改电荷泵和环路滤波器参数以适应特定应用。

电荷泵电流是6位可编程值，范围为0.1 mA至6.4 mA，步长为0.1 mA。对于DAC PLL，电荷泵电流写入寄存器0x08A。芯片初始化期间必须运行一次电荷泵校准，以便降低参考杂散。此校准默认开启。

AD9135/AD9136

电荷泵校准在PLL首次上电时运行，校准系数保存后供所有后续启动使用。为了使能PLL，需向寄存器0x083写入0x10，但配置寄存器必须在PLL使能之前设置。校准试图匹配高低变化的电流，以尽量降低DAC输出端出现的参考频率杂散。电荷泵校准需要64个参考时钟周期。寄存器0x084的位5通知用户电荷泵校准已完成且有效。

适当设置VCO温度系数VCO_VAR_REF_TC后，器件自动选择512个VCO频段中的一个。注意，为了正确设置这一操作，用户必须将0x73写入寄存器0x1C4。器件选择的PLL设置可以确保PLL在-40°C至+85°C的整个工作温度范围内保持锁定，而无需做进一步调整。即使初始化时温度处于两个极端之一，PLL也能在整个温度范围内保持锁定。

确认PLL锁定位，确保校准已正确完成。PLL锁定位为寄存器0x084的位1。

启动PLL

DAC PLL的编程序列如下：

1. 根据DAC频率要求确定VCO频率。
2. 确定VCO分频比以实现所需的DAC频率。将VCO分频比写入寄存器0x08B[1:0]。
3. 确定BCount比以实现所需的PLL参考频率(35 MHz至80 MHz)。将BCount比写入寄存器0x085[7:0]。

4. 确定参考分频比以实现所需的PLL参考频率。将参考分频比写入寄存器0x08C[2:0]。
5. 确定环路滤波器和其它控制参数。按照表83至表85中的栏标题所示进行编程。每张表均针对特定PLL参考频率(40 MHz、60 MHz或80 MHz)而优化；使用最接近实际PLL参考频率的频率。选择一张表后，从包含所用VCO频率(f_{VCO})或次低 f_{VCO} (如果该值介于表中给出的值之间)的行中选择参数。将相应的值写入表中列出的寄存器。
6. 设置寄存器0x083[4] = 1，使能DAC PLL频率合成器。

寄存器0x084[5]通知用户DAC PLL校准已完成且有效。

寄存器0x084[1]通知用户PLL已锁定。

寄存器0x084[7]和寄存器0x084[6]分别通知用户DAC PLL已达到其工作频段的上边沿或下边沿。如果其中一位为1，则应将0x083[7]先置0再置1以重新校准DAC PLL。

DAC PLL IRQ

DAC PLL锁定和丢失信号可用作IRQ事件。寄存器0x01F[5:4]用于使能这些信号，寄存器0x023[5:4]用于回读其状态和复位IRQ信号。更多信息请参见“中断请求操作”部分。

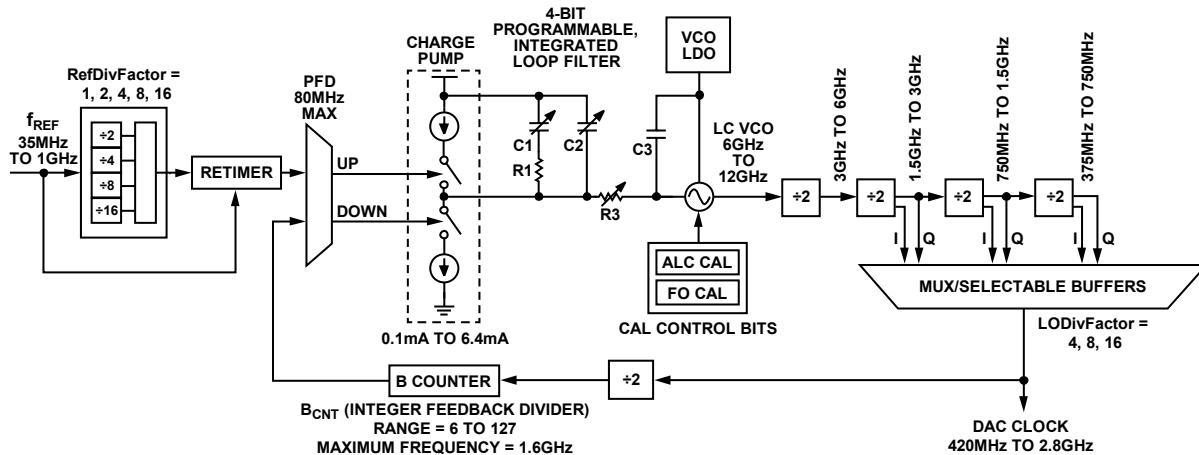


图80. 器件时钟PLL功能框图

12578-084

模拟输出

发射DAC操作

图81给出了发射路径DAC的示意框图。DAC内核包括电流源阵列、开关内核、数字控制逻辑和满量程输出电流控制。DAC满量程输出电流(I_{OUTFS})标称值为20.48 mA。OUTx±引脚的输出电流互补，即意味着这两个电流之和始终等于DAC的满量程电流。DAC的数字输入码决定提供给负载的有效差分电流。

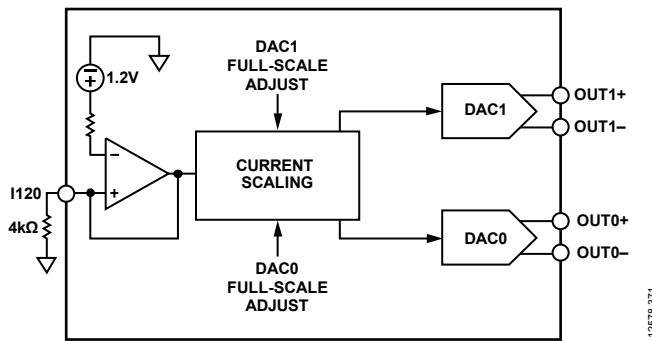


图81. DAC内核示意框图

该DAC内置一个1.2 V带隙基准电压源。I120引脚与接地层之间必须连接一个4 kΩ的外部电阻 R_{SET} 。该电阻与基准电压控制放大器一同设置DAC的正确内部偏置电流。由于满量程电流与该电阻成反比，因此 R_{SET} 的容差会反映在满量程输出幅度中。

DACFSC_x(x为0或1，对应于DAC0或DAC1)是10位二进制补码值，控制各路DAC输出(共4路)的满量程电流。这些值存储在寄存器0x040至寄存器0x041和寄存器0x044至寄存器0x045中，如表71所示。

各DAC的满量程电流典型值由下式给出：

$$I_{OUTFS} = 20.48 + (DACFSC_x \times 13.1 \text{ mA})/2^{(10-1)}$$

使用 V_{REF} (1.2 V)、 R_{SET} (4 kΩ)和DACFSC_x(0，二进制补码表示的中间电平)的标称值时，DAC满量程电流标称值为20.48 mA。通过设置寄存器0x040、寄存器0x041、寄存器0x044和寄存器0x045中的DACFSC_x值，DAC满量程电流可在13.9 mA至27.0 mA范围内调整。模拟输出满量程电流与DAC增益代码之间的关系如图82所示。

表71. DAC满量程电流寄存器

地址	数值	说明
0x040[1:0]	DACFSC_0[9:8]	DAC0 MSB增益代码
0x041[7:0]	DACFSC_0[7:0]	DAC0 LSB增益代码
0x044[1:0]	DACFSC_1[9:8]	DAC1 MSB增益代码
0x045[7:0]	DACFSC_1[7:0]	DAC1 LSB增益代码

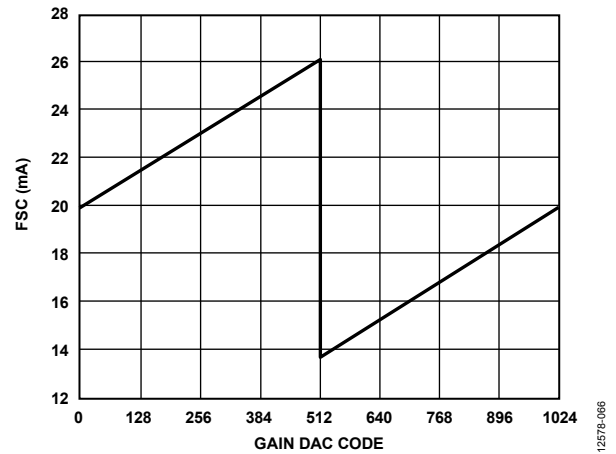


图82. DAC满量程电流(I_{OUTFS})与DAC增益代码的关系

发射DAC传递函数

OUTx+和OUTx-引脚的输出电流互补，即意味着正负电流之和始终等于DAC的满量程电流。DAC的数字输入码决定提供给负载的有效差分电流。当二进制数据的所有位都是1时，OUTx±提供最大输出电流。对于DAC输出(使用二进制格式)，输出电流与DACCODE的关系式如下：

$$I_{OUTP} = \frac{DACCODE_{BIN}}{2^N - 1} \times I_{OUTFS} \quad (5)$$

$$I_{OUTN} = I_{OUTFS} - I_{OUTP} \quad (6)$$

其中， $DACCODE_{BIN}$ 为DAC的11/16位输入(无符号二进制)。 $DACCODE_{BIN}$ 的范围是0至 $2^N - 1$ 。

如果数据格式为二进制补码，则输出电流表示为：

$$I_{OUTP} = \frac{DACCODE_{TWS} + 2^{N-1}}{2^N - 1} \times I_{OUTFS} \quad (7)$$

$$I_{OUTN} = I_{OUTFS} - I_{OUTP} \quad (8)$$

其中， $DACCODE_{TWS}$ 为DAC的11/16位输入(二进制补码)。 $DACCODE_{TWS}$ 的范围是 -2^{N-1} 至 $2^{N-1} - 1$ 。

关断未使用的DAC

关断任何未使用的DAC输出以避免消耗过多功耗。DAC关断设置位于寄存器0x011中。寄存器0x011的位6对应于DAC0，位4对应于DAC1。向各位写入1可以关断相应的DAC。

为使能带隙基准源和DAC主偏置，寄存器0x011的位7和位2必须保持0。

AD9135/AD9136

自校准

AD9135/AD9136具有自校准特性，可改善零中频或低中频应用的DAC直流和交流线性度。性能改善包括器件的INL/DNL、二次和四次谐波失真(HD2和HD4)、二阶交调失真(IMD2)。图83和图84显示了校准后的DAC INL和DNL典型性能。图85和图86显示了校准对HD2、HD4和IMD2性能的影响。校准带来的改善随着DAC输出频率的提高而减少。为提高HD2和HD4性能，建议在所需输出频率低于100 MHz时运行校准程序。为提高IMD2性能，建议在所需输出频率低于200 MHz时运行校准程序。运行一次校准程序即足以获得所需的直流和交流性能。

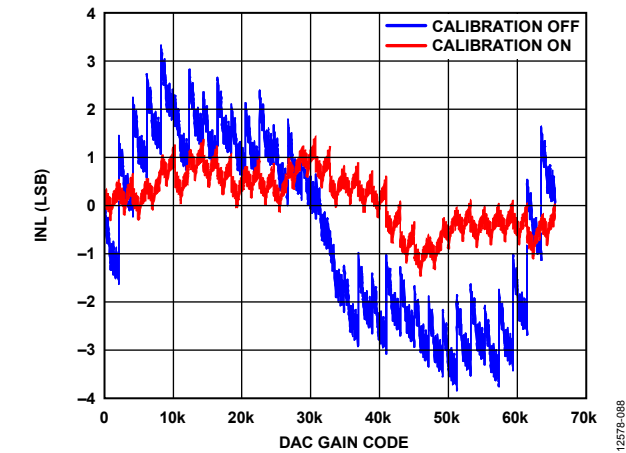


图83. 校准前和校准后的INL

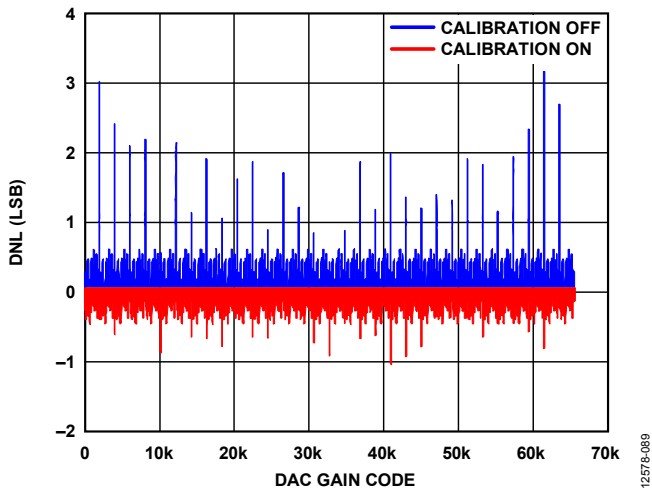


图84. 校准前和校准后的DNL

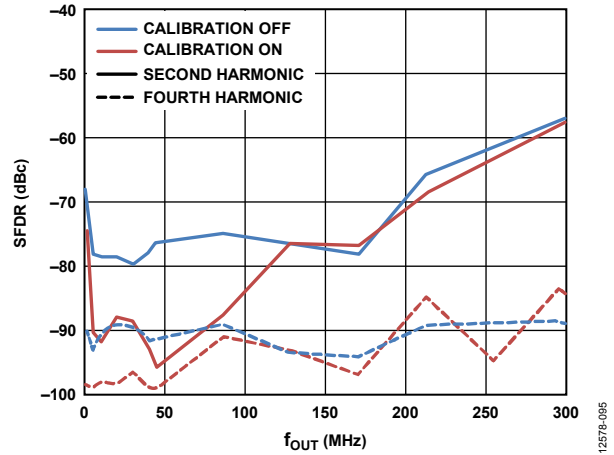


图85. 校准前和校准后的HD2与HD4

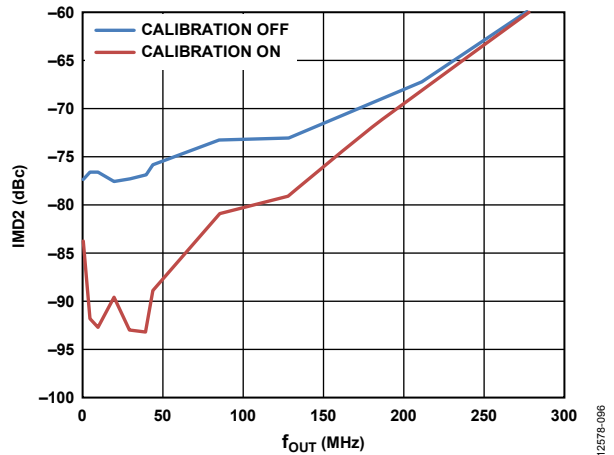


图86. 校准前和校准后的IMD2

校准程序参见表72。

表72. 器件自校准程序

地址	位	SPI数据字节	说明
0x0E7	[7:0]	0x38	使用比较器最高速度并设置校准时钟分频器
0x0E8			选择DAC进行校准
	3	0	此位置0
	2	0b0或0b1	若使能DAC1则为1
	1	0	此位置0
0x0E9	[7:0]	0x01	使能校准
	[7:0]	0x03	开始校准
0x0E7	[7:0]	0x30	禁用校准时钟
0x0ED	[7:0]	0xA2	配置初始值

对于校准的DAC，向CAL_PAGE(寄存器0x0E8)的对应位写入1并读取寄存器0x0E9，便可验证校准状态。如果校准正确完成，则CAL_FIN(寄存器0x0E9[7]) = 1，寄存器0x0E9[6:4] = 0表示未发生错误。

校准后结果与工作温度相关。在某一温度下获得的一组校准系数未必是其它温度下的最佳设置。图87和图88显示了单次校准后的典型温漂效应。

当工作温度发生较大变化时，为获得最佳性能，应当再次运行校准。注意：运行校准程序时，建议关断DAC输出。如果系统需要连续传输，可能无法在工作期间运行校准。这种情况下，建议在平均工作温度下执行校准，并在工作期间使用同一组系数。这样可以获得最佳的总体温度性能。

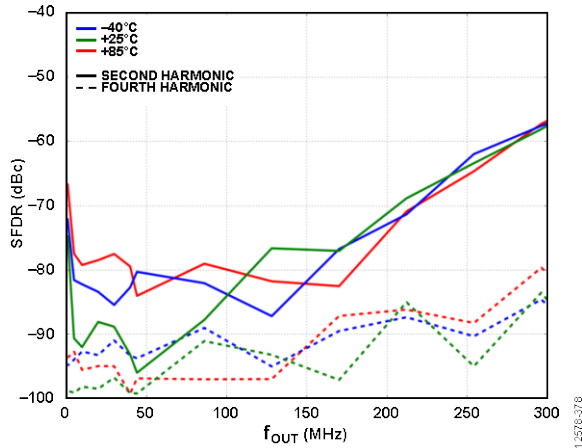


图87. 25°C校准后HD2和HD4随温度的变化

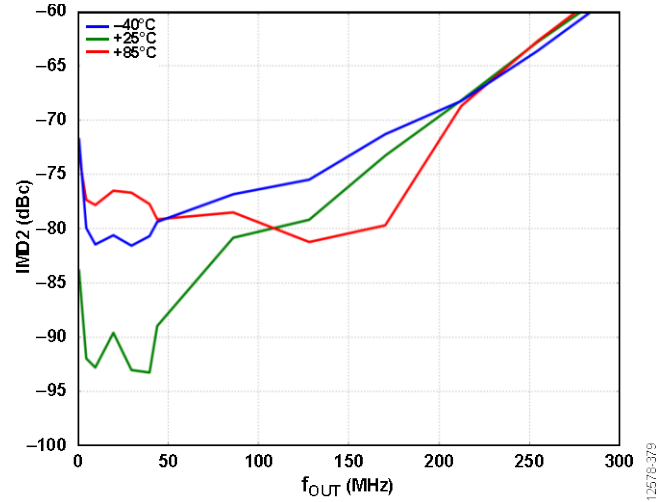


图88. 25°C校准后IMD2随温度的变化

器件功耗

AD9135/AD9136具有8个供电轨：AVDD33、DVDD12、SVDD12、SIOVDD33、CVDD12、IOVDD、 V_{TT} 和PVDD12；它们可以由5个稳压器驱动以实现最佳性能，如图66所示。

AVDD33电源为DAC内核电路供电。AVDD33供电轨的功耗与数字工作模式和采样速率无关。当DAC0和DAC1的满量程电流设置为标称值20.48 mA时，AVDD33供电轨的典型功耗为68 mA (225 mW)。

PVDD12为DAC PLL供电，视DAC采样速率而定。CVDD12可以与PVDD12稳压器可以合并，但引脚附近需要适当的旁路电容网络。CVDD12为时钟树供电，电流与DAC采样速率直接相关。DVDD12为DSP内核供电，电流消耗取决于DSP功能的数量和所用的DAC采样速率。SVDD12为SERDES通道和相关电路供电，包括均衡器、SERDES PLL、PHY，直至DSP输入端。其电流取决于通道数和通道比特率。IOVDD为SPI电路供电，消耗的电流非常小。

SIOVDD33为SERDES通道均衡器供电。 V_{TT} 端接电压消耗的电流小于5 mA。

温度传感器

AD9135/AD9136具有带隙温度传感器，用于监控AD9135/AD9136的温度变化。其温度必须相对于已知温度进行校准，以消除用于检测温度的带隙电路的器件差异。

为了监控温度变化，用户必须在已知环境温度下读取温度，对各AD9135/AD9136器件执行单点校准。

$$T_x = T_{REF} + 7.3 \times (CODE_X - CODE_{REF})/1000$$

其中：

CODE_X为已知温度 T_x 下读取的代码。

CODE_REF为校准温度 T_{REF} 下读取的代码。

要使用温度传感器，必须将寄存器0x12F[0]置1以使能温度传感器。从寄存器0x132和寄存器0x133读取芯片温度之前，用户必须向寄存器0x134[0]写入1。

启动序列

表73至表80显示了设置AD9135/AD9136为以下配置时需要的寄存器写操作： $f_{DAC} = 1474.56 \text{ MHz}$ ，1倍插值，DAC PLL使能，368.64 MHz参考时钟。JESD204B接口配置为模式11、单链路、子类1，加扰使能，所有8个SERDES通道的工作速率为7.3728 Gbps，输入二进制补码数据。本例不利用纵横功能对通道重新映射。

应按照如下步骤序列正确设置AD9135/AD9136：

1. 设置SPI接口，给必要的电路模块上电，对配置寄存器执行必需的写操作，设置DAC时钟(参见“第一步：启动DAC”)。
2. 设置AD9135/AD9136的数字特性(参见“第二步：数字数据路径”)。
3. 设置JESD204B链路(参见“第三步：传输层”)。
4. 设置SERDES接口的物理层(参见“第四步：物理层”)。
5. 设置SERDES接口的数据链路层。本程序仅用于快速启动或调试，不保证确定延迟(参见“第五步：数据链路层”)。
6. 检查链路0和链路1有无错误(参见“第六步：错误监控”)。

下面的表格通过列出所需的寄存器读写命令来详细说明上述步骤。

第一步：启动DAC

上电和DAC初始化

表73. 上电和DAC初始化

命令	地址	数值	说明
W	0x000	0xBD	软复位
W	0x000	0x3C	解除复位，设置4线SPI
W	0x011	0x28	使能基准电压源、DAC通道和主DAC
W	0x080	0x00	所有时钟上电
W	0x081	0x00	SYSREF±接收器上电，禁用迟滞

必需的器件配置

表74. 必需的器件配置

命令	地址	数值	说明
W	0x12D	0x8B	数字数据路径配置
W	0x146	0x01	数字数据路径配置
W	0x2A4	0xFF	时钟配置
W	0x1C4	0x73	DAC PLL配置
W	0x291	0x49	SERDES PLL配置
W	0x29C	0x24	SERDES PLL配置
W	0x29F	0x73	SERDES PLL配置
W	0x232	0xFF	JESD204B接口配置
W	0x333	0x01	JESD204B接口配置

配置DAC PLL

表75. 配置DAC PLL

命令	地址	数值	说明
W	0x08B	0x02	VCO LO分频器设置为8，使得 $6 \text{ GHz} \leq f_{VCO} = f_{DAC} \times 2^{(LODivMode + 1)} \leq 12 \text{ GHz}$ 。
W	0x08C	0x03	参考时钟分频器设置为8，使得输入PLL的参考时钟低于80 MHz。
W	0x085	0x10	B计数器设置为16，将DAC时钟降频为参考时钟的2倍。
W	0x1B5	0x80	根据表83，将VCO变容二极管设置为0，位7保持1值。
W	0x1BB	0x04	根据表83写入VCO偏置基准和TC。
W	0x1B4	0x78	根据表83写入VCO校准偏移。
W	0x1C5	0x08	根据表83写入VCO变容二极管基准。
W	0x08A	0x0A	根据表83写入电荷泵电流。
W	0x087	0xC3	根据表83设置C1和C2。
W	0x088	0xEF	根据表83设置R1和C3。
W	0x089	0x0B	根据表83设置R3。
W	0x083	0x10	使能DAC PLL。
R	0x084	0x01	验证位1回读值为1，表示PLL已锁定。

第二步：数字数据路径

表76. 数字数据路径

命令	地址	数值	说明
W	0x112	0x00	插值设置为1倍
W	0x110	0x00	设置二进制补码数据格式

AD9135/AD9136

第三步：传输层

表77. 链路0传输层

命令	地址	数值	说明
W	0x200	0x00	接口上电
W	0x201	0x00	使能所有通道
W	0x300	0x08	对于单链路，位3 = 0，位2 = 0以访问链路0寄存器
W	0x450	0x00	设置器件ID以匹配Tx(本例为0x00)
W	0x451	0x00	设置模块ID以匹配Tx(本例为0x00)
W	0x452	0x00	设置通道ID以匹配Tx(本例为0x00)
W	0x453	0x83	设置解扰且L = 4(n - 1表示法)(发射侧L = 8) ¹
W	0x454	0x00	设置F = 1(n - 1表示法)
W	0x455	0x1F	设置K = 32(n - 1表示法)
W	0x456	0x00	设置M = 1(n - 1表示法)(发射侧M = 2) ¹
W	0x457	0x0F	设置N = 16(n - 1表示法)
W	0x458	0x2F	设置Subclass 1且NP = 16(n - 1表示法)
W	0x459	0x20	设置JESD204B版本且S = 1(n - 1表示法)
W	0x45A	0x80	设置HD = 1
W	0x45D	0x45	设置通道0的校验和
W	0x46C	0xFF	通道0至通道3去偏斜
W	0x476	0x01	设置F(非n - 1表示法)
W	0x47D	0xFF	使能通道0至通道3

¹ 注意：对于模式11至模式13，接收侧设置的M和L参数与发射侧参数不一致。发射侧参数反映的是每条链路的转换器和通道的实际数量。

第四步：物理层

表78. 物理层

命令	地址	数值	说明
W	0x2AA	0xB7	JESD204B接口端接设置
W	0x2AB	0x87	JESD204B接口端接设置
W	0x2B1	0xB7	JESD204B接口端接设置
W	0x2B2	0x87	JESD204B接口端接设置
W	0x2A7	0x01	自动调谐PHY设置
W	0x2AE	0x01	自动调谐PHY设置
W	0x314	0x01	SERDES SPI配置
W	0x230	0x28	配置CDR为半速率模式
W	0x206	0x00	复位CDR逻辑
W	0x206	0x01	解除CDR逻辑复位
W	0x289	0x04	配置PLL分频器为1及PLL所需的设置
W	0x280	0x01	使能SERDES PLL
R	0x281	0x01	验证位0回读值为1，表示SERDES PLL已锁定
W	0x268	0x62	设置EQ模式为低功耗

第五步：数据链路层

注意：本程序不保证确定延迟。

表79. 数据链路层——不保证确定延迟

命令	地址	数值	说明
W	0x301	0x01	设置子类为1
W	0x304	0x00	设置LMFC延迟为0
W	0x305	0x00	设置LMFC延迟为0
W	0x306	0x0A	设置LMFC接收缓冲延迟为10
W	0x307	0x0A	设置LMFC接收缓冲延迟为10
W	0x03A	0x01	同步模式设置为单次同步
W	0x03A	0x81	使能同步机
W	0x03A	0xC1	启动同步机
SYSREF±			确保至少向器件发送一个SYSREF±边沿
W	0x300	0x0B	设置位1和位0为1以使能链路0和链路1，位2 = 0以访问链路0

第六步：错误监控

链路0检查

确认表80中的寄存器回读值与要求的值一致，系统任务已全部完成。

表80. 链路0检查

命令	地址	数值	说明
R	0x470	0xFF	确认通道0至通道3上已检测到4个连续K28.5字符。
SYNCOUT0±			确认SYNCOUT0±为高电平。
SERDINx±			对SERDES输入引脚施加ILAS和数据。
R	0x471	0xFF	检查所有通道的帧同步。
R	0x472	0xFF	检查校验和是否正确。
R	0x473	0xFF	检查ILAS。

寄存器映射和描述

在下面的表格中，寄存器地址(“寄存器”栏)和复位(“复位”栏)值为十六进制；读/写(R/W)栏中的R表示只读，W表示只写，R/W表示读/写，N/A表示不适用。寄存器地址和复位栏中的所有值都是十六进制数。

器件配置寄存器映射

表81. 器件配置寄存器映射

寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	R/W
0x000	SPI_INTFCONFA	SOFT RESET_M	LSBFIRST_ M	ADDRINC_M	SDOACTIVE_M	SDOACTIVE	ADDRINC	LSBFIRST	SOFTRESET	0x00	R/W
0x003	CHIPTYPE	CHIPTYPE								0x04	R
0x004	PRODIDL	PRODIDL								0x44	R
0x005	PRODIDH	PRODIDH								0x91	R
0x006	CHIPGRADE	PROD_GRADE				DEV_REVISION				0x42/ 0x62	R
0x008	SPI_PAGEINDX	RESERVED						DAC_PAGE		0x03	R/W
0x011	PWRCNTRL0	PD_BG	PD_DAC_0	RESERVED	PD_DAC_1	RESERVED	PD_DACM	RESERVED		0x7C	R/W
0x012	TXENMASK	RESERVED						DAC1_MASK	DAC0_MASK	0x00	R/W
0x013	PWRCNTRL3	RESERVED		TX_PROTECT_ OUT	RESERVED	SPI_PROTECT_OUT	SPI_PROTECT	RESERVED		0x20	R/W
0x014	GROUP_DLY	RESERVED				GROUP_DLY				0x88	R/W
0x01F	IRQEN_ STATUSMODE0	IRQEN_ SMODE_ CALPASS	IRQEN_ SMODE_ CALFAIL	IRQEN_ SMODE_ DACPLLLOST	IRQEN_SMODE_ DACPLLLOCK	IRQEN_SMODE_ SERPLLLOST	IRQEN_SMODE_ SERPLLLOCK	IRQEN_ SMODE_ LANEFIGOERR	RESERVED	0x00	R/W
0x020	IRQEN_ STATUSMODE1	RESERVED				IRQEN_SMODE_ PRBS1	RESERVED	IRQEN_ SMODE_ PRBS0	RESERVED	0x00	R/W
0x021	IRQEN_ STATUSMODE2	IRQEN_ SMODE_ PDPERR0	RESERVED	IRQEN_ SMODE_ BLNKDONE0	RESERVED	IRQEN_SMODE_ SYNC_LOCK0	IRQEN_SMODE_ SYNC_ROTATE0	IRQEN_ SMODE_ SYNC_ WLIM0	IRQEN_ SMODE_ SYNC_ TRIP0	0x00	R/W
0x022	IRQEN_ STATUSMODE3	IRQEN_ SMODE_ PDPERR1	RESERVED	IRQEN_ SMODE_ BLNKDONE1	RESERVED	IRQEN_SMODE_ SYNC_LOCK1	IRQEN_SMODE_ SYNC_ROTATE1	IRQEN_ SMODE_ SYNC_ WLIM1	IRQEN_ SMODE_ SYNC_ TRIP1	0x00	R/W
0x023	IRQ_STATUS0	CALPASS	CALFAIL	DACPLLLOST	DACPLLLOCK	SERPLLLOST	SERPLLLOCK	LANEFIGO- ERR	RESERVED	0x00	R
0x024	IRQ_STATUS1	RESERVED					PRBS1	RESERVED	PRBS0	0x00	R
0x025	IRQ_STATUS2	PDPERR0	RESERVED	BLNKDONE0	RESERVED	SYNC_LOCK0	SYNC_ROTATE0	SYNC_ WLIM0	SYNC_ TRIP0	0x00	R
0x026	IRQ_STATUS3	PDPERR1	RESERVED	BLNKDONE1	RESERVED	SYNC_LOCK1	SYNC_ROTATE1	SYNC_ WLIM1	SYNC_ TRIP1	0x00	R
0x030	JESD_CHECKS	RESERVED		ERR_DLYOVER	ERR_WINLIMIT	ERR_JESDBAD	ERR_KUNSUPP	ERR_ SUBCLASS	ERR_INTSUPP	0x00	R
0x034	SYNC_ ERRWINDOW	RESERVED						ERRWINDOW		0x00	R/W
0x038	SYNC_LASTERR_L	RESERVED				LASTERROR				0x00	R
0x039	SYNC_LASTERR_H	LASTUN- DER	LASTOVER	RESERVED						0x00	R
0x03A	SYNC_CONTROL	SYNC- ENABLE	SYNCARM	SYNCCLRSTKY	SYNCCLRLAST	SYNCMODE				0x00	R/W
0x03B	SYNC_STATUS	SYNC_ BUSY	RESERVED			SYNC_LOCK	SYNC_ ROTATE	SYNC_WLIM	SYNC_ TRIP	0x00	R
0x03C	SYNC_CURRERR_L	RESERVED				CURRERROR				0x00	R
0x03D	SYNC_CURRERR_ H	CURRUN- DER	CURROVER	RESERVED						0x00	R
0x040	DACGAIN0_1	RESERVED						DACFSC_0[9:8]		0x00	R/W

AD9135/AD9136

寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	R/W	
0x041	DACGAIN0_0	DACFSC_0[7:0]								0x00	R/W	
0x044	DACGAIN1_1	RESERVED						DACFSC_1[9:8]		0x00	R/W	
0x045	DACGAIN1_0	DACFSC_1[7:0]								0x00	R/W	
0x080	CLKCFG0	PD_CLK0	PD_CLK1	PD_CLK_DIG	PD_SERDES_PCLK	PD_CLK_REC	RESERVED				0xF8	R/W
0x081	SYSREF_ACTRL0	RESERVED			PD_SYSREF	HYS_ON	SYSREF_RISE	HYS_CNTRL1			0x10	R/W
0x082	SYSREF_ACTRL1	HYS_CNTRL0								0x00	R/W	
0x083	DACPLLCNTRL	RECAL_DACPLL	RESERVED		ENABLE_DACPLL	RESERVED					0x00	R/W
0x084	DACPLLSTATUS	DACPLL_OVER-RANGE_H	DACPLL_OVER-RANGE_L	DACPLL_CAL_VALID	RESERVED			DACPLL_LOCK	RESERVED	0x00	R	
0x085	DACINTEGER-WORD0	B_COUNT								0x08	R/W	
0x087	DACLOOPFLT1	LF_C2_WORD				LF_C1_WORD				0x88	R/W	
0x088	DACLOOPFLT2	LF_R1_WORD				LF_C3_WORD				0x88	R/W	
0x089	DACLOOPFLT3	LF_BYPASS_R3	LF_BYPASS_R1	LF_BYPASS_C2	LF_BYPASS_C1	LF_R3_WORD					0x08	R/W
0x08A	DACPCNTRL	RESERVED			CP_CURRENT					0x20	R/W	
0x08B	DACLOGENCNTRL	RESERVED						LO_DIV_MODE			0x02	R/W
0x08C	DACLDOCNTRL1	RESERVED					REF_DIV_MODE				0x01	R/W
0x0E2	CAL_CTRL_GLOBAL	RESERVED						CAL_START_AVG	CAL_EN_AVG	0x00	R/W	
0x0E7	CAL_CLKDIV	RESERVED				CAL_CLK_EN	RESERVED				0x30	R/W
0x0E8	CAL_PAGE	RESERVED				CAL_PAGE					0x0F	R/W
0x0E9	CAL_CTRL	CAL_FIN	CAL_ACTIVE	CAL_ERRHI	CAL_ERRLO	RESERVED		CAL_START	CAL_EN	0x00	R/W	
0x0ED	CAL_INIT	CAL_INIT								A6	R/W	
0x110	DATA_FORMAT	BINARY_FORMAT	RESERVED								00	R/W
0x111	DATAPATH_CTRL	INVSINC_ENABLE	RESERVED	DIG_GAIN_ENABLE	RESERVED						0xA0	R/W
0x112	INTERP_MODE	RESERVED				INTERP_MODE				0x01	R/W	
0x11F	TXEN_SM_0	FALL_COUNTERS		RISE_COUNTERS		RESERVED	PROTECT_OUT_INVERT	RESERVED			0x83	R/W
0x121	TXEN_RISE_COUNT_0	RISE_COUNT_0								0x0F	R/W	
0x122	TXEN_RISE_COUNT_1	RISE_COUNT_1								0x00	R/W	
0x123	TXEN_FALL_COUNT_0	FALL_COUNT_0								0xFF	R/W	
0x124	TXEN_FALL_COUNT_1	FALL_COUNT_1								0xFF	R/W	
0x12D	DEVICE_CONFIG_REG_0	DEVICE_CONFIG_0								0x46	R/W	
0x12F	DIE_TEMP_CTRL0	RESERVED							AUXADC_ENABLE	0x20	R/W	
0x132	DIE_TEMP0	DIE_TEMP[7:0]								0x00	R	
0x133	DIE_TEMP1	DIE_TEMP[15:8]								0x00	R	
0x134	DIE_TEMP_UPDATE	RESERVED							DIE_TEMP_UPDATE	0x00	R/W	
0x135	DC_OFFSET_CTRL	RESERVED							DC_OFFSET_ON	0x00	R/W	
0x136	DAC_DC_OFFSET_1PART0	LSB_OFFSET[7:0]								0x00	R/W	

AD9135/AD9136

寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	R/W		
0x137	DAC_DC_OFFSET_1PART1	LSB_OFFSET[15:8]								0x00	R/W		
0x13A	DAC_DC_OFFSET_2PART	RESERVED			SIXTEENTH_OFFSET					0x00	R/W		
0x13C	DAC_DIG_GAIN0	DAC_DIG_GAIN[7:0]								0xEA	R/W		
0x13D	DAC_DIG_GAIN1	RESERVED				DAC_DIG_GAIN[11:8]				0x0A	R/W		
0x140	GAIN_RAMP_UP_STEP0	GAIN_RAMP_UP_STEP[7:0]								0x04	R/W		
0x141	GAIN_RAMP_UP_STEP1	RESERVED				GAIN_RAMP_UP_STEP[11:8]				0x00	R/W		
0x142	GAIN_RAMP_DOWN_STEP0	GAIN_RAMP_DOWN_STEP[7:0]								0x09	R/W		
0x143	GAIN_RAMP_DOWN_STEP1	RESERVED				GAIN_RAMP_DOWN_STEP[11:8]				0x00	R/W		
0x146	DEVICE_CONFIG_REG_1	DEVICE_CONFIG_1								0x00	R/W		
0x147	BSM_STAT	SOFTBLANKRB		RESERVED								0x00	R
0x14B	PRBS	RESERVED	PRBS_GOOD	RESERVED			PRBS_MODE	PRBS_RESET	PRBS_EN	0x10	R/W		
0x14C	PRBS_ERROR	PRBS_COUNT								0x00	R		
0x1B4	DACPLLT4	RESERVED	VCO_CAL_OFFSET				RESERVED				0x78	R/W	
0x1B5	DACPLLT5	RESERVED				VCO_VAR				0x83	R/W		
0x1B6	DACPLLT6	RESERVED				VCO_LVL_OUT				0x4A	R/W		
0x1BB	DACPLLTB	RESERVED			VCO_BIAS_TCF			VCO_BIAS_REF			0x0C	R/W	
0x1BD	DACPLLTD	RESERVED					VCO_CAL_REF_TCF				0x00	R/W	
0x1C4	DEVICE_CONFIG_REG_2	DEVICE_CONFIG_2								0x33	R/W		
0x200	MASTER_PD	RESERVED							SPI_PD_MASTER	0x01	R/W		
0x201	PHY_PD	SPI_PD_PHY								0x00	R/W		
0x203	GENERIC_PD	RESERVED						SPI_SYNC1_PD	SPI_SYNC2_PD	0x00	R/W		
0x206	CDR_RESET	RESERVED							SPI_CDR_RESETN	0x01	R/W		
0x230	CDR_OPERATING_MODE_REG_0	RESERVED	ENHALFRATE	RESERVED			CDR_OVERSAMP	RESERVED	0x28	R/W			
0x232	DEVICE_CONFIG_REG_3	DEVICE_CONFIG_3								0x0	R/W		
0x268	EQ_BIAS_REG	EQ_POWER_MODE	RESERVED								0x62	R/W	
0x280	SERDESPLL_ENABLE_CNTRL	RESERVED					RECAL_SERDESPLL	RESERVED	ENABLE_SERDESPLL	0x00	R/W		
0x281	PLL_STATUS	RESERVED	SERDES_PLL_OVERRANGE_H	SERDES_PLL_OVERRANGE_L	SERDES_PLL_VALID_RB	RESERVED		SERDES_PLL_LOCK_RB	0x00	R			
0x289	REF_CLK_DIVIDER_LDO	RESERVED				DEVICE_CONFIG_4	SERDES_PLL_DIV_MODE			0x00	R/W		
0x291	DEVICE_CONFIG_REG_5	DEVICE_CONFIG_5								0x46	R/W		
0x29C	DEVICE_CONFIG_REG_6	DEVICE_CONFIG_6								0x17	R/W		
0x29F	DEVICE_CONFIG_REG_7	DEVICE_CONFIG_7								0x33	R/W		
0x2A4	DEVICE_CONFIG_REG_8	DEVICE_CONFIG_8								0x4B	R/W		
0x2A5	SYNCOUTB_SWING	RESERVED							SYNCOUTB_SWING_MD	0x00	R/W		

AD9135/AD9136

寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	R/W
0x2A7	TERM_BLK1_CTRLREG0	RESERVED							RCAL_TERMBLK1	0x00	R/W
0x2AA	DEVICE_CONFIG_REG_9	DEVICE_CONFIG_9								0xC3	R/W
0x2AB	DEVICE_CONFIG_REG_10	DEVICE_CONFIG_10								0x93	R/W
0x2AE	TERM_BLK2_CTRLREG0	RESERVED							RCAL_TERMBLK2	0x00	R/W
0x2B1	DEVICE_CONFIG_REG_11	DEVICE_CONFIG_11								0xC3	R/W
0x2B2	DEVICE_CONFIG_REG_12	DEVICE_CONFIG_12								0x93	R/W
0x300	GENERAL_JRX_CTRL_0	RESERVED	CHECKSUM_MODE	RESERVED		LINK_MODE	LINK_PAGE	LINK_EN		0x00	R/W
0x301	GENERAL_JRX_CTRL_1	RESERVED				SUBCLASSV_LOCAL				0x01	R/W
0x302	DYN_LINK_LATENCY_0	RESERVED			DYN_LINK_LATENCY_0					0x00	R
0x303	DYN_LINK_LATENCY_1	RESERVED			DYN_LINK_LATENCY_1					0x00	R
0x304	LMFC_DELAY_0	RESERVED			LMFC_DELAY_0					0x00	R/W
0x305	LMFC_DELAY_1	RESERVED			LMFC_DELAY_1					0x00	R/W
0x306	LMFC_VAR_0	RESERVED			LMFC_VAR_0					0x06	R/W
0x307	LMFC_VAR_1	RESERVED			LMFC_VAR_1					0x06	R/W
0x308	XBAR_LN_0_1	RESERVED	LOGICAL_LANE1_SRC			LOGICAL_LANE0_SRC				0x08	R/W
0x309	XBAR_LN_2_3	RESERVED	LOGICAL_LANE3_SRC			LOGICAL_LANE2_SRC				0x1A	R/W
0x30A	XBAR_LN_4_5	RESERVED	LOGICAL_LANE5_SRC			LOGICAL_LANE4_SRC				0x2C	R/W
0x30B	XBAR_LN_6_7	RESERVED	LOGICAL_LANE7_SRC			LOGICAL_LANE6_SRC				0x3E	R/W
0x30C	FIFO_STATUS_REG_0	LANE_FIFO_FULL							0x00	R	
0x30D	FIFO_STATUS_REG_1	LANE_FIFO_EMPTY							0x00	R	
0x312	SYNCB_GEN_1	RESERVED	SYNCB_ERR_DUR		RESERVED					0x00	R/W
0x314	SERDES_SPI_REG	SERDES_SPI_CONFIG							0x00	R/W	
0x315	PHY_PRBS_TEST_EN	PHY_TEST_EN							0x00	R/W	
0x316	PHY_PRBS_TEST_CTRL	RESERVED	PHY_SRC_ERR_CNT			PHY_PRBS_PAT_SEL		PHY_TEST_START	PHY_TEST_RESET	0x00	R/W
0x317	PHY_PRBS_TEST_THRESHOLD_LOBITS	PHY_PRBS_THRESHOLD[7:0]							0x00	R/W	
0x318	PHY_PRBS_TEST_THRESHOLD_MIDBITS	PHY_PRBS_THRESHOLD[15:8]							0x00	R/W	
0x319	PHY_PRBS_TEST_THRESHOLD_HIBITS	PHY_PRBS_THRESHOLD[23:16]							0x00	R/W	
0x31A	PHY_PRBS_TEST_ERRCNT_LOBITS	PHY_PRBS_ERR_CNT[7:0]							0x00	R	
0x31B	PHY_PRBS_TEST_ERRCNT_MIDBITS	PHY_PRBS_ERR_CNT[15:8]							0x00	R	
0x31C	PHY_PRBS_TEST_ERRCNT_HIBITS	PHY_PRBS_ERR_CNT[23:16]							0x00	R	
0x31D	PHY_PRBS_TEST_STATUS	PHY_PRBS_PASS							0xFF	R	
0x32C	SHORT_TPL_TEST_0	RESERVED	SHORT_TPL_SP_SEL		SHORT_TPL_DAC_SEL		SHORT_TPL_TEST_RESET	SHORT_TPL_TEST_EN	0x00	R/W	

AD9135/AD9136

寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	R/W
0x32D	SHORT_TPL_TEST_1	SHORT_TPL_REF_SP_LSB								0x00	R/W
0x32E	SHORT_TPL_TEST_2	SHORT_TPL_REF_SP_MSB								0x00	R/W
0x32F	SHORT_TPL_TEST_3	RESERVED							SHORT_TPL_FAIL	0x00	R
0x333	DEVICE_CONFIG_REG_13	DEVICE_CONFIG_13								0x00	R/W
0x334	JESD_BIT_INVERSE_CTRL	JESD_BIT_INVERSE								0x00	R/W
0x400	DID_REG	DID_RD								0x00	R
0x401	BID_REG	ADJCNT_RD				BID_RD				0x00	R
0x402	LID0_REG	RESERVED	ADJDIR_RD	PHADJ_RD	LID0_RD					0x00	R
0x403	SCR_L_REG	SCR_RD	RESERVED			L-1_RD				0x00	R
0x404	F_REG	F-1_RD								0x00	R
0x405	K_REG	RESERVED				K-1_RD				0x00	R
0x406	M_REG	M-1_RD								0x00	R
0x407	CS_N_REG	CS_RD		RESERVED		N-1_RD				0x00	R
0x408	NP_REG	SUBCLASSV_RD				NP-1_RD				0x00	R
0x409	S_REG	JESDV_RD				S-1_RD				0x00	R
0x40A	HD_CF_REG	HD_RD	RESERVED			CF_RD				0x00	R
0x40B	RES1_REG	RES1_RD								0x00	R
0x40C	RES2_REG	RES2_RD								0x00	R
0x40D	CHECKSUM_REG	FCHK0_RD								0x00	R
0x40E	COMPSUM0_REG	FCMP0_RD								0x00	R
0x412	LID1_REG	RESERVED				LID1_RD				0x00	R
0x415	CHECKSUM1_REG	FCHK1_RD								0x00	R
0x416	COMPSUM1_REG	FCMP1_RD								0x00	R
0x41A	LID2_REG	RESERVED				LID2_RD				0x00	R
0x41D	CHECKSUM2_REG	FCHK2_RD								0x00	R
0x41E	COMPSUM2_REG	FCMP2_RD								0x00	R
0x422	LID3_REG	RESERVED				LID3_RD				0x00	R
0x425	CHECKSUM3_REG	FCHK3_RD								0x00	R
0x426	COMPSUM3_REG	FCMP3_RD								0x00	R
0x42A	LID4_REG	RESERVED				LID4_RD				0x00	R
0x42D	CHECKSUM4_REG	FCHK4_RD								0x00	R
0x42E	COMPSUM4_REG	FCMP4_RD								0x00	R
0x432	LID5_REG	RESERVED				LID5_RD				0x00	R
0x435	CHECKSUM5_REG	FCHK5_RD								0x00	R
0x436	COMPSUM5_REG	FCMP5_RD								0x00	R
0x43A	LID6_REG	RESERVED				LID6_RD				0x00	R
0x43D	CHECKSUM6_REG	FCHK6_RD								0x00	R
0x43E	COMPSUM6_REG	FCMP6_RD								0x00	R
0x442	LID7_REG	RESERVED				LID7_RD				0x00	R
0x445	CHECKSUM7_REG	FCHK7_RD								0x00	R
0x446	COMPSUM7_REG	FCMP7_RD								0x00	R
0x450	ILS_DID	DID								0x00	R/W
0x451	ILS_BID	ADJCNT				BID				0x00	R/W
0x452	ILS_LID0	RESERVED	ADJDIR	PHADJ	LID0					0x00	R/W
0x453	ILS_SCR_L	SCR	RESERVED			L-1				0x83	R/W

AD9135/AD9136

寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	R/W	
0x454	ILS_F	F-1									0x00	R/W
0x455	ILS_K	RESERVED				K-1					0x1F	R/W
0x456	ILS_M	M-1									0x01	R/W
0x457	ILS_CS_N	CS		RESERVED		N-1				0x0F	R/W	
0x458	ILS_NP	SUBCLASSV				NP-1					0x2F	R/W
0x459	ILS_S	JESDV				S-1					0x20	R/W
0x45A	ILS_HD_CF	HD	RESERVED			CF				0x80	R/W	
0x45B	ILS_RES1	RES1									0x00	R/W
0x45C	ILS_RES2	RES2									0x00	R/W
0x45D	ILS_CHECKSUM	FCHK0									0x45	R/W
0x46B	ERRCNTRMON_RB	READERORCNR									0x00	R
0x46B	ERRCNTRMON	RESERVED	LANESEL			RESERVED			CNTRSEL		0x00	R/W
0x46C	LANEDESKEW	LANEDESKEW									0x0F	R/W
0x46D	BADDISPARITY_RB	BADDIS									0x00	R
0x46D	BADDISPARITY	RST_IRQ_DIS	DISABLE_ERR_CNTR_DIS	RST_ERR_CNTR_DIS	RESERVED			LANE_ADDR_DIS		0x00	R/W	
0x46E	NIT_RB	NIT									0x00	R
0x46E	NIT_W	RST_IRQ_NIT	DISABLE_ERR_CNTR_NIT	RST_ERR_CNTR_NIT	RESERVED			LANE_ADDR_NIT		0x00	R/W	
0x46F	UNEXPECTED-CONTROL_RB	UCC									0x00	R
0x46F	UNEXPECTED-CONTROL_W	RST_IRQ_UCC	DISABLE_ERR_CNTR_UCC	RST_ERR_CNTR_UCC	RESERVED			LANE_ADDR_UCC		0x00	R/W	
0x470	CODEGRPSYNCFLG	CODEGRPSYNC									0x00	R/W
0x471	FRAMESYNCFLG	FRAMESYNC									0x00	R/W
0x472	GOODCHKSUMFLG	GOODCHECKSUM									0x00	R/W
0x473	INITLANESYNCFLG	INITIALLANESYNC									0x00	R/W
0x476	CTRLREG1	F									0x01	R/W
0x477	CTRLREG2	ILAS_MODE	RESERVED			THRESHOLD_MASK_EN		RESERVED			0x00	R/W
0x478	KVAL	KSYNC									0x01	R/W
0x47A	IRQVECTOR_MASK	BADDIS_MASK	NIT_MASK	UCC_MASK	RESERVED	INITIALLANESYNC_MASK	BADCHECKSUM_MASK	FRAMESYNC_MASK	CODEGRP_SYNC_MASK	0x00	R/W	
0x47A	IRQVECTOR_FLAG	BADDIS_FLAG	NIT_FLAG	UCC_FLAG	RESERVED	INITIALLANESYNC_FLAG	BADCHECKSUM_FLAG	FRAMESYNC_FLAG	CODEGRP_SYNC_FLAG	0x00	R	
0x47B	SYNCASSERTION-MASK	BADDIS_S	NIT_S	UCC_S	CMM	CMM_ENABLE	RESERVED			0x008	R/W	
0x47C	ERRORTHRES	ETH									0xFF	R/W
0x47D	LANEENABLE	LANE_ENA									0x0F	R/W
0x47E	RAMP_ENA	RESERVED							ENA_RAMP_CHECK		0x00	R/W
0x520	DIG_TEST0	RESERVED						DC_TEST_MODE	RESERVED	0x1C	R/W	
0x521	DC_TEST_VALUE0	DC_TEST_VALUE[7:0]									0x00	R/W
0x522	DC_TEST_VALUE1	DC_TEST_VALUE[15:8]									0x00	R/W

器件配置寄存器描述

表82. 器件配置寄存器描述

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x000	SPI_INTFCONFA	7	SOFTRESET_M		软复位(镜像)。	0x0	R
		6	LSBFIRST_M		LSB优先(镜像)。	0x0	R
		5	ADDRINC_M		地址递增(镜像)。	0x0	R
		4	SDOACTIVE_M		SDO有效(镜像)。	0x0	R
		3	SDOACTIVE		SDO有效。	0x0	R/W
		2	ADDRINC		地址递增。控制多字节数据传输期间地址是递增还是递减。 1 多字节数据传输期间地址递增 0 多字节数据传输期间地址递减	0x0	R/W
		1	LSBFIRST		LSB优先。控制输入和输出数据方向是LSB优先还是MSB优先。 1 首先移入LSB 0 首先移入MSB	0x0	R/W
		0	SOFTRESET		软复位。此位置1将启动复位。软复位完成后此位自清零。 置位软复位 1	0x0	R/W
0x003	CHIPTYPE	[7:0]	CHIPTYPE		产品类型“高速DAC”，由代码0x04表示。	0x4	R
0x004	PRODIDL	[7:0]	PRODIDL		产品标识低字节。	0x44	R
0x005	PRODIDH	[7:0]	PRODIDH		产品标识高字节。	0x91	R
0x006	CHIPGRADE	[7:4]	PROD_GRADE		产品等级。 AD9136 AD9135	0x6	R
						0x4	R
		[3:0]	DEV_REVISION		器件版本。	0x2	R
0x008	SPI_PAGEINDX	[7:2]	RESERVED		保留。	0x0	R
		[1:0]	DAC_PAGE		DAC传呼。更改数字增益和直流偏移等数字特性时，选择要访问和写入的DAC。此传呼影响寄存器：0x013-0x014、0x034-0x03D、0x110-0x124和0x135-0x14C。 0b01 读写DAC0 0b10 读写DAC1 0b11 写入两个DAC；读取DAC0	0x3	R/W
0x011	PWRCNTRL0	7	PD_BG		基准电压源关断。关断整个芯片的带隙基准电压源。不会为电路提供偏置电流。 关断基准电压源 1	0x0	R/W
		6	PD_DAC_0		关断DAC0。关断I通道DAC。 关断DAC0 1	0x1	R/W
		5	RESERVED		保留。	0x0	R
		4	PD_DAC_1		关断DAC1。关断Q通道DAC。 关断DAC1 1	0x1	R/W
		3	RESERVED		保留。	0x0	R

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
		2	PD_DACM	1	关断DAC主偏置。主偏置单元为4个DAC提供电流和DAC满量程调整。DAC主偏置关断时，DAC无法工作。 关断DAC主偏置	0x1	R/W
		[1:0]	RESERVED		保留。	0x0	R
		[7:2]	RESERVED		保留。	0x0	R
0x012	TXENMASK	1	DAC1_MASK	1	DAC1 TXEN1屏蔽。在TXEN1下降沿关断DAC1。 如果TXEN1为低电平，则关断DAC1	0x0	R/W
		0	DAC0_MASK	1	DAC0 TXEN0屏蔽。在TXEN0下降沿关断DAC0。 如果TXEN0为低电平，则关断DAC0	0x0	R/W
		[7:6]	RESERVED		保留。	0x0	R
0x013	PWRCNTRL3	5	TX_PROTECT_OUT	1	TX_PROTECT触发PROTECT_OUTx。	0x1	R/W
		4	RESERVED		保留。	0x0	R
		3	SPI_PROTECT_OUT	1	SPI_PROTECT触发PROTECT_OUTx。	0x0	R/W
		2	SPI_PROTECT		SPI_PROTECT	0x0	R/W
		[1:0]	RESERVED		保留。	0x0	R
		[7:4]	RESERVED		保留。	0x8	R
0x014	GROUP_DLY	[3:0]	GROUP_DLY		群延迟控制。同时延迟I和Q通道输出。0 = 最短延迟。15 = 最长延迟。延迟范围为-4至+3.5 DAC时钟周期，分辨率为1/2 DAC时钟周期。	0x8	R/W
		7	IRQEN_SMODE_CALPASS	1 0	校准通过检测状态模式。 如果CALPASS变为高电平，则锁存并拉低 \overline{IRQ} CALPASS显示当前状态	0x0	R/W
0x01F	IRQEN_STATUSMODE0	6	IRQEN_SMODE_CALFAIL	1 0	校准失败检测状态模式。 如果CALFAIL变为高电平，则锁存并拉低 \overline{IRQ} CALFAIL显示当前状态	0x0	R/W
		5	IRQEN_SMODE_DACPLLLOST	1 0	DAC PLL丢失检测状态模式。 如果DACPLLLOST变为高电平，则锁存并拉低 \overline{IRQ} DACPLLLOST显示当前状态	0x0	R/W
		4	IRQEN_SMODE_DACPLLLOCK	1 0	DAC PLL锁定检测状态模式。 如果DACPLLLOCK变为高电平，则锁存并拉低 \overline{IRQ} DACPLLLOCK显示当前状态	0x0	R/W
		3	IRQEN_SMODE_SERPLLLOST	1 0	SERDES PLL丢失检测状态模式。 如果SERPLLLOST变为高电平，则锁存并拉低 \overline{IRQ} SERPLLLOST显示当前状态	0x0	R/W
		2	IRQEN_SMODE_SERPLLLOCK	1 0	SERDES PLL锁定检测状态模式。 如果SERPLLLOCK变为高电平，则锁存并拉低 \overline{IRQ} SERPLLLOCK显示当前状态	0x0	R/W
		1	IRQEN_SMODE_LANEFIFOERR	1 0	通道FIFO错误检测状态模式。 如果LANEFIFOERR变为高电平，则锁存并拉低 \overline{IRQ} LANEFIFOERR显示当前状态	0x0	R/W
		0	RESERVED		保留。	0x0	R

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x020	IRQEN_STATUSMODE1	[7:3]	RESERVED		保留。	0x0	R
		2	IRQEN_SMODE_PRBS1	1 0	DAC1 PRBS错误状态模式。 如果PRBS1变为高电平，则锁存并拉低 $\overline{\text{IRQ}}$ PRBS1显示当前状态	0x0	R/W
		1	RESERVED			0x0	R/W
		0	IRQEN_SMODE_PRBS0	1 0	DAC0 PRBS错误状态模式 如果PRBS0变为高电平，则锁存并拉低 $\overline{\text{IRQ}}$ PRBS0显示当前状态	0x0	R/W
0x021	IRQEN_STATUSMODE2	7	IRQEN_SMODE_PDPERR0	1 0	DAC0 PDP错误。 如果PDPERR0变为高电平，则锁存并拉低 $\overline{\text{IRQ}}$ PDPERR0显示当前状态	0x0	R/W
		6	RESERVED		保留。	0x0	R
		5	IRQEN_SMODE_BLNKDONE0	1 0	DAC0消隐完成状态模式。 如果BLNKDONE0变为高电平，则锁存并拉低 $\overline{\text{IRQ}}$ BLNKDONE0显示当前状态	0x0	R/W
		4	RESERVED		保留。	0x0	R
		3	IRQEN_SMODE_SYNC_LOCK0	1 0	DAC0对齐锁定状态模式。 如果SYNC_LOCK0变为高电平，则锁存并拉低 $\overline{\text{IRQ}}$ SYNC_LOCK0显示当前状态	0x0	R/W
		2	IRQEN_SMODE_SYNC_ROTATE0	1 0	DAC0对齐旋转状态模式。 如果SYNC_ROTATE0变为高电平，则锁存并拉低 $\overline{\text{IRQ}}$ SYNC_ROTATE0显示当前状态	0x0	R/W
		1	IRQEN_SMODE_SYNC_WLIM0	1 0	DAC0超出窗口状态模式。 如果SYNC_WLIM0变为高电平，则锁存并拉低 $\overline{\text{IRQ}}$ SYNC_WLIM0显示当前状态	0x0	R/W
		0	IRQEN_SMODE_SYNC_TRIP0	1 0	DAC0对齐触发状态模式。 如果SYNC_TRIP0变为高电平，则锁存并拉低 $\overline{\text{IRQ}}$ SYNC_TRIP0显示当前状态	0x0	R/W
0x022	IRQEN_STATUSMODE3	7	IRQEN_SMODE_PDPERR1	1 0	DAC1 PDP错误。 如果PDPERR1变为高电平，则锁存并拉低 $\overline{\text{IRQ}}$ PDPERR1显示当前状态	0x0	R/W
		6	RESERVED		保留。	0x0	R
		5	IRQEN_SMODE_BLNKDONE1	1 0	DAC1消隐完成状态模式 如果BLNKDONE1变为高电平，则锁存并拉低 $\overline{\text{IRQ}}$ BLNKDONE1显示当前状态	0x0	R/W
		4	RESERVED		保留。	0x0	R
		3	IRQEN_SMODE_SYNC_LOCK1	1 0	DAC1对齐锁定状态模式。 如果SYNC_LOCK1变为高电平，则锁存并拉低 $\overline{\text{IRQ}}$ SYNC_LOCK1显示当前状态	0x0	R/W
		2	IRQEN_SMODE_SYNC_ROTATE1	1 0	DAC1对齐旋转状态模式。 如果SYNC_ROTATE1变为高电平，则锁存并拉低 $\overline{\text{IRQ}}$ SYNC_ROTATE1显示当前状态	0x0	R/W

AD9135/AD9136

地址	名称	位号	位号	设置	说明	复位	访问类型
		1	IRQEN_SMODE_SYNC_WLIM1	1 0	DAC1超出窗口状态模式。 如果SYNC_WLIM1变为高电平，则锁存并拉低 \overline{IRQ} SYNC_WLIM1显示当前状态	0x0	R/W
		0	IRQEN_SMODE_SYNC_TRIP1	1 0	DAC1对齐触发状态模式。 如果SYNC_TRIP1变为高电平，则锁存并拉低 \overline{IRQ} SYNC_TRIP1显示当前状态	0x0	R/W
0x023	IRQ_STATUS0	7	CALPASS	1	校准通过状态。如果IRQEN_SMODE_CALPASS为0，此位显示当前状态。否则，此位在上升沿锁存并拉低 \overline{IRQ} 。锁存后，写入1可将此位清0。 校准通过	0x0	R
		6	CALFAIL	1	校准失败检测状态。如果IRQEN_SMODE_CALFAIL为0，此位显示当前状态。否则，此位在上升沿锁存并拉低 \overline{IRQ} 。锁存后，写入1可将此位清0。 校准失败	0x0	R
		5	DACPLLLOST	1	DAC PLL丢失状态。如果IRQEN_SMODE_DACPLLLOST为0，此位显示当前状态。否则，此位在上升沿锁存并拉低 \overline{IRQ} 。锁存后，写入1可将此位清0。 DAC PLL失锁	0x0	R
		4	DACPLLLOCK	1	DAC PLL锁定状态。如果IRQEN_SMODE_DACPLLLOCK为0，此位显示当前状态。否则，此位在上升沿锁存并拉低 \overline{IRQ} 。锁存后，写入1可将此位清0。 DAC PLL锁定	0x0	R
		3	SERPLLLOST	1	SERDES PLL丢失状态。如果IRQEN_SMODE_SERPLLLOST为0，此位显示当前状态。否则，此位在上升沿锁存并拉低 \overline{IRQ} 。锁存后，写入1可将此位清0。 SERDES PLL失锁	0x0	R
		2	SERPLLLOCK	1	SERDES PLL锁定状态。如果IRQEN_SMODE_SERPLLLOCK为0，此位显示当前状态。否则，此位在上升沿锁存并拉低 \overline{IRQ} 。锁存后，写入1可将此位清0。 SERDES PLL锁定	0x0	R
		1	LANEFIFOERR	1	通道FIFO错误状态。如果IRQEN_SMODE_LANEFIFOERR为0，此位显示当前状态。否则，此位在上升沿锁存并拉低 \overline{IRQ} 。 解串行器模块和内核数字电路之间的任一FIFO出现满或空状况时，即发生通道FIFO错误。要清除此错误，需要禁用再使能链路。通道FIFO的状态可通过寄存器0x30C(FIFO满)和寄存器0x30D(FIFO空)得知。 通道FIFO错误	0x0	R
		0	RESERVED		保留。	0x0	R

AD9135/AD9136

地址	名称	位号	位号	设置	说明	复位	访问类型
0x024	IRQ_STATUS1	[7:3]	RESERVED		保留。	0x0	R
		2	PRBS1	1	DAC1 PRBS错误状态。如果IRQEN_SMODE_PRBS1为0，此位显示当前状态。否则，此位在上升沿锁存并拉低 $\overline{\text{IRQ}}$ 。锁存后，写入1可将此位清0。 DAC1故障PRBS	0x0	R
		1	RESERVED		保留。	0x0	R
		0	PRBS0	1	DAC0 PRBS错误状态。如果IRQEN_SMODE_PRBS0为0，此位显示当前状态。否则，此位在上升沿锁存并拉低 $\overline{\text{IRQ}}$ 。锁存后，写入1可将此位清0。 DAC0故障PRBS	0x0	R
0x025	IRQ_STATUS2	7	PDPERR0	1	DAC0 PDP错误。如果IRQEN_SMODE_PAERR0为0，此位显示当前状态。否则，此位在上升沿锁存并拉低 $\overline{\text{IRQ}}$ 。锁存后，写入1可将此位清0。 输入DAC0的数据超过功率阈值	0x0	R
		6	RESERVED		保留。	0x0	R
		5	BLNKDONE0	1	DAC0消隐完成状态。如果IRQEN_SMODE_BLNKDONE0为0，此位显示当前状态。否则，此位在上升沿锁存并拉低 $\overline{\text{IRQ}}$ 。锁存后，写入1可将此位清0。 DAC0消隐完成	0x0	R
		4	RESERVED		保留	0x0	R
		3	SYNC_LOCK0	1	DAC0 LMFC对齐锁定状态。如果IRQEN_SMODE_SYNC_LOCK0为0，此位显示当前状态。否则，此位在上升沿锁存并拉低 $\overline{\text{IRQ}}$ 。锁存后，写入1可将此位清0。 DAC0 LMFC对齐锁定	0x0	R
		2	SYNC_ROTATE0	1	DAC0 LMFC对齐旋转状态。如果IRQEN_SMODE_SYNC_ROTATE0为0，此位显示当前状态。否则，此位在上升沿锁存并拉低 $\overline{\text{IRQ}}$ 。锁存后，写入1可将此位清0。 DAC0 LMFC对齐旋转	0x0	R
		1	SYNC_WLIM0	1	DAC0超出窗口状态。如果IRQEN_SMODE_SYNC_WLIM0为0，此位显示当前状态。否则，此位在上升沿锁存并拉低 $\overline{\text{IRQ}}$ 。锁存后，写入1可将此位清0。 DAC0 LMFC相位超出窗口	0x0	R
		0	SYNC_TRIP0	1	DAC0 LMFC对齐触发状态。如果IRQEN_SMODE_SYNC_TRIP0为0，此位显示当前状态。否则，此位在上升沿锁存并拉低 $\overline{\text{IRQ}}$ 。锁存后，写入1可将此位清0。 DAC0 LMFC对齐触发	0x0	R
0x026	IRQ_STATUS3	7	PDPERR1	1	DAC1 PDP错误。如果IRQ_SMODE_PDPERR1为0，此位显示当前状态。否则，此位在上升沿锁存并拉低 $\overline{\text{IRQ}}$ 。锁存后，写入1可将此位清0。 输入DAC1的数据超过功率阈值	0x0	R
		6	RESERVED		保留。	0x0	R

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
		5	BLNKDONE1	1	DAC1消隐完成状态。如果IRQEN_SMODE_BLNKDONE1为0，此位显示当前状态。否则，此位在上升沿锁存并拉低IRQ。锁存后，写入1可将此位清0。 DAC1消隐完成	0x0	R
		4	RESERVED		保留。	0x0	R
		3	SYNC_LOCK1	1	DAC1 LMFC对齐锁定状态。如果IRQEN_SMODE_SYNC_LOCK1为0，此位显示当前状态。否则，此位在上升沿锁存并拉低IRQ。锁存后，写入1可将此位清0。 DAC1 LMFC对齐锁定	0x0	R
		2	SYNC_ROTATE1	1	DAC1 LMFC对齐旋转状态。如果IRQEN_SMODE_SYNC_ROTATE1为0，此位显示当前状态。否则，此位在上升沿锁存并拉低IRQ。锁存后，写入1可将此位清0。 DAC1 LMFC对齐旋转	0x0	R
		1	SYNC_WLIM1	1	DAC1超出窗口状态。如果IRQEN_SMODE_SYNC_WLIM1为0，此位显示当前状态。否则，此位在上升沿锁存并拉低IRQ。锁存后，写入1可将此位清0。 DAC1 LMFC相位超出窗口	0x0	R
		0	SYNC_TRIP1	1	DAC1 LMFC对齐触发状态。如果IRQEN_SMODE_SYNC_TRIP1为0，此位显示当前状态。否则，此位在上升沿锁存并拉低IRQ。锁存后，写入1可将此位清0。 DAC1 LMFC对齐触发	0x0	R
0x030	JESD_CHECKS	[7:6]	RESERVED		保留。	0x0	R
		5	ERR_DLYOVER	1	错误：LMFC_Delay > JESD_K参数。 LMFC_Delay > JESD_K	0x0	R
		4	ERR_WINLIMIT	1	不支持的窗口限值。 不支持的SYSREF窗口限值。	0x0	R
		3	ERR_JESDBAD	1	不支持的M/L/S/F选择。 不支持此JESD组合	0x0	R
		2	ERR_KUNSUPP	1	不支持的K值。支持16和32。 不支持的K值	0x0	R
		1	ERR_SUBCLASS	1	不支持的Subclass值。支持0和1。 不支持的Subclass值	0x0	R
		0	ERR_INTSUPP	1	不支持的插值速率系数。支持1、2、4和8。 不支持的插值速率系数	0x0	R
0x034	SYNC_ERRWINDOW	[7:2]	RESERVED		保留。	0x0	R
		[1:0]	ERRWINDOW		LMFC同步误差窗口。此误差窗口允许SYSREF采样相位在窗口限制内变化，而不会触发时钟调整。如果不能保证SYSREF总是在与目标相位相关的器件时钟的同一期间内到达，就要使用上述特性。 误差窗口容限 = ± ERRWINDOW	0x0	R/W

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x038	SYNC_LASTERR_L	[7:4]	RESERVED		保留。	0x0	R
		[3:0]	LASTERROR		LMFC同步最后对齐误差。4位二进制补码值，表示最后调整时钟时的相位误差(单位为DAC时钟周期)。		R
0x039	SYNC_LASTERR_H	7	LASTUNDER	1	LMFC同步最后误差低于下限标志。 最后相位误差低于窗口容差下限	0x0	R
		6	LASTOVER	1	LMFC同步最后误差高于上限标志。 最后相位误差高于窗口容差上限	0x0	R
		[5:0]	RESERVED		保留。	0x0	R
0x03A	SYNC_CONTROL	7	SYNCENABLE	1 0	LMFC同步逻辑使能。 使能同步逻辑 禁用同步逻辑	0x0	R/W
		6	SYNCARM	1	LMFC同步启动选通。 启动单次同步	0x0	R/W
		5	SYNCCLRSTKY		LMFC同步粘滞位清零。在上升沿，此位清除SYNC_ROTATE和SYNC_TRIP。	0x0	R/W
		4	SYNCCLRSTKY		LMFC同步清除最后误差。在上升沿，此位清除LASTERROR、LASTUNDER、LASTOVER。	0x0	R/W
		[3:0]	SYNCMODE	0b0001 0b0010 0b1000 0b1001	LMFC同步模式。 单次同步模式 连续同步模式 仅监控同步模式 单次同步后监控	0x0	R/W
0x03B	SYNC_STATUS	7	SYNC_BUSY	1	LMFC同步机繁忙。 同步逻辑SM繁忙	0x0	R
		[6:4]	RESERVED		保留。	0x0	R
		3	SYNC_LOCK	1	LMFC同步对齐锁定。 同步逻辑在窗口内对齐	0x0	R
		2	SYNC_ROTATE	1	LMFC同步旋转。 同步逻辑随SYSREF旋转(粘滞)	0x0	R
		1	SYNC_WLIM	1	LMFC同步对齐限值范围。 相位误差超出窗口阈值	0x0	R
		0	SYNC_TRIP	1	LMFC同步启动后触发。 同步收到SYSREF脉冲(粘滞)	0x0	R
0x03C	SYNC_CURRERR_L	[7:4]	RESERVED		保留。	0x0	R
		[3:0]	CURRERROR		LMFC同步对齐误差。4位二进制补码值，表示相位误差，单位为DAC时钟周期(即LMFC边沿与SYSREF边沿之间的DAC时钟数)。 对任何SYSREF进行时钟调整时，相位误差值放入SYNC_LASTERR，SYNC_CURRERR强制为0。	0x0	R
0x03D	SYNC_CURRERR_H	7	CURRUNDER	1	LMFC同步当前误差低于下限标志。 当前相位误差低于窗口容差下限	0x0	R
		6	CURROVER	1	LMFC同步当前误差高于上限标志。 当前相位误差高于窗口容差上限	0x0	R
		[5:0]	RESERVED		保留。	0x0	R

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x040	DACGAIN0_1	[7:2]	RESERVED		保留。	0x0	R
		[1:0]	DACFSC_0[9:8]		I通道DAC增益DAC0的2个MSB。10位二进制补码值，映射为DAC0的模拟满量程电流，如下所示： 0111111111 = 27.0 mA 0000000000 = 20.48 mA 1000000000 = 13.9 mA	0x0	R/W
0x041	DACGAIN0_0	[7:0]	DACFSC_0[7:0]		I通道DAC增益DAC0的8个LSB。	0x0	R/W
0x044	DACGAIN1_1	[7:2]	RESERVED		保留。	0x0	R
		[1:0]	DACFSC_1[9:8]		Q通道DAC增益DAC1的2个MSB。10位二进制补码值，映射为DAC的模拟满量程电流，如寄存器0x040所示。 0111111111 = 27.0 mA 0000000000 = 20.48 mA 1000000000 = 13.9 mA	0x0	R/W
0x045	DACGAIN1_0	[7:0]	DACFSC_1[7:0]		Q通道DAC增益DAC1的8个LSB。	0x0	R/W
0x080	CLKCFG0	7	PD_CLK0		关断DAC0的时钟。此位禁用DAC0的数字和模拟时钟。	0x1	R/W
		6	PD_CLK1		关断DAC1的时钟。此位禁用DAC1的数字和模拟时钟。	0x1	R/W
		5	PD_CLK_DIG		关断所有DAC的时钟。此位禁用两个DAC的数字和模拟时钟，包括所有参考时钟、PCLK、DAC时钟和数字时钟。	0x1	R/W
		4	PD_SERDES_PCLK		Serdes PLL时钟关断。此位禁用SERDES PLL的参考时钟，串行接口工作需要此时钟。	0x1	R/W
		3	PD_CLK_REC		时钟接收器关断。此位关断DAC模拟时钟接收器模块。此位置1时，时钟不送入内部网络。	0x1	R/W
		[2:0]	RESERVED		保留。	0x0	R
0x081	SYSREF_CTRL0	[7:5]	RESERVED		保留。	0x0	R
		4	PD_SYSREF		关断SYSREF缓冲器。此位关断SYSREF接收器。为使Subclass 1操作成功，必须使能此缓冲器。	0x1	R/W
		3	HYS_ON		迟滞使能。此位使能SYSREF接收器的可编程迟滞控制。使用迟滞会带来一些噪声电阻，但可将SYSREF±边沿延迟一定的量，延迟量取决于HYS_CNTRL和SYSREF±边沿速率。使用迟滞时，不能保证SYSREF±KOW。	0x0	R/W
		2	SYSREF_RISE	0 1	选择采样SYSREF的DAC时钟沿。 使用DAC时钟下降沿采样SYSREF以实现对齐 使用DAC时钟上升沿采样SYSREF以实现对齐	0x0	R/W
		[1:0]	HYS_CNTRL1		迟滞控制位[9:8]。HYS_CNTRL是一个10位温度计编码数。每位为SYSREF接收器增加10 mV的差分迟滞。	0x0	R/W
0x082	SYSREF_CTRL1	[7:0]	HYS_CNTRL0		迟滞控制位[7:0]。	0x0	R/W

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x083	DACPLLCNTRL	7	RECAL_DACPLL		重新校准DAC PLL。在此位上升沿，重新校准DAC PLL。	0x0	R/W
		[6:5]	RESERVED		保留。	0x0	R
		4	ENABLE_DACPLL		频率合成器使能。此位使能并校准DAC PLL。	0x0	R/W
		[3:0]	RESERVED		保留。	0x0	R
0x084	DACPLLSTATUS	7	DACPLL_OVERRANGE_H		DAC PLL上限超范围。此位表示DAC PLL达到其工作频段上限。重新校准。	0x0	R
		6	DACPLL_OVERRANGE_L		DAC PLL下限超范围。此位表示DAC PLL达到其工作频段下限。重新校准。	0x0	R
		5	DACPLL_CAL_VALID		DAC PLL校准有效。此位表示DAC PLL已成功校准。	0x0	R
		[4:2]	RESERVED		保留。	0x0	R
		1	DACPLL_LOCK		DAC PLL锁定位。PLL实现锁定时，此位置1。	0x0	R
		0	RESERVED		保留。	0x0	R
0x085	DACINTEGERWORD0	[7:0]	B_COUNT		整数分频字。此位控制DAC PLL的整数反馈分频器。按照以下公式确定DAC时钟频率(详情参见“时钟倍频”部分): $f_{DAC} = f_{REF}/(REF_DIVRATE) \times 2 \times B_COUNT$ $f_{VCO} = f_{REF}/(REF_DIVRATE) \times 2 \times B_COUNT \times LO_DIV_MODE$ 最小值为6。	0x8	R/W
0x087	DACLOOPFILT1	[7:4]	LF_C2_WORD		C2控制字。C2相关值参见“三种不同DAC PLL参考频率的查找表”部分。	0x8	R/W
		[3:0]	LF_C1_WORD		C1控制字。C1相关值参见“三种不同DAC PLL参考频率的查找表”部分。	0x8	R/W
0x088	DACLOOPFILT2	[7:4]	LF_R1_WORD		R1控制字。R1相关值参见“三种不同DAC PLL参考频率的查找表”部分。	0x8	R/W
		[3:0]	LF_C3_WORD		C3控制字。C3相关值参见“三种不同DAC PLL参考频率的查找表”部分。	0x8	R/W
0x089	DACLOOPFILT3	7	LF_BYPASS_R3		旁路R3电阻。此位置1时，如果R3_WORD置0，则旁路R3电容(设为0 pF)。	0x0	R/W
		6	LF_BYPASS_R1		旁路R1电阻。此位置1时，如果R1_WORD置0，则旁路R1电容(设为0 pF)。	0x0	R/W
		5	LF_BYPASS_C2		旁路C2电容。此位置1时，如果C2_WORD置0，则旁路C2电容(设为0 pF)。	0x0	R/W
		4	LF_BYPASS_C1		旁路C1电容。此位置1时，如果C1_WORD置0，则旁路C1电容(设为0 pF)。	0x0	R/W
		[3:0]	LF_R3_WORD		R3控制字。R3相关值参见“三种不同DAC PLL参考频率的查找表”部分。	0x8	R/W

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x08A	DACCPCNTRL	[7:6]	RESERVED		保留。	0x0	R
		[5:0]	CP_CURRENT		电荷泵电流控制。电荷泵电流相关值参见“三种不同DAC PLL参考频率的查找表”部分。	0x20	R/W
0x08B	DACLOGENCNTRL	[7:2]	RESERVED		保留。	0x0	R
		[1:0]	LO_DIV_MODE		此范围控制VCO与DAC时钟速率之间的RF时钟分频器。选项为4倍、8倍或16倍分频。选择LO_DIV_MODE, 使得 $6\text{ GHz} < f_{\text{VCO}} < 12\text{ GHz}$ (详情参见“时钟倍频”部分): 01 DAC时钟 = VCO/4 10 DAC时钟 = VCO/8 11 DAC时钟 = VCO/16	0x2	R/W
0x08C	DACLDOCNTRL1	[7:3]	RESERVED		保留。	0x0	R
		[2:0]	REF_DIV_MODE		参考时钟分频比。此字段控制对CLK+/CLK-引脚输入时钟分频的量, 分频后的时钟作为参考时钟提供给PLL。参考时钟频率必须介于35 MHz到80 MHz, 但CLK+/CLK-输入频率可以介于35 MHz到1 GHz。用户设置此分频比以实现35 MHz到80 MHz PLL参考频率。更多信息参见“时钟倍频”部分。 000 1 001 2 010 4 011 8 100 16	0x1	R/W
0x0E2	CAL_CTRL_GLOBAL	[7:2]	RESERVED		保留。	0x0	R
		1	CAL_START_AVG		平均校准启动。在上升沿校准DAC。仅用于校准所有DAC时。	0x0	R/W
		0	CAL_EN_AVG	1	平均校准使能。在利用CAL_START_AVG校准启动校准之前设置。此位置1时, 可以执行校准并应用结果。 使能平均校准。	0x0	R/W
0x0E7	CAL_CLKDIV	[7:4]	RESERVED		为使器件正常工作, 必须写入默认值。	0x3	R/W
		3	CAL_CLK_EN	1 0	使能自校准时钟。 使能校准时钟 禁用校准时钟	0x0	R/W
		[2:0]	RESERVED		保留。	0x0	R
0x0E8	CAL_PAGE	[7:4]	RESERVED		保留。	0x0	R
		[3:0]	CAL_PAGE		DAC校准传呼。选择访问哪个或哪些DAC进行校准或校准回读。此传呼影响寄存器0x0E9和寄存器0x0ED。 校准: 可以同时访问任意数量的DAC进行写入和校准。写入1到位0即包括DAC 0。写入1到位2即包括DAC 1。 回读: 回读CAL_CTRL(寄存器0x0E9)时, 一次只能访问一个DAC。写入1到位0即读取DAC0, 写入1到位2即读取DAC1(其它位必须为0)。	0xF	R/W

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x0E9	CAL_CTRL	7	CAL_FIN	1	校准已完成。完成校准时，此位为1。如果校准完成且CAL_ERRHI或CAL_ERRLO为1，则校准不能被视为有效，而应被认为是一次超时事件。 1 校准已运行且完成	0x0	R
		6	CAL_ACTIVE	1	校准进行中。校准正在进行时，此位为1。 1 校准正在运行	0x0	R
		5	CAL_ERRHI	1	SAR数据错误：过高。如果任何校准DAC超范围至上限，则在校准周期结束时，此位置1。这通常意味着算法会调整校准DAC的校准预设值，然后再运行一次校准。 1 数据高饱和	0x0	R
		4	CAL_ERRLO	1	SAR数据错误：过低。如果任何校准DAC超范围至下限，则在校准周期结束时，此位置1。这通常意味着算法会调整校准DAC的校准预设值，然后再运行一次校准。 1 数据低饱和	0x0	R
		[3:2]	RESERVED		保留。	0x0	R
		1	CAL_START	0 1	校准开始。此位上升沿启动对CAL_INDX寄存器中选择的DAC的校准序列。 0 正常工作 1 启动校准状态机	0x0	R/W
		0	CAL_EN	0 1	校准使能。使能转换器的校准DAC。使能校准引擎和状态机。准备启动校准。为将校准系数应用于要校准的DAC，此位必须为1。 0 不使用校准DAC 1 使用校准DAC	0x0	R/Wr
0x0ED	CAL_INIT	[7:0]	CAL_INIT		初始化校准。启动校准或平均校准之前，必须写入0xA2。	0xA6	R/W
0x110	DATA_FORMAT	7	BINARY_FORMAT	0 1	数据总线为二进制或二进制补码格式。 0 输入数据为二进制补码 1 输入数据为偏移二进制	0x0	R/W
		[6:0]	RESERVED		保留。	0x0	R
0x111	DATAPATH_CTRL	7	INVSINC_ENABLE	1 0	使能反Sinc滤波器。 1 使能反sinc滤波器 0 禁用反sinc滤波器	0x1	R/W
		6	RESERVED		保留。	0x0	R
		5	DIG_GAIN_ENABLE	1 0	使能数字增益。 1 使能数字增益功能 0 禁用数字增益功能	0x1	R/W
		[4:0]	RESERVED		保留	0x0	R
0x112	INTERP_MODE	[7:3]	RESERVED		保留。	0x0	R
		[2:0]	INTERP_MODE	000 001 011 100	插值模式 1倍模式 2倍模式 4倍模式 8倍模式	0x1	R/W

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x11F	TXEN_SM_0	[7:6]	FALL_COUNTERS		下降计数器。使TX_PROTECT下降落后于TXENx下降沿而使用的计数器数量。必须设为1或2。	0x2	R/W
		[5:4]	RISE_COUNTERS		上升计数器。使TX_PROTECT上升落后于TXENx上升沿而使用的计数器数量。	0x0	R/W
		3	RESERVED		保留。	0x0	R
		2	PROTECT_OUT_INVERT	0 1	PROTECT_OUTx反转。 当输出有效时，PROTECT_OUTx为高电平。适合在传输期间使能下游器件。 当输出无效时，PROTECT_OUTx为高电平。适合在不传输时禁用下游器件。	0x0	R/W
		[1:0]	RESERVED		为使器件正常工作，必须写入默认值。	0x3	R/W
0x121	TXEN_RISE_COUNT_0	[7:0]	RISE_COUNT_0		使TX_PROTECT上升落后于TXENx上升沿而使用的第一个计数器。延迟32个RISE_COUNT_0 DAC时钟周期。	0xF	R/W
0x122	TXEN_RISE_COUNT_1	[7:0]	RISE_COUNT_1		使TX_PROTECT上升落后于TXENx上升沿而使用的第二个计数器。延迟32个RISE_COUNT_1 DAC时钟周期。	0x0	R/W
0x123	TXEN_FALL_COUNT_0	[7:0]	FALL_COUNT_0		使TX_PROTECT下降落后于TXENx下降沿而使用的第一个计数器。延迟32个FALL_COUNT_0 DAC时钟周期。至少必须设置为0x12。	0xFF	R/W
0x124	TXEN_FALL_COUNT_1	[7:0]	FALL_COUNT_1		使TX_PROTECT下降落后于TXENx下降沿而使用的第二个计数器。延迟32个FALL_COUNT_1 DAC时钟周期。	0xFF	R/W
0x12D	DEVICE_CONFIG_REG_0	[7:0]	DEVICE_CONFIG_0		必须设为0x8B才能正确配置数字数据路径。	0x46	R/W
0x12F	DIE_TEMP_CTRL0	[7:1]	RESERVED		为使器件正常工作，必须写入默认值。	0x10	R/W
		0 1	AUXADC_ENABLE	0 1	使能AUX ADC模块。 AUX ADC禁用 AUX ADC使能	0x0	R/W
0x132	DIE_TEMP0	[7:0]	DIE_TEMP[7:0]		Aux ADC回读值。	0x0	R
0x133	DIE_TEMP1	[7:0]	DIE_TEMP[15:8]		Aux ADC回读值。	0x0	R
0x134	DIE_TEMP_UPDATE	[7:1]	RESERVED		保留。	0x0	R
		0	DIE_TEMP_UPDATE		芯片温度更新。在上升沿产生新的温度代码。	0x0	R/W
0x135	DC_OFFSET_CTRL	[7:1]	RESERVED		保留。	0x0	R
		0 1	DC_OFFSET_ON		直流偏移开启。 使能直流偏移模块	0x0	R/W
0x136	DAC_DC_OFFSET_1PART0	[7:0]	LSB_OFFSET[7:0]		直流偏移的8个LSB。LSB_OFFSET是一个16位二进制补码数，增加到输入数据上。应用于DAC_PAGE(寄存器0x008 [1:0])所选的DAC。	0x0	R/W
0x137	DAC_DC_OFFSET_1PART1	[7:0]	LSB_OFFSET[15:8]		直流偏移的8个MSB。LSB_OFFSET是一个16位二进制补码数，增加到输入数据上。应用于DAC_PAGE(寄存器0x008 [1:0])所选的DAC。	0x0	R/W
0x13A	DAC_DC_OFFSET_2PART	[7:5]	RESERVED		保留。	0x0	R
		[4:0]	SIXTEENTH_OFFSET	x	SIXTEENTH_OFFSET是一个5位二进制补码数，单位为一个LSB的1/16，增加到输入数据上。 x/16 LSB直流偏移	0x0	R/W

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x13C	DAC_DIG_GAIN0	[7:0]	DAC_DIG_GAIN[7:0]		DAC数字增益的8个LSB。DAC_DIG_GAIN是DAC_PAGE(寄存器0x008 [1:0])所选DAC的数字增益。数字增益是一个乘数, 范围为0至4095/2048, 步长为1/2048。	0xEA	R/W
0x13D	DAC_DIG_GAIN1	[7:4]	RESERVED		保留。	0x0	R
		[3:0]	DAC_DIG_GAIN[11:8]		DAC数字增益的4个MSB	0xA	R/W
0x140	GAIN_RAMP_UP_STEP0	[7:0]	GAIN_RAMP_UP_STEP[7:0]	0x0 0xFFFF	增益斜坡上升步长的8个LSB。当增益逐渐变为指定值时, GAIN_RAMP_UP_STEP控制BSM斜坡特性的幅度步长。 最小斜坡上升步长 最大斜坡上升步长	0x4	R/W
0x141	GAIN_RAMP_UP_STEP1	[7:4]	RESERVED		保留。	0x0	R
		[3:0]	GAIN_RAMP_UP_STEP[11:8]		增益斜坡上升步长的4个MSB。说明参见寄存器0x140。	0x0	R/W
0x142	GAIN_RAMP_DOWN_STEP0	[7:0]	GAIN_RAMP_DOWN_STEP[7:0]	0 0xFFFF	增益斜坡下降步长的8个LSB。当增益逐渐变为0时, GAIN_RAMP_DOWN_STEP控制BSM斜坡特性的幅度步长。 最小斜坡下降步长 最大斜坡下降步长	0x9	R/W
0x143	GAIN_RAMP_DOWN_STEP1	[7:4]	RESERVED		保留。	0x0	R
		[3:0]	GAIN_RAMP_DOWN_STEP[11:8]		增益斜坡下降步长的4个MSB。说明参见寄存器0x142。	0x0	R/W
0x146	DEVICE_CONFIG_REG_1	[7:0]	DEVICE_CONFIG_1		必须设为0x01才能正确配置数字数据路径。	0x0	R/W
0x147	BSM_STAT	[7:6]	SOFTBLANKRB	00 01 10 11	消隐状态。 00 数据完全消隐 01 从数据处理渐变为完全消隐 10 从完全消隐渐变为数据处理 11 数据正在处理	0x0	R
		[5:0]	RESERVED		保留。	0x0	R
0x14B	PRBS	7	RESERVED		保留。	0x0	R
		6	PRBS_GOOD	0 1	正确数据指示器。 0 检测到错误序列 1 检测到正确PRBS序列	0x0	R
		[5:3]	RESERVED		保留。	0x0	R
		2	PRBS_MODE	0 1	多项式选择 0 7位: $x^7 + x^6 + 1$ 1 15位: $x^{15} + x^{14} + 1$	0x0	R/W
		1	PRBS_RESET	0 1	复位错误计数器。 0 正常工作 1 复位计数器	0x0	R/W
		0	PRBS_EN	0 1	使能PRBS检查器。 0 禁用 1 使能	0x0	R/W
0x14C	PRBS_ERROR	[7:0]	PRBS_COUNT		错误数值。	0x0	R
0x1B4	DACPLL4	7	RESERVED		保留。	0x0	R
		[6:3]	VCO_CAL_OFFSET		VCO校准的启动偏移。VCO校准偏移相关值参见“三种不同DAC PLL参考频率的查找表”部分。	0xF	R/W
		[2:0]	RESERVED		保留。	0x0	R

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x1B5	DACPLL5	[7:4]	RESERVED		为使器件正常工作，必须写入默认值。	0x8	R/W
		[3:0]	VCO_VAR		变容二极管KVO设置。VCO变容二极管基准相关值参见“三种不同DAC PLL参考频率的查找表”部分。	0x3	R/W
0x1B6	DACPLL6	[7:4]	RESERVED		为使器件正常工作，必须写入默认值。	0x4	R/W
		[3:0]	VCO_LVL_OUT		VCO幅度控制。VCO输出电平相关值参见“三种不同DAC PLL参考频率的查找表”部分。	0xA	R/W
0x1BB	DACPLLTB	[7:5]	RESERVED		保留。	0x0	R
		[4:3]	VCO_BIAS_TCF		VCO偏置温度系数。VCO偏置温度系数相关值参见“三种不同DAC PLL参考频率的查找表”部分。	0x1	R/W
		[2:0]	VCO_BIAS_REF		VCO偏置控制。VCO偏置基准相关值参见“三种不同DAC PLL参考频率的查找表”部分。	0x4	R/W
0x1BD	DACPLLTD	[7:3]	RESERVED		保留。	0x0	R
		[2:0]	VCO_CAL_REF_TCF		校准基准电压源温度系数。此域设置VCO频段校准基准电压设置所用电流的温度系数。	0x0	R/W
0x1C4	DEVICE_CONFIG_REG_2	[7:0]	DEVICE_CONFIG_2		必须设为0x73才能正确配置DAC PLL。	0x33	R/W
0x200	MASTER_PD	[7:1]	RESERVED		保留。	0x0	R
		0	SPI_PD_MASTER		关断整个JESD接收器模拟部分(所有8个通道加偏置)。	0x1	R/W
0x201	PHY_PD	[7:0]	SPI_PD_PHY		SPI覆盖以关断各PHY。 设置位x以关断对应的SERDINx± PHY	0x0	R/W
0x203	GENERIC_PD	[7:2]	RESERVED		保留。	0x0	R
		1	SPI_SYNC1_PD		关断SYNCOU0±的LVDS缓冲器。	0x0	R/W
		0	SPI_SYNC2_PD		关断SYNCOU1±的LVDS缓冲器。	0x0	R/W
0x206	CDR_RESET	[7:1]	RESERVED		保留。	0x0	R
		0	SPI_CDR_复位N	0 1	复位所有PHY的数字控制逻辑。 CDR保持复位状态 使能CDR	0x1	R/W
0x230	CDR_OPERATING_MODE_REG_0	[7:6]	RESERVED		保留。	0x0	R
		5	ENHALFRATE		使能半速率CDR操作。当5.65 Gbps ≤ 通道速率 ≤ 10.64 Gbps时置1。	0x1	R/W
		[4:2]	RESERVED		为使器件正常工作，必须写入默认值。	0x2	R/W
		1	CDR_OVERSAMP		使能对输入数据的过采样。当1.42 Gbps ≤ 通道速率 ≤ 2.76 Gbps时置1。	0x0	R/W
		0	RESERVED		保留。	0x0	R
0x232	DEVICE_CONFIG_REG_3	[7:0]	DEVICE_CONFIG_3		必须设为0xFF才能正确配置JESD接口。	0x0	R/W
0x268	EQ_BIAS_REG	[7:6]	EQ_POWER_MODE	00 01	控制均衡器电源/插入损耗。 正常模式 低功耗模式	0x1	R/W
		[5:0]	RESERVED		为使器件正常工作，必须写入默认值。	0x22	R/W

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x280	SERDESPLL_ENABLE_CNTRL	[7:3]	RESERVED		保留。	0x0	R
		2	RECAL_SERDESPLL		重新校准SERDES PLL。在上升沿重新校准SERDES PLL。	0x0	R/W
		1	RESERVED		保留。	0x0	R
		0	ENABLE_SERDESPLL		使能SERDES PLL。此位置1将使能并校准SERDES PLL。	0x0	R/W
0x281	PLL_STATUS	[7:6]	RESERVED		保留。	0x0	R
		5	SERDES_PLL_OVERRANGE_H		SERDES PLL上限超范围。此位表示DAC PLL达到其工作频段下限。重新校准。	0x0	R
		4	SERDES_PLL_OVERRANGE_L		SERDES PLL下限超范围。此位表示DAC PLL达到其工作频段下限。重新校准。	0x0	R
		3	SERDES_PLL_CAL_VALID_RB		SERDES PLL校准有效。此位表示SERDES PLL已成功校准。	0x0	R
		[2:1]	RESERVED		保留。	0x0	R
		0	SERDES_PLL_LOCK_RB		SERDES PLL锁定。PLL实现锁定时，此位置1。	0x0	R
0x289	REF_CLK_DIVIDER_LDO	[7:3]	RESERVED		保留。	0x0	R
		2	DEVICE_CONFIG_4		必须设为1才能正确配置SERDES PLL。	0x0	R/W
		[1:0]	SERDES_PLL_DIV_MODE		SERDES PLL参考时钟分频系数。此域控制SERDES PLL参考时钟分频，分频后馈入SERDES PLL鉴频鉴相器(PFD)。其设置必须让 $f_{REF}/DivFactor$ 介于35至80 MHz。 00 4分频(5.65 Gbps至10.64 Gbps的通道速率) 01 2分频(2.83 Gbps至5.52 Gbps的通道速率) 10 1分频(1.42 Gbps至2.76 Gbps的通道速率)	0x0	R/W
0x291	DEVICE_CONFIG_REG_5	[7:0]	DEVICE_CONFIG_5		必须设为0x49才能正确配置SERDES PLL。	0x46	R/W
0x29C	DEVICE_CONFIG_REG_6	[7:0]	DEVICE_CONFIG_6		必须设为0x24才能正确配置SERDES PLL。	0x17	R/W
0x29F	DEVICE_CONFIG_REG_7	[7:0]	DEVICE_CONFIG_7		必须设为0x73才能正确配置SERDES PLL。	0x33	R/W
0x2A4	DEVICE_CONFIG_REG_8	[7:0]	DEVICE_CONFIG_8		必须设为0xFF才能正确配置时钟。	0x4B	R/W
0x2A5	SYNCOUTB_SWING	[7:1]	RESERVED		保留。	0x0	R
		0	SYNCOUTB_SWING_MD		SYNCOUTx±摆幅模式。设置SYNCOUTx±引脚的输出差分摆幅模式。详情参见表8。 0 正常摆幅模式 1 高摆幅模式	0x0	R/W
0x2A7	TERM_BLK1_CTRLREG0	[7:1]	RESERVED		保留。	0x0	R
		0	RCAL_TERM_BLK1		终端校准。此位上升沿将PHY0、PHY1、PHY6和PHY7终端校准为50 Ω。	0x0	R/W
0x2AA	DEVICE_CONFIG_REG_9	[7:0]	DEVICE_CONFIG_9		必须设为0xB7才能正确配置JESD接口终端。	0xC3	R/W
0x2AB	DEVICE_CONFIG_REG_10	[7:0]	DEVICE_CONFIG_10		必须设为0x87才能正确配置JESD接口终端。	0x93	R/W
0x2AE	TERM_BLK2_CTRLREG0	[7:1]	RESERVED		保留。	0x0	R
		0	RCAL_TERM_BLK2		终端校准。此位上升沿将PHY2、PHY3、PHY4和PHY5终端校准为50 Ω。	0x0	R/W

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x2B1	DEVICE_CONFIG_REG_11	[7:0]	DEVICE_CONFIG_11		必须设为0xB7才能正确配置JESD接口终端。	0xC3	R/W
0x2B2	DEVICE_CONFIG_REG_12	[7:0]	DEVICE_CONFIG_12		必须设为0x87才能正确配置JESD接口终端。	0x93	R/W
0x300	GENERAL_JRX_CTRL_0	7	RESERVED		保留。	0x0	R
		6	CHECKSUM_MODE	0 1	校验和模式。此位控制本地产生的JESD204B链路参数校验和方法。值存储在FCMP寄存器(寄存器0x40E、寄存器0x416、寄存器0x41E、寄存器0x426、寄存器0x42E、寄存器0x436、寄存器0x43E和寄存器0x446)。 0 校验和计算如下：将JESD204B标准第8.3节表20所定义的链路配置表中的各字段求和 1 校验和计算如下：将包含打包链路配置字段的寄存器求和($\Sigma[0x400:0x40C]$ modulo 256)。	0x0	R/W
		[5:4]	RESERVED		保留。	0x0	R
		3	LINK_MODE	0 1	链路模式。此寄存器选择单链路或双链路模式。 0 单链路模式 1 双链路模式	0x0	R/W
		2	LINK_PAGE	0 1	链路传呼。选择使用哪条链路的寄存器映射。 0 使用链路0寄存器映射 1 使用链路1寄存器映射	0x0	R/W
		[1:0]	LINK_EN	0b00 0b01 0b10 0b11	链路使能。这些位使能JESD204B接收器数字电路：位0用于链路0，位1用于链路1。只能在完成以下操作后使能链路：所有JESD204B参数都已设置，DAC PLL已使能且锁定(寄存器0x084[1] = 1)，JESD204B PHY已使能(寄存器0x200 = 0x00)且校准(寄存器0x281[2] = 0)。 0b00 JESD链路1和JESD链路0同时禁用 0b01 禁用JESD链路1，使能JESD链路0 0b10 使能JESD链路1，禁用JESD链路0 0b11 JESD链路1和JESD链路0同时使能	0x0	R/W
0x301	GENERAL_JRX_CTRL_1	[7:3]	RESERVED		保留。	0x0	R
		[2:0]	SUBCLASSV_LOCAL	000 001	JESD204B子类。 000 子类0 001 子类1	0x1	R/W
0x302	DYN_LINK_LATENCY_0	[7:5]	RESERVED		保留。	0x0	R
		[4:0]	DYN_LINK_LATENCY_0		动态链路延迟：链路0。链路0的LMFC _{Rx} 与最后到达的LMFC边界之间的延迟，单位为PCLK周期。参见“确定延迟”部分。	0x0	R
0x303	DYN_LINK_LATENCY_1	[7:5]	RESERVED		保留。	0x0	R
		[4:0]	DYN_LINK_LATENCY_1		动态链路延迟：链路1。链路1的LMFC _{Rx} 与最后到达的LMFC边界之间的延迟，单位为PCLK周期。参见“确定延迟”部分。	0x0	R

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x304	LMFC_DELAY_0	[7:5]	RESERVED		保留。	0x0	R
		[4:0]	LMFC_DELAY_0		LMFC延迟：链路0。链路0从LMFC到LMFC _{Rx} 的延迟。子类1的单位为帧时钟周期，子类0的单位为PCLK周期。参见“确定延迟”部分。	0x0	R/W
0x305	LMFC_DELAY_1	[7:5]	RESERVED		保留。	0x0	R
		[4:0]	LMFC_DELAY_1		LMFC延迟：链路1。链路1从LMFC到LMFC _{Rx} 的延迟。子类1的单位为帧时钟周期，子类0的单位为PCLK周期。参见“确定延迟”部分。	0x0	R/W
0x306	LMFC_VAR_0	[7:5]	RESERVED		保留。	0x0	R
		[4:0]	LMFC_VAR_0		可变延迟缓冲器：链路0。设置何时从缓冲器读取数据，以使不同链路和周期供电的数据读取时间一致。单位为PCLK周期。参见“确定延迟”部分。此设置不得大于10。	0x6	R/W
0x307	LMFC_VAR_1	[7:5]	RESERVED		保留。	0x0	R
		[4:0]	LMFC_VAR_1		可变延迟缓冲器：链路1。设置何时从缓冲器读取数据，以使不同链路和周期供电的数据读取时间一致。单位为PCLK周期。参见“确定延迟”部分。此设置不得大于10。	0x6	R/W
0x308	XBAR_LN_0_1	[7:6]	RESERVED		保留。	0x0	R
		[5:3]	LOGICAL_LANE1_SRC	x	逻辑通道1来源。选择要映射到逻辑通道1的物理通道。 数据来自SERDINx	0x1	R/W
		[2:0]	LOGICAL_LANE0_SRC	x	逻辑通道0来源。选择要映射到逻辑通道0的物理通道。 数据来自SERDINx	0x0	R/W
0x309	XBAR_LN_2_3	[7:6]	RESERVED		保留。	0x0	R
		[5:3]	LOGICAL_LANE3_SRC	x	逻辑通道3来源。选择要映射到逻辑通道3的物理通道。 数据来自SERDINx	0x3	R/W
		[2:0]	LOGICAL_LANE2_SRC	x	逻辑通道2来源。选择要映射到逻辑通道2的物理通道。 数据来自SERDINx	0x2	R/W
0x30A	XBAR_LN_4_5	[7:6]	RESERVED		保留。	0x0	R
		[5:3]	LOGICAL_LANE5_SRC	x	逻辑通道5来源。选择要映射到逻辑通道5的物理通道。 数据来自SERDINx	0x5	R/W
		[2:0]	LOGICAL_LANE4_SRC	x	逻辑通道4来源。选择要映射到逻辑通道4的物理通道。 数据来自SERDINx	0x4	R/W
0x30B	XBAR_LN_6_7	[7:6]	RESERVED		保留。	0x0	R
		[5:3]	LOGICAL_LANE7_SRC	x	逻辑通道7来源。选择要映射到逻辑通道7的物理通道。 数据来自SERDINx	0x7	R/W
		[2:0]	LOGICAL_LANE6_SRC	x	逻辑通道6来源。选择要映射到逻辑通道6的物理通道。 数据来自SERDINx	0x6	R/W
0x30C	FIFO_STATUS_REG_0	[7:0]	LANE_FIFO_FULL		各逻辑通道的FIFO满标志。FIFO满状态表示JESD204B配置或系统时钟出错。如果通道x的FIFO已满，则此寄存器的位x为1。	0x0	R

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x30D	FIFO_STATUS_REG_1	[7:0]	LANE_FIFO_EMPTY		各逻辑通道的FIFO空标志。FIFO空状态表示JESD204B配置或系统时钟出错。如果逻辑通道x的FIFO已空，则此寄存器的位x为1。	0x0	R
0x312	SYNCB_GEN_1	[7:6]	RESERVED		保留。	0x0	R/W
		[5:4]	SYNCB_ERR_DUR	0 1 2	出错时SYNCOUTx±保持低电平的时间。该持续时间适用于SYNCOUT0和SYNCOUT1。只要遇到一个或多个差异、不在表中或意外控制字符错误，多帧结束时就会置位同步错误。 ½PCLK周期 1PCLK周期 2PCLK周期s		
		[3:0]	RESERVED		保留。		
0x314	SERDES_SPI_REG	[7:0]	SERDES_SPI_CONFIG		SERDES SPI配置。必须在物理层设置步骤中写入0x01。	0x0	R/W
0x315	PHY_PRBS_TEST_EN	[7:0]	PHY_TEST_EN		PHY测试使能。使能PHY BER测试。设置位x以使能通道x的PHY。	0x0	R/W
0x316	PHY_PRBS_TEST_CTRL	7	RESERVED		保留。	0x0	R
		[6:4]	PHY_SRC_ERR_CNT	x	PHY错误计数源。选择寄存器0x31A或寄存器0x31C报告哪些PHY错误。报告通道x错误数	0x0	R/W
		[3:2]	PHY_PRBS_PAT_SEL	00 01 10	PHY PRBS模式选择。选择PHY BER测试的PRBS模式。 PRBS7 PRBS15 PRBS31	0x0	R/W
		1	PHY_TEST_START	0 1	PHY PRBS测试启动。启动和停止PHY PRBS测试。 测试已停止 测试进行中	0x0	R/W
		0	PHY_TEST_RESET	0 1	PHY PRBS测试复位。复位PHY PRBS测试状态机和错误计数器。 使能PHY PRBS测试状态机 PHY PRBS测试状态机保持复位状态	0x0	R/W
0x317	PHY_PRBS_TEST_THRESHOLD_LOBITS	[7:0]	PHY_PRBS_THRESHOLD[7:0]		PHY PRBS错误阈值的8个LSB。	0x0	R/W
0x318	PHY_PRBS_TEST_THRESHOLD_MIDBITS	[7:0]	PHY_PRBS_THRESHOLD[15:8]		PHY PRBS错误阈值的8个ISB。	0x0	R/W
0x319	PHY_PRBS_TEST_THRESHOLD_HIBITS	[7:0]	PHY_PRBS_THRESHOLD[23:16]		PHY PRBS错误阈值的8个MSB。	0x0	R/W
0x31A	PHY_PRBS_TEST_ERRCNT_LOBITS	[7:0]	PHY_PRBS_ERR_CNT[7:0]		PHY PRBS错误计数的8个LSB。报告寄存器0x316[6:4]所选通道的PHY BERT错误。	0x0	R
0x31B	PHY_PRBS_TEST_ERRCNT_MIDBITS	[7:0]	PHY_PRBS_ERR_CNT[15:8]		PHY PRBS错误计数的8个ISB。	0x0	R
0x31C	PHY_PRBS_TEST_ERRCNT_HIBITS	[7:0]	PHY_PRBS_ERR_CNT[23:16]		PHY PRBS错误计数的8个MSB。	0x0	R
0x31D	PHY_PRBS_TEST_STATUS	[7:0]	PHY_PRBS_PASS		PHY PRBS测试通过/失败。 位x对应物理通道x的PHY PRBS通过/失败状态。 物理通道x的错误计数小于PHY_PRBS_THRESHOLD时，此位置1。	0xFF	R

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x32C	SHORT_TPL_TEST_0	[7:6]	RESERVED		保留。	0x0	R
		[5:4]	SHORT_TPL_SP_SEL	x	短传输层样本选择。选择检查位[3:2]所选DAC中的哪个样本。 样本x	0x0	R/W
		[3:2]	SHORT_TPL_DAC_SEL	0 2	短传输层测试DAC选择。选择要采样的DAC。 DAC0采样 DAC1采样	0x0	R/W
		1	SHORT_TPL_TEST_RESET	0 1	短传输层测试复位。复位短传输层测试结果。 未复位 复位	0x0	R/W
		0	SHORT_TPL_TEST_EN	0 1	短传输层测试使能。关于如何执行此测试的详细信息，参见“子类0”部分。 禁用 使能	0x0	R/W
0x32D	SHORT_TPL_TEST_1	[7:0]	SHORT_TPL_REF_SP_LSB		短传输层测试基准，样本LSB。这是预期DAC样本的低8位。用来与JESD204B接收器输出端收到的DAC样本进行比较。	0x0	R/W
0x32E	SHORT_TPL_TEST_2	[7:0]	SHORT_TPL_REF_SP_MSB		短传输层测试基准，样本MSB。这是预期DAC样本的高8位。用来与JESD204B接收器输出端收到的DAC样本进行比较。	0x0	R/W
0x32F	SHORT_TPL_TEST_3	[7:1]	RESERVED		保留。	0x0	R
		0	SHORT_TPL_FAIL	0 1	短传输层测试失败。此位说明所选DAC样本是否与基准样本一致。如果一致，则测试通过，否则测试失败。 测试通过 测试失败	0x0	R
0x333	DEVICE_CONFIG_REG_13	[7:0]	DEVICE_CONFIG_13		必须设为0x01才能正确配置JESD接口。	00	R/W
0x334	JESD_BIT_INVERSE_CTRL	[7:0]	JESD_BIT_INVERSE		逻辑通道反转。位x置1时，逻辑通道x上的JESD解串行数据反转。	0x0	R/W
0x400	DID_REG	[7:0]	DID_RD		器件标识号。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。	0x0	R
0x401	BID_REG	[7:4]	ADJCNT_RD		DAC LMFC的调整分辨率。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。必须为0。	0x0	R
		[3:0]	BID_RD		模块标识：DID的扩展。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。	0x0	R
0x402	LIDO_REG	7	RESERVED		保留。	0x0	R
		6	ADJDIR_RD		DAC LMFC的调整方向。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。必须为0。	0x0	R
		5	PHADJ_RD		DAC相位调整请求。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。必须为0。	0x0	R
		[4:0]	LIDO_RD		通道0的通道标识。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。	0x0	R

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x403	SCR_L_REG	7	SCR_RD		发射加扰状态。 链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。 加扰禁用 加扰使能	0x0	R
		[6:5]	RESERVED		保留。	0x0	R
		[4:0]	L-1_RD		每个转换器件的通道数。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。 每个转换器一个通道 每个转换器两个通道 每个转换器四个通道 每个转换器八个通道(仅单链路)	0x0	R
0x404	F_REG	[7:0]	F-1_RD		每帧的八位字数。有效设置为每帧1、2或4个八位字。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。 每通道每帧1个八位字 每通道每帧2个八位字 每通道每帧4个八位字	0x0	R
0x405	K_REG	[7:5]	RESERVED		保留。	0x0	R
		[4:0]	K-1_RD		每个多帧的帧数。有效设置为16或32。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。 每个多帧16帧 每个多帧32帧	0x0 0x0F 0x1F	R
0x406	M_REG	[7:0]	M-1_RD		每个器件的转换器数。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。必须为0或1。 每个器件一个转换器 每个器件两个转换器	0x0	R
0x407	CS_N_REG	[7:6]	CS_RD		每个样本的控制位数。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。CS必须为0。	0x0	R
		5	RESERVED		保留。	0x0	R
		[4:0]	N-1_RD		转换器分辨率。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。转换器分辨率必须为16。 转换器分辨率为16	0x0F	R
0x408	NP_REG	[7:5]	SUBCLASSV_RD		器件子类版本。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。	0x0	R
		[4:0]	NP-1_RD		每个样本的总位数。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。每个样本必须为16位 每个样本16位。	0x0F	R
0x409	S_REG	[7:5]	JESDV_RD		JESD204版本。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。 JESD204A JESD204B	0x0	R

地址	名称	位号	位名称	设置	说明	复位	访问类型
		[4:0]	S-1_RD	0 1	每帧周期每转换器的样本数。有效设置为1或2。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。 每帧每转换器一个样本 每帧每转换器两个样本	0x0	R
0x40A	HD_CF_REG	7	HD_RD	0 1	高密度格式。参见JESD294B标准第5.1.3节。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。 低密度模式 高密度模式：通道0上收到的链路信息，如JESD204B规范第8.3节所述。	0x0	R
		[6:5]	RESERVED		保留。	0x0	R
		[4:0]	CF_RD		每条链路每个帧时钟周期的控制字数。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。位[4:0]必须为0。	0x0	R
0x40B	RES1_REG	[7:0]	RES1_RD		保留字段1。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。	0x0	R
0x40C	RES2_REG	[7:0]	RES2_RD		保留字段2。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。	0x0	R
0x40D	CHECKSUM_REG	[7:0]	FCHK0_RD		链路通道0的校验和。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。	0x0	R
0x40E	COMPSUM0_REG	[7:0]	FCMP0_RD		链路通道0的计算校验和。JESD204B接收器计算通道0上收到的链路信息的校验和，如JESD204B规范第8.3节所述。计算方法由CHECKSUM_MODE位(地址0x300[6])设置，必须与寄存器0x40D中按同样方法计算的校验和匹配。	0x0	R
0x412	LID1_REG	[7:5]	RESERVED		保留。	0x0	R
		[4:0]	LID1_RD		链路通道1的通道标识。通道0上收到的链路信息，如JESD204B规范第8.3节所述。	0x0	R
0x415	CHECKSUM1_REG	[7:0]	FCHK1_RD		链路通道1的校验和。通道0上收到的链路信息，如JESD204B规范第8.3节所述。	0x0	R
0x416	COMPSUM1_REG	[7:0]	FCMP1_RD		链路通道1的计算校验和。说明参见寄存器0x40E。	0x0	R
0x41A	LID2_REG	[7:5]	RESERVED		保留。	0x0	R
		[4:0]	LID2_RD		链路通道2的通道标识。	0x0	R
0x41D	CHECKSUM2_REG	[7:0]	FCHK2_RD		链路通道2的校验和。	0x0	R
0x41E	COMPSUM2_REG	[7:0]	FCMP2_RD		链路通道2的计算校验和(说明参见寄存器0x40E)。	0x0	R
0x422	LID3_REG	[7:5]	RESERVED		保留。	0x0	R
		[4:0]	LID3_RD		链路通道3的通道标识。	0x0	R
0x425	CHECKSUM3_REG	[7:0]	FCHK3_RD		链路通道3的校验和。	0x0	R
0x426	COMPSUM3_REG	[7:0]	FCMP3_RD		链路通道3的计算校验和(说明参见寄存器0x40E)。	0x0	R
0x42A	LID4_REG	[7:5]	RESERVED		保留。	0x0	R
		[4:0]	LID4_RD		链路通道4的通道标识。	0x0	R
0x42D	CHECKSUM4_REG	[7:0]	FCHK4_RD		链路通道4的校验和。	0x0	R
0x42E	COMPSUM4_REG	[7:0]	FCMP4_RD		链路通道4的计算校验和(说明参见寄存器0x40E)。	0x0	R

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x432	LID5_REG	[7:5]	RESERVED		保留。	0x0	R
		[4:0]	LID5_RD		链路通道5的通道标识。	0x0	R
0x435	CHECKSUM5_REG	[7:0]	FCHK5_RD		链路通道5的校验和。	0x0	R
0x436	COMP5SUM5_REG	[7:0]	FCMP5_RD		链路通道5的计算校验和(说明参见寄存器0x40E)。	0x0	R
0x43A	LID6_REG	[7:5]	RESERVED		保留。	0x0	R
		[4:0]	LID6_RD		链路通道6的通道标识。	0x0	R
0x43D	CHECKSUM6_REG	[7:0]	FCHK6_RD		链路通道6的校验和。	0x0	R
0x43E	COMP6SUM6_REG	[7:0]	FCMP6_RD		链路通道6的计算校验和(说明参见寄存器0x40E)。	0x0	R
0x442	LID7_REG	[7:5]	RESERVED		保留。	0x0	R
		[4:0]	LID7_RD		链路通道7的通道标识。	0x0	R
0x445	CHECKSUM7_REG	[7:0]	FCHK7_RD		链路通道7的校验和。	0x0	R
0x446	COMP7SUM7_REG	[7:0]	FCMP7_RD		链路通道7的计算校验和(说明参见寄存器0x40E)。	0x0	R
0x450	ILS_DID	[7:0]	DID		器件标识号。链路通道0上收到的链路信息，如JESD204B规范第8.3节所述。必须设置为寄存器0x400中读取的值。	0x0	R/W
0x451	ILS_BID	[7:4]	ADJCNT		DAC LMFC的调整分辨率。必须置0。	0x0	R/W
		[3:0]	BID		模块标识：DID的扩展。必须设置为寄存器0x401[3:0]中读取的值。	0x0	R/W
0x452	ILS_LID0	7	RESERVED		保留。	0x0	R
		6	ADJDIR		DAC LMFC的调整方向。必须置0。	0x0	R/W
		5	PHADJ		DAC相位调整请求。必须置0。	0x0	R/W
		[4:0]	LID0		链路通道0的通道标识。必须设置为寄存器0x402[4:0]中读取的值。	0x0	R/W
0x453	ILS_SCR_L	7	SCR	0	接收器解扰使能。 解扰禁用	0x1	R/W
				1	解扰使能		
		[6:5]	RESERVED		保留。	0x0	R
[4:0]	L-1		每个转换器件的通道数。参见表33和表34。 0 每个转换器一个通道 1 每个转换器两个通道 3 每个转换器四个通道 7 每个转换器件八个通道(仅单链路)	0x3	R/W		
0x454	ILS_F	[7:0]	F-1		每帧每个通道的八位字数。有效设置为每帧每个通道1、2或4个八位字。参见表33和表34。 0 每帧每通道1个八位字 1 每帧每通道2个八位字 3 每帧每通道4个八位字	0x0	R/W
0x455	ILS_K	[7:5]	RESERVED		保留。	0x0	R
		[4:0]	K-1		每个多帧的帧数。有效设置为16或32。 F = 1(寄存器0x476)时必须设为32。 0x0F 每个多帧16帧 0x1F 每个多帧32帧	0x1F	R/W
0x456	ILS_M	[7:0]	M-1		每个器件的转换器数。参见表33和表34。 0 每条链路一个转换器 1 每条链路两个转换器	0x1	R/W
0x457	ILS_CS_N	[7:6]	CS		每个样本的控制位数。必须置0。不支持控制位。 0 每个样本0个控制位	0x0	R/W

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
		5	RESERVED		保留。	0x0	R
		[4:0]	N-1	0x0F	转换器分辨率。必须设为16位分辨率。 转换器分辨率为16。	0xF	R/W
0x458	ILS_NP	[7:5]	SUBCLASSV	0 1	器件子类版本。 子类0 子类1	0x1	R/W
		[4:0]	NP-1	0xF	每个样本的总位数。必须设为每个样本 16位。 每个样本16位。	0xF	R/W
0x459	ILS_S	[7:5]	JESDV	000 001	JESD204版本。 JESD204A JESD204B	0x1	R/W
		[4:0]	S-1	0 1	每帧周期每转换器的样本数。有效设置为 1或2。 每帧每转换器一个样本 每帧每转换器两个样本	0x0	R/W
0x45A	ILS_HD_CF	7	HD	0 1	高密度格式。如果F = 1, HD必须设为1。 否则, HD必须设为0。参见JESD204B标准 第5.1.3节。 低密度模式 高密度模式	0x1	R/W
		[6:5]	RESERVED		保留。	0x0	R
		[4:0]	CF		每条链路每个帧时钟周期的控制字数。 必须置0。不支持控制位。	0x0	R/W
0x45B	ILS_RES1	[7:0]	RES1		保留字段1。	0x0	R/W
0x45C	ILS_RES2	[7:0]	RES2		保留字段2。	0x0	R/W
0x45D	ILS_CHECKSUM	[7:0]	FCHK0		链路通道0的校验和。计算校验和。 计算取决于0x300[6]。	0x45	R/W
0x46B	ERRCNRMON_RB	[7:0]	READERRORCNTR		读取JESD204B错误计数器。写入LANESEL 和CNTRSEL(位于同一寄存器)以选择通道 和错误计数器之后, 在此处回读所选错误 计数器。	0x0	R
0x46B	ERRCNRMON	7	RESERVED		保留。	0x0	R
		[6:4]	LANESEL	x	JESD204B错误计数器的链路通道选择。 选择通过此寄存器回读错误数的通道。 选择链路通道x	0x0	W
		[3:2]	RESERVED		保留。	0x0	R
		[1:0]	CNTRSEL	00 01 10	JESD204B错误计数器选择。选择通过此 寄存器回读的错误类型。 BADDISCNTR: 不良运行差异计数器 NITCNTR: 不在表中错误计数器 UCCCNTR: 意外控制字符计数器	0x0	W
0x46C	LANEDESKEW	[7:0]	LANEDESKEW		通道去偏斜。位x置1时, 链路通道x去偏斜	0xF	R/W
0x46D	BADDISPARITY_RB	[7:0]	BADDIS		不良差异字符错误(BADDIS)。当链路通道 x的不良差异错误数达到寄存器0x47C中 的阈值时, 位x置1。	0x0	R
0x46D	BADDISPARITY	7	RST_IRQ_DIS		BADDIS_IRQ复位。向此位写入1, 复位通 过位[2:0]选择的通道的BADDIS_IRQ。	0x0	W
		6	DISABLE_ERR_CNTR_DIS		BADDIS错误计数器禁用。向此位写入1, 禁用通过位[2:0]选择的通道的BADDIS错 误计数器。	0x0	W

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
		5	RST_ERR_CNTR_DIS		BADDIS错误计数器复位。向此位写入1，复位通过位[2:0]选择的通道的BADDIS错误计数器。	0x0	W
		[4:3]	RESERVED		保留。	0x0	R
		[2:0]	LANE_ADDR_DIS		位[7:5]所述功能的链路通道地址。	0x0	W
0x46E	NIT_RB	[7:0]	NIT		不在表中字符错误(NIT)。当链路通道x的NIT错误数达到寄存器0x47C中的阈值时，位x置1。	0x0	R
0x46E	NIT_W	7	RST_IRQ_NIT		IRQ复位。向此位写入1，复位通过位[2:0]选择的通道的IRQ。	0x0	W
		6	DISABLE_ERR_CNTR_NIT		禁用错误计数器。向此位写入1，禁用通过位[2:0]选择的通道的错误计数器。	0x0	W
		5	RST_ERR_CNTR_NIT		复位错误计数器。向此位写入1，复位通过位[2:0]选择的通道的错误计数器。	0x0	W
		[4:3]	RESERVED		保留。	0x0	R
		[2:0]	LANE_ADDR_NIT		位[7:5]所述功能的链路通道地址。	0x0	W
0x46F	UNEXPECTED-CONTROL_RB	[7:0]	UCC		意外控制字符错误(UCC)。当链路通道x的UCC错误数达到寄存器0x47C中的阈值时，位x置1。	0x0	R
0x46F	UNEXPECTED-CONTROL_W	7	RST_IRQ_UCC		IRQ复位。向此位写入1，复位通过位[2:0]选择的通道的IRQ。	0x0	W
		6	DISABLE_ERR_CNTR_UCC		禁用错误计数器。向此位写入1，禁用通过位[2:0]选择的通道的错误计数器。	0x0	W
		5	RST_ERR_CNTR_UCC		复位错误计数器。向此位写入1，复位通过位[2:0]选择的通道的错误计数器。	0x0	W
		[4:3]	RESERVED		保留。	0x0	R
		[2:0]	LANE_ADDR_UCC		位[7:5]所述功能的链路通道地址。	0x0	W
0x470	CODEGRPSYNCFLG	[7:0]	CODEGRPSYNC		代码组同步标志(来自各实例化通道)。向位7写入1会复位IRQ。相关IRQ标志位于寄存器0x47A[0]。失去CODEGRPSYNC会触发同步请求置位。参见“SYNCOUTx±、SYSREF±和CLK±信号”部分和“确定延迟”部分。 0 失去同步 1 实现同步	0x0	R/W
0x471	FRAMESYNCFLG	[7:0]	FRAMESYNC		帧同步标志(来自各实例化通道)。此寄存器指示各通道的实时状态。向位7写入1会复位IRQ。失去帧同步会自动启动同步程序。 0 失去同步 1 实现同步	0x0	R/W
0x472	GOODCHKSUMFLG	[7:0]	GOODCHECKSUM		校验和正确标志(来自各实例化通道)。向位7写入1会复位IRQ。相关IRQ标志位于寄存器0x47A[2]。 0 最后计算的校验和不正确 1 最后计算的校验和正确	0x0	R/W
0x473	INITLANESYNCFLG	[7:0]	INITIALLANESYNC		初始通道同步标志(来自各实例化通道)。向位7写入1会复位IRQ。相关IRQ标志位于寄存器0x47A[3]。失去同步也会通过SYNCOUT1±或SYNCOUT0±报告。参见“SYNCOUTx±、SYSREF±和CLK±信号”部分和“确定延迟”部分。	0x0	R/W

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x476	CTRLREG1	[7:0]	F	1 2 4	每帧的八位字数。有效设置为1、2或4。 参见表33和表34。 每帧1个八位字 每帧2个八位字 每帧4个八位字	0x1	R/W
0x477	CTRLREG2	7	ILAS_MODE	1 0	ILAS测试模式。参见JESD204B规范第5.3.3.8节。 JESD204B接收器不断收到ILAS帧 链路正常工作	0x0	R/W
		[6:4]	RESERVED		保留。	0x0	R
		3	THRESHOLD_MASK_EN		阈值屏蔽使能。如果使用SYNC_ASSERTION_MASK(寄存器0x47B[7:5])，此位应置1。	0x0	R/W
		[2:0]	RESERVED		保留。	0x0	R
0x478	KVAL	[7:0]	KSYNC	x	ILAS期间的K多帧数(除以4)。设置多帧数以发送初始通道对齐序列。不能设置为置0。 ILAS期间4x多帧	0x1	R/W
0x47A	IRQVECTOR_MASK	7	BADDIS_MASK	1	不良差异屏蔽。 如果任何通道的不良差异数达到ERRORTHRESH，则拉低IRQ。	0x0	W
		6	NIT_MASK	1	不在表中屏蔽。 如果任何通道的不在表中字符数达到ERRORTHRESH，则拉低IRQ。	0x0	W
		5	UCC_MASK	1	意外控制字符屏蔽。 如果任何通道的意外控制字符数达到ERRORTHRESH，则拉低IRQ。	0x0	W
		4	RESERVED		保留。	0x0	R
		3	INITIALLANESYNC_MASK	1	初始通道同步屏蔽。 如果任何通道的初始通道同步(0x473)失败，则拉低IRQ。	0x0	W
		2	BADCHECKSUM_MASK	1	错误校验和屏蔽。 如果任何通道的校验和错误(0x472)，则拉低IRQ。	0x0	W
		1	FRAMESYNC_MASK	1	帧同步屏蔽。 如果任何通道的帧同步(0x471)失败，则拉低IRQ。	0x0	W
		0	CODEGRPSYNC_MASK	1	代码组同步机屏蔽。 如果任何通道的代码组同步(0x470)失败，则拉低IRQ。	0x0	W
0x47A	IRQVECTOR_FLAG	7	BADDIS_FLAG	1	不良差异错误数。 至少一个通道的不良差异字符数达到ERRORTHRESH (0x47C)。读取寄存器0x46D以确定哪个(哪些)通道出错。	0x0	R
		6	NIT_FLAG	1	不在表中错误数。 至少一个通道的不在表中字符数达到ERRORTHRESH (0x47C)。读取寄存器0x46E以确定哪个(哪些)通道出错。	0x0	R
		5	UCC_FLAG	1	意外控制字符错误数。 至少一个通道的意外控制字符数达到ERRORTHRESH (0x47C)。读取寄存器0x46F以确定哪个(哪些)通道出错。	0x0	R
		4	RESERVED		保留。	0x0	R

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
		3	INITIALLANESYNC_FLAG	1	初始通道同步标志。 至少一个通道的初始通道同步失败。读取寄存器0x473以确定哪个(哪些)通道出错。	0x0	R
		2	BADCHECKSUM_FLAG	1	错误校验和标志。 至少一个通道的校验和错误。读取寄存器0x472以确定哪个(哪些)通道出错。	0x0	R
		1	FRAMESYNC_FLAG	1	帧同步标志。 至少一个通道的帧同步失败。读取寄存器0x471以确定哪个(哪些)通道出错。	0x0	R
		0	CODEGRPSYNC_FLAG	1	代码组同步标志。 至少一个通道的代码组同步失败。读取寄存器0x470以确定哪个(哪些)通道出错。	0x0	R
0x47B	SYNCASSERTIONMASK	7	BADDIS_S	1	不良差异错误置位同步。 当不良差异字符数达到寄存器0x47C中的阈值时, 在SYNCOUTx±上置位同步请求。	0x0	R/W
		6	NIT_S	1	不在表中错误置位同步。 当不在表中字符数达到寄存器0x47C中的阈值时, 在SYNCOUTx±上置位同步请求。	0x0	R/W
		5	UCC_S	1	意外控制字符错误置位同步。 当意外控制字符数达到寄存器0x47C中的阈值时, 在SYNCOUTx±上置位同步请求。	0x0	R/W
		4	CMM	1	配置失配IRQ。如果CMM_ENABLE为1, 此位在上升沿锁存并拉低IRQ。锁存后, 写入1可将此位清0。如果CMM_ENABLE为0, 此位无作用。 链路通道0配置寄存器(寄存器0x450至寄存器0x45D)与JESD204B发射设置(寄存器0x400至寄存器0x40D)不一致	0x0	R/W
		3	CMM_ENABLE	1 0	配置失配IRQ使能。 检测到配置失配时, 使能IRQ产生。 配置失配IRQ禁用	0x1	R/W
		[2:0]	RESERVED		保留。	0x0	R
0x47C	ERRORTHRES	[7:0]	ETH		误差阈值。计数差异、不在表中意外控制字符错误并将其与错误阈值比较。当错误数达到阈值时, 根据屏蔽寄存器设置, 要么产生IRQ, 要么SYNCOUTx±信号置位, 或者二者均发生。此功能对所有通道有效。	0xFF	R/W
0x47D	LANEENABLE	[7:0]	LANE_ENA		通道使能。位x置1时, 链路通道x使能。为确保正常工作, 必须在接收代码组模式之前设置此寄存器。	0xF	R/W

AD9135/AD9136

地址	名称	位号	位名称	设置	说明	复位	访问类型
0x47E	RAMP_ENA	[7:1]	RESERVED		保留。	0x0	R
		0	ENA_RAMP_CHECK	0 1	在ILAS开始时使能斜坡检查。 在ILAS开始时仅有斜坡检查；ILAS数据不需要是斜坡。 使能斜坡检查；ILAS数据必须是斜坡，从00-01-02开始；否则，斜坡ILAS失败，器件不会启动。	0x0	W
0x520	DIG_TEST0	[7:2]	RESERVED		为使器件正常工作，必须写入默认值。	0x7	R/W
		1	DC_TEST_MODE		直流测试模式	0x0	R/W
		0	RESERVED		保留。	0x0	R/W
0x521	DC_TEST_VALUE0	[7:0]	DC_TEST_VALUE[7:0]		DAC0和DAC1的直流测试模式的直流值LSB。	0x0	R/W
0x522	DC_TEST_VALUE1	[7:0]	DC_TEST_VALUE[15:8]		DAC0和DAC1的直流测试模式的直流值MSB。	0x0	R/W

三种不同DAC PLL参考频率的查找表

有两种方法可以重新配置环路滤波器以调整频率合成器性能：一是用新值取代查找表中的值，二是将新值直接写入环路滤波器寄存器。表中给出了VCO增益系数，利用标准PLL滤波器公式便可计算定制滤波器以满足任何具体需要。

对于指定工作频率，集成器件分辨率和可编程电荷泵电流的组合可实现非常宽的可能环路带宽范围。

表83至表85提供了各种DAC PLL参考频率。要能使VCO温度补偿，表83至表85列出了不同参考频率。其意图是让用户使用更长久、更精确的校准时间，使器件能够无限期地保持工作状态。

表83、表84和表85分别针对40 MHz、60 MHz和80 MHz参考频率而提供。使用时，应选择其参考频率最接近工作模式环路 f_{REF} 的表格。

表83. 参考频率40 MHz，环路带宽 = 0.25 MHz

频段	索引	VCO 频率 (GHz)	DAC	寄存器 0x1B6 [3:0]	寄存器 0x1B5 [3:0]	寄存器 0x1BB [2:0]	寄存器 0x1BB [4:3]	寄存器 0x1B4 [6:3]	寄存器 0x1C5 [3:0]	寄存器 0x08A [5:0]	寄存器 0x087 [7:4]	寄存器 0x087 [3:0]	寄存器 0x088 [7:4]	寄存器 0x088 [3:0]	寄存器 0x089 [3:0]
			VCO Kv (MHz)	VCO 输出电平	VCO Vara ¹	VCO 输出电平	VCO 偏置 TC ²	VCO 校准失调	VCO Vara ¹ 基准	电荷泵 电流	环路 滤波器 C2	环路 滤波器 C1	环路 滤波器 R1	环路 滤波器 C3	环路 滤波器 R3
0	1	12.605	151.8	10	0	4	0	15	8	8	12	3	14	15	11
8	2	12.245	137.3	10	0	4	0	15	8	9	12	3	14	15	11
16	3	11.906	124.9	10	0	4	0	15	8	9	12	3	14	15	11
24	4	11.588	114.2	10	0	4	0	15	8	10	12	3	14	15	11
32	5	11.288	104.9	10	0	4	0	15	8	11	12	3	14	15	11
40	6	11.007	96.74	10	0	4	0	15	8	11	12	3	14	15	11
48	7	10.742	89.57	10	0	4	0	14	8	12	12	3	14	15	11
56	8	10.492	83.23	10	0	5	1	14	9	13	12	3	14	15	11
64	9	10.258	77.58	10	0	5	1	14	9	13	12	3	14	15	11
72	10	10.036	72.54	10	0	5	1	14	9	14	12	3	14	15	11
80	11	9.8270	68.01	10	0	5	1	14	9	15	12	3	14	15	11
88	12	9.6311	63.93	10	0	5	1	14	9	15	12	3	14	15	11
96	13	9.4453	60.24	10	0	5	1	14	9	16	12	3	14	15	11
104	14	9.2698	56.89	10	0	5	1	14	9	17	12	3	14	15	11
112	15	9.1036	53.84	10	0	5	1	14	9	17	12	3	14	15	11
120	16	8.9463	51.05	10	0	5	1	14	9	18	12	3	14	15	11
128	17	8.7970	67.48	10	1	6	1	15	11	13	12	3	14	15	11
136	18	8.6553	64.22	10	1	6	1	15	11	14	12	3	14	15	11
144	19	8.5206	61.21	10	1	6	1	15	11	14	12	3	14	15	11
152	20	8.3923	58.43	10	1	6	1	15	11	15	12	3	14	15	11
160	21	8.2699	55.86	10	1	6	1	15	11	15	12	3	14	15	11
168	22	8.1531	53.48	10	1	6	1	15	11	16	12	3	14	15	11
176	23	8.0414	51.26	10	1	6	1	15	11	16	12	3	14	15	11
184	24	7.9344	49.19	10	1	6	1	15	11	17	12	3	14	15	11
192	25	7.8318	47.26	10	1	6	1	15	11	17	12	3	14	15	11
200	26	7.7332	45.46	10	1	6	1	15	11	17	12	3	14	15	11
208	27	7.6384	43.76	10	1	6	1	15	11	18	12	3	14	15	11
216	28	7.5471	42.17	10	1	6	1	15	11	18	12	3	14	15	11
224	29	7.4590	40.68	10	1	6	1	15	11	19	12	3	14	15	11
232	30	7.3740	39.27	10	1	7	2	15	12	19	12	3	14	15	11
240	31	7.2919	37.94	10	1	7	2	15	12	20	12	3	14	15	11
248	32	7.2124	36.68	10	1	7	2	15	12	20	12	3	14	15	11
256	33	7.1355	35.49	10	1	7	2	15	14	21	12	3	14	15	11
264	34	7.0610	34.37	10	1	7	2	15	14	21	12	3	14	15	11
272	35	6.9887	33.30	10	1	7	2	15	14	22	12	3	14	15	11
280	36	6.9186	32.28	10	1	7	2	15	14	22	12	3	14	15	11
288	37	6.8506	31.32	10	1	7	2	15	14	23	12	3	14	15	11
296	38	6.7846	30.41	10	1	7	2	15	14	23	12	3	14	15	11
304	39	6.7205	29.53	10	1	7	2	15	14	24	12	3	14	15	11

频段	索引	VCO 频率 (GHz)	DAC	寄存器 0x1B6 [3:0]	寄存器 0x1B5 [3:0]	寄存器 0x1BB [2:0]	寄存器 0x1BB [4:3]	寄存器 0x1B4 [6:3]	寄存器 0x1C5 [3:0]	寄存器 0x08A [5:0]	寄存器 0x087 [7:4]	寄存器 0x087 [3:0]	寄存器 0x088 [7:4]	寄存器 0x088 [3:0]	0x089 [3:0]
			VCO K _v (MHz)	VCO 输出 电平	VCO Vara ¹	VCO 偏置 基准	VCO 偏置 TC ²	VCO 校准 失调	VCO Vara ¹ 基准	电荷泵 电流	环路 滤波器 C2	环路 滤波器 C1	环路 滤波器 R1	环路 滤波器 C3	环路 滤波器 R3
312	40	6.6582	28.70	10	1	7	2	15	14	24	12	3	14	15	11
320	41	6.5978	27.91	10	1	7	2	15	14	25	12	3	14	15	11
328	42	6.5392	27.16	10	1	7	2	15	14	25	12	3	14	15	11
336	43	6.4823	26.43	10	1	7	2	15	14	26	12	3	14	15	11
344	44	6.4270	25.75	10	1	7	2	15	14	26	12	3	14	15	11
352	45	6.3734	39.20	10	3	7	3	15	12	17	12	3	14	15	11
360	46	6.3214	38.21	10	3	7	3	15	12	17	12	3	14	15	11
368	47	6.2709	37.27	10	3	7	3	15	12	17	12	3	14	15	11
376	48	6.2220	36.37	10	3	7	3	15	12	18	12	3	14	15	11
384	49	6.1745	35.50	10	3	7	3	15	12	18	12	3	14	15	11
392	50	6.1284	34.68	10	3	7	3	15	12	18	12	3	14	15	11
400	51	6.0836	33.88	10	3	7	3	15	12	18	12	3	14	15	11
408	52	6.0401	33.12	10	3	7	3	15	12	19	12	3	14	15	11
416	53	5.9977	32.38	10	3	7	3	15	12	19	12	3	14	15	11

¹ Vara表示变容二极管。

² TC表示温度系数。

表84. 参考频率60 MHz, 环路带宽 = 0.25 MHz

频段	索引	VCO频率 (GHz)	DAC	寄存器 0x1B6 [3:0]	寄存器 0x1B5 [3:0]	寄存器 0x1BB [2:0]	寄存器 0x1BB [4:3]	寄存器 0x1B4 [6:3]	寄存器 0x1C5 [3:0]	寄存器 0x08A [5:0]	寄存器 0x087 [7:4]	寄存器 0x087 [3:0]	寄存器 0x088 [7:4]	寄存器 0x088 [3:0]	寄存器 0x089 [3:0]
			VCO K _v (MHz)	VCO 输出 电平	VCO Vara ¹	VCO 偏置 基准	VCO 偏置 TC ²	VCO 校准 失调	VCO Vara ¹ 基准	电荷泵 电流	环路 滤波器 C2	环路 滤波器 C1	环路 滤波器 R1	环路 滤波器 C3	环路 滤波器 R3
0	1	12.605	151.8	10	0	4	0	15	8	10	15	4	13	15	10
8	2	12.245	137.3	10	0	4	0	15	8	11	15	4	13	15	10
16	3	11.906	124.9	10	0	4	0	15	8	11	15	4	13	15	10
24	4	11.588	114.2	10	0	4	0	15	8	12	15	4	13	15	10
32	5	11.288	104.9	10	0	4	0	15	8	13	15	4	13	15	10
40	6	11.007	96.74	10	0	4	0	14	8	14	15	4	13	15	10
48	7	10.742	89.57	10	0	4	0	14	8	15	15	4	13	15	10
56	8	10.492	83.23	10	0	5	1	14	9	15	15	4	13	15	10
64	9	10.258	77.58	10	0	5	1	14	9	16	15	4	13	15	10
72	10	10.036	72.54	10	0	5	1	14	9	17	15	4	13	15	10
80	11	9.8270	68.01	10	0	5	1	14	9	18	15	4	13	15	10
88	12	9.6311	63.93	10	0	5	1	14	9	19	15	4	13	15	10
96	13	9.4453	60.24	10	0	5	1	14	9	19	15	4	13	15	10
104	14	9.2698	56.89	10	0	5	1	14	9	20	15	4	13	15	10
112	15	9.1036	53.84	10	0	5	1	13	9	21	15	4	13	15	10
120	16	8.9463	51.05	10	0	5	1	13	9	22	15	4	13	15	10
128	17	8.7970	67.48	10	1	6	1	15	11	16	15	4	13	15	10
136	18	8.6553	64.22	10	1	6	1	15	11	17	15	4	13	15	10
144	19	8.5206	61.21	10	1	6	1	15	11	17	15	4	13	15	10
152	20	8.3923	58.43	10	1	6	1	15	11	18	15	4	13	15	10
160	21	8.2699	55.86	10	1	6	1	15	11	18	15	4	13	15	10
168	22	8.1531	53.48	10	1	6	1	15	11	19	15	4	13	15	10
176	23	8.0414	51.26	10	1	6	1	15	11	19	15	4	13	15	10
184	24	7.9344	49.19	10	1	6	1	15	11	20	15	4	13	15	10
192	25	7.8318	47.26	10	1	6	1	15	11	21	15	4	13	15	10
200	26	7.7332	45.46	10	1	6	1	15	11	21	15	4	13	15	10
208	27	7.6384	43.76	10	1	6	1	15	11	22	15	4	13	15	10
216	28	7.5471	42.17	10	1	6	1	15	11	22	15	4	13	15	10
224	29	7.4590	40.68	10	1	6	1	15	11	23	15	4	13	15	10
232	30	7.3740	39.27	10	1	7	2	15	12	23	15	4	13	15	10

AD9135/AD9136

频段	索引	VCO频率 (GHz)	DAC	寄存器 0x1B6 [3:0]	寄存器 0x1B5 [3:0]	寄存器 0x1BB [2:0]	寄存器 0x1BB [4:3]	寄存器 0x1B4 [6:3]	寄存器 0x1C5 [3:0]	寄存器 0x08A [5:0]	寄存器 0x087 [7:4]	寄存器 0x087 [3:0]	寄存器 0x088 [7:4]	寄存器 0x088 [3:0]	寄存器 0x089 [3:0]
			VCO K _v (MHz)	VCO 输出 电平	VCO Vara ¹	VCO 偏置 基准	VCO 偏置 TC ²	VCO 校准 失调	VCO Vara ¹ 基准	电荷泵 电流	环路 滤波器 C2	环路 滤波器 C1	环路 滤波器 R1	环路 滤波器 C3	环路 滤波器 R3
240	31	7.2919	37.94	10	1	7	2	15	12	24	15	4	13	15	10
248	32	7.2124	36.68	10	1	7	2	15	12	25	15	4	13	15	10
256	33	7.1355	35.49	10	1	7	2	15	14	25	15	4	13	15	10
264	34	7.0610	34.37	10	1	7	2	15	14	26	15	4	13	15	10
272	35	6.9887	33.30	10	1	7	2	15	14	26	15	4	13	15	10
280	36	6.9186	32.28	10	1	7	2	15	14	27	15	4	13	15	10
288	37	6.8506	31.32	10	1	7	2	15	14	27	15	4	13	15	10
296	38	6.7846	30.41	10	1	7	2	15	14	28	15	4	13	15	10
304	39	6.7205	29.53	10	1	7	2	15	14	29	15	4	13	15	10
312	40	6.6582	28.70	10	1	7	2	15	14	29	15	4	13	15	10
320	41	6.5978	27.91	10	1	7	2	15	14	30	15	4	13	15	10
328	42	6.5392	27.16	10	1	7	2	15	14	30	15	4	13	15	10
336	43	6.4823	26.43	10	1	7	2	15	14	31	15	4	13	15	10
344	44	6.4270	25.75	10	1	7	2	15	14	32	15	4	13	15	10
352	45	6.3734	39.20	10	3	7	3	15	12	20	15	4	13	15	10
360	46	6.3214	38.21	10	3	7	3	15	12	21	15	4	13	15	10
368	47	6.2709	37.27	10	3	7	3	15	12	21	15	4	13	15	10
376	48	6.2220	36.37	10	3	7	3	15	12	21	15	4	13	15	10
384	49	6.1745	35.50	10	3	7	3	15	12	22	15	4	13	15	10
392	50	6.1284	34.68	10	3	7	3	15	12	22	15	4	13	15	10
400	51	6.0836	33.88	10	3	7	3	15	12	22	15	4	13	15	10
408	52	6.0401	33.12	10	3	7	3	15	12	23	15	4	13	15	10
416	53	5.9977	32.38	10	3	7	3	15	12	23	15	4	13	15	10

¹ Vara表示变容二极管。

² TC表示温度系数。

表85. 参考频率80 MHz, 环路带宽 = 0.25 MHz

频段	索引	VCO频率 (GHz)	DAC	寄存器 0x1B6 [3:0]	寄存器 0x1B5 [3:0]	寄存器 0x1BB [2:0]	寄存器 0x1BB [4:3]	寄存器 0x1B4 [6:3]	寄存器 0x1C5 [3:0]	寄存器 0x08A [5:0]	寄存器 0x087 [7:4]	寄存器 0x087 [3:0]	寄存器 0x088 [7:4]	寄存器 0x088 [3:0]	寄存器 0x089 [3:0]
			VCO K _v (MHz)	VCO 输出 电平	VCO Vara ¹	VCO 偏置 基准	VCO 偏置 TC ²	VCO 校准 失调	VCO Vara ² 基准	电荷泵 电流	环路 滤波器 C2	环路 滤波器 C1	环路 滤波器 R1	环路 滤波器 C3	环路 滤波器 R3
0	1	12.605	151.8	10	0	4	0	15	8	8	13	4	13	15	9
8	2	12.245	137.3	10	0	4	0	15	8	9	13	4	13	15	9
16	3	11.906	124.9	10	0	4	0	15	8	10	13	4	13	15	9
24	4	11.588	114.2	10	0	4	0	15	8	11	13	4	13	15	9
32	5	11.288	104.9	10	0	4	0	15	8	11	13	4	13	15	9
40	6	11.007	96.74	10	0	4	0	14	8	12	13	4	13	15	9
48	7	10.742	89.57	10	0	4	0	14	8	13	13	4	13	15	9
56	8	10.492	83.23	10	0	5	1	14	9	13	13	4	13	15	9
64	9	10.258	77.58	10	0	5	1	14	9	14	13	4	13	15	9
72	10	10.036	72.54	10	0	5	1	14	9	15	13	4	13	15	9
80	11	9.8270	68.01	10	0	5	1	14	9	15	13	4	13	15	9
88	12	9.6311	63.93	10	0	5	1	13	9	16	13	4	13	15	9
96	13	9.4453	60.24	10	0	5	1	13	9	17	13	4	13	15	9
104	14	9.2698	56.89	10	0	5	1	13	9	18	13	4	13	15	9
112	15	9.1036	53.84	10	0	5	1	13	9	18	13	4	13	15	9
120	16	8.9463	51.05	10	0	5	1	13	9	19	13	4	13	15	9
128	17	8.7970	67.48	10	1	6	1	15	11	14	13	4	13	15	9
136	18	8.6553	64.22	10	1	6	1	15	11	14	13	4	13	15	9
144	19	8.5206	61.21	10	1	6	1	15	11	15	13	4	13	15	9
152	20	8.3923	58.43	10	1	6	1	15	11	15	13	4	13	15	9

AD9135/AD9136

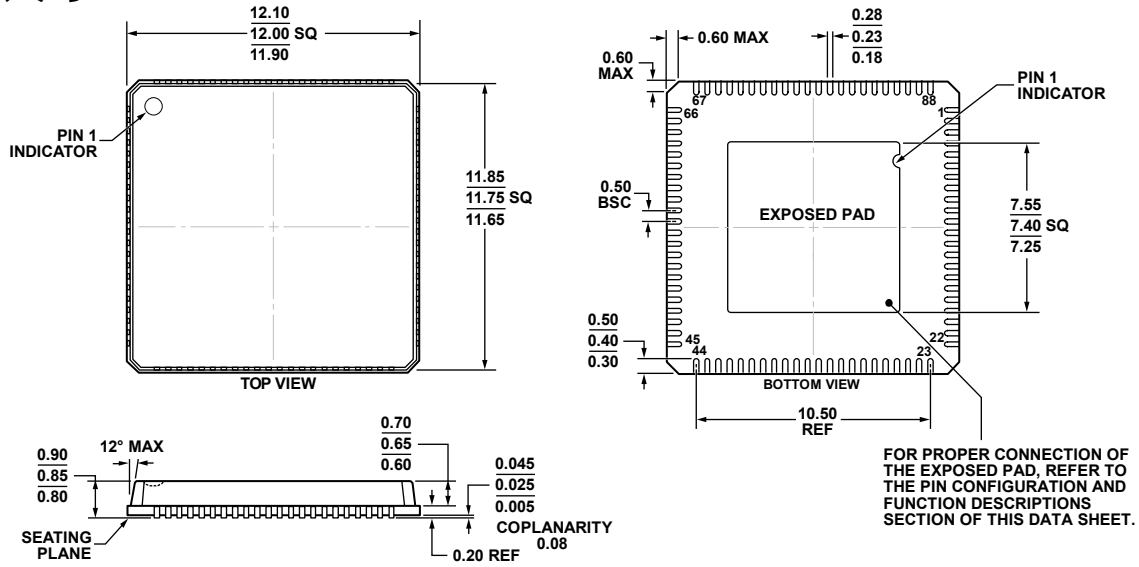
频段	索引	VCO频率 (GHz)	DAC	寄存器 0x1B6 [3:0]	寄存器 0x1B5 [3:0]	寄存器 0x1BB [2:0]	寄存器 0x1BB [4:3]	寄存器 0x1B4 [6:3]	寄存器 0x1C5 [3:0]	寄存器 0x08A [5:0]	寄存器 0x087 [7:4]	寄存器 0x087 [3:0]	寄存器 0x088 [7:4]	寄存器 0x088 [3:0]	寄存器 0x089 [3:0]
			VCO K _v (MHz)	VCO 输出 电平	VCO Vara ¹	VCO 偏置 基准	VCO 偏置 TC ²	VCO 校准 失调	VCO Vara ² 基准	电荷泵 电流	环路 滤波器 C2	环路 滤波器 C1	环路 滤波器 R1	环路 滤波器 C3	环路 滤波器 R3
160	21	8.2699	55.86	10	1	6	1	15	11	16	13	4	13	15	9
168	22	8.1531	53.48	10	1	6	1	15	11	16	13	4	13	15	9
176	23	8.0414	51.26	10	1	6	1	15	11	17	13	4	13	15	9
184	24	7.9344	49.19	10	1	6	1	15	11	17	13	4	13	15	9
192	25	7.8318	47.26	10	1	6	1	15	11	18	13	4	13	15	9
200	26	7.7332	45.46	10	1	6	1	15	11	18	13	4	13	15	9
208	27	7.6384	43.76	10	1	6	1	15	11	19	13	4	13	15	9
216	28	7.5471	42.17	10	1	6	1	15	11	19	13	4	13	15	9
224	29	7.4590	40.68	10	1	6	1	15	11	20	13	4	13	15	9
232	30	7.3740	39.27	10	1	7	2	15	12	20	13	4	13	15	9
240	31	7.2919	37.94	10	1	7	2	15	12	21	13	4	13	15	9
248	32	7.2124	36.68	10	1	7	2	15	12	21	13	4	13	15	9
256	33	7.1355	35.49	10	1	7	2	15	14	22	13	4	13	15	9
264	34	7.0610	34.37	10	1	7	2	15	14	22	13	4	13	15	9
272	35	6.9887	33.30	10	1	7	2	15	14	23	13	4	13	15	9
280	36	6.9186	32.28	10	1	7	2	15	14	23	13	4	13	15	9
288	37	6.8506	31.32	10	1	7	2	15	14	24	13	4	13	15	9
296	38	6.7846	30.41	10	1	7	2	15	14	24	13	4	13	15	9
304	39	6.7205	29.53	10	1	7	2	15	14	25	13	4	13	15	9
312	40	6.6582	28.70	10	1	7	2	15	14	25	13	4	13	15	9
320	41	6.5978	27.91	10	1	7	2	15	14	26	13	4	13	15	9
328	42	6.5392	27.16	10	1	7	2	15	14	26	13	4	13	15	9
336	43	6.4823	26.43	10	1	7	2	15	14	27	13	4	13	15	9
344	44	6.4270	25.75	10	1	7	2	15	14	27	13	4	13	15	9
352	45	6.3734	39.20	10	3	7	3	15	12	18	13	4	13	15	9
360	46	6.3214	38.21	10	3	7	3	15	12	18	13	4	13	15	9
368	47	6.2709	37.27	10	3	7	3	15	12	18	13	4	13	15	9
376	48	6.2220	36.37	10	3	7	3	15	12	19	13	4	13	15	9
384	49	6.1745	35.50	10	3	7	3	15	12	19	13	4	13	15	9
392	50	6.1284	34.68	10	3	7	3	15	12	19	13	4	13	15	9
400	51	6.0836	33.88	10	3	7	3	15	12	19	13	4	13	15	9
408	52	6.0401	33.12	10	3	7	3	15	12	20	13	4	13	15	9
416	53	5.9977	32.38	10	3	7	3	15	12	20	13	4	13	15	9

¹ Vara表示变容二极管。

² TC表示温度系数。

AD9135/AD9136

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VRRD

图89. 88引脚引线框芯片级封装[LFCSP_VQ]
12 mm × 12 mm, 超薄体
(CP-88-6)
图示尺寸单位: mm

08-10-2012-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9135BCPZ	-40°C至+85°C	88引脚 LFCSP_VQ	CP-88-6
AD9135BCPZRL	-40°C至+85°C	88引脚 LFCSP_VQ	CP-88-6
AD9136BCPZ	-40°C至+85°C	88引脚 LFCSP_VQ	CP-88-6
AD9136BCPZRL	-40°C至+85°C	88引脚 LFCSP_VQ	CP-88-6
AD9136-EBZ		DPG3评估板	
AD9136-FMC-EBZ		FMC评估板	
AD9135-EBZ		DPG3评估板	
AD9135-FMC-EBZ		FMC评估板	

¹ Z = 符合RoHS标准的器件。