

产品特性

易于使用

集成数据采集子系统

- 全部有源元件皆由ADI公司设计
- 片上ADC驱动器和基准电压缓冲器
- 节省50% PCB面积
- 包含关键无源元件

SPI/QSPI/MICROWIRE™/DSP兼容串行接口

- 多个ADAQ7980/ADAQ7988器件可通过菊花链连接
- 多功能电源配置, 1.8 V/2.5 V/3 V/5 V

逻辑接口

伪差分ADC输入结构

高性能

- 16位分辨率、无失码
- 吞吐速率: 1 MSPS (ADAQ7980) 和500 kSPS (ADAQ7988)
- INL: ± 8 ppm (典型值), 20 ppm (最大值)
- SNR: 91.5 dB (典型值, 10 kHz时, 单位增益)
- THD: -105 dB (10 kHz时)
- 低输入偏置电流: 470 nA (典型值)

低功耗

- 21 mW (典型值, 1 MSPS时, ADAQ7980)
- 16.5 mW (典型值, 500 kSPS时, ADAQ7988)
- 灵活的省电模式
- 动态功耗调节

24引脚5 mm × 4 mm小型LGA封装

宽工作温度范围: -55°C至+125°C

应用

- 自动测试设备 (ATE)
- 电池供电仪器仪表
- 通信
- 数据采集
- 过程控制
- 医疗仪器

概述

ADAQ7980/ADAQ7988均为16位模数转换器 (ADC) 子系统, 集成四个常见信号处理和调理模块, 采用支持各种应用的系统化封装 (SiP) 设计。这些器件集成最关键的无源元件, 从而消除与使用逐次逼近寄存器 (SAR) ADC的传统信号链相关的许多设计挑战。这些无源元件是实现额定器件性能的关键因素。

功能框图

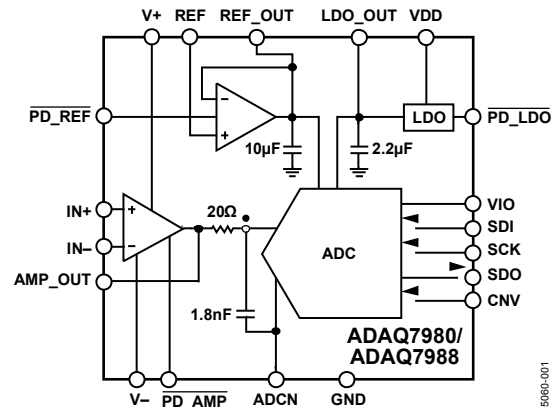


图1.

ADAQ7980/ADAQ7988内置一个高精度、低功耗、16位SAR ADC, 一个低功耗、高带宽、高输入阻抗ADC驱动器, 一个稳定的低功耗基准电压缓冲器和一个高效的电源管理模块。这些系统采用5 mm × 4 mm小型LGA封装, 可简化数据采集系统的设计过程。ADAQ7980/ADAQ7988的系统集成度解决了许多设计挑战难题, 同时提供灵活的可配置ADC驱动器反馈环路, 以便调整增益和/或共模。一组四个器件电源提供出色的系统性能; 但是, 可实现单电源工作且对器件工作规格的影响很小。

SPI (串行外设接口) 兼容串行接口能够利用SDI输入将多个器件以菊花链形式连接到单三线式总线上, 并提供一个可选的繁忙指示。用户接口与1.8 V、2.5 V、3 V或5 V逻辑兼容。

这些器件的额定工作温度范围为-55°C至+125°C。

表1. 集成式SAR ADC子系统

类型	500 kSPS	1000 kSPS
16位	ADAQ7988	ADAQ7980

Rev. 0

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700

©2017 Analog Devices, Inc. All rights reserved.

[Technical Support](#)

www.analog.com

目录

产品特性	1	动态功耗调节 (DPS)	31
应用	1	压摆增强	33
概述	1	反馈电阻对频率响应的影响	33
功能框图	1	基准电压输入	33
修订历史	2	电源	35
技术规格	3	LDO稳压器限流和热过载保护	36
双电源配置	3	LDO稳压器热考虑	36
单电源配置	7	数字接口	37
时序规格	11	无繁忙指示的三线 $\overline{\text{CS}}$ 模式	38
绝对最大额定值	13	有繁忙指示的三线 $\overline{\text{CS}}$ 模式	39
热数据	13	无繁忙指示的四线 $\overline{\text{CS}}$ 模式	40
热阻	13	有繁忙指示的四线 $\overline{\text{CS}}$ 模式	41
ESD警告	13	无繁忙指示的链模式	42
引脚配置和功能描述	15	有繁忙指示的链模式	43
典型性能参数	17	应用电路	44
术语	25	非单位增益配置	45
工作原理	26	带电平转换的反相配置	46
电路信息	26	有源滤波器配合ADAQ7980/ADAQ7988使用	47
转换器操作	26	应用信息	48
典型连接图	27	布局	48
ADC驱动器输入	28	评估ADAQ7980/ADAQ7988性能	48
输入保护	28	外形尺寸	49
噪声考虑与信号建立	28	订购指南	49
PD_AMP 操作	31		

修订历史

2017年3月—修订版0：初始版

技术规格

双电源配置

除非另有说明，VDD = 3.5 V至10 V，V+ = 6.3 V至7.7 V，V- = -2.5 V至-0.2 V，VIO = 1.7 V至5.5 V，VREF = 5 V，TA = -55°C至+125°C，ADC驱动器为单位增益缓冲器配置，fSAMPLE = 1 MSPS (ADAQ7980)，fSAMPLE = 500 kSPS (ADAQ7988)。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
分辨率		16			位
系统精度					
无失码		16			位
差分非线性误差 (DNL)		-14	±7	+14	ppm ¹
积分非线性误差 (INL)		-20	±8	+20	ppm ¹
跃迁噪声			0.6		LSB ¹ rms
增益误差	TA = 25°C	-0.01	±0.002	+0.01	%FS
增益误差温漂			0.1	0.4	ppm/°C
零电平误差	TA = 25°C	-0.5	±0.06	+0.5	mV
零误差温度漂移			0.3	1.3	µV/°C
共模抑制比	ADC驱动器配置为差动放大器	103	130		dB
电源抑制比					
正	V+ = +6.3 V至+8 V，V- = -2 V	75	105		dB
负	V+ = +7 V，V- = -1.0 V至-2.5 V	80	110		dB
系统交流性能					
动态范围	VREF = 2.5 V		92		dB ²
总RMS噪声			87		dB ²
过采样动态范围	过采样动态范围频率 (fODR) = 10 kSPS		44.4		µV rms
信噪比 (SNR)	输入频率 (fIN) = 10 kHz	90.5	91.5		dB ²
无杂散动态范围	fIN = 10 kHz，VREF = 2.5 V	84.5	86.5		dB ²
总谐波失真 (THD)	fIN = 10 kHz		106		dB ²
信纳比	fIN = 10 kHz		-105	-100	dB ²
有效位数	fIN = 10 kHz，VREF = 2.5 V	84	86		dB ²
无噪声码分辨率	fIN = 10 kHz	14.65	14.8		位
无噪声码分辨率			14.1		位
系统采样动态性能					
转换速率					
ADAQ7980	VIO ≥ 3.0 V	0		1	MSPS
ADAQ7988	VIO ≥ 1.7 V	0		833	kSPS
瞬态响应	VIO ≥ 1.7 V	0		500	kSPS
-3 dB输入带宽	满量程阶跃		430	500	ns
-1 dB频率	ADC驱动器RC滤波器		4.42		MHz
-0.1 dB频率	ADC驱动器RC滤波器		2.2		MHz
系统0.1 Hz至10 Hz电压噪声	ADC驱动器RC滤波器		0.67		MHz
孔径延迟			17		µV p-p
孔径抖动			2.0		ns
			2.0		ns

¹ LSB表示最低有效位。5 V输入范围时，1 LSB为76.3 µV，且1 LSB = 15.26 ppm。

² 所有以dB为单位的特性均参考满量程输入FSR。除非另有说明，测试条件为输入信号比满量程低0.5 dB。

除非另有说明, $V_{DD} = 3.5\text{ V}$ 至 10 V , $V_+ = 6.3\text{ V}$ 至 7.7 V , $V_- = -2.5\text{ V}$ 至 -0.2 V , $V_{IO} = 1.7\text{ V}$ 至 5.5 V , $V_{REF} = 5\text{ V}$, $T_A = -55^\circ\text{C}$ 至 $+125^\circ\text{C}$, ADC驱动器为单位增益缓冲器配置, $f_{\text{SAMPLE}} = 1\text{ MSPS}$ (ADAQ7980), $f_{\text{SAMPLE}} = 500\text{ kSPS}$ (ADAQ7988)。

表3.

参数	测试条件/注释	最小值	典型值	最大值	单位
基准电压源					
输入电压范围	REF引脚电压	2.4		5.1	V
负载电流	REFOUT		330		μA
缓冲器输入					
电阻	REF		50		$\text{M}\Omega$
电容	REF		1		pF
偏置电流			550	800	nA
失调电压	$T_A = 25^\circ\text{C}$		13	125	μV
失调电压漂移			0.2	1.3	$\mu\text{V}/^\circ\text{C}$
电压噪声	$f_{\text{IN}} = 100\text{ kHz}$		5.2		$\text{nV}/\sqrt{\text{Hz}}$
电压噪声1/f转折频率			8		Hz
电流噪声	$f_{\text{IN}} = 100\text{ kHz}$		0.7		$\text{pA}/\sqrt{\text{Hz}}$
0.1 Hz至10 Hz电压噪声			44		nV rms
线性输出电流	REFOUT		± 40		mA
短路电流	REFOUT灌电流/拉电流		85/73		mA
ADC驱动器特性					
电压范围	IN+, IN-, AMP_OUT	0		V_{REF}	V
绝对输入电压	IN+, IN-, AMP_OUT	-0.1		+5.1	V
ADCN		-0.1		+0.1	V
-3 dB带宽	$G = +1$, $V_{\text{AMP_OUT}} = 0.02\text{ V p-p}$		37		MHz
	$G = +1$, $V_{\text{AMP_OUT}} = 2\text{ V p-p}$		35		MHz
0.1 dB平坦度带宽	$G = +1$, $V_{\text{AMP_OUT}} = 0.1\text{ V p-p}$		4		MHz
压摆率	$G = +1$, $V_{\text{AMP_OUT}} = 2\text{ V}$ 阶跃		110		$\text{V}/\mu\text{s}$
	$G = +1$, $V_{\text{AMP_OUT}} = 5\text{ V}$ 阶跃		40		$\text{V}/\mu\text{s}$
输入电压噪声	$f = 100\text{ kHz}$		5.2		$\text{nV}/\sqrt{\text{Hz}}$
1/f转折频率			8		Hz
0.1 Hz至10 Hz电压噪声			44		nV rms
输入电流					
噪声	$f = 100\text{ kHz}$		0.7		$\text{pA}/\sqrt{\text{Hz}}$
偏置	IN+, IN-		550	800	nA
失调			2.1		nA
输入失调电压	$T_A = 25^\circ\text{C}$		13	125	μV
漂移			0.2	1.3	$\mu\text{V}/^\circ\text{C}$
开环增益			111		dB
输入电阻	IN+, IN-				
共模			50		$\text{M}\Omega$
差分模式			260		$\text{k}\Omega$
输入电容	IN+, IN-		1		pF
输入共模电压范围	额定性能	-0.1		$V_+ - 1.3\text{ V}$	V
输出过驱恢复时间	$V_{\text{IN}+} = 10\%$ 过驱, $f_{\text{IN}} = 10\text{ kHz}$		500		ns
线性输出电流			± 40		mA
短路电流	灌电流/拉电流		85/73		mA
数字输入					
逻辑电平					
输入电压					
低电平 (V_{IL})	$V_{\text{IO}} > 3.0\text{ V}$	-0.3		$+0.3 \times V_{\text{IO}}$	V
	$V_{\text{IO}} \leq 3.0\text{ V}$	-0.3		$+0.1 \times V_{\text{IO}}$	V
高电平 (V_{IH})	$V_{\text{IO}} > 3.0\text{ V}$	$0.7 \times V_{\text{IO}}$		$V_{\text{IO}} + 0.3$	V
	$V_{\text{IO}} \leq 3.0\text{ V}$	$0.9 \times V_{\text{IO}}$		$V_{\text{IO}} + 0.3$	V

参数	测试条件/注释	最小值	典型值	最大值	单位
输入电流					
低电平 (I_{L})		-1		+1	μA
高电平 (I_{H})		-1		+1	μA
数字输出					
数据格式		串行16位直接二进制			
流水线延迟		转换完成后转换结果立即可用			
V_{OL}	$I_{SINK} = 500 \mu\text{A}$			0.4	V
V_{OH}	$I_{SOURCE} = -500 \mu\text{A}$	$V_{IO} - 0.3$			V
关断信号					
ADC驱动器/REF缓冲器					
PD_AMP, PD_REF电压					
低电平	关断		<2.2		V
高电平	使能		>2.6		V
关闭时间	PD_AMP的50%, PD_REF至已使能静态电流的10%以下		1.25	2.75	μs
开启时间	额定性能		2	7.25	μs
动态功耗调节周期	额定性能	10			μs
低压差 (LDO) 稳压器					
PD_LDO 电压					
低电平	关断	1.06	1.12	1.18	V
高电平	使能	1.15	1.22	1.30	V
PD_LDO 逻辑迟滞			100		mV
关闭时间	2.2 μF 容性负载		460	650	μs
开启时间			370	425	μs
电源要求					
VDD		3.5	5	10	V
LDO电压精度	$I_{LDO_OUT} = 10 \text{ mA}$, $T_A = 25^\circ\text{C}$	-0.8		+0.8	%
LDO电压调整率	$100 \mu\text{A} < I_{LDO_OUT} < 100 \text{ mA}$, $V_{DD} = 3.5 \text{ V至} 10 \text{ V}$	-1.8		+1.8	%
	$V_{DD} = 3.5 \text{ V至} 10 \text{ V}$	-0.015		+0.015	%/V
LDO负载调整率	$I_{LDO_OUT} = 100 \mu\text{A至} 100 \text{ mA}$		0.002	0.004	%/mA
LDO启动时间	$V_{LDO_OUT} = 2.5 \text{ V}$		380		μs
LDO限流阈值		250	360	460	mA
LDO热关断					
阈值	T_J 上升		150		$^\circ\text{C}$
迟滞			15		$^\circ\text{C}$
LDO压差电压	$I_{LDO_OUT} = 10 \text{ mA}$		30	60	mV
	$I_{LDO_OUT} = 100 \text{ mA}$		200	420	mV
V+		3.7	7	$V^- + 10$	V
V-		$V^+ - 10$	-2	+0.1	V
VIO		1.7		5.5	V
总待机电流 ^{1,2}	静态, 所有器件使能		1.2	1.7	mA
	ADC驱动器、REF缓冲器禁用		56	103	μA
	ADC驱动器、REF缓冲器、LDO禁用		14	23	μA
ADAQ7980 电流消耗	1 MSPS				
VIO			0.3	0.34	mA
V+/V-			1.5	2.0	mA
VDD			1.45	1.6	mA

参数	测试条件/注释	最小值	典型值	最大值	单位	
ADAQ7980功耗 V+/V-/VDD	1 MSPS		20	36	mW	
	1 kSPS, 动态功耗调节使能 ³		5.8	9	mW	
		VIO		1.0	1.9	mW
		总计		21	37.9 ⁴	mW
ADAQ7988电流消耗 VIO V+/V- VDD	500 kSPS		0.15	0.17	mA	
			1.35	1.85	mA	
			0.73	0.8	mA	
ADAQ7988功耗 V+/V-/VDD	1 kSPS, 动态功耗调节使能 ³		16	26.5	mW	
	1 kSPS, 动态功耗调节使能 ³		5.8	9	mW	
		VIO		0.5	0.95	mW
		总计		16.5	27.5 ⁴	mW
温度范围						
额定性能	T _{MIN} 至T _{MAX}		-55	+125	°C	

¹ 根据需要, 所有数字输入强制接VIO或GND。

² 在采集阶段。

³ 动态功耗调节占空比为10%。

⁴ 利用最大电源压差计算, 而不是利用典型电源值计算。

单电源配置

除非另有说明， $V_{DD} = V_{+} = 5.0\text{ V}$ ， $V_{-} = 0\text{ V}$ ， $V_{IO} = 1.7\text{ V}$ 至 5.5 V ， $V_{REF} = 3.3\text{ V}$ ， $T_A = -55^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ，ADC驱动器为单位增益缓冲器配置， $f_{\text{SAMPLE}} = 1\text{ MSPS}$ (ADAQ7980)， $f_{\text{SAMPLE}} = 500\text{ kSPS}$ (ADAQ7988)。

表4.

参数	测试条件/注释	最小值	典型值	最大值	单位
分辨率		16			位
系统精度					
差分非线性误差 ¹		-14	±7	+14	ppm ²
积分非线性误差 ¹		-20	±8	+20	ppm ²
跃迁噪声			0.8		LSB ² rms
增益误差	$T_A = 25^{\circ}\text{C}$	-0.013	±0.002	+0.013	%FS
增益误差温漂			0.1	0.4	ppm/ $^{\circ}\text{C}$
零电平误差	$T_A = 25^{\circ}\text{C}$	-0.5	±0.06	+0.5	mV
零误差温度漂移			0.35	1.75	$\mu\text{V}/^{\circ}\text{C}$
共模抑制比		103	133		dB
电源抑制比					
正	$V_{+} = 4.5\text{ V}$ 至 5.5 V ， $V_{-} = 0\text{ V}$	75	92		dB
系统交流性能					
动态范围			89		dB ³
总RMS噪声			41.4		$\mu\text{V rms}$
过采样动态范围	$f_{\text{ODR}} = 10\text{ kSPS}$		109		dB ³
信噪比	输入频率 ($f_{\text{IN}} = 10\text{ kHz}$)	87.3	88.7		dB ³
无杂散动态范围	$f_{\text{IN}} = 10\text{ kHz}$		103		dB ³
总谐波失真	$f_{\text{IN}} = 10\text{ kHz}$		-113	-100	dB ³
信纳比	$f_{\text{IN}} = 10\text{ kHz}$	87	88.4		dB ³
有效位数	$f_{\text{IN}} = 10\text{ kHz}$	14.1	14.4		位
无噪声码分辨率			13.5		位
系统采样动态性能					
转换速率					
ADAQ7980	$V_{IO} \geq 3.0\text{ V}$	0		1	MSPS
	$V_{IO} \geq 1.7\text{ V}$	0		833	kSPS
ADAQ7988	$V_{IO} \geq 1.7\text{ V}$	0		500	kSPS
瞬态响应	满量程阶跃		430	500	ns
-3 dB输入带宽	ADC驱动器RC滤波器		4.42		MHz
-1 dB频率	ADC驱动器RC滤波器		2.2		MHz
-0.1 dB频率	ADC驱动器RC滤波器		0.67		MHz
系统0.1 Hz至10 Hz电压噪声			17		$\mu\text{V p-p}$
孔径延迟			2.0		ns
孔径抖动			2.0		ns

¹ 非线性误差保证范围为整个输入电压范围。单极性电源配置不能表示150 mV以下的代码。

² LSB表示最低有效位。3.3 V输入范围时，1 LSB = 50.4 μV ，且1 LSB = 15.26 ppm。

³ 所有以dB为单位的特性均参考满量程输入FSR。除非另有说明，测试条件为输入信号比满量程低0.5 dB。

除非另有说明, $V_{DD} = V_{+} = 5.0\text{ V}$, $V_{-} = 0\text{ V}$, $V_{IO} = 1.7\text{ V}$ 至 5.5 V , $V_{REF} = 3.3\text{ V}$, $T_A = -55^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, ADC驱动器为单位增益缓冲器配置, $f_{SAMPLE} = 1\text{ MSPS}$ (ADAQ7980), $f_{SAMPLE} = 500\text{ kSPS}$ (ADAQ7988)。

表5.

参数	测试条件/注释	最小值	典型值	最大值	单位
基准电压源					
输入电压范围	REF引脚电压	2.4		$V_{+} - 1.3$	V
负载电流	REFOUT		330		μA
缓冲器输入					
电阻	REF		50		$\text{M}\Omega$
电容	REF		1		pF
偏置电流			470	720	nA
失调电压	$T_A = 25^{\circ}\text{C}$		9	125	μV
失调电压漂移			0.2	1.5	$\mu\text{V}/^{\circ}\text{C}$
电压噪声	$f_{IN} = 100\text{ kHz}$		5.9		$\text{nV}/\sqrt{\text{Hz}}$
电压噪声1/f转折频率			8		Hz
电流噪声	$f_{IN} = 100\text{ kHz}$		0.6		$\text{pA}/\sqrt{\text{Hz}}$
0.1 Hz至10 Hz电压噪声			54		nV rms
线性输出电流	REFOUT		± 40		mA
短路电流	REFOUT灌电流/拉电流		73/63		mA
ADC驱动器特性					
额定电压范围	IN+, IN-, AMP_OUT	0.15		V_{REF}	V
绝对输入电压	IN+, IN-, AMP_OUT	-0.1		$V_{+} - 1.3$	V
	ADCN	-0.1		+0.1	V
-3 dB带宽	$G = +1, V_{AMP_OUT} = 0.02\text{ V p-p}$		31		MHz
	$G = +1, V_{AMP_OUT} = 2\text{ V p-p}$		30		MHz
0.1 dB平坦度带宽	$G = +1, V_{AMP_OUT} = 0.1\text{ V p-p}$		4		MHz
压摆率	$G = +1, V_{AMP_OUT} = 2\text{ V}$ 阶跃		31		$\text{V}/\mu\text{s}$
	$G = +1, V_{AMP_OUT} = 3.15\text{ V}$ 阶跃		20		$\text{V}/\mu\text{s}$
输入电压噪声	$f = 100\text{ kHz}$		5.9		$\text{nV}/\sqrt{\text{Hz}}$
1/f转折频率			8		Hz
0.1 Hz至10 Hz电压噪声			54		nV rms
输入电流					
噪声	$f = 100\text{ kHz}$		0.6		$\text{pA}/\sqrt{\text{Hz}}$
偏置	IN+, IN-		470	720	nA
失调			0.4		nA
输入失调电压	$T_A = 25^{\circ}\text{C}$		9	125	μV
开环增益			109		dB
输入电阻					
共模	IN+, IN-		50		$\text{M}\Omega$
差分模式			260		$\text{k}\Omega$
输入电容					
输入共模电压范围	IN+, IN- 额定性能	-0.1		$V_{+} - 1.3$	V
输出过驱恢复时间	$V_{IN+} = 10\%$ 过驱, $f_{IN} = 10\text{ kHz}$		800		ns
线性输出电流			± 40		mA
短路电流	灌电流/拉电流		73/63		mA
数字输入					
逻辑电平					
输入电压					
低电平 (V_{IL})	$V_{IO} > 3.0\text{ V}$	-0.3		$+0.3 \times V_{IO}$	V
	$V_{IO} \leq 3.0\text{ V}$	-0.3		$+0.1 \times V_{IO}$	V
高电平 (V_{IH})	$V_{IO} > 3.0\text{ V}$	$0.7 \times V_{IO}$		$V_{IO} + 0.3$	V
	$V_{IO} \leq 3.0\text{ V}$	$0.9 \times V_{IO}$		$V_{IO} + 0.3$	V

参数	测试条件/注释	最小值	典型值	最大值	单位
输入电流					
低电平 (I_{L})		-1	+1		μA
高电平 (I_{H})		-1	+1		μA
数字输出					
数据格式		串行16位直接二进制			
流水线延迟		转换完成后转换结果立即可用			
V_{OL}	$I_{SINK} = 500 \mu\text{A}$		0.4		V
V_{OH}	$I_{SOURCE} = -500 \mu\text{A}$	$V_{IO} - 0.3$			V
关断信号					
ADC驱动器/基准电压缓冲器					
PD_AMP, PD_REF电压			<1.5		V
低电平	关断		>1.9		V
高电平	使能		0.9	1.25	μs
关闭时间	PD_AMP的50%, PD_REF至已使能静态电流的10%以下				
开启时间	额定性能		2	7.25	μs
动态功耗调节周期	额定性能	10			μs
LDO					
PD_LDO电压					
低电平	关断	1.06	1.12	1.18	V
高电平	使能	1.15	1.22	1.30	V
PD_LDO逻辑迟滞			100		mV
关闭时间	2.2 μF 容性负载		460	650	μs
开启时间			370	425	μs
电源要求					
VDD		3.5	5	10	V
LDO电压精度	$I_{LDO_OUT} = 10 \text{ mA}$, $T_A = 25^\circ\text{C}$	-0.8		+0.8	%
	$100 \mu\text{A} < I_{LDO_OUT} < 100 \text{ mA}$, $V_{DD} = 3.5 \text{ V至} 10 \text{ V}$	-1.8		+1.8	%
LDO电压调整率	$V_{DD} = 3.5 \text{ V至} 10 \text{ V}$	-0.015		+0.015	%/V
LDO负载调整率	$I_{LDO_OUT} = 100 \mu\text{A至} 100 \text{ mA}$		0.002	0.004	%/mA
LDO启动时间	$V_{LDO_OUT} = 2.5 \text{ V}$		380		μs
LDO限流阈值		250	360	460	mA
LDO热关断					
阈值	T_J 上升		150		$^\circ\text{C}$
迟滞			15		$^\circ\text{C m}$
LDO压差电压	$I_{LDO_OUT} = 10 \text{ mA}$		30	60	V mV
	$I_{LDO_OUT} = 100 \text{ mA}$		200	420	V
V+		3.7	5	$V_- + 10$	V
V-		$V_+ - 10$	0	+0.1	V
VIO		1.7		5.5	mA
总待机电流 ^{1,2}	静态, 所有器件使能		1.1	1.7	μA
	ADC驱动器、REF缓冲器禁用		50	103	μA
	ADC驱动器、REF缓冲器、LDO禁用		7	23	
ADAQ7980 电流消耗	1 MSPS				
VIO			0.3	0.34	mA
V+/V-			1.3	2.0	mA
VDD			1.45	1.6	mA

参数	测试条件/注释	最小值	典型值	最大值	单位
ADAQ7980功耗 V+/V-/VDD VIO 总计	1MSPS		13.75	36	mW
	1 kSPS, ADC驱动器动态功耗调节使能 ³		2.9	9	mW
			1.0	1.9	mW
			14.75	37.9 ⁴	mW
ADAQ7988电流消耗 VIO V+/V- VDD			0.15	0.17	mA
			1.15	1.85	mA
			0.73	0.8	mA
ADAQ7988功耗 V+/V-/VDD VIO 总计	500 kSPS		9.4	26.5	mW
	1 kSPS, ADC驱动器动态功耗调节使能 ³		2.9	9	mW
			0.5	0.95	mW
			9.9	27.5 ⁴	mW
温度范围 额定性能	T _{MIN} 至T _{MAX}		-55	+125	°C

¹ 根据需要, 所有数字输入强制接VIO或GND。

² 在采集阶段。

³ 动态功耗调节占空比为10%。

⁴ 利用最大电源压差计算, 而不是利用典型电源值计算。

时序规格

除非另有说明，VDD = 3.5 V至10 V，VIO = 1.7 V至5.5 V，T_A = -55°C至+125°C。除图2和图3外，其他时序图参见图72、图74、图76、图78、图80和图82，详见表6。

表6.

参数	符号	最小值	典型值	最大值	单位
转换时间：CNV上升沿至数据可用 VIO高于3.0 V (ADAQ7980) VIO高于1.7 V (ADAQ7980) ADAQ7988	t _{CONV}	500 500 500		710 800 1200	ns ns ns
采集阶段 ¹ ADAQ7980 ADAQ7988	t _{ACQ}	290 800			ns ns ns
转换间隔时间 VIO高于3.0 V (ADAQ7980) VIO高于1.7 V (ADAQ7980) VIO高于1.7 V (ADAQ7988)	t _{CYC}	1000 1200 2000			ns ns ns
CS 模式 CNV脉冲宽度 SCK周期 VIO高于4.5 V VIO高于3.0 V VIO高于1.7 V CNV或SDI低电平至SDO D15 MSB有效 VIO高于3.0 V VIO高于1.7 V CNV或SDI高电平或最后一个SCK下降沿至SDO高阻态 CNV上升沿至SDI有效保持时间 VIO高于3.0 V VIO高于1.7 V	t _{CNVH} t _{SCK} t _{EN} t _{DIS} t _{HSDICNV}	10 10.5 12 22 2 10			ns ns ns ns ns ns ns ns ns ns
链模式 SCK周期 VIO高于4.5 V VIO高于3.0 V VIO高于1.7 V CNV上升沿至SDI有效保持时间 CNV上升沿至SCK有效建立时间 CNV上升沿至SCK有效保持时间 SCK下降沿至SDI有效建立时间 SCK下降沿至SDI有效保持时间 SDI高电平至SDO高电平（有繁忙指示） VIO高于3.0 V VIO高于1.7 V	t _{SCK} t _{HSDICNV} t _{SSCKCNV} t _{HSCKCNV} t _{SSDISCK} t _{HSDISCK} t _{DSDOSDI}	11.5 13 23 0 5 5 2 3		15 22	ns ns ns ns ns ns ns ns ns ns
SCK 低电平时间 VIO高于3.0 V VIO高于1.7 V 高电平时间 VIO高于3.0 V VIO高于1.7 V	t _{SCKL} t _{SCKH} 	4.5 6 4.5 6			ns ns ns ns

参数	符号	最小值	典型值	最大值	单位
下降沿至数据仍然有效	t_{HSDO}	3			ns
下降沿至数据有效延迟时间					ns
VIO 高于 4.5 V				9.5	ns
VIO 高于 3.0 V	t_{DSDO}			11	ns
VIO 高于 1.7 V				21	ns
CNV 上升沿至 SDI 有效建立时间	$t_{SSDICNV}$	5			ns

¹ 采集阶段是指 ADC 以 1 MSPS 的吞吐速率运行时，可用于 ADC 采样电容采集新输入的时间。

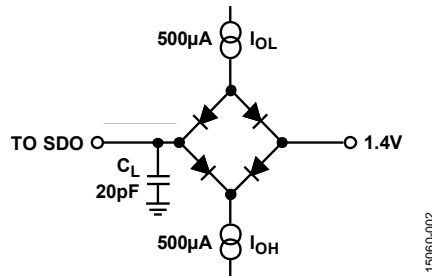
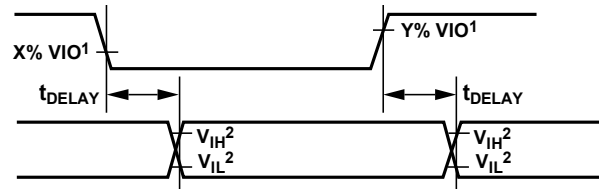


图2. 数字接口时序的负载电路



¹ FOR $V_{IO} \leq 3.0V$, $X = 90$, AND $Y = 10$; FOR $V_{IO} > 3.0V$, $X = 70$, AND $Y = 30$.

² MINIMUM V_{IH} AND MAXIMUM V_{IL} USED. SEE DIGITAL INPUTS SPECIFICATIONS IN TABLE 3 OR TABLE 5.

图3. 时序电压电平

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表7.

参数	额定值
V+至V-	11 V
V+至GND	-0.3 V至+11 V
V-至GND	-11 V至+0.3 V
VDD至GND	-0.3 V至+24 V
REF_OUT/VIO至GND	-0.3 V至+6 V
IN+/IN-/REF至GND	V- - 0.7 V至V+ + 0.7 V
AMP_OUT/ADCN至GND	-0.3 V至 $V_{REF} + 0.3\text{ V}$ 或 $\pm 130\text{ mA}$
差分模拟输入电压 (IN+ - IN-)	$\pm 1\text{ V}$
数字输入 ¹ 电压至GND	-0.3 V至VIO + 0.3 V
数字输出 ² 电压至GND	-0.3 V至VIO + 0.3 V
输入电流至除电源外的任何引脚 ^{3,4}	$\pm 10\text{ mA}$
工作温度范围	-55°C至+125°C
存储温度范围	-65°C至+150°C
结温	150°C
ESD	
人体模型 (HBM)	4000 V
场感应充电器件模型 (FICDM)	1250 V

¹ 数字输入引脚包括：CNV、SDI和SCK。

² 数字输出引脚为SDO。

³ 100 mA以下的瞬态电流不会造成SCR闩锁。

⁴ 向子系统供电时适用此条件。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最大值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热数据

绝对最大额定值仅适合单独应用，但不适合组合使用。[ADAQ7980/ADAQ7988](#)在结温 (T_J) 超出限值时可能会受损。监控环境温度并不能保证 T_J 不会超出额定温度限值。在功耗高、热阻差的应用中，可能必须降低最大环境温度 (T_A)。

在功耗中等且印刷电路板 (PCB) 热阻较低的应用中，只要结温在额定限值以内，则最高 T_A 可以超过最大限值。封装的 θ_{JA} 基于使用4层板的建模和计算方法。 θ_{JA} 主要取决于应用和板布局。在最大功率较高的应用中，需要特别注意热板设计。 θ_{JA} 的值可能随PCB材料、布局和环境条件不同而异。

热阻

表8给出的热阻值系基于JEDEC规范而计算，使用时必须遵守JESD51-12的规定。该产品包含多个硅器件，因此仅报告最差情况下的结温。

表8. 热阻

封装类型 ^{1,2}	θ_{JA}	$\theta_{JC\text{TOP}^2}$	Ψ_{JT}	单位
CC-24-2	65	103	12.6	$^\circ\text{C/W}$

¹ 这些值代表最差情况下封装中芯片结的特性。

² 除非另有说明，表8中的值系基于表9所定义的标准JEDEC测试条件而计算。

³ θ_{JC} 测试使用100 μm 热界面材料 (TIM)。TIM假设为3.6 W/mK。

当所有列出的测试条件相似时，只需使用 θ_{JA} 和 $\theta_{JC\text{TOP}}$ 来比较该器件封装与其他半导体封装的热性能。一个常见错误是利用 θ_{JA} 和 θ_{JC} 估计系统环境中的结温。其实应利用 Ψ_{JT} 来估计器件在系统环境中的最差情况结温，这是更合适的方法。首先，当器件在系统环境中工作时，精确测量器件顶部中心的温度（本例是在塑封材料上）。此测量在下式中即为 T_{TOP} 。然后利用此式求解给定环境中最差情况下的 T_J ，如下所示：

$$T_J = \Psi_{JT} \times P + T_{TOP}$$

其中：

Ψ_{JT} 指数据手册中规定的结至顶部热特性值。

P 指芯片总功耗 (W)。

T_{TOP} 指封装顶部温度 ($^\circ\text{C}$)，系在用户环境中于封装顶部中央测得。

ESD警告



ESD (静电放电) 敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

表9. 标准JEDEC测试条件

测试条件	θ_{JA}	θ_{JC}	θ_{JB}
主要热传递模式	对流	传导	传导
电路板类型	2S2P	1S0P	2S2P
电路板厚度	1.6 mm	1.6 mm	1.6 mm
电路板尺寸	封装长度小于27 mm时, 76.2 mm × 114.3 mm; 否则为101.6 mm × 114.3 mm	封装长度小于27 mm时, 76.2 mm × 114.3 mm; 否则为101.6 mm × 114.3 mm	封装长度小于27 mm时, 76.2 mm × 114.3 mm; 否则为101.6 mm × 114.3 mm
信号走线厚度	0.07 mm	0.07 mm	0.07 mm
PWR/GND走线厚度	0.035 mm	不适用	0.035 mm
散热通孔	只要封装有裸露散热焊盘, 便应使用0.3 mm直径、0.025 mm镀层和1.2 mm间距的散热通孔; 通孔数量应尽可能多, 以覆盖裸露焊盘的全部区域	只要封装有裸露散热焊盘, 便应使用0.3 mm直径、0.025 mm镀层和1.2 mm间距的散热通孔; 通孔数量应尽可能多, 以覆盖裸露焊盘的全部区域	只要封装有裸露散热焊盘, 便应使用0.3 mm直径、0.025 mm镀层和1.2 mm间距的散热通孔; 通孔数量应尽可能多, 以覆盖裸露焊盘的全部区域
冷板	不适用	根据最小热阻的路径, 冷板安装到封装顶部或底部	流体散热的环式冷板夹住测试板两侧, 使得热量从封装中沿测试板平面向径向流动

引脚配置和功能描述

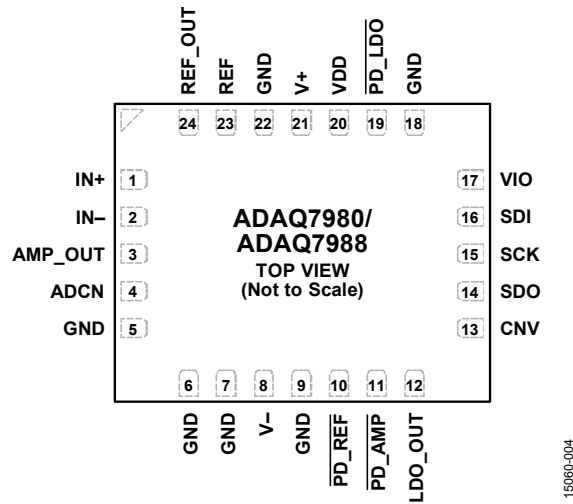


图4. 引脚配置

表10. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1	IN+	AI	ADC驱动器同相输入。
2	IN-	AI	ADC驱动器反相输入。
3	AMP_OUT	AI, AO	低通滤波器 (LPF) 之前的ADC驱动器输出和ADC输入。
4	ADCN	AI	模拟输入地检测。此引脚连接到模拟接地层或远端检测地。
5至7、9、18、22	GND	P	地。
8	V-	P	ADC驱动器的负电源线。为实现最佳工作性能，此引脚需要一个100 nF接GND电容。单电源供电时，此引脚应接地。
10	PD_REF	DI	基准电压缓冲器的低电平有效关断信号。关断时，基准电压缓冲器输出端进入高阻态。
11	PD_AMP	DI	ADC驱动器的低电平有效关断信号。关断时，基准电压缓冲器输出端进入高阻态。
12	LDO_OUT	P	来自片上LDO的稳定2.5 V输出电压。提供一个接GND的内部2.2 μF旁路电容。
13	CNV	DI	转换输入。此输入具有多个功能。在上升沿可启动转换并选择器件的接口模式：链模式或 \overline{CS} 模式。 \overline{CS} 模式下，CNV为低电平时SDO引脚使能。链模式下，数据应在CNV为高电平时读取。
14	SDO	DO	串行数据输出。转换结果通过此引脚输出。SDO与SCK同步。
15	SCK	DI	串行数据时钟输入。器件被选择时，转换结果通过此时钟移出到SDO上。
16	SDI	DI	串行数据输入。此输入提供多个功能。如下选择ADC接口模式： 在CNV上升沿期间，当SDI为低电平时，选择链模式。此模式下，SDI用作数据输入，以将两个或更多ADC的转换结果以菊花链方式传输到单一SDO线路上。SDI上的数字数据电平通过SDO输出，延迟16个SCK周期。 在CNV上升沿期间，当SDI为高电平时，选择 \overline{CS} 模式。此模式下，SDI或CNV在低电平时均可使能串行输出信号；当转换完成时，如果SDI或CNV为低电平，繁忙指示功能被使能。
17	VIO	P	输入/输出接口数字电源。VIO标称电源与主机接口电源相同（1.8 V、2.5 V、3 V或5 V）。
19	PD_LDO	DI	LDO的低电平有效关断信号。关断时，LDO输出端进入高阻态。要实现连续使能状态或自动启动，PD_LDO应接VDD引脚（引脚20）。
20	VDD	P	稳压器输入电源。通过2.2 μF电容将VDD旁路至GND。

引脚编号	引脚名称	类型 ¹	描述
21	V+	P	ADC驱动器和基准电压缓冲器的正电源线。只要能保持基准电压缓冲器的上裕量，此引脚便可接至VDD。为实现最佳工作性能，此引脚需要一个100 nF接GND电容。
23	REF	AI	外部基准电压信号。REF为片上基准电压缓冲器的同相输入。将一个外部基准电压源连接到此引脚。基准电压源与此引脚之间可能需要一个低通滤波器，以限制基准电压源产生的噪声的频带。
24	REF_OUT	AO	基准电压缓冲器输出端。通过此引脚可访问呈现给ADC的缓冲基准电压信号。

¹AI表示模拟输入，AO表示模拟输出，P表示电源，DI表示数字输入，DO表示数字输出。

典型性能参数

除非另有说明, $V_{DD} = 3.5\text{ V}$ 至 10 V , $V_{+} = 6.3\text{ V}$ 至 7.7 V , $V_{-} = -1.0\text{ V}$ 至 -2.5 V , $V_{IO} = 1.7\text{ V}$ 至 5.5 V , $V_{REF} = 5\text{ V}$, $T_A = 25^{\circ}\text{C}$, ADC驱动器为单位增益配置, $f_{SAMPLE} = 1\text{ MSPS}$ (ADAQ7980), $f_{SAMPLE} = 500\text{ kSPS}$ (ADAQ7988), $f_{IN} = 10\text{ kHz}$.

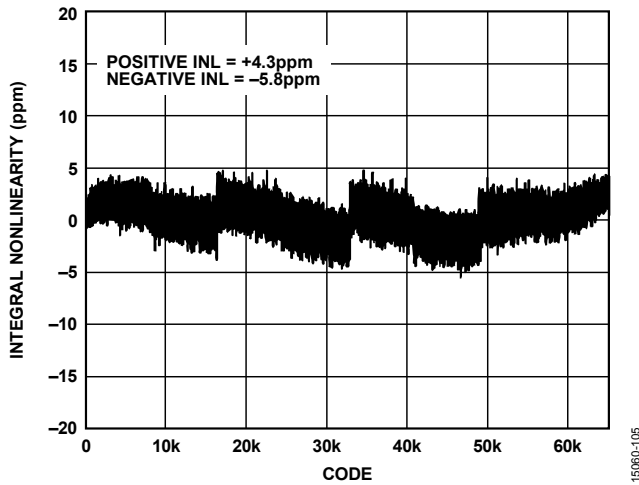


图5. 积分非线性与码的关系, REF = 5 V

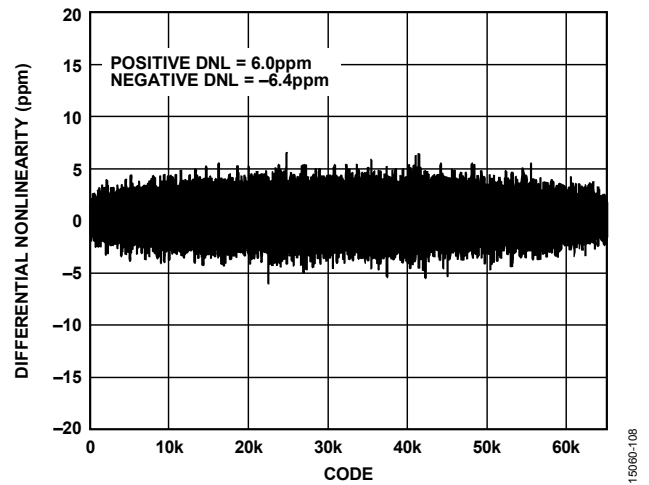


图8. 差分非线性与码的关系, REF = 5 V

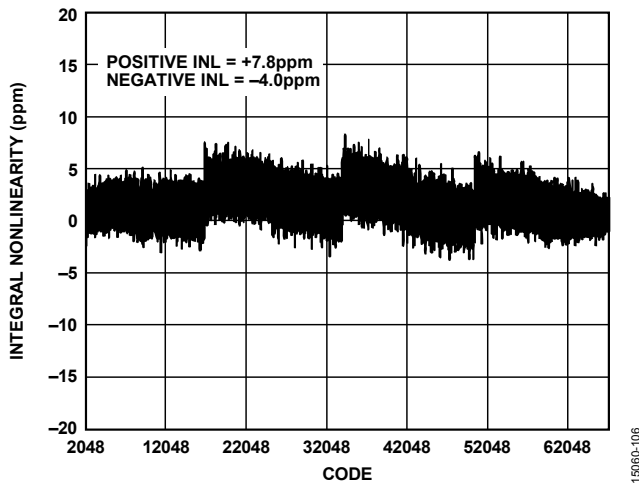


图6. 积分非线性与码的关系, $V_{+} = V_{DD} = 5\text{ V}$, $V_{-} = 0\text{ V}$, REF = 3.3 V

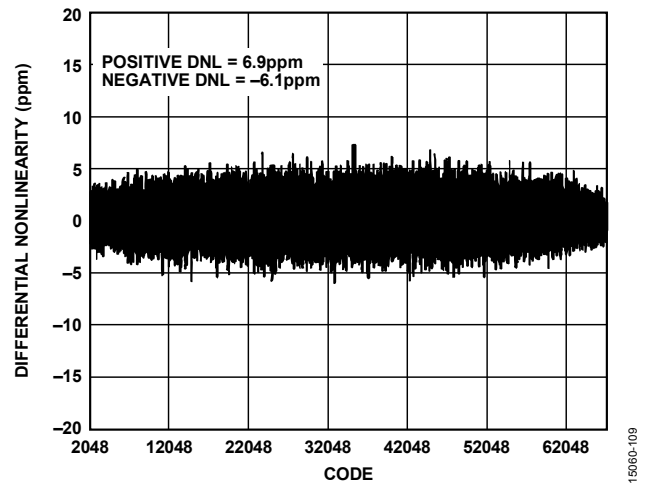


图9. 差分非线性与码的关系, $V_{+} = V_{DD} = 5\text{ V}$, $V_{-} = 0\text{ V}$, REF = 3.3 V

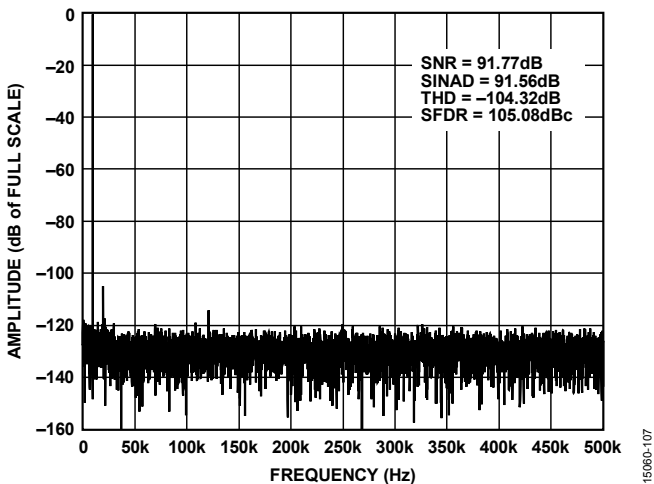


图7. FFT, REF = 5 V

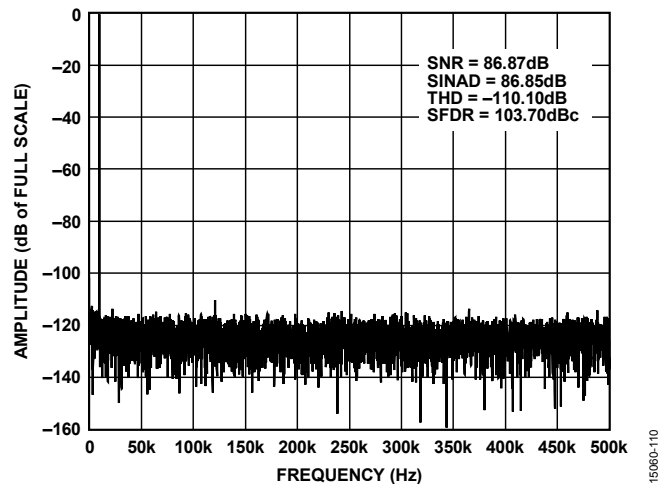


图10. FFT, REF = 2.5 V

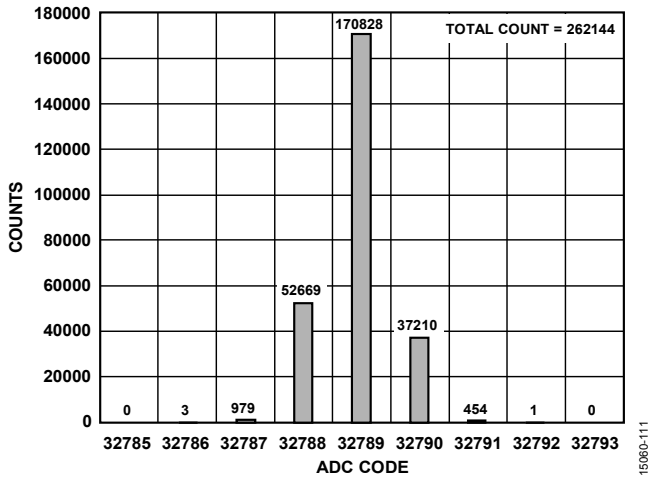


图11. 码中心处的直流输入直方图, REF = 5 V

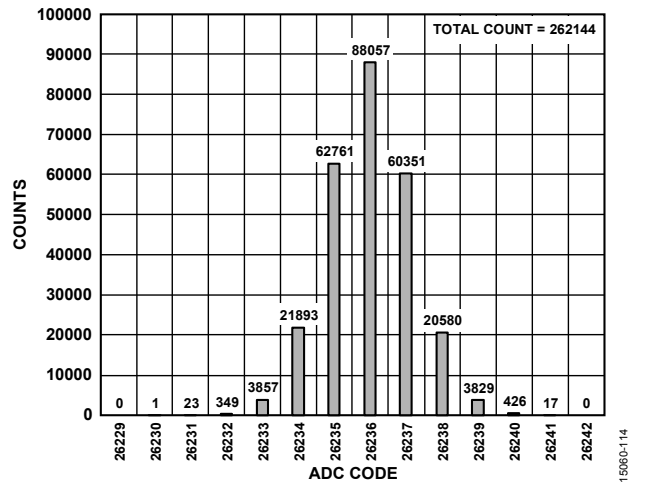


图14. 码中心处的直流输入直方图, REF = 2.5 V

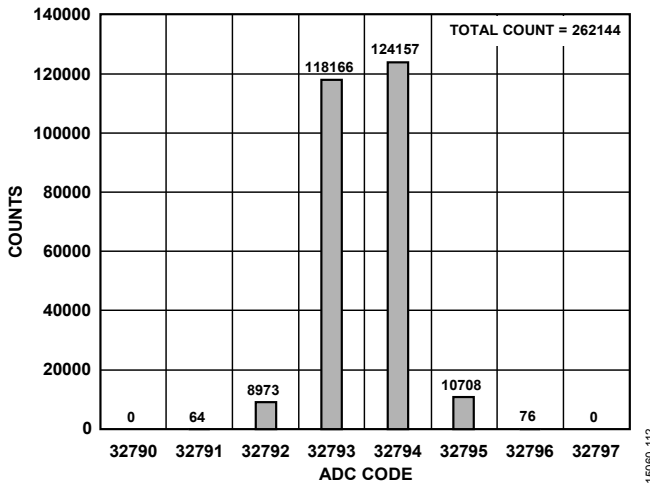


图12. 码转换处的直流输入直方图, REF = 5 V

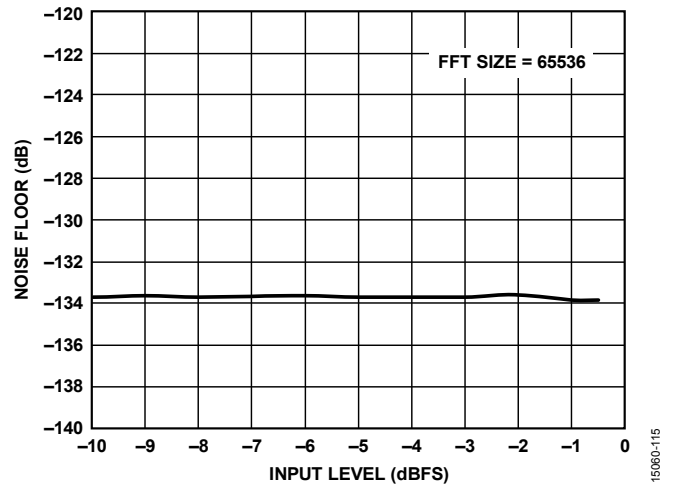


图15. 噪底与输入电平的关系

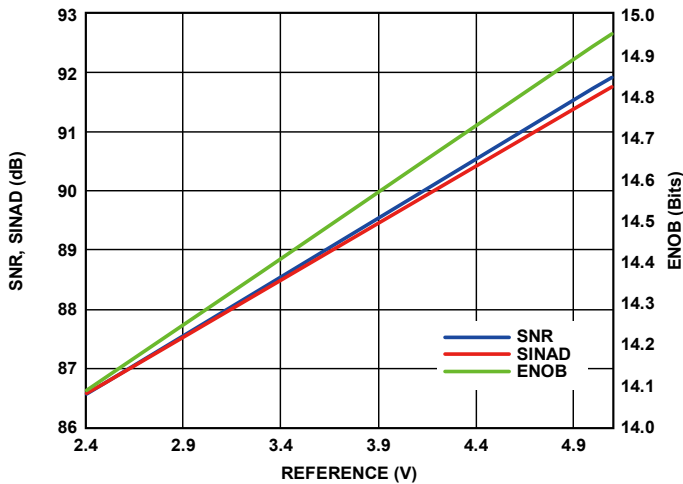


图13. SNR、SINAD和ENOB与基准电压的关系

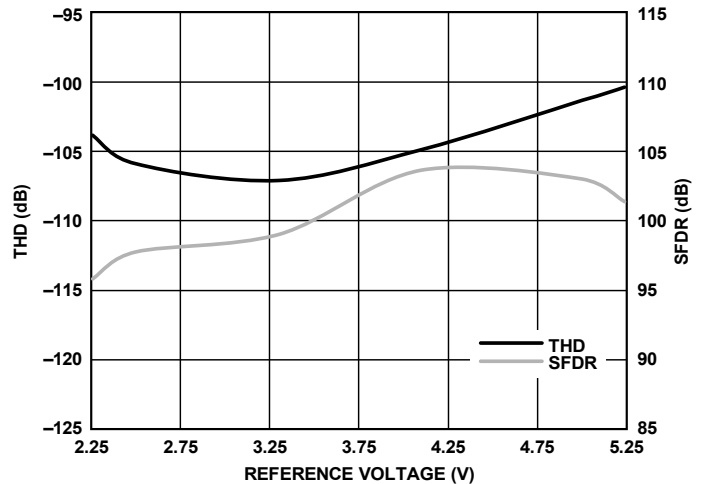


图16. THD和SFDR与基准电压的关系

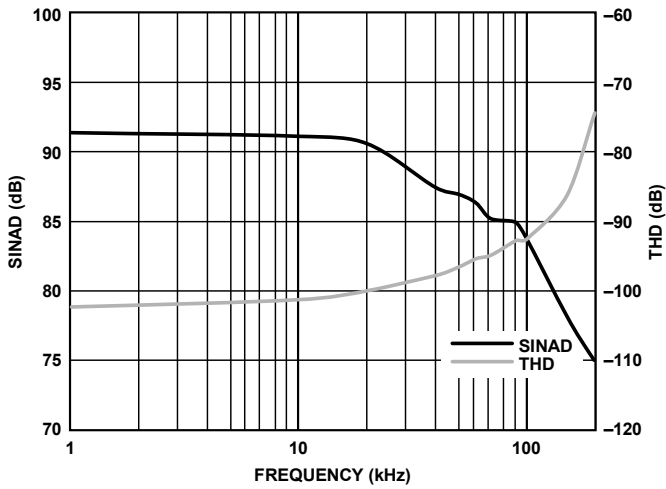


图17. SINAD和THD与频率的关系

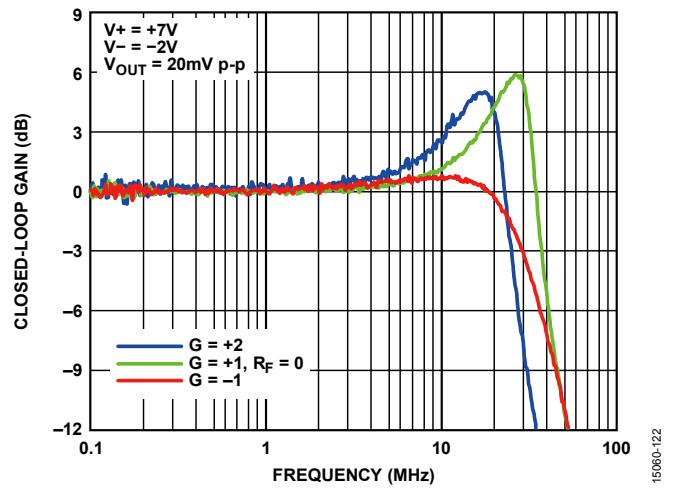


图20. 不同增益下的ADC驱动器小信号频率响应

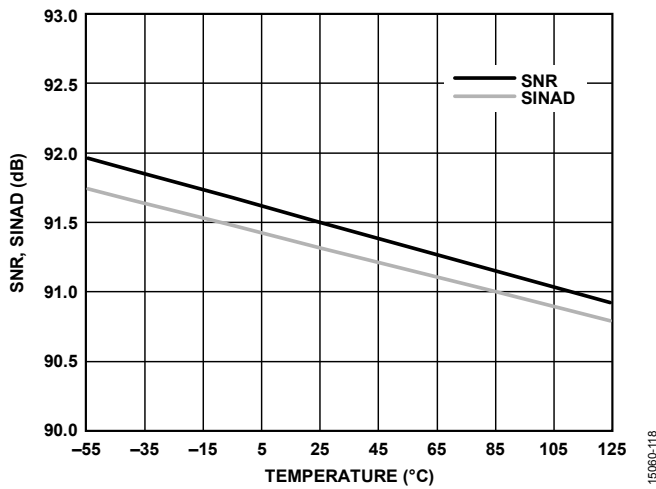


图18. SNR和SINAD与温度的关系

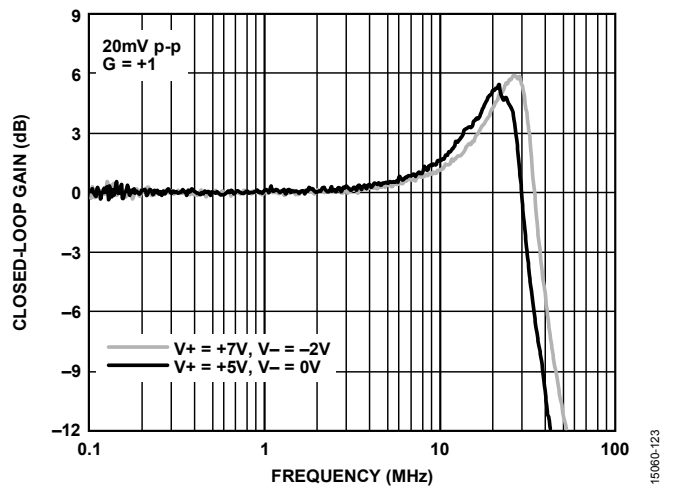


图21. 不同电源电压下的ADC驱动器小信号频率响应

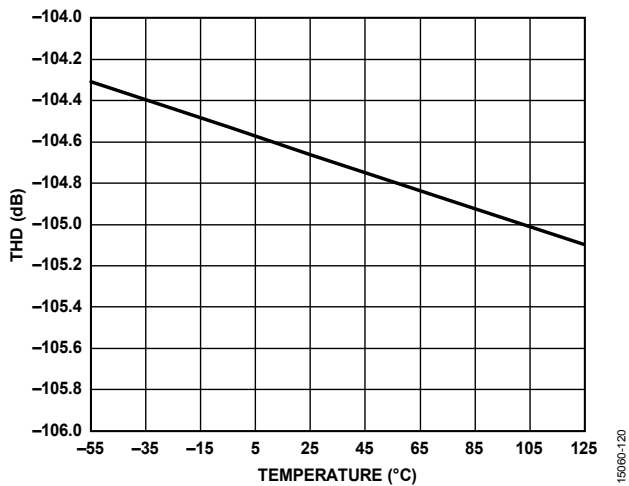


图19. THD与温度的关系

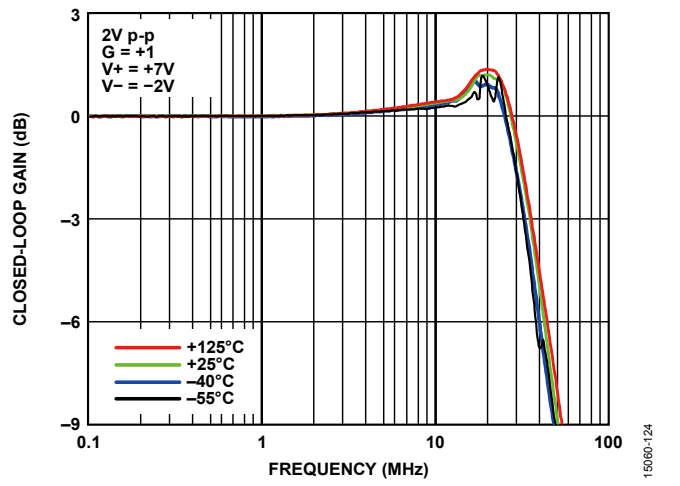


图22. 不同温度下的大信号频率响应

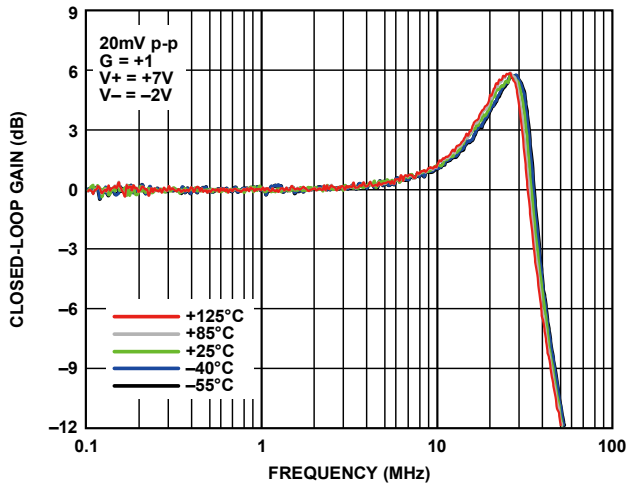


图23. 不同温度下的ADC驱动器小信号频率响应

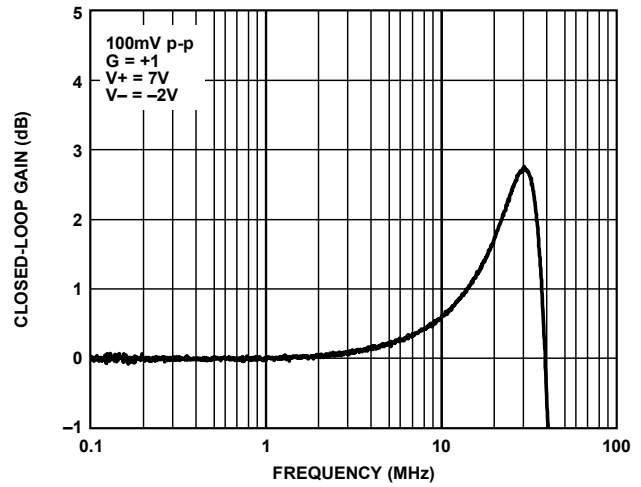


图26. ADC驱动器小信号0.1 dB带宽

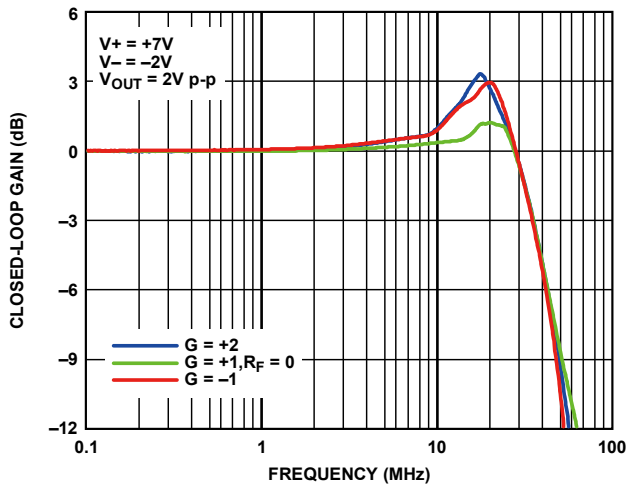


图24. 不同增益下的ADC驱动器大信号频率响应

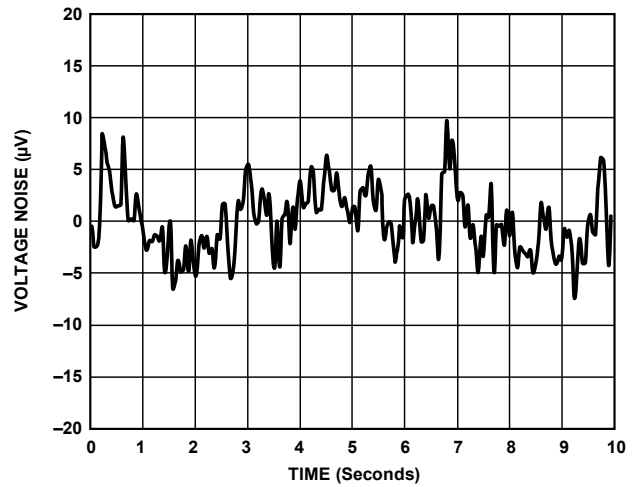


图27. 子系统0.1 Hz至10 Hz电压噪声

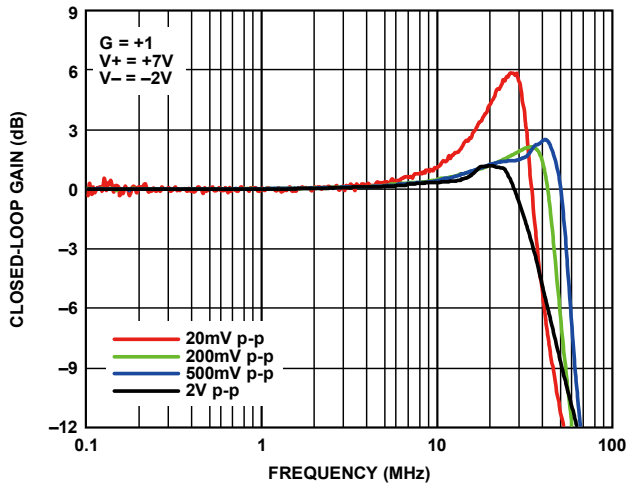


图25. 不同输出电压下的频率响应

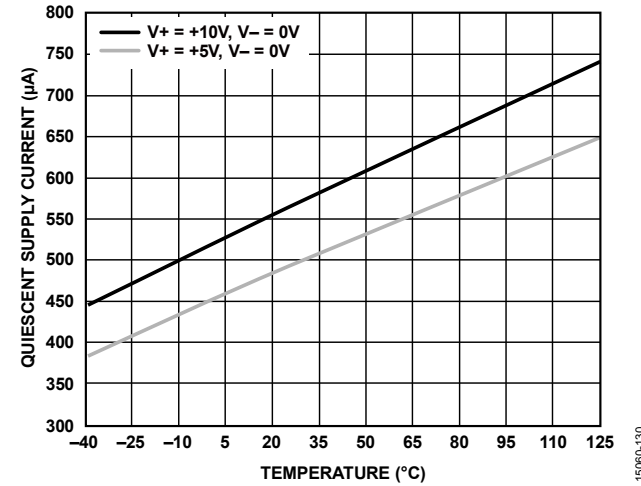


图28. 不同电源下ADC驱动器和基准电压缓冲器静态电源电流与温度的关系

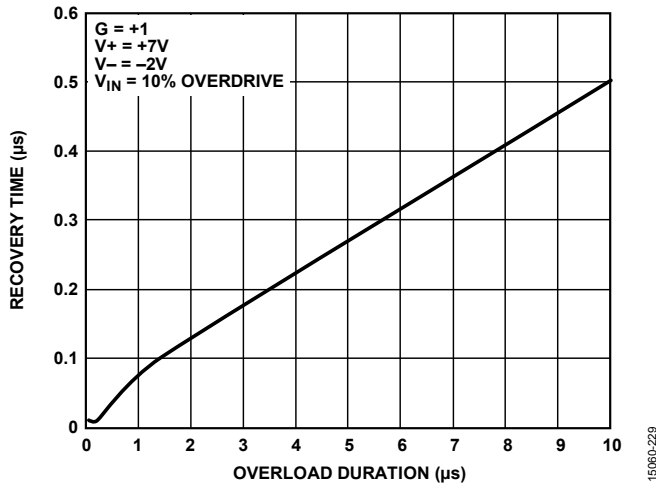


图29. 恢复时间与过载持续时间之间的关系

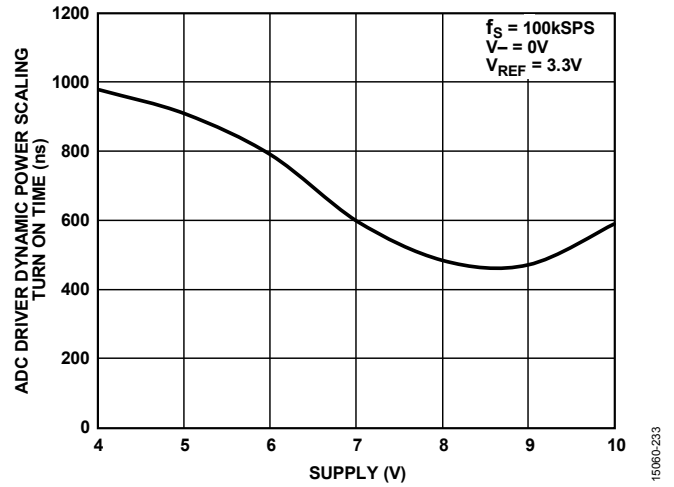


图32. ADC驱动器动态功耗调节开启时间与电源电压的关系

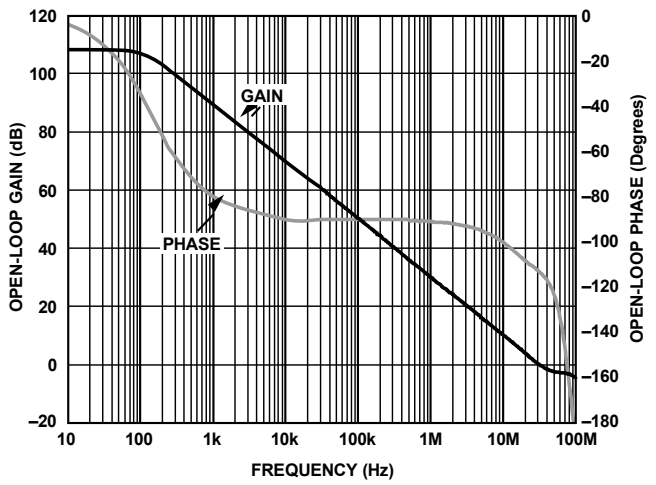


图30. ADC驱动器开环增益和相位与频率的关系

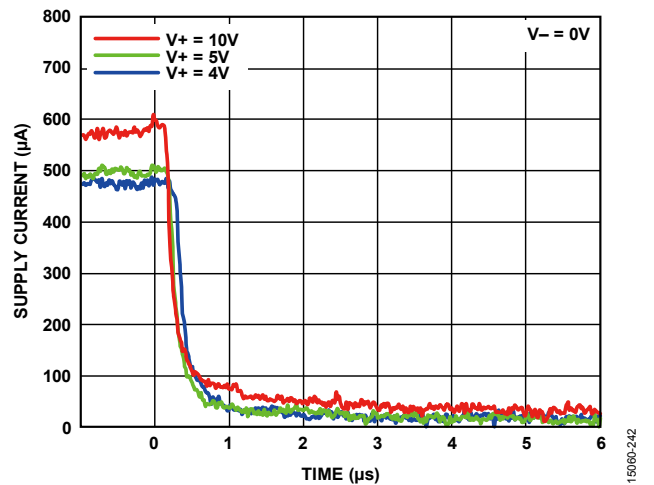


图33. 不同电源电压下电源电流与ADC驱动器和基准电压缓冲器关闭响应时间的关系

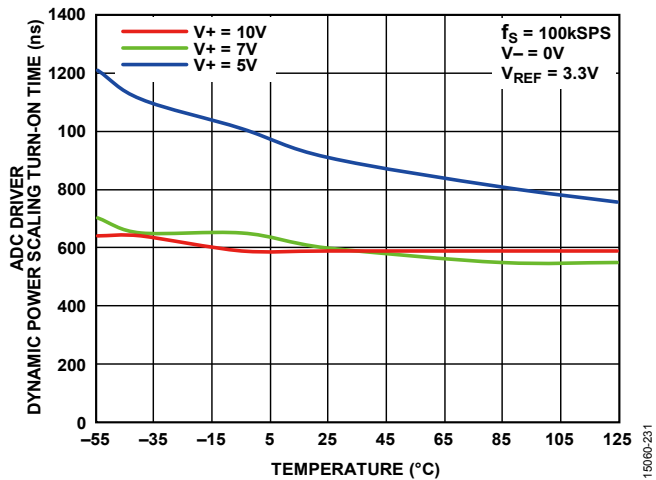


图31. 不同电源电压下ADC驱动器动态功耗调节开启时间与温度的关系

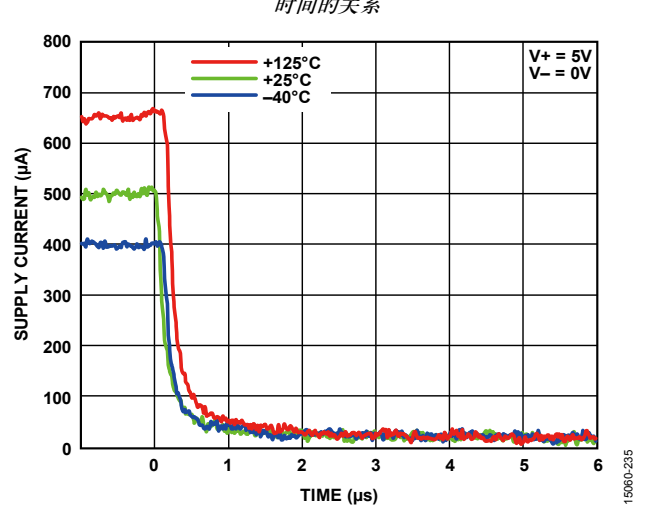


图34. 不同温度下电源电流与ADC驱动器和基准电压缓冲器关闭响应时间的关系

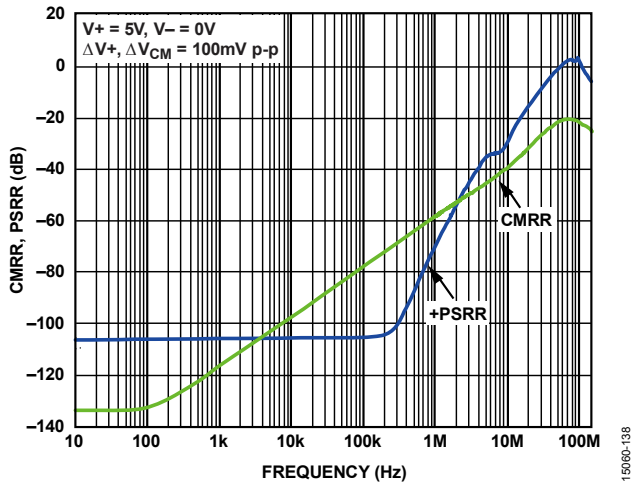


图35. CMRR和PSRR与频率的关系

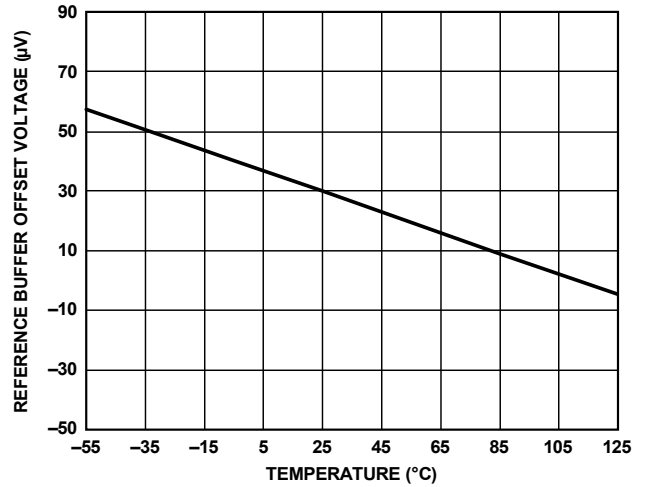


图38. 基准电压缓冲器输入失调电压与温度的关系

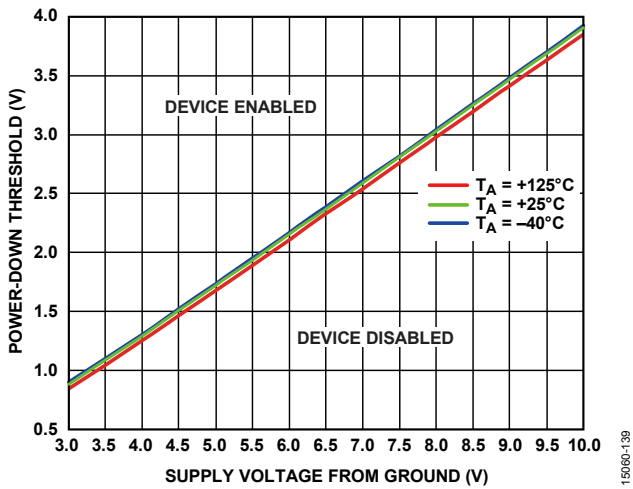


图36. 不同温度下ADC驱动器和基准电压缓冲器关断阈值与对地电源电压的关系

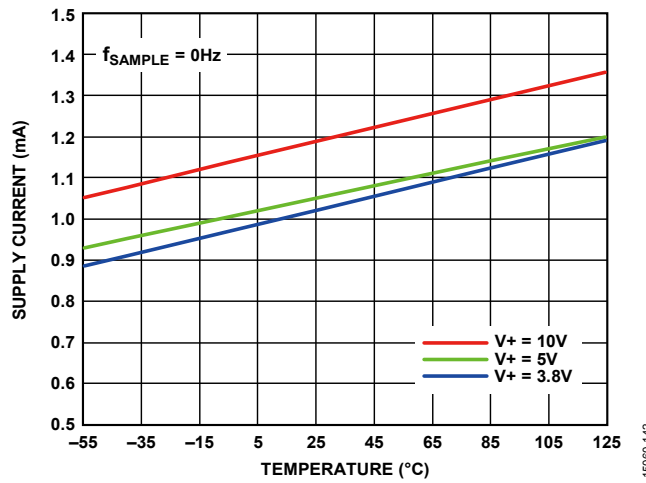


图39. 不同电源下ADC驱动器和基准电压缓冲器静态电源电流与温度的关系

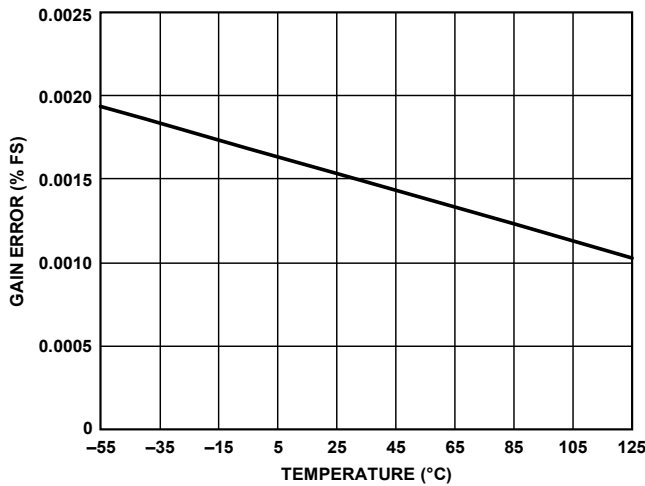


图37. 增益误差与温度的关系

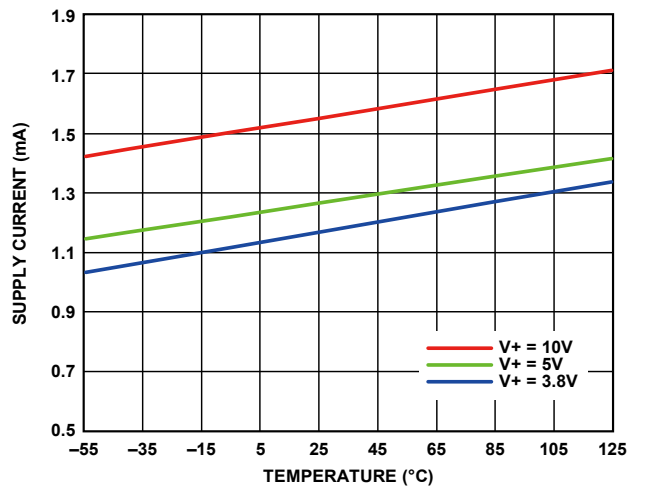


图40. 不同电源下ADC驱动器和基准电压缓冲器动态电源电流与温度的关系

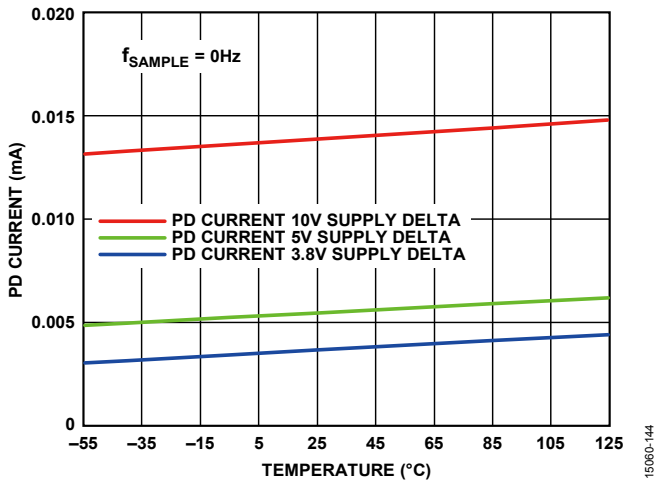


图41. ADC驱动器和基准电压缓冲器总关断(PD)电流与温度的关系

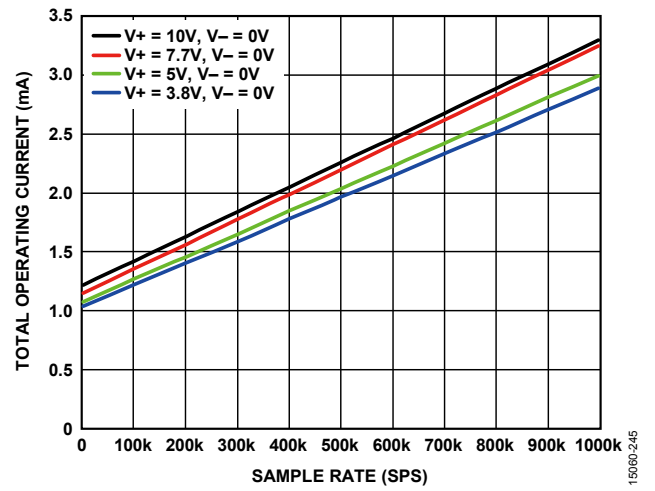


图44. 不同电源下总工作电流与采样速率的关系

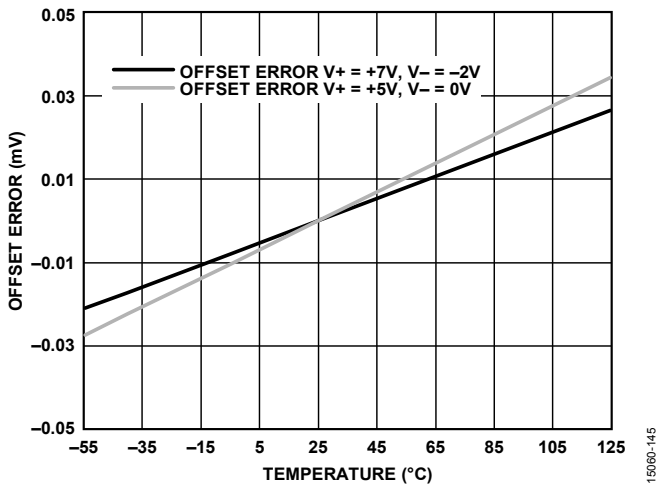


图42. 失调误差与温度的关系

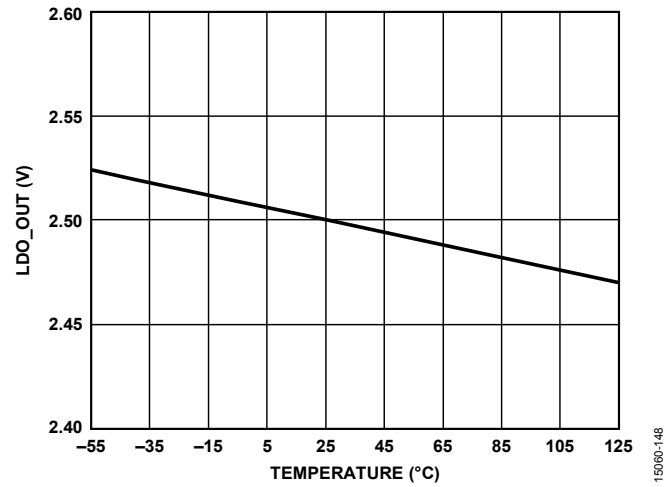


图45. 输出电压(LDO_OUT)与温度的关系

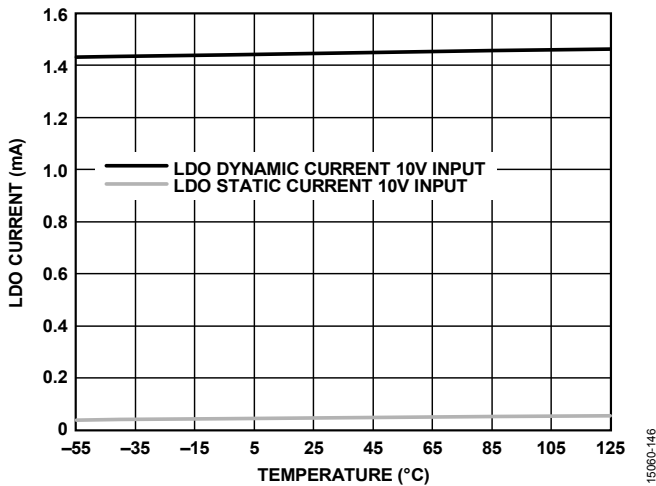


图43. 不同电源下LDO电流与温度的关系

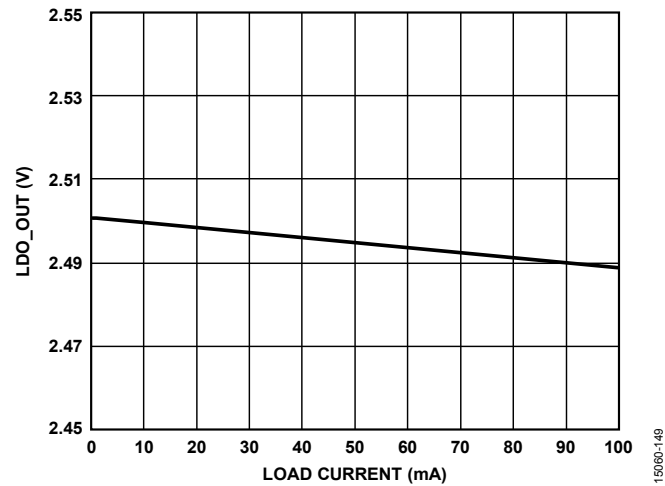


图46. 输出电压(LDO_OUT)与负载电流(I_LOAD)的关系

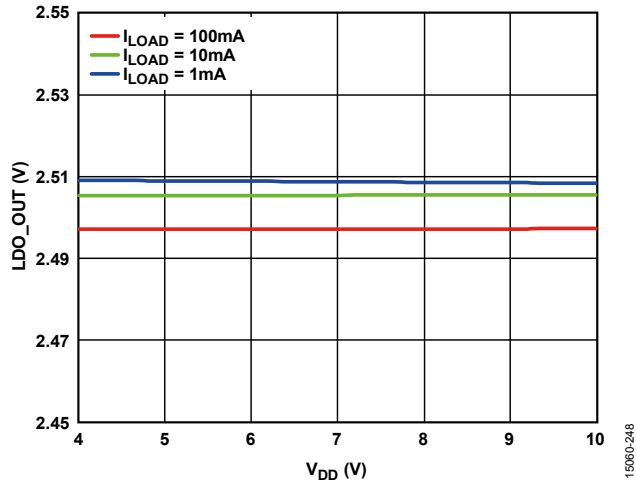


图47. 输出电压 (LDO_OUT) 与 V_{DD} 的关系

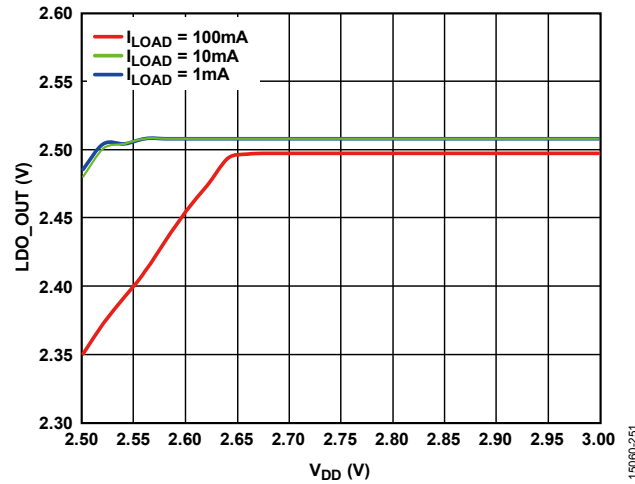


图50. 压差中的 LDO_OUT 与 V_{DD} 的关系, LDO_OUT = 2.5 V

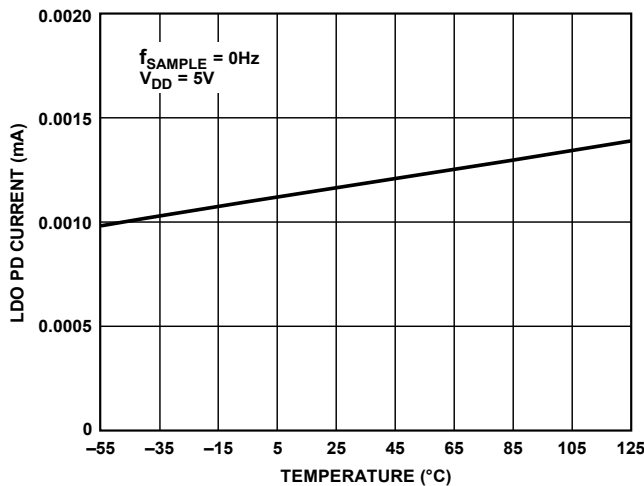


图48. LDO PD 电流与温度的关系

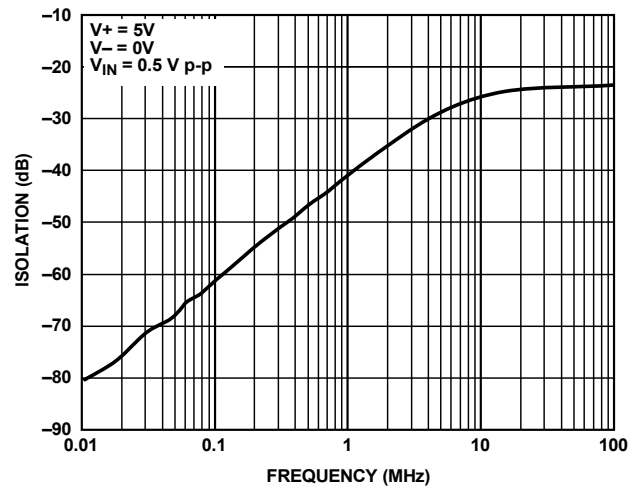


图51. 正向/关断隔离与频率的关系

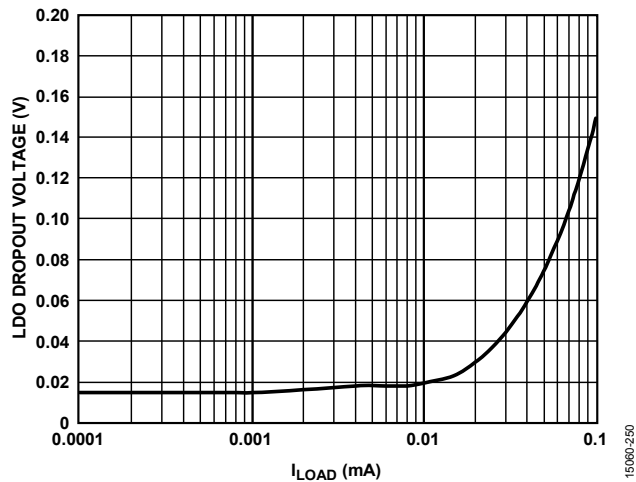


图49. LDO 压差与负载电流 (I_{LOAD}) 的关系, LDO_OUT = 2.5 V

术语

积分非线性误差 (INL)

INL是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码跃迁之前的 $\frac{1}{2}$ LSB处。正满量程指超出最后一个码跃迁 $\frac{1}{2}$ LSB的电平。从各码的中点到该直线的距离即为偏差。

差分非线性误差 (DNL)

在一个理想ADC中，码跃迁相距1 LSB。DNL是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述这一规格。

零电平误差

第一个码跃迁对应于一个比模拟地高 $\frac{1}{2}$ LSB的电平（对于0 V至5 V范围，它等于38.1 μ V）。失调误差是指实际跃迁与该点的偏差。

增益误差

当模拟电压低于标称满量程 $\frac{1}{2}$ LSB时（对于0 V至5 V范围，应在4.999886 V），发生最后一个码跃迁（从111 ... 10跃迁至111 ... 11）。增益误差是指在消除失调误差之后，最后一个码跃迁的实际电平与理想电平的偏差。

无杂散动态范围 (SFDR)

SFDR指输入信号与峰值杂散信号的均方根幅值之差，用分贝 (dB) 表示。

有效位数 (ENOB)

ENOB指利用正弦波输入测得的分辨率。它与SINAD的关系可以表示为：

$$ENOB = (SINAD_{dB} - 1.76)/6.02$$

ENOB用位表示。

无噪声码分辨率

无噪声码分辨率是指这样一个位数，如果超过该位数，则无法明确无误地解析各个编码。计算如下：

$$\text{无噪声码分辨率} = \log_2(2^N / \text{峰峰值噪声})$$

无噪声码分辨率用位表示。

总谐波失真 (THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用分贝 (dB) 表示。

动态范围

动态范围指满量程的均方根值与输入短接在一起时测得的总均方根噪声之比，用分贝 (dB) 表示。它使用-60 dBFS下的信号测得，因此包括所有噪声源和DNL伪像。

信噪比 (SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用分贝 (dB) 表示。

信纳比 (SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流以外的所有其它频谱成分的均方根和之比，用分贝 (dB) 表示。

孔径延迟

孔径延迟衡量采集性能，指从CNV输入的上升沿到输入信号被保持并可进行转换的时间。

瞬态响应

瞬态响应是指施加满量程阶跃信号之后，ADC对输入进行精确采集所需的时间。

工作原理

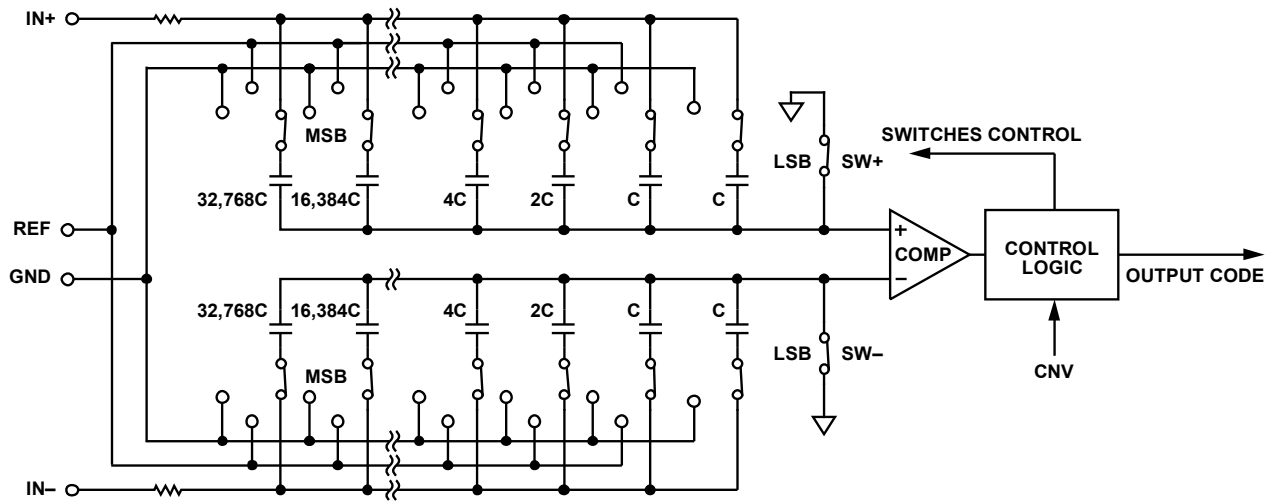


图52. ADC原理示意图

15000-055

电路信息

系统化封装 (SiP) ADAQ7980/ADAQ7988是一种采用SAR架构的快速、低功耗、精密数据采集 (DAQ) 信号链。该DAQ子系统内置高带宽模数转换器 (ADC) 驱动器、低噪声基准电压缓冲器、低压差稳压器 (LDO) 和16位SAR ADC，还有实现最优性能所需的关键无源元件。电路中的全部有源元件皆由ADI公司设计。

ADAQ7980/ADAQ7988分别能以每秒1,000,000样本 (1 MSPS) 和500,000样本 (500 kSPS) 的速率进行转换。ADC在两次转换的间隙会自动进入省电状态，故其功耗与采样速率成比例。ADC驱动器和基准电压缓冲器具有动态功耗调节功能，这些元件的功耗与采样速率成比例。例如，以1 kSPS速率工作时，ADAQ7980/ADAQ7988的典型功耗为2.9 mW，非常适合电池供电的应用。

相比于传统信号链，ADAQ7980/ADAQ7988大幅缩小了尺寸，同时能灵活适应于广泛应用。ADC驱动器的所有三个信号引脚皆可供用户使用，以实现不同的放大器配置。驱动器和ADC之间有低通滤波器 (LPF)，用以控制信号链带宽并减少物料。ADAQ7980/ADAQ7988没有任何流水线延迟，堪称多路复用应用的理想之选。

ADAQ7980/ADAQ7988内置基准电压缓冲器和相应的去耦电容。此去耦电容的放置对实现峰值转换性能很重要。将此电容包含在子系统中消除了影响这一性能的因素。基准电压缓冲器配置为单位增益。由于仅包含基准电压缓冲器，所以用户可以灵活选择与所需模拟输入范围匹配的基准电压缓冲器输入电压。

ADAQ7980/ADAQ7988可与任何1.8 V至5 V数字逻辑系列接口，这些器件采用小型24引脚LGA封装，可大幅节省空间，且配置灵活。

转换器操作

ADAQ7980/ADAQ7988是基于电荷再分配数模转换器 (DAC) 的逐次逼近型ADC。图52显示了该ADC的简化电路图。容性DAC包含两个完全相同的16位二进制加权电容阵列，分别连接到比较器的两个输入端。

在采集阶段，与比较器输入端相连的阵列端子通过内部开关 (SW+和SW-) 连接到GND。所有独立开关都连接到模拟输入端。因此，电容阵列用作采样电容，采集ADC输入端的模拟信号。当采集阶段完成且CNV输入变为高电平时，就会启动转换阶段。当转换阶段开始时，SW+和SW-首先断开。然后，两个电容阵列从ADC输入端断开，并连接到GND输入端。因此，采集阶段结束时捕获的ADC输入引脚之间的差分电压施加于比较器输入端，导致比较器不平衡。在GND和REF之间切换电容阵列的各元件，比较器输入将按照二进制加权电压步进 ($V_{REF}/2$ 、 $V_{REF}/4$ 、...、 $V_{REF}/65,536$) 变化。控制逻辑从MSB开始切换这些开关，以便使比较器重新回到平衡状态。完成此过程后，器件返回采集阶段，而控制逻辑将产生ADC输出码和繁忙信号指示，告知用户转换已完成。

ADAQ7980/ADAQ7988具有片上转换时钟，因此转换过程不需要串行时钟 (SCK)。

传递函数

ADAQ7980/ADAQ7988的理想传递特性如图53和表11所示。

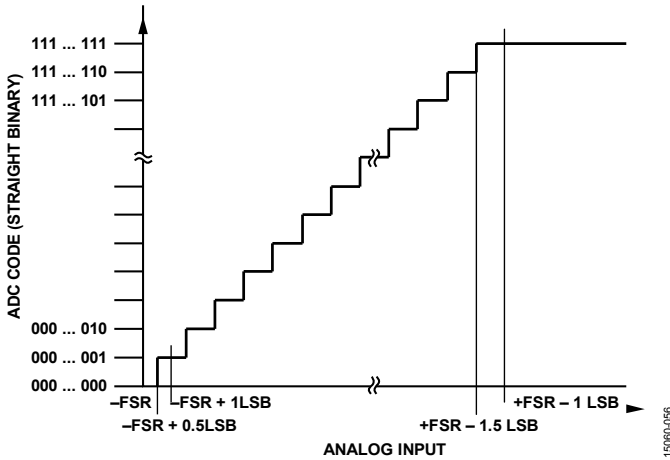


图53. ADC理想传递函数

表11. 输出码和理想输入电压

描述	模拟输入 ¹	
	V _{REF} = 5 V	数字输出码 (十六进制)
FSR - 1 LSB	4.999924 V	0xFFFF ²
中间电平 + 1 LSB	2.500076 V	0x8001
中间电平	2.5 V	0x8000
中间电平 - 1 LSB	2.499924 V	0x7FFF
-FSR + 1 LSB	76.3 μV	0x0001
-FSR	0 V	0x0000 ³

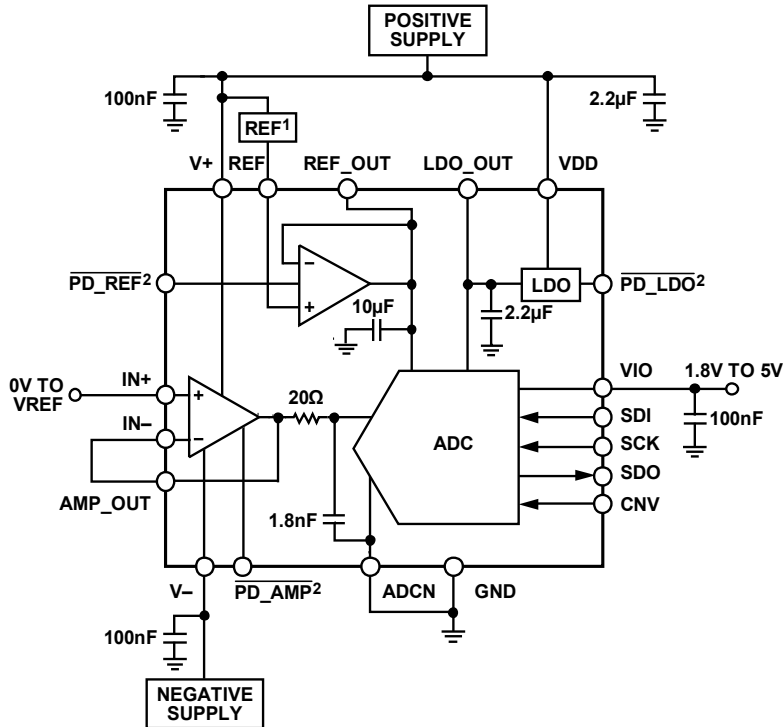
¹ ADAQ7980/ADAQ7988 ADC驱动器为单位增益缓冲器配置。

² 这也是超量程模拟输入 (IN+ - IN- 大于 V_{REF} - V_{GND}) 对应的码。

³ 这也是欠量程模拟输入 (IN+ - IN- 小于 V_{GND}) 对应的码。

典型连接图

图54所示的例子为采用多个电源时ADAQ7980/ADAQ7988的建议连接图。



¹SEE THE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.
²POWER DOWN PINS CONNECTED TO EITHER DIGITAL HOST OR POSITIVE SUPPLY.

图54. 采用多个电源的典型应用电路

ADC驱动器输入

ADAQ7980/ADAQ7988的ADC驱动器的-3 dB带宽为35 MHz；当 $G = +1$ 且 $V_{AMP_OUT} = 2$ V阶跃时，其压摆率为110 V/ μ s。输入电压噪声为5.9 nV/ \sqrt Hz。驱动器工作电压范围为3.8 V至10 V，电源压差为5 V时功耗仅为500 μ A。电源范围下限允许4 V电源具有-5%的变化。该放大器为单位增益稳定型，独特的输入结构使其输入电压噪声 $1/f$ 转折频率极低。ADC驱动器采用压摆增强架构，如图55所示。压摆增强电路检测两个输入端之间的绝对差。然后，它会调制输入级的尾电流 I_{TAIL} ，提升压摆率。该架构支持更高的压摆率和更快的建立时间，具有低静态电流和低噪声特性。用户可以使用放大器的所有三个信号引脚，从而灵活地支持目标应用或配置。

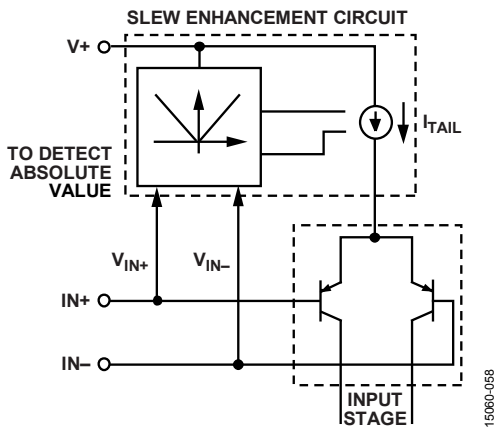


图55. ADC驱动器压摆增强电路

输入保护

放大器受到全面的ESD保护，在4000 V的人体模型ESD事件和1250 V的场感应充电器件模型事件影响下，性能无明显降低。精密输入端受到一个ESD网络的保护，该ESD网络位于电源与输入对上的箝位二极管之间，如图56所示。

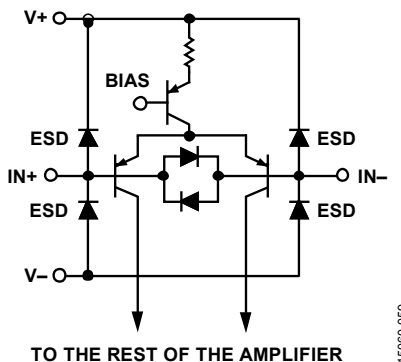


图56. ADC驱动器输入级与保护二极管

当室温下的差分电压超过约1.2 V，125°C下超过约0.8 V时，箝位二极管开始导通。如果输入引脚上必须持续存在很大的差分电压，则必须将流经输入箝位二极管的电流限制在10 mA以下。根据预期的差分过压情况，选择适当大小的外部串联输入电阻可提供所需的保护。

如果输入电压比正电源电压高0.7 V以上，或者比负电源电压低0.7 V以上，ESD箝位二极管就会导通。预期会发生过压情况时，必须将输入电流限制在10 mA以下。

同ADC驱动器输入一道，ADC输入上也提供了保护。如图1所示，ADAQ7980/ADAQ7988的ADC驱动器和ADC之间有一个RC滤波器。此低通滤波器中的串联电阻用于限制过压状况下的电流。当ADC输入保护二极管由于过压事件而导通时，基准电压缓冲器的灌电流能力会将基准电压节点保持在其目标值。

图57显示了ADAQ7980/ADAQ7988 ADC模拟输入的等效电路。

二极管D1和D2为ADC输入提供ESD保护。切记，ADC模拟输入信号不得超过基准电压值0.3 V以上或比地电压低0.3 V以上，否则会造成二极管正偏，并开始传导电流。这些二极管可以处理大于或等于ADC驱动器短路电流的正偏电流。例如，当ADC驱动器正电源大于基准电压值时，就会发生此类状况。此时（例如输入缓冲器短路），应使用限流功能来保护器件。

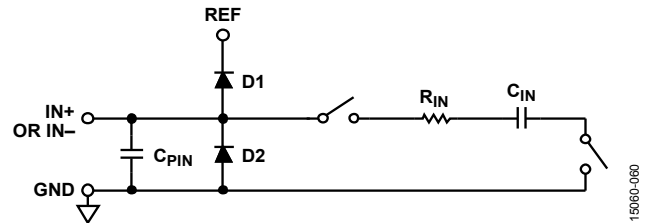


图57. ADC模拟输入等效电路

模拟输入结构支持对ADC输入引脚之间的真差分信号进行采样。借助这些差分输入，可以抑制两个输入端的共模信号。

噪声考虑与信号建立

ADAQ7980/ADAQ7988的ADC驱动器非常适合驱动片上高分辨率SAR ADC。驱动器的低输入电压噪声和轨到轨输出级有助于最大程度减少大输出电平失真。由于具有500 μ A低功耗性能，放大器的功耗性能可比拟低功耗SAR ADC。此外，ADC驱动器支持单电源配置；输入共模范围扩展至负电源以及正电源以下1.3 V。

图58说明了典型增益配置的主要噪声贡献因素。总输出噪声 (v_{n_out}) 是所有噪声贡献的和方根。

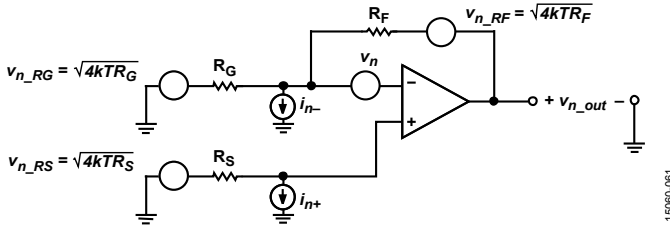


图58. 典型连接的噪声源

ADC驱动器的输出噪声频谱密度计算如下：

$$v_{n_out} = \sqrt{4kTR_F + \left(1 + \frac{R_F}{R_G}\right)^2 \left[4kTR_S + i_{n+}^2 R_S^2 + v_n^2\right] + \left(\frac{R_F}{R_G}\right)^2 4kTR_G + i_{n-}^2 R_F^2}$$

其中：

k 为玻尔兹曼常数。

T 为绝对温度（单位K）。

R_F 和 R_G 为反馈网络电阻，如图58所示。

R_S 为源阻抗，如图58所示。

i_{n+} 和 i_{n-} 表示放大器输入电流噪声频谱密度（单位 pA/\sqrt{Hz} ）。

v_n 表示放大器输入电压噪声频谱密度（单位 nV/\sqrt{Hz} ）。

有关这些计算的更多信息，请参阅指南MT-049和MT-050。

源阻抗噪声、放大器输入电压噪声 (v_n) 和放大器输入电流噪声产生的电压噪声 ($i_{n+} \times R_S$) 均受噪声增益项 ($1 + R_F/R_G$) 的影响。

图59显示放大器引起的总折合到输入 (RTI) 噪声与源阻抗的关系。注意，放大器的输入电压噪声为5.9 nV/\sqrt{Hz} ，输入电流噪声为0.6 pA/\sqrt{Hz} 时，用2.6 $k\Omega$ 至47 $k\Omega$ 源阻抗会使放大器的噪声相对较小。

ADI公司的硅锗 (SiGe) 双极性工艺让实现低电压噪声成为可能。相比电源电流为几百 μA 的类似低功耗放大器，此噪声性能得到了极大的改善。

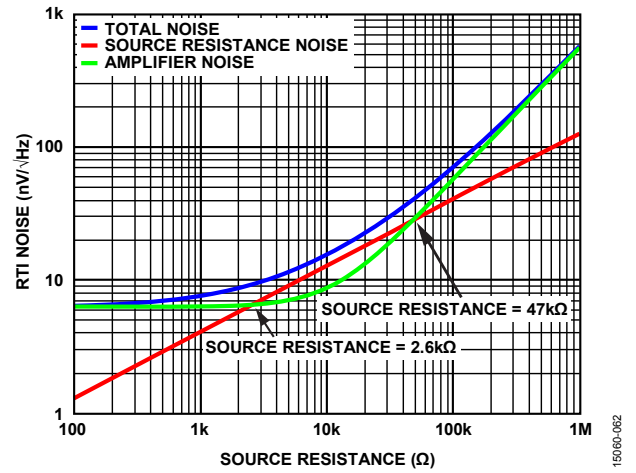


图59. RTI噪声与源阻抗的关系

驱动放大器及其相关无源元件所产生的噪声必须尽可能低，以便保持ADAQ7980/ADAQ7988的SNR和转换噪声性能。ADAQ7980/ADAQ7988模拟输入电流有一个单极点低通滤波器，用以限制ADC驱动器噪声的频带。在双电源典型配置中，ADAQ7980/ADAQ7988的噪声典型值为44.4 μV rms，因此放大器引起的SNR性能降低为：

$$SNR_{LOSS} = 20 \log \left(\frac{44.4}{\sqrt{44.4^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

其中：

f_{-3dB} 为输入滤波器的截止频率(4.4 MHz)。

N 为放大器的噪声增益（例如，缓冲器配置时为1）。

e_N 为运算放大器的等效输入噪声电压，单位为 nV/\sqrt{Hz} 。

对于多通道多路复用应用，ADAQ7980/ADAQ7988模拟输入电路必须使电容阵列以16位水平(0.0015%，15 ppm)在一个转换周期内建立满量程阶跃。如图20所示，ADC驱动器带宽随所实现的增益设置而变化。ADC驱动器必须保持足够的带宽才能让ADC输入正确建立。ADAQ7980/ADAQ7988的低通滤波器的RC时间常数按如下要求设置：预期SAR ADC电荷再分配电压阶跃从满量程ADC输入电压转换起在ADC最短采集阶段内完成建立。最大满量程阶跃基于最大基准输入电压5.1 V。基准电压源设置最大模拟输入范围，进而决定ADC可量化的电压范围。

转换过程中，SAR ADC的容性DAC与ADC输入端断开连接。在多路复用应用中，多路复用器输入通道在转换时间内切换以提供最大建立时间。转换时间结束时，容性DAC随即连回输入端。在此期间，DAC与ADC输入端断开连接，ADC输入节点电压发生变化。容性DAC与外部低通滤波器中电容的并联组合形成一个分压器，导致ADC模拟输入端观察到的源自容性电荷再分配的电压阶跃衰减。电压阶跃计算如下：

$$V_{STEP} = (V_{REF} \times 30 \text{ pF}) / (30 \text{ pF} + 1800 \text{ pF}) = V_{REF} \times 0.016$$

对于5.0 V基准电压，其结果是最大阶跃为82 mV。为计算所需的滤波器和ADC驱动器带宽，应确定在ADC采集阶段内建立此电压阶跃所需的时间常数个数，如下所示：

$$N_{TC} = \ln \left(\frac{V_{STEP}}{V_{REF} / 2^{16+1}} \right)$$

知道时间常数个数之后，便可确定RC时间常数 (τ)： $\tau = 290 \text{ ns} / N_{TC}$ 。ADC的采集阶段最短时间为290 ns。信号必须在此采集期间完全建立。

计算滤波器带宽 (BW)： $BW = 1 / (2\pi \times \tau)$ 。

ADC驱动器小信号带宽必须始终大于或等于之前计算得到的带宽。当小信号带宽降低时，例如存在较大电压增益时，延长采集阶段可提高所需的系统 τ 。采集阶段延长会导致最大采样速率降低。

上述方法假设多路复用器开关在转换开始后不久即切换，并且放大器和 RC 具有足够大的带宽，使得低通滤波器电容可以在采集开始前充分建立。

在正向建立过程中，为使满量程阶跃建立至 16 位，大约需要 11 个时间常数。对于 ADAQ7980/ADAQ7988 中的低通 RC 滤波器，滤波器正向建立时间为 $11 \times 36 \text{ ns} \approx 400 \text{ ns}$ ，远少于转换时间 710 ns/1200 ns。为使 ADC 驱动器正向建立时间小于 710 ns，ADC 驱动器大信号带宽应保持 2.49 MHz。计算如下：

ADC驱动器正向建立时间常数 =

$$710 \text{ ns} / \ln(2^{16}) = 64 \text{ ns}$$

ADC驱动器大信号带宽最小值 =

$$1 / (2\pi \times 64 \text{ ns}) = 2.49 \text{ MHz}$$

正向建立不一定需要发生在转换期间（容性DAC切换到输入端之前），但正向和反向建立时间之和不得超过所需的吞吐速率。对于低频输入，信号的变化率低得多，因此正向建立并不十分重要。使用ADC驱动器何种带宽规格的重要性取决于输入类型。进行上述计算时，高频 (>100 kHz) 或多路复用应用应集中在大信号带宽上，较低输入频率应用应集中在ADC驱动器小信号带宽上。

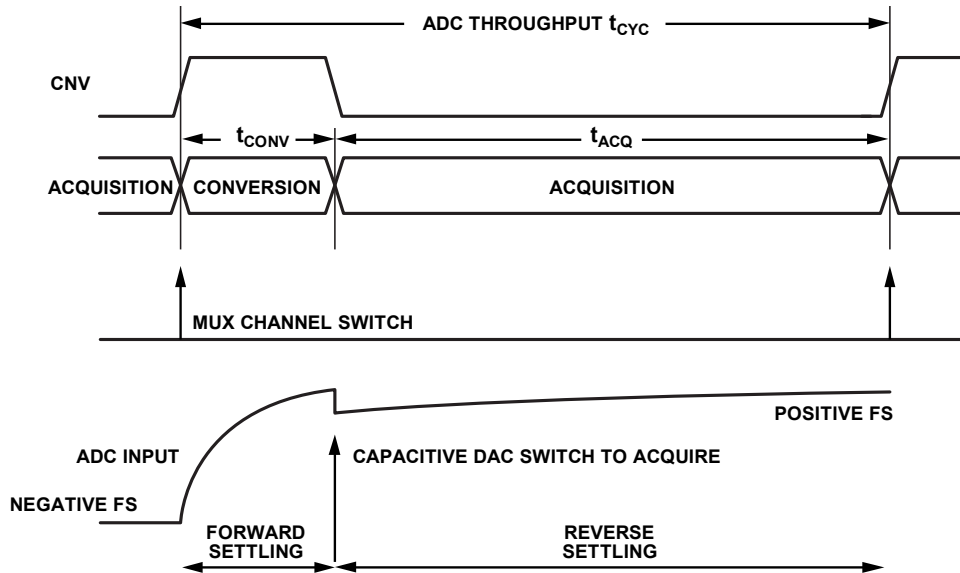


图60. 多路复用应用时序

15060-063

PD_AMP 操作

图61所示为ADC驱动器和基准电压缓冲器的关断电路。为了保持关断模式下的低电源电流，未提供任何内部上拉电路；因此，须从外部将PD_AMP引脚驱动至高电平或低电平，不要让其浮空。将PD_AMP引脚拉至中间电源以下1 V或更多时，器件关断，电源电流下降至2.9 μ A（电源电压为5 V）。当放大器关断时，其输出端进入高阻抗状态。输出阻抗随着频率增加而下降。关断模式下，可在100 kHz实现-62 dB正向隔离（见图51）。

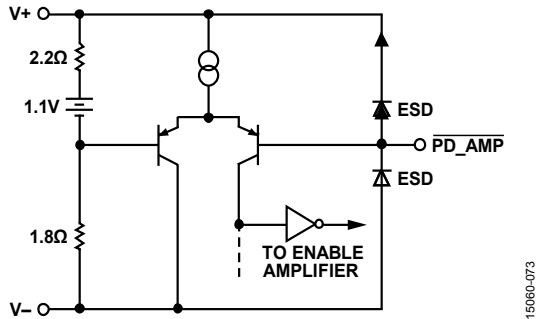


图61. 关断电路

ESD箝位保护PD_AMP引脚，如图61所示。超过电源电压的电压会导致这些二极管导通。为了保护PD_AMP引脚，必须确保此引脚的输入电压不得高于正电源电压0.7 V以上，或者低于负电源电压0.7 V以下。预期会发生过压情况时，应采用串联电阻将输入电流限制在10 mA以下。

表12总结了各种电源电压条件下关断和使能模式的阈值电压。对于任何电源电压，将PD_AMP引脚拉至中间电源以下1 V或更多时，器件都会关断。

表12. 关断和使能模式的阈值电压

模式	V+/V-		
	+4 V/0 V	+5 V/0 V	+7 V/-2 V
使能	>+1.4 V	>+1.9 V	>+1.9 V
关断	<+1.0 V	<+1.5 V	<+1.5 V

动态功耗调节 (DPS)

SAR ADC的优势之一是其功耗与采样速率成比例。这种功耗调节能力使得SAR ADC极为高效，尤其是工作在较低采样频率时。传统上，与SAR ADC一同使用的ADC驱动器功耗一般是恒定的，与采样频率无关。该ADC驱动器支持动态功耗调节。此特性允许用户向ADC驱动器的关断引脚提供一个周期信号，其与转换开始信号同步，从而使得系统功耗与采样速率成比例。

图62显示了让系统采样速率与ADC驱动器静态功耗成动态比例关系的方法。通过向ADC的转换开始 (CNV) 引脚和ADC驱动器的PD_AMP引脚提供正确时序的信号，两个器件可工作在最佳效率。

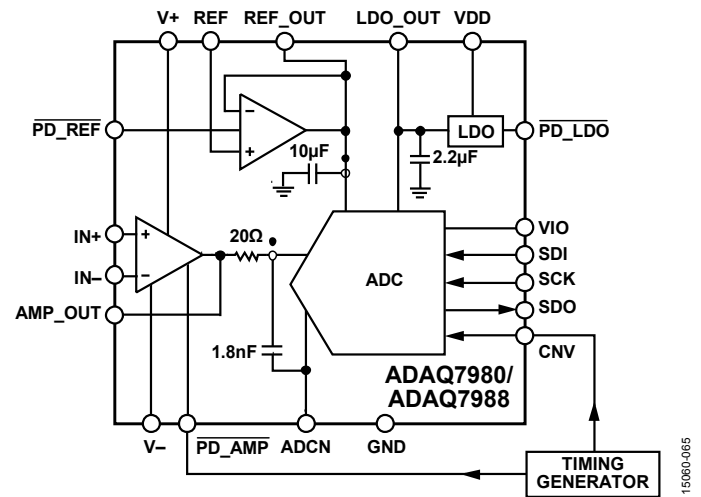


图62. 电源管理电路

图63显示了ADC驱动器和ADC进行功耗调节的相对信号时序。为防止ADC性能下降，ADC驱动器必须在CNV引脚激活前将完全建立的输出信号送入ADC。本例中，放大器在CNV信号上升沿之前3 μ s切换到全功率模式。ADC驱动器的PD_AMP引脚在两次采样之间的ADC输入未激活期间拉至低电平。电源压差为5 V时，放大器静态电流通常会在0.9 μ s内下降至正常工作值的10%。而在关断模式下，ADC驱动器输出为高阻抗状态。

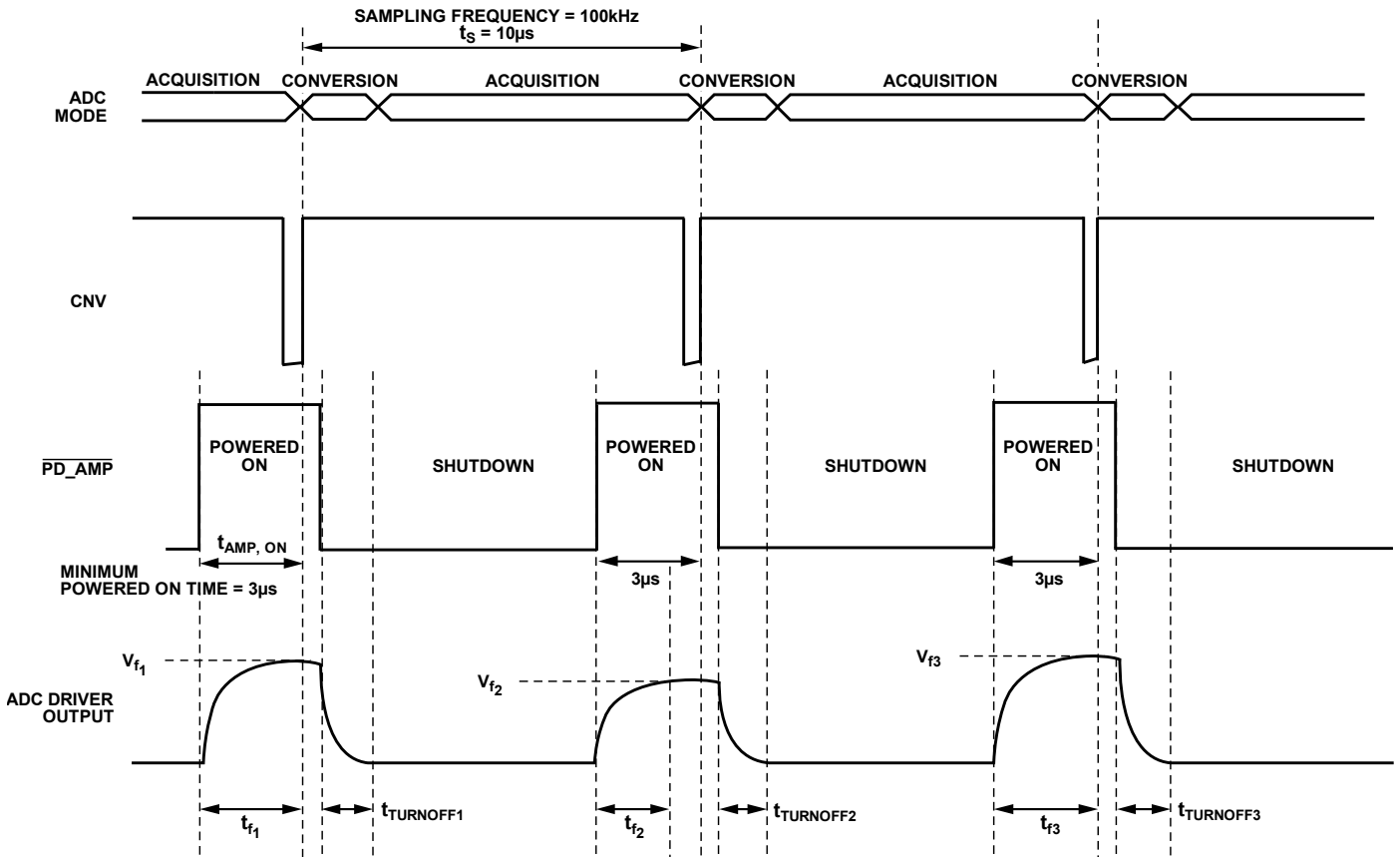


图63. 时序分析

图64显示了有和无功耗调节时的ADC驱动器静态功耗。无功耗调节时，放大器功耗恒定，与采样频率无关，如以下等式所示。

$$P_Q = I_Q \times V_S$$

有功耗调节时，静态功耗与放大器导通时间 ($t_{AMP, ON}$) 和采样时间 (t_s) 的比值成正比：

$$P_Q = I_Q \times V_S \times (t_{AMP, ON}/t_s)$$

因此，在采样周期中，通过动态切换驱动器的关断模式与全功率模式，驱动器的静态功耗便能随采样速率而调节。

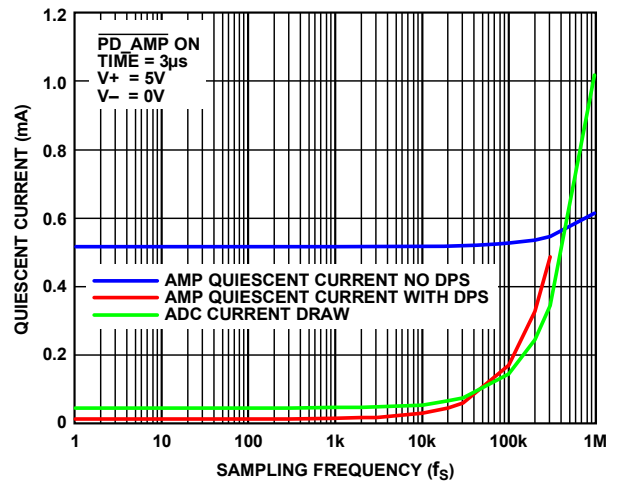


图64. ADC驱动器静态电流与ADC采样频率的关系

压摆增强

ADC驱动器内置压摆增强电路，可随反馈误差电压上升而增加压摆率。此电路改善了放大器对较大阶跃的建立响应，如图65所示。在复用多个输入信号的应用中，建立响应的这种改善很有帮助。

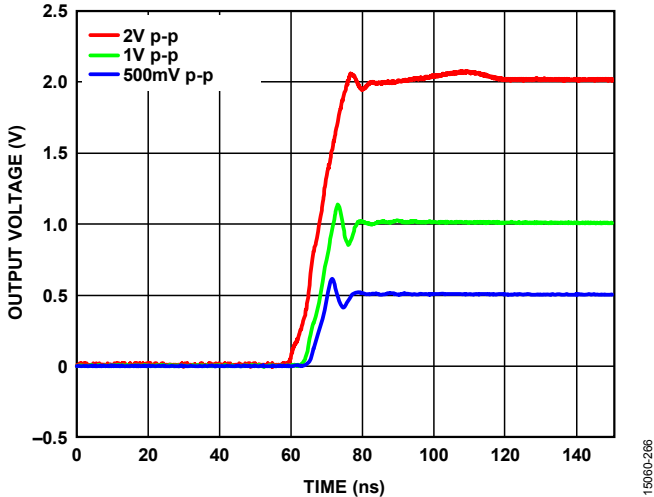


图65. 选定输出阶跃条件下的阶跃响应

反馈电阻对频率响应的影响

放大器输入电容和反馈电阻形成极点；该极点对于较大值的反馈电阻而言，会降低相位裕量，并增加频率响应中的峰值。图66显示放大器配置为+2增益时500 Ω反馈电阻 (R_F) 的峰化现象。图66还显示了如何通过在大放大器反馈电阻两端接一个小值电容来缓解峰化问题。

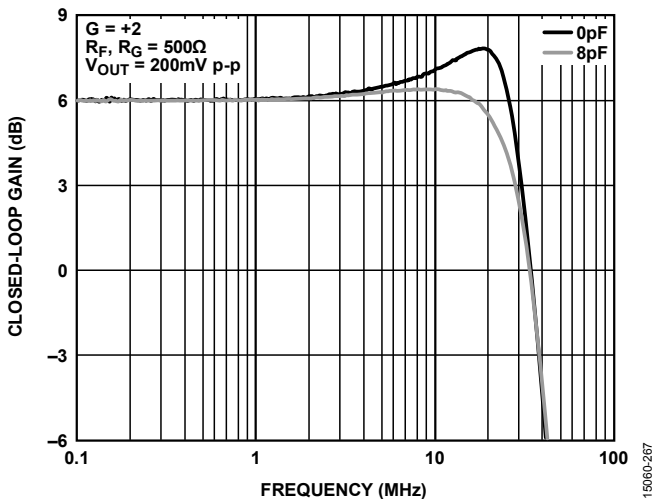


图66. 缓解小信号频率响应中的峰化问题

基准电压输入

ADAQ7980/ADAQ7988基准电压输入 (REF) 是片上低噪声基准电压缓冲器的同相节点。内置基准电压缓冲器的目的是最佳地驱动SAR ADC基准电压节点的动态输入阻抗。ADAQ7980/ADAQ7988还内置了10 μF去耦电容，其非常理想地放置在器件内部。此去耦电容是SAR架构必需的元件。REF_OUT电容不只是一个旁路电容。此电容是SAR ADC的一部分，其不适合放在硅上。

在位判断过程中，由于各位会在数十纳秒或更快的时间内建立，因此储能电容会补充内部容性DAC的电荷。随着二进制位加权转换的进行，将从10 μF电容中不断提取少量电荷。内部电容阵列只是去耦电容的很小一部分，但此大值储能电容需要满足SAR位判断建立时间要求。

REF_OUT与GND引脚之间不需要额外的低值陶瓷去耦电容（如100 nF）。

基准电压值设置SAR电容阵列可以量化的最大ADC输入电压。基准电压缓冲器设置为单位增益配置；因此，用户利用REF引脚设置基准电压值，并在REF_OUT引脚上观测此值。用户负责选择适合所设计系统的基准电压值。允许的基准电压值范围是2.4 V到5.1 V，但应注意，请勿违反基准电压缓冲器的输入共模电压范围要求。

相比于许多传统SAR ADC信号链，基准电压缓冲器的纳入使得用户可以实现功耗低得多的基准电压源，因为基准电压源驱动的是高阻抗节点，而不是SAR电容阵列的动态负载。利用基准电压缓冲器噪声和基准电压源噪声的和方根，可以估计总噪声。通常，基准电压缓冲器的噪声密度远低于基准电压源的噪声密度。

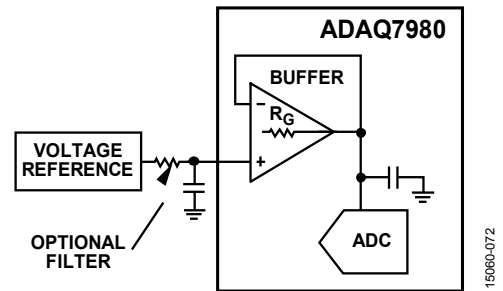


图67. 带RC滤波的基准电压源

如图67所示，将截止频率极低的RC低通滤波器放在基准电压源和ADAQ7980/ADAQ7988的REF引脚之间，以限制基准电压源噪声的频带。考虑到基准电压源通常是基准输入电路噪声的主要来源，这种滤波可能很有用。基准电压信号是直流型信号，因此可以使用超低带宽的滤波器。然而，对于如此低的截止频率，上电时的建立时间可能相当长。例如，-3 dB带宽为20 Hz的单极点低通滤波器的时间常数约为8 ms。

像任何ADC驱动器一样，基准电压缓冲器具有PD_REF引脚，其允许用户控制ADAQ7980/ADAQ7988的功耗。对于PD_REF引脚，可实现类似于图63的时序方案。另外，当要求功耗极低时，在较长空闲期间应使用PD_REF特性。

图68所示为基准电压缓冲器的关断电路。为保持关断模式下的超低电源电流，请勿为内部上拉电阻供电；因此，应从外部将PD_REF引脚驱动到高电平或低电平，勿让其浮空。将PD_REF引脚拉至中间电源以下1 V或更多时，器件关断，电源电流下降至2.9 μA（电源电压为5 V）。当放大器关断时，其输出端进入高阻抗状态。输出阻抗随着频率增加而下降。关断模式下，在10 kHz以下频率可实现-80 dB的正向隔离（见图51）。

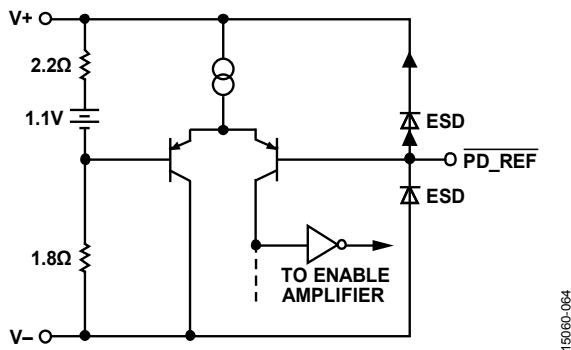


图68. 基准电压缓冲器关断电路

ESD箝位保护PD_REF引脚，如图68所示。超过电源电压的电压会导致这些二极管导通。为了保护PD_REF引脚，必须确保此引脚的输入电压不得高于正电源电压0.7 V以上，或者低于负电源电压0.7 V以下。预期会发生过压情况时，应采用串联电阻将输入电流限制在10 mA以下。表13总结了各种电源电压条件下关断和使能模式的阈值电压。对于任何电源电压，将PD_REF引脚拉至中间电源以下1 V或更多时，器件都会关断。

表13. 关断和使能模式的阈值电压

模式	V+/V-		
	+4 V/0 V	+5 V/0 V	+7 V/-2 V
使能	>+1.4 V	>+1.9 V	>+1.9 V
关断	<+1.0 V	<+1.5 V	<+1.5 V

若一个系统中使用多个ADAQ7980/ADAQ7988器件，例如在菊花链配置中，可以使用其中一个ADAQ7980/ADAQ7988的基准电压缓冲器来为多个ADAQ7980/ADAQ7988器件提供REF_OUT信号。使能基准电压缓冲器的PD_REF引脚会将基准电压缓冲器输出置于高阻态。有源基准电压缓冲器可以驱动随后的REF_OUT节点。连接详情参见图69。

各转换器的采样速率决定可以链接在一起的ADAQ7980/ADAQ7988基准电压源数量。基准电压输入为5 V且转换器以1 MSPS运行时，各ADAQ7980/ADAQ7988 SAR ADC基准电压源消耗330 μA负载电流。此功耗与采样速率成线性比例。例如，采样速率降至100 kSPS时，基准电流消耗降至33 μA。有源基准电压缓冲器必须很好地调节累积功耗，使得基准电压变化不超过1/2 LSB。基准电压值的未被发觉的变化表现为增益误差。

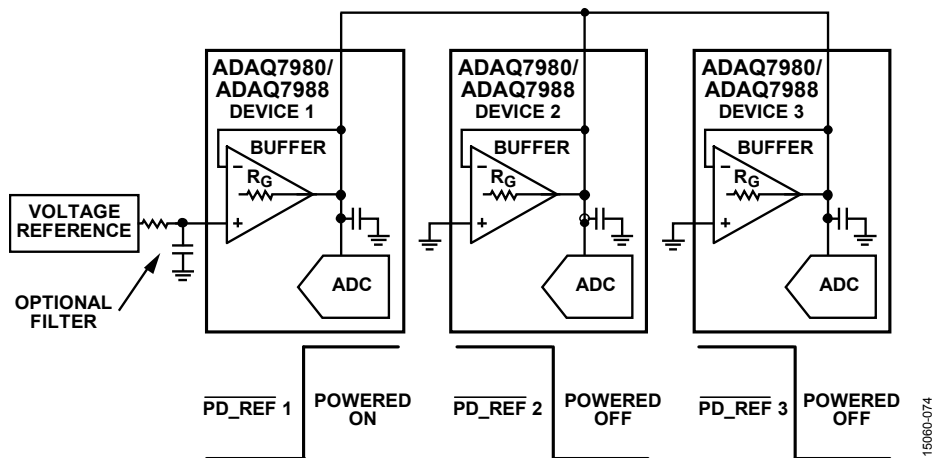


图69. 多个ADAQ7980/ADAQ7988器件的基准电压配置

电源

电源旁路对于确保ADC驱动器的性能至关重要。将电容从放大器每个电源引脚（V+和V-）并接地最有效。数值较小的陶瓷电容可提供更好的高频响应，数值较大的陶瓷电容则能提供更好的低频性能。

并联不同值和尺寸的电容器有助于确保电源引脚在较宽的频率范围内都具有较低的交流阻抗。并联对于最大程度地降低耦合到放大器的噪声非常重要，特别是当放大器PSRR开始滚降时，因为旁路电容有助于减小PSRR性能的降幅。

值最小的电容应放在电路板上与ADAQ7980/ADAQ7988相同的一侧，并且尽可能靠近放大器电源引脚。电容的接地端直接连接到接地层即可。

ADAQ7980/ADAQ7988另外还有两个电源引脚：为ADC供电的LDO稳压器输入（VDD）和数字输入/输出接口电源（VIO）。VIO可以与1.8 V至5.0 V的任何逻辑直接接口。

ADAQ7980/ADAQ7988与VIO和VDD的电源时序无关。建议先给VIO和VDD供电，再给V+和V-供电。此外，当不需要时，建议将ADC驱动器和基准电压缓冲器置于关断状态，即在ADAQ7980/ADAQ7988的上电序列期间对PD_AMP和PD_REF引脚施加逻辑低电平信号。该子系统的上电和断电建议采用如下顺序。

双电源的推荐上电顺序如下：

1. 对PD_AMP、PD_REF和PD_LDO施加逻辑低电平信号。
2. 对VIO施加电压。
3. 对VDD施加电压。
4. 对PD_LDO施加逻辑高电平信号。
5. 对V+和V-施加电压。
6. 对PD_AMP和PD_REF施加逻辑高电平信号。

单电源的推荐上电顺序如下：

1. 对PD_AMP、PD_REF和PD_LDO施加逻辑低电平信号。
2. 对VIO施加电压。
3. 对VDD和V+施加电压。
4. 对PD_LDO施加逻辑高电平信号。
5. 对PD_AMP和PD_REF施加逻辑高电平信号。

双电源的推荐关断顺序如下：

1. 对PD_AMP和PD_REF施加逻辑低电平信号。
2. 移除V+和V-上的电压。
3. 对PD_LDO施加逻辑低电平信号。
4. 移除VDD上的电压。
5. 移除VIO上的电压。

单电源的推荐关断顺序如下：

1. 对PD_AMP和PD_REF施加逻辑低电平信号。
2. 对PD_LDO施加逻辑低电平信号。
3. 移除V+和VDD上的电压。
4. 移除VIO上的电压。

此外，ADAQ7980/ADAQ7988在很宽的频率范围内对电源变化不敏感，如图70所示。

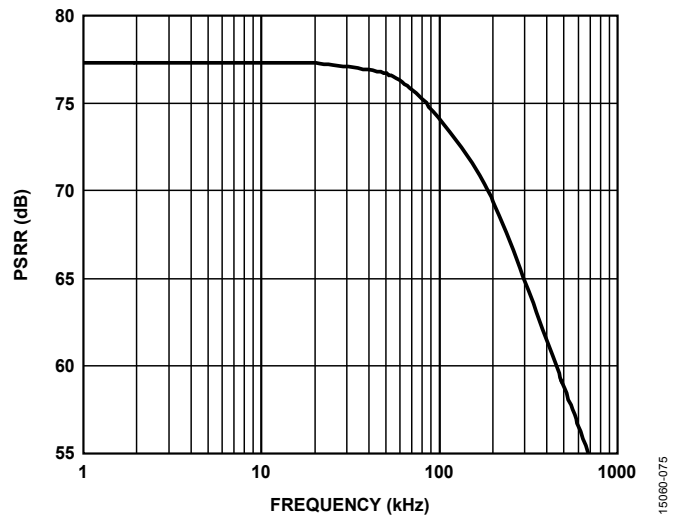


图70. PSRR与频率的关系

VDD输入为片上LDO稳压器的输入，其为SAR ADC提供2.5 V电压。通过内置LDO稳压器，ADAQ7980/ADAQ7988向用户提供宽电源范围。当这些器件采用单电源配置工作时，V+和VDD引脚应接在一起，并将V-引脚接地。表4详细列出了单电源系统的工作要求。

ADAQ7980/ADAQ7988的LDO稳压器是2.5 V低静态电流线性稳压器，采用3.5 V至10 V电源供电，最大输出电流为100 mA。LDO稳压器满载时消耗180 μ A（典型值）的低静态电流。室温时，关断模式下的功耗典型值低于3 μ A。LDO稳压器的典型启动时间为380 μ s。

ADAQ7980/ADAQ7988要求将一个小2.2 μ F陶瓷电容连接在VDD引脚和地之间。任何质量优良的陶瓷电容都可以使用，只要符合最小电容和最大等效串联电阻（ESR）要求。陶瓷电容可采用各种各样的电介质制造，温度和所施加的电压不同时其特性也不相同。电容必须具有足以在必要的温度范围和直流偏置条件下确保最小电容的电介质。推荐使用额定电压为6.3 V至100 V的X5R或X7R电介质。Y5V和Z5U电介质的温度和直流偏置特性不佳，建议不要使用。

LDO稳压器内置一个基准电压源、一个误差放大器、一个反馈分压器和一个正金属氧化物半导体 (PMOS) 调整管。PMOS调整管由误差放大器控制, 输送输出电流。误差放大器比较基准电压与输出端的反馈电压, 并放大该差值。如果反馈电压低于基准电压, PMOS器件的栅极将被拉低, 以便通过更多电流, 提高输出电压。如果反馈电压高于基准电压, PMOS器件的栅极将被拉高, 以便通过较少电流, 降低输出电压。

在正常工作条件下, LDO稳压器利用PD_LDO引脚使能和禁用LDO_OUT引脚。PD_LDO为高电平时, LDO_OUT开启; PD_LDO为低电平时, LDO_OUT关闭。若要实现自动启动, 请将PD_LDO接VDD。如果对PD_AMP和PD_REF也施加了逻辑低电平信号, 则只需对PD_LDO施加逻辑低电平信号。

LDO稳压器限流和热过载保护

电流和热过载保护电路保护ADAQ7980/ADAQ7988的LDO稳压器, 防止功耗过大造成损坏。当输出负载达到360 mA (典型值) 时, LDO稳压器就会限流。当输出负载超过限流阈值时, 输出电压会降低, 以保持恒定的电流限值。

热过载保护电路将LDO稳压器结温限制在150°C (典型值) 以下。在极端条件下 (即高环境温度和/或高功耗), 当结温开始升至150°C以上时, 输出就会关闭, 从而将输出电流降至0。当结温降至135°C以下时, 输出又会开启, 输出电流恢复为工作值。

考虑LDO_OUT至地发生硬短路的情况。首先, LDO稳压器限制可以传导至短路电路的电流阈值。如果结的自发热量足够大, 使其温度升至150°C以上, 热关断功能就会激活, 输出关闭, 输出电流降至0。当结温冷却下来, 降至135°C以下时, 输出开启, 将限值电流传导至短路路径中, 再次导致结温升至150°C以上。结温在135°C至150°C范围内的热振荡导致电流在最大电流和0 mA之间振荡; 只要输出端存在短路, 振荡就会持续下去。

限流和热过载保护可保护器件免受偶然过载条件影响。为保证可靠工作, 必须从外部限制器件的功耗, 使结温不会超过125°C。

LDO稳压器热考虑

在输入至输出电压差很小的应用中, LDO稳压器不会产生很多热量。然而, 在环境温度很高和/或输入电压很大的应用中, 封装发出的热量可能非常大, 导致芯片结温超过额定结温125°C。

当结温超过150°C时, LDO稳压器进入热关断模式。只有当结温降至135°C以下时, 它才会恢复, 以防永久性受损。因此, 为了保证器件在所有条件下具有可靠性能, 必须对具体应用进行热分析。为保证器件以额定性能工作, LDO稳压器的结温不得超过125°C。为确保结温低于此值, 用户需要注意会导致结温变化的参数。这些参数包括环境温度、功率器件的功耗、结与周围空气之间的热阻 (θ_{JA})。 θ_{JA} 值取决于所用的封装填充物和将封装GND引脚焊接到PCB所用的材料量。

数字接口

虽然引脚数很少，但ADAQ7980/ADAQ7988在串行接口模式上仍具有灵活性。

在 \overline{CS} 模式下，ADAQ7980/ADAQ7988与SPI、QSPI™和数字主机兼容。此接口可使用三线式或四线式接口。三线式接口使用CNV、SCK和SDO信号，可将线路连接减至最少，在隔离应用中非常有用。四线式接口使用SDI、CNV、SCK和SDO信号，使启动转换的CNV独立于回读时序(SDI)。这种独立性在低抖动采样或同步采样应用中很有用。

链模式下，ADAQ7980/ADAQ7988提供菊花链特性，利用SDI输入可在类似移位寄存器的单条数据线上实现多个ADC的级联。

这些器件的工作模式取决于CNV上升沿出现时的SDI电平。要选择 \overline{CS} 模式，SDI应设为高电平；要选择链模式，SDI应设为低电平。SDI保持时间是这样的：当SDI和CNV连接在一起时，就会选择链模式。

任一模式下，ADAQ7980/ADAQ7988均提供在数据位前强制加入起始位的灵活性。此起始位可用作繁忙信号指示，以中断数字主机并触发数据读取。如果无繁忙指示，用户必须在回读前等待最大转换时间。

繁忙指示功能在下列情况下使能：

- \overline{CS} 模式下，如果ADC转换结束时CNV或SDI为低电平（参见图74和图78）。
- 链模式下，如果CNV上升沿期间SCK为高电平（参见图82）。

无繁忙指示的三线CS模式

要将单个ADAQ7980/ADAQ7988连接到SPI兼容数字主机，应使用无繁忙指示的三线CS模式。图71所示为连接图，图72为对应的时序图。

将SDI连接到VIO时，CNV上的上升沿启动转换，选择CS模式，并强制SDO进入高阻态。启动转换后，无论CNV为何状态，转换都会执行到完成为止。这是很有用的，例如，可拉低CNV来选择模拟多路复用器等其他SPI器件。不过，在最小转换时间过去之前，CNV应返回高电平，接着在最大转换时间内保持高电平，以避免生成繁忙信号指示。转换完成后，ADAQ7980/ADAQ7988进入采集阶段并关断。

CNV变为低电平时，MSB输出至SDO。然后，剩余数据位在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以捕捉数据，但使用SCK下降

沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第16个SCK下降沿之后，或者当CNV变为高电平时（以最先出现者为准），SDO返回高阻态。

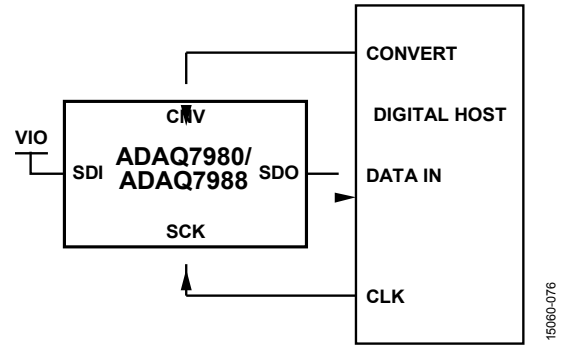


图71. 无繁忙指示的三线CS模式连接图 (SDI = 1, 高电平)

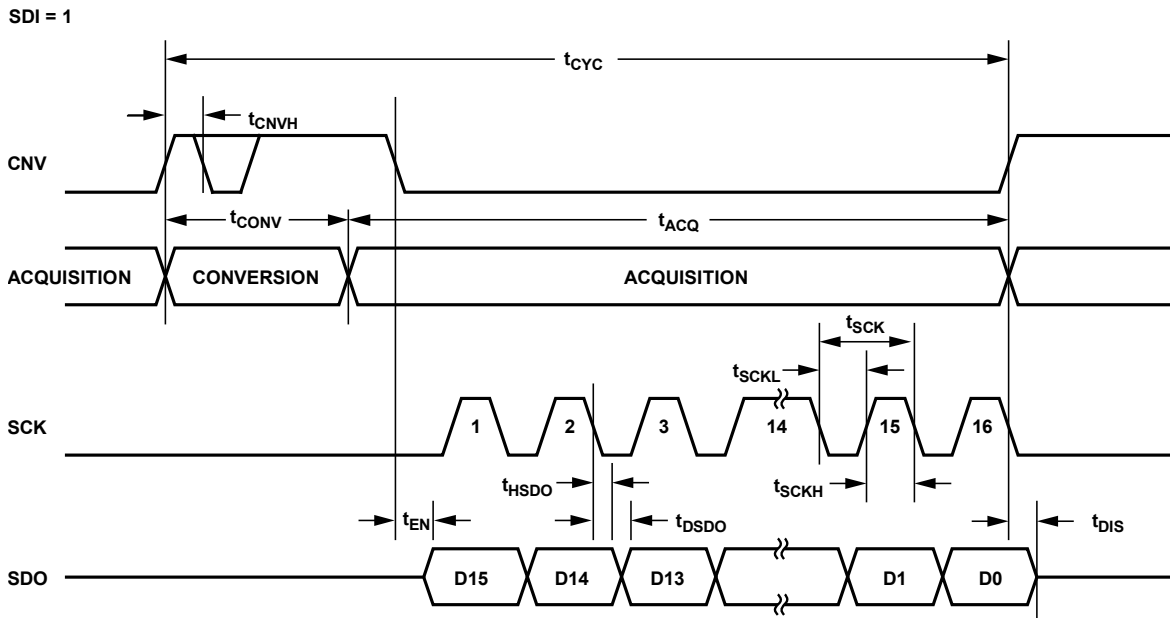


图72. 无繁忙指示的三线CS模式串行接口时序 (SDI = 1, 高电平)

有繁忙指示的三线CS模式

要将单个ADAQ7980/ADAQ7988连接到带中断输入的SPI兼容数字主机，应使用有繁忙指示的三线CS模式。

图73所示为连接图，图74为对应的时序图。

将SDI连接到VIO时，CNV上的上升沿启动转换，选择CS模式，并强制SDO进入高阻态。无论CNV状态如何，SDO都会保持高阻态，直至转换完成。最小转换时间之前，CNV可用于选择其他SPI器件，如模拟多路复用器。不过，在最小转换时间过去之前，CNV应返回低电平，接着在最大转换时间内保持低电平，以保证生成繁忙信号指示。

转换完成时，SDO从高阻态变为低阻态。结合SDO线路上的上拉电阻，此转换可用作中断信号，以启动由数字主机控制的数据读取。ADAQ7980/ADAQ7988接着进入采集阶段并关断。数据位则在随后的SCK下降沿逐个输出，MSB优先。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以捕捉数据，但使用SCK下降沿的数字主机可实现更快的读取速率，只要它具有合理的保持时间。在可选的第17个SCK下降沿之后，或者当CNV变为高电平时（以最先出现者为准），SDO返回高阻态。

如果同时选择多个ADAQ7980/ADAQ7988器件，SDO输出引脚可在不造成损坏或引起闩锁的情况下处理此竞争。同时，建议此竞争尽可能短暂，以限制额外功耗。

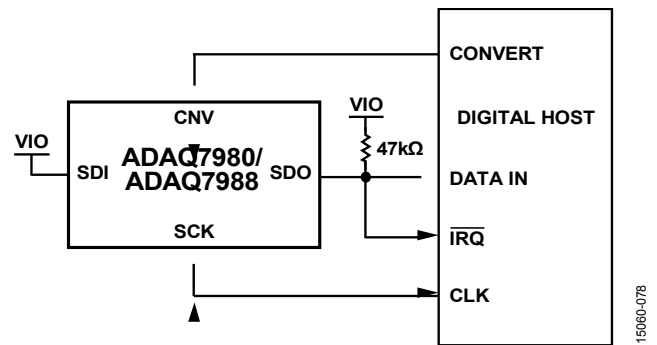


图73. 有繁忙指示的三线CS模式连接图 (SDI = 1, 高电平)

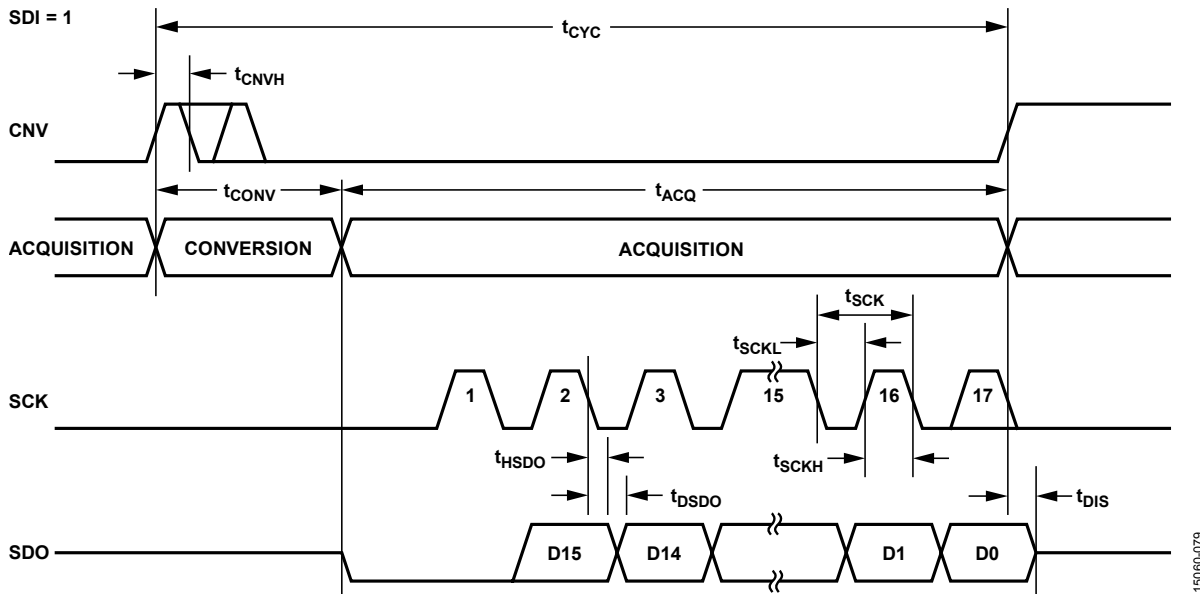


图74. 有繁忙指示的三线CS模式串行接口时序 (SDI = 1, 高电平)

无繁忙指示的四线CS模式

要将多个ADAQ7980/ADAQ7988器件连接到SPI兼容数字主机，应使用无繁忙指示的四线CS模式。

图75所示为使用两个ADAQ7980/ADAQ7988器件的连接图示例，相应的时序如图76所示。

将SDI置为高电平时，CNV上的上升沿启动转换，选择CS模式，并强制SDO进入高阻态。此模式下，CNV在转换阶段和随后的数据回读期间应保持高电平（如果SDI和CNV为低电平，SDO将变为低电平）。最小转换时间之前，SDI可用于选择其他SPI器件，如模拟多路复用器。不过，在最

小转换时间过去之前，SDI应返回高电平，接着在最大转换时间内保持高电平，以避免生成繁忙信号指示。

转换完成后，ADAQ7980/ADAQ7988进入采集阶段并关断。将SDI输入拉低可读取各ADC结果，从而将MSB输出至SDO。然后，剩余数据位在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第16个SCK下降沿之后，或者当SDI变为高电平时（以最先出现者为准），SDO返回高阻态，可读取另一个ADAQ7980/ADAQ7988。

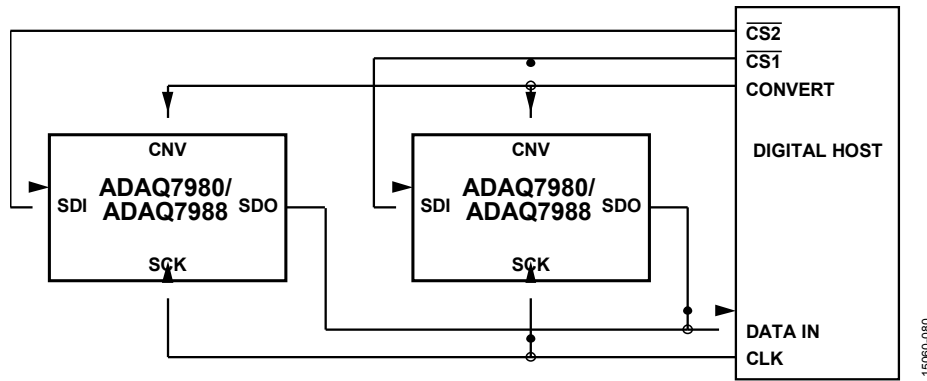


图75. 无繁忙指示的四线CS模式连接图

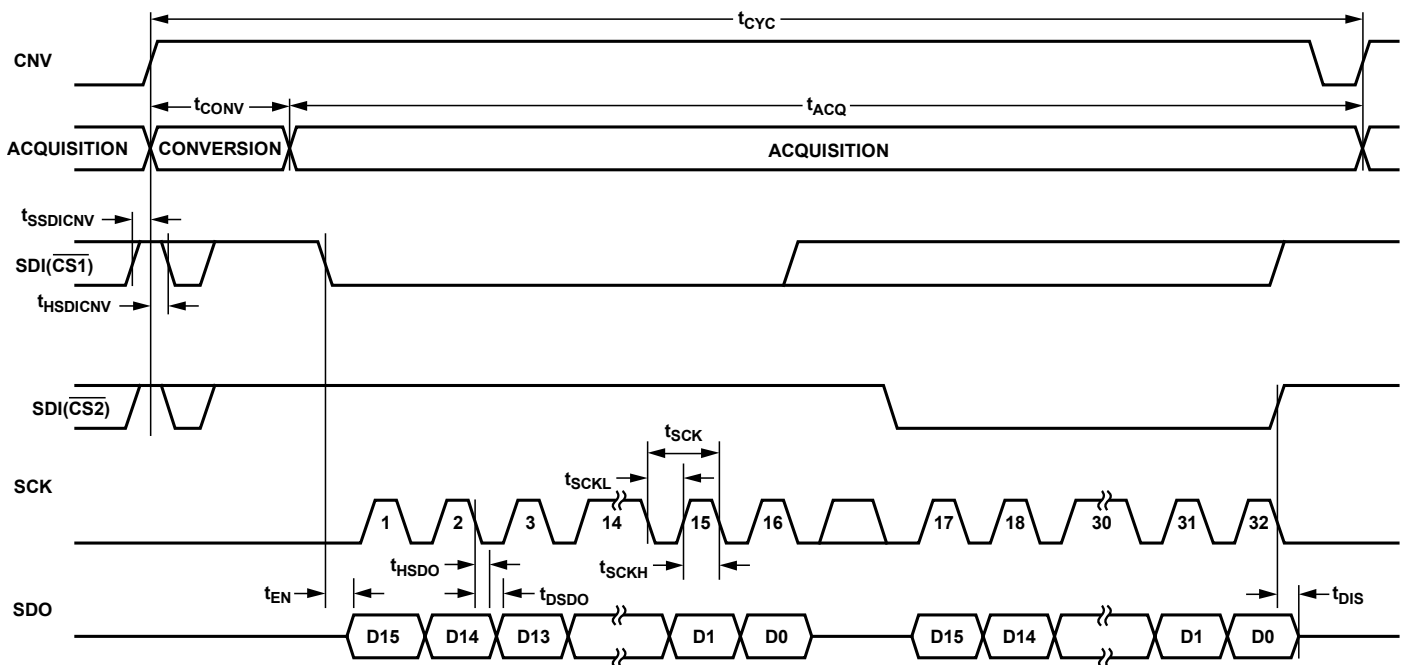


图76. 无繁忙指示的四线CS模式串行接口时序

有繁忙指示的四线CS模式

在将单个ADAQ7980或ADAQ7988连接到具有中断输入的SPI兼容数字主机时，以及用于采样模拟输入的CNV与用于选择数据读取的信号需要相互保持独立时，应使用有繁忙指示的四线CS模式。该要求在需要CNV低抖动的应用中尤其重要。

图77所示为连接图，图78为对应的时序图。

将SDI置为高电平时，CNV上的上升沿启动转换，选择CS模式，并强制SDO进入高阻态。此模式下，CNV在转换阶段和随后的数据回读期间应保持高电平（如果SDI和CNV为低电平，SDO将变为低电平）。最小转换时间之前，SDI可用于选择其他SPI器件，如模拟多路复用器。不过，在最小转换时间过去之前，SDI应返回低电平，接着在最大转换时间内保持低电平，以保证生成繁忙信号指示。转换完成时，SDO从高阻态变为低阻态。

结合SDO线路上的上拉电阻，此转换可用作中断信号，以启动由数字主机控制的数据回读。ADAQ7980/ADAQ7988

接着进入采集阶段并关断。数据位则在随后的SCK下降沿逐个输出，MSB优先。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以捕捉数据，但使用SCK下降沿的数字主机能够实现更快的读取速率，只要它具有合理的保持时间。在可选的第17个SCK下降沿之后，或者当SDI变为高电平时（以最先出现者为准），SDO返回高阻态。

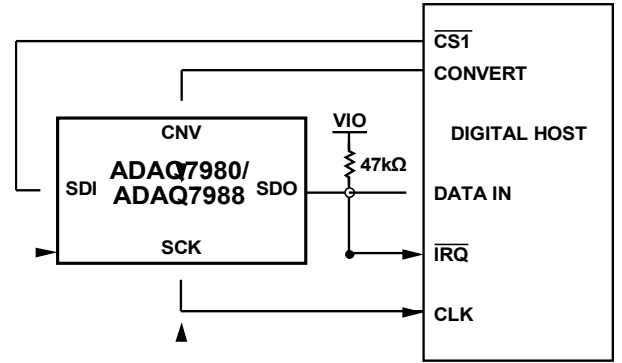


图77. 有繁忙指示的四线CS模式连接图

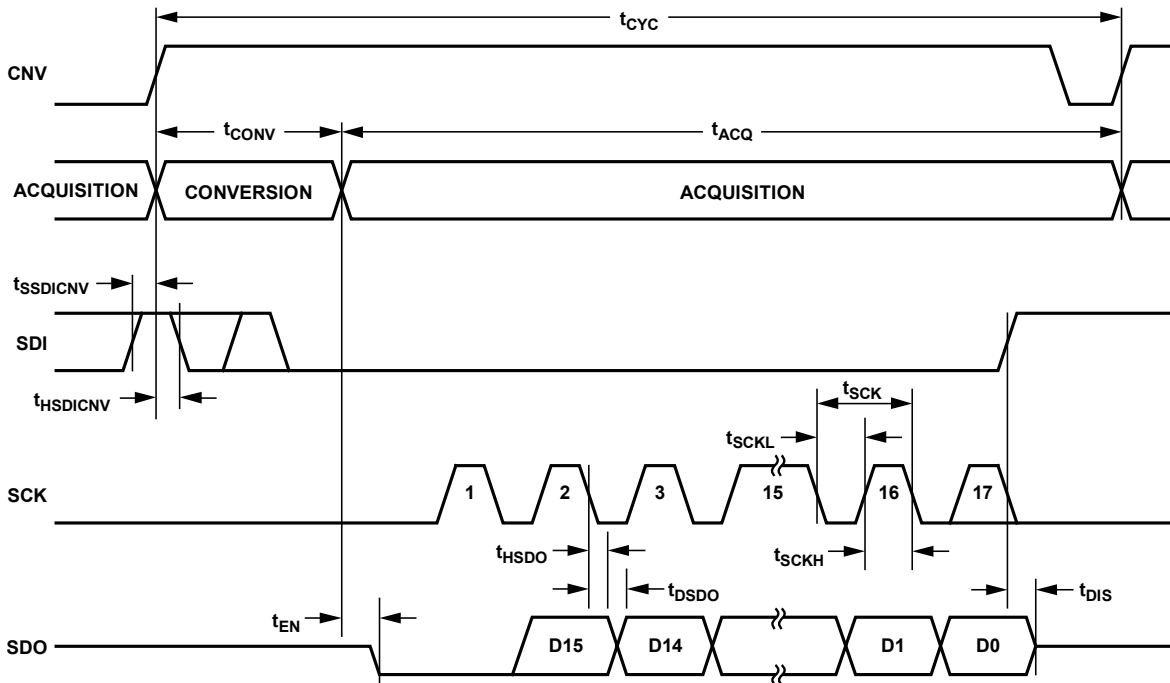


图78. 有繁忙指示的四线CS模式串行接口时序

无繁忙指示的链模式

要以菊花链形式将多个ADAQ7980/ADAQ7988器件连接到三线串行接口，应使用无繁忙指示的链模式。这一特性有助于减少器件数量和线路连接，例如在隔离式多转换器应用或接口能力有限的系统中。数据回读与读取移位寄存器相似。

图79所示为使用两个ADAQ7980/ADAQ7988器件的连接图示例，相应的时序如图80所示。

SDI和CNV为低电平时，SDO变为低电平。将SCK置为低电平时，CNV上的上升沿启动转换，选择链模式，并禁用繁

忙指示。此模式下，CNV在转换阶段和随后的数据回读期间保持高电平。转换完成后，MSB输出至SDO，而ADAQ7980/ADAQ7988进入采集阶段并关断。存储在内部移位寄存器中的剩余数据位则在随后的SCK下降沿逐个输出。对于每个ADC，SDI馈入内部移位寄存器的输入，并通过SCK下降沿逐个输出。链内每个ADC首先输出数据MSB，回读N个ADC需要 $16 \times N$ 个时钟。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，从而在链中容纳更多ADAQ7980/ADAQ7988器件，只要数字主机具有合理的保持时间。总回读时间会降低最大转换速率。

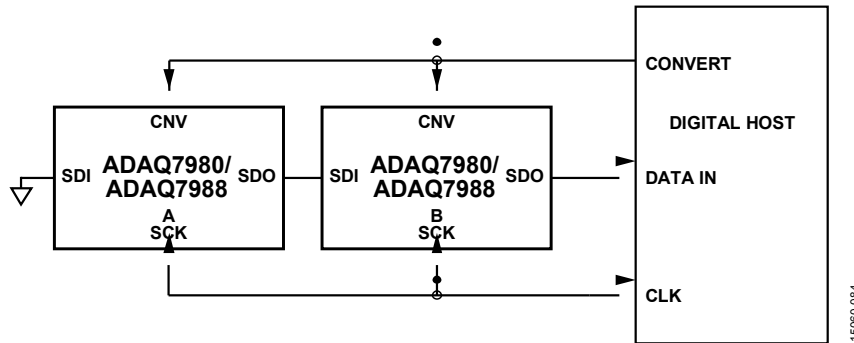


图79. 无繁忙指示的链模式连接图

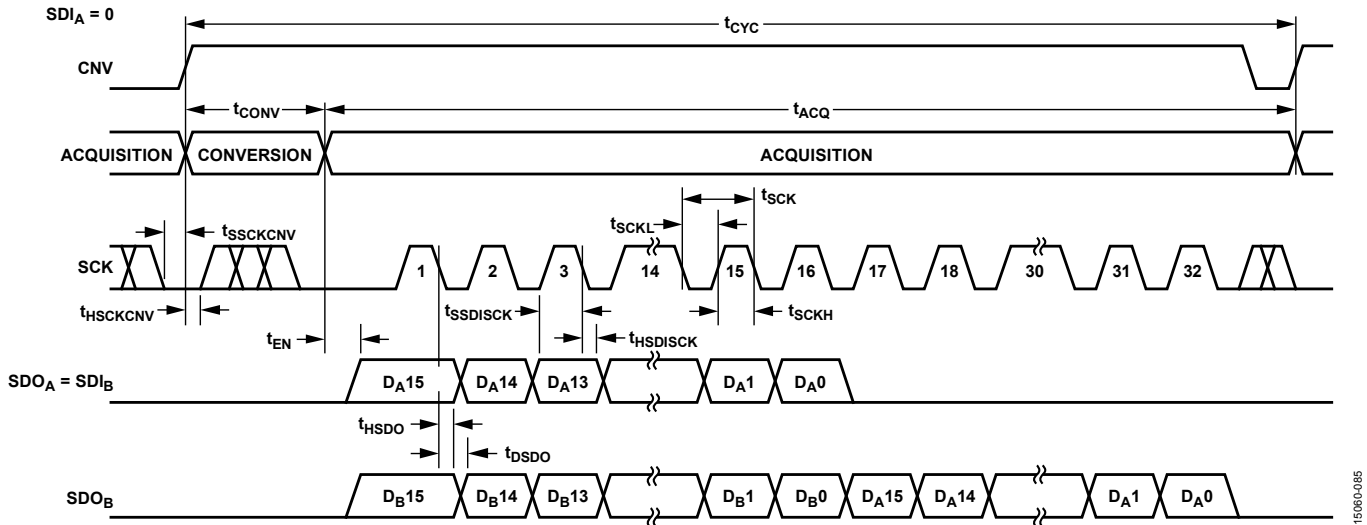


图80. 无繁忙指示的链模式串行接口时序

有繁忙指示的链模式

要以菊花链形式将多个ADAQ7980/ADAQ7988器件连接到三线串行接口并提供一个繁忙指示，应使用有繁忙指示的链模式。这一特性有助于减少器件数量和线路连接，例如在隔离式多转换器应用或接口能力有限的系统中。数据回读与读取移位寄存器相似。

图81所示为使用三个ADAQ7980/ADAQ7988器件的连接图示例，相应的时序如图82所示。

SDI和CNV为低电平时，SDO变为低电平。将SCK置为高电平时，CNV上的上升沿启动转换，选择链模式，并启用繁忙指示功能。此模式下，CNV在转换阶段和随后的数据回读期间保持高电平。链内所有ADC完成转换后，将最靠近

数字主机的ADC的SDO引脚（参见图81中标示为C的ADAQ7980/ADAQ7988 ADC）驱动到高电平。SDO上的这一转换可用作繁忙指示，以触发由数字主机控制的数据回读。ADAQ7980/ADAQ7988接着进入采集阶段并关断。存储在内部移位寄存器中的剩余数据位则在随后的SCK下降沿以MSB优先方式逐个输出。对于每个ADC，SDI馈入内部移位寄存器的输入，并通过SCK下降沿逐个输出。链内每个ADC首先输出数据MSB，回读N个ADC需要 $16 \times N + 1$ 个时钟。虽然上升沿可以捕捉数据，但使用SCK下降沿的数字主机可实现更快的读取速率，从而在链中容纳更多ADAQ7980/ADAQ7988器件，只要数字主机具有合理的保持时间。

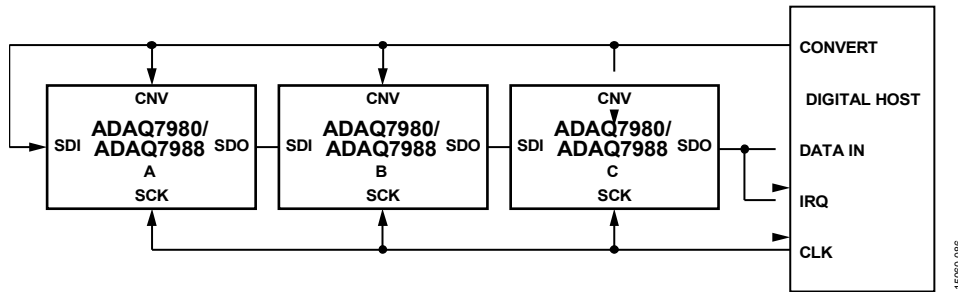


图81. 有繁忙指示的链模式连接图

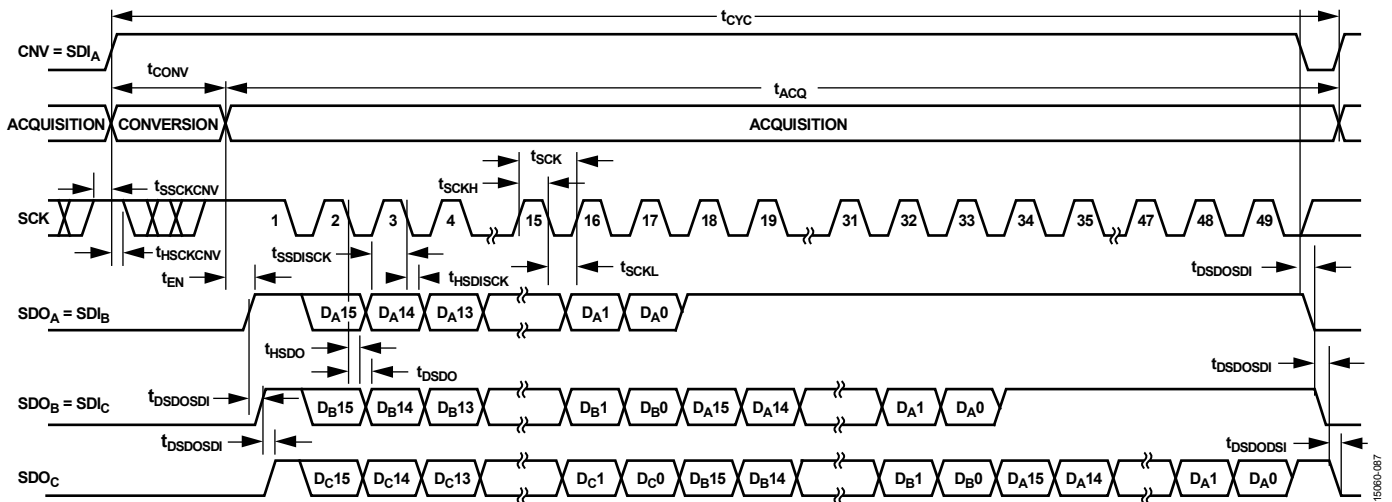


图82. 有繁忙指示的链模式串行接口时序

应用电路

表14提供了不同增益下的推荐元件值，以及给定配置的对应变率、带宽和噪声。如图83所示，无论是否实际用于反相或同相增益，运放增益模块的噪声增益 G_N 都等于同相电压增益。从而有：

$$\text{同相 } G_N = R_F / R_G + 1$$

$$\text{反相 } G_N = R_F / R_G + 1$$

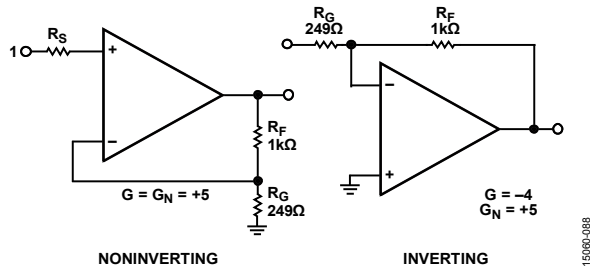


图83. 二者的噪声增益均为5

对于ADC驱动器，可以权衡多方面因素来精调其动态性能。像所有高速放大器一样，放大器周围的寄生电容和电感可能影响其动态响应。输入电容（由放大器本身和PCB造成）常常有相当大的影响。反馈电阻与输入电容一起，

会造成相位裕量损失，从而影响高频响应。将一个电容 (C_F) 与反馈电阻并联可以补偿此相位损失。

此外，与信号源串联的任何电阻都会同输入电容一起产生一个极点（封装和电路板的电感和电容还会抑制高频响应）。还须注意，提高电阻值会提高放大器的总噪声，而降低反馈电阻值会提高输出级上的负载，从而增加失真。

ADC驱动器无交越区，具有地以下100 mV到正供电轨以下1.3 V的宽线性输入范围。放大器配置为跟随器时，线性信号范围是从负电源电压以上150 mV（受限于放大器输出级）到正电源电压以下1.3 V（受限于放大器输入级）。如果 $V+$ 和 $V-$ 之间的电源压差小于5 V，则ADC驱动器的线性范围从负电源电压以上150 mV减小到负电源电压以上200 mV。使用低至+5.4 V的正电源电压和-0.2 V的负电源电压，便可提供0 V至+4.096 V的信号范围。若使用地作为放大器的负电源，则在输入范围接近地的低端处，ADC驱动器表现出相当大的非线性，如同任何轨到轨输出放大器一样。

放大器驱动一个单极点低通滤波器。该滤波器抑制原本就已非常低的从放大器到SAR ADC的噪声。

表14. 推荐元件值

噪声增益, 同相增益	R_S (Ω)	R_F (Ω)	R_G (Ω)	C_F (pF)
1	49.9	49.9	不适用	不适用
1.25	49.9	249	1 k	8
2	49.9	499	499	8
5	49.9	1 k	249	8

表15. 选定输入频率下的系统性能，5 V基准电压值

输入频率 (kHz)	ADC驱动器增益	结果			
		SNR (dB)	THD (dB)	SINAD (dB)	ENOB
1	1	91.9	-106.1	91.5	14.9
10	1	91.5	-105.0	91.0	14.8
20	1	90.7	-103.6	90.1	14.7
50	1	88.3	-99.7	87.6	14.2
100	1	84.5	-93.3	83.3	13.5

非单位增益配置

图84显示典型连接图和主要直流误差源。理想传递函数（所有误差源设为0、直流增益无限大）可以表示为：

$$V_{OUT} = \left(1 + \frac{R_F}{R_G}\right) \times V_{IP} - \left(\frac{R_F}{R_G}\right) \times V_{IN} \quad (1)$$

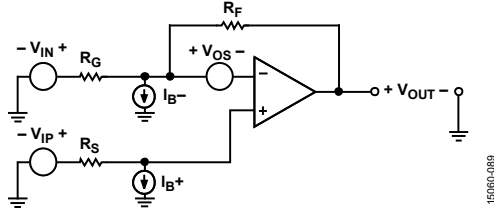


图84. 典型ADC驱动器连接图和直流误差源

此函数简化为下面大家熟悉的同相和反相运放增益表达式。

$$V_{OUT} = \left(1 + \frac{R_F}{R_G}\right) \times V_{IP} \quad (2)$$

(同相增益, $V_{IN} = 0\text{ V}$)

$$V_{OUT} = \left(-\frac{R_F}{R_G}\right) \times V_{IN} \quad (3)$$

(反相增益, $V_{IP} = 0\text{ V}$)

总输出电压误差为放大器失调电压和输入电流引起的误差之和。失调电压引起的输出误差可以通过下式估算：

$$V_{OUT_ERROR} = \left(V_{OFFSET_NOM} + \frac{V_{CM}}{CMRR} + \frac{V_P - V_{PNOM}}{PSRR} + \frac{V_{OUT}}{A} \right) \times \left(1 + \frac{R_F}{R_G} \right) \quad (4)$$

其中：

V_{OFFSET_NOM} 为额定电源电压下的失调电压，测量条件为输入和输出处于中间电源电压。

V_{CM} 为共模电压。

V_P 为电源电压。

V_{PNOM} 为额定电源电压。

$CMRR$ 为共模抑制比。

$PSRR$ 为电源抑制比。

A 为直流开环增益。

输入电流引起的输出误差可以通过下式估算：

$$V_{OUT_ERROR} = (R_F \parallel R_G) \times \left(1 + \frac{R_F}{R_G} \right) I_{B-} - R_S \times \left(1 + \frac{R_F}{R_G} \right) \times I_{B+} \quad (5)$$

注意：由于存在输入偏置电流，将 R_S 设为 $R_F \parallel R_G$ 可补偿电压误差。

图85显示了ADC驱动器同相增益连接。该电路在多个增益设置下进行了测试，输出电压约为5 V p-p以实现最佳分辨率和噪声性能。

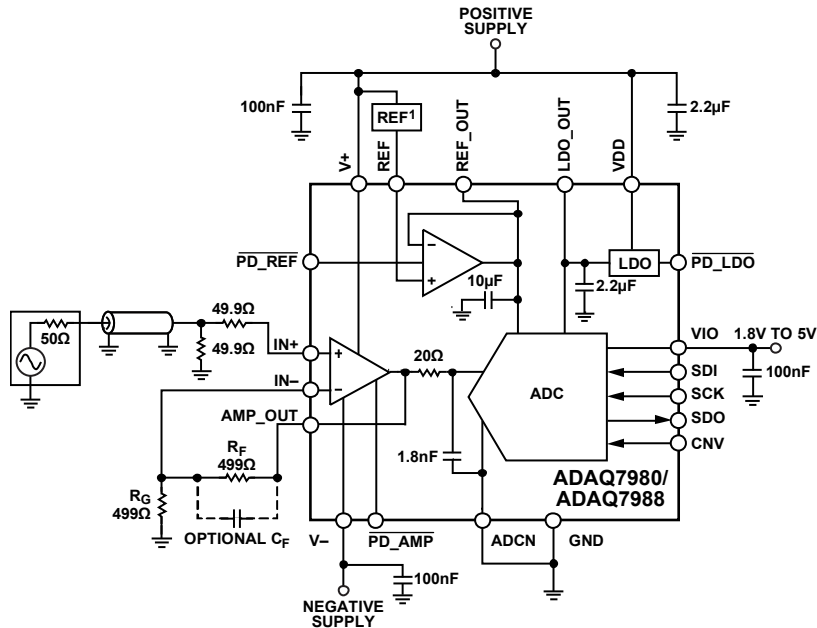


图85. 同相ADC驱动器，增益 = 2

表16. 不同增益配置下ADAQ7980/ADAQ7988的典型环境温度性能 ($f_{in} = 10 \text{ kHz}$)

增益 (V/V)	SNR (dB)	THD (dB)	SINAD (dB)	SFDR (dB)	ENOB (位)
-1	88.3	-103.4	88.0	104.5	14.3
-0.25	90.6	-96.9	90.2	102.0	14.7
1	91.5	-105	91.0	106.0	14.8
2	89.7	-103.9	89.3	102.9	14.5

典型环境温度结果列于表16。

带电平转换的反相配置

可以配置ADAQ7980/ADAQ7988采集双极性输入。例如，可以配置器件以使 $\pm 10 \text{ V}$ 信号适合 0 V 到 V_{REF} 输入范围。本例中，由于要让 20 V p-p 信号适应较小的峰峰值输入范围中，所以必须选择反相配置。衰减输入信号需要反相配置。由于反相，此配置造成 180° 相移。

SAR ADC输入范围是单极性的，必须进行电平转换才能让双极性信号适合ADC的单极性输入。此电平转换利用差动放大器配置来完成。针对差动放大器选择的电阻比取决于双极性输入信号的峰峰值电压，以及用于子系统的设置ADC转换满量程范围的基准电压。

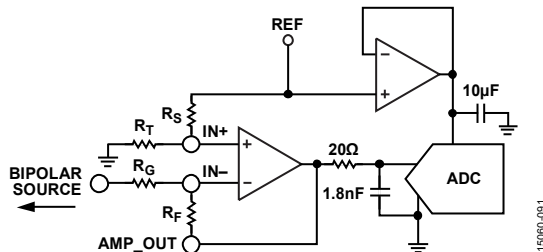


图86. 用于使双极性信号适应ADAQ7980/ADAQ7988的差动放大器配置

同相和反相增益两种配置中，提高 R_F 值以减小输出端负载往往是有用的。提高 R_F 值可改善谐波失真性能，但副作用是放大器的带宽会降低。请注意，随着增益提高，小信号带宽会下降，这与增益带宽积的关系是一致的。此外，增益越高，相位裕量越大，放大器变得越加稳定。因此，频率响应的峰化随之减小。

PCB布局配置和芯片焊盘往往会产生杂散电容。反相输入端的杂散电容会与反馈和增益电阻一起形成一个极点。这一额外极点会增加闭环相位响应的相移，降低相位裕量，导致放大器不稳定和频率响应峰化。

为获得所需带宽，应调整反馈电阻 R_F 。如果无法调整 R_F ，可以让一个小电容与 R_F 并联以降低峰化。

反馈电容 C_F 与反馈电阻一起形成一个零点，抵消输入杂散电容与增益和反馈电阻所形成的极点。第一次确定 C_F 值时，可以使用以下公式：

$$R_G \times C_S = R_F \times C_F$$

其中：

R_G 为增益电阻。

C_S 为输入杂散电容。

R_F 为反馈电阻。

C_F 为反馈电容。

这样做可使放大器的原始闭环频率响应恢复到像没有杂散输入电容那样。不过， C_F 值多数时候凭经验确定。表14中列出了推荐值。

有源滤波器配合ADAQ7980/ADAQ7988使用

ADC驱动器的低噪声和高增益带宽使它成为有源滤波器电路的绝佳选择。大多数有源滤波器文献为各种滤波器提供了电阻和电容值，但忽略了运放有限带宽对滤波器性能的影响，认为滤波器具有无限环路增益和理想响应性能。遗憾的是，实际滤波器并非如此。相反，根据有源器件的增益带宽，实际滤波器存在有限的衰减限值。最佳低通滤波器性能要求运放具有高增益带宽以提供高频衰减，并具有低噪声和高直流增益以提供低频通带性能。

图87为一个二阶低通有源滤波器的原理图，并列出了增益为2和5两种情况下具有贝塞尔型响应的滤波器的典型元件值。

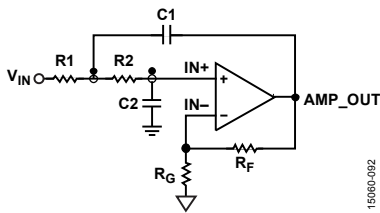


图87. 二阶低通有源滤波器原理图

表17. 图87所示二阶低通有源滤波器的典型元件值

增益	R1 (Ω)	R2 (Ω)	R _F (Ω)	R _G (Ω)	C1 (nF)	C2 (nF)
2	71.5	215	499	499	10	10
5	44.2	365	365	90.9	10	10

图88为此滤波器性能的网络分析图。

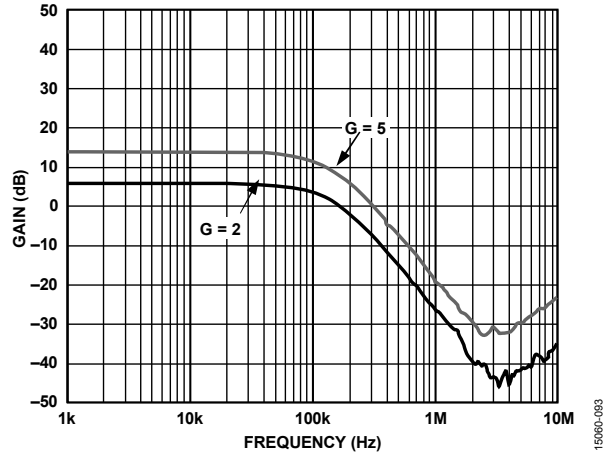


图88. 图87所示滤波器电路在两种不同增益下的频率响应

应用信息

布局布线

通过增加ADAQ7980/ADAQ7988引脚处的覆铜用量，可改善封装的散热性能。但是，这种增加存在效益递减的现象，当覆铜量达到某一数量点后，再继续增加覆铜的用量并不会带来明显的散热效益。

设计PCB时，模拟和数字部分应分属于ADAQ7980/ADAQ7988所在PCB的不同区域。ADAQ7980/ADAQ7988的所有模拟信号位于左侧，所有数字信号位于右侧，这种引脚排列可以简化设计。

避免在器件下方布设数字走线，否则会将噪声耦合至芯片，除非将ADAQ7980/ADAQ7988下方的一个地层用作屏蔽。切勿在模拟信号路径附近运行快速开关信号（如CNV或时钟）。避免数字信号与模拟信号交叠。

至少使用一个接地层，数字和模拟部分可以共用或分割使用该接地层。后一情况中，各层应在ADAQ7980/ADAQ7988器件下方连接。

最后，ADAQ7980/ADAQ7988的电源（V+、V-、VDD和VIO）应通过低ESR陶瓷电容去耦，其应靠近ADAQ7980/ADAQ7988放置，并用短而宽的走线连接，以提供低阻抗路径并减小电源线路上的毛刺效应。

值最小的电容应放在电路板上与ADAQ7980/ADAQ7988相同的一侧，并且尽可能靠近放大器电源引脚。电容的接地端直接连接到接地层即可。

图89显示了ADAQ7980/ADAQ7988的一个布局示例，与子系统各部分使用独立器件的相似设计相比，前者能节省50%的PCB面积。

评估ADAQ7980/ADAQ7988性能

评估板（EVAL-ADAQ7980SDZ）指南（适用于ADAQ7980/ADAQ7988）介绍了ADAQ7980/ADAQ7988的其他推荐布局。

评估板套件包括装配完善且经过测试的评估板、文档以及在PC上通过EVAL-SDP-CB1Z（另行购买）控制评估板的软件。

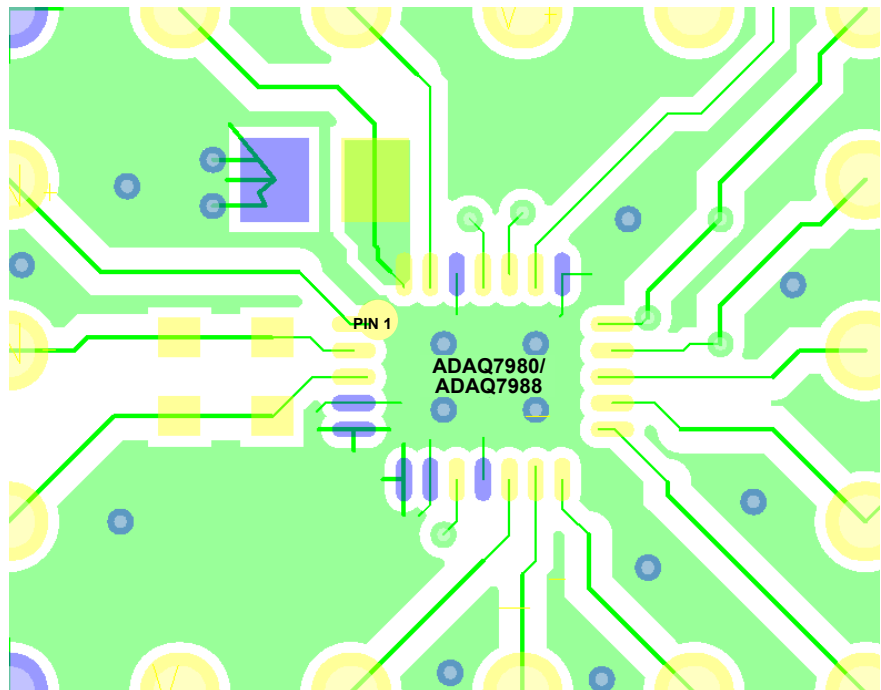


图89. ADAQ7980/ADAQ7988布局布线示例

外形尺寸

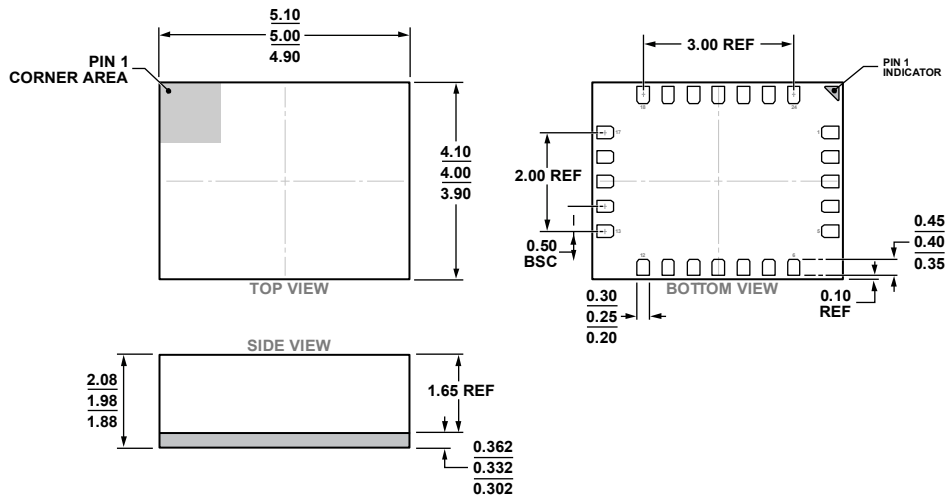


图90. 24引脚基板栅格阵列封装 [LGA]
5 mm × 4 mm 本体、1.98 mm 封装高度
(CC-24-2)

图示尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADAQ7980BCCZ	-55°C至+125°C	24引脚基板栅格阵列封装 [LGA]	CC-24-2
ADAQ7980BCCZ-RL7	-55°C至+125°C	24引脚基板栅格阵列封装 [LGA]	CC-24-2
ADAQ7988BCCZ	-55°C至+125°C	24引脚基板栅格阵列封装 [LGA]	CC-24-2
ADAQ7988BCCZ-RL7	-55°C至+125°C	24引脚基板栅格阵列封装 [LGA]	CC-24-2
EVAL-ADAQ7980SDZ		评估板	
EVAL-SDP-CB1Z		评估控制板	

¹Z = 符合RoHS标准的器件。