

特性

信噪比(SNR): 75 dB(f_{IN} 为15 MHz, 最高105 MSPS)
信噪比(SNR): 72 dB(f_{IN} 为200 MHz, 最高105 MSPS)
无杂散动态范围(SFDR): 89 dBc(f_{IN} 为70 MHz, 最高105 MSPS)
多音无杂散动态范围(SFDR): 100 dBFS
中频采样频率高达200 MHz
采样抖动: 0.1 ps
功耗: 1.5 W
差分模拟输入
与AD6644引脚兼容
二进制补码数字输出格式
3.3 V CMOS兼容
提供数据就绪指示, 可实现锁存输出

应用

多通道、多模式接收机
基站基础设施
AMPS、IS-136、CDMA、GSM、W-CDMA
单通道数字接收机
天线阵列处理
通信仪器
雷达、红外成像
仪器仪表

概述

AD6645是一款高速、高性能、14位单芯片模数转换器(ADC)。芯片上集成了全部必需功能,包括采样保持器(T/H)和基准电压源,可提供完整的信号转换解决方案。该器件提供CMOS兼容型数字输出。它是宽带ADC系列继

AD9042(12位、41 MSPS)、AD6640(12位、65 MSPS、中频采样)和AD6644(14位、40 MSPS/65 MSPS)之后的第四代产品。

AD6645是ADI公司SoftCell®收发器芯片组的一部分,专为多通道、多模式接收机而设计。它在第二奈奎斯特频带内保持100 dB的多音无杂散动态范围(SFDR),这一性能突破可减轻多模式数字接收机(软件无线电)的负担,使之不再受限于ADC。噪声性能非常出色,第一奈奎斯特频带内的信噪比(SNR)典型值为74.5 dB。

AD6645采用ADI公司的超快速互补双极性(XFCB)工艺制造,并使用创新的多通电路架构。它采用散热增强型52引脚PowerQuad 4 (LQFP_PQ4)封装和52引脚裸露焊盘(TQFP_EP)封装,80 MSPS时额定温度范围为-40°C至+85°C,105 MSPS时则为-10°C至+85°C。

产品聚焦

1. 中频采样。AD6645在最高200 MHz的输入频率范围内保持出色的交流性能,适用于多载波3G宽带蜂窝中频采样接收机。
2. 引脚兼容性。该ADC与14位、40 MSPS/65 MSPS ADC AD6644具有相同的尺寸和引脚布局。
3. SFDR性能和过采样。多音SFDR性能达100 dBFS,可以降低高端RF元件的要求,支持使用AD6620、AD6624/AD6624A或AD6636等接收信号处理器。

功能框图

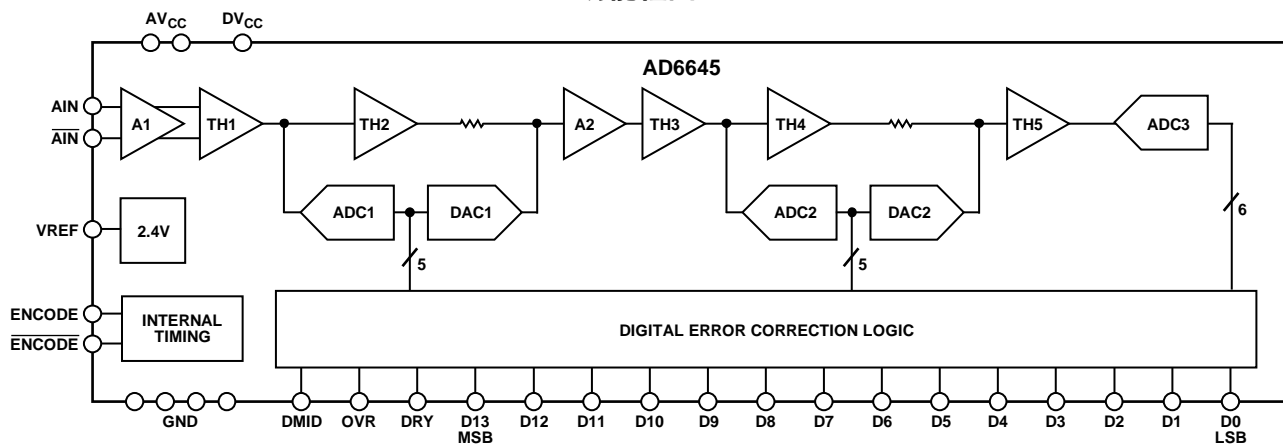


图1

Rev. D

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 www.analog.com
 Fax: 781.461.3113 ©2002–2008 Analog Devices, Inc. All rights reserved.

目录

特性.....	1
应用.....	1
概述.....	1
产品聚焦.....	1
功能框图.....	1
修订历史.....	2
规格.....	3
直流规格.....	3
数字规格.....	4
交流规格.....	4
开关规格.....	5
绝对最大额定值.....	7
热阻.....	7

修订历史

2008年10月—修订版C至修订版D

增加TQFP_EP封装.....	通篇
重命名“热特性”和“热阻”部分.....	7
增加表6；重新排序.....	7
移动“等效电路”部分.....	14
移动“术语”部分.....	15
更改表9.....	20
更改“外形尺寸”.....	24
更改“订购指南”.....	24

2006年12月—修订版B至修订版C

更新格式.....	通篇
更改“技术规格”.....	3
更改“抖动考虑”部分.....	19
更改表8“物料清单”.....	20
更改图43“评估板原理图”.....	21
更改图44和图46.....	22
更新“外形尺寸”.....	23
更改“订购指南”.....	23

测试级别说明.....	7
ESD警告.....	7
引脚配置和功能描述.....	8
典型工作特性.....	9
等效电路.....	14
术语.....	15
工作原理.....	17
应用AD6645.....	17
布局信息.....	19
抖动考虑.....	19
外形尺寸.....	24
订购指南.....	24

2003年7月—修订版A至修订版B

更改标题.....	1
更改“特性”.....	1
更改产品描述.....	1
更改“技术规格”.....	3
更改“绝对最大额定值”.....	7
更新“外形尺寸”.....	24
更改“订购指南”.....	20

2002年6月—修订版0至修订版A

更改“直流规格”.....	3
---------------	---

技术规格

直流规格

除非另有说明， $AV_{CC}=5V$ ， $DV_{CC}=3.3V$ ，且 T_{MIN} 和 T_{MAX} 处于额定速度等级。

表1.

参数	温度	测试级别	AD6645ASQ-80/AD6645ASV-80			AD6645ASQ-105/AD6645ASV-105			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
分辨率			14			14			位
精度			保证			保证			
无失码	全	II	保证			保证			
失调误差	全	II	-10	+1.2	+10	-10	+1.2	+10	mV
增益误差	全	II	-10	0	+10	-10	0	+10	% FS
微分非线性(DNL)	全	II	-1.0	±0.25	+1.5	-1.0	±0.5	+1.5	LSB
积分非线性(INL)	全	V	±0.5			±1.5			LSB
温度漂移									
失调误差	全	V	1.5			1.5			ppm/°C
增益误差	全	V	48			48			ppm/°C
电源抑制比 (PSRR)	25°C	V	±1.0			±1.0			mV/V
基准电压输出(VREF) ¹	全	V	2.4			2.4			V
模拟输入(AIN, AIN)									
差分输入电压范围	全	V	2.2			2.2			V p-p
差分输入电阻	全	V	1			1			kΩ
差分输入电容	25°C		1.5			1.5			pF
电源									
电源电压									
AV_{CC}	全	II	4.75	5.0	5.25	4.75	5.0	5.25	V
DV_{CC}	全	II	3.0	3.3	3.6	3.0	3.3	3.6	V
电源电流									
$I_{AV_{CC}}$ ($AV_{CC}=5.0V$)	全	II	275		320	275		320	mA
$I_{DV_{CC}}$ ($DV_{CC}=3.3V$)	全	II	32		45	32		45	mA
上升时间 ²									
AV_{CC}	全	IV			250	5.0		250	ms
功耗	全	II	1.5		1.75	1.5		1.75	W

¹ 该器件提供VREF，用于在需要直流耦合模拟输入时设置差分放大器(如AD8138)的共模失调。如果是用于驱动附加电路功能，VREF应经过缓冲。

² 针对具有线性上升时间特性的直流电源。

AD6645

数字规格

除非另有说明， $AV_{CC} = 5\text{ V}$ ， $DV_{CC} = 3.3\text{ V}$ ，且 T_{MIN} 和 T_{MAX} 处于额定速度等级。

表2.

参数	温度	测试级别	AD6645ASQ-80/AD6645ASV-80			AD6645ASQ-105/AD6645ASV-105			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
编码输入(ENCODE, $\overline{\text{ENCODE}}$)									
差分输入电压 ¹	全	IV	0.4			0.4		V p-p	
差分输入电阻	25°C	V		10			10	kΩ	
差分输入电容	25°C	V		2.5			2.5	pF	
逻辑输出(D13至D0、DRY、OVR)									
逻辑兼容性				CMOS			CMOS		
逻辑1电压($DV_{CC} = 3.3\text{ V}$) ²	全	II	2.85	$DV_{CC} - 2$		2.85	$DV_{CC} - 2$	V	
逻辑0电压($DV_{CC} = 3.3\text{ V}$) ²	全	II	0.2		0.5	0.2		0.5	
输出编码				二进制补码			二进制补码		
DMID	全	V		$DV_{CC}/2$			$DV_{CC}/2$	V	

¹ 所有交流规格均通过差分驱动 $\overline{\text{ENCODE}}$ 和ENCODE测试。

² 数字输出逻辑电平： $DV_{CC} = 3.3\text{ V}$ ， $C_{LOAD} = 10\text{ pF}$ 。容性负载 $>10\text{ pF}$ 会造成性能下降。

交流规格

所有交流规格均通过差分驱动ENCODE和 $\overline{\text{ENCODE}}$ 测试。

除非另有说明， $AV_{CC} = 5\text{ V}$ ， $DV_{CC} = 3.3\text{ V}$ ，ENCODE， $\overline{\text{ENCODE}}$ ，且 T_{MIN} 和 T_{MAX} 处于额定速度等级。

表3.

参数	温度	测试级别	AD6645ASQ-80/ AD6645ASV-80			AD6645ASQ-105/ AD6645ASV-105			单位	条件
			最小值	典型值	最大值	最小值	典型值	最大值		
SNR										
-1 dBFS时模拟输入	25°C	V		75.0			75.0		dB	At 15.5 MHz
	全	II	72.5	74.5					dB	At 30.5 MHz
	25°C	I				72.5	74.5		dB	At 37.7 MHz
	全	II	72.0	73.5		72.0	73.5		dB	At 70.0 MHz
	25°C	V		73.0			73.0		dB	At 150.0 MHz
	25°C	V		72.0			72.0		dB	At 200.0 MHz
SINAD										
-1 dBFS时模拟输入	25°C	V		75.0			75.0		dB	At 15.5 MHz
	全	II	72.5	74.5					dB	At 30.5 MHz
	25°C	I				72.5	74.5		dB	At 37.7 MHz
	全	V		73.0			73.0		dB	At 70.0 MHz
	25°C	V		68.5			67.5		dB	At 150.0 MHz
	25°C	V		62.5			62.5		dB	At 200.0 MHz
最差谐波(二次或三次)										
-1 dBFS时模拟输入	25°C	V		93.0			93.1		dBc	At 15.5 MHz
	全	II	85.0	93.0					dBc	At 30.5 MHz
	25°C	I				85.0	93.0		dBc	At 37.7 MHz
	全	V		89.0			87.0		dBc	At 70.0 MHz
	25°C	V		70.0			70.0		dBc	At 150.0 MHz
	25°C	V		63.5			63.5		dBc	At 200.0 MHz

参数	温度	测试级别	AD6645ASQ-80/ AD6645ASV-80		AD6645ASQ-105/ AD6645ASV-105		单位	条件
			最小值	典型值 最大值	最小值	典型值 最大值		
最差谐波(四次或以上) -1 dBFS时模拟输入	25°C	V		96.0		96.0	dBc	At 15.5 MHz
	全	II	85.0	95.0			dBc	At 30.5 MHz
	25°C	I			86.0	95.0	dBc	At 37.7 MHz
	全	V		90.0		90.0	dBc	At 70.0 MHz
	25°C	V		90.0		90.0	dBc	At 150.0 MHz
	25°C	V		88.0		88.0	dBc	At 200.0 MHz
双音无杂散动态范围(SFDR)	25°C	V		100		98.0	dBFS	At 30.5 MHz ^{1, 2}
	25°C	V		100		98.0	dBFS	At 55.0 MHz ^{1, 3}
	25°C	V				98.0	dBFS	At 70.0 MHz ^{1, 4}
双音交调失真(IMD)抑制 ^{2, 3} -7 dBFS时F1、F2	25°C	V		90		90	dBc	
模拟输入带宽	25°C	V		270		270	MHz	

¹ 模拟输入信号功率从-10 dBFS扫描至-100 dBFS。

² F1 = 30.5 MHz, F2 = 31.5 MHz。

³ F1 = 55.25 MHz, F2 = 56.25 MHz。

⁴ F1 = 69.1 MHz, F2 = 71.1 MHz。

开关规格

除非另有说明, $AV_{CC}=5V$, $DV_{CC}=3.3V$, ENCODE, \overline{ENCODE} , 且 T_{MIN} 和 T_{MAX} 处于额定速度等级。

表4.

参数	符号	温度	测试级别	AD6645ASQ-80/ AD6645ASV-80			AD6645ASQ-105/ AD6645ASV-105			单位
				最小值	典型值	最大值	最小值	典型值	最大值	
ENCODE输入参数 ¹										
最大转换速率		全	II	80			105			MSPS
最小转换速率		全	IV			30			30	MSPS
ENCODE高电平脉冲宽度 t_{ENCH} ²		全	IV	5.625			4.286			ns
		全	V		6.25			4.75		ns
ENCODE低电平脉冲宽度 t_{ENCL} ²		全	IV	5.625			4.286			ns
		全	V		6.25			4.75		ns
ENCODE周期 ¹	t_{ENC}	全	V		12.5			9.5		ns
ENCODE/数据就绪										
ENCODE上升至数据就绪下降时间	t_{DR}	全	V	1.0	2.0	3.1	1.0	2.0	3.1	ns
ENCODE上升至数据就绪上升时间	t_{E_DR}	全	V		$t_{ENCH} + t_{DR}$			$t_{ENCH} + t_{DR}$		ns
50%占空比		全	V	7.3	8.3	9.4	5.7	6.75	7.9	ns
ENCODE/DATA (D13:0), OVR										
ENCODE至数据下降低电平时间	t_{E_FL}	全	V	2.4	4.7	7.0	2.4	4.7	7.0	ns
NCODE至数据上升低电平时间 ³	t_{E_RL}	全	V	1.4	3.0	4.7	1.4	3.0	4.7	ns
ENCODE至数据延迟时间 ³ (保持时间)	t_{H_E}	全	V	1.4	3.0	4.7	1.4	3.0	4.7	ns
ENCODE至DATA延迟时间(建立时间)	t_{S_E}	全	V	$t_{ENC} -$ $t_{E_FL(max)}$			$t_{ENC} -$ $t_{E_FL(max)}$			ns
					$t_{ENC} -$ $t_{E_FL(typ)}$			$t_{ENC} -$ $t_{E_FL(typ)}$		ns
						$t_{ENC} -$ $t_{E_FL(min)}$			$t_{ENC} -$ $t_{E_FL(min)}$	ns
50%占空比		全	V	5.3	7.6	10.0	2.3	4.8	7.0	ns

AD6645

参数	符号	温度	测试级别	AD6645ASQ-80/ AD6645ASV-80			AD6645ASQ-105/ AD6645ASV-105			单位
				最小值	典型值	最大值	最小值	典型值	最大值	
数据就绪 (DRY ⁴)/数据(D13:0), OVR										
数据就绪至数据延迟时间(保持时间) 50%占空比	t_{H_DR}	全	V		注释5 ⁵			注释5 ⁵		
数据就绪至数据延迟时间(建立时间) 50%占空比	t_{S_DR}	全	V	6.6	7.2	7.9	5.1	5.7	6.4	ns
孔径延迟	t_A	25°C	V		-500			-500		ps
孔径不确定(抖动)	t_j	25°C	V		0.1		0.1			ps rms

¹有几个时序参数是 t_{ENC} 和 t_{ENCH} 的函数。

²有几个时序参数是 t_{ENCH} 的函数。

³ENCODE至数据延迟时间(保持时间)是ADC的绝对最小传播延迟, 即 $t_{E_RL} = t_{H_Eo}$ 。

⁴DRY是编码时钟的反转和延迟形式。该时钟的占空比发生任何变化, DRY的占空比也会发生相应变化。

⁵数据就绪至数据延迟时间(t_{H_DR} 和 t_{S_DR})相对于额定速度等级计算得出, 取决于 t_{ENC} 和占空比。

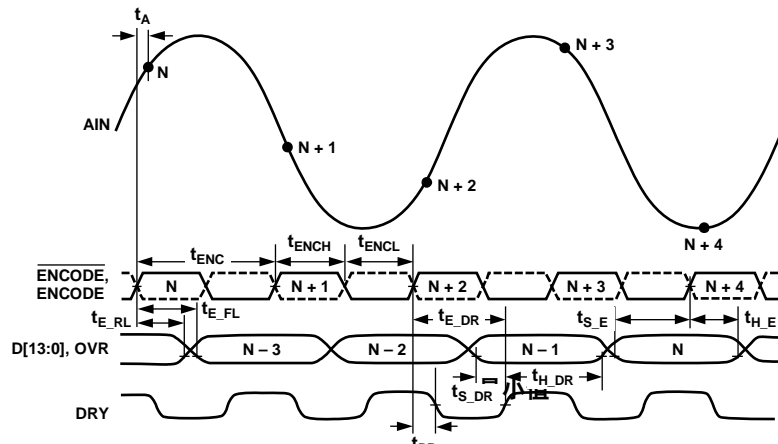


图2. 时序图

02647-002

绝对最大额定值

表5.

参数	额定值
电气参数	
AV _{CC} 电压	0 V 至 7 V
DV _{CC} 电压	0 V 至 7 V
模拟输入电压	0 V 至 AV _{CC}
模拟输入电流	25 mA
数字输入电压	0 V 至 AV _{CC}
数字输出电流	4 mA
环境参数	
工作温度范围(环境)	
AD6645-80	-40°C 至 +85°C
AD6645-105	-10°C 至 +85°C
最高结温	150°C
引脚温度(焊接, 10秒)	300°C
存储温度范围(环境)	-65°C 至 +150°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

采用52引脚TQFP_EP (SV-52-1)封装时, AD6645ASVZ的散热器必须焊接到PCB GND层, 以满足热规格要求。

表6. 热特性

封装类型	额定值
52引脚TQFP_EP封装	
θ_{JA} (0 m/s气流) ^{1, 2, 3}	23°C/W, 焊接散热器
θ_{JMA} (1.0 m/s气流) ^{2, 3, 4, 5}	17°C/W, 焊接散热器
θ_{JC} ^{6, 7}	2°C/W, 焊接散热器
52引脚LQFP_PQ4封装	
θ_{JA} (0 m/s气流) ^{1, 2, 3}	30°C/W, 未焊接散热器
θ_{JMA} (1.0 m/s气流) ^{2, 3, 4, 5}	24°C/W, 未焊接散热器
θ_{JA} (0 m/s气流) ^{1, 2, 3}	23°C/W, 焊接散热器
θ_{JMA} (1.0 m/s气流) ^{2, 3, 4, 5}	17°C/W, 焊接散热器
θ_{JC} ^{6, 7}	2°C/W

¹ 按照JEDEC JESD51-2(散热器焊接到PCB)。

² 2S2P JEDEC测试板。

³ θ_{JA} 值供封装比较和PCB设计考虑时使用。

⁴ 按照JEDEC JESD51-6(散热器焊接到PCB)。

⁵ 气流可增强散热, 从而有效降低 θ_{JA} 。此外, 越多金属直接与金属走线的封装引脚、通孔、接地和电源层接触, θ_{JA} 就越小。

⁶ 按照MIL-STD-883、方法 1012.1。

⁷ θ_{JC} 值是在需要外部散热器时, 供封装比较和PCB设计考虑时使用。

θ_{JA} 值供封装比较和PCB设计考虑时使用。 θ_{JA} 可用于计算 T_J 的一阶近似值, 计算公式如下:

$$T_J = T_A + (\theta_{JA} \times PD)$$

其中:

T_A 为环境温度(°C)。

PD 是功耗(W)。

测试级别说明

- I. 100%生产测试。
- II. 25°C时100%生产测试, 极端温度时的性能通过设计和特性保证。
- III. 仅测试样片。
- IV. 参数通过设计和特性测试保证。
- V. 参数仅为典型值。

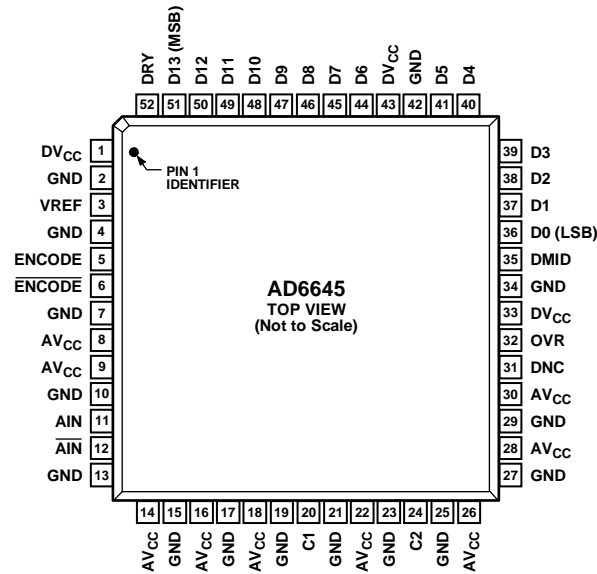
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述



- NOTES
1. DNC = DO NOT CONNECT.
 2. EXPOSED PAD. CONNECT THE EXPOSED PAD TO GND.

02847-003

图3. 引脚配置

表7. 引脚功能描述

引脚编号	引脚名称	描述
1, 33, 43	DV _{CC}	仅3.3 V电源(数字)输出级。
2, 4, 7, 10, 13, 15, 17, 19, 21, 23, 25, 27, 29, 34, 42	GND	地。
3	VREF	2.4 V基准电压源。通过一个0.1 μF微波芯片电容旁路至地。
5	ENCODE	编码输入。在上升沿启动转换。
6	ENCODE	ENCODE的互补引脚, 差分输入。
8, 9, 14, 16, 18, 22, 26, 28, 30	AV _{CC}	5 V模拟电源。
11	AIN	模拟输入引脚。
12	AIN	AIN的互补引脚, 差分模拟输入。
20	C1	内部基准电压源。通过一个0.1 μF芯片电容旁路至地。
24	C2	内部基准电压源。通过一个0.1 μF芯片电容旁路至地。
31	DNC	请勿连接此引脚。
32	OVR	超量程位。逻辑高电平表示模拟输入超过±FS。
35	DMID	输出数据电压中点电压, 约等于(DV _{CC})/2。
36	D0 (LSB)	数字输出位(最低有效位); 二进制补码。
37 to 41, 44 to 50	D1 至 D5, D6 至 D12	二进制补码形式的数字输出位。
51	D13 (MSB)	数字输出位(最高有效位); 二进制补码。
52	DRY	数据就绪输出。
53 (EPAD)	裸露焊盘(EPAD)	裸露焊盘。裸露焊盘应连接至GND。

典型工作特性

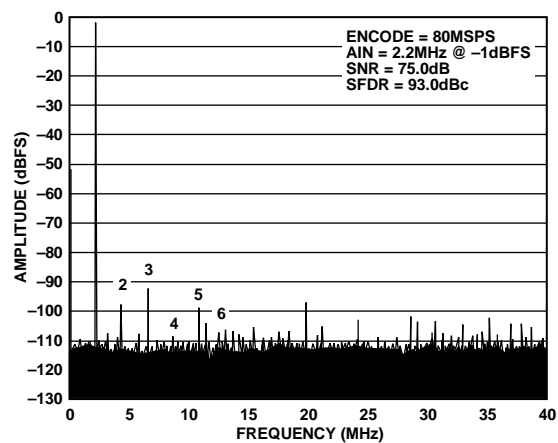


图4. 单音(2.2 MHz时)

02647-010

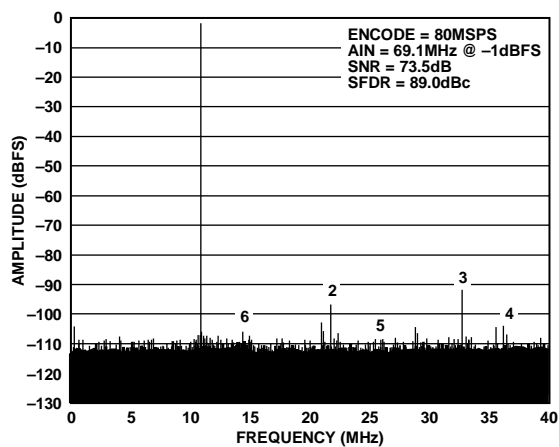


图7. 单音(69.1 MHz时)

02647-013

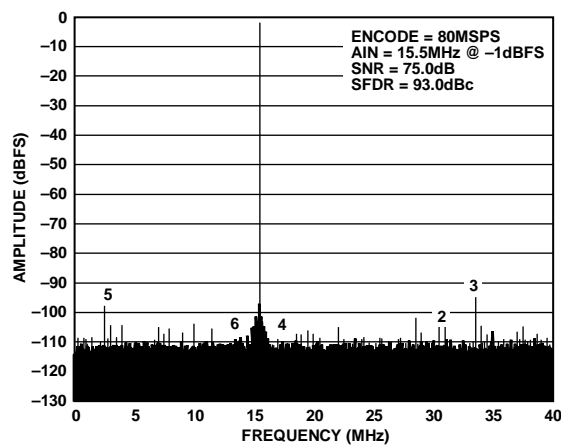


图5. 单音(15.5 MHz时)

02647-011

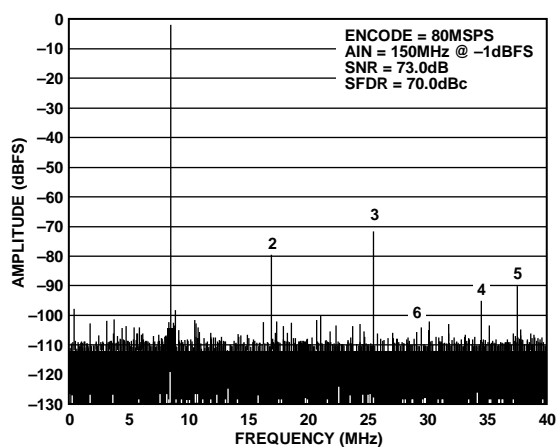


图8. 单音(150 MHz时)

02647-014

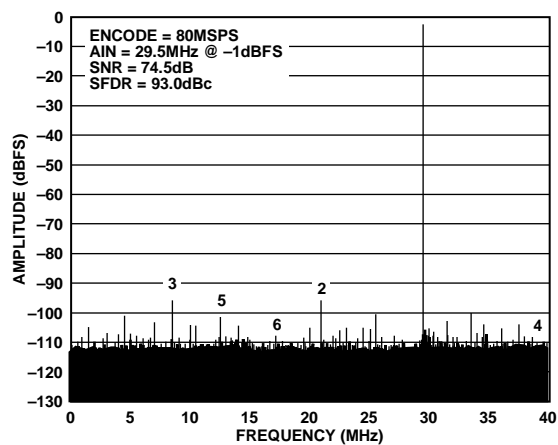


图6. 单音(29.5 MHz时)

02647-012

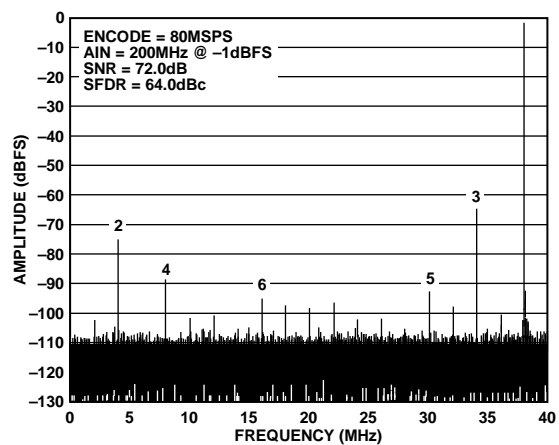


图9. 单音(200 MHz时)

02647-015

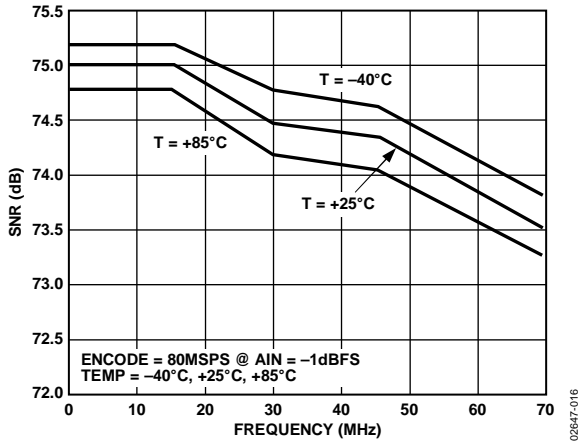


图10. 信噪比(SNR)与频率的关系

02647-016

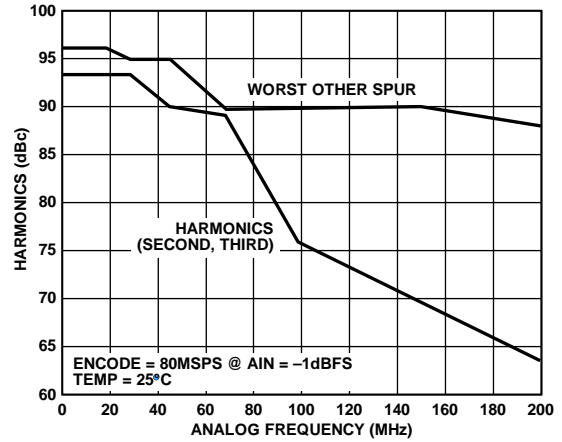


图13. 谐波与模拟频率(IF)的关系

02647-019

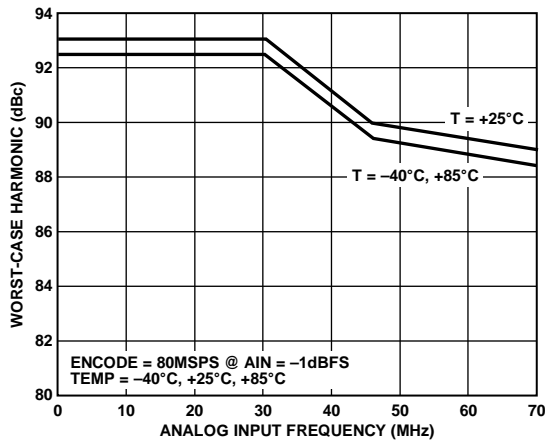


图11. 最差谐波与模拟输入频率的关系

02647-017

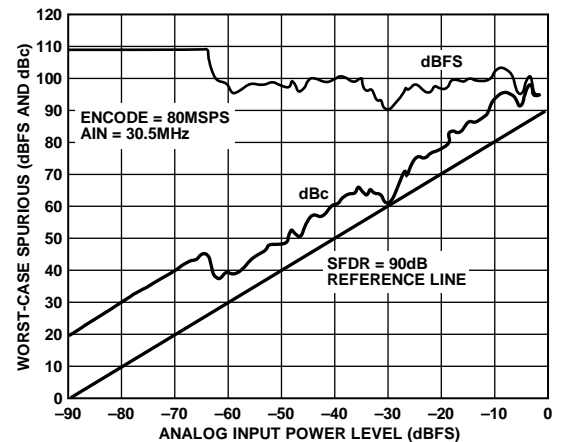


图14. 单音SFDR(30.5 MHz)时

02647-020

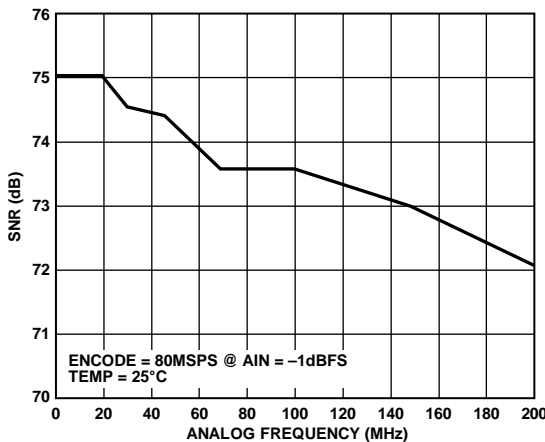


图12. 信噪比(SNR)与模拟频率(IF)的关系

02647-018

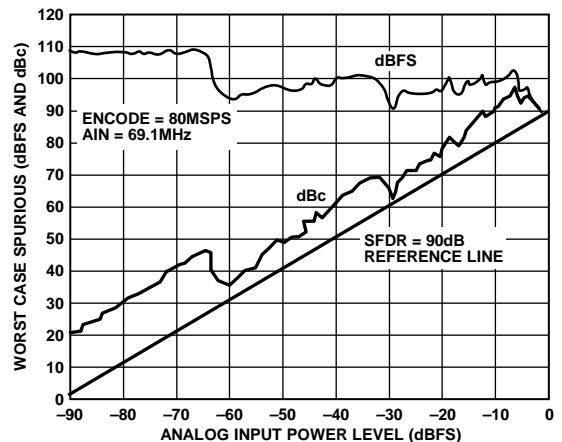


图15. 单音SFDR(69.1 MHz)时

02647-021

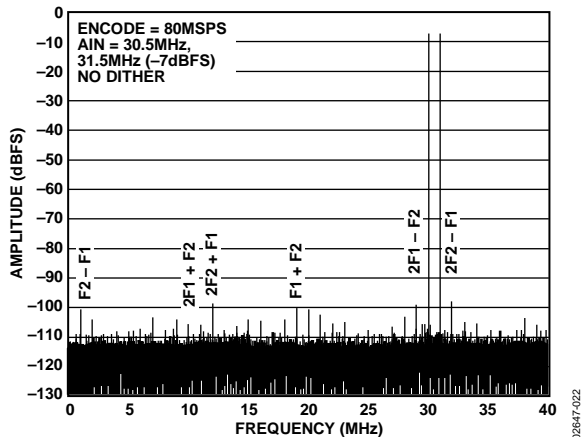


图16. 双音SFDR(30.5 MHz和31.5 MHz时)

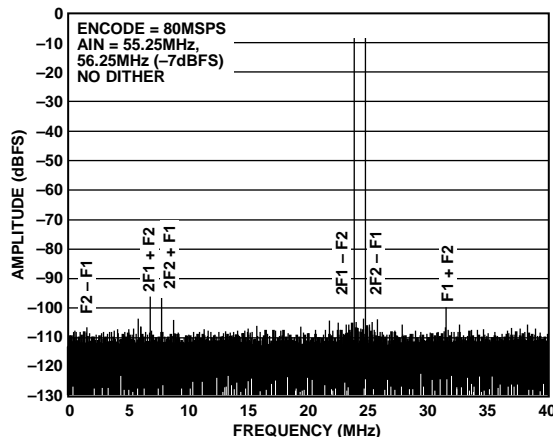


图19. 双音SFDR(55.25 MHz和56.25 MHz时)

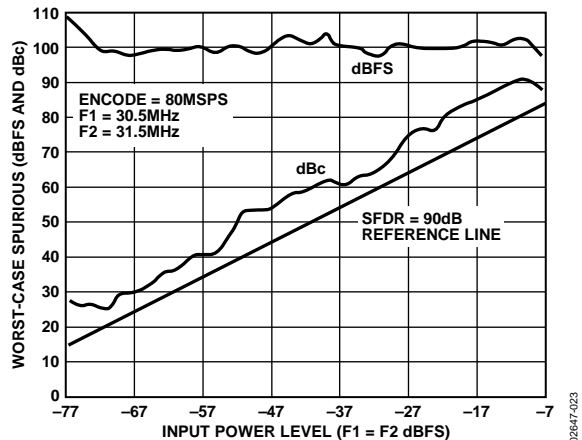


图17. 双音SFDR(30.5 MHz和31.5 MHz时)

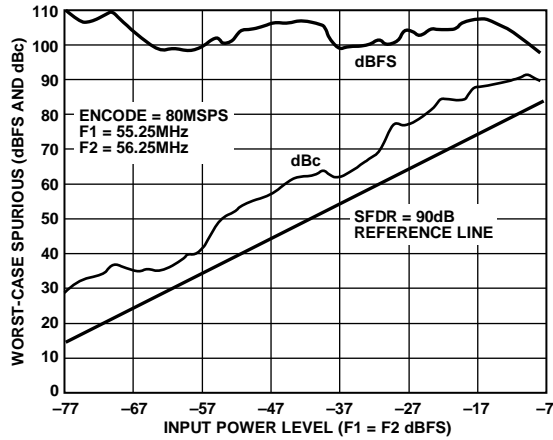


图20. 双音SFDR(55.25 MHz和56.25 MHz时)

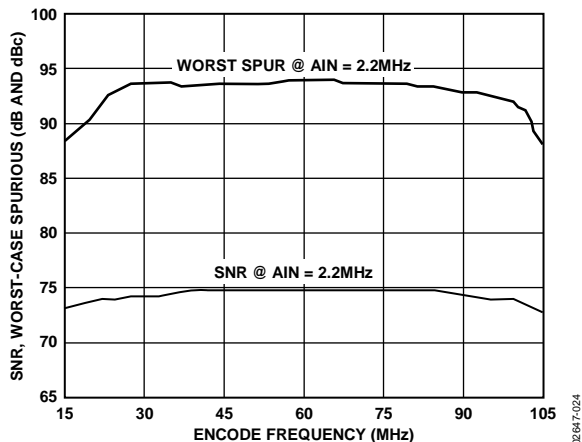


图18. SNR、最差杂散与编码的关系(2.2 MHz时)

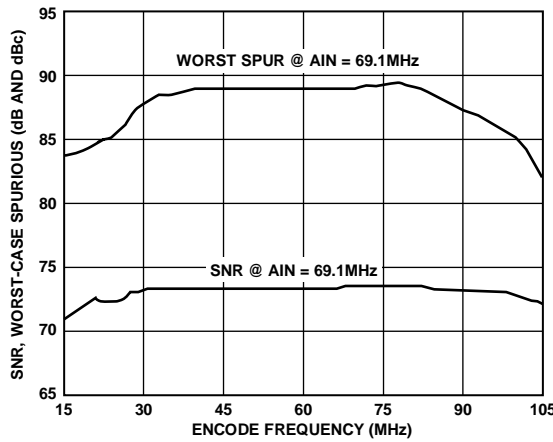


图21. SNR、最差杂散与编码的关系(69.1 MHz时)

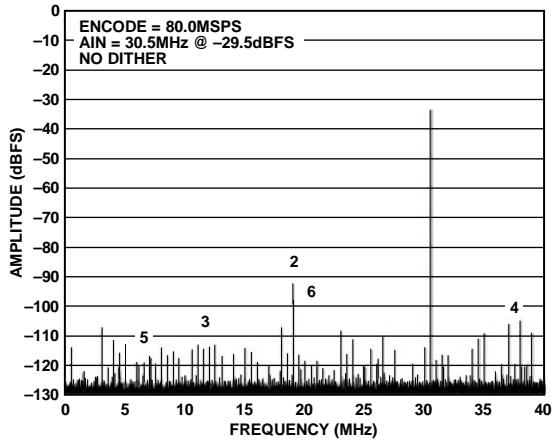


图22. 无扰动时的1M采样FFT

02847-028

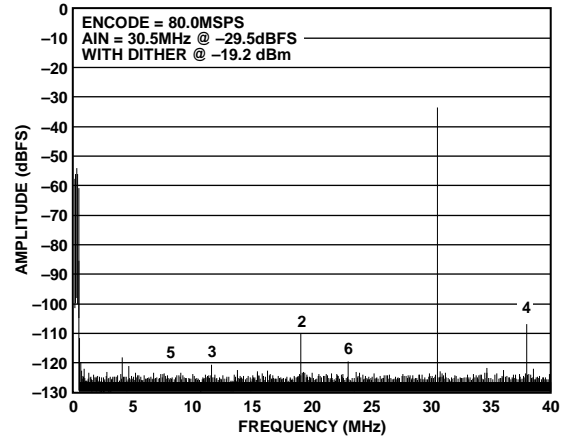


图25. 有扰动时的1M采样FFT

02847-031

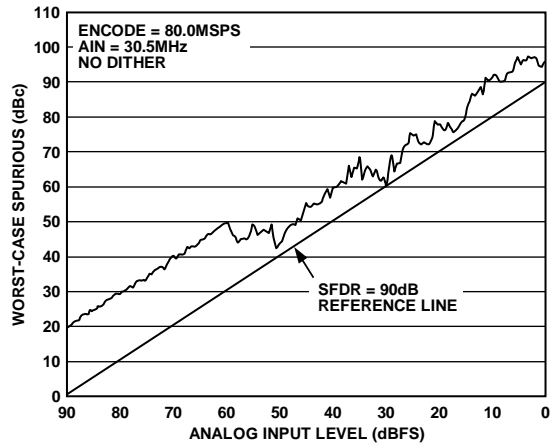


图23. 无扰动时的SFDR

02847-029

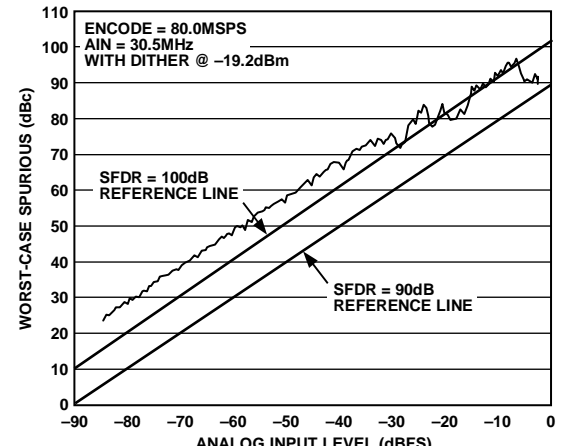


图26. 有扰动时的SFDR

02847-032

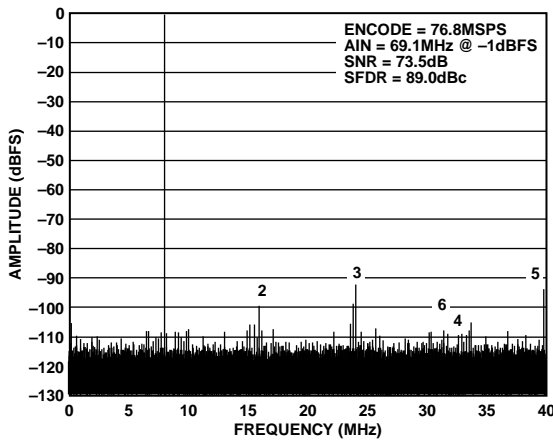


图24. 单音(69.1 MHz, 编码速率 = 76.8 MSPS)

02847-030

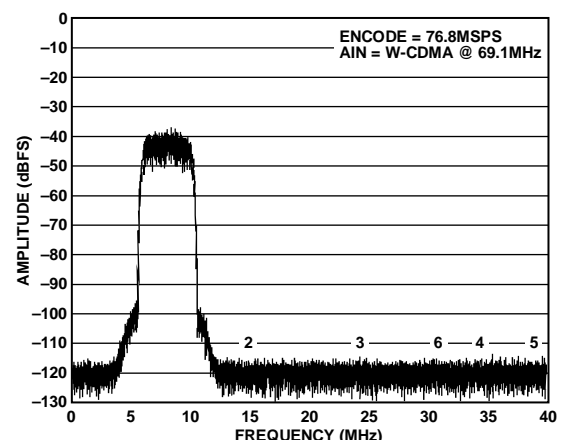


图27. W-CDMA音(69.1 MHz, 编码速率 = 76.8 MSPS)

02847-033

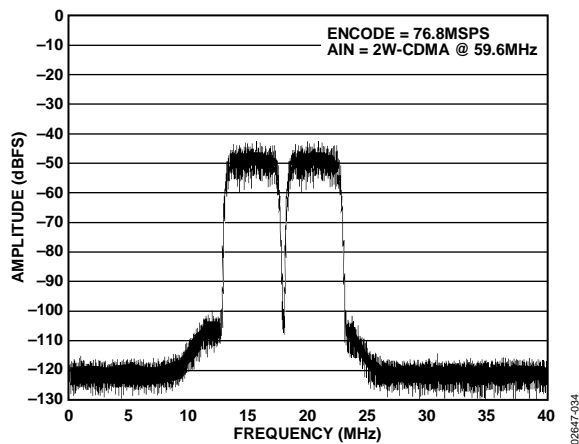


图28. W-CDMA双载波(59.6 MHz, 编码速率 = 76.8 MSPS)

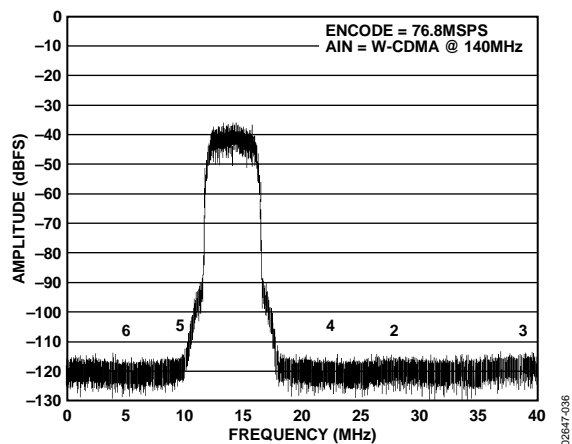


图30. W-CDMA音(140 MHz, 编码速率 = 76.8 MSPS)

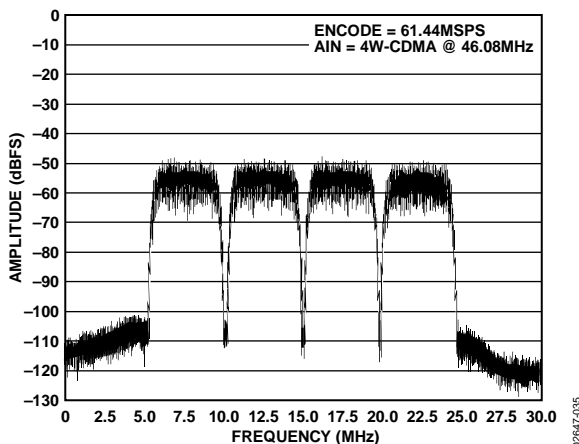


图29. W-CDMA四载波(46.08 MHz, 编码速率 = 61.44 MSPS)

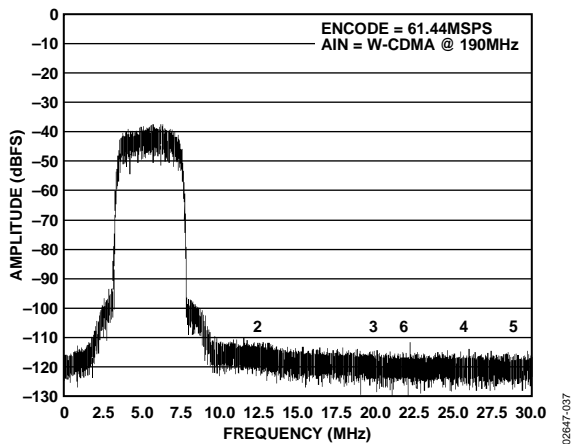


图31. W-CDMA音(190 MHz, 编码速率 = 61.44 MSPS)

等效电路

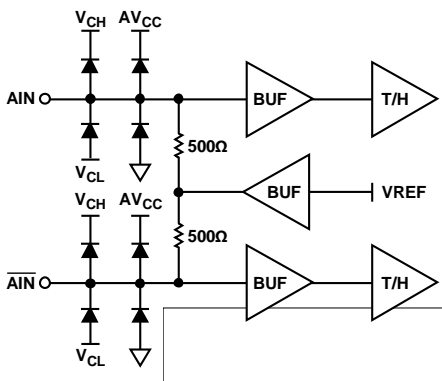


图32. 模拟输入级

02647-004

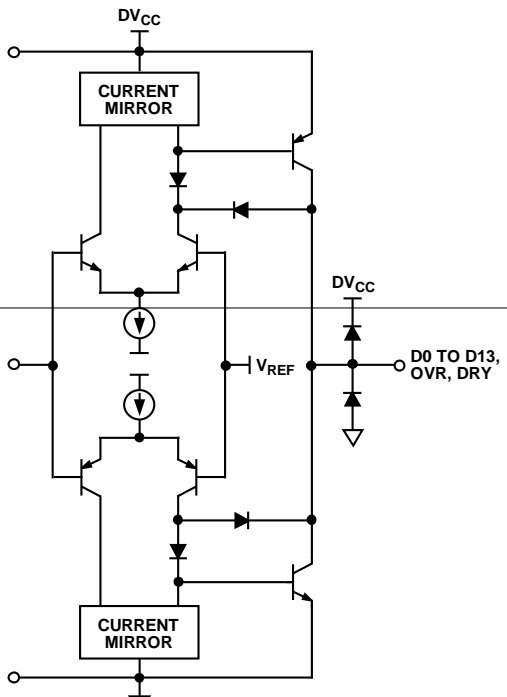


图35. 数字输出级

02647-007

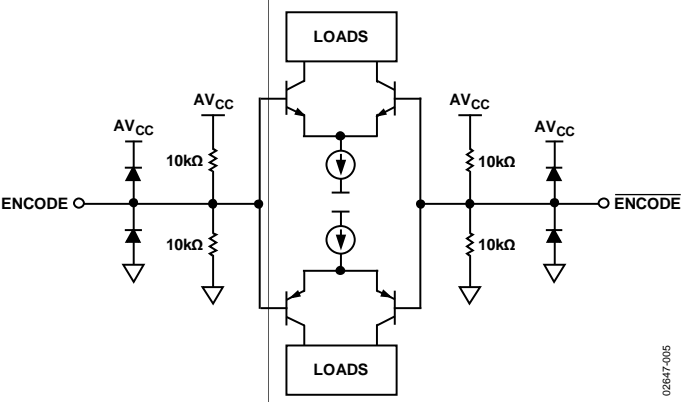


图33. 编码输入

02647-005

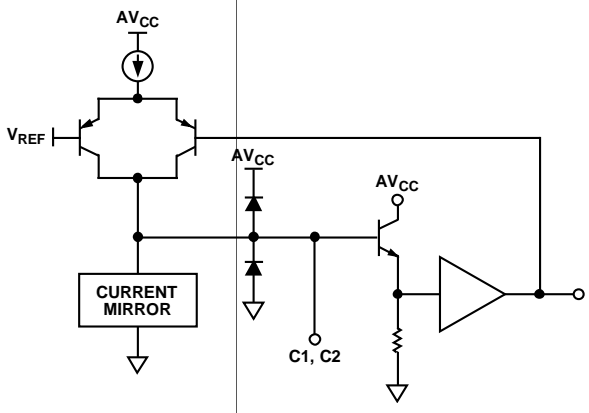


图34. 补偿引脚 C1或C2

02647-006

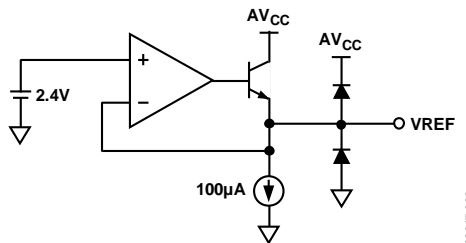


图36. 2.4 V基准电压源

02647-008

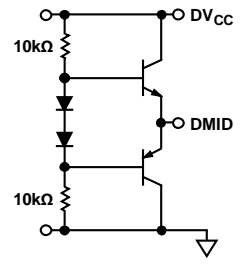


图37. DMID基准电压源

02647-009

术语

模拟带宽

模拟输入带宽指特定模拟输入频率，在该频率处，基频频谱能量(如FFT分析所确定者)衰减3 dB。

孔径延迟

从编码命令上升沿50%点到模拟输入开始采样时刻之间的延迟时间。

孔径不确定(抖动)

孔径延迟中的样本间变化。

差分模拟输入电阻、差分模拟输入电容和差分模拟输入阻抗

在各模拟输入端口处测得的实际阻抗和复合阻抗。电阻是以静态方式测得，而电容和差分输入阻抗则利用网络分析仪测得。

差分模拟输入电压范围

为产生满量程响应而必须施加于转换器的峰峰值差分电压。峰值差分电压的计算方法是将一个引脚上的实测电压减去180°反相引脚上的电压。峰峰值差分电压计算方式是将输入的相位旋转180°并再次进行峰值测量。接着，计算两次峰值测量之间的差值。

微分非线性

任意代码宽度与理想1 LSB步进的偏差。

编码脉冲宽度/占空比

高电平脉冲宽度指为达到额定性能，编码脉冲应停留于高电平状态的最短时间；低电平脉冲宽度则指编码脉冲应停留于低电平状态的最短时间。有关更改 t_{ENCH} 的时序影响，请参见表4。对于给定时钟速率，这些规格定义一个可接受的编码占空比。

满量程输入功率

满量程输入功率以dBm表示，计算公式如下：

$$Power_{Full - Scale} = 10 \log \left[\frac{V_{Full - Scale rms}^2}{\frac{|Z|_{Input}}{0.001}} \right]$$

二次谐波失真

信号幅度均方根值与二次谐波成分的均方根值之比，单位为dBc。

三次谐波失真

信号幅度均方根值与三次谐波成分的均方根值之比，单位为dBc。

积分非线性

传递函数对基准线的偏离，表示为1 LSB的分数，采用一条由最小二乘法曲线拟合决定的最佳直线。

最大转换速率

执行参数测试的编码速率。

最小转换速率

最低模拟信号频率的信噪比降至担保限值之下不超过3 dB时的编码速率。

噪声(针对ADC内的任意范围)

$$V_{NOISE} = \sqrt{|Z| \times 0.001 \times 10 \left(\frac{FS_{dBm} - SNR_{dBc} - Signal_{dBFS}}{10} \right)}$$

其中：

Z是输入阻抗。

FS是所用频率下器件的满量程。

SNR是特定输入电平时的值。

Signal是ADC内低于满量程的信号电平，单位为dB。该值包括热噪声和量化噪声。

输出传播延迟

从ENCODE与 \overline{ENCODE} 的差分交叉到所有输出数据位均处于有效逻辑电平范围内的延迟时间。

电源抑制比(PSRR)

输入失调电压的变化与电源电压的变化之比。

电源上升时间

从直流电源启动到电源输出达到ADC的最小额定工作电压所需的时间。直流电平在ADC的电源引脚处测得。

信纳比(SINAD)

信号幅度均方根值(比满量程低1 dB时)与包括谐波但直流除外的所有其它频谱成分的和的均方根值之比。

信噪比(无谐波)

信号幅度均方根值(比满量程低1 dB时)与前五次谐波和直流除外的所有其它频谱成分的和的均方根值之比。

无杂散动态范围(SFDR)

信号幅度均方根值与峰值杂散频谱成分的均方根值之比。峰值杂散成分可能是谐波，也可能不是。单位可以为dBc(即随着信号电平的降低而下降)或dBFS(始终与转换器满量程相关)。

双音交调失真抑制

任一输入音的均方根值与最差三次交调产物的均方根值之比，单位为dBc。

双音无杂散动态范围(SFDR)

任一输入信号音的均方根值与峰值杂散成分的均方根值之比。峰值杂散成分可能是IMD产物，也可能不是，而单位可以为dBc(即随着信号电平的降低而下降)或dBFS(始终与转换器满量程相关)。

最差其它杂散

信号幅度均方根值与最差杂散成分(二次和三次谐波除外)的均方根值之比，单位为dBc。

工作原理

AD6645 ADC采用三级分级架构。这种设计方法既可实现所需精度和速度，同时可维持低功耗和小芯片尺寸。

如功能框图(见图1)所示，AD6645具有互补模拟输入引脚AIN和 $\overline{\text{AIN}}$ 。各模拟输入均以2.4 V为中心，并应以 ± 0.55 V的幅度在此基准电压附近摆动(见图32)。由于AIN和 $\overline{\text{AIN}}$ 相位相差180°，因此差分模拟输入信号为2.2 V p-p。

这两个模拟输入均经过缓冲后输入第一个采样保持电路TH1。编码脉冲的高电平状态将TH1置于保持模式。TH1的保持值施加于5位粗调ADC1的输入端。ADC1的数字输出驱动5位数模转换器DAC1。DAC1的精度需要达到14位，可通过激光调整来实现。从TH3输入端的延迟模拟信号减去DAC1的输出，生成第一个残余信号。TH2提供模拟流水线延迟，对ADC1的数字延迟进行补偿。

第一个残余信号施加于由一个5位ADC2、一个5位DAC2和一个流水线TH4构成的第二转换级。第二个DAC需要10位精度，可通过工艺实现，无需进行调整。TH5的输入是第二个残余信号，由TH4保持的第一个残余信号减去DAC2的量化输出而生成。TH5驱动最后一个6位ADC3。

ADC1、ADC2和ADC3的数字输出相加，并在数字纠错逻辑中得到矫正，进而生成最终输出数据。结果是二进制补码形式的14位并行数字CMOS兼容字。

应用AD6645 对AD6645编码

AD6645编码信号必须是高质量、极低相位噪声信号源，以防出现性能下降。为维持14位精度，编码时钟相位噪声是一个重要因素。使用高抖动时钟源时，70 MHz 模拟输入信号可轻松造成SNR性能降低3 dB至4 dB。详情参见应用笔记AN-501“孔径不确定度和ADC系统性能”。

为实现最佳性能，AD6645必须采用差分时钟。该编码信号通常使用变压器或电容器交流耦合到ENCODE和 $\overline{\text{ENCODE}}$ 引脚内。这两个引脚有内部偏置，无需其它偏置。

图38显示了一种为AD6645提供时钟信号的首选方法。利用RF变压器，可将时钟源(低抖动的)单端信号转换成差分信号。跨接在变压器次级上的背对背肖特基二极管可以将输入AD6645的时钟信号过大幅度变动限制为约差分0.8 V p-p。这样有助于防止时钟的大电压摆幅馈入AD6645的其它部分，从而限制提供给编码输入的噪声。

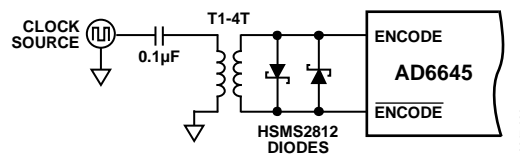


图38. 晶体时钟振荡器，差分编码

如果有低抖动的时钟源，那么，另一种方法是对差分ECL/PECL信号进行交流耦合，并传输至编码输入引脚(如图39所示)。ON Semiconductor提供的MC100EL16(或同一系列)具有出色的抖动性能。

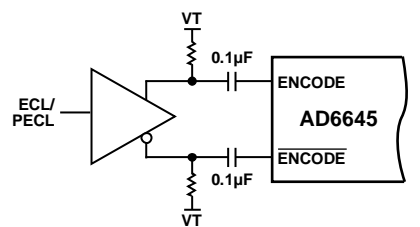


图39. 用于编码的差分ECL

驱动模拟输入

与大多数新款高速、高动态范围ADC一样，AD6645的模拟输入是差分输入。由于信号会通过衰减和增益级进行处理，因此差分输入可改善片内性能。这些改善主要归功于具有高偶数阶谐波抑制性能的差分模拟级。此外，在PCB层次上也有一些优点。首先，差分输入具有高共模抑制性能，能够极大抑制接地和电源噪声等杂散信号。其次，它们可以很好地抑制共模信号，如本振馈通。

AD6645的模拟输入电压范围偏离地2.4 V。各模拟输入端均通过一个500 Ω电阻连接到2.4 V偏置电压，并连接到差分缓冲器的输入端(见图32)。输入端的电阻网络适当偏置跟随器，从而实现最大线性度和范围。因此，驱动AD6645的模拟源应交流耦合至输入引脚。由于AD6645的差分输入阻抗为1 kΩ，因此模拟输入功率要求仅为-2 dBm，许多情况下简化了驱动器放大器。为了充分利用这种高输入阻抗，需要一个20:1 RF变压器。这是一个很大比值，并可导致难以令人满意的性能。这种情况下，可以使用较低的升压比。推荐方法是使用4:1 RF 变压器来驱动AD6645的差分模拟输入。例如，如果RT设为60.4 Ω，RS设为25 Ω，并且使用4:1阻抗比的变压器，则输入与具有4.8 dBm满量程驱动能力的50 Ω源相匹配。应在变压器副边上使用串联电阻(RS)，将变压器与A/D隔离开来。

AD6645

这样可以限制从A/D流回到变压器次级的动态电流量。也可在变压器的副边上采用50 Ω阻抗匹配，如评估板原理图所示(见图43)。

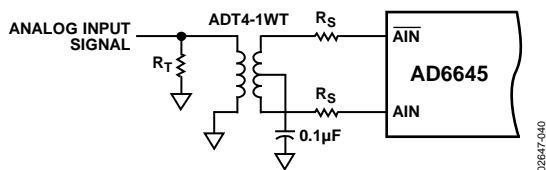


图40. 变压器耦合模拟输入电路

在需要直流耦合的应用中，可以使用AD8138等差分输出运算放大器来驱动AD6645(见图41)。AD8138运算放大器可提供单端至差分转换，进而可降低系统整体成本并将布局要求降至最低。

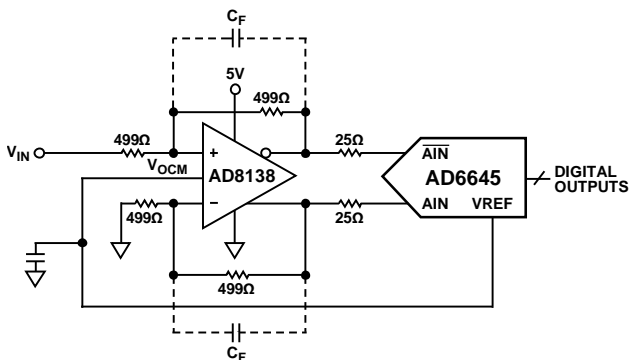


图41. 直流耦合模拟输入电路

电源

选择电源时应小心。强烈建议使用上升时间小于45 ms的线性直流电源。开关电源往往具有能被AD6645接收到的辐射成分。可使用0.1 μF芯片电容，在尽可能靠近封装的地方对各个电源引脚进行去耦。

AD6645具有单独的数字电源引脚和模拟电源引脚。模拟电源引脚为AV_{cc}，数字电源引脚则为DV_{cc}。虽然模拟电源和数字电源可以相连，但由于快速数字输出摆幅可将开关电流耦合至模拟电源，因此将两个电源分离可实现最佳性能。注意，AV_{cc}必须保持在5 V的5%范围内。AD6645的额定数字电源电压为DV_{cc} = 3.3 V，这是数字ASIC的常见电源。

数字输出

设计AD6645的数据接收器时必须格外谨慎。建议利用数字输出驱动后接栅极的串联电阻，如74LCX574。

要将容性负载降至最低，每个输出引脚上只应有一个栅极。实例如图43的评估板原理图所示。AD6645的数字输出具有1 V/ns的恒定输出压摆率。与PCB走线一起使用的常见CMOS栅极具有约10 pF的负载。因此，每一位开关时，每位各有10 mA (10 pF × 1 V ÷ 1 ns)的动态电流进出器件。满量程转换可引起高达140 mA (14位 × 10 mA/位)的电流流过输出级。串联电阻尽可能靠近AD6645放置，以便限制能够流入输出级的电流量。这些开关电流限制在地和DV_{cc}之间。应避免使用标准TTL栅极，因为它们会略微增加AD6645的动态开关电流。注意，额外容性负载会增加输出时序并导致时序规格失效。对于高达10 pF的输出负载，可保证数字输出时序。给定模拟输入电平的数字输出状态如表8所示。

接地

为实现最佳性能，强烈建议在模拟电源层和数字电源层之间使用公共地。采用分离接地层的主要问题是动态电流可能会被系统在系统内流过较长距离，然后在公共源地处重新合并。这样会形成一个很大的、不必要的接地环路。这种情况常出现在ADC的数字输出端。接地环路可使数字噪声耦合到ADC前端。此噪声可表现为谐波杂散，或可导致噪声底出现过大大尖峰的极高阶杂散产物。时钟速度越慢，发生这种噪声耦合的机率也就越小，因为数字噪声有更多时间在样本之间完成建立。一般而言，分离模拟地和数字地常常会导致不良EMI-RFI，因此应该予以避免。

相反，如果实施不当，公共接地实际上会引入额外噪声问题，因为数字接地电流在紧靠ADC输入端处叠加到模拟接地电流上。为了进一步降低噪声耦合的可能性，强烈建议放置多个接地回路走线/过孔，使数字输出电流不会流回模拟前端，但会快速离开ADC。这不要求分离接地层，只需在模拟前端和数字输出端之间的某点，将实际接地接回到电源即可实现。此外，在电源和接地层之间正确使用陶瓷芯片电容有助于抑制数字噪声。布局应集成足够大的电容，以满足开关期间的峰值电流要求。

布局信息

评估板原理图(见图43)代表AD6645的一种典型实施情况。建议使用多层板来实现最佳效果。强烈建议直接在器件上使用高质量的陶瓷芯片电容将各个电源引脚去耦到地。AD6645的引脚排列有助于在实施高频、高分辨率设计时轻松使用。所有数字输出均隔离到芯片的两侧，而输入则位于相反一侧，以便实现隔离。

布设数字输出走线时应小心。为了防止通过数字输出耦合到AD6645的模拟部分，应在这些输出端放置最小容性负载。建议应针对所有AD6645数字输出使用仅一个栅极的扇出。

编码电路的布局同样非常重要。一旦此电路接收到任何噪声，就会破坏数字化过程并导致整体性能下降。编码时钟必须与数字输出和模拟输入隔离开来。

表8. 二进制补码输出编码

AIN电平	AIN电平	输出状态	输出码
VREF + 0.55 V	VREF - 0.55 V	正FS	01 1111 1111 1111
VREF	VREF	中间电平	00 ... 0/11 ... 1
VREF - 0.55 V	VREF + 0.55 V	负FS	10 0000 0000 0000

抖动考虑

ADC的SNR可以预测。归一化到ADC代码时，下列公式可以根据以下三项精确预测SNR：抖动、平均DNL误差和热噪声。这些项都会影响转换器内的噪声。

$$\text{SNR} = 1.76 -$$

$$20 \log \left[\left(2\pi \times f_{\text{ANALOG}} \times t_{j\text{rms}} \right)^2 + \left(\frac{1 + \varepsilon}{2^n} \right)^2 + \left(\frac{2 \times \sqrt{2} \times V_{\text{NOISE rms}}}{2^n} \right)^2 \right]^{1/2}$$

其中：

f_{ANALOG} 为模拟输入频率。

$t_{j\text{rms}}$ 为编码的均方根抖动(编码源和内部编码电路的均方根和)。

ε 为ADC的平均DNL(典型值为0.41 LSB)。

n 是ADC的位数。

$V_{\text{NOISE rms}}$ 为折合到ADC模拟输入端的电压均方根热噪声(典型值为0.9 LSB rms)。

对于14位ADC(如AD6645)，随着模拟频率增加，孔径抖动会显著影响SNR性能。图42中的一组曲线显示随着抖动增加AD6645的预期SNR性能。该图由以上公式推导而出。

有关孔径抖动的完整讨论，请参见应用笔记AN-756“采样系统以及时钟相位噪声和抖动的影响”。欲查看应用笔记AN-756，请访问 www.analog.com/zh

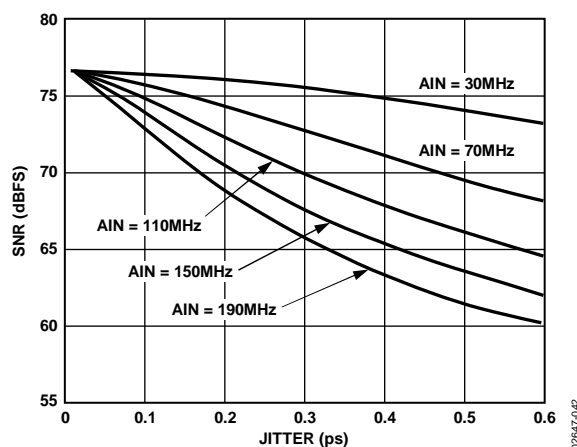


图42. SNR与抖动的关系

AD6645

表9. AD6645/PCB物料清单

数量 80 MSPS	数量 105 MSPS	参考ID	描述	制造厂商	供应商产品型号
1	1	PCB	印刷电路板, AD6645工程评估板	PCSM	6645EE01D REV D
4	4	C1, C2, C31, C38	电容, 钽, SMT BCAPTAJC, 10 μF, 16 V, 10%	Kemet	T491C106K016AS
8	8	C3, C7 至 C10, C16, C30 ¹ , C32	电容, 陶瓷, SMT 0508, 0.1 μF, 16 V, 10%	Presidio Components	0508X7R104K16VP3
9	9	C4, C15, C22 至 C26, C29, (C33) ^{2,3} , (C34) ^{2,3} , C39	电容, 陶瓷, SMT 0805, 0.1 μF, 25 V, 10%	Panasonic	ECJ-2VB1E104K
0	0	(C5, C6) ^{2,3}	电容, 陶瓷, SMT 0805, 0.01 μF, 50 V, 10%	Panasonic	ECJ-2YB1H103K
10	10	C11 至 C14, C17 至 C21, C40	电容, 陶瓷, SMT 0508, 0.01 μF, 50 V, 0.2%	Presidio Components	0508X7R103M2P3
0	0	(C27, C28) ²	电容, 陶瓷, SMT 0805, 保证限制放大器带宽		
1	1	CR1 ³	二极管, 双极性肖特基HSMS2812, SOT-23, 30 V, 20 mA	Panasonic	MA716-(TX)
1	1	E1	安装跳线(跨接于OPT_LAT和BUFLAT)		
5	5	F1 至 F5	EMI抑制铁质片, SMT 0805	Steward	HZ0805E601R-00
1	1	J1	端板, 6引脚, 针接式连接, 5 mm间距	Wieland	Z5.530.0625.0
1	1	J1	针接式连接, 6引脚, 5 mm间距	Wieland	25.602.2653.0
1	1	J2	端板, 40引脚, 阳性, 直角	Samtec	TSW-120-08-T-D-RA
2	2	(J3) ² , J4, J5	连接器, 金, 阴性, 同轴, SMA, 垂直	Johnson Components	142-0701-201
1	1	L1	电感, SMT, 1008-ct封装, 4.7 nH	Coilcraft	1008CT-040X-J
0	0	(R1) ^{2,3}	电阻, 厚膜, SMT 0402, 100 Ω, 1/16 W, 1%	Panasonic	ERJ-2RKF1000
0	0	(R2) ²	电阻, 厚膜, SMT 1206, 60.4 Ω, 1/4 W, 1%	Panasonic	ERJ-8ENF60R4V
2	2	(R3 至 R5) ^{1,2} , (R8) ^{1,2} , R9, R10	电阻, 厚膜, SMT 0805, 500 Ω, 1/8 W, 1%	Panasonic	ERJ-6ENF4990V
2	2	R6, R7	电阻, 厚膜, SMT 0805, 25.5 Ω, 1/8 W, 1%	Panasonic	ERJ-6ENF25R5V
0	0	(R11) ^{2,3} , (R13) ^{2,3}	电阻, 厚膜, SMT 0805, 66.5 Ω, 1/8 W, 1%	Panasonic	ERJ-6ENF66R5V
0	0	(R12) ^{2,3} , (R14) ^{2,3}	电阻, 厚膜, SMT 0805, 100 Ω, 1/8 W, 1%	Panasonic	ERJ-6ENF1000V
1	1	R15 ¹	电阻, 厚膜, SMT 0402, 178 Ω, 1/16 W, 1%	Panasonic	ERJ-2RKF1780X
1	1	R35	电阻, 厚膜, SMT 0805, 49.9 Ω, 1/8 W, 1%	Panasonic	ERJ-6ENF49R9V
4	4	RN1 至 RN4	电阻阵列, SMT 0402, 100 Ω, 8 ISO RES, 1/4 W, 5%	Panasonic	EXB2HV101JV
2	2	T2 ³ , T3 ¹	变压器, ADT4-1WT, CD542, 2 MHz至775 MHz	Mini-Circuits	ADT4-1WT
1	0	U1	IC, 14位、80 MSPS ADC	Analog Devices	AD6645ASQ/ASV-80
0	1	U1	IC, 14位、105 MSPS ADC	Analog Devices	AD6645ASQ/ASV-105
2	2	U2, U7	IC, SOIC-20, 八通道D触发器	Fairchild	74LCX574WM
0	0	(U3) ^{1,2}	IC, SOIC-8, 低失真差分ADC驱动器	Analog Devices	AD8138AR
2	2	U4, U6	IC, SOT-23, 小型逻辑UHS 2输入OR门	Fairchild	NC7SZ32

数量 80 MSPS	数量 105 MSPS	参考ID	描述	制造厂商	供应商产品型号
0	0	(U8) ^{2,3}	IC, SOIC-8, 差分接收机	Motorola	MC100LVEL16
1	0	Y1	时钟振荡器, 80 MHz	CTS Reeves	MXO45-80
4	4	Y1	引脚插孔, 闭合端	AMP/Tyco Electronics	5-330808-3
4	4		电路板支持	Richco, Inc.	CBSB-14-01

¹ 交流耦合AIN是标准配置: 不安装R3、R4、R5、R8和U3。如果需要直流耦合AIN, 则不安装C30、R15和T3。

² 标准器件上未安装括号内的参考标志。

³ 交流耦合编码是标准配置: 不安装C5、C6、C33、C34、R1、R11至R14和U8。如果需要PECL编码, 则不安装CR1和T2。

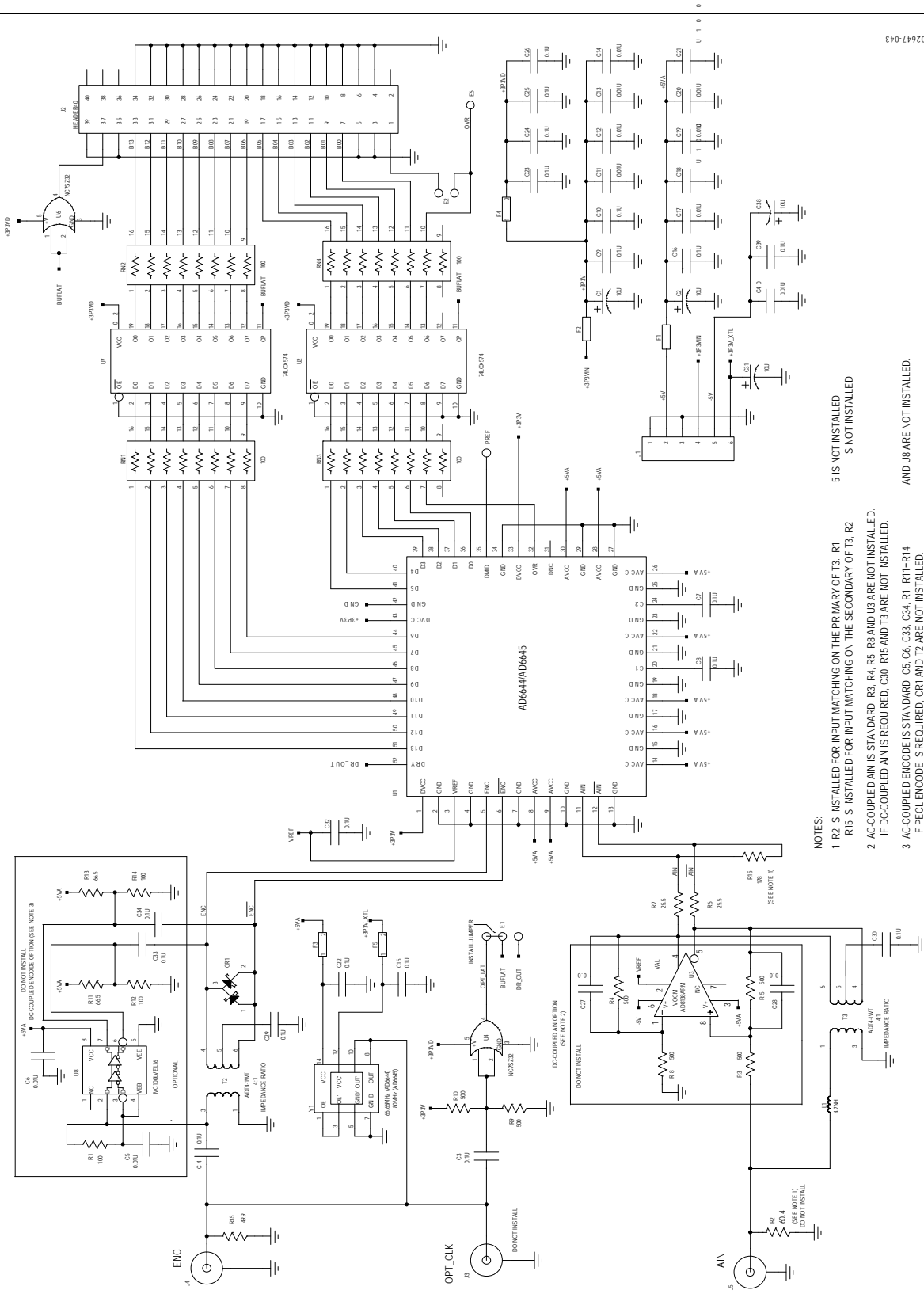


图43. 评估板原理图

NOTES:

1. R2 IS INSTALLED FOR INPUT MATCHING ON THE PRIMARY OF T3. R1 IS NOT INSTALLED.
2. AC-COUPLED AIN IS STANDARD. R3, R4, R5, R6 AND U3 ARE NOT INSTALLED. IF DC-COUPLED AIN IS REQUIRED, C30, R15 AND T3 ARE NOT INSTALLED.
3. AC-COUPLED ENCODE IS STANDARD. C5, C6, C33, C34, R1, R11-R14 IF PECL ENCODE IS REQUIRED. C71 AND T2 ARE NOT INSTALLED.

026417-043

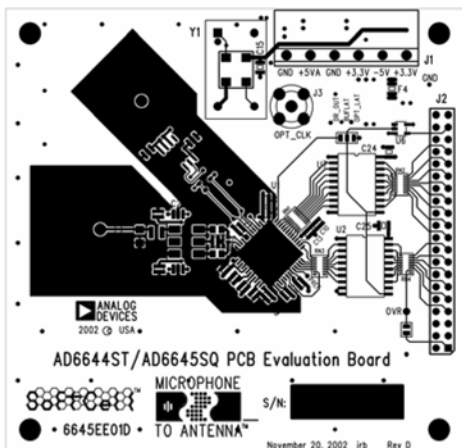


图44. 顶部信号电平

02647-044

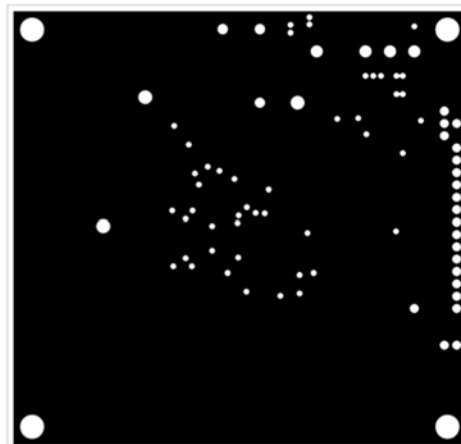


图46. 接地层2和接地层5

02647-046

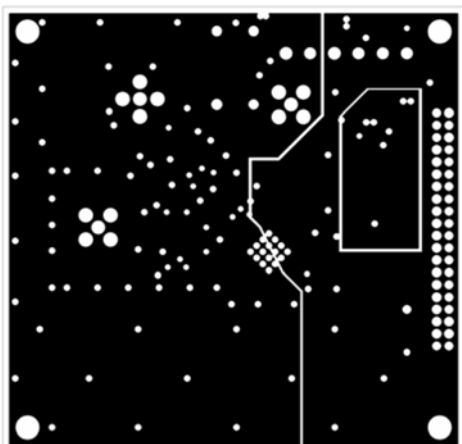


图45. 5.0 V层3和3.3 V层4

02647-045

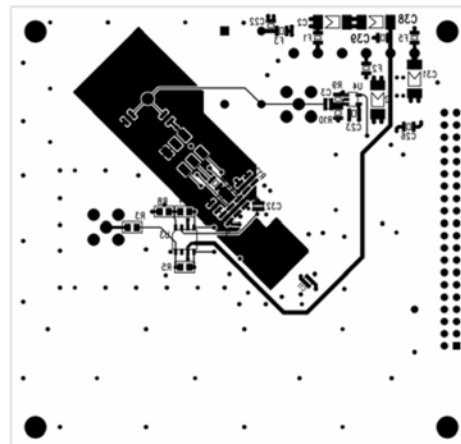
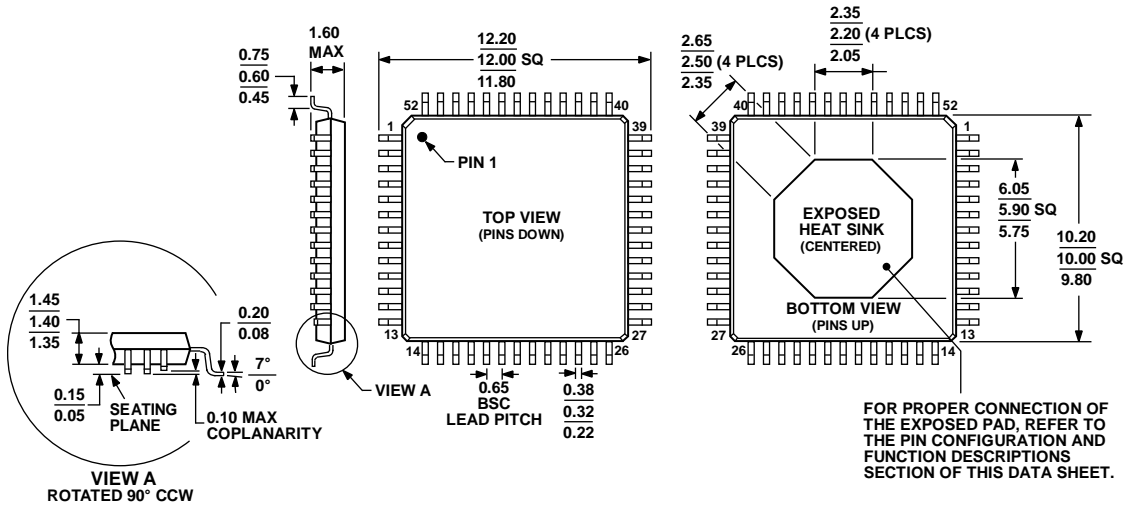


图47. 底部信号层

02647-047

外形尺寸

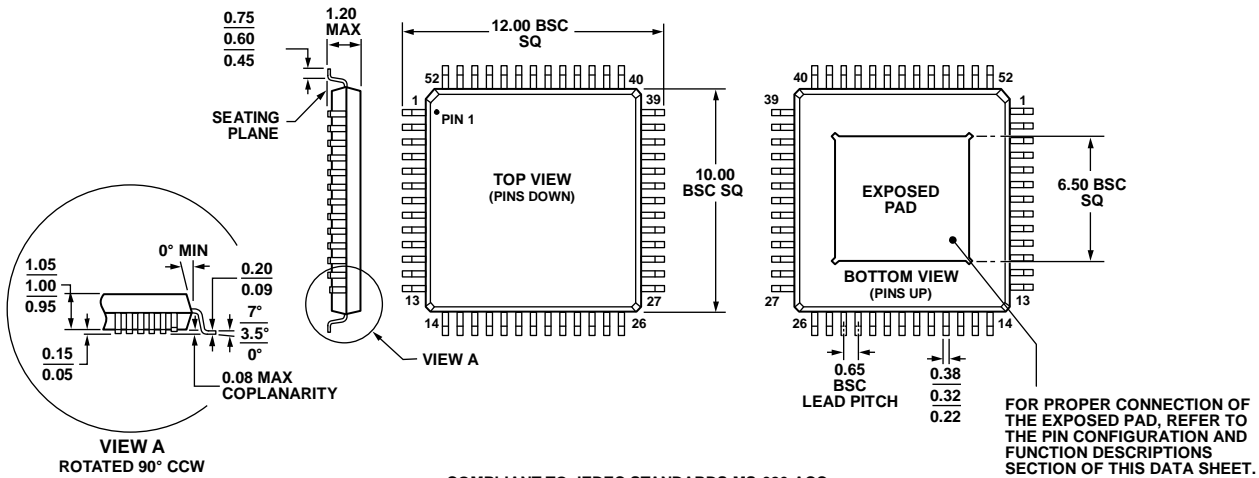


COMPLIANT TO JEDEC STANDARDS MS-026-BCC-HD

图48. 52引脚薄型四方扁平PowerQuad封装[LQFP_PQ4] (SQ-52-1)

图示尺寸单位: mm

082108-A



COMPLIANT TO JEDEC STANDARDS MS-026-ACC

图49. 52引脚裸露焊盘、超薄四方扁平封装[TQFP_EP] (SV-52-1)

图示尺寸单位: mm

072408-A

订购指南

型号	温度范围	封装描述	封装选项
AD6645ASQ-80	-40°C 至 +85°C	52引脚薄型四方扁平PowerQuad封装(LQFP_PQ4)	SQ-52-1
AD6645ASQZ-80 ¹	-40°C 至 +85°C	52引脚薄型四方扁平PowerQuad封装(LQFP_PQ4)	SQ-52-1
AD6645ASVZ-80 ¹	-40°C 至 +85°C	52引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)	SV-52-1
AD6645ASQ-105	-10°C 至 +85°C	52引脚薄型四方扁平PowerQuad封装(LQFP_PQ4)	SQ-52-1
AD6645ASQZ-105 ¹	-10°C 至 +85°C	52引脚薄型四方扁平PowerQuad封装(LQFP_PQ4)	SQ-52-1
AD6645ASVZ-105 ¹	-10°C 至 +85°C	52引脚裸露焊盘、超薄四方扁平封装(TQFP_EP)	SV-52-1
AD6645-80/PCBZ ¹		评估板	
AD6645-105/PCBZ ¹		评估板	

¹ Z = 符合RoHS标准的器件。