

### 产品特性

JESD204B(子类1)编码串行数字输出

1 GSPS时每通道总功耗: 1.5 W(默认设置)

#### SFDR

79 dBFS(340 MHz, 1 GSPS)

86 dBFS(340 MHz, 500 MSPS)

#### SNR

63.4 dBFS(340 MHz,  $A_{IN} = -1.0$  dBFS, 1 GSPS)

65.6 dBFS(340 MHz,  $A_{IN} = -1.0$  dBFS, 500 MSPS)

ENOB = 10.4 位(10 MHz)

DNL =  $\pm 0.16$  LSB; INL =  $\pm 0.35$  LSB

#### 噪声密度

-151 dBFS/Hz (1 GSPS)

-150 dBFS/Hz (500 MSPS)

直流电源: 1.25 V、2.5 V和3.3 V

#### 低摆幅满量程输入

1.34 V p-p标称值(1 GSPS)

1.63 V p-p标称值(500 MSPS)

#### 无失码

#### ADC内部基准电压源

#### 灵活的端接阻抗

400  $\Omega$ 、200  $\Omega$ 、100  $\Omega$ 和50  $\Omega$ 差分

#### 2 GHz可用模拟输入全功率带宽

#### 95 dB通道隔离/串扰

#### 幅度检测位支持实现高效AGC

#### 差分时钟输入

每通道具有可选2分频DDC

#### 差分时钟输入

整数时钟分频值: 1、2、4或8

#### 灵活的JESD204B通道配置

#### 小信号扰动

### 应用

#### 通信

#### 分集多频段、多模数字接收器

3G/4G、TD-SCDMA、W-CDMA、GSM、LTE

#### 点对点无线电系统

#### 数字失真观测测路径

#### 通用软件无线电

#### 超宽带卫星接收机

#### 仪器仪表(频谱分析仪、网络分析仪、集成式RF测试解决方案)

#### 数字示波器

#### 高速数据采集系统

#### DOCSIS 3.0 CMTS上游接收路径

#### HFC数字反向路径接收机

Rev. A

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文。敬请谅解翻译中可能存在的语言组织或翻译错误。ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

### 功能框图

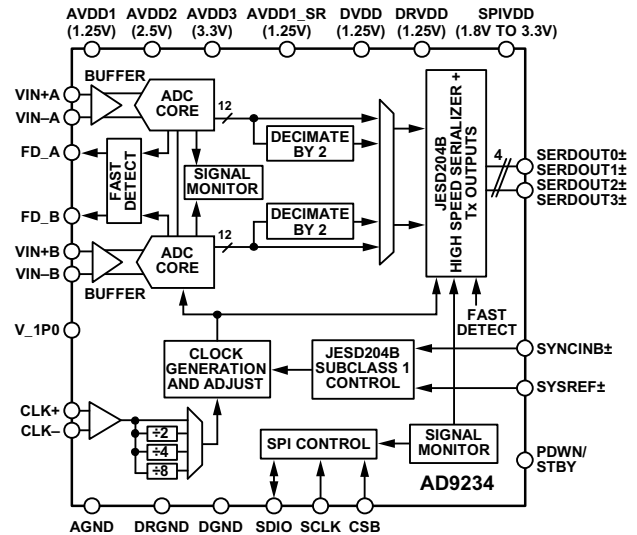


图1.

### 产品特色

1. 低功耗模拟内核，12位、1.0 GSPS双通道模数转换器(ADC)，每通道1.5 W。
2. 较宽的全功率带宽，支持高达2 GHz的IF信号采样。
3. 提供可编程输入端的缓冲输入，简化了滤波器设计和实施。
4. 灵活的串行端口接口(SPI)控制各种产品特性和功能，满足特定系统要求。
5. 可编程快速超量程检测。
6. 9 mm  $\times$  9 mm、64引脚LFCSP。
7. 引脚兼容AD9680 14位、1 GSPS/500 MSPS双通道ADC。

## 目录

产品特性 .....	1	数字下变频器(DDC).....	34
应用 .....	1	DDC概述 .....	34
功能框图 .....	1	半带滤波器 .....	35
产品特点 .....	1	DDC增益级 .....	36
修订历史 .....	3	DDC复数转实数 .....	36
概述 .....	4	数字输出 .....	37
技术规格 .....	5	JESD204B接口简介 .....	37
直流规格 .....	5	JESD204B概述 .....	37
交流规格 .....	6	功能概述 .....	38
数字规格 .....	8	JESD204B链路建立 .....	39
开关规格 .....	9	物理层(驱动器)输出 .....	41
时序规格 .....	9	配置JESD204B链路 .....	43
绝对最大额定值 .....	11	多芯片同步 .....	46
热特性 .....	11	SYSREF±设置/保持窗口监控器 .....	48
ESD警告 .....	11	测试模式 .....	50
引脚配置和功能描述 .....	12	ADC测试模式 .....	50
典型性能参数 .....	14	JESD204B模块测试模式 .....	51
AD9234-1000 .....	14	串行端口接口 .....	53
AD9234-500 .....	18	使用SPI的配置 .....	53
等效电路 .....	22	硬件接口 .....	53
工作原理 .....	24	SPI访问特性 .....	53
ADC架构 .....	24	存储器映射 .....	54
模拟输入考虑 .....	24	读取存储器映射寄存器表 .....	54
基准电压源 .....	27	存储器映射寄存器表 .....	55
时钟输入考虑 .....	28	应用信息 .....	65
关断/待机模式 .....	29	电源建议 .....	65
温度二极管 .....	29	裸露焊盘散热块建议 .....	65
ADC超量程和快速检测 .....	30	AVDD1_SR(引脚57)和AGND(引脚56和引脚60) .....	65
ADC超量程 .....	30	外形尺寸 .....	66
快速阈值检测(FD_A和FD_B) .....	30	订购指南 .....	66
信号监控 .....	31		

**修订历史**

**2015年3月—修订版0至修订版A**

增加AD9234-500 .....通篇  
更改“产品特性”部分 ..... 1  
更改表1 ..... 5  
更改表2 ..... 6  
更改表4 ..... 9  
更改表6、“热特性”部分和表7 ..... 11  
增加AD9234-500部分和图29至图51 ..... 18  
更改图63和图64标题、“模拟输入控制和SFDR优化”部分  
以及图66 ..... 25  
更改图70和图71 ..... 26  
更改“基准电压源”部分 ..... 27

更改图79 ..... 28  
更改图80 ..... 29  
更改图91 ..... 38  
更改“DDC概述”部分 ..... 34  
增加“示例2：500 MSPS全带宽模式”部分 ..... 44  
增加“测试模式”部分和表15至表19 ..... 50  
更改表22 ..... 55  
更改“电源建议”部分和图106 ..... 65  
更改“订购指南”部分 ..... 66

**2014年8月—修订版0：初始版**

# AD9234

## 概述

AD9234是一款双通道、12位、1 GSPS/500 MSPS ADC。该器件内置片内缓冲器和采样保持电路，专门针对低功耗、小尺寸和易用性而设计。该产品用于对宽带宽模拟信号进行采样。AD9234针对宽输入带宽、高采样速率、出色的线性度和小封装低功耗而优化。

这款双通道ADC内核采用多级、差分流水线架构，并集成了输出纠错逻辑。每个ADC均具有宽带宽缓冲输入，支持用户可选的各种输入范围。集成基准电压源可简化设计。各ADC的数据输出内部连接到可选2分频时钟。

AD9234内置多种功能，可以简化通信接收机中的自动增益控制(AGC)功能。利用ADC的快速检测输出位，可编程阈值检测器可以监控输入信号功率。如果输入信号电平超过可编程阈值，快速检测指示器就会变为高。由于该阈值指

示器的延迟极短，因此用户能够快速调低系统增益，从而避免ADC输入端出现超量程现象。除了快速检测输出外，AD9234还具有信号监控能力。信号监控模块可提供ADC进行数字化处理信号的其他信息。

用户可将JESD204B子类1的高速串行输出采用单通道、双通道或四通道配置，具体取决于接收逻辑器件的可接受通道速率以及ADC的采样速率。通过SYSREF $\pm$ 和SYNCINB $\pm$ 输入引脚，可提供多器件同步支持。

AD9234具有灵活的掉电选项，在需要时可以明显降低功耗。这些特性均可通过1.8 V至3.3 V三线式SPI进行编程。

AD9234采用64引脚无铅LFCSP封装，额定温度范围为-40°C至+85°C工业温度范围。该产品受美国专利保护。

# 技术规格

## 直流规格

除非另有说明，AVDD1 = 1.25 V，AVDD2 = 2.5 V，AVDD3 = 3.3 V，AVDD1\_SR = 1.25 V，DVDD = 1.25 V，DRVDD = 1.25 V，SPIVDD = 1.8 V，额定最大采样速率， $A_{IN} = -1.0$  dBFS，时钟分频器 = 2，默认SPI设置， $T_A = 25^\circ\text{C}$ 。

表1.

参数	温度	AD9234-500			AD9234-1000			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
分辨率	全温度范围	12			12			位
精度		保证			保证			
无失码	全温度范围	保证			保证			
失调误差	全温度范围	-0.22	0	+0.20	-0.22	0	+0.20	% FSR
失调匹配	全温度范围		0	+0.19		0	+0.19	% FSR
增益误差	全温度范围	-13.8	-5.1	+3.6		0		% FSR
增益匹配	全温度范围	-3.9	+1	+5.9		1	+4.8	% FSR
差分非线性(DNL)	全温度范围	-0.3		+0.3	-0.3	$\pm 0.16$	+0.3	LSB
积分非线性(INL)	全温度范围	-0.8		+1.1	-1.2	$\pm 35$	+1.4	LSB
温度漂移								
失调误差	25°C	$\pm 2.6$			$\pm 6$			ppm/°C
增益误差	25°C	$\pm 36$			$\pm 36$			ppm/°C
内部基准电压源								
电压	全温度范围	1.0			1.0			V
折合到输入端噪声								
$V_{REF} = 1.0$ V	25°C	0.74			1.02			LSB rms
模拟输入								
差分输入电压范围	全温度范围	1.63			1.34			V p-p
共模电压( $V_{CM}$ )	25°C	2.05			2.05			V
差分输入电容 <sup>1</sup>	25°C	1.5			1.5			pF
全功率模拟输入带宽	25°C	2			2			GHz
电源								
AVDD1	全温度范围	1.22	1.25	1.28	1.22	1.25	1.28	V
AVDD2	全温度范围	2.44	2.50	2.56	2.44	2.50	2.56	V
AVDD3	全温度范围	3.2	3.3	3.4	3.2	3.3	3.4	V
AVDD1_SR	全温度范围	1.22	1.25	1.28	1.22	1.25	1.28	V
DVDD	全温度范围	1.22	1.25	1.28	1.22	1.25	1.28	V
DRVDD	全温度范围	1.22	1.25	1.28	1.22	1.25	1.28	V
SPIVDD	全温度范围	1.7	1.8	3.4	1.7	1.8	3.4	V
$I_{AVDD1}$	全温度范围		430	480		675	740	mA
$I_{AVDD2}$	全温度范围		380	430		525	590	mA
$I_{AVDD3}$	全温度范围		65	75		75	91	mA
$I_{AVDD1\_SR}$	全温度范围		15	18		16	18	mA
$I_{DVDD}^2$	全温度范围		140	152		230	236	mA
$I_{DRVDD}^1$	全温度范围		190	246		205	225	mA
$I_{DRVDD}$ (L = 2模式)	25°C		140			N/A <sup>3</sup>		mA
$I_{SPIVDD}$	全温度范围		5	6		5	6	mA

# AD9234

参数	温度	AD9234-500			AD9234-1000			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
功耗								
总功耗(包括输出驱动器) <sup>2</sup>	全温度范围	2.15	2.5		3.0	3.3		W
总功耗(L = 2模式)	25°C	2.08			N/A <sup>3</sup>			W
关断功耗	全温度范围	670			750			mW
待机 <sup>4</sup>	全温度范围	1.1			1.25			W

<sup>1</sup> 所有通道工作。DRVDD上的功耗随通道速率和所用的通道数而变。

<sup>2</sup> 默认模式。未使用DDC。L = 4, M = 2, F = 1。

<sup>3</sup> N/A表示不适用。在最大采样速率时, JESD204B输出接口不能使用L = 2模式, 因为这会超过12.5 Gbps的最大通道速率。当公式 $((M \times N' \times (10/8) \times f_{OUT})/L)$ 得到的通道速率小于等于12.5 Gbps时, 支持L = 2模式。 $f_{OUT}$ 为输出采样速率, 用 $f_s/DCM$ 表示, 其中DCM = 抽取率。

<sup>4</sup> 可通过SPI控制。

## 交流规格

除非另有说明, AVDD1 = 1.25 V, AVDD2 = 2.5 V, AVDD3 = 3.3 V, AVDD1\_SR = 1.25 V, DVDD = 1.25 V, DRVDD = 1.25 V, SPIVDD = 1.8 V, 额定最大采样速率,  $A_{IN} = -1.0$  dBFS, 时钟分频器 = 2, 默认SPI设置,  $T_A = 25^\circ\text{C}$ 。

表2.

参数 <sup>1</sup>	温度	AD9234-500			AD9234-1000			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
模拟输入满量程	全温度范围	1.63			1.34			V p-p
噪声密度 <sup>2</sup>	全温度范围	-150			-151			dBFS/Hz
信噪比(SNR) <sup>3</sup>								
$f_{IN} = 10$ MHz	25°C		65.9			64.2		dBFS
$f_{IN} = 170$ MHz	全温度范围	65.1	65.8		61.6	63.9		dBFS
$f_{IN} = 340$ MHz	25°C		65.6			63.4		dBFS
$f_{IN} = 450$ MHz	25°C		65.3			63.1		dBFS
$f_{IN} = 737$ MHz	25°C		64.2			61.6		dBFS
$f_{IN} = 985$ MHz	25°C		63.6			60.7		dBFS
$f_{IN} = 1410$ MHz	25°C		62.2			58.8		dBFS
信纳比(SINAD) <sup>3</sup>								
$f_{IN} = 10$ MHz	25°C		65.8			64.1		dBFS
$f_{IN} = 170$ MHz	全温度范围	65.0	65.7		61.2	63.8		dBFS
$f_{IN} = 340$ MHz	25°C		65.5			63.3		dBFS
$f_{IN} = 450$ MHz	25°C		65.2			63.0		dBFS
$f_{IN} = 737$ MHz	25°C		63.7			61.5		dBFS
$f_{IN} = 985$ MHz	25°C		63.1			60.6		dBFS
$f_{IN} = 1410$ MHz	25°C		61.2			58.7		dBFS
有效位数(ENOB)								
$f_{IN} = 10$ MHz	25°C		10.7			10.4		位
$f_{IN} = 170$ MHz	全温度范围	10.5	10.6		9.9	10.3		位
$f_{IN} = 340$ MHz	25°C		10.6			10.2		位
$f_{IN} = 450$ MHz	25°C		10.5			10.2		位
$f_{IN} = 737$ MHz	25°C		10.3			9.9		位
$f_{IN} = 985$ MHz	25°C		10.2			9.8		位
$f_{IN} = 1410$ MHz	25°C		9.9			9.5		位
无杂散动态范围(SFDR) <sup>3</sup>								
$f_{IN} = 10$ MHz	25°C		84			89		dBFS
$f_{IN} = 170$ MHz	全温度范围	77	85		70	80		dBFS
$f_{IN} = 340$ MHz	25°C		85			79		dBFS
$f_{IN} = 450$ MHz	25°C		87			80		dBFS
$f_{IN} = 737$ MHz	25°C		75			81		dBFS
$f_{IN} = 985$ MHz	25°C		75			79		dBFS
$f_{IN} = 1410$ MHz	25°C		71			78		dBFS

参数 <sup>1</sup>	温度	AD9234-500			AD9234-1000			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
最差谐波，二次或三次 <sup>3</sup>								
$f_{IN} = 10 \text{ MHz}$	25°C		-84			-89		dBFS
$f_{IN} = 170 \text{ MHz}$	全温度范围	-85	-77		-80	-70		dBFS
$f_{IN} = 340 \text{ MHz}$	25°C		-85			-79		dBFS
$f_{IN} = 450 \text{ MHz}$	25°C		-87			-80		dBFS
$f_{IN} = 737 \text{ MHz}$	25°C		-75			-82		dBFS
$f_{IN} = 985 \text{ MHz}$	25°C		-75			-79		dBFS
$f_{IN} = 1410 \text{ MHz}$	25°C		-71			-78		dBFS
最差其它谐波，二次或三次除外 <sup>3</sup>								
$f_{IN} = 10 \text{ MHz}$	25°C		-96			-89		dBFS
$f_{IN} = 170 \text{ MHz}$	全温度范围	-82	-95		-85	-76		dBFS
$f_{IN} = 340 \text{ MHz}$	25°C		-94			-83		dBFS
$f_{IN} = 450 \text{ MHz}$	25°C		-93			-82		dBFS
$f_{IN} = 737 \text{ MHz}$	25°C		-88			-81		dBFS
$f_{IN} = 985 \text{ MHz}$	25°C		-89			-85		dBFS
$f_{IN} = 1410 \text{ MHz}$	25°C		-86			-80		dBFS
双音交调失真(IMD), $A_{IN1}$ 和 $A_{IN2} = -7 \text{ dBFS}$								
$f_{IN1} = 187 \text{ MHz}, f_{IN2} = 190 \text{ MHz}$	25°C		-90			-81		dBFS
$f_{IN1} = 338 \text{ MHz}, f_{IN2} = 341 \text{ MHz}$	25°C		-86			-78		dBFS
串扰 <sup>4</sup>	25°C		95			95		dB
全功率带宽 <sup>5</sup>	25°C		2			2		GHz

<sup>1</sup> 如需了解定义以及如何完成这些测试的详情，请参阅应用笔记AN-835：了解高速ADC测试和评估。

<sup>2</sup> 在低模拟输入频率下测量噪声密度(30 MHz)。

<sup>3</sup> 有关针对SFDR优化缓冲器电流设置的建议设置，请参见表9。

<sup>4</sup> 串扰的测量条件：一个通道参数为170 MHz、-1.0 dBFS模拟输入且相邻通道上无输入信号。

<sup>5</sup> 采用图64中的电路测量。

# AD9234

## 数字规格

除非另有说明, AVDD1 = 1.25 V, AVDD2 = 2.5 V, AVDD3 = 3.3 V, AVDD1\_SR = 1.25 V, DVDD = 1.25 V, DRVDD = 1.25 V, SPIVDD = 1.8 V, 额定最大采样速率,  $A_{IN} = -1.0$  dBFS, 默认SPI设置,  $T_A = 25^\circ\text{C}$ 。

表3.

参数	温度	最小值	典型值	最大值	单位
时钟输入(CLK+, CLK-)					
逻辑兼容	全温度范围		LVDS/LVPECL		
差分输入电压	全温度范围	600	1200	1800	mV p-p
输入共模电压	全温度范围		0.85		V
输入电阻(差分)	全温度范围		35		k $\Omega$
输入电容	全温度范围			2.5	pF
系统基准输入(SYSREF+, SYSREF-)					
逻辑兼容	全温度范围		LVDS/LVPECL		
差分输入电压	全温度范围	400	1200	1800	mV p-p
输入共模电压	全温度范围	0.6	0.85	2.0	V
输入电阻(差分)	全温度范围		35		k $\Omega$
输入电容(差分)	全温度范围			2.5	pF
逻辑输入(SDIO、SCLK、CSB、PDWN/STBY)					
逻辑兼容	全温度范围		CMOS		
逻辑1电压	全温度范围	$0.8 \times \text{SPIVDD}$			V
逻辑0电压	全温度范围	0		0.5	V
输入电阻	全温度范围		30		k $\Omega$
逻辑输出(SDIO)					
逻辑兼容	全温度范围		CMOS		
逻辑1电压( $I_{OH} = 800 \mu\text{A}$ )	全温度范围	$0.8 \times \text{SPIVDD}$			V
逻辑0电压( $I_{OL} = 50 \mu\text{A}$ )	全温度范围	0		0.5	V
同步输入(SYNCINB+, SYNCINB-)					
逻辑兼容	全温度范围		LVDS/LVPECL/CMOS		
差分输入电压	全温度范围	400	1200	1800	mV p-p
输入共模电压	全温度范围	0.6	0.85	2.0	V
输入电阻(差分)	全温度范围		35		k $\Omega$
输入电容	全温度范围			2.5	pF
逻辑输出(FD_A、FD_B)					
逻辑兼容	全温度范围		CMOS		
逻辑1电压	全温度范围	$0.8 \times \text{SPIVDD}$			V
逻辑0电压	全温度范围	0		0.5	V
输入电阻	全温度范围		30		k $\Omega$
数字输出(SERDOUT $x_{\pm}$ , $x = 0$ 至3)					
逻辑兼容	全温度范围		CML		
差分输出电压	全温度范围	360		770	mV p-p
输出共模电压( $V_{CM}$ )					
交流耦合	25 $^\circ\text{C}$	0		1.8	V
短路电流( $I_{Dshort}$ )	25 $^\circ\text{C}$	-100		+100	mA
差分回损( $RL_{DIFF}$ ) <sup>1</sup>	25 $^\circ\text{C}$	8			dB
共模回损( $RL_{CM}$ ) <sup>1</sup>	25 $^\circ\text{C}$	6			dB
差分端接阻抗	全温度范围	80	100	120	$\Omega$

<sup>1</sup> 差分和共模回损的测量范围是100 MHz至0.75 MHz x 波特率。



## 开关规格

除非另有说明，AVDD1 = 1.25 V，AVDD2 = 2.5 V，AVDD3 = 3.3 V，AVDD1\_SR = 1.25 V，DVDD = 1.25 V，DRVDD = 1.25 V，SPIVDD = 1.8 V，额定最大采样速率， $A_{IN} = -1.0$  dBFS，默认SPI设置， $T_A = 25^\circ\text{C}$ 。

表4.

参数	温度	AD9234-500			AD9234-1000			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
<b>时钟</b>								
时钟速率(CLK+/CLK-引脚处)	全温度范围	0.3	4		0.3	4		GHz
最大采样速率 <sup>1</sup>	全温度范围	500			1000			MSPS
最小采样速率 <sup>2</sup>	全温度范围	300			300			MSPS
时钟高电平脉宽	全温度范围	1000			500			ps
时钟低电平脉宽	全温度范围	1000			500			ps
<b>输出参数</b>								
单位间隔(UI) <sup>3</sup>	全温度范围	80	200		80	100		ps
上升时间( $t_r$ )(20%至80%，100 $\Omega$ 负载)	25°C	24	32		24	32		ps
下降时间( $t_f$ )(20%至80%，100 $\Omega$ 负载)	25°C	24	32		24	32		ps
PLL锁定时间	25°C		2			2		ms
每通道的数据速率(NRZ) <sup>4</sup>	25°C	3.125	5	12.5	3.125	10	12.5	Gbps
<b>延迟<sup>5</sup></b>								
流水线延迟时间	全温度范围		55			55		时钟周期
快速检测延迟	全温度范围			28			28	时钟周期
唤醒时间 <sup>6</sup>								
待机	25°C		1			1		ms
关断	25°C			4			4	ms
<b>孔径</b>								
孔径延迟( $t_A$ )	全温度范围		530			530		ps
孔径不确定性(抖动, $t_j$ )	全温度范围		55			55		fs rms
超范围恢复时间	全温度范围		1			1		时钟周期

<sup>1</sup> 最大采样速率为分频后的时钟速率。

<sup>2</sup> 最小采样速率在300 MSPS，L = 2或L = 1。

<sup>3</sup> 波特率 = 1/UI。支持该范围的子集。

<sup>4</sup> 默认L = 4。该数字可根据采样速率和抽取速率而改变。

<sup>5</sup> 未使用DDC。L = 4，M = 2，F = 1。

<sup>6</sup> 唤醒时间指从掉电模式返回正常工作模式所需的时间。

## 时序规格

表5.

参数	测试条件/注释	最小值	典型值	最大值	单位
<b>CLK+至SYSREF+时序要求</b>					
$t_{SU\_SR}$	参见图2 器件时钟至SYSREF+建立时间		117		ps
$t_{H\_SR}$	器件时钟至SYSREF+保持时间		-96		ps
<b>SPI时序要求</b>					
$t_{DS}$	参见图3 数据与SCLK上升沿之间的建立时间	2			ns
$t_{DH}$	数据与SCLK上升沿之间的保持时间	2			ns
$t_{CLK}$	SCLK周期	40			ns
$t_S$	CSB与SCLK之间的建立时间	2			ns
$t_H$	CSB与SCLK之间的保持时间	2			ns
$t_{HIGH}$	SCLK应处于逻辑高电平状态的最短时间	10			ns
$t_{LOW}$	SCLK应处于逻辑低电平状态的最短时间	10			ns
$t_{EN\_SDIO}$	相对于SCLK下降沿，SDIO引脚从输入状态切换到输出状态所需的时间(图3未显示)	10			ns
$t_{DIS\_SDIO}$	相对于SCLK上升沿，SDIO引脚从输出状态切换到输入状态所需的时间(图3未显示)	10			ns

## 时序图

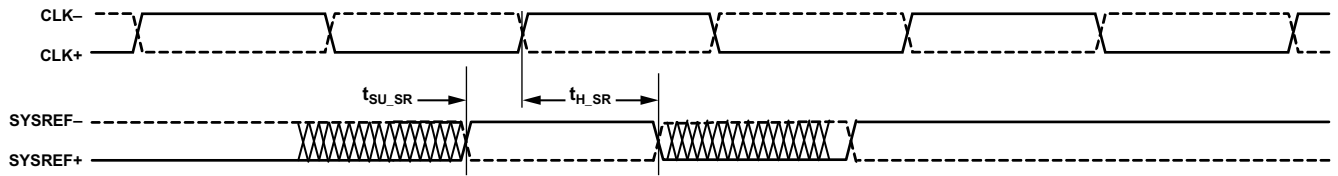


图2. SYSREF±建立和保持时间

12244-003

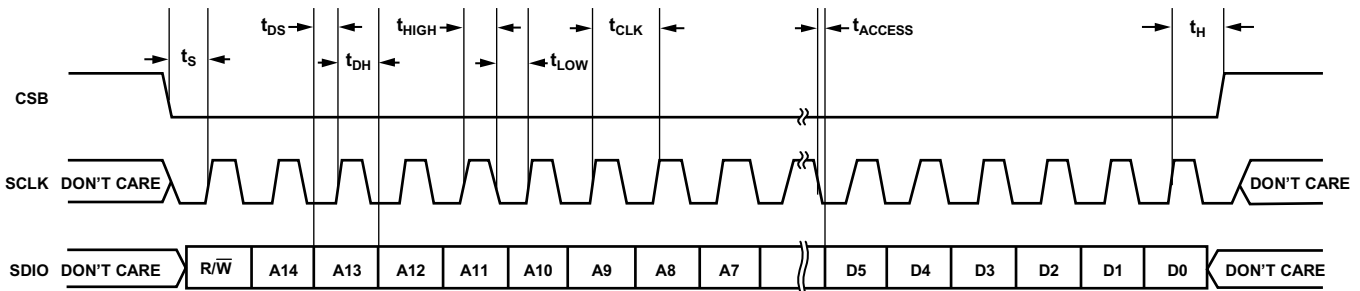


图3. 串行端口接口时序图

12244-004

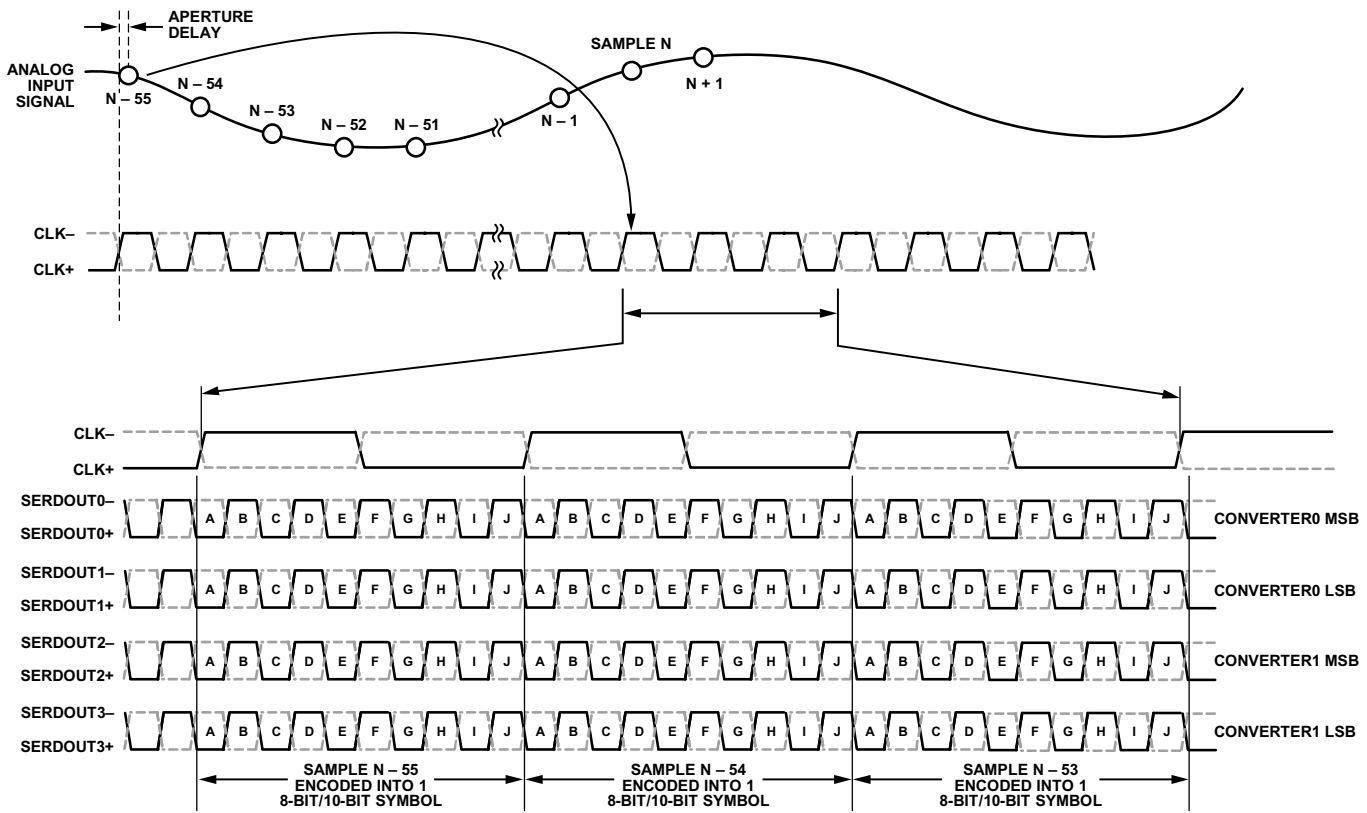


图4. 数据输出时序(全带宽模式;  $L = 4$ ;  $M = 2$ ;  $F = 1$ )

12244-002

## 绝对最大额定值

表6.

参数	额定值
电气	
AVDD1至AGND	1.32 V
AVDD1_SR至AGND	1.32 V
AVDD2至AGND	2.75 V
AVDD3至AGND	3.63 V
DVDD至DGND	1.32 V
DRVDD至DRGND	1.32 V
SPIVDD至AGND	3.63 V
AGND至DRGND	-0.3 V至+0.3 V
VIN±x至AGND	3.2 V
SCLK, SDIO, CSB至AGND	-0.3 V至SPIVDD + 0.3 V
PDWN/STBY至AGND	-0.3 V至SPIVDD + 0.3 V
工作温度范围	-40°C至+85°C
结温范围	-40°C至+115°C
存储温度范围(环境)	-65°C至+150°C

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

## 热特性

$\theta_{JA}$ 、 $\theta_{JB}$ 和 $\theta_{JC}$ 典型值的测试在不同气流速度(单位: m/s)的印刷电路板(PCB)的层数条件下进行。气流可增强散热，从而有效降低 $\theta_{JA}$ 和 $\theta_{JB}$ 。此外，金属直接与封装引脚和裸露焊盘接触，包括金属走线、通孔、地和电源层，同样可降低 $\theta_{JA}$ 。关于实际应用的热性能，需要仔细检查应用条件。建议采用适当的热管理技术，确保最大结温不超过表6中的限值。

表7. 热阻值

PCB类型	气流速度 (m/s)	$\theta_{JA}$	$\Psi_{JB}$	$\theta_{JC\_TOP}$	$\theta_{JC\_BOT}$	单位
JEDEC	0.0	17.8 <sup>1,2</sup>	6.3 <sup>1,3</sup>	4.7 <sup>1,5</sup>	1.2 <sup>1,5</sup>	°C/W
2s2p板	1.0	15.6 <sup>1,2</sup>	5.9 <sup>1,3</sup>	N/A <sup>4</sup>		°C/W
	2.5	15.0 <sup>1,2</sup>	5.7 <sup>1,3</sup>	N/A <sup>4</sup>		°C/W

<sup>1</sup> 按照JEDEC 51-7，加上JEDEC 51-5 2s2p测试板。

<sup>2</sup> 按照JEDEC JESD51-2(静止空气)或JEDEC JESD51-6(流动空气)。

<sup>3</sup> 按照JEDEC JESD51-8(静止空气)。

<sup>4</sup> N/A表示不适用。

<sup>5</sup> 按照MIL-STD 883、方法1012.1。

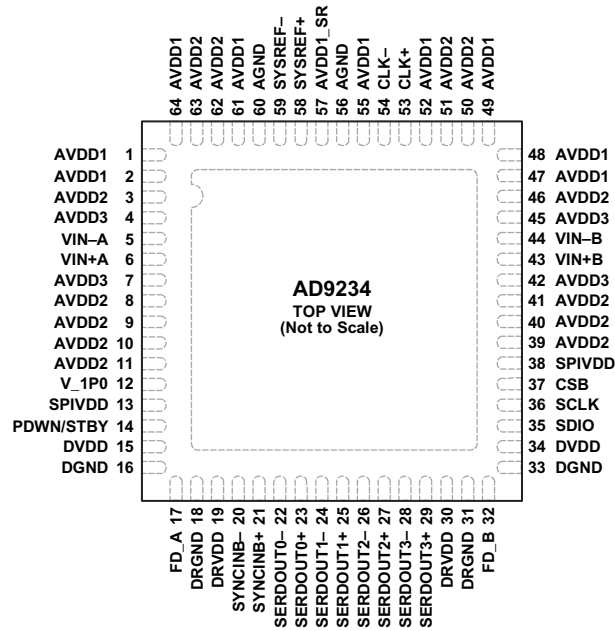
## ESD警告



### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述



NOTES  
 1. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE GROUND REFERENCE FOR AVDDx. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

12244-005

图5. 引脚配置

表8. 引脚功能描述

引脚编号	引脚名称	类型	描述
电源			
0	EPAD	地	裸露焊盘。封装底部的裸露热焊盘为AVDDx提供接地基准。该焊盘必须与地相连，才能正常工作。
1, 2, 47, 48, 49, 52, 55, 61, 64	AVDD1	电源	模拟电源(标称值1.25 V)。
3, 8, 9, 10, 11, 39, 40, 41, 46, 50, 51, 62, 63	AVDD2	电源	模拟电源(标称值2.5 V)。
4, 7, 42, 45	AVDD3	电源	模拟电源(标称值3.3 V)。
13, 38	SPIVDD	电源	SPI数字电源(1.8 V至3.3 V)。
15, 34	DVDD	电源	数字电源(标称值为1.25 V)。
16, 33	DGND	地	DVDD的接地基准。
18, 31	DRGND	地	DRVDD接地基准。
19, 30	DRVDD	电源	数字驱动器电源(标称值: 1.25 V)。
56, 60	AGND <sup>1</sup>	地	SYSREF±接地基准。
57	AVDD1_SR <sup>1</sup>	电源	SYSREF±模拟电源(标称值: 1.25 V)。
模拟			
5, 6	VIN-A, VIN+A	输入	ADC A模拟输入(-/+)
12	V_1P0	输入/DNC	1.0 V基准电压输入/不连接。此引脚可通过SPI配置为无连接或输入。如果使用内部基准，则不连接此引脚。如果使用外部基准电压源，则此引脚需要一个1.0 V基准电压输入。
43, 44	VIN+B, VIN-B	输入	ADC B模拟输入(+/-)。
53, 54	CLK+, CLK-	输入	时钟输入(+/-)。
CMOS输出			
17, 32	FD_A, FD_B	输出	通道A和通道B的快速检测输出。

引脚编号	引脚名称	类型	描述
数字输入 20, 21 58, 59	SYNCINB-, SYNCINB+ SYSREF+, SYSREF-	输入 输入	低电平有效JESD204B LVDS同步输入(-/+) 高电平有效JESD204B LVDS系统基准输入(+/-)。
数据输出 22, 23 24, 25 26, 27 28, 29	SERDOUT0-, SERDOUT0+ SERDOUT1-, SERDOUT1+ SERDOUT2-, SERDOUT2+ SERDOUT3-, SERDOUT3+	输出 输出 输出 输出	通道0输出数据(-/+) 通道1输出数据(-/+) 通道2输出数据(-/+) 通道3输出数据(-/+)
待测器件(DUT) 控制 14  35 36 37	PDWN/STBY  SDIO SCLK CSB	输入  输入/输出 输入 输入	掉电输入(高电平有效)。此引脚的操作取决于SPI模式，可配置为掉电或待机。 SPI串行数据输入/输出。 SPI串行时钟。 SPI片选(低电平有效)。

<sup>1</sup> 为了确保ADC正常工作，应使AVDD1\_SR和AGND独立于AVDD1和EPAD连接而进行连接。更多信息见“应用信息”部分。

## 典型性能参数

### AD9234-1000

除非另有说明, AVDD1 = 1.25 V, AVDD1\_SR = 1.25 V, AVDD2 = 2.5 V, AVDD3 = 3.3 V, DVDD = 1.25 V, DRVDD = 1.25 V, SPIVDD = 1.8 V, 1.34 V p-p满量程差分输入,  $A_{IN} = -1.0$  dBFS, 默认SPI设置, 时钟分频值 = 2,  $T_A = 25^\circ\text{C}$ , 128k FFT采样。

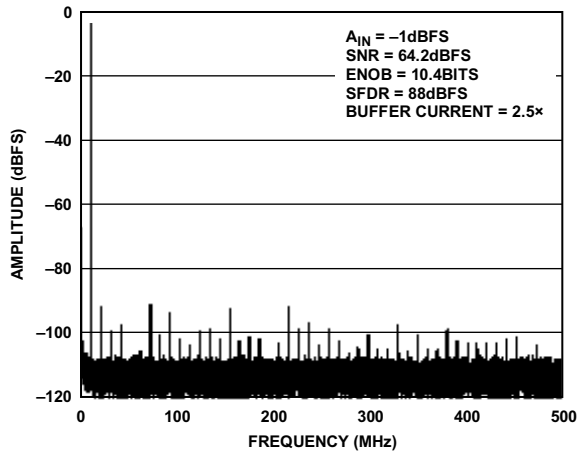


图6. 单音FFT( $f_{IN} = 10.3$  MHz)

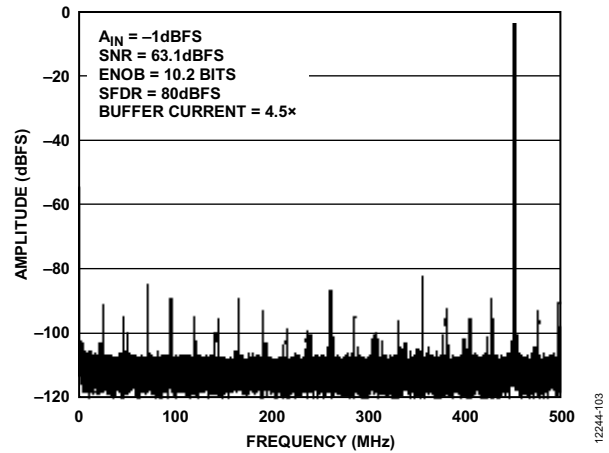


图9. 单音FFT( $f_{IN} = 450.3$  MHz)

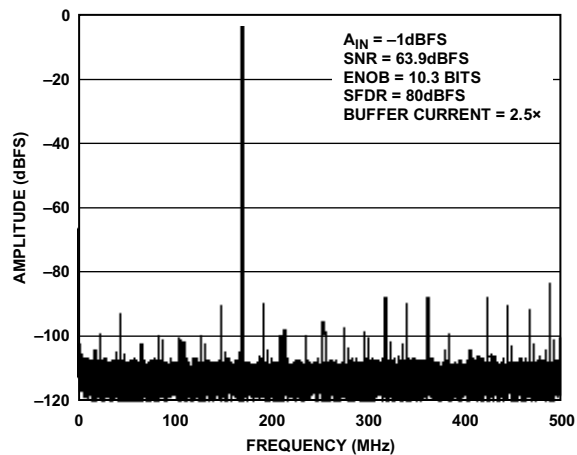


图7. 单音FFT( $f_{IN} = 170.3$  MHz)

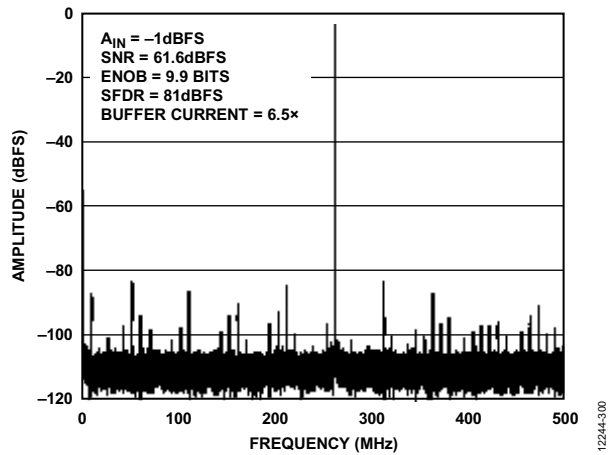


图10. 单音FFT( $f_{IN} = 737.3$  MHz)

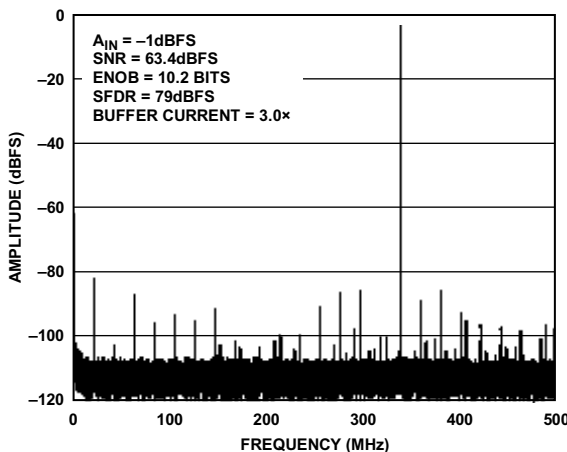


图8. 单音FFT( $f_{IN} = 340.3$  MHz)

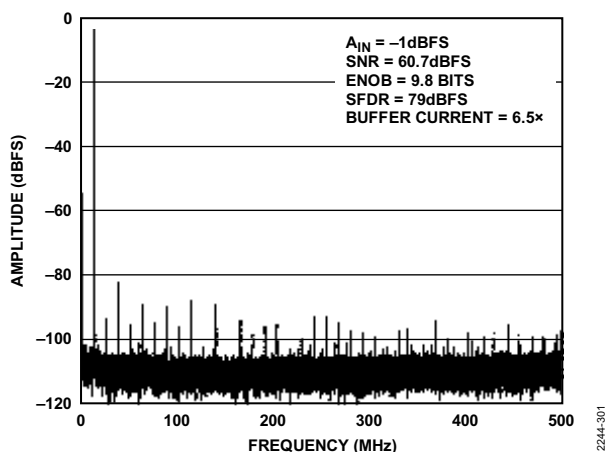


图11. 单音FFT( $f_{IN} = 985.3$  MHz)

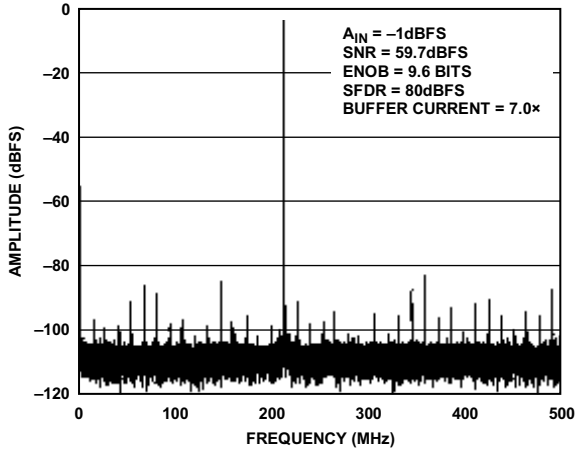


图12. 单音FFT( $f_{IN} = 1213.3\text{ MHz}$ )

12244-302

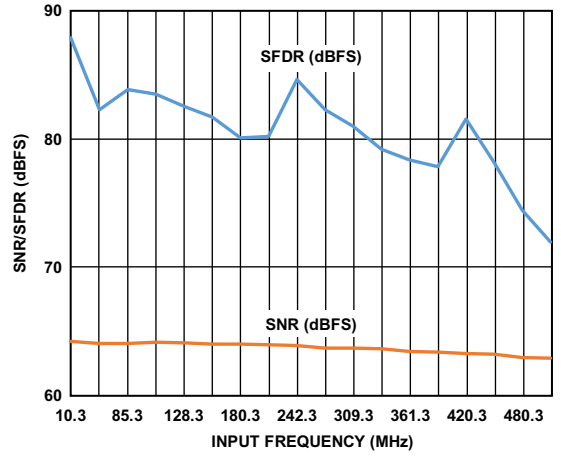


图15. SNR/SFDR与输入频率( $f_{IN} < 500\text{ MHz}$ ;  
缓冲器电流 = 3.5 $\times$ ; 使用图63中的电路)

12244-306

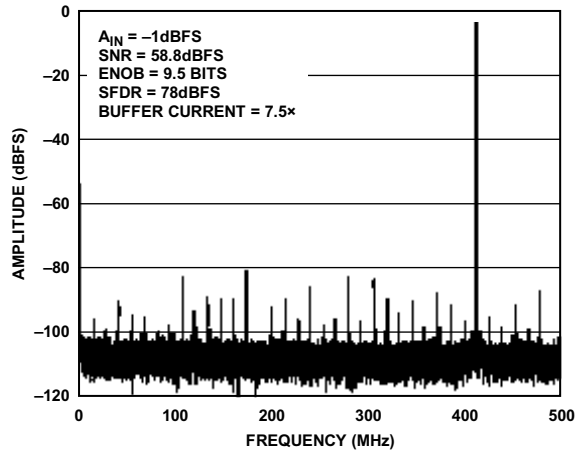


图13. 单音FFT( $f_{IN} = 1413.3\text{ MHz}$ )

12244-303

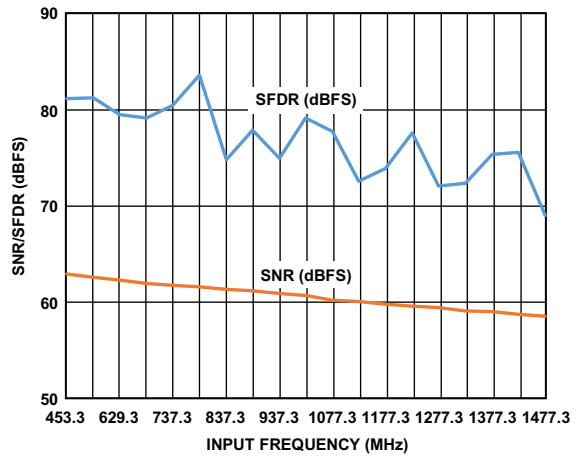


图16. SNR/SFDR与输入频率( $f_{IN}$ )的关系( $450\text{ MHz} < f_{IN} < 1500\text{ MHz}$ ;  
缓冲器电流 = 7.5 $\times$ ; 使用图64中的电路)

12244-307

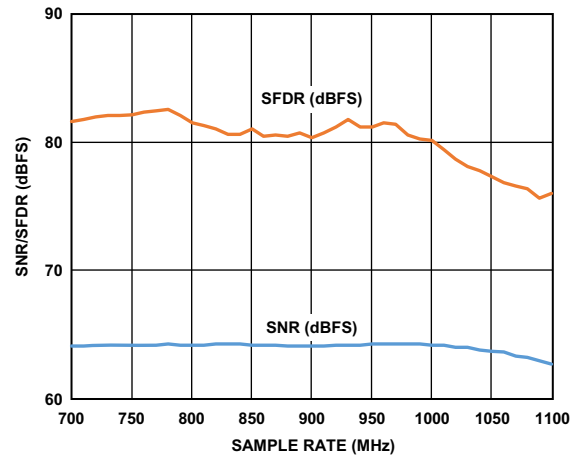


图14. SNR/SFDR与采样速率( $f_s$ )的关系  
( $f_{IN} = 170.3\text{ MHz}$ ; 缓冲器电流 = 3.0 $\times$ )

12244-304

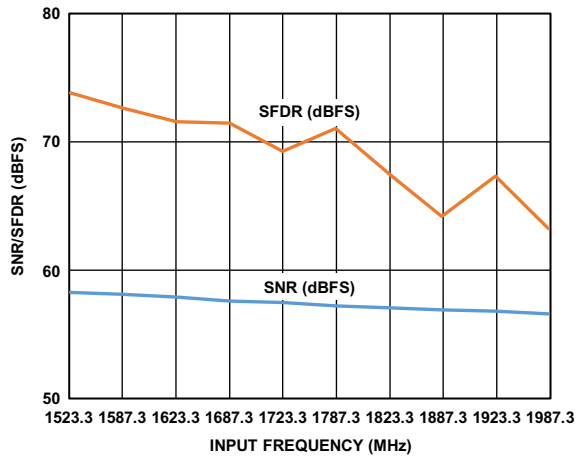


图17. SNR/SFDR与输入频率( $f_{IN}$ )的关系( $1500\text{ MHz} < f_{IN} < 2000\text{ MHz}$ ;  
缓冲器电流 = 8.5 $\times$ ; 使用图64中的电路)

12244-308

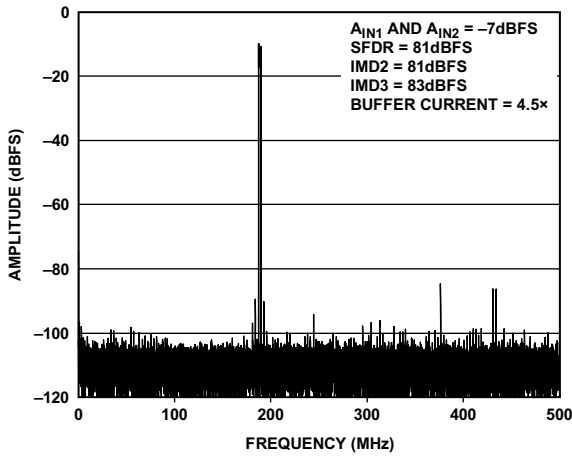


图18. 双音FFT( $f_{IN1} = 184 \text{ MHz}$ ,  $f_{IN2} = 187 \text{ MHz}$ )

12244-205

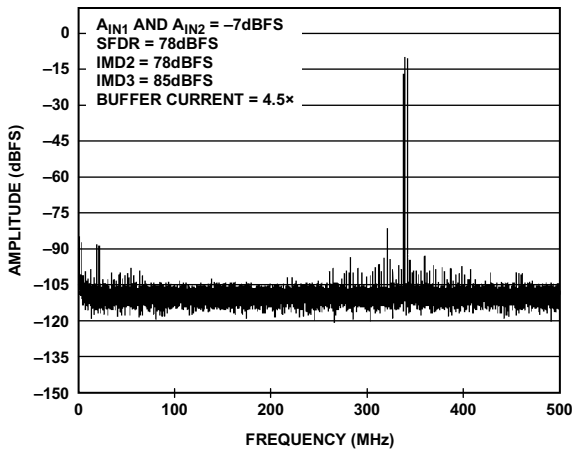


图19. 双音FFT( $f_{IN1} = 338 \text{ MHz}$ ,  $f_{IN2} = 341 \text{ MHz}$ )

12244-206

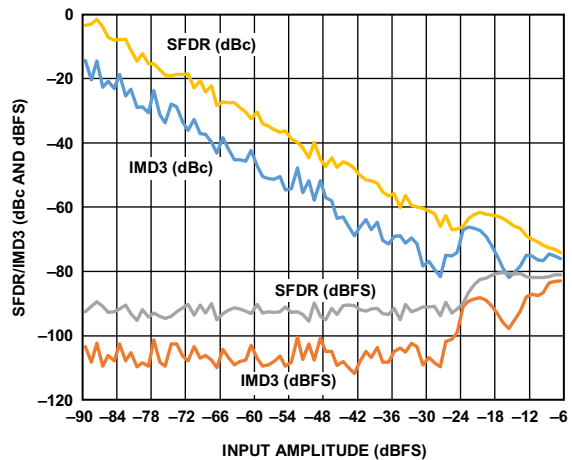


图20. 双音SFDR/IMD3与输入幅度( $A_{IN}$ )的关系  
( $f_{IN1} = 184 \text{ MHz}$ ,  $f_{IN2} = 187 \text{ MHz}$ )

12244-207

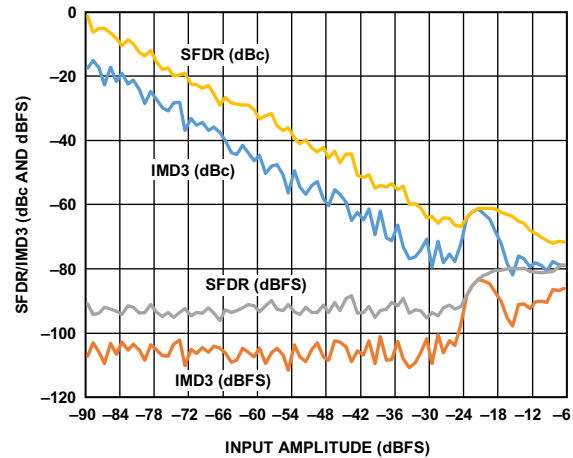


图21. 双音SFDR/IMD3与输入幅度( $A_{IN}$ )的关系  
( $f_{IN1} = 338 \text{ MHz}$ ,  $f_{IN2} = 341 \text{ MHz}$ )

12244-208

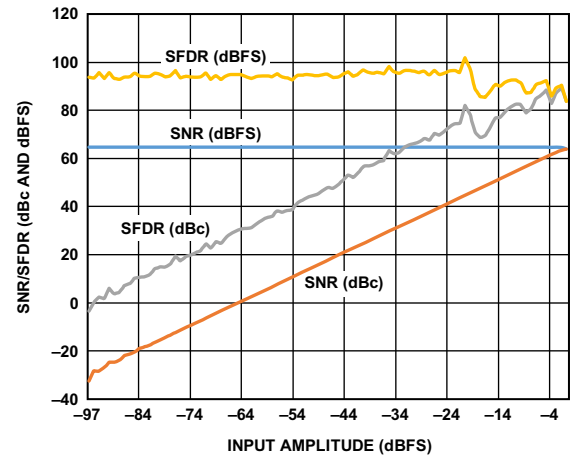


图22. SNR/SFDR与模拟输入电平的关系  
( $f_{IN} = 10.3 \text{ MHz}$ ; 缓冲器电流 =  $2.0\times$ )

12244-209

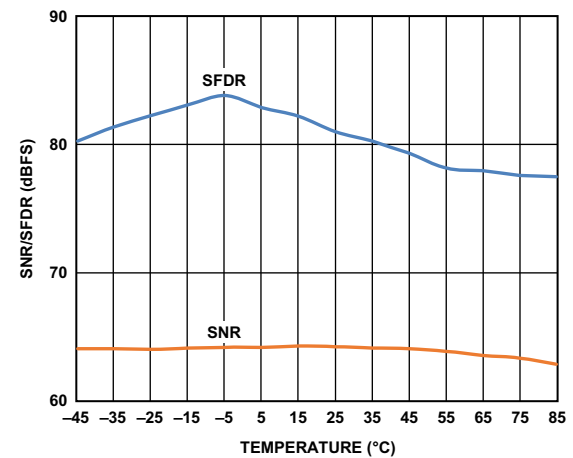


图23. SNR/SFDR与温度的关系( $f_{IN} = 170.3 \text{ MHz}$ )

12244-400



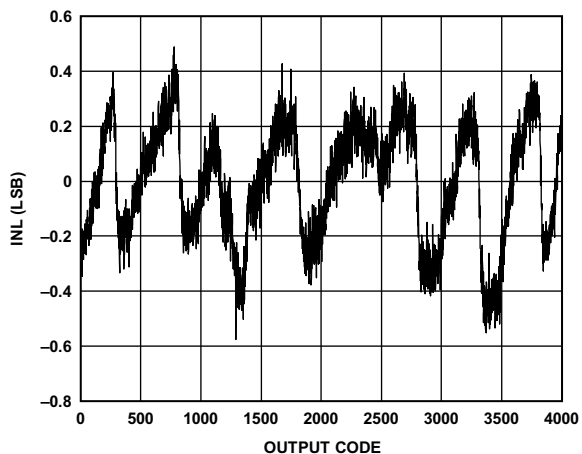


图24. INL( $f_{IN} = 10.3$  MHz)

12244-401

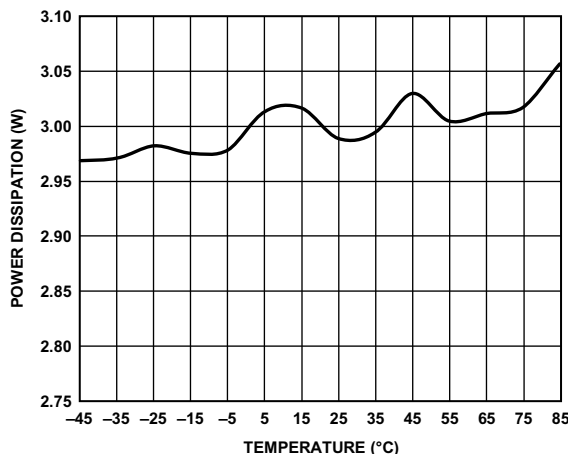


图27. 功耗与温度的关系

12244-404

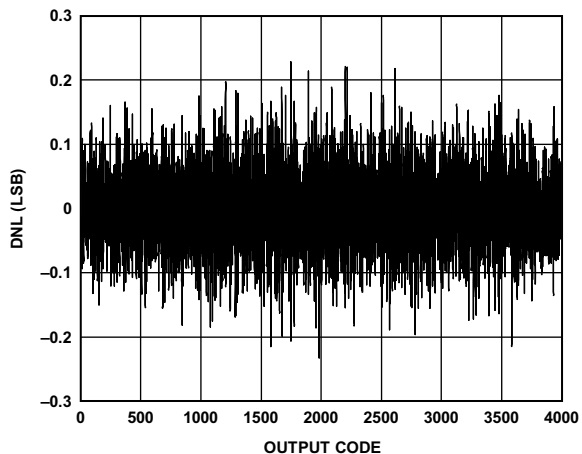


图25. DNL( $f_{IN} = 10$  MHz)

12244-402

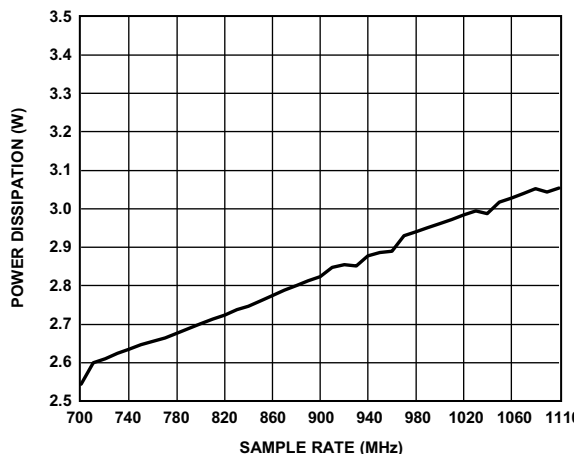


图28. 功耗与采样速率( $f_s$ )的关系

12244-405

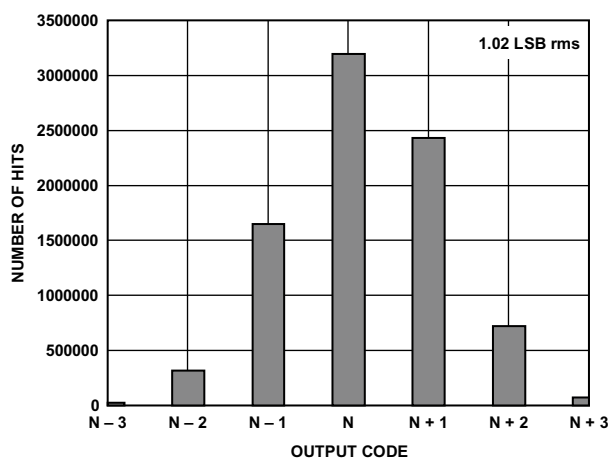


图26. 等效输入噪声直方图

12244-403

# AD9234

## AD9234-500

除非另有说明, AVDD1 = 1.25 V, AVDD1\_SR = 1.25 V, AVDD2 = 2.5 V, AVDD3 = 3.3 V, DVDD = 1.25 V, DRVDD = 1.25 V, SPIVDD = 1.8 V, 1.63 V p-p满量程差分输入,  $A_{IN} = -1.0$  dBFS, 默认SPI设置, 时钟分频值 = 2,  $T_A = 25^\circ\text{C}$ , 128k FFT采样。

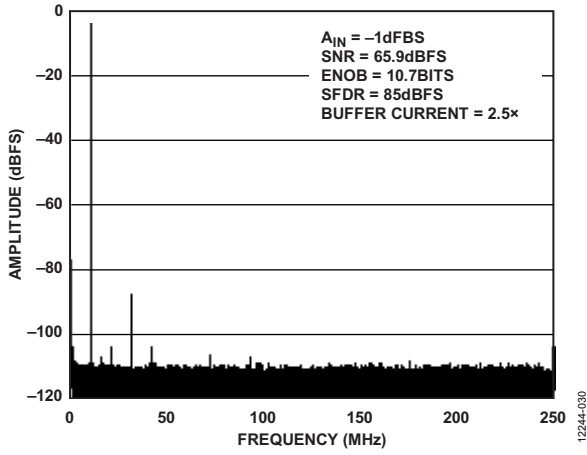


图29. 单音FFT( $f_{IN} = 10.3$  MHz)

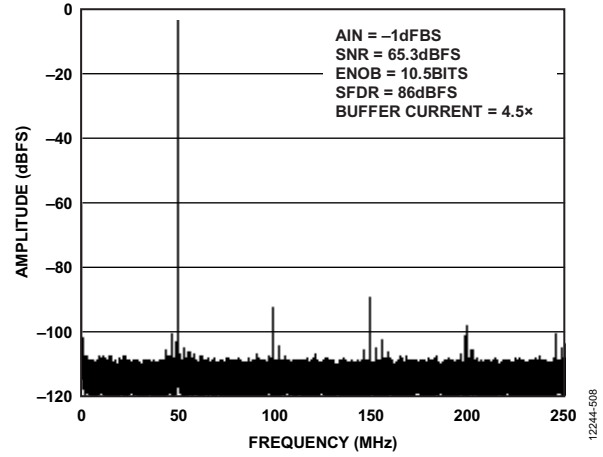


图32. 单音FFT( $f_{IN} = 450.3$  MHz)

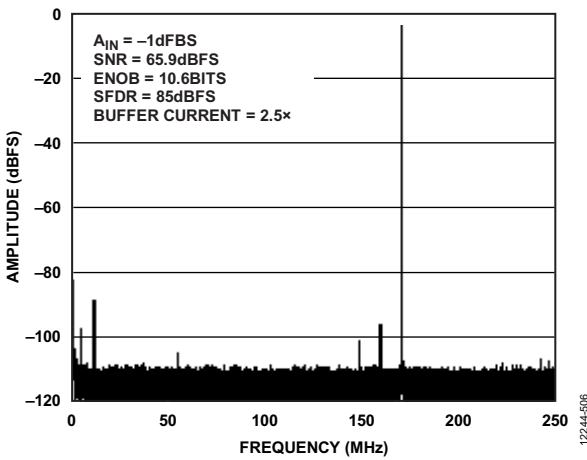


图30. 单音FFT( $f_{IN} = 170.3$  MHz)

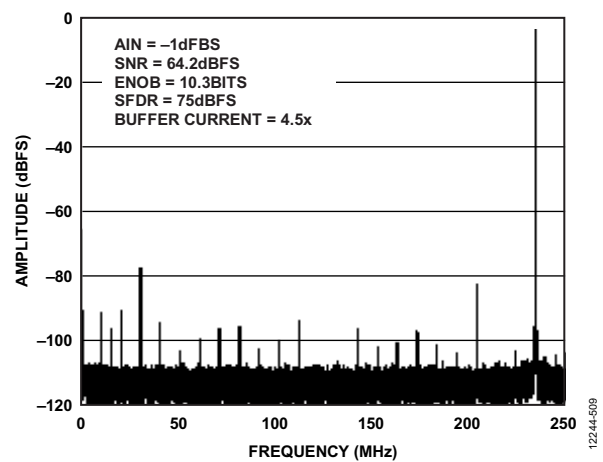


图33. 单音FFT( $f_{IN} = 737.3$  MHz)

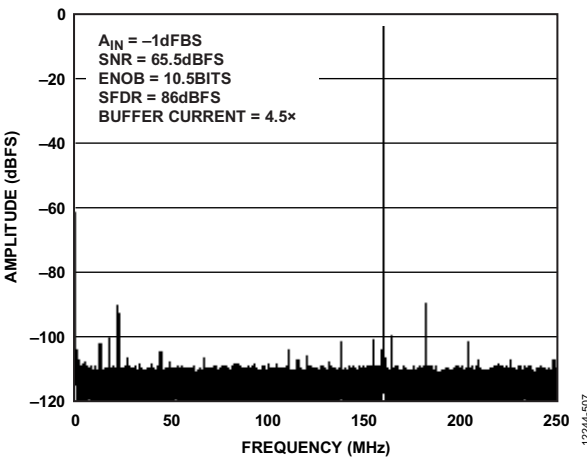


图31. 单音FFT( $f_{IN} = 340.3$  MHz)

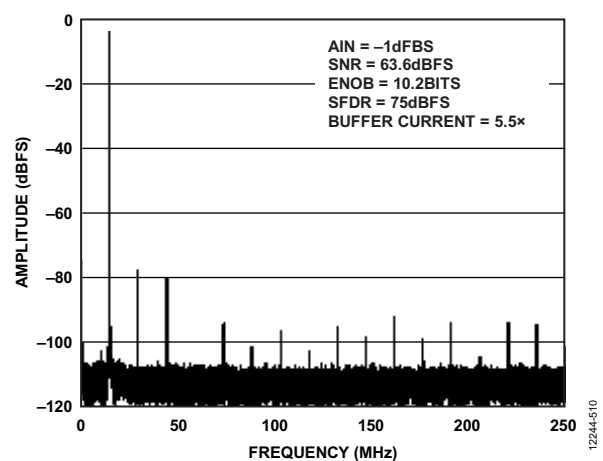


图34. 单音FFT( $f_{IN} = 985.3$  MHz)

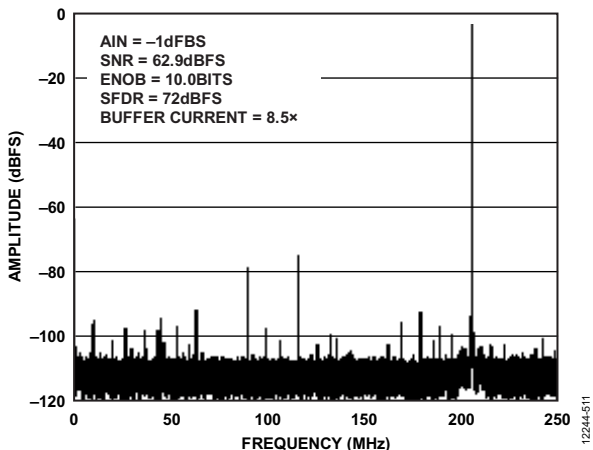


图35. 单音FFT( $f_{IN} = 1213.3$  MHz)

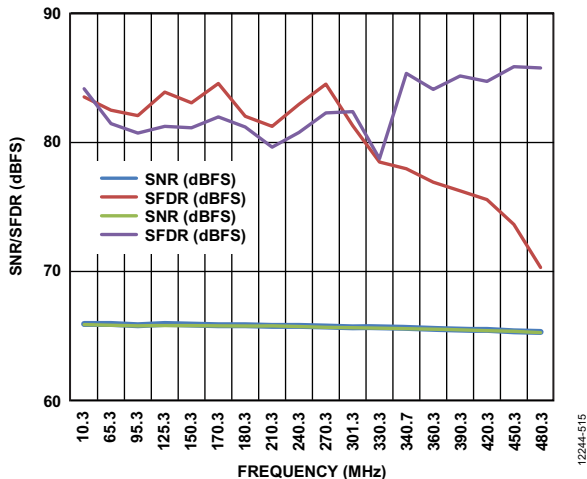


图38. SNR/SFDR与输入频率( $f_{IN}$ )的关系( $f_{IN} < 500$  MHz; 缓冲器电流 = 2.5x和1.5x; 使用图63中的电路)

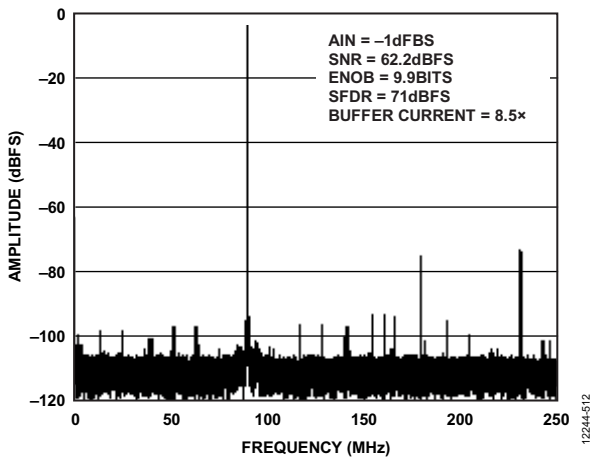


图36. 单音FFT( $f_{IN} = 1413.3$  MHz)

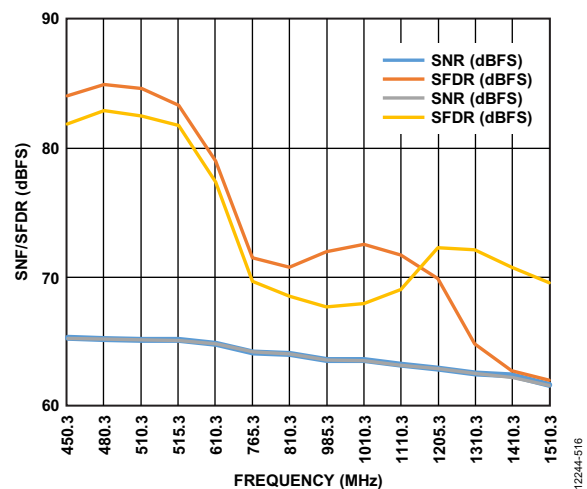


图39. SNR/SFDR与输入频率( $f_{IN}$ )的关系( $450$  MHz  $< f_{IN} < 1500$  MHz; 缓冲器电流 = 6.5x和8.5x; 使用图64中的电路)

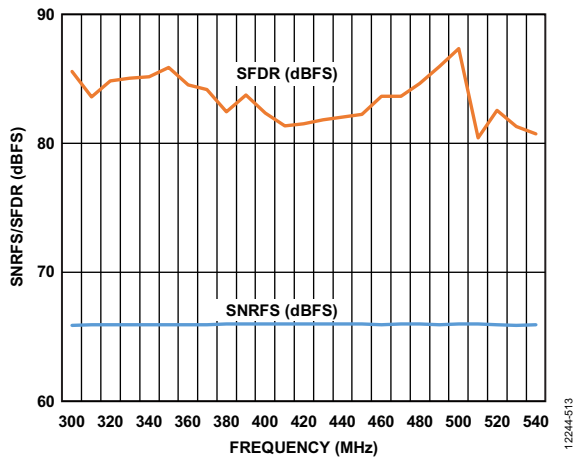


图37. SNR/SFDR与采样速率( $f_s$ )的关系 ( $f_{IN} = 170.3$  MHz; 缓冲器电流 = 3.0x)

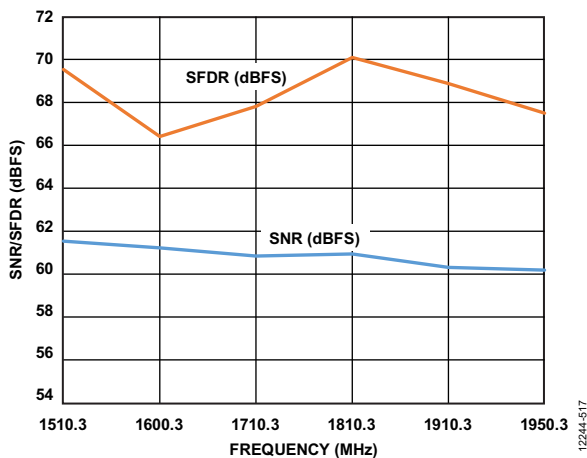


图40. SNR/SFDR与输入频率( $f_{IN}$ )的关系( $1500$  MHz  $< f_{IN} < 2000$  MHz; 缓冲器电流 = 8.5x; 使用图64中的电路)

# AD9234

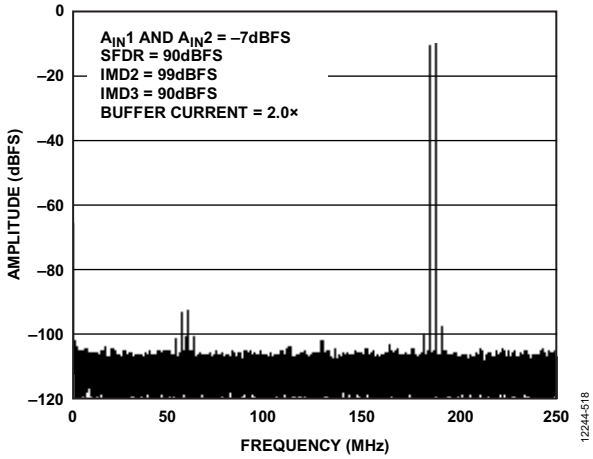


图41. 双音FFT( $f_{IN1} = 184\text{ MHz}$ ,  $f_{IN2} = 187\text{ MHz}$ )

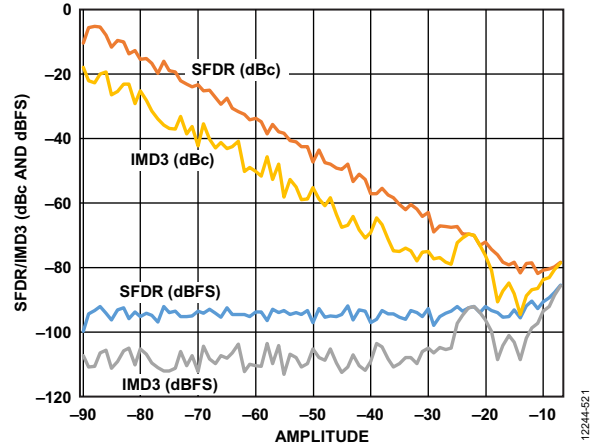


图44. 双音SFDR/IMD3与输入幅度( $A_{IN}$ )的关系  
( $f_{IN1} = 338\text{ MHz}$ ,  $f_{IN2} = 341\text{ MHz}$ )

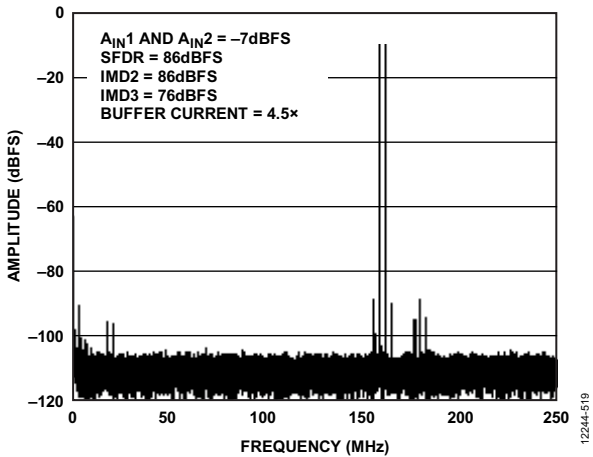


图42. 双音FFT( $f_{IN1} = 338\text{ MHz}$ ,  $f_{IN2} = 341\text{ MHz}$ )

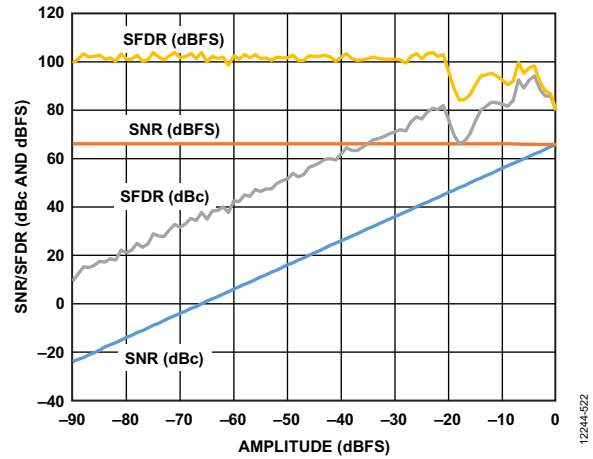


图45. SNR/SFDR与模拟输入电平的关系  
( $f_{IN} = 10.3\text{ MHz}$ ; 缓冲器电流 = 2.0x)

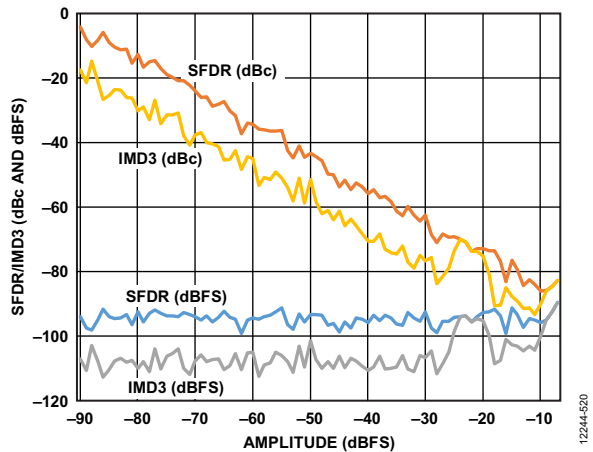


图43. 双音SFDR/IMD3与输入幅度( $A_{IN}$ )的关系  
( $f_{IN1} = 184\text{ MHz}$ ,  $f_{IN2} = 187\text{ MHz}$ )

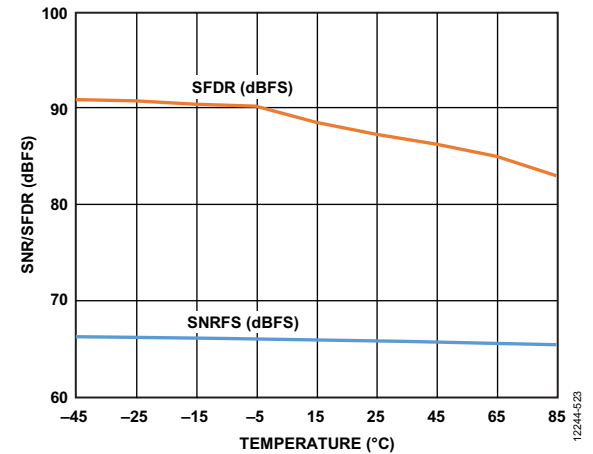


图46. SNR/SFDR与温度的关系( $f_{IN} = 170.3\text{ MHz}$ )

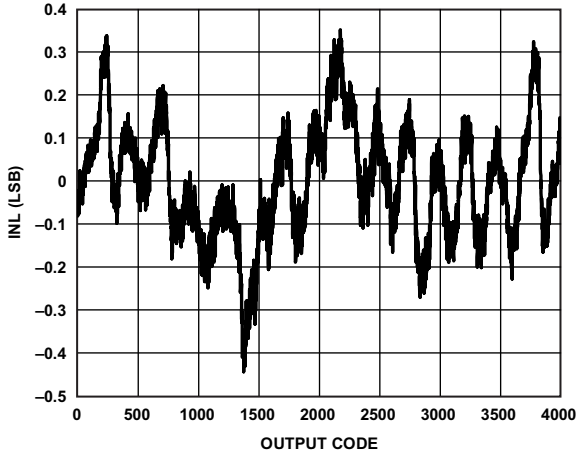


图47. INL( $f_{IN} = 10.3$  MHz)

12244-524

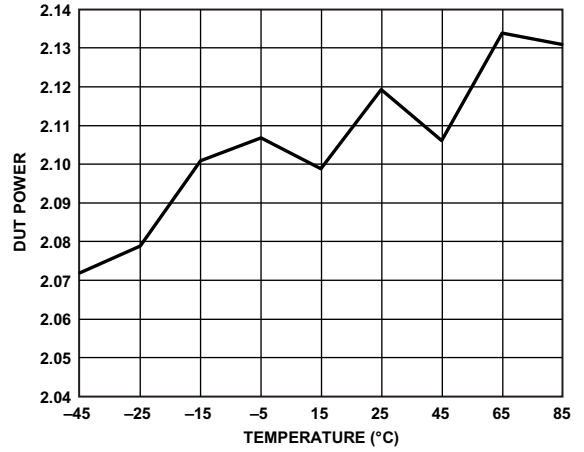


图50. 功耗与温度的关系

12244-527

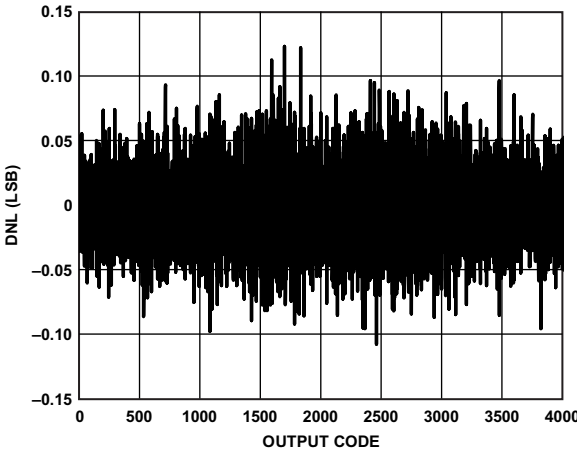


图48. DNL( $f_{IN} = 10$  MHz)

12244-525

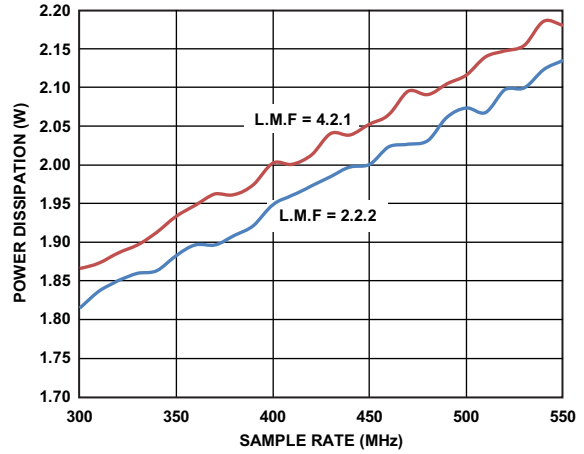


图51. 功耗与采样速率( $f_s$ )的关系

12244-528

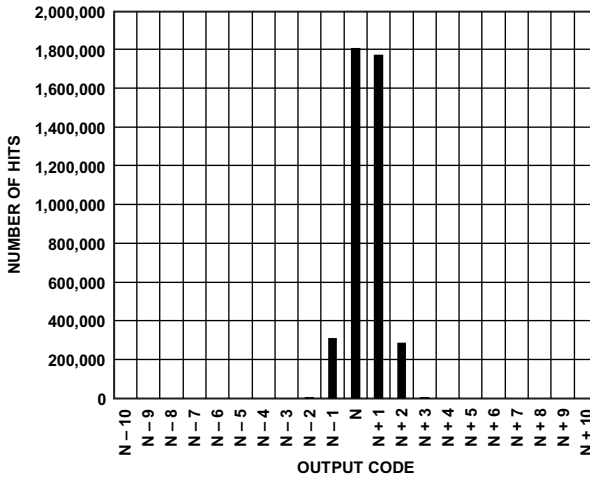


图49. 等效输入噪声直方图

12244-526

## 等效电路

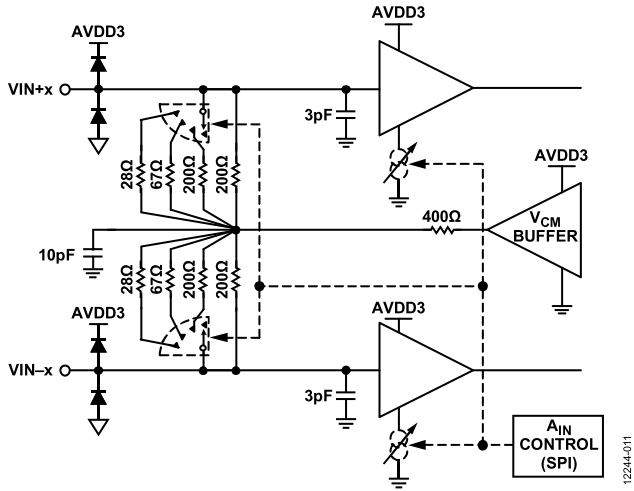


图52. 模拟输入

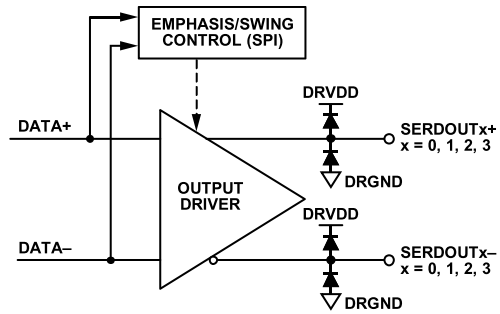


图55. 数字输出

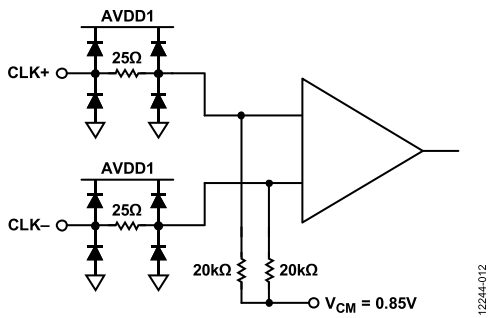


图53. 时钟输入

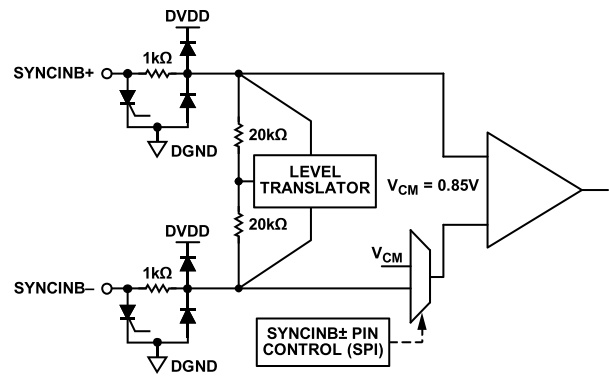


图56. SYNCIN±输入

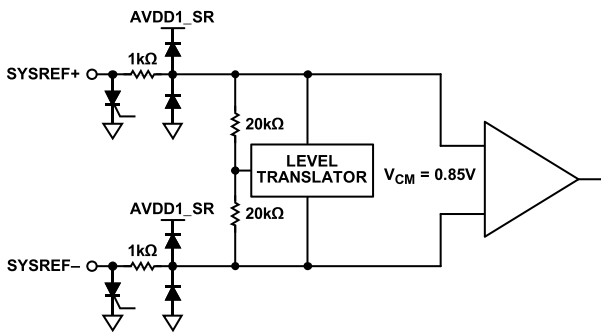


图54. SYSREF±输入

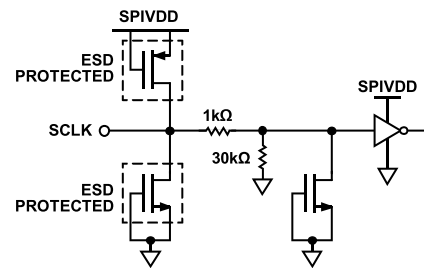


图57. SCLK输入

12244-011

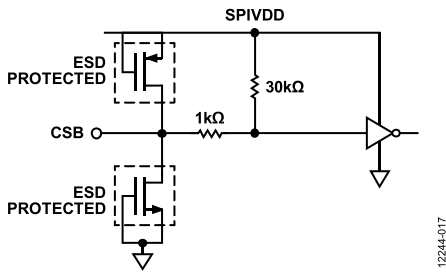
12244-014

12244-012

12244-015

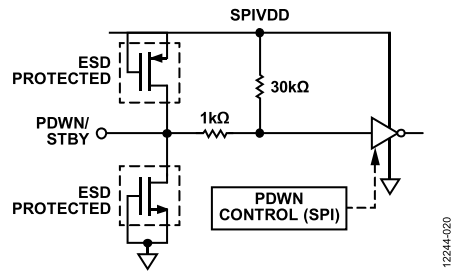
12244-013

12244-016



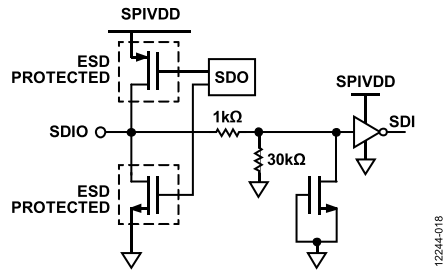
12244-017

图58. CSB输入



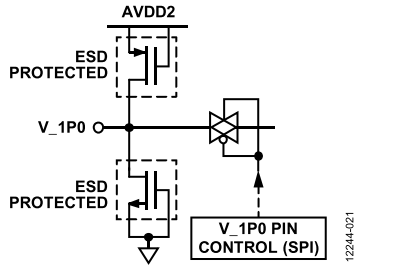
12244-020

图61. PDWN/STBY输入



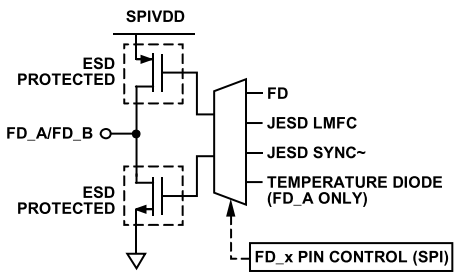
12244-018

图59. SDIO输入



12244-021

图62. V\_1P0输入



12244-019

图60. FD\_A/FD\_B输出

## 工作原理

AD9234具有两个模拟输入通道和四个JESD204B输出通道对。该ADC设计用于高达2 GHz的宽带模拟信号采样。AD9234针对宽输入带宽、高采样速率、出色的线性度和小封装低功耗而优化。

这款双通道ADC内核采用多级、差分流水线架构，并集成了输出纠错逻辑。每个ADC均具有宽带宽输入，支持用户可选的各种输入范围。集成基准电压源可简化设计。

AD9234内置多种功能，可以简化通信接收机中的AGC功能。利用ADC的快速检测输出位，可编程阈值检测器可以监控输入信号功率。如果输入信号电平超过可编程阈值，快速检测指示器就会变为高。由于该阈值指示器的延迟极短，因此用户能够快速调低系统增益，从而避免ADC输入端出现超量程现象。

基于JESD204B子类1的高速串行化输出数据速率可以配置为单通道(L = 1)、双通道(L = 2)和四通道(L = 4)，具体取决于采样速率和抽取率。通过SYSREF±和SYNCINB±输入引脚，可提供多器件同步支持。

### ADC架构

AD9234的结构由输入缓冲流水线式ADC组成。输入缓冲器设计为可向模拟输入信号提供端接阻抗。可使用SPI改变端接阻抗，满足驱动器/放大器的端接需要。默认端接值设置为400 Ω。模拟输入端接的等效电路如图52所示。输入缓冲器针对高线性度、低噪声和低功耗优化。

输入缓冲器提供线性高输入阻抗(便于驱动)，同时降低ADC的反冲。缓冲器针对高线性度、低噪声和低功耗优化。各级的量化输出组合在一起，在数字校正逻辑中最终形成一个12位转换结果。流水线式架构允许第一级处理新的输入样本，而其它级继续处理之前的样本。采样在时钟的上升沿进行。

### 模拟输入考虑

AD9234的模拟输入端是一个差分缓冲器。缓冲器的内部共模电压为2.05 V。输入电路根据时钟信号在采样模式和保持模式之间切换。当输入电路切换到采样模式时，信号源必须能够对采样电容充电，并且在半个时钟周期内完成建立。每个输入端都串联一个小电阻，帮助降低从驱动源输出级注入的峰值瞬态电流。此外，输入端的每一侧可以使用低Q电感或铁氧体磁珠，以减小模拟输入端的高差分电容，从而实现ADC的最大带宽。在高中频(IF)下驱动转换器前端时，必须使用低Q电感或铁氧体磁珠。输入端可以使用一个差分电容或两个单端电容，以提供匹配的无源网络。这最终会在输入端形成一个低通滤波器，用来限制无用的宽带噪声。欲了解更多信息，请参阅应用笔记AN-742、AN-827以及Analog Dialogue的文章“用于宽带模数转换器的变压器耦合前端”(第39卷，2005年4月)。通常，精确值取决于应用。

为得到最佳动态性能，必须保证驱动VIN+x的源阻抗与驱动VIN-x的源阻抗相匹配，从而保证共模建立误差是对称的。这些误差会被ADC的共模抑制削弱。内部基准缓冲器可创建差分基准，用来定义ADC内核范围。

在差分配置中，将ADC设置为最大范围可以实现最高的SNR性能。对于AD9234，AD9234-1000的可用范围为差分1.34 V p-p，AD9234-500为1.63 V p-p。

### 差分输入配置

有多种有源或无源方法可以驱动AD9234，不过，通过差分方式驱动模拟输入可实现最佳性能。

在SNR和SFDR为关键参数的应用中，因为大部分放大器的噪声性能不足以实现AD9234的真正性能，所以输入配置中建议采用差分变压器耦合(见图63和图64)。

对于低范围至中间范围频率，建议使用一个双巴伦或双变压器网络(参见图63)，以便实现AD9234的最优性能。对于第二和第三奈奎斯特区中的较高频率，最好能移除部分前端无源器件，确保宽带正常工作(参见图64)。



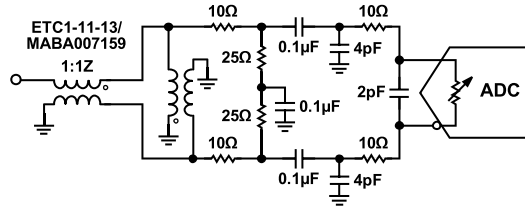


图63. 针对最高500 MHz频率的差分变压器耦合配置

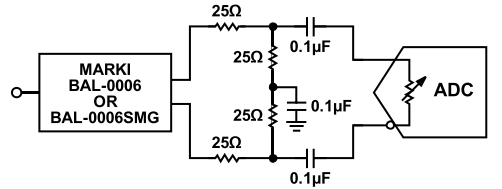


图64. 针对500 MHz以上频率的差分变压器耦合配置

**输入共模**

AD9234的模拟输入内部偏置到共模电压，如图65所示。共模缓冲器的范围有限，因为如果共模电压降幅超过100 mV，性能就会大受影响。因此，在直流耦合应用中，应将共模电压设为 $2.05\text{ V} \pm 100\text{ mV}$ ，以确保ADC正常工作。

**模拟输入控制和SFDR优化**

AD9234为模拟输入提供灵活的控制，比如输入端接和缓冲器电流。所有可用控制如图65所示。

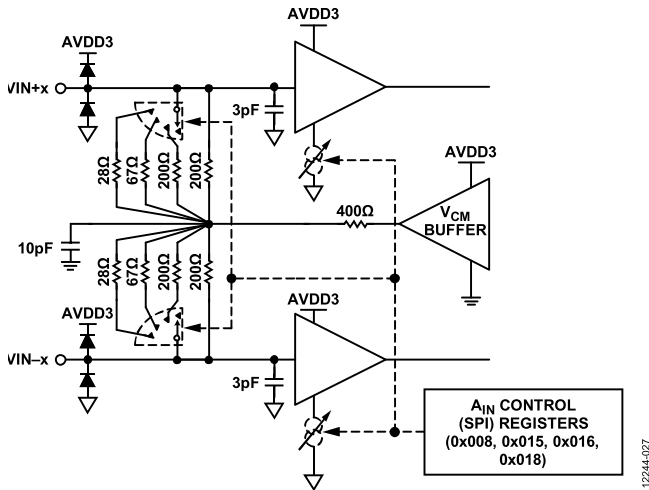


图65. 模拟输入控制

各通道的缓冲器电流可通过寄存器0x018进行调节，以便针对各种输入频率和目标带宽优化SFDR。设置输入缓冲器电流之后，AVDD3电源所需的电流也会发生改变。此关系如图66所示。关于缓冲器电流设置的完整列表，参见表22。

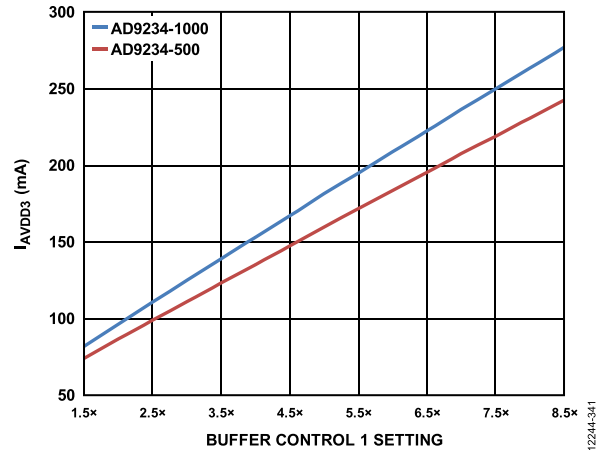


图66. AVDD3电源( $I_{AVDD3}$ )与缓冲器电流设置的关系

# AD9234

图67、图68和图69显示如何针对不同的奈奎斯特区，使用寄存器0x018中的缓冲器电流设置优化AD9234-1000的SFDR。图70、图71和图72显示如何针对不同的奈奎斯特区，使用寄存器0x018中的缓冲器电流设置优化AD9234-500的SFDR。当频率高于1 GHz时，最好让ADC的输入幅度低于-1 dBFS(比如-3 dBFS)，这样可以极大地改善转换信号的线性度而无需牺牲SNR性能。

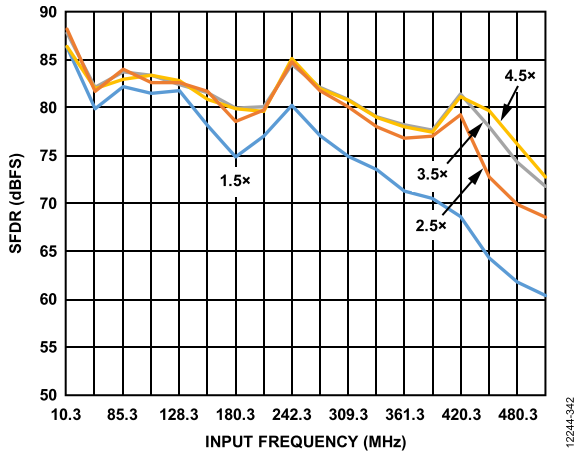


图67. 缓冲器电流扫描时AD9234-1000 SFDR与输入频率的关系( $I_{BUFF}$ ;  $f_{IN} < 500$  MHz)

12244-342

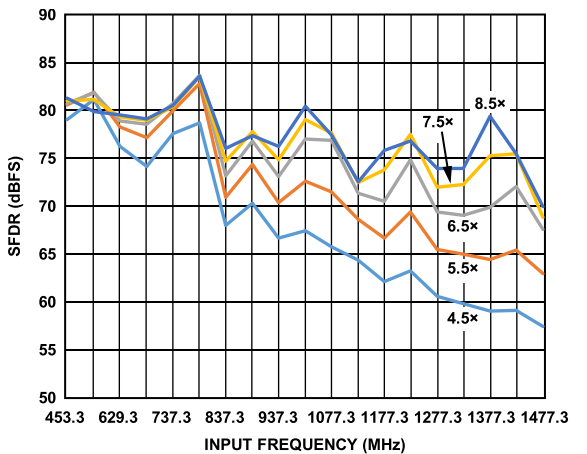


图68. 缓冲器电流扫描时AD9234-1000 SFDR与输入频率的关系( $I_{BUFF}$ ;  $500$  MHz  $< f_{IN} < 1500$  MHz)

12244-343

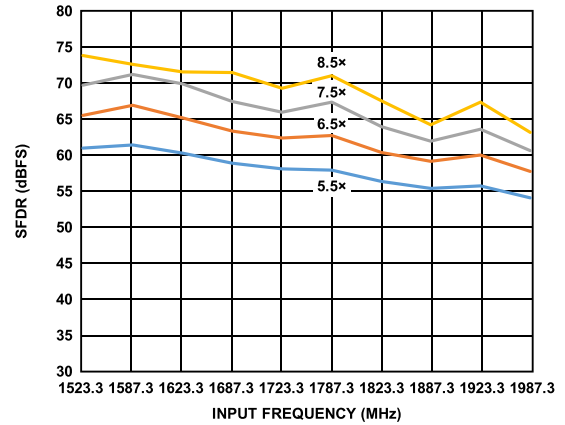


图69. 缓冲器电流扫描时AD9234-1000 SFDR与输入频率的关系( $I_{BUFF}$ ;  $1500$  MHz  $< f_{IN} < 2000$  MHz)

12244-344

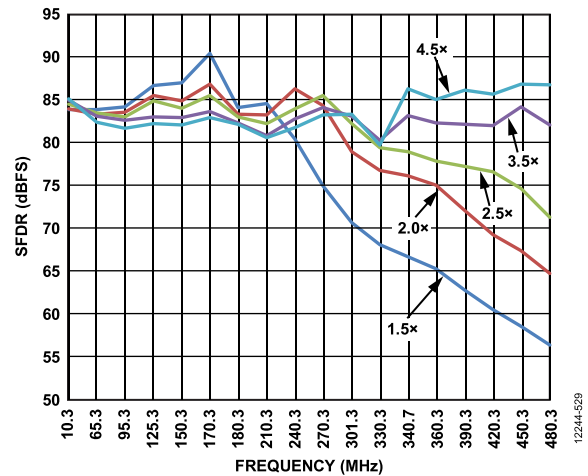


图70. 缓冲器电流扫描时AD9234-500 SFDR与输入频率的关系( $I_{BUFF}$ ;  $f_{IN} < 500$  MHz)

12244-529

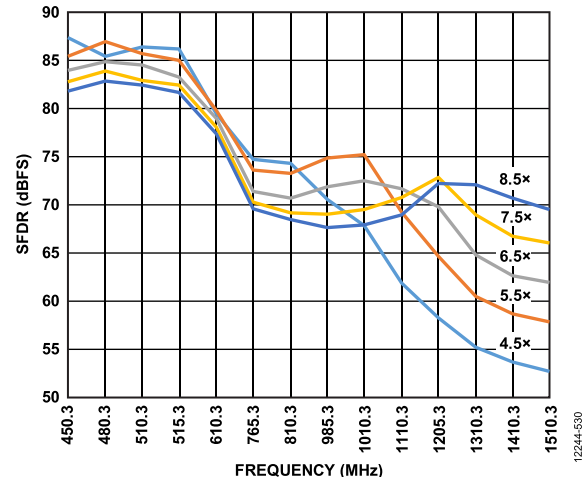


图71. 缓冲器电流扫描时AD9234-500 SFDR与输入频率的关系( $I_{BUFF}$ ;  $500$  MHz  $< f_{IN} < 1500$  MHz)

12244-530

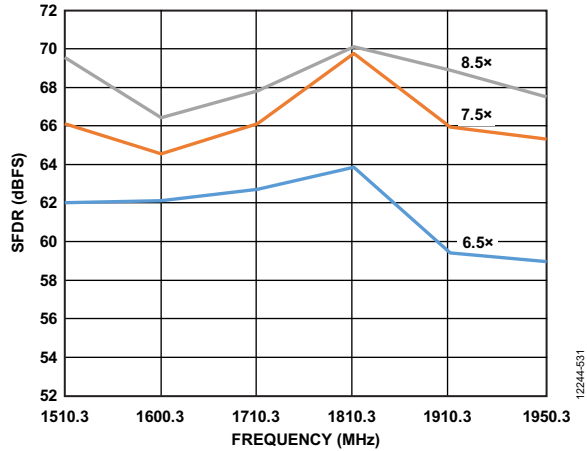


图72. 缓冲器电流扫描时AD9234-500 SFDR与输入频率的关系( $I_{BUFF}$ ;  $1500\text{ MHz} < f_{IN} < 2000\text{ MHz}$ )

表9显示了推荐的缓冲器电流设置，以及不同模拟输入频率范围内的满量程电压设置。

表9. 各输入频率下的SFDR优化

输入频率	输入缓冲器电流控制设置, 寄存器0x018
<400 MHz	2.5x或3.0x
400 MHz至1 GHz	4.5x或6.5x
>1 GHz	6.5x或更高

**绝对最大输入摆幅**

AD9234输入端允许的绝对最大输入摆幅为差分4.3 V p-p。位于该电平值(或接近该值)的信号会导致ADC永久性受损。

**基准电压源**

AD9234内置稳定、精确的1.0 V基准电压源。此1.0 V内部基准电压源用来设置ADC的满量程输入范围。有关调整输入摆幅的更多信息，请参见表22。图73为内部1.0 V基准电压源的控制框图。

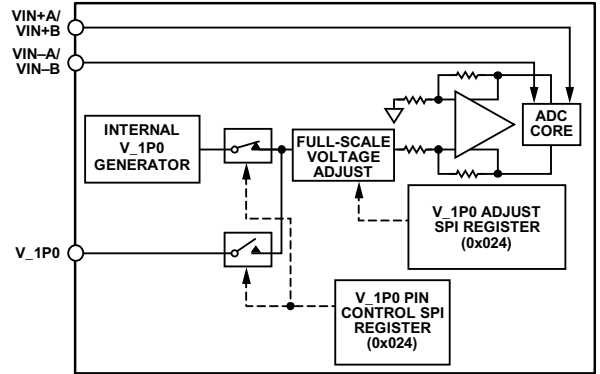


图73. 内部基准电压配置与控制

SPI寄存器0x024允许用户使用此1.0 V内部基准电压源，也允许用户提供1.0 V外部基准电压源。使用外部基准电压源时，可提供1.0 V基准电压。

在某些应用中，采用外部基准电压有可能进一步提高ADC增益精度或改善热漂移特性。图74显示1.0 V内部基准电压的典型漂移特性。

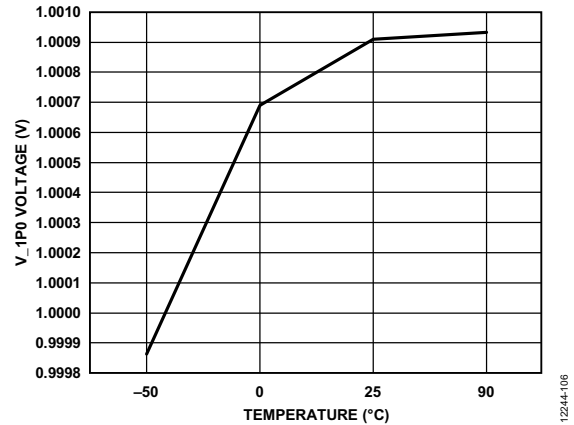


图74. 典型V\_1P0漂移

外部基准电压源必须是稳定的1.0 V基准源。ADR130很适合作为1.0 V基准电压源使用。图75显示如何将ADR130用作AD9234的1.0 V外部基准电压源。灰色部分显示使用ADR130作为外部基准电压源时，AD9234中的未使用模块。

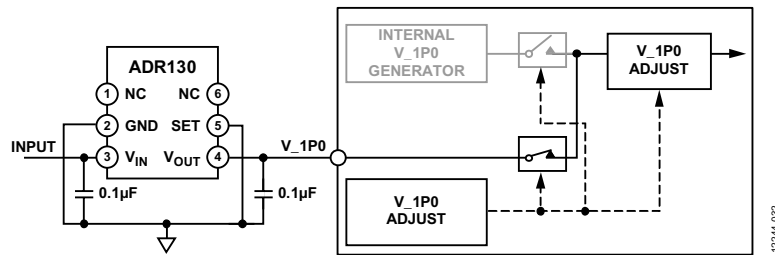


图75. 使用ADR130作为外部基准电压源

# AD9234

## 时钟输入考虑

为能够获得最佳性能，应利用一个差分信号驱动AD9234采样时钟输入端(CLK+和CLK-)。通常，应使用变压器或时钟驱动器将该信号交流耦合到CLK+引脚和CLK-引脚。这两个引脚有内部偏置，无需其它偏置。

图76显示了一种为AD9234提供时钟信号的首选方法。利用射频变压器，可将低抖动时钟源的单端信号转换成差分信号。

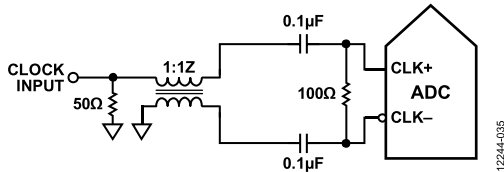


图76. 变压器耦合的差分时钟

另一种方法是将差分CML或LVDS信号交流耦合到采样时钟输入引脚，如图77和图78所示。

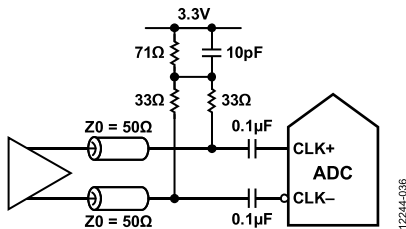
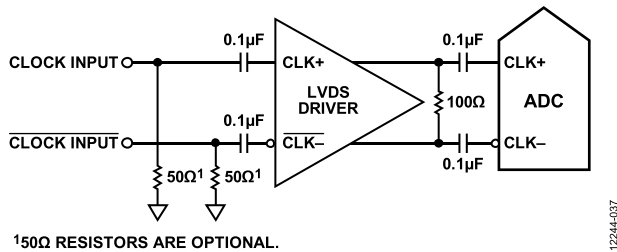


图77. 差分CML采样时钟



150Ω RESISTORS ARE OPTIONAL.

图78. 差分LVDS采样时钟

## 时钟占空比考虑

典型的高速ADC利用时钟的两个边沿来产生各种内部时序信号。因此，这些ADC可能对时钟占空比很敏感。通常，为保持ADC的动态性能，时钟占空比容差应为5%。对于无法保证50%时钟占空比的应用，可向器件提供更高的多频率时钟。内部时钟分频器设为2时，AD9234可采用2 GHz时钟。分频器的输出可向内部ADC提供具有50%占空比的高压摆率(快速边沿)时钟信号。有关使用此功能的更多信息见“存储器映射”部分。

## 输入时钟分频器

AD9234内置一个输入时钟分频器，可对奈奎斯特输入时钟进行1、2、4和8分频。分频比可通过寄存器0x10B选择。如图79所示。

CLK±输入的最大频率为4 GHz。这是分频器的限值。对于时钟输入为采样时钟倍数的应用，在施加时钟信号之前应仔细将适当的分频比编程至时钟分频器。这样可以保证器件启动时的电流瞬态是可控的。

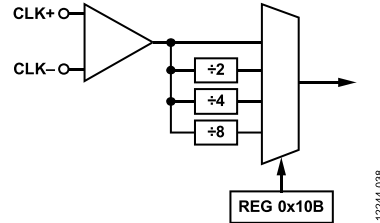


图79. 时钟分频器电路

利用外部SYSREF输入信号，可同步AD9234时钟分频器。有效SYSREF±可使时钟分频器复位至可编程状态。通过设置寄存器0x10D的位7来实现此功能。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。更多信息请参见“多芯片同步”部分。

## 输入时钟分频器1/2周期延迟调节

AD9234内的输入时钟分频器提供递增量为1/2输入时钟周期的相位延迟。可编程寄存器0x10C，以便针对各通道单独使能此延迟。改变此寄存器值不会影响JESD204B链路的稳定性。

## 时钟延迟精调

AD9234采样边沿时刻可通过写入寄存器0x117和寄存器0x118来调节。置位寄存器0x117的位0可使能该功能；寄存器0x118位[7:0]可设置延迟值。此数值可针对各通道单独编程。时钟延迟调节范围为-151.7 ps至+150 ps，递增量约为1.7 ps。通过SPI写入使能后，时钟延迟调节立即生效。在寄存器0x117中使能时钟延迟精调会导致数据路径复位。然而，可在不影响JESD204B链路稳定性的前提下改变寄存器0x118的内容。

**时钟抖动考虑**

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率( $f_A$ )下, 仅由孔径抖动( $t_p$ )造成的信噪比(SNR)下降计算公式如下:

$$SNR = 20 \times \log_{10} (2 \times \pi \times f_A \times t_p)$$

公式中, 均方根孔径抖动表示所有抖动源(包括时钟输入信号、模拟输入信号和ADC孔径抖动规格)的均方根。中频欠采样应用对抖动尤其敏感(见图80)。

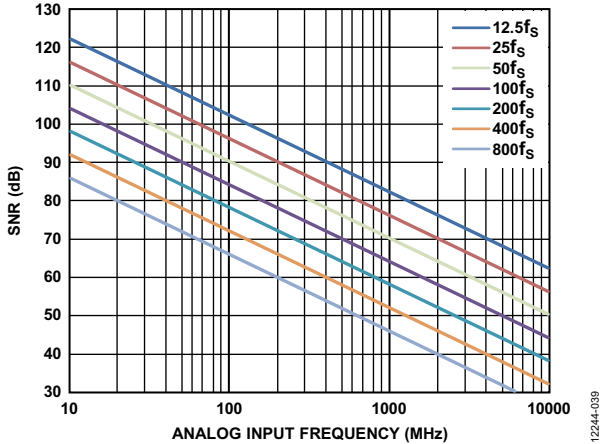


图80. 理想信噪比与模拟输入频率和抖动的关系

当孔径抖动可能影响AD9234的动态范围时, 应将时钟输入信号视为模拟信号。将时钟驱动器电源与ADC输出驱动器电源分离, 以免在时钟信号内混入数字噪声。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法), 则需要在最后一步中利用原始时钟进行重定时。如需更深入了解与ADC相关的抖动性能信息, 请参阅应用笔记AN-501和AN-756。

**关断/待机模式**

AD9234提供PDWN/STBY引脚, 用来将器件配置为关断或待机模式。器件默认执行PDWN功能。PDWN/STBY引脚是一个逻辑高电平引脚。关断模式下, JESD204B链路被打断。还可通过寄存器0x03F和寄存器0x040设置关断选项。

在待机模式下, JESD204B链路不会被打断, 并针对所有转换器样本发送零。可通过寄存器0x571位7改变该特性(选择/K/字符)。

**温度二极管**

AD9234内置一个基于二极管的温度传感器, 用于测量芯片温度。该二极管可输出电压, 并作为粗调温度传感器监控内部芯片温度。

温度二极管电压可通过SPI输出至FD\_A引脚。使用寄存器0x028位0来使能或禁用此二极管。寄存器0x028是局部寄存器。通道A必须在器件索引寄存器(寄存器0x008)中选定, 以使能温度二极管读取。对寄存器0x040[2:0]进行编程, 可将FD\_A引脚配置为输出二极管电压。更多信息参见表22。

温度二极管的电压响应(SPIVDD = 1.8 V)如图81所示。

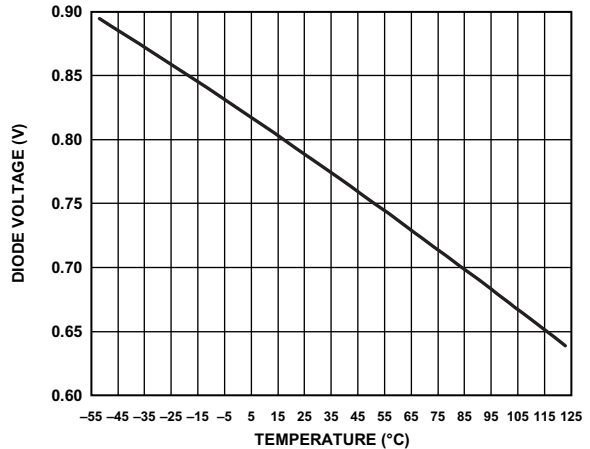


图81. 二极管电压与温度的关系

## ADC超量程和快速检测

在接收机应用中，需要一种可靠的机制，能够决定转换器何时发生箝位。JESD204B输出中的标准超量程位可提供有关模拟输入状态提供信息，但作用有限。因此，最好可以设定低于满量程的可编程阈值，以便在箝位发生前降低增益。另外，由于输入信号的压摆率可能非常高，因此，该功能的延迟时间非常关键。然而，高度流水线转换器有非常大的延迟。**AD9234**内置各通道的快速检测电路，可监控阈值，并置位FD\_A和FD\_B引脚。

### ADC超量程

ADC输入端检测到超量程时，ADC超量程指示器将置位。超量程指示器可作为控制位内嵌在JESD204B链路中(CSB > 0 时)。此超量程指示器的延迟匹配采样延迟。

**AD9234**还会记录四个虚拟转换器中的所有超量程状况。有关虚拟转换器的更多信息请参见图87。每一个虚拟转换器的超量程状态均在寄存器0x563中注册为粘滞位。通过寄存器0x562可清零寄存器0x563的内容，方法是切换与虚拟转换器有关的位以置位/复位位置。

### 快速阈值检测(FD\_A和FD\_B)

一旦输入信号的绝对值超过可编程上限阈值电平，FD位(通过寄存器0x559和寄存器0x55A中的控制位使能)便立即置位。只有输入信号的绝对值降至阈值下限以下，并且持续时间超过可编程驻留时间，FD位才会清零。该特性提供了一个迟滞，防止FD位过快切换。

阈值上限和下限寄存器工作以及驻留时间寄存器的情况如图82所示。

当输入信号幅度超过快速检测阈值上限寄存器(寄存器0x247和寄存器0x248)的设置值时，FD指示器置位。选定阈值寄存器的值与ADC输出的信号幅度进行比较。快速阈值上限检测具有28个时钟周期的延迟(最大值)。近似阈值上限幅度由下式定义：

$$\text{阈值上限幅度(dBFS)} = 20 \log(\text{阈值幅度}/2^{13})$$

在信号降至阈值下限以下且保持时间超过设定的驻留时间之前，FD指示器不会清零。阈值下限在快速检测阈值下限寄存器(寄存器0x249和寄存器0x24A)中进行设置。13位快速检测阈值下限寄存器的值与ADC输出的信号幅度进行比较。比较受ADC流水线延迟的控制；比较精度取决于转换器分辨率。阈值下限幅度由下式定义：

$$\text{阈值下限幅度(dBFS)} = 20 \log(\text{阈值幅度}/2^{13})$$

例如，若要设置-6 dBFS上限阈值，可向寄存器0x247和寄存器0x248写入0xFFF。若要设置-10 dBFS下限阈值，可向寄存器0x249和寄存器0x24A写入0xA1D。

驻留时间可以在1至65,535个采样时钟周期范围内设置，方法是将所需值写入快速检测驻留时间寄存器(寄存器0x24B和寄存器0x24C)。更多详情，请参见“存储器映射”部分(表22中的寄存器0x040和寄存器0x245至寄存器0x24C)。

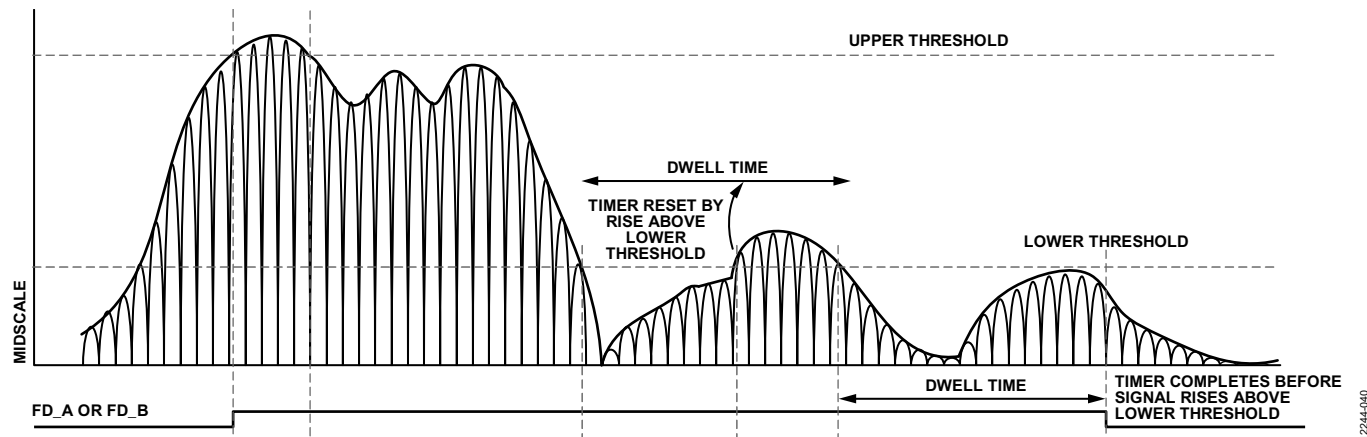


图82. FD\_A和FD\_B信号的阈值设置

## 信号监控

信号监控模块可提供ADC进行数字化处理信号的其它信息。信号监控器计算数字化信号的峰值幅度。此信息可用于驱动AGC环路，从而优化实际信号环境中ADC的范围。

可从SPI端口回读内部数值，或将信号监控信息作为特殊控制位嵌入JESD204B接口，从而获取信号监控器模块的结果。全局24位可编程周期控制测量持续时间。图83显示信号监控器模块的简化框图。

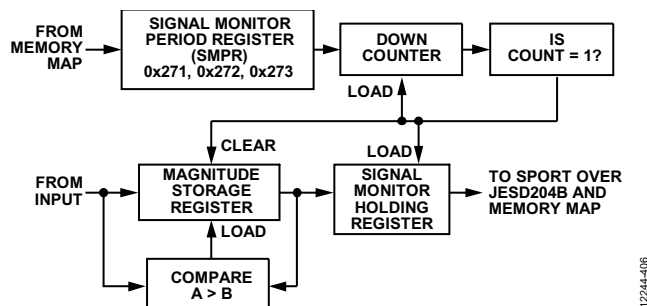


图83. 信号监控器模块

峰值检测器可在观测周期内捕获最大信号。检测器仅观察信号幅度。峰值检测器的分辨率为13位数值，观察周期为24位，表示转换器输出样本。使用下列公式可推导出峰值幅度：

$$\text{峰值幅度(dBFS)} = 20 \log (\text{峰值检测器值} / 2^{13})$$

在可编程时间周期内(由信号监控器周期寄存器SMPR确定)监控输入端口信号幅度。置位信号监控器控制寄存器(寄存器0x270)中的位1，可启用峰值检测器功能。必须在激活该模式前通过编程设置24位SMPR的值。

使能此模式后，SMPR中的值载入监控器周期定时器；该定时器以抽取时钟速率递减。输入信号的幅度与内部幅度存储寄存器(用户无法访问该寄存器)的值进行比较，较大者将作为当前峰值电平。幅度存储寄存器的初始值设为当前ADC输入信号幅度。持续进行比较直到监控周期定时器的值为1。

当监控周期定时器的值达到1时，13位峰值电平值发送到信号监控保持寄存器内；通过存储器映射可以读出该寄存器的值，或者通过JESD204B实现SPORT接口输出该值。SMPR寄存器的值重载入监控周期定时器后，该定时器重新开始倒计时。此外，用第一个输入采样点的幅度值更新幅度存储寄存器，随后，比较和更新过程(如前所述)继续进行。

### 通过JESD204B实现SPORT

还可对信号监控数据进行串行化，并作为控制位通过JESD204B接口发送。必须对样本中的这些控制位进行去串行化，才能重构统计数据。通过置位寄存器0x279中的位1和位0、以及寄存器0x27A中的位1来使能此功能。图84显示了JESD204B样本内部信号监控器控制位位置的两种不同的配置示例。最多可以有三个控制位插入JESD204B样本中；然而，信号监控器仅需一个控制位。控制位以MSB到LSB的顺序插入。如果仅插入一个控制位(CS = 1)，则只使用最高有效控制位(参见图84中的示例配置1和示例配置2)。如需选择“通过JESD204B实现SPORT”选项，则应设置寄存器0x559、寄存器0x55A和寄存器0x58F。有关设置这些位的更多信息，请参见表22。

图85显示了带有峰值检测器值的25位帧数据。帧数据以MSB方式传输，具有五个5位子帧。每一个子帧都包含一个开始位，可供接收器验证去串行化数据。图86显示了通过JESD204B实现SPORT的信号监控器数据，监控器周期定时器设为80个样本。

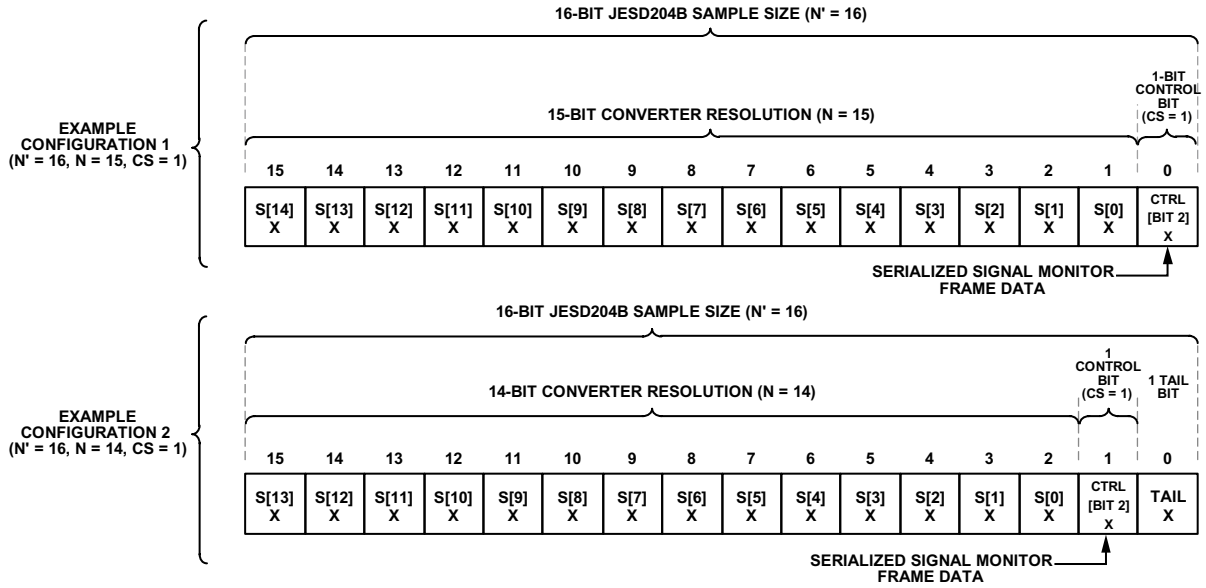


图84. 信号监控器控制位位置

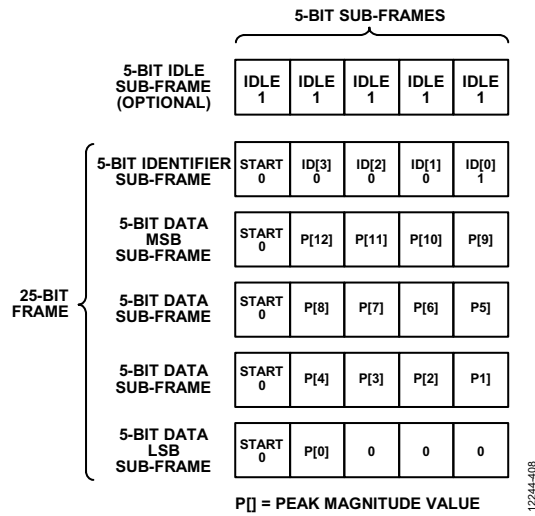
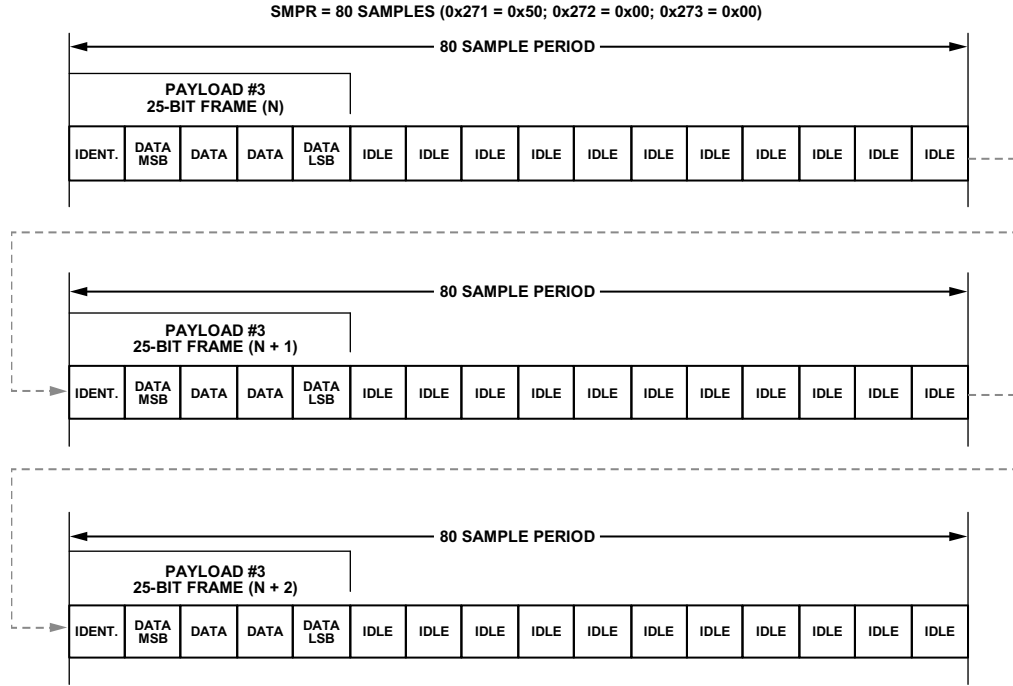


图85. 通过JESD204B实现SPORT的信号监控帧数据





12244-409

图86. 通过JESD204B实现SPORT的信号监控示例(周期 = 80个样本)

## 数字下变频器(DDC)

AD9234集成两个数字下变频器(DDC 0和DDC 1), 提供滤波功能, 并可降低输出数据速率。此数字处理部分包括一个半带抽取滤波器、一个增益级和一个复数转实数级。各子处理模块都有控制线路, 能单独使能或者禁用, 以便提供所需的处理功能。通过配置数字下变频器, 可以输出实数数据或复数数据。

### DDC概述

两个DDC模块用来提取由ADC捕获的全范围数字频谱的一部分。它们可用于IF采样, 或者用于需要宽带宽输入信号的过采样基带无线电。

每一个DDC模块均包含一个2抽取数字处理模块, 如图87所示。

若DDC具有不同的抽取率, 则必须将芯片的抽取率(寄存器0x201)设为所有DDC模块中的最低抽取率。此时, 要求对较高抽取率的DDC进行采样, 以便匹配芯片的抽取率采样速率。一旦设置或更改了NCO频率, 就必须发出DDC软复位。如果未发出DDC软复位, 则输出可能表现出幅度变化特性。DDC输出16位流。如需使能该操作, 可将转换器位数N设为默认值16, 哪怕模拟内核仅输出12位。

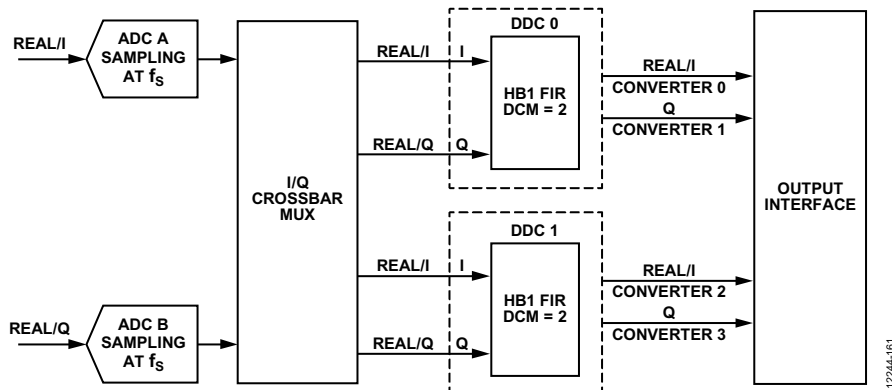


图87. DDC详细框图

**半带滤波器**

AD9234为每个DDC提供一个半带滤波器，以实现ADC转换数据的数字信号处理。

2抽取半带(HB)低通FIR滤波器采用55抽头、对称、固定系数滤波器部署，针对低功耗进行了优化。选定DDC后，使能HB滤波器。表10和图88显示了HB1滤波器的系数和响应。

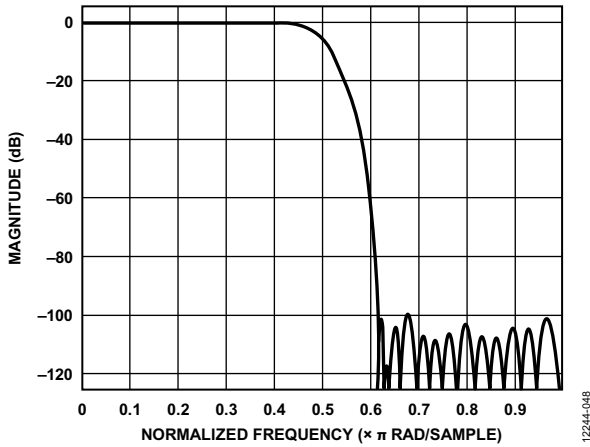


图88. HB1滤波器响应

**表10. 半带滤波器系数**

HB1 系数号	归一化 系数	十进制系数 (21位)
C1, C55	-0.000023	-24
C2, C54	0	0
C3, C53	0.000097	102
C4, C52	0	0
C5, C51	-0.000288	-302
C6, C50	0	0
C7, C49	0.000696	730
C8, C48	0	0
C9, C47	-0.0014725	-1544
C10, C46	0	0
C11, C45	0.002827	2964
C12, C44	0	0
C13, C43	-0.005039	-5284
C14, C42	0	0
C15, C41	0.008491	8903
C16, C40	0	0
C17, C39	-0.013717	-14,383
C18, C38	0	0
C19, C37	0.021591	22640
C20, C36	0	0
C21, C35	-0.033833	-35476
C22, C34	0	0
C23, C33	0.054806	57468
C24, C32	0	0
C25, C31	-0.100557	-105442
C26, C30	0	0
C27, C29	0.316421	331,792
C28	0.500000	524,288

## DDC增益级

每一个DDC都集成独立受控的增益级。增益可以选择0 dB或6 dB。将实数输入信号向下混频至基带时，建议用户使用6 dB增益，以便重新设置输出位满量程内信号的动态范围中点。

将虚数输入信号向下混频至基带时，混频器已经重新设置了输出位满量程内信号的动态范围中点，无需额外增益。然而，可选6 dB增益可用于补偿低电平信号强度。使用复数转实数级时，旁路HB1 FIR滤波器的2倍下采样(参见图89)。

## DDC复数转实数

每一个DDC均包含一个独立受控的复数转实数模块。复数转实数模块重复使用滤波器级的最后一个滤波器(HB1 FIR)以及一个 $f_s/4$ 复数混频器，实现信号的上变频。

对信号完成上变频操作后，不再需要复数混频器的Q部分，因此将其舍弃。

图89显示了复数转实数的示意框图。

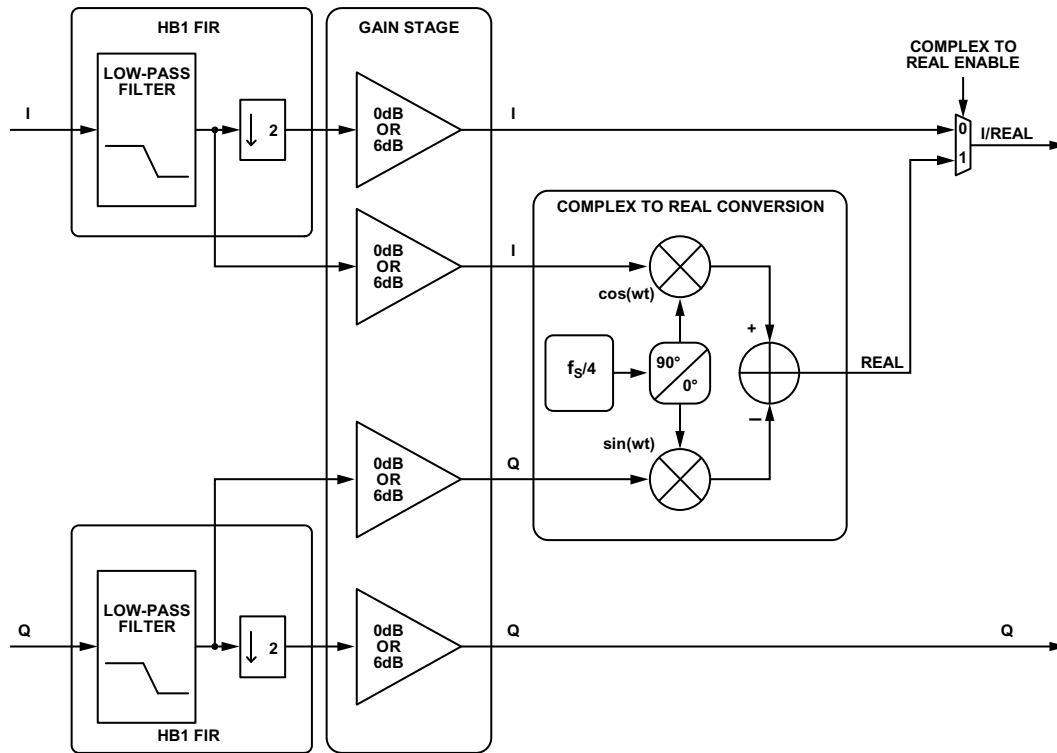


图89. 复数转实数模块

12244-049

## 数字输出

### JESD204B接口简介

AD9234数字输出针对JEDEC标准JESD204B数据转换器的串行接口而设计。JESD204B是AD9234通过串行接口(最高10 Gbps通道速率)连接数字处理设备的协议。相比于LVDS, JESD204B接口的优势包括: 数据接口路由所需电路板空间更少, 以及转换器和逻辑器件的封装更小。

### JESD204B概述

JESD204B数据发送模块可将来自ADC的并行数据组合成数据帧, 并使用8B/10B编码以及可选数据加扰技术, 输出串行数据。在初始链路的建立过程中, 使用特殊控制字符可支持通道同步。用于维持同步的额外控制字符则嵌入在随后的数据流中。完整的串行链路需要一个JESD204B接收机。有关JESD204B接口的详细信息, 建议用户查阅JESD204B标准。

AD9234 JESD204B数据发送模块将最多两个物理ADC(或DDC使能时最多八个虚拟转换器)映射到链路上。一条链路可以配置为使用1/2/4个JESD204B通道。JESD204B规范用多个参数来定义链路, JESD204B发射机(AD9234的输出)和JESD204B接收机(逻辑器件输入)的这些参数必须匹配。

JESD204B链路可通过下列参数描述:

- L = 通道数/转换器数(通道/链路)(AD9234值 = 1、2或4)
- M = 转换器数/转换器数(虚拟转换器/链路)(AD9234值 = 1、2、4或8)
- F = 8位字/帧(AD9234值 = 1、2、4、8或16)
- N' = 每个样本的位数(JESD204B字大小)(AD9234值 = 8或16)
- N = 转换器分辨率(AD9234值 = 7至16)
- CS = 控制位的位数/样本数(AD9234值 = 0、1、2或3)

- K = 每个多帧的帧数目(AD9234值 = 4、8、12、16、20、24、28或32)
- S = 传送的样本/单个转换器/帧周期(AD9234值 = 根据L、M、F和N'自动设置)
- HD = 高密度模式(AD9234 = 根据L、M、F和N'自动设置)
- CF = 控制字的位数/帧时钟周期/转换器(AD9234值 = 0)

图90显示AD9234 JESD204B链路的简化框图。AD9234默认配置为使用两个转换器和四个通道。转换器A的数据输出至SERDOUT0±和/或SERDOUT1±, 转换器B的数据输出至SERDOUT2±和/或SERDOUT3±。AD9234支持其它配置, 如将两个转换器的输出组合成单通道, 或改变A和B数字输出路径的映射。这些模式可通过寄存器映射中的快速配置寄存器进行设置, 并且提供额外的自定义选项。

默认情况下, 每个AD9234转换器的12位转换器字都被分为两个8位字(数据位为8位)。第一个八位字包括位13(MSB)到位6。第二个8位字包括位5到0(LSB)和两个结束位。结束位可以配置为0或者伪随机数字序列。结束位还可替换为控制位, 指示超量程、SYSREF±、信号监控器或快速检测输出。

可对生成的两个8位字进行加扰。加扰为可选; 建议在传输相似的数字数据模式时使能该功能以避免出现频谱杂散。加扰器采用自同步、基于多项式的算法, 由方程 $1 + x^{14} + x^{15}$ 定义。接收机中的解扰器也应使用加扰器多项式的自同步版本。

之后, 这两个8位字通过8B/10B编码器进行编码。8B/10B编码器将8个数据位(一个8位字)编码为一个10位的符号。图91显示12位的数据是如何从ADC中取出、结束位如何添加、两个8位字如何加扰, 以及8位字如何被编码为两个10位符号。图91显示了默认的数据格式。

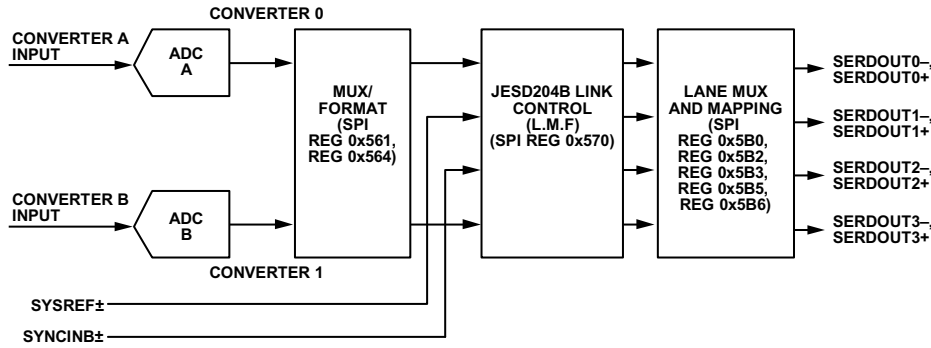


图90. 发射链路简化功能框图(显示全带宽模式, 寄存器0x200 = 0x00)

12244-050

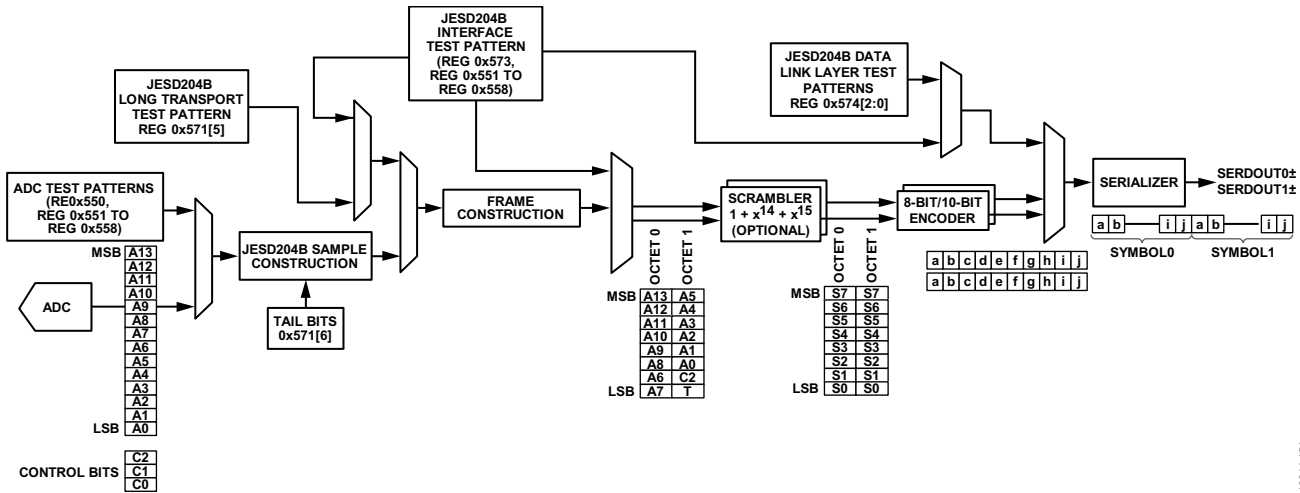


图91. ADC输出数据路径(显示数据成帧)

12244-151

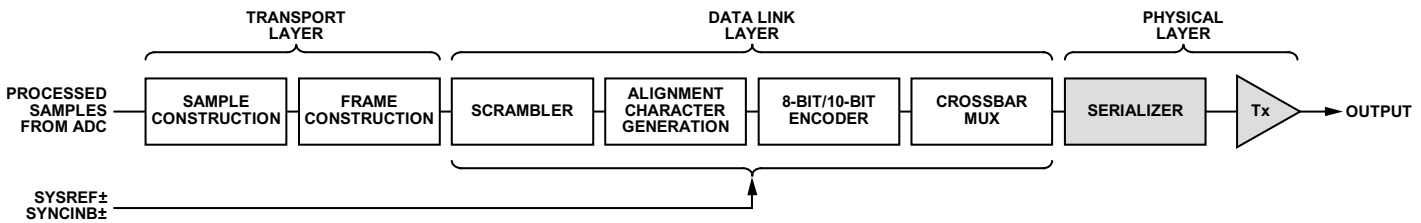


图92. 数据流

12244-052

## 功能概述

图92中的框图显示了数据通过JESD204B硬件从采样输入到物理输出的流程。处理可依据OSI模型分为多层，开源倡议(OSI)模型广泛用于描述通信系统的抽象层。它们是传输层、数据链路层和物理层(串行器和输出驱动器)。

## 传输层

传输层将数据(由样本和可选控制位组成)包装成JESD204B帧，并映射至8位字。这些8位字发送到数据链路层。传输层映射受链路参数产生的规则控制。必要时添加结束位，以填补空隙。下列公式可用于确定样本(JESD204B字)内的结束位位数：

$$T = N' - N - CS$$

## 数据链路层

数据链路层负责执行通过链路传送数据的低级功能，包括加扰数据(可选)、用于多芯片同步/通道对齐/监控的插入控制字符，以及将8位字编码为10位符号。数据链路层还负责发送初始通道对齐序列(ILAS)，它包含链路配置数据，接收机利用它来验证传输层的设置。

## 物理层

物理层由以串行时钟速率运行的高速电路构成。这些层中，并行数据转换为1/2/4个高速差分串行数据通道。

**JESD204B链路建立**

AD9234 JESD204B发射机(Tx)接口按照JEDEC标准JESD204B (2011年7月规范)的规定,以子类1工作。链路建立过程分为下列几个步骤:代码组同步和SYNCINB±、初始通道对齐序列以及用户数据和纠错。

**代码组同步(CGS)和SYNCINB±**

CGS是JESD204B接收机找到数据流中10位符号间边界的过程。在CGS阶段, JESD204B传送模块传送/K28.5/字符。接收机必须使用时钟和数据恢复(CDR)技术,在输入数据流中定位/K28.5/字符。

接收机通过置位AD9234的SYNCINB±引脚,发出一个同步请求。然后, JESD204B Tx便开始发送/K/字符。当接收机已同步时,它便等待接收机至少正确接收4个连续的/K/符号,然后解除置位SYNCINB±。AD9234接着在下一个局部多帧时钟(LMFC)边界发送一个ILAS。

有关代码组同步阶段的更多信息,请参见JEDEC标准JESD204B(2011年7月)第5.3.3.1节。

SYNCINB±引脚操作还可以由SPI控制。默认情况下, SYNCINB±信号是一个差分直流耦合LVDS模式信号,但也可以单端驱动。有关配置SYNCINB±引脚操作的更多信息,参见寄存器0x572。

**初始通道对齐序列(ILAS)**

CGS阶段之后是ILAS阶段,它在下一LMFC边界开始。ILAS由4个多帧组成, /R/字符表示开始, /A/字符表示结束。ILAS从发送/R/字符开始,然后发送一个多帧的0至255斜坡数据。在第二个多帧发送链路配置数据,从第三个字符开始。第二个字符是/Q/字符,用以确认随后是链路配置数据。所有未定义数据时隙都用斜坡数据填充。ILAS序列从不加扰。

ILAS序列结构如图93所示。4个多帧包括:

- 多帧1以/R/字符(/K28.0/)开始,以/A/字符(/K28.3/)结束。
- 多帧2以/R/字符开始,后接/Q/ (/K28.4/)字符,然后是14个配置8位字的链路配置参数(见表11),最后以/A/字符结束。许多参数值用1表示。
- 多帧3以/R/字符(/K28.0/)开始,以/A/字符(/K28.3/)结束。
- 多帧4以/R/字符(/K28.0/)开始,以/A/字符(/K28.3/)结束。

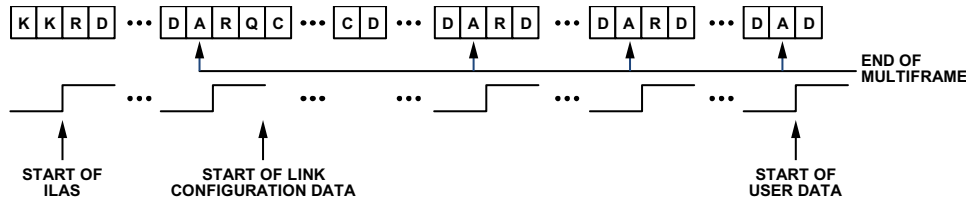


图93. 初始通道对齐序列

# AD9234

## 用户数据和错误检测

完成初始通道对齐序列之后便发送用户数据。通常，在一帧中，所有字符都是用户数据。然而，为了监控帧时钟和多帧时钟同步，当数据符合某些条件时，有一个机制来将字符替换为/F/或/A/对齐字符。对于未加扰和加扰的数据，这些条件是不同的。默认使能加扰操作，但可以通过SPI禁用。

对于加扰的数据，帧末尾的任何0xFC字符都用/F/替换，多帧末尾的任何0x7C字符都用/A/替换。JESD204B接收机(Rx)检查接收数据流中是否有/F/和/A/字符，验证其仅出现在预期的位置。如果发现意外的/F/或/A/字符，接收机将利用动态重对齐处理这种情况，或置位SYNCINB±信号并持续四帧以上的时间以启动重新同步。对于未加扰的数据，如果两个连续帧的最后字符相同，则第二个字符将被替换为/F/(若它位于一个帧的末尾)或/A/(若它位于一个多帧的末尾)。

对齐字符的插入可通过SPI修改。帧对齐字符插入(FACI)默认使能。有关链路控制的更多信息，参见存储器映射部分的寄存器0x571。

## 8B/10B编码器

8B/10B编码器将8位字转换为10位符号，并在需要时将控制字符插入流中。JESD204B使用的控制字符如表11所示。8B/10B编码通过在多个符号中使用相同数量的1和0来确保信号达到直流平衡。

8B/10B接口选项可通过SPI控制，包括旁路和反转。这些选项用作数字前端(DFE)验证的故障排除工具。有关配置8B/10B编码器的更多信息，参见“存储器映射”部分的寄存器0x572[2:1]。

表11. AD9234用于JESD204B的控制字符

缩写	控制符号	8位值	10位值, RD <sup>1</sup> = -1	10位值, RD <sup>1</sup> = +1	描述
/R/	/K28.0/	000 11100	001111 0100	110000 1011	多帧开始
/A/	/K28.3/	011 11100	001111 0011	110000 1100	通道对齐
/Q/	/K28.4/	100 11100	001111 0010	110000 1101	链路配置数据开始
/K/	/K28.5/	101 11100	001111 1010	110000 0101	组同步
/F/	/K28.7/	111 11100	001111 1000	110000 0111	帧对齐

<sup>1</sup> RD表示运行差异。



**物理层(驱动器)输出  
数字输出、时序和控制**

AD9234物理层由JEDEC标准JESD204B(2011年7月)所定义的驱动器组成。差分数字输出默认上电。驱动器利用100 Ω的动态内部端接电阻来降低反射干扰。

在每个接收机的输入端放置一个100 Ω差分端接电阻, 可实现标称300 mV p-p的接收机摆幅(见图94)。建议使用交流耦合将AD9234 SERDES输出与接收机相连。

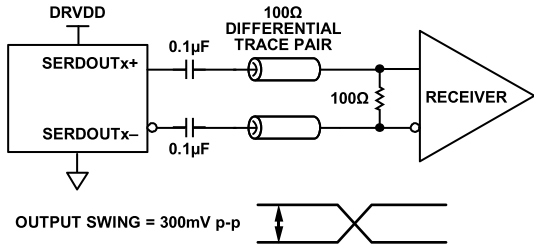


图94. 交流耦合数字输出端接示例

如果没有远端接收机端接电阻, 或者差分走线布线不佳, 可能会导致时序错误。为避免产生时序错误, 建议走线长度不要超过6英寸, 差分输出走线应尽可能彼此靠近且长度相等。

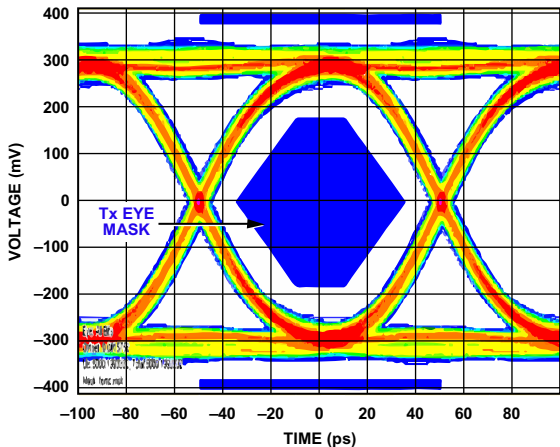


图95. 数字输出数据眼(10 Gbps时进行外部100 Ω端接)

图95至图100显示一条AD9234通道分别工作在10 Gbps和6 Gbps时的数字输出数据眼、时间间隔误差(TIE)抖动直方图和浴盆曲线示例。输出数据格式默认为二进制补码。若要改变输出数据格式, 请参阅“存储器映射”部分(表22中的寄存器0x561)。

**去加重**

当互连插入损耗不符合JESD204B规范时, 利用去加重可以符合接收机眼图眼罩。只能在接收机因为插入损耗过大而无法恢复时钟时使用去加重特性。一般情况下, 该特性禁用以节省功耗。此外, 对一个短链路使能并设置过高的去加重值, 可能导致接收机眼图失效。去加重设置应慎重使用, 因为它会增加电磁干扰(EMI)。更多详情, 请参见“存储器映射”部分(表22中的寄存器0x5C1至寄存器0x5C5)。

**锁相环**

PLL用于生成串行器时钟, 该时钟采用JESD204B通道速率工作。必须将JESD204B通道速率寄存器0x056E[4:3]设为与通道速率相对应。

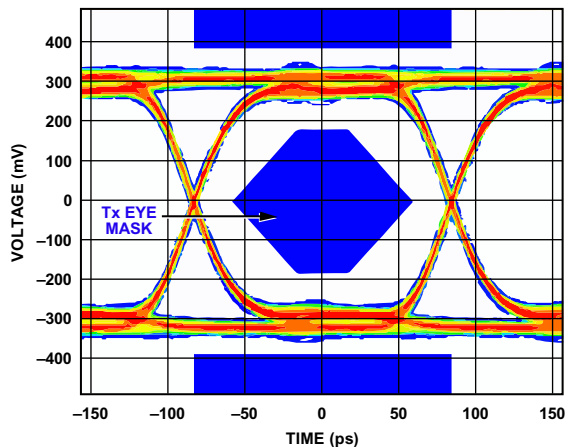
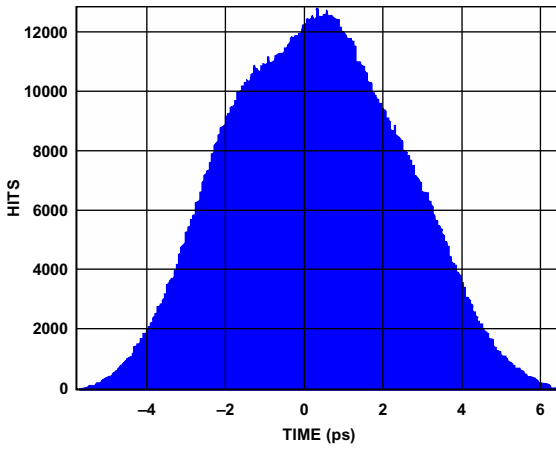
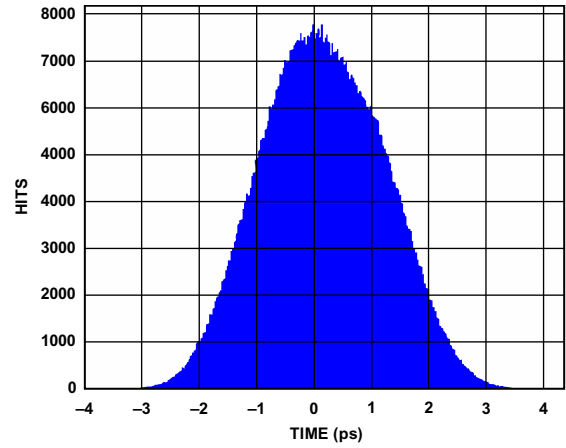


图96. 数字输出数据眼(6 Gbps时进行外部100 Ω端接)



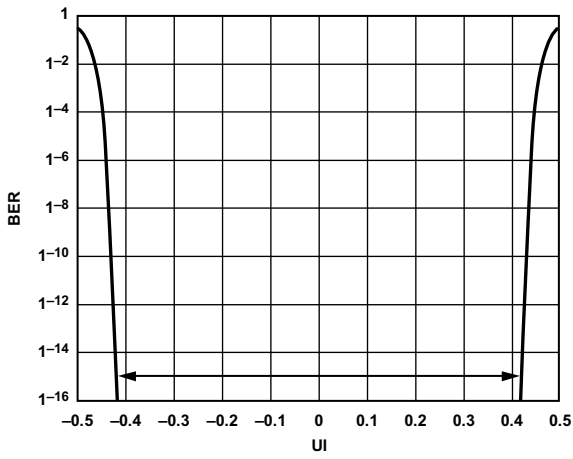
12244-501

图97. 数字输出直方图(10 Gbps时进行外部100 Ω端接)



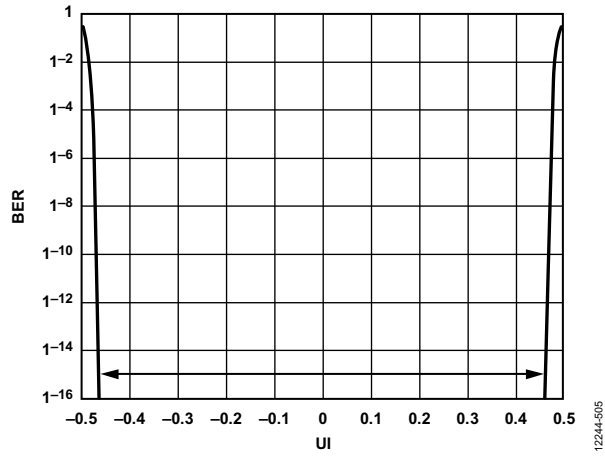
12244-504

图99. 数字输出直方图(6 Gbps时进行外部100 Ω端接)



12244-502

图98. 数字输出浴盆曲线(10 Gbps时进行外部100 Ω端接)



12244-505

图100. 数字输出浴盆曲线(6 Gbps时进行外部100 Ω端接)

**配置JESD204B链路**

AD9234提供一条JESD204B链路。该器件可通过快速配置寄存器(寄存器0x570)方便地设置JESD204B链路。串行输出(SERDOOUT0±至SERDOOUT3±)可视为JESD204B链路的一部分。决定链路设置的基本参数有：

- 每链路的通道数(L)
- 每链路的转换器数(M)
- 每帧的8位字数(F)

JESD204B规格允许的最大通道速率为12.5 Gbps。通道线路速率与JESD204B参数有关，关系式如下所示：

$$Lane\ Line\ Rate = \frac{M \times N' \times \left(\frac{10}{8}\right) \times f_{OUT}}{L}$$

其中， $f_{OUT} = f_{ADC\_CLOCK} / \text{抽取率}$ 。

**表12. JESD204B输出配置(N' = 16)**

支持的虚拟转换器数 (与M值相同)	JESD204B快速配置 (0x570)	JESD204B串行线路速率 <sup>1</sup>	JESD204B传输层设置 <sup>2</sup>								K <sup>3</sup>
			L	M	F	S	HD	N	N'	CS	
1	0x01	20 × f <sub>OUT</sub>	1	1	2	1	0	8至16	16	0至3	只能使用 可被4整除 的有效K值
	0x40	10 × f <sub>OUT</sub>	2	1	1	1	1	8至16	16	0至3	
	0x41	10 × f <sub>OUT</sub>	2	1	2	2	0	8至16	16	0至3	
	0x80	5 × f <sub>OUT</sub>	4	1	1	2	1	8至16	16	0至3	
	0x81	5 × f <sub>OUT</sub>	4	1	2	4	0	8至16	16	0至3	
2	0x0A	40 × f <sub>OUT</sub>	1	2	4	1	0	8至16	16	0至3	
	0x49	20 × f <sub>OUT</sub>	2	2	2	1	0	8至16	16	0至3	
	0x88	10 × f <sub>OUT</sub>	4	2	1	1	1	8至16	16	0至3	
	0x89	10 × f <sub>OUT</sub>	4	2	2	2	0	8至16	16	0至3	
4	0x13	80 × f <sub>OUT</sub>	1	4	8	1	0	8至16	16	0至3	
	0x52	40 × f <sub>OUT</sub>	2	4	4	1	0	8至16	16	0至3	
	0x91	20 × f <sub>OUT</sub>	4	4	2	1	0	8至16	16	0至3	

<sup>1</sup> f<sub>OUT</sub> = 输出采样速率 = ADC采样速率/芯片抽取率。JESD204B串行线路速率必须≥3.125 Gbps且≤12.5 Gbps；当串行线路速率≤12.5 Gbps且≥6.25 Gbps时，必须禁用低电平线路速率模式(将寄存器0x56E中的位4设为0x0)。当串行线路速率<6.25 Gbps且≥3.125 Gbps时，必须使能低电平线路速率模式(将寄存器0x56E中的位4设为0x1)。

<sup>2</sup> JESD204B传输层说明参见“JESD204B概述”部分的说明。

<sup>3</sup> 对于F=1，K=20、24、28和32。对于F=2，K=12、16、20、24、28和32。对于F=4，K=8、12、16、20、24、28和32。对于F=8和F=16，K=4、8、12、16、20、24、28和32。

**表13. JESD204B输出配置(N' = 8)**

支持的虚拟转换器数 (与M值相同)	JESD204B快速配置 (0x570)	串行线路速率 <sup>1</sup>	JESD204B传输层设置 <sup>2</sup>								K <sup>3</sup>
			L	M	F	S	HD	N	N'	CS	
1	0x00	10 × f <sub>OUT</sub>	1	1	1	1	0	7至8	8	0至1	只能使用 可被4整除 的有效K值
	0x01	10 × f <sub>OUT</sub>	1	1	2	2	0	7至8	8	0至1	
	0x40	5 × f <sub>OUT</sub>	2	1	1	2	0	7至8	8	0至1	
	0x41	5 × f <sub>OUT</sub>	2	1	2	4	0	7至8	8	0至1	
	0x42	5 × f <sub>OUT</sub>	2	1	4	8	0	7至8	8	0至1	
	0x80	2.5 × f <sub>OUT</sub>	4	1	1	4	0	7至8	8	0至1	
	0x81	2.5 × f <sub>OUT</sub>	4	1	2	8	0	7至8	8	0至1	

支持的虚拟转换器数 (与M值相同)	JESD204B快速配置 (0x570)	串行线路速率 <sup>1</sup>	JESD204B传输层设置 <sup>2</sup>								
			L	M	F	S	HD	N	N'	CS	K <sup>3</sup>
2	0x09	$20 \times f_{OUT}$	1	2	2	1	0	7至8	8	0至1	
	0x48	$10 \times f_{OUT}$	2	2	1	1	0	7至8	8	0至1	
	0x49	$10 \times f_{OUT}$	2	2	2	2	0	7至8	8	0至1	
	0x88	$5 \times f_{OUT}$	4	2	1	2	0	7至8	8	0至1	
	0x89	$5 \times f_{OUT}$	4	2	2	4	0	7至8	8	0至1	
	0x8A	$5 \times f_{OUT}$	4	2	4	8	0	7至8	8	0至1	

<sup>1</sup>  $f_{OUT}$  = 输出采样速率 = ADC采样速率/芯片抽取率。JESD204B串行线路速率必须 $\geq 3125$  Mbps且 $\leq 12,500$  Mbps；当串行线路速率 $\leq 12.5$  Gbps且 $\geq 6.25$  Gbps时，必须禁用低电平线路速率模式(将寄存器0x56E中的位4设为0x0)。当串行线路速率 $< 6.25$  Gbps且 $\geq 3.125$  Gbps时，必须使能低电平线路速率模式(将寄存器0x56E中的位4设为0x1)。

<sup>2</sup> JESD204B传输层说明参见“JESD204B”概述部分。

<sup>3</sup> 对于F = 1, K = 20、24、28和32。对于F = 2, K = 12、16、20、24、28和32。对于F = 4, K = 8、12、16、20、24、28和32。对于F = 8和F = 16, K = 4、8、12、16、20、24、28和32。

参见“示例1：全带宽模式”部分、“示例2：500 MSPS全带宽模式”部分和“示例3：采用DDC选项的ADC(两个ADC加两个DDC)”部分，了解哪些JESD204B传输层设置对于给定芯片模式有效。

### 示例1：1 GSPS全带宽模式

芯片应用模式为全带宽模式(参见图101)。

- 两个12位转换器工作在1000 MSPS
- 全带宽应用层模式
- 无抽取

JESD204B输出配置包括：

- 要求的两个虚拟转换器(参见表12)
- 输出采样速率( $f_{OUT}$ ) =  $1000/1 = 1000$  MSPS

支持JESD204B的输出配置(参见表12)包括

- N' = 16位
- N = 12位
- L = 4、M = 2和F = 1，或L = 4、M = 2和F = 2(快速配置 = 0x88或0x89)
- CS = 0至2
- K = 32
- 输出串行线路速率 = 10 Gbps/每通道，禁用低电平线路速率模式

### 示例2：500 MSPS全带宽模式

芯片应用模式为全带宽模式(参见图101)。

- 两个12位转换器工作在500 MSPS
- 全带宽应用层模式
- 无抽取

JESD204B输出配置包括：

- 要求的两个虚拟转换器(参见表12)
- 输出采样速率( $f_{OUT}$ ) =  $500/1 = 500$  MSPS

支持JESD204B的输出配置(参见表12)包括

- N' = 16位
- N = 12位
- L = 4、M = 2和F = 1，或L = 2、M = 2和F = 2(快速配置 = 0x88或0x49)
- CS = 0至2
- K = 32
- 输出串行线路速率
  - 每通道5 Gbps(L.M.F = 4.2.1，低线路速率模式使能，0x56E = 0x00)
  - 每通道10 Gbps(L.M.F = 2.2.2，低线路速率模式禁用，0x56E = 0x00)

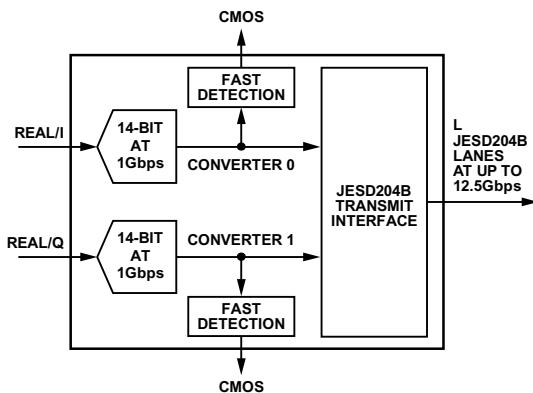


图101. 全带宽模式

12244-080

**示例3：带DDC选项的ADC(两个ADC加两个DDC)**

芯片应用模式为两个DDC模式。(参见图102)。

- 两个12位转换器工作在1 MSPS
- 带复数输出的两个DDC应用层模式(I/Q)
- 芯片抽取率 = 2
- DDC抽取率 = 2(参见表22)

JESD204B输出配置包括：

- 要求的虚拟转换器 = 4(参见表12)
- 输出采样速率( $f_{OUT}$ ) =  $1000/2 = 500$  MSPS

支持JESD204B的输出配置包括(参见表12)

- $N' = 16$ 位
- $N = 12$ 位
- $L = 4$ 、 $M = 4$ 和 $F = 2$ (快速配置 =  $0x91$ )
- $CS = 0$ 至1
- $K = 32$
- 输出串行线路速率 = 10 Gbps/每通道( $L = 4$ )
- 低电平线路速率模式禁用( $0x56E = 0x00$ )

示例2显示AD9234数字配置和通道配置的灵活性。采样速率为1 GSPS，但输出全部组合为一条或两条通道，具体取决于接收器件的I/O速度。

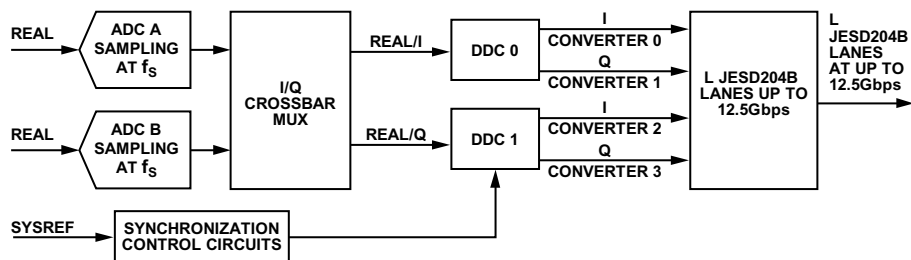


图102. 两个ADC加两个DDC模式

1224-061

## 多芯片同步

AD9234有一个SYSREF $\pm$ 输入端，允许用户通过灵活的选项实现内部模块同步。SYSREF $\pm$ 输入端是源同步系统基准信号，支持多芯片同步。可通过SYSREF $\pm$ 输入同步输入时钟分频器、DDC、信号监控器模块和JESD204B链路。为了获得最高的时序精度水平，SYSREF $\pm$ 必须满足与CLK $\pm$ 输入相关的建立和保持要求。

图103中的流程图描述了AD9234实现多芯片同步的内部机制。AD9234支持多种功能，可帮助用户满足捕捉SYSREF $\pm$ 信号所需的要求。SYSREF采样事件可定义为同步低电平至高电平转换，或同步高电平至低电平转换。此外，AD9234允许通过CLK $\pm$ 输入的上升沿或下降沿对SYSREF信号进行采样。AD9234还可以忽略SYSREF $\pm$ 事件的可编程数(最高16)。通过寄存器0x120和寄存器0x121可以选择SYSREF $\pm$ 控制选项。

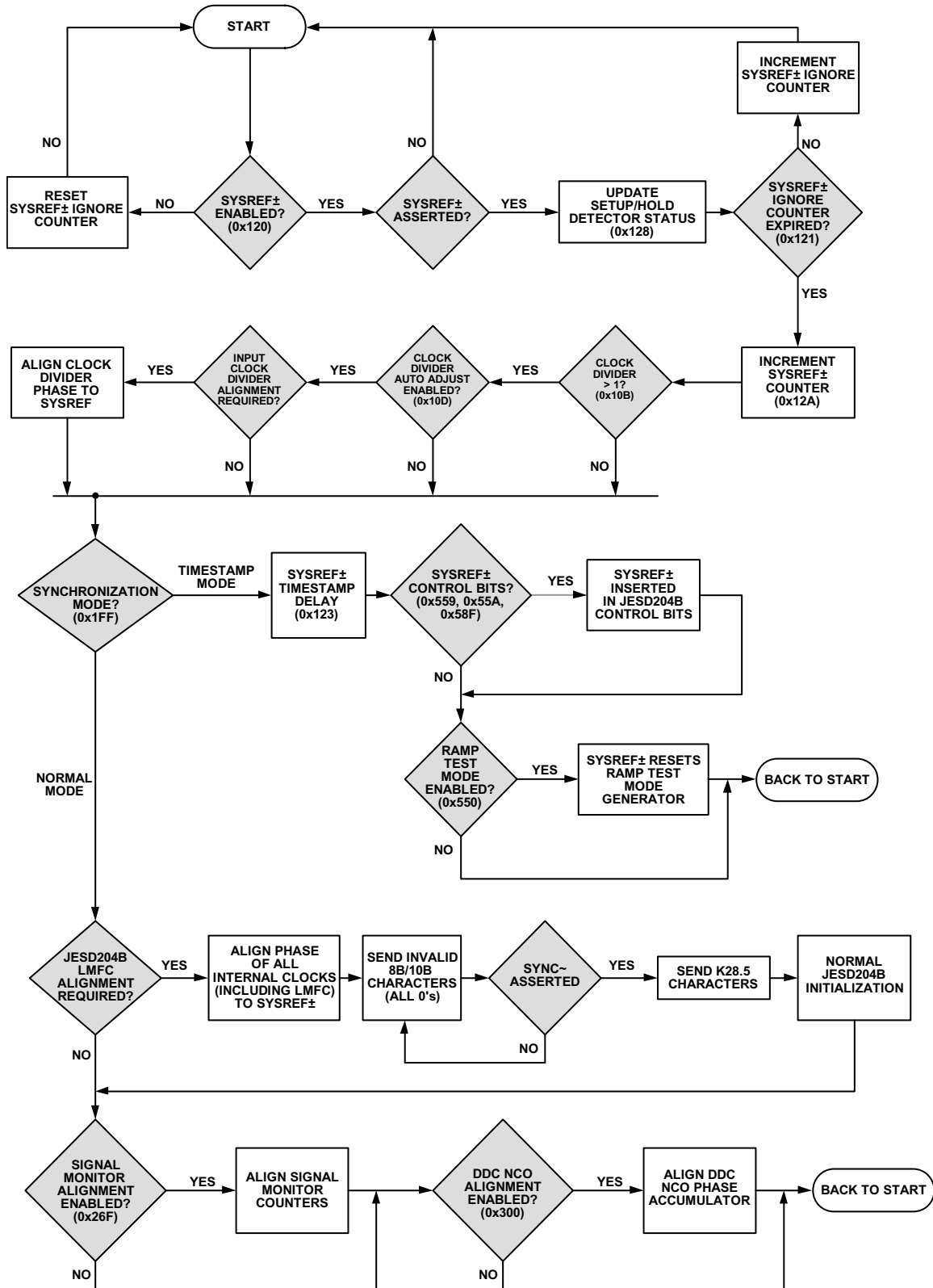


图103. 多芯片同步

12244-110

## SYSREF±设置/保持窗口监控器

为了提供协助以确保有效的SYSREF±信号捕捉，AD9234提供了SYSREF±建立/保持窗口监控器。此特性允许系统设计人员确定SYSREF±信号相对于CLK±信号的位置，方法是通过存储器映射回读接口上的建立/保持裕量。图104和图105

显示SYSREF±不同阶段的建立和保持状态值。设置检测器在CLK±边沿以前返回SYSREF±信号的状态，而保持检测器则在CLK±边沿以后返回SYSREF±信号的状态。寄存器0x128保存SYSREF±的状态，并让用户知晓ADC是否成功捕获SYSREF±信号。

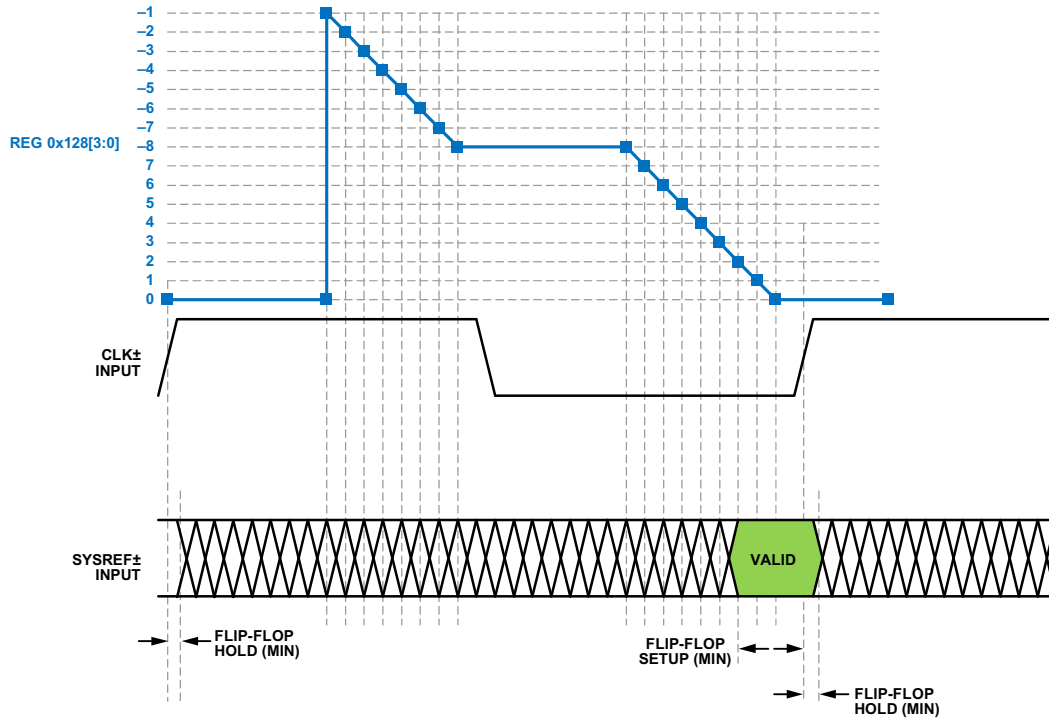


图104. SYSREF±建立检测器

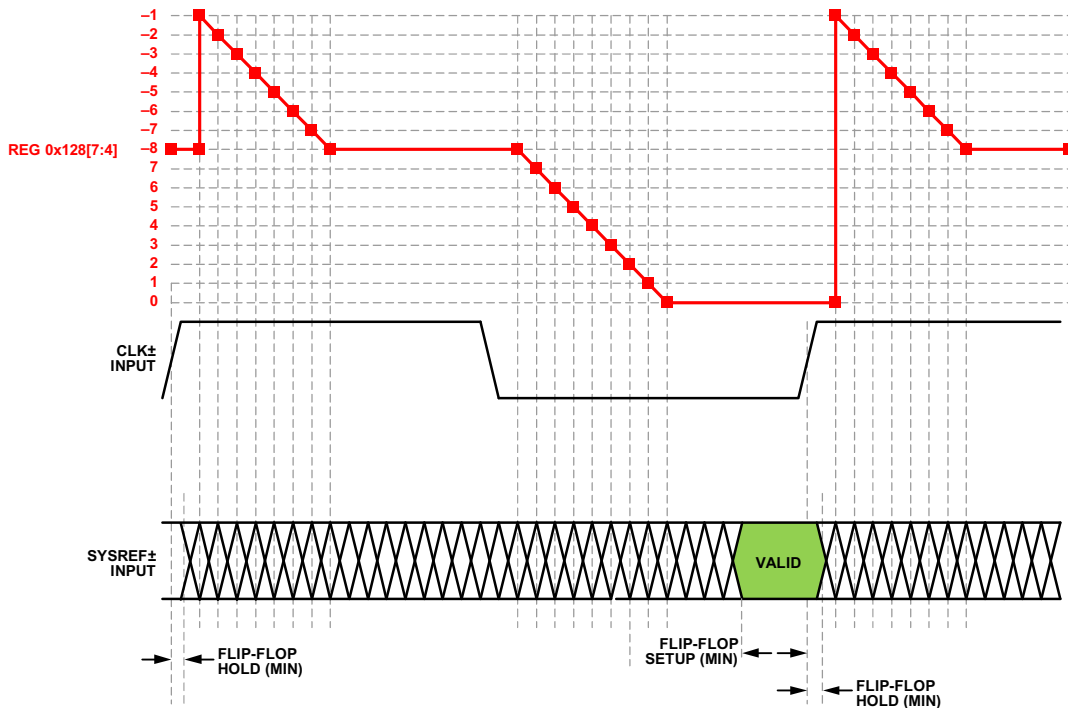


图105. SYSREF±保持检测器



表14显示寄存器0x128的内容描述，以及如何解读这些内容。

**表14. SYSREF±建立/保持监控器(寄存器0x128)**

寄存器0x128[7:4] 保持状态	寄存器0x128[3:0] 建立状态	描述
0x0	0x0至0x7	可能设置错误。此数值越小，设置裕量也越小。
0x0至0x8	0x8	无设置或保持错误(最佳保持裕量)。
0x8	0x9至0xF	无设置或保持错误(最佳设置和保持裕量)。
0x8	0x0	无设置或保持错误(最佳设置裕量)。
0x9至0xF	0x0	可能保持错误。此数值越大，保持裕量越小。
0x0	0x0	可能设置或保持错误。

## 测试模式

### ADC测试模式

AD9234有多种测试选项可帮助实现系统级解决方案。AD9234的ADC测试模式可通过寄存器0x550使用。这些测试模式如表15所示。当使能输出测试模式时，ADC的模拟部分与数字后端模块断开，测试码经过输出格式化模块。

有些测试码需要进行输出格式化，有些则不需要。将寄存器0x550的位4或位5置1，可以将PN序列测试的PN发生器复位。执行这些测试时，模拟信号可有可无(如有，则忽略模拟信号)，但编码时钟必不可少。如需了解更多信息，请参阅[应用笔记AN-877](#)：“通过SPI与高速ADC接口”。

表15. ADC测试模式<sup>1</sup>

输出测试模式位序列	测试码名称	表达式	默认值/种子值	样本(N, N + 1, N + 2,....)
0000	关闭(默认)	不适用	不适用	不适用
0001	中间电平短码	0000 0000 0000	不适用	不适用
0010	+满量程短码	0111 1111 1111	不适用	不适用
0011	-满量程短码	1000 0000 0000	不适用	不适用
0100	棋盘形式	1010 1010 1010	不适用	0x0AAA, 0x0555, 0x0AAA, 0x0555, 0x0AAA
0101	PN长序列	$X^{23} + X^{18} + 1$	0x3AFF	0x3FD7, 0x0002, 0x26E0, 0x0A3D, 0x1CA6
0110	PN短序列	$X^9 + X^5 + 1$	0x0092	0x125B, 0x3C9A, 0x2660, 0x0c65, 0x0697
0111	1/0字反转	1111 1111 1111	不适用	0x0FFF, 0x0000, 0x0FFF, 0x0000, 0x0FFF
1000	用户输入	寄存器0x551至 寄存器0x558	不适用	用户码1[15:2], 用户码2[15:2], 用户码3[15:2], 用户码4[15:2], 用户码1[15:2] ... (重复模式) 用户码1[15:2], 用户码2[15:2], 用户码3[15:2], 用户码4[15:2], 0x0000 ... (单次模式)
1111	斜坡输出	$(X) \% 2^{12}$	不适用	$(X) \% 2^{12}, (X + 1) \% 2^{12}, (X + 2) \% 2^{12}, (X + 3) \% 2^{12}$

<sup>1</sup> N/A表示不适用。

**JESD204B模块测试模式**

除了ADC流水线测试模式，AD9234还有灵活的JESD204B模块测试模式。这些测试模式列于寄存器0x573和寄存器0x574中。可将这些测试码在输出数据路径的不同点注入。测试注入点如图91所示。表16显示了JESD204B模块提供的各种测试模式。对于AD9234，从测试模式(寄存器0x573 ≠ 0x00)转换到正常模式(寄存器0x573 = 0x00)需要SPI软复位。这可通过将0x81写入寄存器0x00(自清零)来实现。

**传输层样本测试模式**

按照JEDEC JESD204B规范第5.1.6.3节的规定，AD9234实现了传输层样本测试。这些测试参见寄存器0x571[5]的说明。测试码等效于ADC的原始样本。

**接口测试模式**

接口测试模式参见寄存器0x573位[3:0]的说明。表16也对这些测试模式进行了解释。接口测试可以在数据的不同点注入。有关测试注入点的更多信息参见图91。寄存器0x573的位[5:4]显示何处注入这些测试。

表17、表18和表19显示了注入JESD样本输入、PHY 10位输入和加扰器8位输入时某些测试模式的示例。表中的UP表示用户码控制位来自客户寄存器映射。

**表16. JESD204B接口测试模式**

输出测试模式位序列	测试码名称	表达式	默认
0000	关闭(默认)	不适用	不适用
0001	交替棋盘形式	0x5555, 0xAAAA, 0x5555...	不适用
0010	1/0字反转	0x0000, 0xFFFF, 0x0000...	不适用
0011	31位PN序列	$X^{31} + X^{28} + 1$	0x0003AFFF
0100	23位PN序列	$X^{23} + X^{18} + 1$	0x003AFF
0101	15位PN序列	$X^{15} + X^{14} + 1$	0x03AF
0110	9位PN序列	$X^9 + X^5 + 1$	0x092
0111	7位PN序列	$X^7 + X^6 + 1$	0x07
1000	斜坡输出	$(X) \% 2^{16}$	斜坡大小取决于测试注入点
1110	连续/重复用户测试	寄存器0x551至寄存器0x558	用户码1至用户码4，然后重复
1111	单次用户测试	寄存器0x551至寄存器0x558	用户码1至用户码4，然后是0

**表17. JESD204B样本输入：M = 2、S = 2、N' = 16(寄存器0x573[5:4] = 'b00)**

帧数	转换器数	样本数	交替棋盘形式	1/0字反转	斜坡	PN9	PN23	用户重复	用户单次
0	0	0	0x5555	0x0000	$(X) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
0	0	1	0x5555	0x0000	$(X) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
0	1	0	0x5555	0x0000	$(X) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
0	1	1	0x5555	0x0000	$(X) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
1	0	0	0xAAAA	0xFFFF	$(X + 1) \% 2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
1	0	1	0xAAAA	0xFFFF	$(X + 1) \% 2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
1	1	0	0xAAAA	0xFFFF	$(X + 1) \% 2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
1	1	1	0xAAAA	0xFFFF	$(X + 1) \% 2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
2	0	0	0x5555	0x0000	$(X + 2) \% 2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
2	0	1	0x5555	0x0000	$(X + 2) \% 2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
2	1	0	0x5555	0x0000	$(X + 2) \% 2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
2	1	1	0x5555	0x0000	$(X + 2) \% 2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
3	0	0	0xAAAA	0xFFFF	$(X + 3) \% 2^{16}$	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
3	0	1	0xAAAA	0xFFFF	$(X + 3) \% 2^{16}$	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
3	1	0	0xAAAA	0xFFFF	$(X + 3) \% 2^{16}$	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
3	1	1	0xAAAA	0xFFFF	$(X + 3) \% 2^{16}$	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
4	0	0	0x5555	0x0000	$(X + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
4	0	1	0x5555	0x0000	$(X + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
4	1	0	0x5555	0x0000	$(X + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
4	1	1	0x5555	0x0000	$(X + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000

# AD9234

表18. 物理层10位输入(寄存器0x573[5:4] = 'b01)

10位符号数	交替棋盘形式	1/0字反转	斜坡	PN9	PN23	用户重复	用户单次
0	0x155	0x000	$(X) \% 2^{10}$	0x125	0x3FD	UP1[15:6]	UP1[15:6]
1	0x2AA	0x3FF	$(X + 1) \% 2^{10}$	0x2FC	0x1C0	UP2[15:6]	UP2[15:6]
2	0x155	0x000	$(X + 2) \% 2^{10}$	0x26A	0x00A	UP3[15:6]	UP3[15:6]
3	0x2AA	0x3FF	$(X + 3) \% 2^{10}$	0x198	0x1B8	UP4[15:6]	UP4[15:6]
4	0x155	0x000	$(X + 4) \% 2^{10}$	0x031	0x028	UP1[15:6]	0x000
5	0x2AA	0x3FF	$(X + 5) \% 2^{10}$	0x251	0x3D7	UP2[15:6]	0x000
6	0x155	0x000	$(X + 6) \% 2^{10}$	0x297	0x0A6	UP3[15:6]	0x000
7	0x2AA	0x3FF	$(X + 7) \% 2^{10}$	0x3D1	0x326	UP4[15:6]	0x000
8	0x155	0x000	$(X + 8) \% 2^{10}$	0x18E	0x10F	UP1[15:6]	0x000
9	0x2AA	0x3FF	$(X + 9) \% 2^{10}$	0x2CB	0x3FD	UP2[15:6]	0x000
10	0x155	0x000	$(X + 10) \% 2^{10}$	0x0F1	0x31E	UP3[15:6]	0x000
11	0x2AA	0x3FF	$(X + 11) \% 2^{10}$	0x3DD	0x008	UP4[15:6]	0x000

表19. 加扰器8位输入(寄存器0x573[5:4] = 'b10)

8位字数	交替棋盘形式	1/0字反转	斜坡	PN9	PN23	用户重复	用户单次
0	0x55	0x00	$(X) \% 2^8$	0x49	0xFF	UP1[15:9]	UP1[15:9]
1	0xAA	0xFF	$(X + 1) \% 2^8$	0x6F	0x5C	UP2[15:9]	UP2[15:9]
2	0x55	0x00	$(X + 2) \% 2^8$	0xC9	0x00	UP3[15:9]	UP3[15:9]
3	0xAA	0xFF	$(X + 3) \% 2^8$	0xA9	0x29	UP4[15:9]	UP4[15:9]
4	0x55	0x00	$(X + 4) \% 2^8$	0x98	0xB8	UP1[15:9]	0x00
5	0xAA	0xFF	$(X + 5) \% 2^8$	0x0C	0x0A	UP2[15:9]	0x00
6	0x55	0x00	$(X + 6) \% 2^8$	0x65	0x3D	UP3[15:9]	0x00
7	0xAA	0xFF	$(X + 7) \% 2^8$	0x1A	0x72	UP4[15:9]	0x00
8	0x55	0x00	$(X + 8) \% 2^8$	0x5F	0x9B	UP1[15:9]	0x00
9	0xAA	0xFF	$(X + 9) \% 2^8$	0xD1	0x26	UP2[15:9]	0x00
10	0x55	0x00	$(X + 10) \% 2^8$	0x63	0x43	UP3[15:9]	0x00
11	0xAA	0xFF	$(X + 11) \% 2^8$	0xAC	0xFF	UP4[15:9]	0x00

## 数据链路层测试模式

按照JEDEC JESD204B规范第5.3.3.8.2节的规定，AD9234实现了数据链路层测试模式。这些测试如寄存器0x574的位

[2:0]所示。插在此点的测试码可用于验证数据链路层的功能。使能数据链路层测试模式时，应向寄存器0x572写入0xC0以禁用SYNCINB±。

## 串行端口接口

AD9234 SPI允许用户利用ADC内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间，以及对地址空间进行读写。存储空间以字节为单位进行组织，并且能进一步划分成多个区域。各个区域的说明见存储器映射部分。如需了解详细操作信息，请参阅[串行控制接口标准\(Rev. 1.0\)](#)。

### 使用SPI的配置

该ADC的SPI由三个引脚组成：SCLK引脚、SDIO引脚和CSB引脚(见表20)。SCLK(串行时钟)引脚用于同步从ADC读出的数据和写入ADC的数据。SDIO(串行数据输入/输出)引脚是一个双功能引脚，可通过此引脚将数据发送至内部ADC存储器映射寄存器或从该寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

**表20. 串行端口接口引脚**

引脚	函数
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读写操作。
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，具体取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制信号，用来选通读写周期。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。图3为串行时序图示例，相应的定义见表5。

CSB引脚可以在其它模式下工作。CSB引脚可始终维持在低电平状态，从而使器件一直处于使能状态；这称作流。CSB引脚可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB引脚拉高时，SPI功能处于高阻抗模式。在该模式下，可以开启SPI引脚的第二功能。

所有数据均由8位字组成。串行数据的每个字节的第一位表示发出的是读命令还是写命令。这样，就能将SDIO引脚的数据传输方向从输入改为输出。

**表21. 可通过SPI访问的特性**

特性名称	描述
模式	允许用户设置省电模式或待机模式。
时钟	允许用户通过SPI访问模块分频器。
DDC	允许用户针对不同应用设置抽取滤波器。
测试输入/输出	允许用户设置测试模式，以便在输出位上获得已知数据。
输出模式	允许用户设置输出。
SERDES输出设置	允许用户改变SERDES设置，比如摆动和加重。

除了字长，指令周期还决定串行帧是读操作还是写操作，从而通过串行端口对芯片编程以及读取片上存储器内的数据。如果指令是回读操作，则执行回读操作会使SDIO引脚在串行帧的适当位置由输入变为输出。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认采用MSB优先的方式，可以通过SPI端口配置寄存器来更改数据发送方式。有关此功能及其他功能的更多信息，请参阅[串行控制接口标准\(Rev. 1.0\)](#)。

### 硬件接口

表20中所描述的引脚包括用户编程器件与AD9234的串行端口之间的物理接口。当使用SPI接口时，SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI接口非常灵活，FPGA或微控制器均可控制该接口。应用笔记AN-812“基于微控制器的串行接口(SPI)启动电路”中详细介绍了一种SPI配置方法。

当需要转换器充分发挥其全动态性能时，应禁用SPI接口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9234之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

### SPI访问特性

表21简要说明了可通过SPI访问的一般特性。有关这些特性的详情，请参见[串行控制接口标准\(Rev. 1.0\)](#)。AD9234特定器件特性详见“存储器映射”部分。

## 存储器映射

### 读取存储器映射寄存器表

存储器映射寄存器表的每一行有8位。存储器映射分为四个部分：ADI SPI寄存器(寄存器0x000至寄存器0x00D)、ADC功能寄存器(寄存器0x015至寄存器0x27A)、DDC功能寄存器(寄存器0x300至寄存器0x347)以及数字输出和测试模式寄存器(寄存器0x550至寄存器0x5C5)。

表22(参见“存储器映射”部分)记录了每个十六进制地址及其十六进制默认值。位7(MSB)栏为给定十六进制默认值的起始位。例如，输出模式寄存器(地址0x561)的十六进制默认值为0x01。这表明，位0 = 1，其余位均为0。此设置是默认输出格式值(二进制补码)。有关此功能及其他功能的更多信息，请参见表22。

### 禁用位置和保留位置

此器件目前不支持表22中未包括的所有地址和位。除非已设置了默认值，否则将0写入有效地址位置的未使用位。在该地址(例如：地址0x561)仅有部分位处于未分配状态时，才可以对这些位置进行写操作。如果整个地址(例如地址0x013)均禁用，则不应对该地址进行写操作。

### 默认值

AD9234复位后，关键寄存器将载入默认值。表22列出了各寄存器的默认值。

### 逻辑电平

以下是逻辑电平的术语说明：

- “置位”指“将某位设置为逻辑1”或“向某位写入逻辑1”。
- “清除位”指“将某位设置为逻辑0”或“向某位写入逻辑0”。
- X表示无关位。

### 特定通道寄存器

可通过编程分别为每个通道设置某些通道功能(例如输入端接，寄存器0x016)。在这些情况下，可在内部为每个通道复制通道地址位置。这些寄存器及相应的位在表22中被称为局部寄存器。通过设置寄存器0x008的通道A位或通道B位，可访问这些局部寄存器及相应位。如果这两个位均置位，后续写操作将影响两个通道的寄存器。在一个读周期内，仅允许设置一个通道(通道A或通道B)来读取两个寄存器中的一个。如果在一个SPI读周期内置位这两个位，则器件返回通道A的值。表22给出的全局寄存器及相应位会影响整个器件或通道的特性，不允许分别设置每个通道。寄存器0x005中的设置不影响全局寄存器及相应位的值。

### SPI软复位

发出软复位后(通过将寄存器0x000设为0x81)，AD9234需要5 ms才能恢复。编程AD9234以便进行应用设置时，应在软复位置位之后、器件设置启动之前保证在固件中设置了足够的延迟时间。

## 存储器映射寄存器表

此器件目前不支持表22中未包括的所有地址和位，并且不可写入。

表22. 存储器映射寄存器

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释	
ADI SPI寄存器												
0x000	INTERFACE_CONFIG_A	软复位 (自清零)	LSB优先 0 = MSB 1 = LSB	地址上升	0	0	地址上升	LSB优先 0 = MSB 1 = LSB	软复位 (自清零)	0x00		
0x001	INTERFACE_CONFIG_B	单指令	0	0	0	0	0	数据路径 软复位 (自清零)	0	0x00		
0x002	DEVICE_CONFIG(局部)	0	0	0	0	0	0	00 = 正常工作 10 = 待机 11 = 掉电		0x00		
0x003	CHIP_TYPE	0	0	0	0	011 = 高速ADC				0x03	只读	
0x004	CHIP_ID (低字节)	1	1	0	0	1	1	1	0	0xCE	只读	
0x005	CHIP_ID (高字节)	0	0	0	0	0	0	0	0	0x00	只读	
0x006	CHIP_GRADE	1010 = 1000 MSPS 0101 = 500 MSPS				X	X	X	X		0xAx AD9234-1000 0x5x AD9234-500	只读
0x008	器件索引	0	0	0	0	0	0	通道B	通道A	0x03		
0x00A	暂存区	0	0	0	0	0	0	0	0	0x00		
0x00B	SPI修订版	0	0	0	0	0	0	0	1	0x01		
0x00C	供应商ID (低字节)	0	1	0	1	0	1	1	0	0x56	只读	
0x00D	供应商ID (高字节)	0	0	0	0	0	1	0	0	0x04	只读	
ADC功能寄存器												
0x015	模拟输入 (局部)	0	0	0	0	0	0	0	输入禁用 0 = 正常工作 1 = 输入禁用	0x00		
0x016	输入端接 (局部)	模拟输入差分端接 0000 = 400 Ω 0001 = 200 Ω 0010 = 100 Ω 0110 = 50 Ω				0011 = AD9234-1000 0001 = AD9234-500					0x03 AD9234-1000; 0x01 AD9234-500	
0x018	输入缓冲器电流控制 (局部)	0000 = 1.0×缓冲器电流 0001 = 1.5×缓冲器电流 0010 = 2.0×缓冲器电流 0011 = 2.5×缓冲器电流 0100 = 3.0×缓冲器电流 0101 = 3.5×缓冲器电流 ... 1111 = 8.5×缓冲器电流				0	0	0	0		0x30 AD9234-1000; 0x20 AD9234-500	
0x024	V_1P0控制	0	0	0	0	0	0	0	1.0 V基准电压选择 0 = 内部 1 = 外部	0x00		

# AD9234

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x028	温度二极管 (局部)	0	0	0	0	0	0	0	二极管选择 0 = 未选择 1 = 选择 温度二极管	0x00	与寄存器0x040一起使用
0x03F	PDWN/STBY 引脚控制 (局部)	0 = PDWN/STBY 使能 1 = 禁用	0	0	0	0	0	0	0	0x00	与寄存器0x040一起使用
0x040	芯片引脚控制	PDWN/STBY功能 00 = 关断 01 = 待机 10 = 禁用		快速检测B (FD_B) 000 = 快速检测B输出 001 = JESD204B LMFC输出 010 = JESD204B内部SYNC~ 输出 111 = 禁用			快速检测A (FD_A) 000 = 快速检测A输出 001 = JESD204B LMFC输出 010 = JESD204B内部SYNC~ 输出 011 = 温度二极管 111 = 禁用			0x3F	
0x10B	时钟分频器	0	0	0	0	0	000 = 1分频 001 = 2分频 011 = 4分频 111 = 8分频		0x00		
0x10C	时钟分频器相位(局部)	0	0	0	0	独立控制通道A和通道B时钟分频器相位偏移 0000 = 0输入时钟周期被延迟 0001 = 1/2输入时钟周期被延迟 0010 = 1输入时钟周期被延迟 0011 = 1 1/2输入时钟周期被延迟 0100 = 2输入时钟周期被延迟 0101 = 2 1/2输入时钟周期被延迟 ... 1111 = 7 1/2输入时钟周期被延迟			0x00		
0x10D	时钟分频器和SYSREF控制	时钟分频器自动相位调节 0 = 禁用 1 = 使能	0	0	0	时钟分频器负偏斜窗口 00 = 无负偏斜 01 = 1个器件时钟负偏斜 10 = 2个器件时钟负偏斜 11 = 3个器件时钟负偏斜		时钟分频器正偏斜窗口 00 = 无正偏斜 01 = 1个器件时钟正偏斜 10 = 2个器件时钟正偏斜 11 = 3个器件时钟正偏斜		0x00	时钟分频器必须>1
0x117	时钟延迟控制	0	0	0	0	0	0	0	时钟延迟精调使能 0 = 禁用 1 = 使能	0x00	使能时钟延迟精调会导致数据路径复位
0x118	时钟延迟精调 (局部)	时钟延迟精调[7:0], 二进制补码编码控制, 能以大约1.7 ps步进精调采样时钟偏斜 ≤ -88 = -151.7 ps偏斜 -87 = -150 ps偏斜 ... 0 = 0 ps偏斜 ... ≥ +87 = +150 ps偏斜							0x00	与寄存器0x0117一起使用	
0x11C	时钟状态	0	0	0	0	0	0	0	0 = 未检测到输入时钟 1 = 检测到输入时钟	只读	



寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x120	SYSREF±控制1	0	SYSREF±标志复位 0 = 正常工作 1 = 标志保持在复位状态	0	SYSREF±跃迁选择 0 = 低电平到高电平 1 = 高电平到低电平	CLK±边沿选择 0 = 上升 1 = 下降	SYSREF±模式选择 00 = 禁用 01 = 连续 10 = N次		0	0x00	
0x121	SYSREF±控制2	0	0	0	0	SYSREF±N次忽略计数器选择 0000 = 仅下一个SYSREF± 0001 = 忽略第一个SYSREF±跃迁 0010 = 忽略前两个SYSREF±跃迁 ... 1111 = 忽略前16个SYSREF±跃迁			0x00	模式选择(寄存器0x120位[2:1])必须为N次	
0x123	SYSREF±时间戳延迟控制	0		SYSREF±时间戳延迟, 位[6:0] 0x00 = 无延迟 0x01 = 1个时钟延迟 ... 0x7F = 127个时钟延迟						0x00	寄存器0x01FF = 0x00时忽略
0x128	SYSREF±状态1	SYSREF±保持状态, 寄存器0x128[7:4], 参考表14				SYSREF±设置状态, 寄存器0x128[3:0], 参考表14				只读	
0x129	SYSREF±和时钟分频器状态	0	0	0	0	捕捉SYSREF±时的时钟分频器相位 0000 = 同相 0001 = SYSREF±延迟½个时钟周期 0010 = SYSREF±延迟1个时钟周期 0011 = 1½输入时钟周期被延迟 0100 = 2输入时钟周期被延迟 0101 = 2½输入时钟周期被延迟 ... 1111 = 7½输入时钟周期被延迟				只读	
0x12A	SYSREF±计数器	SYSREF±计数器, 捕捉SYSREF±信号时位[7:0]递增								只读	
0x1FF	芯片同步模式	0	0	0	0	0	0	同步模式 00 = 正常 01 = 时间戳		0x00	
0x200	芯片应用模式	0	0	芯片Q忽略 0 = 正常(I/Q) 1 = 忽略(仅I)	0	0	0	芯片工作模式 00 = 全带宽模式 01 = DDC 0开启 10 = DDC 0和DDC 1		0x00	
0x201	芯片抽取率	0	0	0	0	0	芯片抽取率选择 000 = 全采样速率(抽取 = 1) 001 = 2抽取		0x00		
0x228	客户偏移	失调整以LSB为单位, 从+127到-128(二进制补码格式)								0x00	
0x245	快速检测(FD)控制(局部)	0	0	0	0	强制FD_A/ FD_B引脚; 0 = 正常功能; 1 = 强制到数值	强制FD_A/ FD_B引脚数值; 若强制引脚为真值, 则FD引脚输出该数值	0	使能快速检测输出	0x00	
0x247	FD阈值上限LSB(局部)	快速检测阈值上限, 位[7:0]								0x00	
0x248	FD阈值上限MSB(局部)	0	0	0	快速检测阈值上限, 位[12:8]					0x00	

# AD9234

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x249	FD阈值 下限LSB (局部)	快速检测阈值下限, 位[7:0]								0x00	
0x24A	FD阈值 下限MSB (局部)	0	0	0	快速检测阈值下限, 位[12:8]					0x00	
0x24B	FD驻留时间 LSB(局部)	快速检测驻留时间, 位[7:0]								0x00	
0x24C	FD驻留时间 MSB(局部)	快速检测驻留时间, 位[15:8]								0x00	
0x26F	信号, 控制 器同步控制	0	0	0	0	0	0	同步模式 00 = 禁用 01 = 连续 11 = 单次采样		0x00	参见“信号 监控器” 部分
0x270	信号监控器 控制(局部)	0	0	0	0	0	0	峰值 检波器 0 = 禁用 1 = 使能	0	0x00	
0x271	信号监控器 周期寄存 器0 (局部)	信号监控器周期, 位[7:0]								0x80	单位 为抽取 输出 时钟 周期
0x272	信号监控器 周期寄存 器1 (局部)	信号监控器周期, 位[15:8]								0x00	单位 为抽取 输出 时钟 周期
0x273	信号监控器 周期寄存 器2 (局部)	信号监控器周期, 位[23:16]								0x00	单位 为抽取 输出 时钟 周期
0x274	信号监控器 结果控制 (局部)	0	0	0	结果 更新 1 = 更新 结果 (自清零)	0	0	0	结果 选择 0 = 保留 1 = 峰值 检测	0x01	
0x275	信号监控器 结果寄存 器0 (局部)	信号监控器结果, 位[7:0] 寄存器0x0274[0] = 1时, 结果位[19:7] = 峰值检测器绝对值[12:0]; 结果位[6:0] = 0								只读	根据 寄存器 0x274[4] 更新
0x276	信号监控器 结果寄存 器1 (局部)	信号监控器结果, 位[15:8]								只读	根据 寄存器 0x274[4] 更新
0x277	信号监控器 结果寄存 器1 (局部)	0	0	0	0	信号监控器结果, 位[19:16]			只读	根据 寄存器 0x274[4] 更新	
0x278	信号监控器 周期计 数器结果 (局部)	周期计数结果, 位[7:0]								只读	根据 寄存器 0x274[4] 更新
0x279	信号监控器 通过JESD204B 实现SPORT控 制(局部)	0	0	0	0	0	0	00 = 保留 11 = 使能		0x00	
0x27A	通过JESD204B 实现SPORT 输入选择 (局部)	0	0	0	0	0	0	峰值 检波器 0 = 禁用 1 = 使能	0	0x00	

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
DDC功能寄存器(参见“数字下变频器(DDC)”部分)											
0x300	DDC同步控制	0	0	0	DDC NCO软复位 0 = 正常工作 1 = 复位	0	0	同步模式 (由SYSREF±触发) 00 = 禁用 01 = 连续 11 = 单次采样			
0x310	DDC 0控制	混频器选择 0 = 实数混频器 1 = 复数混频器	增益选择 0 = 0 dB 1 = 6 dB 增益	IF(中等频率)模式 00 = 可变IF模式(混频器和NCO使能) 01 = 0 Hz IF模式(混频器旁路, NCO禁用) 10 = $f_{ADC}/4$ Hz IF模式( $f_{ADC}/4$ 下混频模式) 11 = 测试模式(混频器输入强制为+FS, NCO使能)		复数转实数使能 0 = 禁用 1 = 使能	0	抽取速率选择 (复数至实数禁用) 11 = 2抽取 (复数转实数使能) 11 = 1抽取		0x00	
0x311	DDC 0输入选择	0	0	0	0	0	Q输入选择 0 = 通道A 1 = 通道B	0	I输入选择 0 = 通道A 1 = 通道B	0x00	
0x314	DDC 0频率LSB	DDC 0 NCO频率值, 位[7:0], 二进制补码								0x00	
0x315	DDC 0频率MSB	X	X	X	X	DDC 0 NCO频率值, 位[11:8], 二进制补码				0x00	
0x320	DDC 0相位LSB	DDC 0 NCO相位值, 位[7:0], 二进制补码								0x00	
0x321	DDC 0相位MSB	X	X	X	X	DDC 0 NCO相位值, 位[11:8], 二进制补码				0x00	
0x327	DDC 0输出测试模式选择	0	0	0	0	0	Q输出测试模式使能 0 = 禁用 1 = 从通道B使能	0	I输出测试模式使能 0 = 禁用 1 = 从通道A使能	0x00	
0x330	DDC 1控制	混频器选择 0 = 实数混频器 1 = 复数混频器	增益选择 0 = 0 dB 1 = 6 dB 增益	IF(中等频率)模式 00 = 可变IF模式(混频器和NCO使能) 01 = 0 Hz IF模式(混频器旁路, NCO禁用) 10 = $f_{ADC}/4$ Hz IF模式( $f_{ADC}/4$ 下混频模式) 11 = 测试模式(混频器输入强制为+FS, NCO使能)		复数转实数使能 0 = 禁用 1 = 使能	0	抽取速率选择 (复数至实数禁用) 11 = 2抽取 (复数转实数使能) 11 = 1抽取		0x00	
0x331	DDC 1输入选择	0	0	0	0	0	Q输入选择 0 = 通道A 1 = 通道B	0	I输入选择 0 = 通道A 1 = 通道B	0x00	
0x334	DDC 1频率LSB	DDC 1 NCO频率值, 位[7:0], 二进制补码								0x00	
0x335	DDC 1频率MSB	X	X	X	X	DDC 1 NCO频率值, 位[11:8], 二进制补码				0x00	
0x340	DDC 1相位LSB	DDC 1 NCO相位值, 位[7:0], 二进制补码								0x00	
0x341	DDC 1相位MSB	X	X	X	X	DDC 1 NCO相位值, 位[11:8], 二进制补码				0x00	

# AD9234

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x347	DDC 1 输出测试模式选择	0	0	0	0	0	Q输出测试模式使能 0 = 禁用 1 = 从通道B使能	0	I输出测试模式使能 0 = 禁用 1 = 从通道A使能	0x00	
数字输出和测试模式											
0x550	ADC测试模式(局部)	用户码选择 0 = 连续重复 1 = 单次模式	0	产生复位PN长序列 0 = PN长序列使能 1 = PN长序列复位	产生复位PN短序列 0 = PN短序列使能 1 = PN短序列复位	测试模式选择 0000 = 关闭, 正常工作 0001 = 中间电平短码 0010 = 正满量程 0011 = 负满量程 0100 = 交替棋盘形式 0101 = PN长序列 0110 = PN短序列 0111 = 1/0字交替 1000 = 用户模式测试模式 (与寄存器0x550位7和用户模式(1、2、3、4)寄存器共同使用), 1111 = 斜坡输出				0x00	
0x551	用户码1 LSB	0	0	0	0	0	0	0	0	0x00	结合寄存器0x550和寄存器0x573使用
0x552	用户码1 MSB	0	0	0	0	0	0	0	0	0x00	结合寄存器0x550和寄存器0x573使用
0x553	用户码2 LSB	0	0	0	0	0	0	0	0	0x00	结合寄存器0x550和寄存器0x573使用
0x554	用户码2 MSB	0	0	0	0	0	0	0	0	0x00	结合寄存器0x550和寄存器0x573使用
0x555	用户码3 LSB	0	0	0	0	0	0	0	0	0x00	结合寄存器0x550和寄存器0x573使用
0x556	用户码3 MSB	0	0	0	0	0	0	0	0	0x00	结合寄存器0x550和寄存器0x573使用
0x557	用户码4 LSB	0	0	0	0	0	0	0	0	0x00	结合寄存器0x550和寄存器0x573使用
0x558	用户码4 MSB	0	0	0	0	0	0	0	0	0x00	结合寄存器0x550和寄存器0x573使用
0x559	输出模式控制1	0	转换器控制位1选择 000 = 接低电平(1'b0) 001 = 超量程位 010 = 信号监控器位 011 = 快速检测(FD)位 101 = SYSREF± 仅当CS(寄存器0x58F) = 2或3时使用			0	转换器控制位0选择 000 = 接低电平(1'b0) 001 = 超量程位 010 = 信号监控器位 011 = 快速检测(FD)位 101 = SYSREF± 仅当CS(寄存器0x58F) = 3时使用			0x00	

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x55A	输出模式控制2	0	0	0	0	0	转换器控制位2选择 000 = 接低电平(1'b0) 001 = 超量程位 010 = 信号监控器位 011 = 快速检测(FD)位 101 = SYSREF CS(寄存器0x58F)= 1、2或3时使用		0x01		
0x561	输出模式	0	0	0	0	0	样本反转 0 = 正常 1 = 样本反转	数据格式选择 00 = 偏移二进制 01 = 二进制补码		0x01	
0x562	输出超量程(OR)清零	虚拟转换器7 OR 0 = OR位使能 1 = OR位清零	虚拟转换器6 OR 0 = OR位使能 1 = OR位清零	虚拟转换器5 OR 0 = OR位使能 1 = OR位清零	虚拟转换器4 OR 0 = OR位使能 1 = OR位清零	虚拟转换器3 OR 0 = OR位使能 1 = OR位清零	虚拟转换器2 OR 0 = OR位使能 1 = OR位清零	虚拟转换器1 OR 0 = OR位使能 1 = OR位清零	虚拟转换器0 OR 0 = OR位使能 1 = OR位清零	0x00	
0x563	输出OR状态	虚拟转换器7 OR 0 = 无OR出现	虚拟转换器6 OR 0 = 无OR出现	虚拟转换器5 OR 0 = 无OR出现	虚拟转换器4 OR 0 = 无OR出现	虚拟转换器3 OR 0 = 无OR出现	虚拟转换器2 OR 0 = 无OR出现	虚拟转换器1 OR 0 = 无OR出现	虚拟转换器0 OR 0 = 无OR出现	0x00	只读
0x564	输出通道选择	0	0	0	0	0	0	0	转换器通道交换 0 = 正常通道顺序 1 = 通道交换使能	0x00	
0x56E	JESD204B通道速率控制	0	0	0	0 = 串行通道速率 ≥ 6.25 Gbps 且 ≤ 12.5 Gbps 1 = 串行通道速率必须 ≥ 3.125 Gbps 且 ≤ 6.25 Gbps	0	0	0	0	0x00 AD9234-1000; 0x10 AD9234-500	
0x570	JESD204B快速配置	JESD204B快速配置 L = 通道数 = 2 <sup>寄存器0x570位[7:6]</sup> M = 转换器数 = 2 <sup>寄存器0x570位[5:3]</sup> F = 每帧8位字数 = 2 <sup>寄存器0x570位[2:0]</sup>								0x88	参见表12和表13
0x571	JESD204B链路模式控制1	待机模式 0 = 所有转换器输出0 1 = CGS (/K28.5)	结束位(t) PN 0 = 禁用 1 = 使能 T = N' - N - CS	长传输层测试 0 = 禁用 1 = 使能	通道同步 0 = 禁止FACI使用 /K28.7/ 1 = 允许FACI使用 /K28.3/ 和 /K28.7/	ILAS序列模式 00 = ILAS禁用 01 = ILAS使能 11 = ILAS始终开启 测试模式	FACI 0 = 使能 1 = 禁用	链路控制 0 = 有效 1 = 掉电	0x14		

# AD9234

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释	
0x572	JESD204B 链路模式控制2	SYNCINB±引脚控制 00 = 正常 10 = 忽略SYNCINB± (强制CGS) 11 = 忽略SYNCINB± (强制ILAS/用户数据)		SYNC-INB±引脚反转 0 = 低电平有效 1 = 高电平有效	SYNCINB±引脚类型 0 = 差分 1 = cmos	0	8B/10B 旁路 0 = 正常 1 = 旁路	8B/10B位 反转 0 = 正常 1 = 反转 a..j 符号	0	0x00		
0x573	JESD204B 链路模式控制3	CHKSUM模式 00 = 所有8位链路配置寄存器之和 01 = 各链路配置字段之和 10 = 校验和置零		测试注入点 00 = N'样本输出 01 = 8B/10B输出时10位数据 (用于PHY测试) 10 = 加扰输入时8位数据			JESD204B测试模式码 0000 = 正常工作(测试模式禁用) 0001 = 交替棋盘形式 0010 = 1/0字交替 0011 = 31位PN序列— $X^{31} + X^{28} + 1$ 0100 = 23位PN序列— $X^{23} + X^{18} + 1$ 0101 = 15位PN序列— $X^{15} + X^{14} + 1$ 0110 = 9位PN序列— $X^9 + X^5 + 1$ 0111 = 7位PN序列— $X^7 + X^6 + 1$ 1000 = 斜坡输出 1110 = 连续/重复用户测试 1111 = 单次用户测试			0x00		
0x574	JESD204B 链路模式控制4	ILAS延迟 0000 = SYNCINB±解除置位后在第一个LMFC上发送ILAS 0001 = SYNCINB±解除置位后在第二个LMFC上发送ILAS ... 1111 = SYNCINB±解除置位后在第16个LMFC上发送ILAS				0	链路层测试模式 000 = 正常工作(链路层测试模式禁用) 001 = /D21.5/字符连续序列 100 = 修改RPAT测试序列 101 = JSPAT测试序列 110 = JTSPAT测试序列			0x00		
0x578	JESD204B LMFC偏移	0	0	0	LMFC相位偏移值, 位[4:0]					0x00		
0x580	JESD204B DID 配置	JESD204B Tx DID值, 位[7:0]								0x00		
0x581	JESD204B BID 配置	0	0	0	0	JESD204B Tx BID值, 位[7:0]					0x00	
0x583	JESD204B LID 配置1	0	0	0	通道0 LID值, 位[4:0]					0x00		
0x584	JESD204B LID 配置2	0	0	0	通道1 LID值, 位[4:0]					0x01		
0x585	JESD204B LID 配置3	0	0	0	通道2 LID值, 位[4:0]					0x01		
0x586	JESD204B LID 配置4	0	0	0	通道3 LID值, 位[4:0]					0x03		
0x58B	JESD204B 参数 SCR/L	JESD204B 加扰 (SCR) 0 = 禁用 1 = 使能	0	0	0	0	0	JESD204B通道(L) 00 = 1通道 01 = 2通道 11 = 4通道 只读, 参见寄存器0x570			0x8X	
0x58C	JESD204B F 配置	每帧8位字数, F = 寄存器0x58C, 位[7:0] + 1								0x88	只读, 参见寄存器0x570	
0x58D	JESD204B K 配置	0	0	0	每个多帧的帧数, K = 寄存器0x58D, 位[4:0] + 1 仅支持(F × K) mod 4 = 0的值					0x1F	参见寄存器0x570	
0x58E	JESD204B M 配置	每条链路的转换器数, 位[7:0] 0x00 = 链路连接到一个虚拟转换器(M = 1) 0x01 = 链路连接到两个虚拟转换器(M = 2) 0x03 = 链路连接到四个虚拟转换器(M = 4) 0x07 = 链路连接到八个虚拟转换器(M = 8)									只读	

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x58F	JESD204B CS/N配置	每个样本的控制位数(CS) 00 = 无控制位 (CS = 0) 01 = 1控制位(CS = 1); 仅控制位2 10 = 2控制位(CS = 2); 仅控制位2和控制位1 11 = 3控制位(CS = 3); 所有控制位(2、1、0)			0	ADC转换器分辨率(N) 0x06 = 7位分辨率 0x07 = 8位分辨率 0x08 = 9位分辨率 0x09 = 10位分辨率 0x0A = 11位分辨率 0x0B = 12位分辨率 0x0C = 13位分辨率 0x0D = 14位分辨率 0x0E = 15位分辨率 0x0F = 16位分辨率				0x0F	
0x0590	JESD204B N'配置	支持子类(子类版本) 000 = 子类0 (无确定性延迟) 001 = 子类1			每个样本的ADC数(N') 0x7 = 8位 0xF = 16位				0x2F		
0x591	JESD204B S配置	0	0	1	每个转换器帧周期的样本数(S) S值 = 寄存器0x591[4:0] + 1					只读	
0x592	JESD204B HD和CF配置	HD值 0 = 禁用 1 = 使能	0	0	每链路上每个帧时钟周期的控制字(CF) CF值 = 寄存器0x592, 位[4:0]				0x80	只读	
0x5A0	JESD204B CHKSUM 0	SERDOUT0±位[7:0]的CHKSUM值							0x81	只读	
0x5A1	JESD204B CHKSUM 1	SERDOUT1±位[7:0]的CHKSUM值							0x82	只读	
0x5A2	JESD204B CHKSUM 2	SERDOUT2±位[7:0]的CHKSUM值							0x82	只读	
0x5A3	JESD204B CHKSUM 3	SERDOUT3±位[7:0]的CHKSUM值							0x84	只读	
0x5B0	JESD204B 通道掉电	1	SERD-OUT3± 0 = 开 1 = 关	1	SERD-OUT2± 0 = 开 1 = 关	1	SERD-OUT1± 0 = 开 1 = 关	1	SERDOU 0 = 开 1 = 关	0xAA	
0x5B2	JESD204B通道 SERDOUT0±分配	X	X	X	X	0	SERDOUT0±通道分配 000 = 逻辑通道0 001 = 逻辑通道1 010 = 逻辑通道2 011 = 逻辑通道3			0x00	
0x5B3	JESD204B通道 SERDOUT1±分配	X	X	X	X	0	SERDOUT1±通道分配 000 = 逻辑通道0 001 = 逻辑通道1 010 = 逻辑通道2 011 = 逻辑通道3			0x11	
0x5B5	JESD204B通道 SERDOUT2±分配	X	X	X	X	0	SERDOUT2±通道分配 000 = 逻辑通道0 001 = 逻辑通道1 010 = 逻辑通道2 011 = 逻辑通道3			0x22	
0x5B6	JESD204B通道 SERDOUT3±分配	X	X	X	X	0	SERDOUT3±通道分配 000 = 逻辑通道0 001 = 逻辑通道1 010 = 逻辑通道2 011 = 逻辑通道3			0x33	

# AD9234

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x5BF	JESD串行器驱动调节	0	0	0	0	摆动电压 0000 = 237.5 mV 0001 = 250 mV 0010 = 262.5 mV 0011 = 275 mV 0100 = 287.5 mV 0101 = 300 mV(默认) 0110 = 312.5 mV 0111 = 325 mV 1000 = 337.5 mV 1001 = 350 mV 1010 = 362.5 mV 1011 = 375 mV 1100 = 387.5 mV 1101 = 400 mV 1110 = 412.5 mV 1111 = 425 mV				0x05	
0x5C1	去加重选择	0	SERD-OUT3± 0 = 禁用 1 = 使能	0	SERD-OUT2± 0 = 禁用 1 = 使能	0	SERD-OUT1± 0 = 禁用 1 = 使能	0	SERDOUT0± 0 = 禁用 1 = 使能	0x00	
0x5C2	SERDOUT0±去加重设置	0	0	0	0	SERDOUT0±去加重设置: 0000 = 0 dB 0001 = 0.3 dB 0010 = 0.8 dB 0011 = 1.4 dB 0100 = 2.2 dB 0101 = 3.0 dB 0110 = 4.0 dB 0111 = 5.0 dB				0x00	
0x5C3	SERDOUT1±去加重设置	0	0	0	0	SERDOUT1±去加重设置: 0000 = 0 dB 0001 = 0.3 dB 0010 = 0.8 dB 0011 = 1.4 dB 0100 = 2.2 dB 0101 = 3.0 dB 0110 = 4.0 dB 0111 = 5.0 dB				0x00	
0x5C4	SERDOUT2±去加重设置	0	0	0	0	SERDOUT2±去加重设置: 0000 = 0 dB 0001 = 0.3 dB 0010 = 0.8 dB 0011 = 1.4 dB 0100 = 2.2 dB 0101 = 3.0 dB 0110 = 4.0 dB 0111 = 5.0 dB				0x00	
0x5C5	SERDOUT3±去加重设置	0	0	0	0	SERDOUT3±去加重设置: 0000 = 0 dB 0001 = 0.3 dB 0010 = 0.8 dB 0011 = 1.4 dB 0100 = 2.2 dB 0101 = 3.0 dB 0110 = 4.0 dB 0111 = 5.0 dB				0x00	



## 应用信息

### 电源建议

AD9234必须由以下7个电源供电：AVDD1=1.25 V、AVDD2=2.5 V、AVDD3=3.3 V、AVDD1\_SR=1.25 V、DVDD=1.25 V、DRVDD=1.25 V和SPIVDD=1.8 V。对于要求高电源效率和低噪声性能的应用，建议使用开关稳压器ADP2164和ADP2370来将3.3 V、5.0 V或12 V输入供电轨转换为中间供电轨(1.8 V和3.8 V)。然后用超低噪声、低压差(LDO)稳压器(ADP1741、ADM7172和ADP125)调节这些中间供电轨。图106显示了AD9234的建议电源方案。

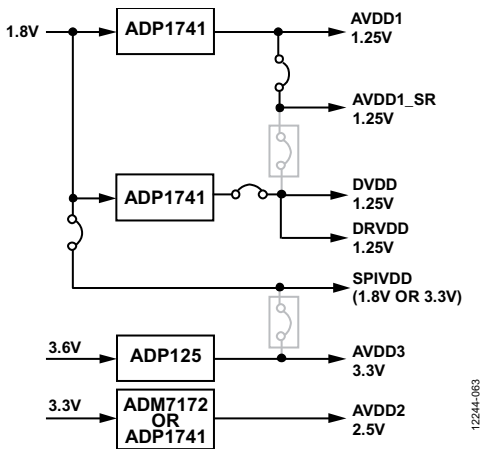


图106. AD9234的高效率、低噪声电源解决方案

无需针对所有情况区分所有这些电源域。图106中的建议解决方案为AD9234提供了噪声最低、效率最高的供电系统。如果仅有1.25 V电源可用，则应先连接到AVDD1，然后分接出来，并用铁氧体磁珠或滤波扼流圈及去耦电容隔离，再依次连接到AVDD1\_SR、SPIVDD、DVDD和DRVDD。用户可以使用多个不同的去耦电容以适用于高频和低频。去耦电容应放置在接近PCB入口点和接近器件的位置，并尽可能缩短走线长度。

### 裸露焊盘散热块建议

为获得最佳的AD9234电气性能和热性能，必须将ADC底部的裸露焊盘连接至地。PCB上裸露的连续铜层应与AD9234的裸露焊盘(引脚0)相连。铜层上必须有多个过孔，获得尽可能低的热阻路径以通过PCB底部进行散热。这些过孔应填满或插入焊料。过孔和填充数量确定了电路板上测量的 $\theta_{JA}$ 结果。如表7所示。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续铜层划分为多个均等的部分。这样，在回流焊过程中，可在ADC与PCB之间提供多个连接点，而一个连续的、无分割的平面只能保证一个连接点。可以参考图107所示的PCB布局布线范例。如需了解有关封装和芯片级封装PCB布局布线的详细信息，请参阅应用笔记AN-772：“LFCSP封装设计与制造指南”。

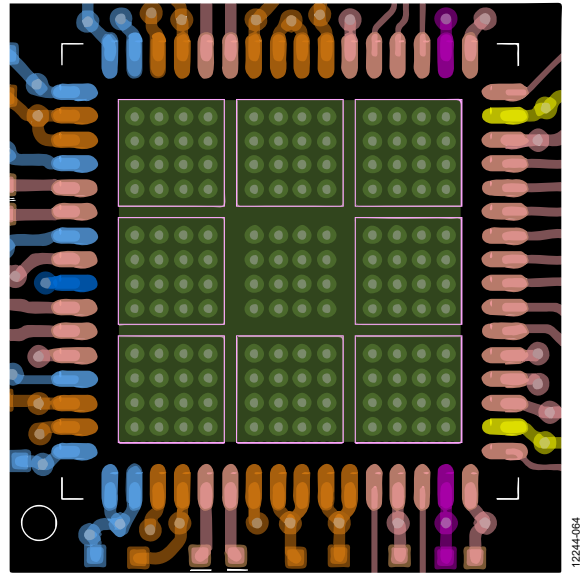


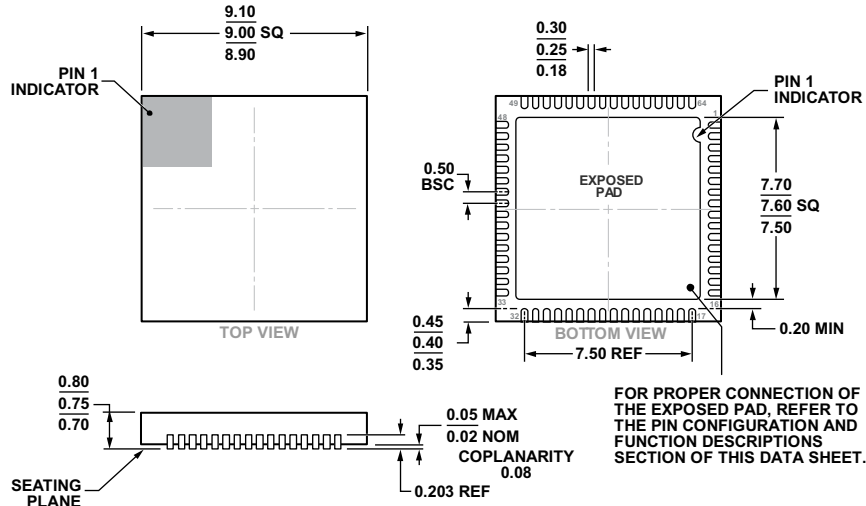
图107. AD9234的建议PCB裸露焊盘布局

### AVDD1\_SR(引脚57)和AGND(引脚56和引脚60)

AVDD1\_SR(引脚57)和AGND(引脚56和引脚60)可用来向AD9234的SYSREF±电路提供独立的电源节点。如果工作在子类1下，则AD9234可支持周期性单次采样或带隙信号。为了减少此电源与AVDD1电源节点的耦合，需提供充分的电源旁路。

# AD9234

## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WMMD

图108. 64引脚引线框芯片级封装[LFCSP\_WQ]  
9 mm × 9 mm, 超薄四方体  
(CP-64-15)  
尺寸单位: mm

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
AD9234BCPZ-500	-40°C至+85°C	64引脚引线框芯片级封装[LFCSP_WQ]	CP-64-15
AD9234BCPZRL7-500	-40°C至+85°C	64引脚引线框芯片级封装[LFCSP_WQ]	CP-64-15
AD9234BCPZ-1000	-40°C至+85°C	64引脚引线框芯片级封装[LFCSP_WQ]	CP-64-15
AD9234BCPZRL7-1000	-40°C至+85°C	64引脚引线框芯片级封装[LFCSP_WQ]	CP-64-15
AD9234-500EBZ		AD9234-500评估板(针对全模拟输入范围进行优化)	
AD9234-1000EBZ		AD9234-1000评估板(针对全模拟输入范围进行优化)	

<sup>1</sup>Z = 符合RoHS标准的器件。