

产品特性

16位分辨率和单调性

用于热管理的动态电源控制

电流和电压输出引脚可连接到一个引脚

电流输出范围：0 mA至20 mA、4 mA至20 mA或0 mA至24 mA

总不可调整误差(TUE)：±0.05%(最大值)

电压输出范围(含20%超量程)：0 V至5 V、0 V至10 V、±5 V和±10 V

总不可调整误差(TUE)：±0.04%(最大值)

用户可编程失调与增益

片内诊断

片内基准电压源(±10 ppm/°C, 最大值)

温度范围：-40°C至+105°C

应用

过程控制

致动器控制

PLCs(可编程控制器)

HART网络连接

概述

AD5755-1是一款四通道、电压和电流输出DAC，采用-26.4 V至+33 V电源供电。片内动态电源控制功能基于为实

现片内功耗最低而优化的DC-DC升压转换器，在电流模式下，可以在7.4 V至29.5 V范围内调节输出驱动器的电压，使封装功耗最小。各通道均有一个相应的CHART引脚，因此HART信号可以耦合到AD5755-1的电流输出端。

该器件采用多功能三线式串行接口，能够以最高30 MHz的时钟速率工作，并与标准SPI、QSPI™、MICROWIRE™、DSP和微控制器接口标准兼容。该接口还提供可选的CRC-8分组错误校验功能，以及用于监控接口活动的看门狗定时器。

产品特色

1. 用于热管理的动态电源控制。
2. 16位性能。
3. 多通道。
4. HART兼容性。

配套产品

产品系列：[AD5755](#)、[AD5757](#)

HART调制解调器：[AD5700](#)、[AD5700-1](#)

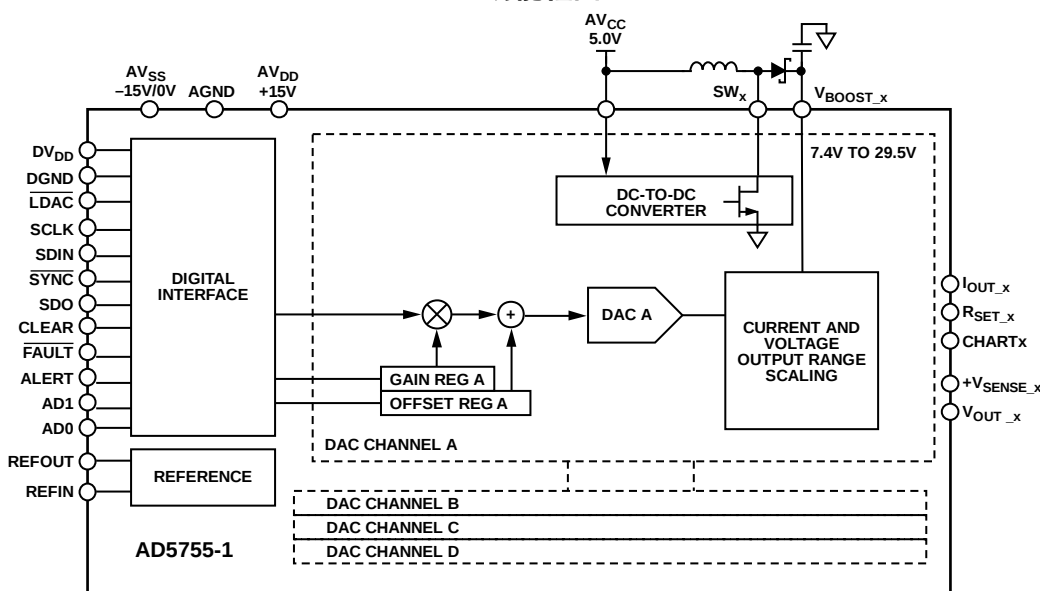
外部基准电压源：[ADR445](#)、[ADR02](#)

数字隔离器：[ADuM1410](#)、[ADuM1411](#)

电源：[ADP2302](#)、[ADP2303](#)

其他配套产品参见[AD5755-1产品页面](#)

功能框图



NOTES
1. x = A, B, C, AND D.

Rev. E

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

图1.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2011–2012 Analog Devices, Inc. All rights reserved.
[Technical Support](#) [www.analog.com](#)

ADI中文数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

产品特性	1	输出故障	40
应用	1	电压输出短路保护	40
概述	1	数字偏置和增益控制	40
产品特色	1	写入期间回读状态	40
配套产品	1	异步清零	41
功能框图	1	分组差错校验(PEC)	41
修订历史	3	看门狗定时器	41
详细功能框图	4	输出报警	41
技术规格	5	内部基准电压源	41
交流工作特性	8	外部电流设置电阻	41
时序特性	9	HART	42
绝对最大额定值	12	数字压摆率控制	42
ESD警告	12	功耗控制	43
引脚配置和功能描述	13	DC-DC转换器	43
典型工作特性	16	AI _{CC} 电源要求—静态	44
电压输出	16	AI _{CC} 电源要求—压摆率	44
电流输出	20	应用信息	46
DC-DC模块	24	相同引脚上的电压和电流输出范围	46
基准电压源	25	采用内部R _{SET} 的电流输出模式	46
一般特性	26	精密基准电压源的选择	46
术语	27	驱动感性负载	47
工作原理	29	瞬变电压保护	47
DAC架构	29	微处理器接口	47
AD5755-1的上电状态	29	布局布线指南	47
串行接口	30	电流隔离接口	48
传递函数	30	支持工业HART的模拟输出应用—	
寄存器	31	共享V _{OUT_X} 和I _{OUT_X} 引脚	49
正确写入/使能输出的编程序列	32	外形尺寸	50
更改和重新编程范围	32	订购指南	50
数据寄存器	33		
控制寄存器	35		
回读操作	38		
产品特性	40		

修订历史**2012年11月—修订版D至修订版E**

更改图2	4
热阻从20°C/W更改为28°C/W	12
更改引脚6描述	13
更改引脚27描述	14
更改图26	19
更改表9的DUT_AD1、DUT_AD0描述	33
更改“分组差错校验”部分和“内部基准电压源”部分	41
更改图81	43
更改图86	47
更改图89	49

2012年7月—修订版C至修订版D

更改图89	49
更新外形尺寸	50

2012年5月—修订版B至修订版C

更改“配套产品”部分	1
更改图2	3
更改表5	15
更改图22	18
增加“支持工业HART的模拟输出应用— 共享 V_{OUT_X} 和 I_{OUT_X} 引脚”部分和图89；重新排序	49
更新外形尺寸	50

2011年11月—修订版A至修订版B

删除表1的电压输出测试条件/注释	5
更改表1的上裕量和下裕量测试条件/注释	5
更改图4	10
更改图5	11
更改表5的SCLK描述	13
更改图12	16
更改图21	18
更改图37	20
更改图44	22
更改图71	29
更改“AD5755-1上电状态”部分	30
更改表17	35
更改“回读操作”部分和表26	38
更改“电压输出短路保护”部分	40
更改图78	41
更改图82	44
更改图83、图84和图85	45
更改“瞬态电压保护”部分和图86	47
更改“电流隔离接口”部分	48

2011年5月—修订版0至修订版A

删除表1的尾注6	6
AV_{DD} 最小值从10.8 V改为9 V	6
AI_{SS} 最小值从-1.4 mA改为-1.7 mA	7
更改引脚19描述中的 AV_{DD} 电压	13
更改订购指南部分	48

2011年4月—修订版0：初始版

详细功能框图

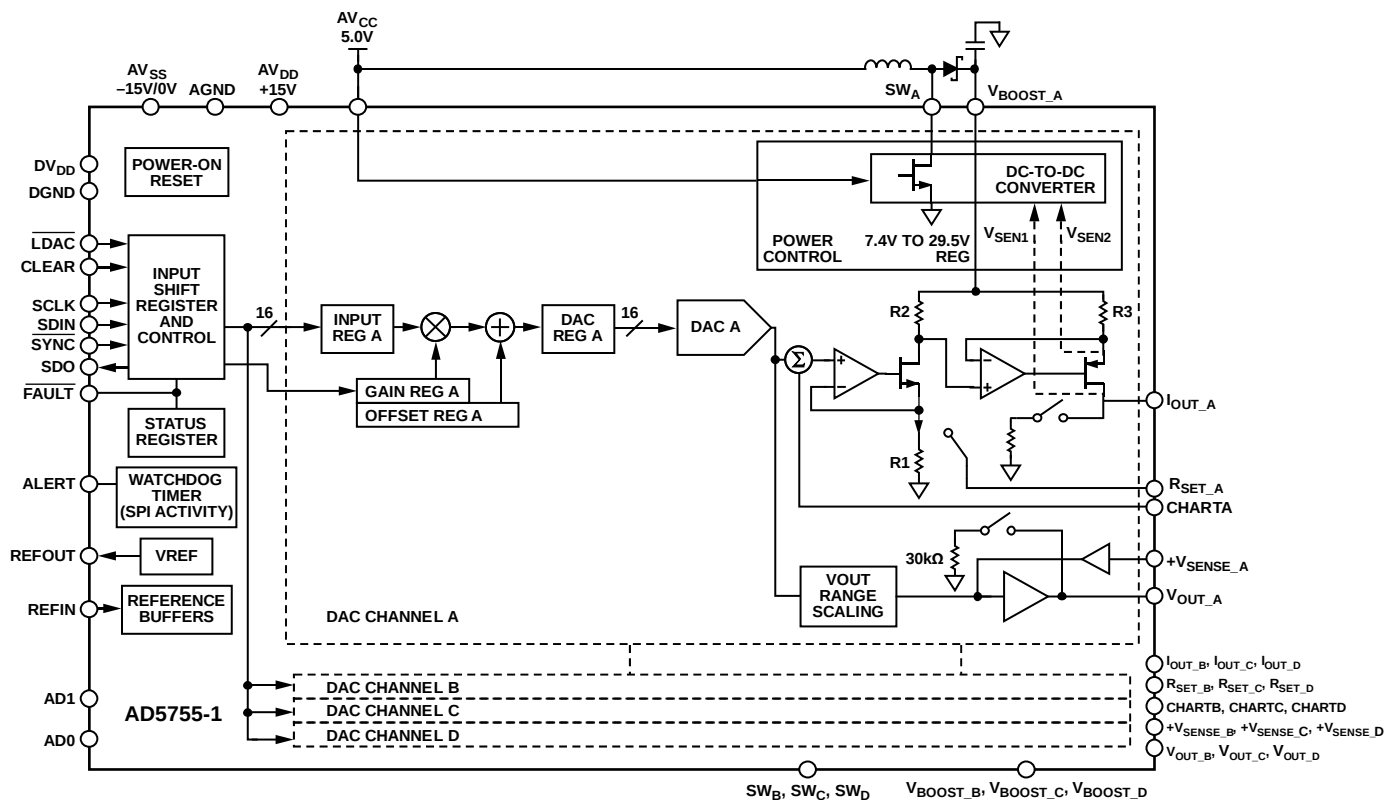


图2.

技术规格

$AV_{DD} = V_{BOOST_X} = 15\text{ V}$; $AV_{SS} = -15\text{ V}/0\text{ V}$; $DV_{DD} = 2.7\text{ V}$ 至 5.5 V ; $AV_{CC} = 4.5\text{ V}$ 至 5.5 V ; DC-DC转换器禁用; $AGND = DGND = GND$; $SW_X = 0\text{ V}$; $REFIN = 5\text{ V}$; 电压输出: $R_L = 1\text{ k}\Omega$, $C_L = 220\text{ pF}$; 电流输出: $R_L = 300\text{ }\Omega$; 除非另有说明, 所有规格均为 T_{MIN} 至 T_{MAX} 。

表1.

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
电压输出					
输出电压范围	0		5	V	
	0		10	V	
	-5		+5	V	
	-10		+10	V	
	0		6	V	
	0		12	V	
	-6		+6	V	
	-12		+12	V	
精度(双极性电源)					$AV_{SS} = -15\text{ V}$, 有负载和无负载
分辨率	16			Bits	
总不可调整误差(TUE)	-0.04		+0.04	% FSR	$T_A = 25^\circ\text{C}$
	-0.03	± 0.0032	+0.03	% FSR	1000小时后漂移, $T_J = 150^\circ\text{C}$
TUE长期稳定性		35		ppm FSR	范围: 0 V 至 5 V , 0 V 至 10 V , $\pm 5\text{ V}$, $\pm 10\text{ V}$
相对精度(INL)	-0.006	± 0.0012	+0.006	% FSR	超量程
	-0.008	± 0.0012	+0.008	% FSR	保证单调性
差分非线性(DNL)	-1		+1	LSB	
零刻度误差	-0.03	± 0.002	+0.03	% FSR	
零刻度 TC^2		± 2		ppm FSR/ $^\circ\text{C}$	
双极性零误差	-0.03	± 0.002	+0.03	% FSR	
双极性零刻度 TC^2		± 1		ppm FSR/ $^\circ\text{C}$	
失调误差	-0.03	± 0.002	+0.03	% FSR	
失调 TC^2		± 2		ppm FSR/ $^\circ\text{C}$	
增益误差	-0.03	± 0.004	+0.03	% FSR	
增益 TC^2		± 3		ppm FSR/ $^\circ\text{C}$	
满量程误差	-0.03	± 0.002	+0.03	% FSR	
满量程 TC^2		± 2		ppm FSR/ $^\circ\text{C}$	
精度(单极性电源) ¹²					$AV_{SS} = 0\text{ V}$
总不可调整误差(TUE)	-0.06	± 0.025	+0.06	% FSR	
相对精度(INL) ³	-0.009		+0.009	% FSR	
差分非线性(DNL)	-1		+1	LSB	保证单调性
零刻度误差		+0.22		% FSR	
失调误差	-0.07	± 0.025	+0.07	% FSR	
增益误差	-0.07	± 0.015	+0.07	% FSR	
满量程误差	-0.06	± 0.015	+0.06	% FSR	
输出特性 ²					
上裕量		1	2.2	V	相对于 V_{BOOST} 电源电压
下裕量		0.7	1.4	V	相对于 AV_{SS} 电源电压, 双极性输出范围
输出电压漂移与时间的关系		20		ppm FSR	1000小时后漂移, $\frac{3}{4}$ 刻度输出, $T_J = 150^\circ\text{C}$, $AV_{SS} = -15\text{ V}$
短路电流	12/6	16/8		mA	用户可编程, 默认值为16 mA(典型值)
负载	1			k Ω	额定性能
容性负载稳定性			10	nF	
			2	μF	连接220 pF外部补偿电容
直流输出阻抗		0.06		Ω	
直流电源抑制比(DC PSRR)		50		$\mu\text{V/V}$	
直流串扰		24		μV	

AD5755-1

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
电流输出					
输出电流范围	0		24	mA	
	0		20	mA	
	4		20	mA	
分辨率	16			Bits	
精度(外部 R_{SET})					假设为理想电阻；更多信息参见“外部电流设置电阻”部分
总不可调整误差(TUE)	−0.05	±0.009	+0.05	% FSR	1000小时后漂移, $T_J = 150^{\circ}\text{C}$
TUE长期稳定性		100		ppm FSR	
相对精度(INL)	−0.006		+0.006	% FSR	保证单调性
差分非线性(DNL)	−1		+1	LSB	
失调误差	−0.05	±0.005	+0.05	% FSR	
失调误差漂移 ²		±4		ppm FSR/ $^{\circ}\text{C}$	
增益误差	−0.05	±0.004	+0.05	% FSR	
增益 TC^2		±3		ppm FSR/ $^{\circ}\text{C}$	
满量程误差	−0.05	±0.008	+0.05	% FSR	
满量程 TC^2		±5		ppm FSR/ $^{\circ}\text{C}$	
直流串扰		0.0005		% FSR	外部 R_{SET}
精度(内部 R_{SET})					
总不可调整误差(TUE) ^{4,5}	−0.14		+0.14	% FSR	$T_A = 25^{\circ}\text{C}$
	−0.11	±0.009	+0.11	% FSR	
TUE长期稳定性		180		ppm FSR	1000小时后漂移, $T_J = 150^{\circ}\text{C}$
相对精度(INL)	−0.006		+0.006	% FSR	
相对精度(INL)	−0.004		+0.004	% FSR	$T_A = 25^{\circ}\text{C}$
差分非线性(DNL)	−1		+1	LSB	
失调误差 ^{4,5}	−0.05		+0.05	% FSR	$T_A = 25^{\circ}\text{C}$
	−0.04	±0.007	+0.04	% FSR	
失调误差漂移 ²		±6		ppm FSR/ $^{\circ}\text{C}$	
增益误差	−0.12		+0.12	% FSR	
	−0.06	±0.002	+0.06	% FSR	$T_A = 25^{\circ}\text{C}$
增益 TC^2		±9		ppm FSR/ $^{\circ}\text{C}$	
满量程误差 ^{4,5}	−0.14		+0.14	% FSR	$T_A = 25^{\circ}\text{C}$
	−0.1	±0.007	+0.1	% FSR	
满量程 TC^2		±14		ppm FSR/ $^{\circ}\text{C}$	内部 R_{SET}
直流串扰 ⁵		−0.011		% FSR	
输出特性 ²					
电流环路顺从电压		$V_{BOOST_X} - 2.4$	$V_{BOOST_X} - 2.7$	V	
输出电流漂移与时间的关系		90		ppm FSR	1000小时后漂移, $\frac{3}{4}$ 刻度输出, $T_J = 150^{\circ}\text{C}$
		140		ppm FSR	
阻性负载			1000	Ω	外部 R_{SET}
输出阻抗		100		M Ω	内部 R_{SET}
直流电源抑制比(DC PSRR)		0.02	1	$\mu\text{A/V}$	DC-DC转换器的最大负载为1 k, 选择时不超过合规要求即可；参见图53和表25中的DC-DC MaxV位

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
基准电压输入/输出					
基准输入 ²					
基准输入电压	4.95	5	5.05	V	额定性能
直流输入阻抗	45	150		MΩ	
基准输出					
输出电压	4.995	5	5.005	V	T _A = 25°C
基准TC ²	-10	±5	+10	ppm/°C	
输出噪声(0.1 Hz至10 Hz) ²		7		μV p-p	
噪声频谱密度 ²		100		nV/√Hz	At 10 kHz
输出电压漂移与时间的关系 ²		180		ppm	1000小时后漂移, T _J = 150°C
容性负载 ²		1000		nF	
负载电流		9		mA	见图64
短路电流		10		mA	
电压调整率 ²		3		ppm/V	见图65
负载调整率 ²		95		ppm/mA	见图64
热滞 ²		160		ppm	第一温度周期
		5		ppm	第二温度周期
DC-DC					
开关					
开关导通电阻		0.425		Ω	
开关漏电流		10		nA	
峰值电流限制		0.8		A	
振荡器					
振荡器频率	11.5	13	14.5	MHz	该振荡器经分频后, 给DC-DC转换器提供开关频率
最大占空比		89.6		%	410 kHz DC-DC开关频率
数字输入 ²					符合JEDEC标准
输入高电压V _{IH}	2			V	
输入低电压V _{IL}			0.8	V	
输入电流	-1		+1	μA	每引脚
引脚电容		2.6		pF	每引脚
数字输出 ²					
SDO、ALERT					
输出低电压V _{OL}			0.4	V	吸电流200 μA
输出高电压V _{OH}	DVDD - 0.5			V	源电流200 μA
高阻抗漏电流	-1		+1	μA	
高阻抗输出电容		2.5		pF	
FAULT					
输出低电压V _{OL}			0.4	V	10 kΩ上拉电阻, 至DV _{DD}
输出低电压V _{OL}		0.6		V	2.5 mA时
输出高电压V _{OH}	3.6			V	10 kΩ上拉电阻, 至DV _{DD}
电源要求					
AV _{DD}	9		33	V	
AV _{SS}	-26.4		-10.8/0	V	
DV _{DD}	2.7		5.5	V	
AV _{CC}	4.5		5.5	V	

AD5755-1

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
I_{DD}		8.6	10.5	mA	所有通道均为电压输出模式，输出端空载，电源电压范围内
I_{SS}	−11	7	7.5	mA	所有通道均为电流输出模式
	−1.7	−8.8		mA	所有通道均为电压输出模式，输出端空载，电源电压范围内
I_{CC}		9.2	11	mA	所有通道均为电流输出模式
I_{CC}			1	mA	$V_{IH} = DV_{DD}$ ， $V_{IL} = DGND$ ，内部振荡器处于运行状态，电源电压范围内
I_{BOOST}			2.7	mA	输出端空载，电源电压范围内
I_{BOOST}^6			1	mA	每通道，电压输出模式，输出端空载，电源电压范围内
功耗		173		mW	每通道，电流输出模式，0 mA输出
					$AV_{DD} = +15\text{ V}$ ， $AV_{SS} = -15\text{ V}$ ，DC-DC转换器使能，电流输出模式，输出禁用

¹ 温度范围：−40°C至+105°C；典型值+25°C。

² 通过设计和特性保证，但未经生产测试。

³ 对于单极性电源模式下的电压输出范围，INL和TUE是从代码4096开始测量。

⁴ 对于采用内部 R_{SET} 的电流输出，失调、满量程和TUE测量不包括直流串扰。测量在所有4个通道均使能并加载相同代码的情况下进行。

⁵ 有关直流串扰的详细说明，参见“采用内部RSET的电流输出模式”部分。

⁶ 图55、图56、图57和图58所示的效率曲线图包含 I_{BOOST} 静态电流。

交流工作特性

$AV_{DD} = V_{BOOST_x} = 15\text{ V}$ ； $AV_{SS} = -15\text{ V}$ ； $DV_{DD} = 2.7\text{ V}$ 至 5.5 V ； $AV_{CC} = 4.5\text{ V}$ 至 5.5 V ；DC-DC转换器禁用； $AGND = DGND = GND$ ； $SW_X = 0\text{ V}$ ； $REFIN = 5\text{ V}$ ；电压输出： $R_L = 2\text{ k}\Omega$ ， $C_L = 220\text{ pF}$ ；电流输出： $R_L = 300\text{ }\Omega$ ；除非另有说明，所有规格均为 T_{MIN} 至 T_{MAX} 。

表2.

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
动态性能					
电压输出					
输出电压建立时间	11		18	μs	5 V阶跃至±0.03% FSR，0 V至5 V范围
			13	μs	10 V阶跃至±0.03% FSR，0 V至10 V范围
				μs	100 mV阶跃至1 LSB(16位LSB)，0 V至10 V范围
压摆率	1.9			V/ μs	0 V至10 V范围
上电毛刺能量	150			nV-sec	
数模转换脉冲干扰	6			nV-sec	
毛刺脉冲峰值幅度	25			mV	
数字馈通	1			nV-sec	
DAC间串扰	2			nV-sec	0 V至10 V范围
输出噪声(0.1 Hz至10 Hz带宽)	0.15			LSB p-p	16位LSB，0 V至10 V范围
输出噪声频谱密度	150			nV/ $\sqrt{\text{Hz}}$	测量条件：10 kHz、中间电平输出、0 V至10 V范围
交流电源抑制比(AC PSRR)	83			dB	200 mV、50 Hz/60 Hz正弦波叠加于电源电压上
电流输出					
输出电流建立时间	15			μs	至0.1% FSR(0 mA至24 mA)
	参见测试条件/注释			ms	参见图49、图50和图51
输出噪声(0.1 Hz至10 Hz带宽)	0.15			LSB p-p	16位LSB，0 mA至24 mA范围
输出噪声频谱密度	0.5			nA/ $\sqrt{\text{Hz}}$	测量条件：10 kHz、中间电平输出、0 mA至24 mA范围

¹ 通过设计和特性保证，但未经生产测试。

时序特性

$AV_{DD} = V_{BOOST_X} = 15\text{ V}$; $AV_{SS} = -15\text{ V}$; $DV_{DD} = 2.7\text{ V}$ 至 5.5 V ; $AV_{CC} = 4.5\text{ V}$ 至 5.5 V ; DC-DC转换器禁用; $AGND = DGND = GND$; $SW_X = 0\text{ V}$; $REFIN = 5\text{ V}$; 电压输出: $R_L = 1\text{ k}\Omega$, $C_L = 220\text{ pF}$; 电流输出: $R_L = 300\text{ }\Omega$; 除非另有说明, 所有规格均为 T_{MIN} 至 T_{MAX} 。

表3.

参数 ^{1, 2, 3}	在 T_{MIN} 、 T_{MAX} 的限值	单位	描述
t_1	33	ns(最小值)	SCLK周期时间
t_2	13	ns(最小值)	SCLK高电平时间
t_3	13	ns(最小值)	SCLK低电平时间
t_4	13	ns(最小值)	$\overline{SYNC}$ 下降沿到SCLK下降沿建立时间
t_5	13	ns(最小值)	第24/32个SCLK下降沿到 $\overline{SYNC}$ 上升沿(参见图78)
t_6	198	ns(最小值)	$\overline{SYNC}$ 高电平时间
t_7	5	ns(最小值)	数据建立时间
t_8	5	ns(最小值)	数据保持时间
t_9	20	μs (最小值)	$\overline{SYNC}$ 上升沿到 $\overline{LDAC}$ 下降沿(全部DAC更新, 或者任意通道使能数字压摆率控制)
	5	μs (最小值)	$\overline{SYNC}$ 上升沿到 $\overline{LDAC}$ 下降沿(单个DAC更新)
t_{10}	10	ns(最小值)	$\overline{LDAC}$ 低电平脉冲宽度
t_{11}	500	ns(最大值)	$\overline{LDAC}$ 下降沿到DAC输出响应时间
t_{12}	参见“交流工作特性”部分	μs (最大值)	DAC输出建立时间
t_{13}	10	ns(最小值)	CLEAR高电平时间
t_{14}	5	μs (最大值)	CLEAR激活时间
t_{15}	40	ns(最大值)	SCLK上升沿到SDO有效
t_{16}	21	μs (最小值)	$\overline{SYNC}$ 上升沿到DAC输出响应时间($\overline{LDAC} = 0$)(全部DAC更新)
	5	μs (最小值)	$\overline{SYNC}$ 上升沿到DAC输出响应时间($\overline{LDAC} = 0$)(单个DAC更新)
t_{17}	500	ns(最小值)	$\overline{LDAC}$ 下降沿到 $\overline{SYNC}$ 上升沿
t_{18}	800	ns(最小值)	RESET 脉冲宽度
t_{19}^4	20	μs (最小值)	$\overline{SYNC}$ 高电平到下一个 $\overline{SYNC}$ 低电平(数字压摆率控制使能)(全部DAC更新)
	5	μs (最小值)	$\overline{SYNC}$ 高电平到下一个 $\overline{SYNC}$ 低电平(数字压摆率控制禁用)(单个DAC更新)

¹ 通过设计和特性保证, 但未经生产测试。

² 所有输入信号均指定 $t_r = t_f = 5\text{ ns}$ (DV_{DD} 的10%到90%), 并从1.2 V电平起开始计时。

³ 参见图3、图4、图5和图6。

⁴ 此特性适用于LDAC在写周期保持低电平时; 否则参见 t_9 。

时序图

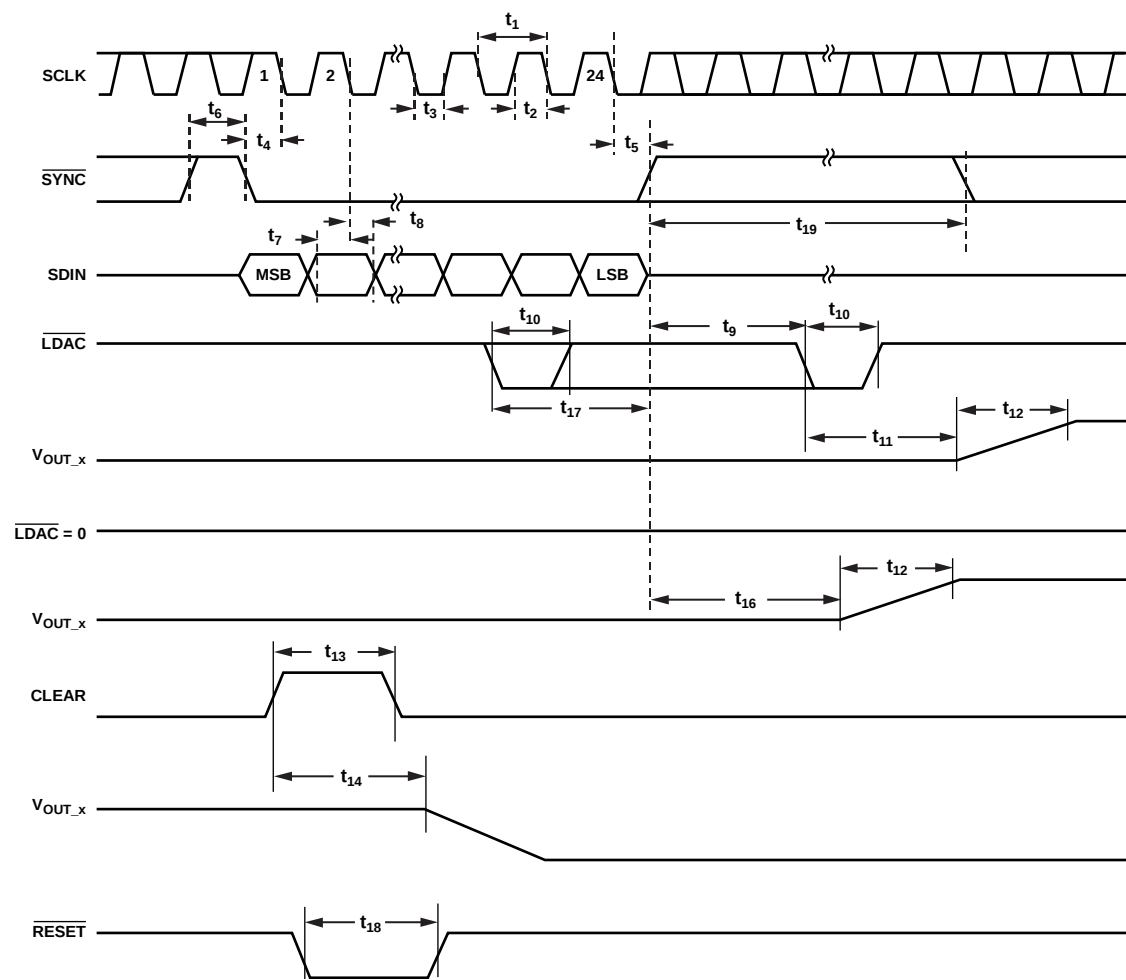


图3. 串行接口时序图

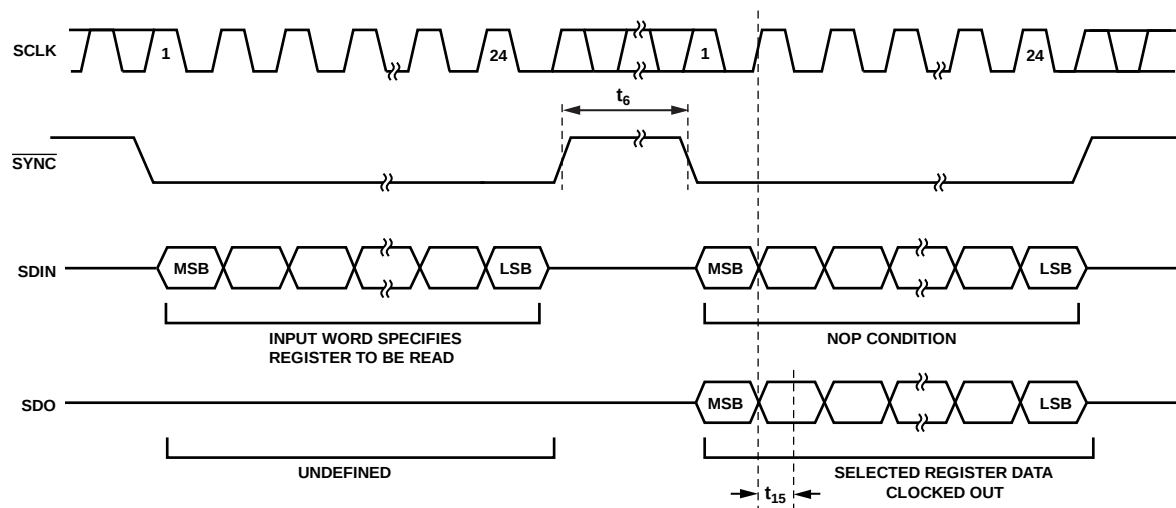


图4. 回读时序图

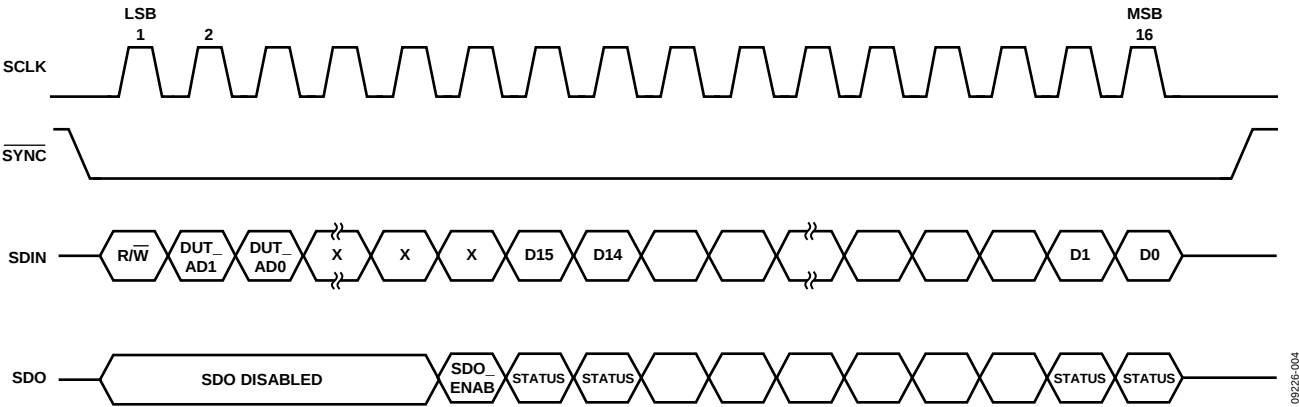


图5. 写入期间回读状态

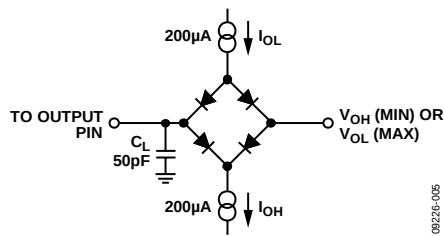


图 6. SDO时序图负载电路

AD5755-1

绝对最大额定值

除非另有说明， $T_A = 25^{\circ}\text{C}$ 。100 mA以下的瞬态电流不会造成SCR闩锁。

表4.

参数	额定值
AV_{DD} 、 V_{BOOST_X} 至AGND、DGND	−0.3 V至+33 V
AV_{SS} 至AGND、DGND	+0.3 V至−28 V
AV_{DD} 至 AV_{SS}	−0.3 V至+60 V
AV_{CC} 至AGND	−0.3 V至+7 V
DV_{DD} 至DGND	−0.3 V至+7 V
数字输入至DGND	−0.3 V至 $DV_{DD} + 0.3\text{ V}$ 或+7 V (取较小者)
数字输出至DGND	−0.3 V至 $DV_{DD} + 0.3\text{ V}$ 或+7 V (取较小者)
REFIN、REFOUT至AGND	−0.3 V至 $AV_{DD} + 0.3\text{ V}$ 或+7 V (取较小者)
V_{OUT_X} 至AGND	AV_{SS} 至 V_{BOOST_X} 或33 V (若使用DC-DC电路)
+ V_{SENSE_X} 至AGND	AV_{SS} 至 V_{BOOST_X} 或33 V (若使用DC-DC电路)
I_{OUT_X} 至AGND	AV_{SS} 至 V_{BOOST_X} 或33 V (若使用DC-DC电路)
SW_X 至AGND	−0.3至+33 V
AGND、 $GNDSW_X$ 至DGND	−0.3 V至+0.3 V
工作温度范围(T_A)	
工业 ¹	−40°C至+105°C
存储温度范围	−65°C至+150°C
结温(T_{Jmax})	125°C
64引脚 LFCSP	
θ_{JA} 热阻 ²	28°C/W
功耗	$(T_{Jmax} - T_A)/\theta_{JA}$
引脚温度	JEDEC工业标准
焊接	J-STD-020

¹ 为使结温低于125°C，必须降低芯片额定功耗。

² 基于JEDEC 4层测试板。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

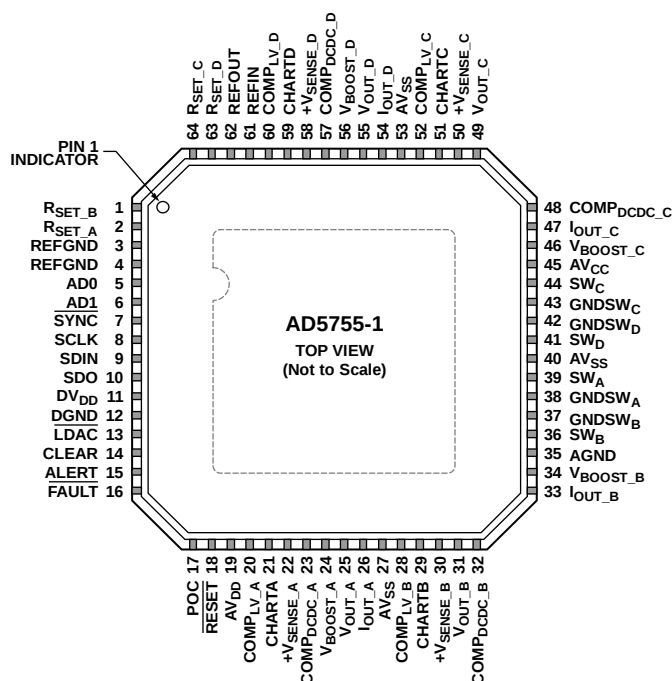
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. THE EXPOSED PAD SHOULD BE CONNECTED TO THE POTENTIAL OF THE AV_{SS} PIN, OR, ALTERNATIVELY, IT CAN BE LEFT ELECTRICALLY UNCONNECTED. IT IS RECOMMENDED THAT THE PAD BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

9266-006

图7. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	描述
1	R _{SET_B}	可将一个外部精密、低漂移、15 kΩ电流设置电阻连接到此引脚，提高I _{OUT_B} 温度漂移性能。参见“产品特性”部分。
2	R _{SET_A}	可将一个外部精密、低漂移、15 kΩ电流设置电阻连接到此引脚，提高I _{OUT_A} 温度漂移性能。参见“产品特性”部分。
3, 4	REFGND	内部基准电压源的地基准点。
5	AD0	片上待测器件(DUT)的地址解码引脚。
6	AD1	片上DUT的地址解码引脚。使用PEC时，不建议将AD1和AD0均接低电平(参见“分组差错校验”部分)。
7	<u>SYNC</u>	低电平输入有效。这是串行接口的帧同步信号。当 $\overline{\text{SYNC}}$ 处于低电平时，数据在SCLK下降沿输入。
8	SCLK	串行时钟输入。数据在SCLK下降沿读入输入移位寄存器。此引脚的工作时钟速度最高可达30 MHz。
9	SDIN	串行数据输入。数据必须在SCLK的下降沿有效。
10	SDO	串行数据输出。用于以回读模式从串行寄存器逐个输出数据。请参见图4和图5。
11	DV _{DD}	数字电源。电压范围为2.7 V至5.5 V。
12	DGND	数字地。
13	<u>LDAC</u>	加载DAC，低电平输入有效。用于更新DAC寄存器和DAC输出。当永久接为低电平时，在 $\overline{\text{SYNC}}$ 的上升沿更新所寻址的DAC数据寄存器。如果 $\overline{\text{LDAC}}$ 在写入周期保持高电平，DAC输入寄存器会更新，但DAC输出更新仅发生在 $\overline{\text{LDAC}}$ 的下降沿(参见图3)。利用该模式可以同时更新所有模拟输出。 $\overline{\text{LDAC}}$ 引脚不能悬空。
14	CLEAR	高电平有效边沿敏感输入。置位该引脚可将输出电流和电压设为预编程的清零代码位设置。只有已使能清零功能的通道才会被清零。更多详情参见“产品特性”部分。当CLEAR功能激活时，不能向DAC输出寄存器写入数据。

AD5755-1

引脚编号	引脚名称	描述
15	ALERT	高电平有效输出。当接口引脚在预定时间内无SPI活动时，该引脚将被置位。更多详情参见“产品特性”部分。
16	FAULT	低电平有效输出。当检测到电流模式的开路或电压模式的短路时，或者检测到PEC错误或者过热状态时，该引脚将被置位低电平(详见“产品特性”部分)。开漏输出。
17	POC	上电条件。该引脚决定上电条件，在上电期间或器件复位后读取。如果POC=0，则器件上电时，其电压和电流通道均为三态模式。如果POC=1，则器件上电时，电压输出通道上有一个接地的30 kΩ下拉电阻，电流通道为三态模式。
18	RESET	硬件复位，低电平有效输入。
19	AV _{DD}	正模拟电源。电压范围为9 V至33 V。
20	COMP _{LV_A}	V _{OUT_A} 输出缓冲的可选补偿电容连接。在此引脚与V _{OUT_A} 引脚之间连接一个220 pF电容允许电压输出驱动最高2 μF。应注意，增加此电容会降低输出放大器的带宽，从而增加建立时间。
21	CHARTA	DAC通道A的HART输入连接。
22	+V _{SENSE_A}	V _{OUT_A} 正电压输出负载连接的检测连接。
23	COMP _{DCDC_A}	DC-DC补偿电容。应将一个10 nF电容连接在此引脚与地之间。用于调节通道A DC-DC转换器的反馈环路。或者，当采用外部补偿电阻时，将一个电阻与一个电容串联起来，然后连接在此引脚与地之间(详见“产品特性”部分中的“DC-DC转换器补偿电容”和“AICC电源要求—压摆率”部分)。
24	V _{BOOST_A}	通道A电流输出级的电源引脚(见图73)。同时也是V _{OUT_x} 级的电源引脚，由DC-DC转换器调节至15 V。若要使用器件的DC-DC功能，须按照图80所示进行连接。
25	V _{OUT_A}	DAC通道A的缓冲模拟输出电压。
26	I _{OUT_A}	DAC通道A的电流输出引脚。
27	AV _{SS}	负模拟电源。电压范围为0 V至−26.4 V。
28	COMP _{LV_B}	V _{OUT_B} 输出缓冲的可选补偿电容连接。在此引脚与V _{OUT_B} 引脚之间连接一个220 pF电容允许电压输出驱动最高2 μF。应注意，增加此电容会降低输出放大器的带宽，从而增加建立时间。
29	CHARTB	DAC通道B的HART输入连接。
30	+V _{SENSE_B}	V _{OUT_B} 正电压输出负载连接的检测连接。
31	V _{OUT_B}	DAC通道B的缓冲模拟输出电压。
32	COMP _{DCDC_B}	DC-DC补偿电容。应将一个10 nF电容连接在此引脚与地之间。用于调节通道B DC-DC转换器的反馈环路。或者，当采用外部补偿电阻时，将一个电阻与一个电容串联起来，然后连接在此引脚与地之间(详见“产品特性”部分中的“DC-DC转换器补偿电容”和“AICC电源要求—压摆率”部分)。
33	I _{OUT_B}	DAC通道B的电流输出引脚。
34	V _{BOOST_B}	通道B电流输出级的电源引脚(见图73)。同时也是V _{OUT_x} 级的电源引脚，由DC-DC转换器调节至15 V。若要使用器件的DC-DC功能，须按照图80所示进行连接。
35	AGND	模拟电路的地参考点。此引脚必须连接到0 V。
36	SW _B	通道B DC-DC电路的开关输出引脚。若要使用器件的DC-DC功能，须按照图80所示进行连接。
37	GNDSW _B	DC-DC开关电路的地连接引脚。此引脚应始终连接到地。
38	GNDSW _A	DC-DC开关电路的地连接引脚。此引脚应始终连接到地。
39	SW _A	通道A DC-DC电路的开关输出引脚。若要使用器件的DC-DC功能，须按照图80所示进行连接。
40	AV _{SS}	负模拟电源引脚。电压范围为−10.8 V至−26.4 V。如果在单极性电源模式下使用器件，此引脚可以连接到0 V。
41	SW _D	通道D DC-DC电路的开关输出引脚。若要使用器件的DC-DC功能，须按照图80所示进行连接。
42	GNDSW _D	DC-DC开关电路的地连接引脚。此引脚应始终连接到地。
43	GNDSW _C	DC-DC开关电路的地连接引脚。此引脚应始终连接到地。
44	SW _C	通道C DC-DC电路的开关输出引脚。若要使用器件的DC-DC功能，须按照图80所示进行连接。
45	AV _{CC}	DC-DC电路的电源引脚。

引脚编号	引脚名称	描述
46	$V_{\text{BOOST_C}}$	通道C电流输出级的电源引脚(见图73)。同时也是 $V_{\text{OUT_X}}$ 级的电源引脚,由DC-DC转换器调节至15V。若要使用器件的DC-DC功能,须按照图80所示进行连接。
47	$I_{\text{OUT_C}}$	DAC通道C的电流输出引脚。
48	$\text{COMP}_{\text{DCDC_C}}$	DC-DC补偿电容。应将一个10 nF电容连接在此引脚与地之间。用于调节通道C DC-DC转换器的反馈环路。或者,当采用外部补偿电阻时,将一个电阻与一个电容串联起来,然后连接在此引脚与地之间(详见“产品特性”部分中的“DC-DC转换器补偿电容”和“ AI_{CC} 电源要求—压摆率”部分)。
49	$V_{\text{OUT_C}}$	DAC通道C的缓冲模拟输出电压。
50	$+V_{\text{SENSE_C}}$	$V_{\text{OUT_C}}$ 正电压输出负载连接的检测连接。
51	CHARTC	DAC通道C的HART输入连接。
52	$\text{COMP}_{\text{LV_C}}$	$V_{\text{OUT_C}}$ 输出缓冲的可选补偿电容连接。在此引脚与 $V_{\text{OUT_C}}$ 引脚之间连接一个220 pF电容允许电压输出驱动最高2 μF 。应注意,增加此电容会降低输出放大器的带宽,从而增加建立时间。
53	AV_{SS}	负模拟电源引脚。
54	$I_{\text{OUT_D}}$	DAC通道D的电流输出引脚。
55	$V_{\text{OUT_D}}$	DAC通道D的缓冲模拟输出电压。
56	$V_{\text{BOOST_D}}$	通道D电流输出级的电源引脚(见图73)。同时也是 $V_{\text{OUT_X}}$ 级的电源引脚,由DC-DC转换器调节至15 V。若要使用器件的DC-DC功能,须按照图80所示进行连接。
57	$\text{COMP}_{\text{DCDC_D}}$	DC-DC补偿电容。应将一个10 nF电容连接在此引脚与地之间。用于调节通道D DC-DC转换器的反馈环路。或者,当采用外部补偿电阻时,将一个电阻与一个电容串联起来,然后连接在此引脚与地之间(详见“产品特性”部分中的“DC-DC转换器补偿电容”和“ AI_{CC} 电源要求—压摆率”部分)。
58	$+V_{\text{SENSE_D}}$	$V_{\text{OUT_D}}$ 正电压输出负载连接的检测连接。
59	CHARTD	DAC通道D的HART输入连接。
60	$\text{COMP}_{\text{LV_D}}$	$V_{\text{OUT_D}}$ 输出缓冲的可选补偿电容连接。在此引脚与 $V_{\text{OUT_D}}$ 引脚之间连接一个220 pF电容允许电压输出驱动最高2 μF 。应注意,增加此电容会降低输出放大器的带宽,从而增加建立时间。
61	REFIN	外部基准电压输入。
62	REFOUT	内部基准电压输出。建议在REFOUT与REFGND之间放置一个0.1 μF 电容。 要使用内部基准电压,必须将REFOUT连接到REFIN。
63	$R_{\text{SET_D}}$	可将一个外部、精密、低漂移、15 k Ω 电流设置电阻连接到此引脚,提高 $I_{\text{OUT_D}}$ 温度漂移性能。参见“产品特性”部分。
64	$R_{\text{SET_C}}$	可将一个外部、精密、低漂移、15 k Ω 电流设置电阻连接到此引脚,提高 $I_{\text{OUT_C}}$ 温度漂移性能。参见“产品特性”部分。
	EPAD	裸露焊盘。此裸露焊盘应连接到 AV_{SS} 引脚的电位,或者不进行电气连接。建议将焊盘热连接到铜层,增强散热性能。

典型工作特性

电压输出

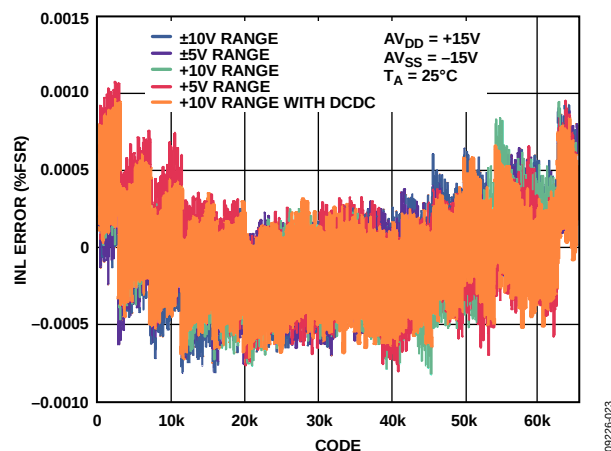


图8. 积分非线性误差与DAC代码的关系

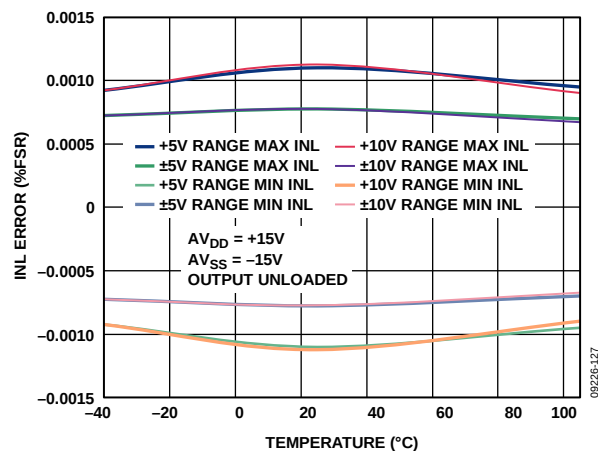


图11. 积分非线性误差与温度的关系

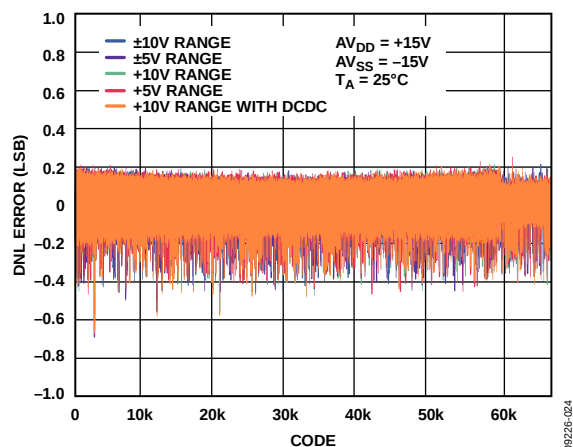


图9. 差分非线性误差与DAC代码的关系

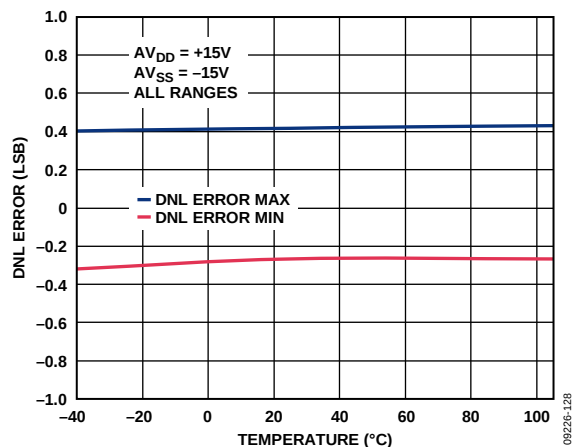


图12. 差分非线性误差与温度的关系

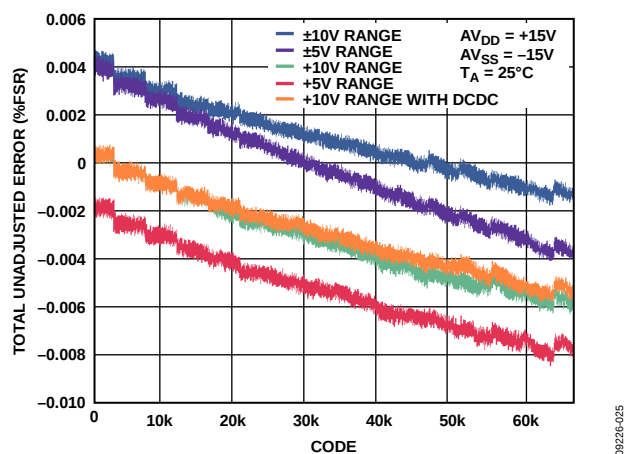


图10. 总不可调整误差与DAC代码的关系

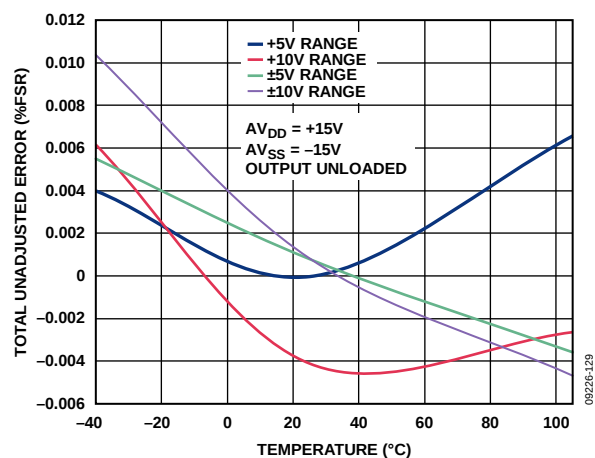


图13. 总不可调整误差与温度的关系

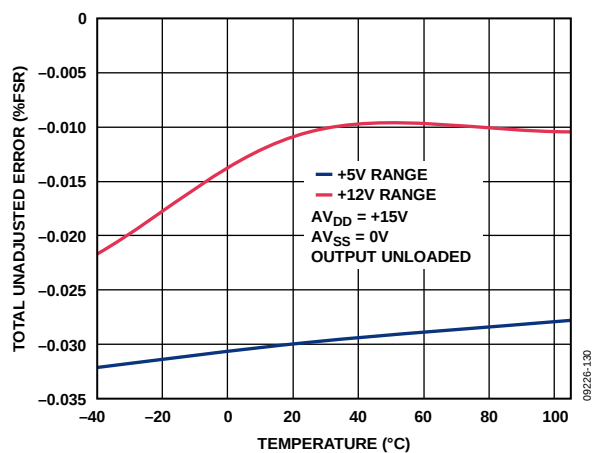


图14. 总不可调整误差与温度的关系(单电源)

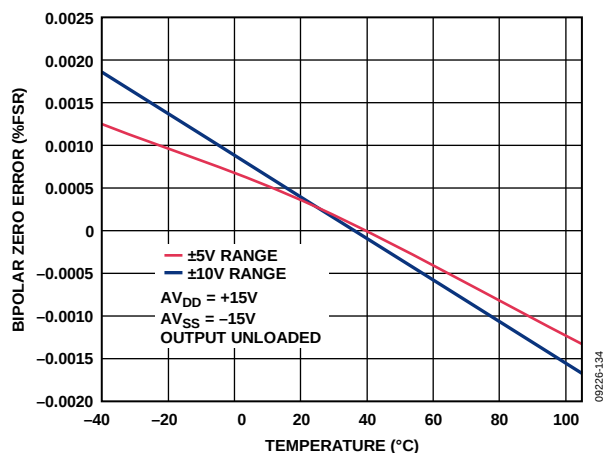


图17. 双极性零误差与温度的关系

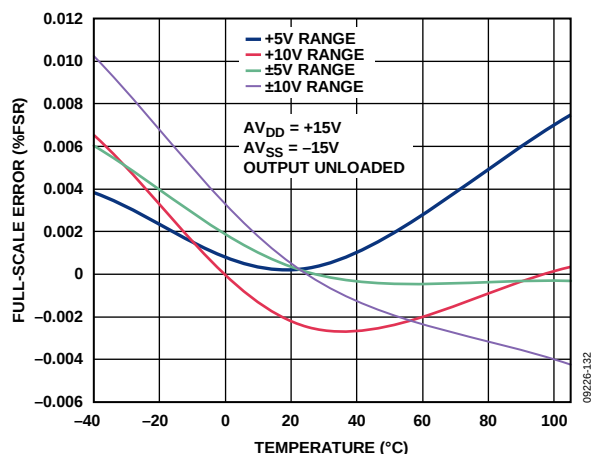


图15. 满量程误差与温度的关系

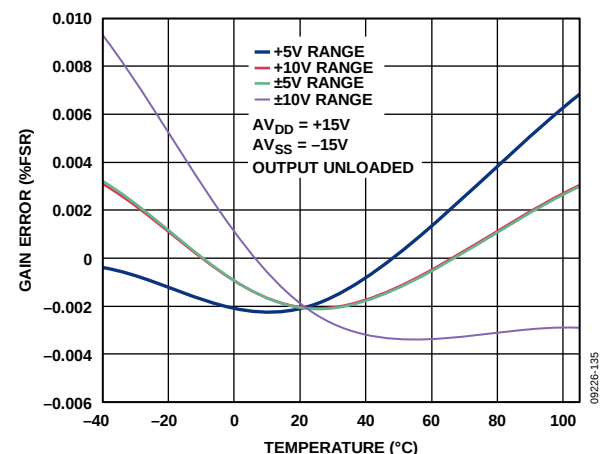


图18. 增益误差与温度的关系

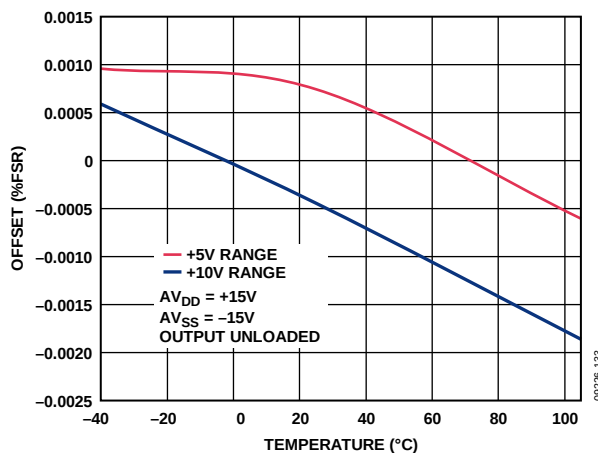


图16. 失调误差与温度的关系

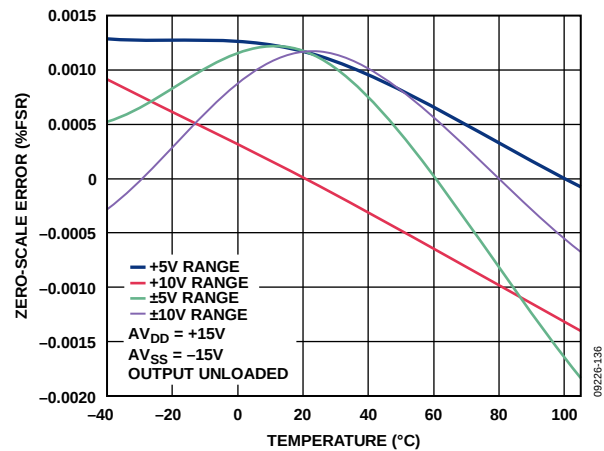


图19. 零电平误差与温度的关系

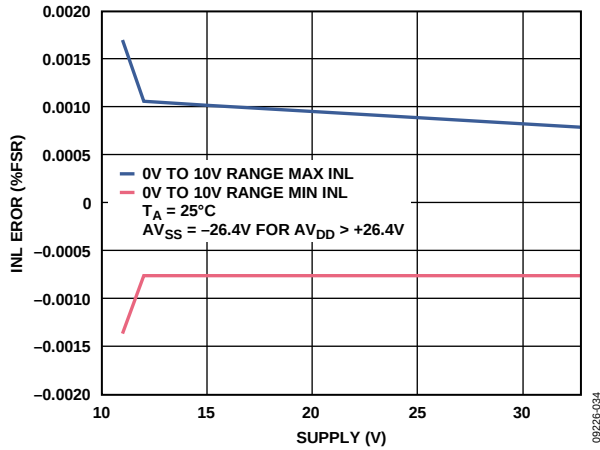


图20. 积分非线性误差与 $AV_{DD}/|AV_{SS}|$ 的关系

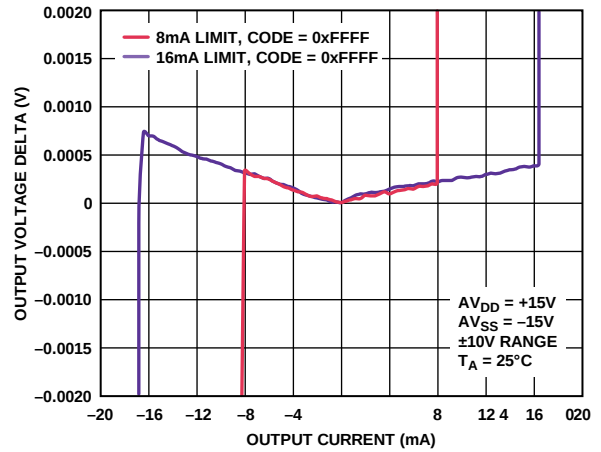


图23. 输出放大器的源电流和吸电流能力

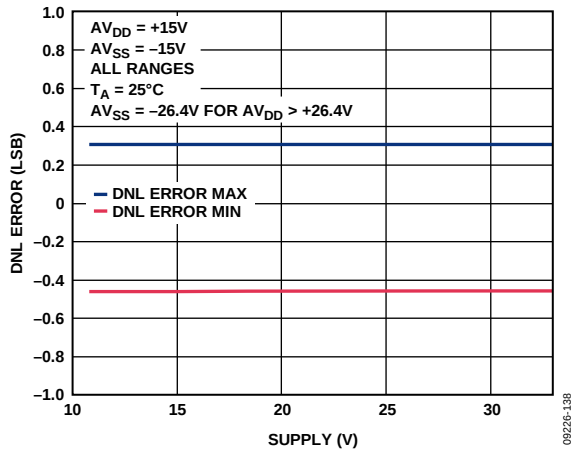


图21. 差分非线性误差与 $AV_{DD}/|AV_{SS}|$ 的关系

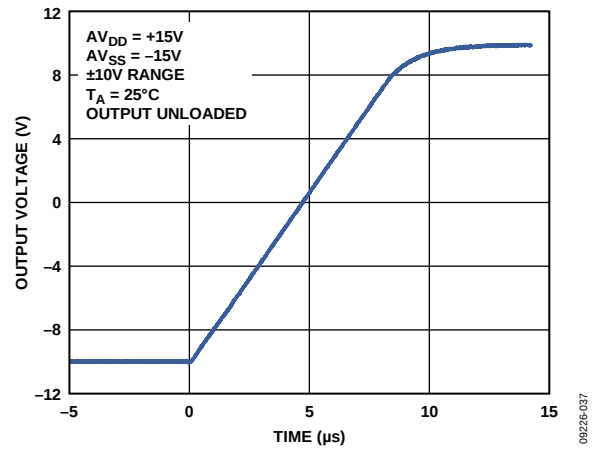


图24. 满刻度正阶跃

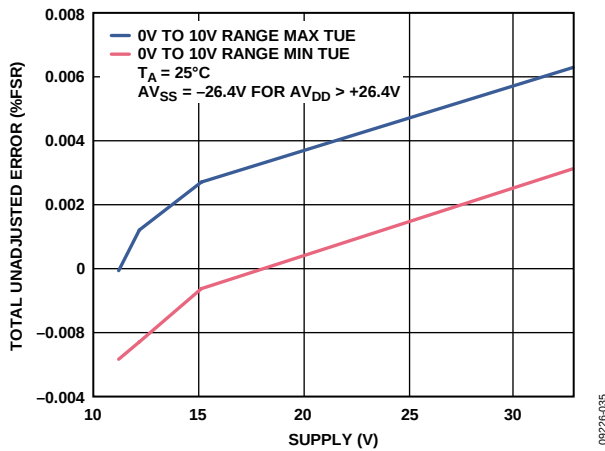


图22. 总非调整误差与 $AV_{DD}/|AV_{SS}|$ 的关系

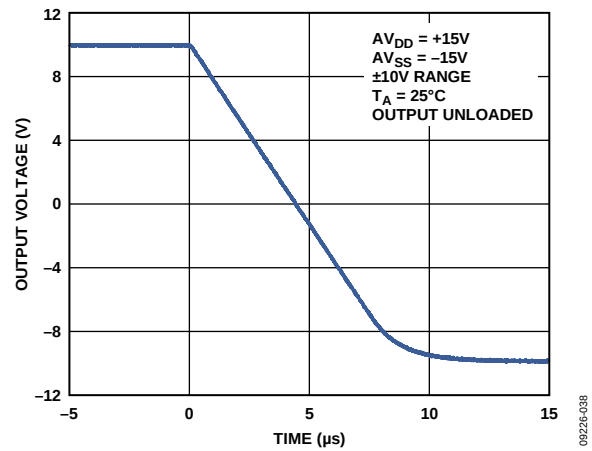


图25. 满刻度负阶跃

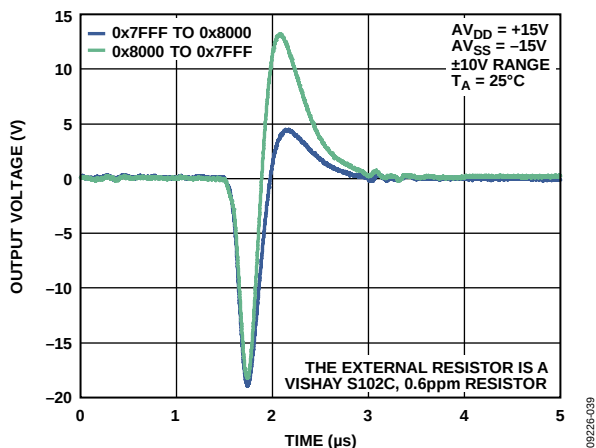


图26. 数模转换毛刺

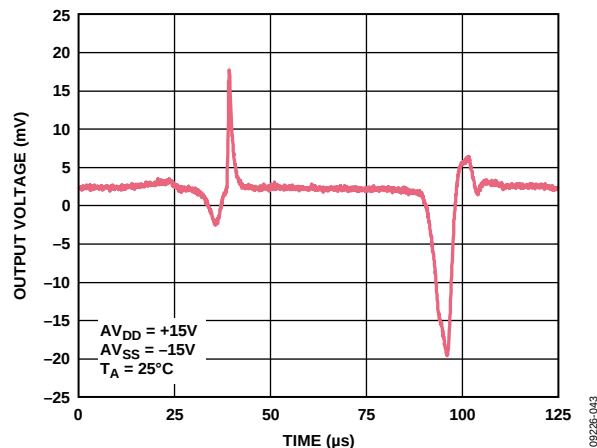
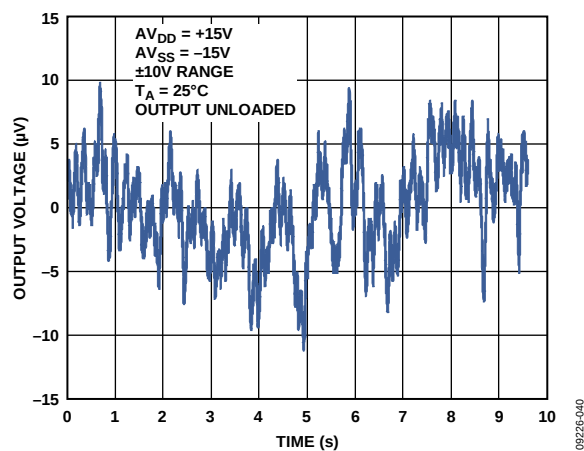
图29. V_{OUTx} 与上电时间的关系

图27. 峰峰值噪声(0.1 Hz至10 Hz带宽)

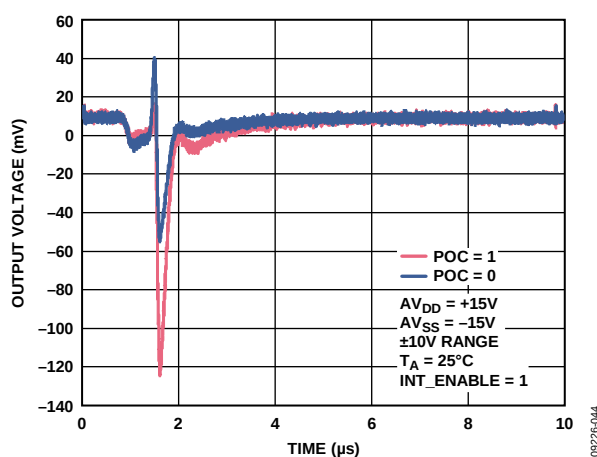
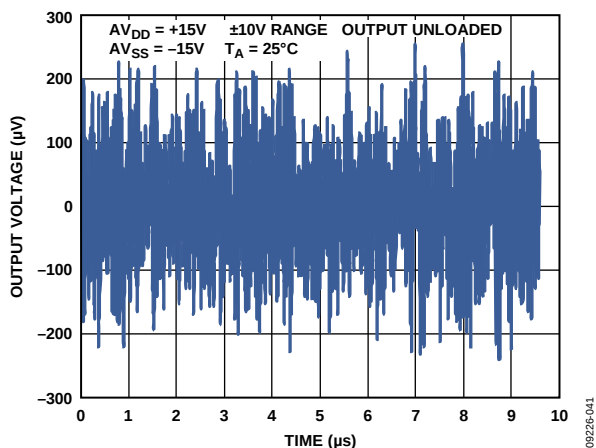
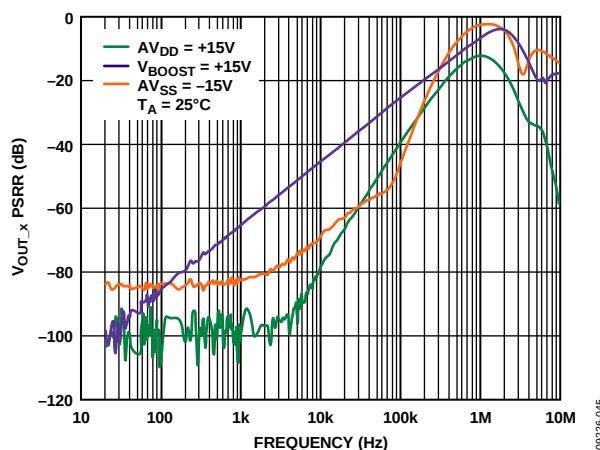
图30. V_{OUTx} 与输出使能时间的关系

图28. 峰峰值噪声(100 kHz带宽)

图31. V_{OUTx} PSRR与频率的关系

电流输出

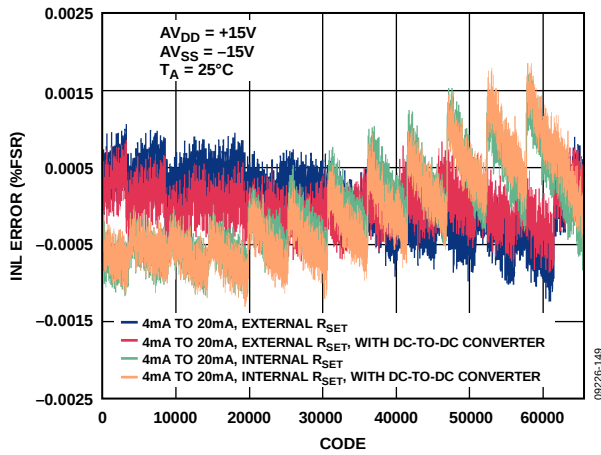


图32. 积分非线性与代码的关系

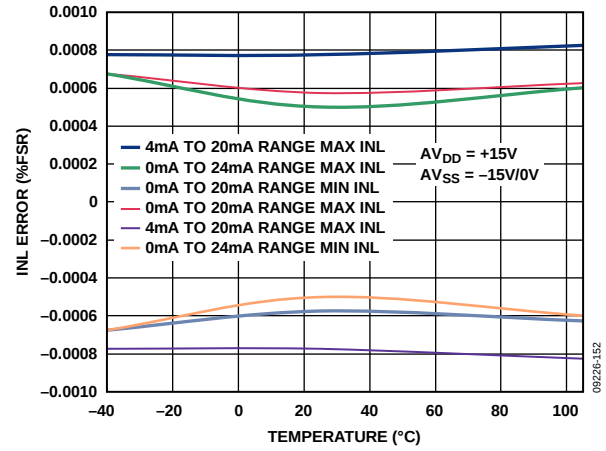


图35. 积分非线性与温度的关系, 内部 R_{SET}

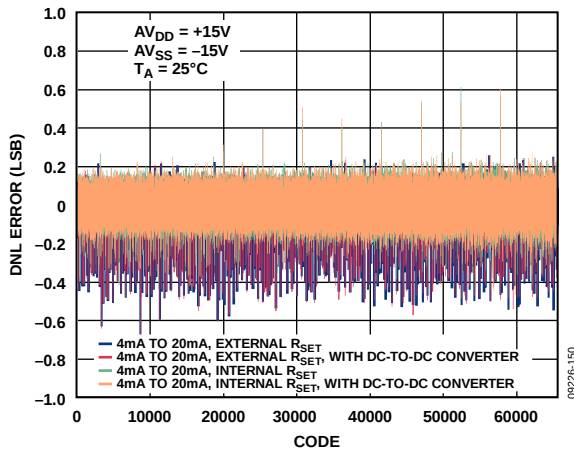


图33. 差分非线性与代码的关系

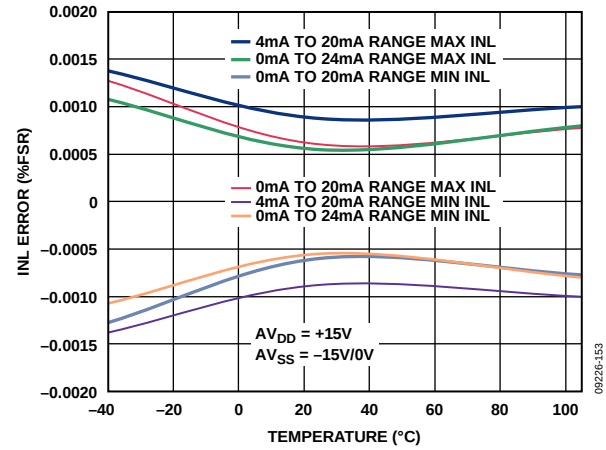


图36. 积分非线性与温度的关系, 外部 R_{SET}

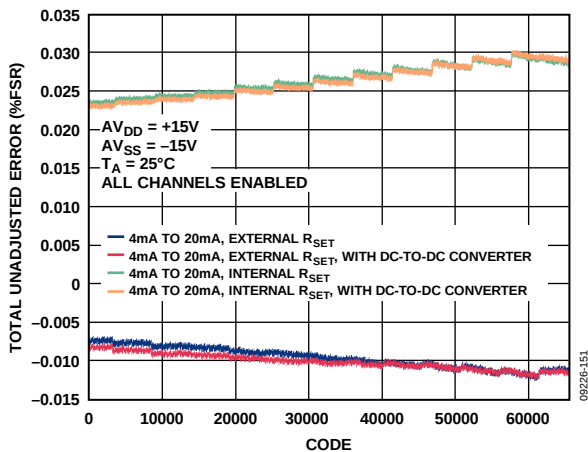


图34. 总不可调整误差与代码的关系

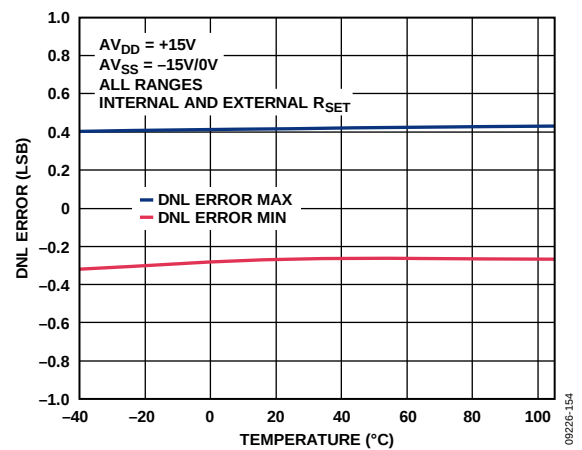


图37. 差分非线性与温度的关系

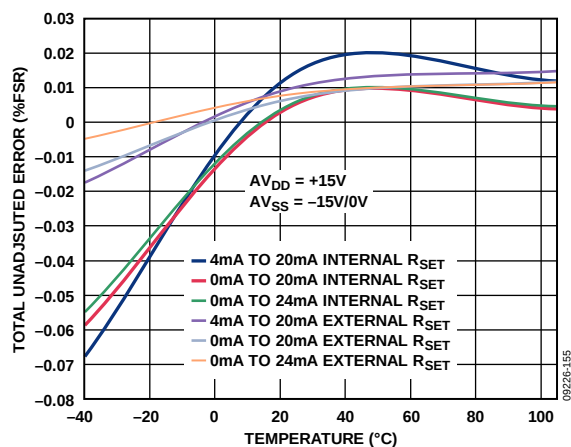


图38. 总不可调整误差与温度的关系

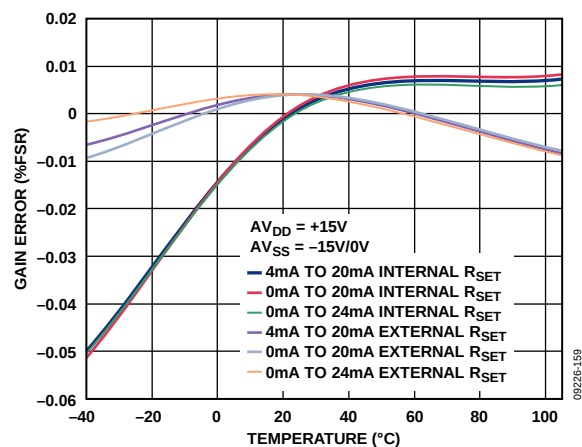


图41. 增益误差与温度的关系

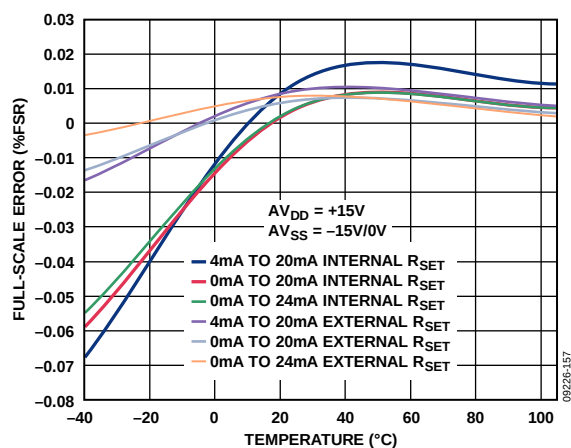


图39. 满量程误差与温度的关系

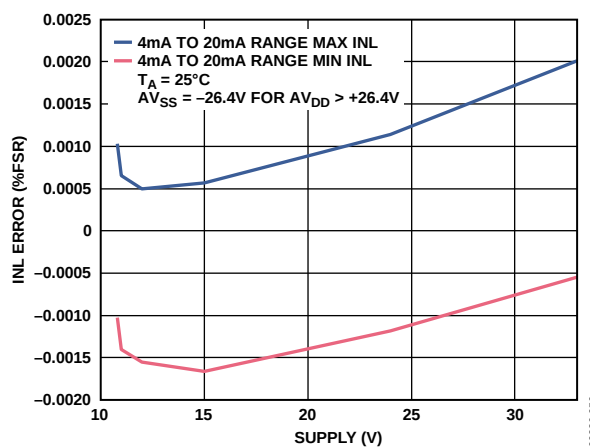
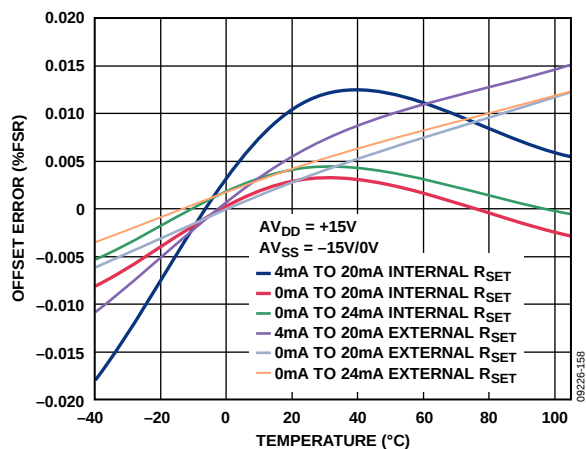
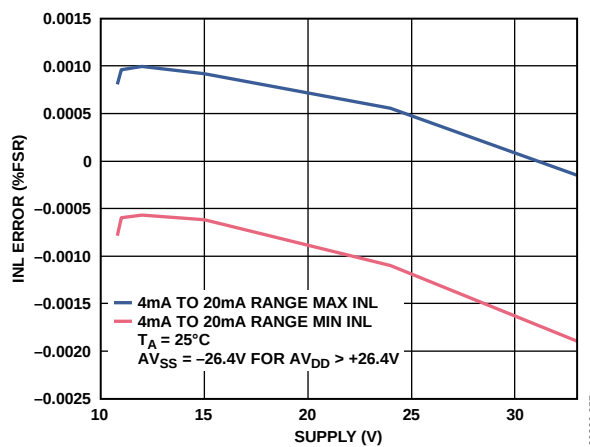
图42. 积分非线性误差与 $AV_{DD}/|AV_{SS}|$ 的关系
(电源电压范围内, 外部 R_{SET})

图40. 失调误差与温度的关系

图43. 积分非线性误差与 $AV_{DD}/|AV_{SS}|$ 的关系
(电源电压范围内, 内部 R_{SET})

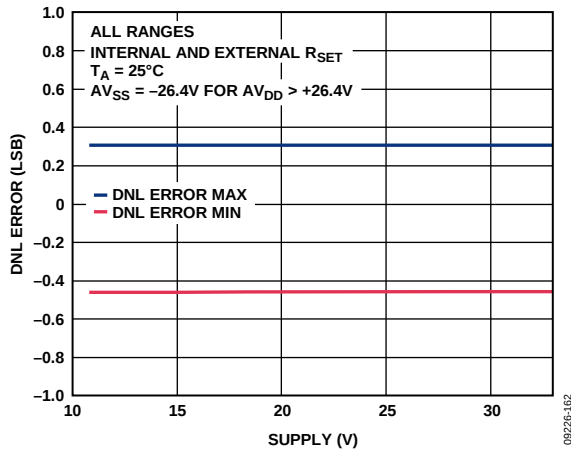


图44. 差分非线性误差与 AV_{DD} 的关系

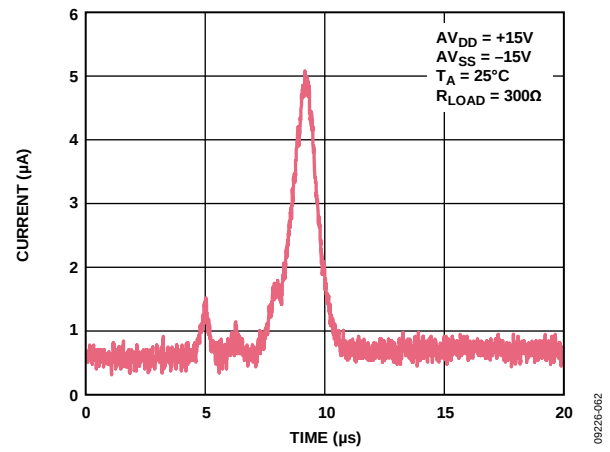


图47. 输出电流与上电时间的关系

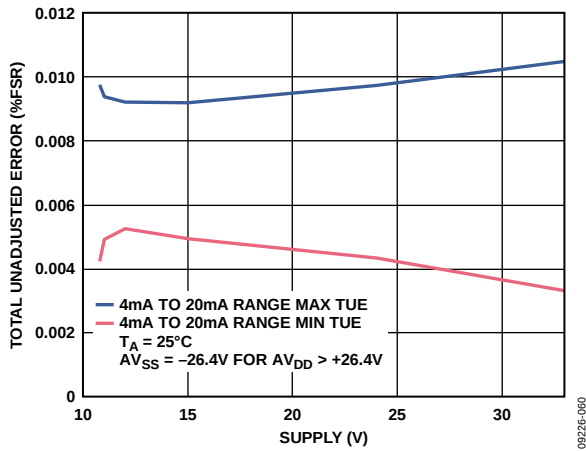


图45. 总不可调整误差与 AV_{DD} 的关系(外部 R_{SET})

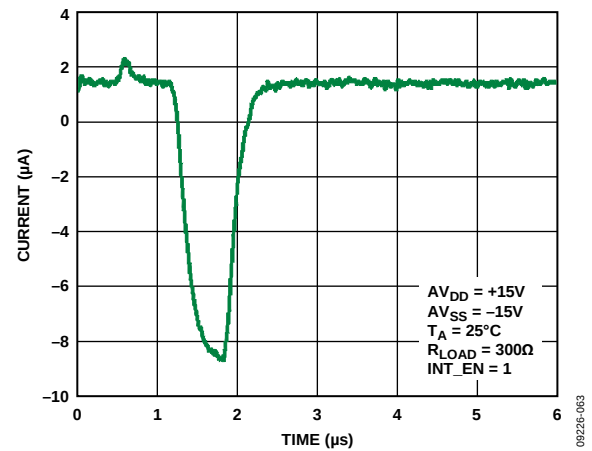


图48. 输出电流与输出使能时间的关系

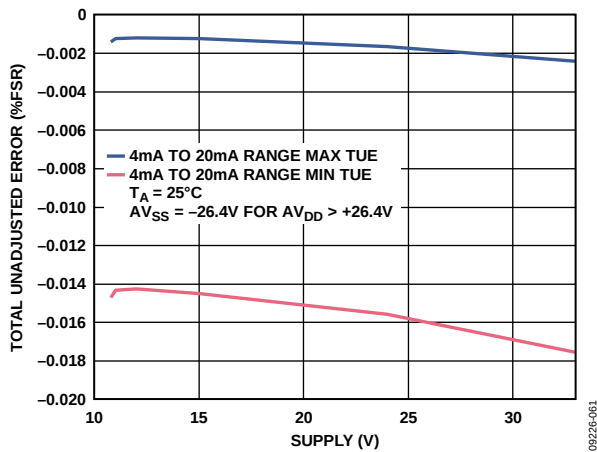


图46. 总不可调整误差与 AV_{DD} 的关系(内部 R_{SET})

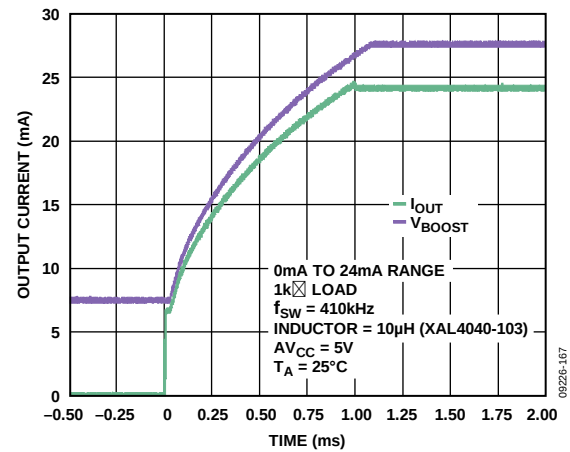


图49. 采用DC-DC转换器时输出电流与 $V_{BOOST,x}$ 建立时间的关系(见图80)

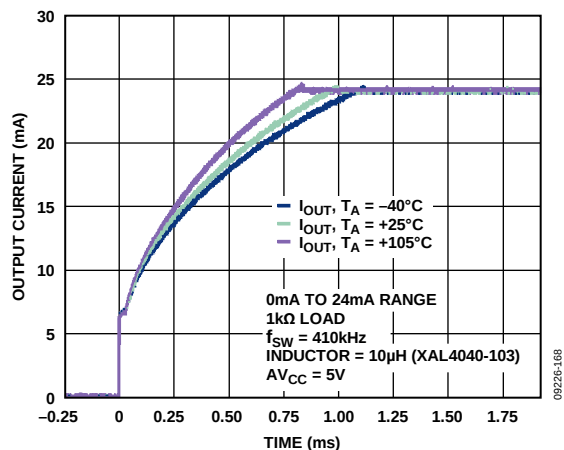


图50. 采用DC-DC转换器时输出电流建立与时间和温度的关系 (见图80)

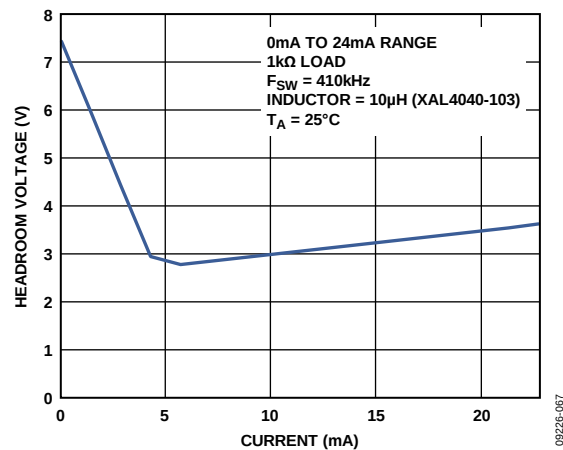


图53. DC-DC转换器裕量与输出电流的关系(见图80)

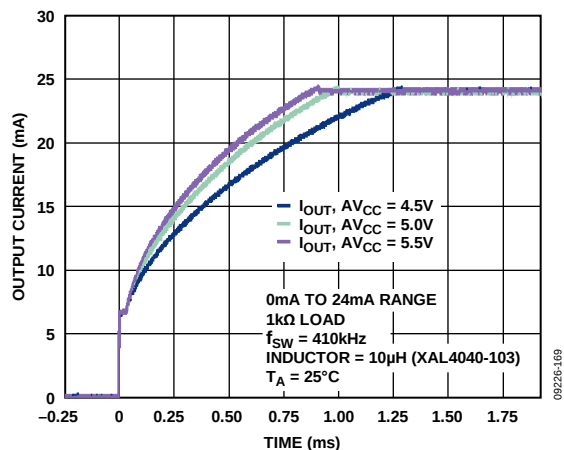


图51. 采用DC-DC转换器时输出电流与建立时间和 AV_{CC} 的关系 (见图80)

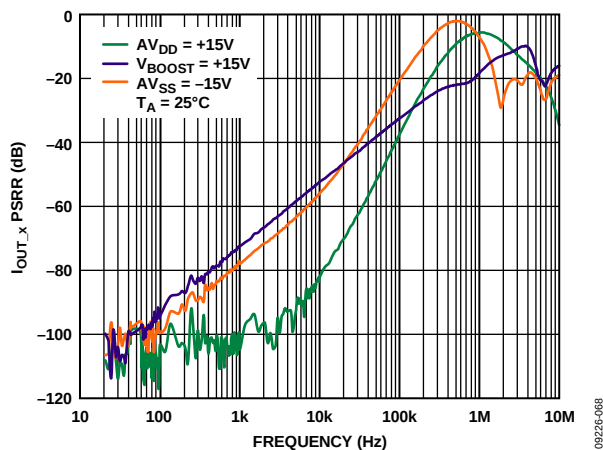


图54. I_{OUT_X} PSRR与频率的关系

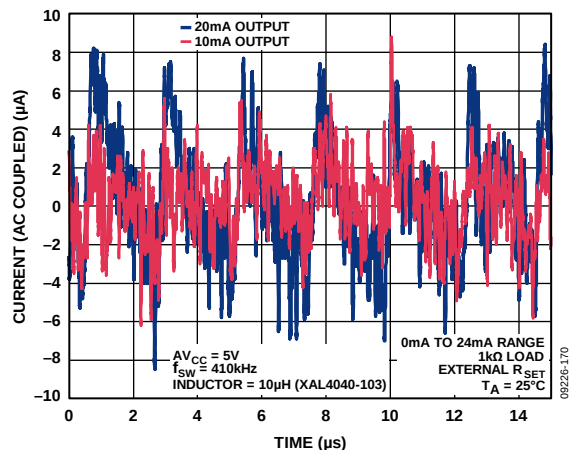


图52. 采用DC-DC转换器时输出电流与时间的关系(见图80)

AD5755-1

DC-DC模块

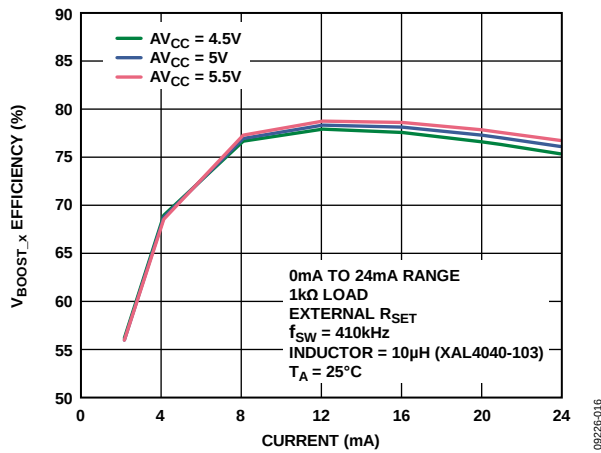


图55. V_{BOOST_X} 效率与输出电流的关系(见图80)

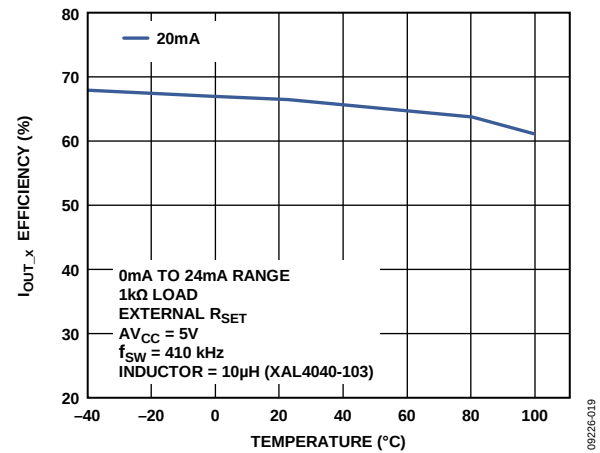


图58. 输出效率与温度的关系(见图80)

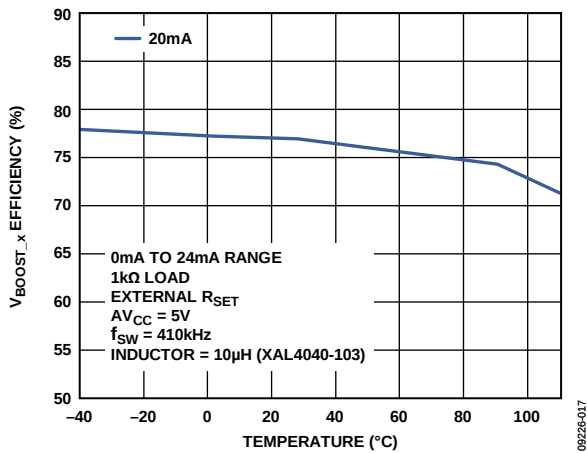


图56. V_{BOOST_X} 效率与温度的关系(见图80)

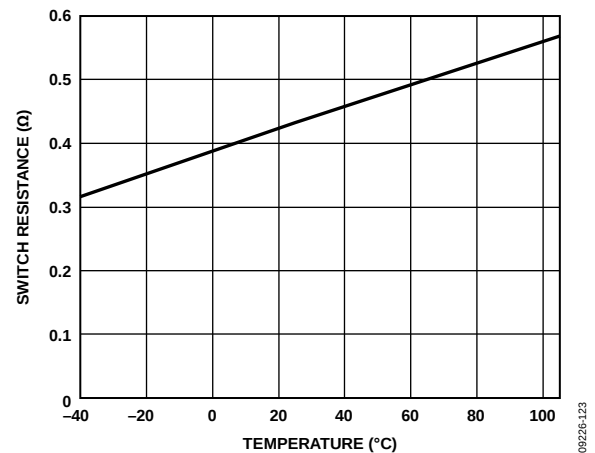


图59. 开关电阻与温度的关系

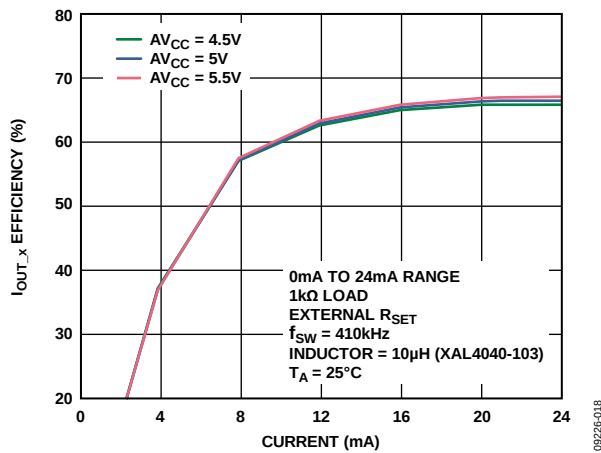


图57. 输出效率与输出电流的关系(见图80)

基准电压源

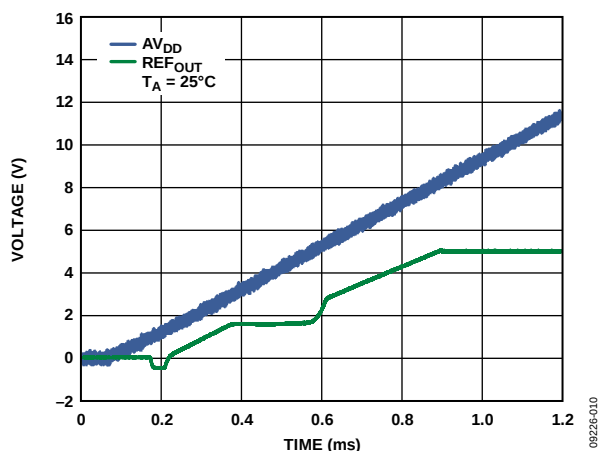


图60. REFOUT开启瞬变

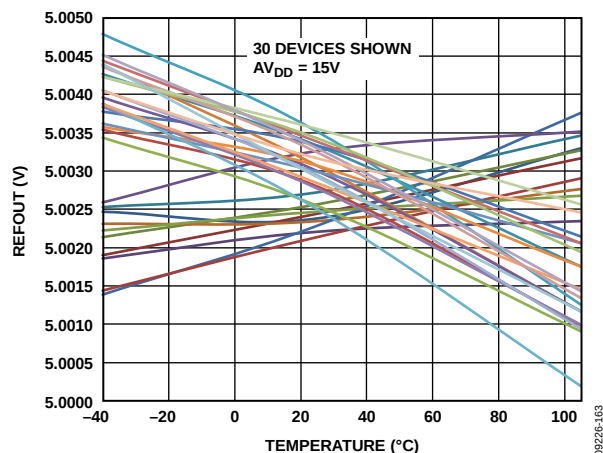


图63. REFOUT与温度的关系(将AD5755-1焊接到PCB时,基准电压会由于封装上的热冲击而发生偏移。平均输出电压偏移为-4 mV。7天后对这些器件进行测量表明,输出电压通常会向接近其初始值的方向回移2 mV,第二次偏移的原因是焊接期间产生的应力得到缓解。)

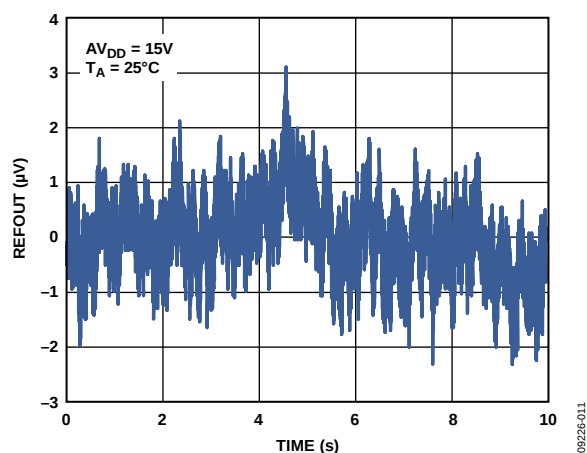


图61. REFOUT输出噪声(0.1 Hz至10 Hz带宽)

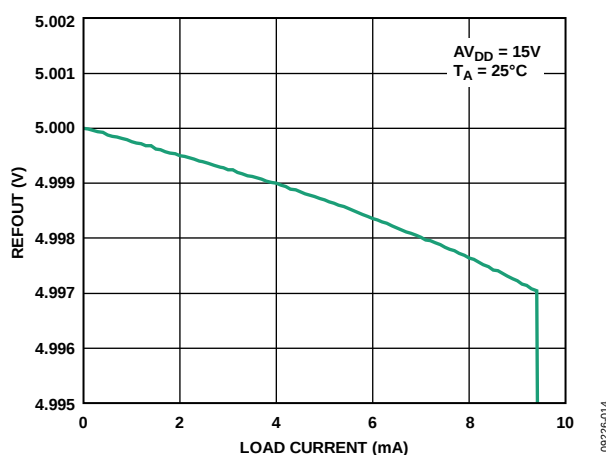


图64. REFOUT与负载电流的关系

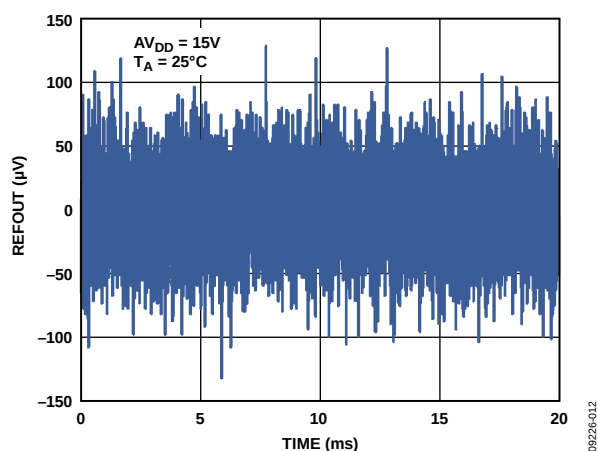


图62. REFOUT输出噪声(100 kHz带宽)

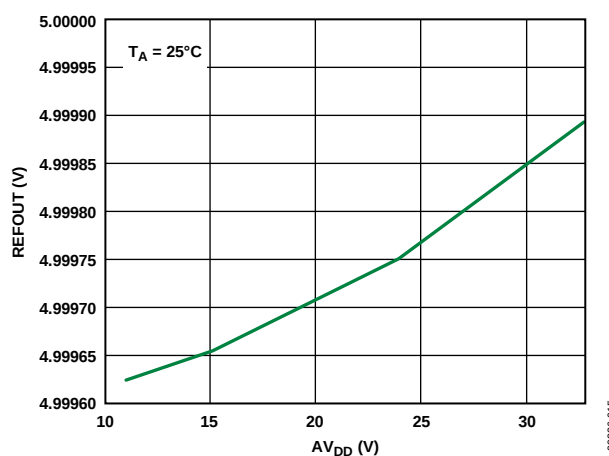


图65. REFOUT与电源电压的关系

AD5755-1

一般特性

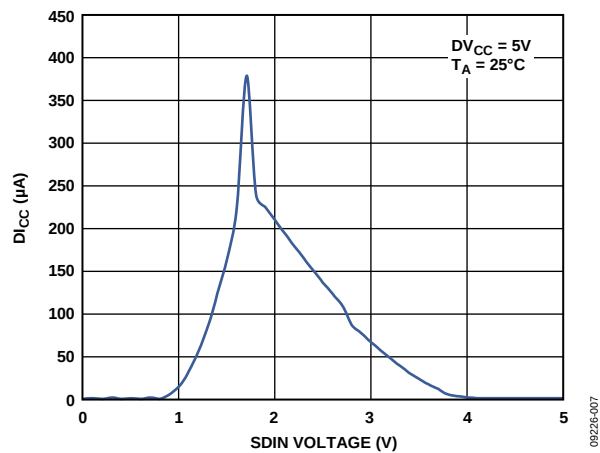


图66. DI_{CC} 与逻辑输入电压的关系

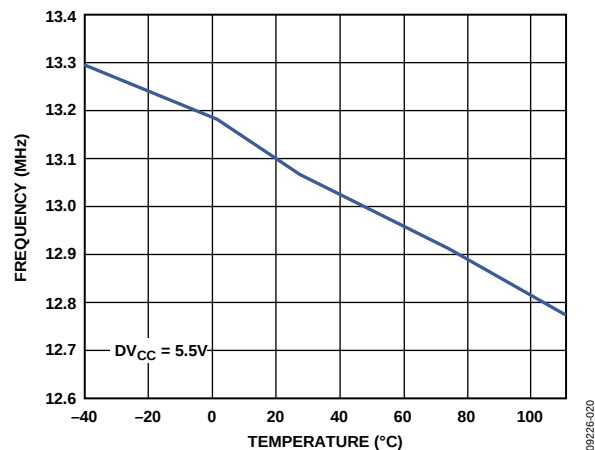


图69. 内部振荡器频率与温度的关系

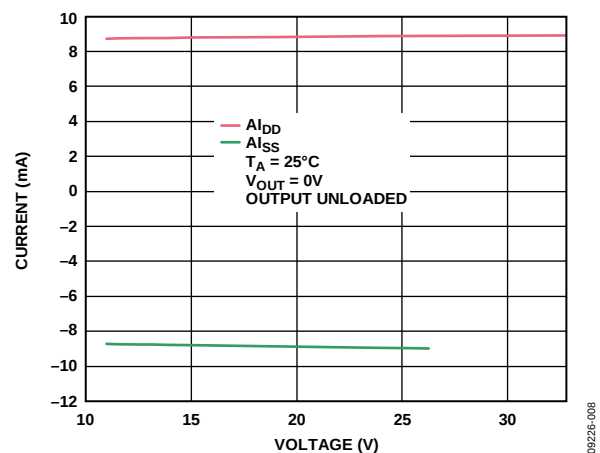


图67. AI_{DD}/AI_{SS} 与 $AV_{DD}/|AV_{SS}|$ 的关系

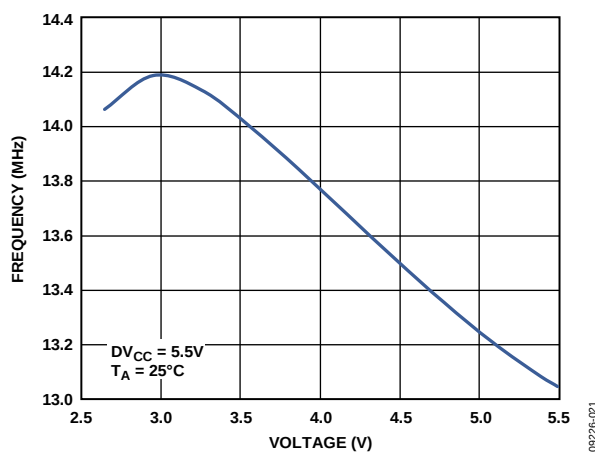


图70. 内部振荡器频率与 DV_{CC} 电源电压的关系

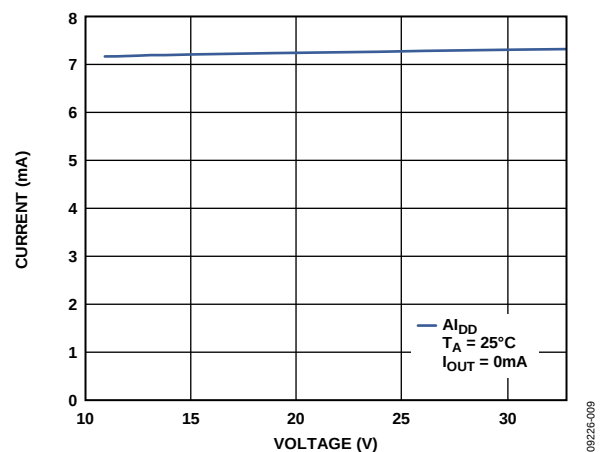


图68. AI_{DD} 与 AV_{DD} 的关系

术语

相对精度或积分非线性(INL)

对于DAC，相对精度或积分非线性是指DAC传递函数与最佳拟合线之间的最大偏差，单位为LSB。图8给出了典型的INL与代码的关系图。

差分非线性(DNL)

差分非线性(DNL)是指任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大LSB的额定差分非线性可确保单调性。本DAC通过设计保证单调性。图9所示为典型的DNL与代码的关系图。

单调性

如果输出针对数字输入码增加而增加或保持恒定，则DAC具有单调性。AD5755-1在其整个工作温度范围内都保持单调。

负满刻度误差/零刻度误差

负满刻度误差是将0x0000(标准二进制编码)载入DAC寄存器时的DAC输出电压误差。

零刻度TC

衡量零刻度误差随温度的变化，用ppm FSR/°C表示。

双极性零误差

双极性零误差是DAC寄存器载入0x8000(标准二进制编码)模拟输出与0 V的理想半刻度输出的偏差。

双极性零TC

双极性零温度系数(TC)衡量双极性零误差随温度的变化，用ppm FSR/°C表示。

失调误差

在电压输出模式下，失调误差是DAC寄存器载入0x4000(标准二进制编码)时模拟输出(双极性输出范围内)与理想1/4刻度输出之间的偏差。

在电流输出模式下，失调误差是全部DAC寄存器载入0x0000时模拟输出与理想零刻度输出之间的偏差。

增益误差

增益误差是衡量DAC量程误差的指标，是DAC传递特性的斜率与理想值的偏差，用% FSR表示。

增益TC

衡量增益误差随温度的变化，用ppm FSR/°C表示。

满量程误差

满刻度误差衡量将满刻度代码载入DAC寄存器时的输出误差。理想情况下，输出应为满量程 - 1 LSB。满量程误差用满量程范围的百分比(% FSR)表示。

满量程TC

满量程TC衡量满量程误差随温度的变化，用ppm FSR/°C表示。

总不可调整误差

总不可调整误差(TUE)衡量包括所有误差在内的总输出误差，包括INL误差、失调误差、增量误差、温度和时间，TUE用% FSR表示。

直流串扰

直流串扰是一个DAC输出电平响应另一个DAC输出变化发生的直流变化。测量时，一个DAC发生满量程输出变化，同时对另一个以中间刻度输出的DAC进行测量。

电流环路顺从电压

输出电流等于编程值时， I_{OUT_X} 引脚端的最大电压。

基准电压热滞

基准电压源热迟滞是指+25°C时测得的输出电压与经历一个温度周期(从+25°C到-40°C再到+105°C，然后回到+25°C)后再次在同一温度测得的输出电压之差。热滞针对第一和第二温度周期而规定，单位为ppm。

输出电压建立时间

输出电压建立时间是指对于一个满刻度输入变化，输出建立为指定电平所需的时间量。建立时间曲线如图24、图50和图51所示。

压摆率

器件的压摆率是对输出电压变化率的限制。电压输出数模转换器的输出压摆速度通常受其输出端使用的放大器的压摆率限制。压摆率是输出信号10%至90%之间的测量值，用V/μs表示。

上电毛刺能量

上电毛刺能量是AD5755-1上电时注入模拟输出的脉冲，定义为毛刺的面积，用nV-sec表示。参见图29和图47。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的输入代码改变状态而输出电压保持恒定时注入模拟输出的脉冲。数模转换毛刺脉冲通常规定为毛刺的面积，用nV-sec表示，数字输入代码在主进位跃迁中改变1 LSB(~0x7FFF至0x8000)时进行测量。参见图26。

毛刺脉冲峰值幅度

毛刺脉冲峰值幅度是DAC寄存器中的输入代码改变状态时注入模拟输出的脉冲的峰值幅度。毛刺脉冲峰值幅度规定为毛刺的幅度，用mV表示，数字输入代码在主进位跃迁中改变1 LSB(~0x7FFF至0x8000)时进行测量。参见图26。

数字馈通

数字馈通衡量从DAC的数字输入注入DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。数字馈通用nV-sec表示，利用数据总线上的满刻度代码变化测定。

DAC间串扰

DAC间串扰是数字编码变化引起一个DAC输出发生变化，进而引起另一个DAC输出的毛刺脉冲，包括数字和模拟串扰。它的测量方法是，向一个DAC加载满刻度代码变化(全0至全1或相反)，保持LDAC为低电平，同时监控另一个DAC的输出。毛刺的能量用nV-sec表示。

电源抑制比(PSRR)

PSRR表示DAC的输出如何受电源电压变化影响。

基准电压TC

基准电压TC衡量基准输出电压随温度的变化，用ppm/°C表示。

线性调整率

电压调整率是由额定电源电压变化所致的基准输出电压变化，用ppm/V表示。

负载调整率

负载调整率是由额定负载电流变化所致的基准输出电压变化，用ppm/mA表示。

DC-DC转换器裕量

指电流输出端所需电压与DC-DC转换器所提供电压之间的偏差。参见图53。

输出效率

$$\frac{I_{OUT}^2 \times R_{LOAD}}{AV_{CC} \times AI_{CC}}$$

指传递至通道负载的功率与传递至通道DC-DC输入端的功率之间的关系。

V_{BOOST_x}效率

$$\frac{I_{OUT} \times V_{BOOST_x}}{AV_{CC} \times AI_{CC}}$$

指传递至通道V_{BOOST_x}电源的功率与传递至通道DC-DC输入端的功率之间的关系。V_{BOOST_x}静态电流被认为是DC-DC转换器损耗的一部分。

工作原理

AD5755-1是设计用于满足工业过程控制应用需要的四通道、精密数字-电流环路和电压输出转换器，提供高精度、完全集成、低成本单芯片解决方案，用于产生电流环路和单极性/双极性电压输出。可用电流输出范围为：0 mA至20 mA、0 mA至24 mA和4 mA至20 mA。可用电压输出范围为：0 V至5 V、 ± 5 V、0 V至10 V和 ± 10 V。电流和电压输出由单独的引脚提供，任何时候仅两者之一有效。用户可通过DAC控制寄存器选择所需输出配置。

在电流模式下，片内动态电源控制功能可以最大限度地降低封装功耗。

DAC架构

AD5755-1的DAC内核架构包含两个匹配DAC部分。简化电路图如图71所示。16位数据字的高4位MSB经解码用于驱动15个开关(E1至E15)。每个开关将15个匹配电阻之一连接到地或基准电压缓冲输出。数据字的其余12位驱动12位电压模式R-2R梯形网络的开关(S0至S11)。

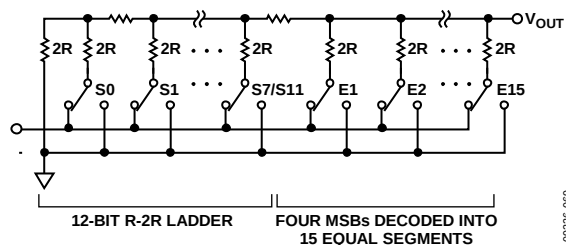


图71. DAC梯形结构

DAC内核的电压输出要么转换成电流(见图73)，然后电流镜像到供电轨，因而在应用中可方便地使用电流源输出；或者，电压输出经缓冲和比例缩放而输出可通过软件选择的单极性或双极性电压范围(见图72)。电压和电流输出端均由 V_{BOOST_x} 供电。电流和电压通过独立引脚输出，且不能同时输出。通道的电流和电压输出引脚可以连在一起。

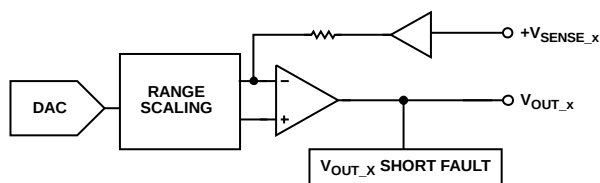


图72. 电压输出

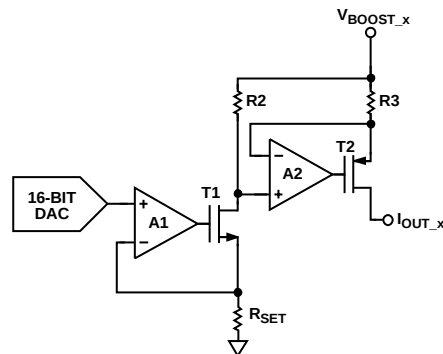


图73. 电压-电流转换电路

电压输出放大器

电压输出放大器能够产生单极性和双极性两种输出电压，能够驱动连接到GND的1 μ F(外部补偿电容)、1 k Ω 并联负载驱动。输出放大器的源电流和吸电流能力如图23所示。压摆率为1.9 V/ μ s，满刻度建立时间为16 μ s(10 V阶跃)。如果不需要远程检测负载，则将 $+V_{SENSE_x}$ 直接连接到 V_{OUT_x} 。为保证正确操作， $+V_{SENSE_x}$ 必须保持在 V_{OUT_x} 的 ± 3.0 V范围内。

驱动较大容性负载

通过在各个通道上添加一个220 pF的无极性补偿电容，电压输出放大器能够驱动最高2 μ F的容性负载。必须为补偿电容选择合适的值。虽然此电容允许AD5755-1驱动较大容性负载并可减少过冲，但是会增加器件的建立时间，因此会影响系统带宽。如果不使用该补偿电容，最高可驱动10 nF容性负载。有关连接补偿电容的信息，参见表5。

基准电压缓冲

AD5755-1可以采用外部或内部基准电压源工作，基准电压输入要求5V的基准电压源，才能达到额定性能。输入电压先经缓冲，然后再施加于DAC。

AD5755-1的上电状态

AD5755-1初始上电时，其上电复位电路处于一种由POC(上电条件)引脚决定的状态。

若 $POC = 0$ ，则电压输出和电流输出通道上电时均为三态模式。

若 $POC = 1$ ，则电压输出通道上电时，通过30 k Ω 电阻下拉至地；电流输出通道则上电至三态模式。

即使未使能输出范围，默认输出范围为0 V至5 V，清零代码寄存器载入全零。这就意味着，如果上电后用户使器件清零，则输出将被驱动至0 V(如果该通道已使能清零功能)。

AD5755-1

器件上电或复位后，建议等待100 μs或更长时间再写入器件，为内部校准腾出时间。

串行接口

AD5755-1由多功能三线式串行接口控制，能够以最高30 MHz的时钟速率工作，并与SPI、QSPI、MICROWIRE、DSP接口标准兼容。数据编码始终为标准二进制。

输入移位寄存器

输入移位寄存器为24位宽。数据在串行时钟输入SCLK的控制下以MSB优先方式作为24位字载入器件。数据在SCLK的下降沿读入。

如果使能分组差错校验(PEC，参见“产品特性”部分)，必须向AD5755-1写入另外8位，使串行接口达32位。

DAC输出可以通过两种方式更新：单独更新或同时更新所有DAC。

DAC单独更新

此模式下，LDAC在数据输入DAC数据寄存器时保持低电平。寻址的DAC输出在SYNC的上升沿更新。时序信息参见表3和图3。

同时更新所有DAC

在此模式下，LDAC在数据输入DAC数据寄存器时保持高电平。在LDAC变成高电平后，仅各通道DAC数据寄存器的第一次写入有效。在LDAC保持高电平期间，任何后续写入都被忽略，尽管它们会载入DAC数据寄存器。在拉高LDAC后，通过拉低SYNC可以更新所有DAC输出。

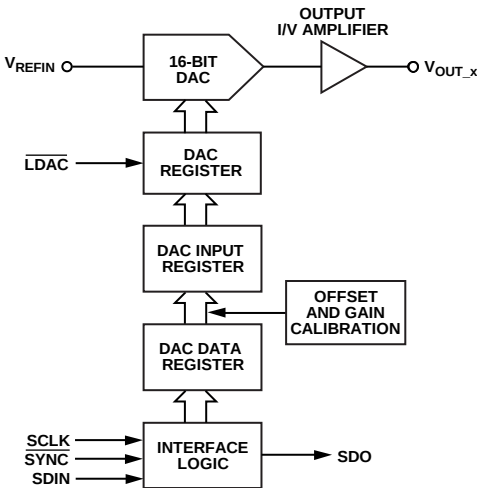


图74. 单个DAC通道输入加载电路的简化串行接口

传递函数

表6显示AD5755-1的标准二进制数据编码的输入代码与理想输出电压之间的关系，输出范围为±10 V。

表6. 理想输出电压与输入代码之间的关系

数字输入				模拟输出
标准二进制数据编码				
MSB		LSB		V _{OUT}
1111	1111	1111	1111	+2 V _{REF} × (32,767/32,768)
1111	1111	1111	1110	+2 V _{REF} × (32,766/32,768)
1000	0000	0000	0000	0 V
0000	0000	0000	0001	−2 V _{REF} × (32,767/32,768)
0000	0000	0000	0000	−2 V _{REF}

寄存器

表7概要介绍了AD5755-1的寄存器。

表7. AD5755-1的数据、控制和回读寄存器

寄存器	描述
数据	
DAC数据寄存器(×4)	用于向各DAC通道写入一个DAC代码。AD5755-1数据位 = D15至D0。共有四个DAC数据寄存器，每个DAC通道一个。
增益寄存器(×4)	用于对每个通道进行增益调整编程。AD5755-1数据位 = D15至D0。共有四个增益寄存器，每个DAC通道一个。
失调寄存器(×4)	用于对每个通道进行失调调整编程。AD5755-1数据位 = D15至D0。共有四个失调寄存器，每个DAC通道一个。
清零代码寄存器(×4)	用于对每个通道进行清零代码编程。AD5755-1数据位 = D15至D0。共有四个清零代码寄存器，每个DAC通道一个。
控制	
主控制寄存器	用于配置器件实现主要操作。设置的功能包括：在写入期间回读状态；同时使能所有通道的输出；同时使所有DC-DC转换器模块上电；使能并设置看门狗定时器的条件。更多详情参见“产品特性”部分。
软件寄存器	有三种功能：执行复位；切换用户位；以及用作看门狗定时器功能的组成部分，以检验数据通信操作是否正确。
压摆率控制寄存器(×4)	用于对输出压摆率进行编程。共有四个压摆率控制寄存器，每个通道一个。
DAC控制寄存器(×4)	这些寄存器用于控制以下功能： 设置输出范围，如4 mA至20 mA、0 V至10 V等。 设置是否使用内部/外部检测电阻。 使能/禁用通道以便清零。 使能/禁用超量程。 使能/禁用每个通道的内部电路。 使能/禁用每个通道的输出。 对各通道的DC-DC转换器上电。 共有四个DAC控制寄存器，每个DAC通道一个。
DC-DC控制寄存器	用于设置DC-DC控制参数。可以控制DC-DC最大电压、相位和频率。
回读	
状态寄存器	包含故障信息和用户切换位。

正确写入/使能输出的编程序列

若要在上电条件下正确写入和设置器件，请遵循以下操作顺序：

- 1. 初始上电后执行硬件或软件复位。
- 2. 必须配置DC-DC转换器电源模块。设置DC-DC开关频率、允许的最大输出电压和四个DC-DC通道的时钟相位。
- 3. 配置每个通道的DAC控制寄存器。选择输出范围，使能DC-DC转换器模块(DC_DC位)。此时可以配置其他控制位。设置INT_ENABLE位，但不应设置输出使能位(OUTEN)。
- 4. 将所需代码写入DAC数据寄存器。这就在内部执行了一次全面的DAC校准。进入第5步之前至少应等待200 μs，以便降低输出毛刺。
- 5. 再次写入DAC控制寄存器，使能输出(设置OUTEN位)。

图75给出了此序列的流程图。

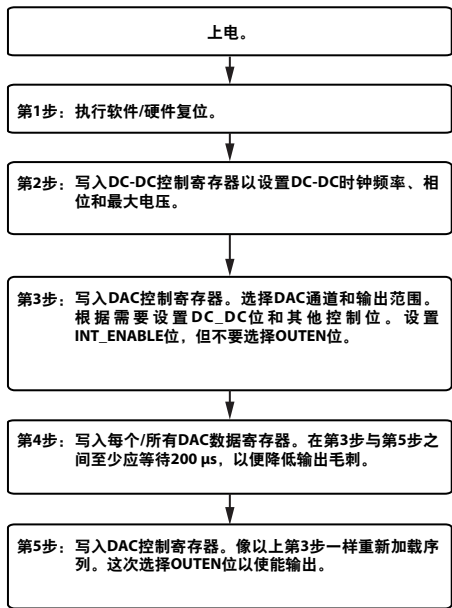


图75. 正确使能输出的编程序列

更改和重新编程范围

更改范围时，应按照“正确写入/使能输出的编程序列”部分的操作顺序执行。建议在禁用输出前将范围设为零点(中间刻度或零刻度)。由于已经选择了DC-DC开关频率、最大电压和相位，因而现在无需对它们重新编程。图76给出了此序列的流程图。

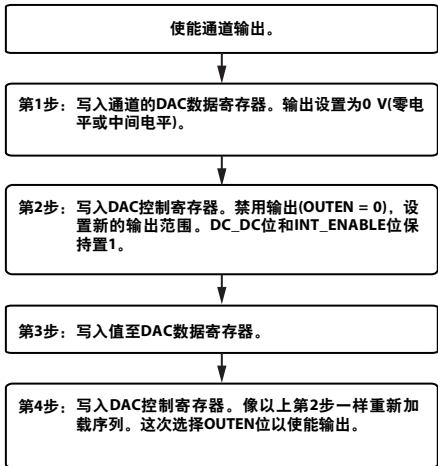


图76. 更改输出范围的步骤

数据寄存器

输入寄存器为24位宽。当PEC使能时，输入寄存器为32位宽，最后8位对应于PEC代码(有关PEC的更多信息参见“分组错误校验”部分)。写入数据寄存器时，必须采用表8中的格式。

DAC数据寄存器

写入AD5755-1 DAC数据寄存器时，D15至D0位用于DAC数据位。表10所示为寄存器格式，表9说明了Bit D23至Bit D16的功能。

表8. 写入数据寄存器

MSB								LSB
D23	D22	D21	D20	D19	D18	D17	D16	D15至D0
R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	数据

表9. 输入寄存器解码

Bit	描述			
R/W	表示对寻址寄存器的读或写操作。			
DUT_AD1, DUT_AD0	与外部引脚、AD1和AD0配合使用，以确定系统控制器要寻址的AD5755-1器件。使用PEC时，不建议将AD1和AD0均接低电平(参见“分组差错校验”部分)。			
	DUT_AD1	DUT_AD0	功能	
	0	0	对引脚AD1 = 0、AD0 = 0的器件进行寻址	
	0	1	对引脚AD1 = 0、AD0 = 1的器件进行寻址	
	1	0	对引脚AD1 = 1、AD0 = 0的器件进行寻址	
	1	1	对引脚AD1 = 1、AD0 = 1的器件进行寻址	
DREG2, DREG1, DREG0	选择写入数据寄存器还是控制寄存器。如果选择写入控制寄存器，则需进一步对CREG位(见表17)进行解码，以选择具体的控制寄存器，详情如下所示。			
	DREG2	DREG1	DREG0	功能
	0	0	0	写入DAC数据寄存器(单个通道写入)
	0	1	0	写入增益寄存器
	0	1	1	写入增益寄存器(所有DAC)
	1	0	0	写入失调寄存器
	1	0	1	写入失调寄存器(所有DAC)
	1	1	0	写入清零代码寄存器
	1	1	1	写入控制寄存器
DAC_AD1, DAC_AD0	这些位用于DAC通道解码。			
	DAC_AD1	DAC_AD0	DAC通道/寄存器地址	
	0	0	DAC A	
	0	1	DAC B	
	1	0	DAC C	
	1	1	DAC D	
	X	X	如果与执行的操作无关，则可忽略。	

表10. DAC数据寄存器编程

MSB								LSB
D23	D22	D21	D20	D19	D18	D17	D16	D15至D0
R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	DAC数据

AD5755-1

增益寄存器

增益寄存器为16位寄存器，如表11所示，允许用户以1 LSB步长调整各个通道的增益。这通过将DREG[2:0]位设为010来实现。将DREG[2:0]位设为011，可以同时对所有四个DAC通道写入相同的增益码。增益寄存器采用标准二进制编码，如表12表示。增益寄存器中的默认代码为0xFFFF。理论上，可以在整个输出范围内调节增益。实际上，建议的最大增益调整为编程范围的50%左右，以保持精度。更多信息请参见“数字失调和增益控制”部分。

失调寄存器

失调寄存器为16位寄存器，如表13所示，允许用户以1 LSB步长在-32,768 LSB至+32,767 LSB的范围内调整各个通道的

失调。这通过将DREG[2:0]位设为100来实现。将DREG[2:0]位设为101，可以同时对所有四个DAC通道写入相同的失调码。失调寄存器采用标准二进制编码，如表14表示。失调寄存器的默认代码为0x8000，它使输出被编程为零失调。更多信息请参见“数字失调和增益控制”部分。

清零编码寄存器

清零代码寄存器为16位寄存器，允许用户设置各个通道的清零值，如表15所示。可以通过软件设定在CLEAR引脚被激活时使能或禁用哪些通道被清零。默认清零代码为0x0000。更多信息请参见“异步清零”部分。

表11. 增益寄存器编程

R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	D15至D0
0	器件地址		0	1	0	DAC通道地址		增益调整

表12. 增益寄存器

增益调整	G15	G14	G13	G12至G4	G3	G2	G1	G0
+65,535 LSBs	1	1	1	1	1	1	1	1
+65,534 LSBs	1	1	1	1	1	1	0	0
...	...	...	...	...	...	...	...	...
1 LSB	0	0	0	0	0	0	0	1
0 LSBs	0	0	0	0	0	0	0	0

表13. 失调寄存器编程

R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	D15至D0
0	器件地址		1	0	0	DAC通道地址		失调调整

表14. 失调寄存器选项

失调调整	OF15	OF14	OF13	OF12至OF4	OF3	OF2	OF1	OF0
+32,767 LSBs	1	1	1	1	1	1	1	1
+32,766 LSBs	1	1	1	1	1	1	0	0
...	...	...	...	...	...	...	...	...
无调整(默认)	1	0	0	0	0	0	0	0
...	...	...	...	...	...	...	...	...
-32,767 LSBs	0	0	0	0	0	0	0	0
-32,768 LSBs	0	0	0	0	0	0	0	0

表15. 清零代码寄存器编程

R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	D15至D0
0	器件地址		1	1	0	DAC通道地址		清零代码

控制寄存器

写入控制寄存器时，必须采用表16所示的格式。若要了解Bit D23至Bit D16的配置情况，请参见表9。将DREG [2:0]位设为111，然后按照表17把CREG[2:0]位设为相应寄存器的解码地址，就可以对控制寄存器进行寻址。这些CREG位在不同的控制寄存器之间进行选择。

主控制寄存器

主控制寄存器选项如表18和表19所示。有关主控制寄存器所控制特性的更多信息，参见“产品特性”部分。

表16. 写入控制寄存器

MSB						LSB					
D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12至D0
R/W	DUT_AD1	DUT_AD0	1	1	1	DAC_AD1	DAC_AD0	CREG2	CREG1	CREG0	数据

表17. 寄存器访问解码

CREG2 (D15)	CREG1 (D14)	CREG0 (D13)	功能
0	0	0	压摆率控制寄存器(每个通道一个)
0	0	1	主控制寄存器
0	1	0	DAC控制寄存器(每个通道一个)
0	1	1	DC-DC控制寄存器
1	0	0	软件寄存器

表18. 主控制寄存器编程

MSB										LSB		
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3至D0
0	0	1	POC	STATREAD	EWD	WD1	WD0	X ¹	ShtCctLim	OUTEN_ALL	DCDC_ALL	X ¹

¹ X = 无关位。

表19. 主控制寄存器功能

Bit	描述															
POC	POC位决定电压输出通道在正常工作中的状态，默认值为0。 POC = 0。当电压输出未使能时(默认)，输出将达到POC硬件引脚设置的值。 POC = 1。当电压输出未使能时，输出变为POC硬件引脚的相反值。															
STATREAD	在写入操作中使能状态回读。参见“产品特性”部分。 STATREAD = 1，使能。 STATREAD = 0，禁用(默认)。															
EWD	使能看门狗定时器。更多详情参见“产品特性”部分。 EWD = 1，使能看门狗。 EWD = 0，禁用看门狗(默认)。															
WD1,WD0	超时选择位。用于选择看门狗定时器的超时周期。															
	<table><tr><th>WD1</th><th>WD0</th><th>超时周期(ms)</th></tr><tr><td>0</td><td>0</td><td>5</td></tr><tr><td>0</td><td>1</td><td>10</td></tr><tr><td>1</td><td>0</td><td>100</td></tr><tr><td>1</td><td>1</td><td>200</td></tr></table>	WD1	WD0	超时周期(ms)	0	0	5	0	1	10	1	0	100	1	1	200
	WD1	WD0	超时周期(ms)													
	0	0	5													
	0	1	10													
1	0	100														
1	1	200														
ShtCctLim	V _{OUT_X} 引脚上的可编程短路限制，用于短路状态。 0 = 16 mA(默认值)。 1 = 8 mA。															
OUTEN_ALL	同时使能全部4个DAC上的输出。 在DAC控制寄存器中使用OUTEN位时，请勿使用OUTEN_ALL位。															
DCDC_ALL	设置时，同时对全部4个通道上的DC-DC转换器上电。 若要关断DC-DC转换器，必须首先禁用所有通道输出。 在DAC控制寄存器中使用DC_DC位时，请勿使用DCDC_ALL位。															

AD5755-1

DAC控制寄存器

DAC控制寄存器用于配置各DAC通道。DAC控制寄存器选项如表20和表21所示。

表20. DAC控制寄存器编程

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	1	0	X ¹	X ¹	X ¹	X ¹	INT_ENABLE	CLR_EN	OUTEN	RSET	DC_DC	OVRNG	R2	R1	R0

¹ X = 无关位。

表21. DAC控制寄存器功能

Bit	描述			
INT_ENABLE	使所选通道的DC-DC转换器、DAC和内部放大器上电。不会使能输出。只能针对各个通道进行设置。建议设置该位并允许200 μs以上的延迟，然后再使能输出，因为这样可以减少输出使能毛刺。图30和图48显示了该毛刺曲线。			
CLR_EN	基于通道的清零使能位。决定相应的通道在CLEAR引脚激活时是否清零。 CLR_EN = 1，器件清零时通道清零。 CLR_EN = 0，器件清零时通道不清零(默认)。			
OUTEN	使能/禁用所选输出通道。 OUTEN = 1，使能通道。 OUTEN = 0，禁用通道(默认)。			
RSET	为所选DAC通道选择内部或外部电流检测电阻。 RSET = 0，选择外部电阻(默认)。 RSET = 1，选择内部电阻。			
DC_DC	使所选通道的DC-DC转换器上电。 DC_DC = 1，使DC-DC转换器上电。 DC_DC = 0，使DC-DC转换器关断(默认)。 允许按通道上电/关断DC-DC转换器。若要关断DC-DC转换器，OUTEN和INT_ENABLE位也必须设为0。 也可利用主控制寄存器中的DCDC_ALL位，同时使所有DC-DC转换器上电。			
OVRNG	仅在电压输出通道上使能20%超量程。无电流输出超量程可用。 OVRNG = 1，使能。 OVRNG = 0，禁用(默认)。			
R2, R1, R0	选择要使能的输出范围。			
	R2	R1	R0	所选输出范围
	0	0	0	0 V至5 V电压范围(默认)。
	0	0	1	0 V至10 V电压范围。
	0	1	0	±5 V电压范围。
	0	1	1	±10 V电压范围。
	1	0	0	4 mA至20 mA电流范围。
	1	0	1	0 mA至20 mA电流范围。
	1	1	0	0 mA至24 mA电流范围。

软件寄存器

软件寄存器有三种功能：一是允许用户对器件执行软件复位；二是可用于设置状态寄存器中的切换位D11；三是用作看门狗功能(使能时)的一部分，该功能用于确保MCU与AD5755-1间的通信不丢失，并且数据路径线路正常工作(即SDIN、SCLK和 $\overline{\text{SYN}}$)。

当看门狗功能使能时，用户必须在超时周期内将0x195写入软件寄存器。如果未在超时周期内收到该命令，则ALERT引脚将显示故障条件。该命令仅在看门狗定时器功能使能时才需要。

DC-DC控制寄存器

DC-DC控制寄存器允许用户控制DC-DC开关频率和相位，以及最大可用的DC-DC输出电压。DC-DC控制寄存器选项如表24和表25所示。

表22. 软件寄存器编程

MSB				LSB
D15	D14	D13	D12	D11至D0
1	0	0	用户编程	复位代码/SPI代码

表23. 软件寄存器功能

Bit	描述	
用户编程	该位映射到状态寄存器的Bit D11。当该位设为1时，状态寄存器的Bit D11被设为1。同样，当D12设为0时，状态寄存器的Bit D11也被设为0。该功能可用于确保SPI引脚正常工作，其方法是将已知位值写入该寄存器，然后从状态寄存器回读相应的位。	
复位代码/SPI代码	选项	描述
	复位代码 SPI代码	将0x555写入D[11:0]，AD5755-1就会复位。 如果看门狗定时器功能使能，则必须在设置的超时周期内将0x195写入软件寄存器(D11至D0)。

表24. DC-DC控制寄存器编程

MSB						LSB	
D15	D14	D13	D12至D7	D6	D5至D4	D3至D2	D1至D0
0	1	1	X ¹	DC-DC 补偿	DC-DC相位	DC-DC频率	DC-DC最大V

¹ X = 无关位。

表25. DC-DC控制寄存器选项

Bit	描述
DC-DC Comp	在DC-DC转换器的内部与外部补偿电阻之间做出选择。更多信息，请参见“产品特性”部分中的“DC-DC转换器补偿电容”和“AICC电源要求—压摆率”部分。 0 = 选择内部150 k Ω 补偿电阻(默认)。 1 = 旁路DC-DC转换器的内部补偿电阻。该模式下，必须使用一个外部DC-DC补偿电阻；该电阻置于COMP _{DCDC_X} 引脚处，与10 nF DC-DC接地补偿电容串联。通常情况下，推荐使用一个50 k Ω 左右的电阻。
DC-DC Phase	用户可编程的DC-DC转换器相位(通道间)。 00 = 所有DC-DC转换器的时钟沿相同(默认)。 01 = 通道A和通道B的时钟沿相同，通道C和通道D的时钟沿相反。 10 = 通道A和通道C的时钟沿相同，通道B和通道D的时钟沿相反。 11 = 通道A、通道B、通道C和通道D的时钟沿彼此错相90°。
DC-DC Freq	DC-DC开关频率，由内部13 MHz振荡器分频(参见图69和图70)。 00 = 250 $\pm$ 10% kHz。 01 = 410 $\pm$ 10% kHz(默认)。 10 = 650 $\pm$ 10% kHz。
DC-DC MaxV	DC-DC转换器提供的最大允许V _{BOOST_X} 电压。 00 = 23 V + 1 V/–1.5 V(默认)。 01 = 24.5 V $\pm$ 1 V。 10 = 27 V $\pm$ 1 V。 11 = 29.5 V $\pm$ 1 V。

AD5755-1

压摆率控制寄存器

该寄存器用于对所选DAC通道的压摆率控制进行编程。该特性在电流和电压输出通道上均可用。压摆率控制以每通道为基础进行使能/禁用和编程。更多信息参见表26和“数字压摆率控制”部分。

回读操作

回读模式通过在串行输入寄存器写操作时设置R/W¹位为1来调用。表27列出了与回读操作相关的各位。DUT_AD1和DUT_AD0位与RD[4:0]位共同选择要读取的寄存器。写序列中其余的数据位则与之无关。在下一SPI传输操作中(见图4), SDO输出端的数据包含之前寻址寄存器的数据。

此第二SPI传输操作要么是一个请求命令, 请求在第三数据传输操作中读取另一个寄存器, 要么是无操作命令。DUT地址00的无操作命令是0x1CE000; 对于其他DUT地址, 相应地设置D22位和D21位。

回读示例

为了回读AD5755-1上1号器件通道A的增益寄存器, 必须按以下顺序执行:

1. 将0xA80000写入AD5755-1输入寄存器。这将AD5755-1 1号器件地址配置为读取模式, 同时选中通道A的增益寄存器。从D15至D0的所有数据位都是无关位。
2. 然后写入另一个读取命令或无操作命令(0x3CE000)。在此命令期间, 来自通道A增益寄存器的数据在SDO线路上逐个输出。

表26. 压摆率控制寄存器编程

D15	D14	D13	D12	D11至D7	D6至D3	D2至D0
0	0	0	SREN	X ¹	SR_CLOCK	SR_STEP

¹ X = 无关位。

表27. 读操作的输入移位寄存器内容

D23	D22	D21	D20	D19	D18	D17	D16	D15至D0
R/W	DUT_AD1	DUT_AD0	RD4	RD3	RD2	RD1	RD0	X ¹

¹ X = 无关位。

表28. 读取地址解码

RD4	RD3	RD2	RD1	RD0	功能
0	0	0	0	0	读取DAC A数据寄存器
0	0	0	0	1	读取DAC B数据寄存器
0	0	0	1	0	读取DAC C数据寄存器
0	0	0	1	1	读取DAC D数据寄存器
0	0	1	0	0	读取DAC A控制寄存器
0	0	1	0	1	读取DAC B控制寄存器
0	0	1	1	0	读取DAC C控制寄存器
0	0	1	1	1	读取DAC D控制寄存器
0	1	0	0	0	读取DAC A增益寄存器
0	1	0	0	1	读取DAC B增益寄存器
0	1	0	1	0	读取DAC C增益寄存器
0	1	0	1	1	读取DAC D增益寄存器
0	1	1	0	0	读取DACA失调寄存器
0	1	1	0	1	读取DAC B失调寄存器
0	1	1	1	0	读取DAC C失调寄存器
0	1	1	1	1	读取DAC D失调寄存器
1	0	0	0	0	清零DAC A代码寄存器
1	0	0	0	1	清零DAC B代码寄存器
1	0	0	1	0	清零DAC C代码寄存器
1	0	0	1	1	清零DAC D代码寄存器
1	0	1	0	0	DAC A压摆率控制寄存器
1	0	1	0	1	DAC B压摆率控制寄存器
1	0	1	1	0	DAC C压摆率控制寄存器
1	0	1	1	1	DAC D压摆率控制寄存器
1	1	0	0	0	读取状态寄存器
1	1	0	0	1	读取主控制寄存器
1	1	0	1	0	读取DC-DC控制寄存器

状态寄存器

状态寄存器属于只读寄存器，包含故障信息以及斜坡有效位和用户切换位。通过设置主控制寄存器中的STATREAD

位，可以在每个写序列中通过SDO引脚回读状态寄存器的内容。如果不设置STATREAD位，可以利用正常回读操作读取状态寄存器。

表29. 状态寄存器解码

MSB													LSB		
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
DC-DCD	DC-DCC	DC-DCB	DC-DCA	用户切换	PEC错误	斜坡有效	过热	V_{OUT_D} 故障	V_{OUT_C} 故障	V_{OUT_B} 故障	V_{OUT_A} 故障	I_{OUT_D} 故障	I_{OUT_C} 故障	I_{OUT_B} 故障	I_{OUT_A} 故障

表30. 状态寄存器选项

Bit	描述
DC-DCD	电流输出模式下，如果通道D的DC-DC转换器无法保持顺从电压(可能达到 V_{Max} 电压)，则该位置1。这种情况下， I_{OUT_D} 故障位同时置1。有关该位在这种条件下的详细操作说明，参见“DC-DC转换器 V_{Max} 功能”部分。 电压输出模式下，如果通道D的DC-DC转换器无法调节到期望的15 V，则该位置1。 该位置1后，不会导致FAULT引脚变为高电平。
DC-DCC	电流输出模式下，如果通道C的DC-DC转换器无法保持顺从电压(可能达到 V_{Max} 电压)，则该位置1。这种情况下， I_{OUT_C} 故障位同时置1。有关该位在这种条件下的详细操作说明，参见“DC-DC转换器 V_{Max} 功能”部分。 电压输出模式下，如果通道C的DC-DC转换器无法调节到期望的15 V，则该位置1。 该位置1后，不会导致FAULT引脚变为高电平。
DC-DCB	电流输出模式下，如果通道B的DC-DC转换器无法保持顺从电压(可能达到 V_{Max} 电压)，则该位置1。这种情况下， I_{OUT_B} 故障位同时置1。有关该位在这种条件下的详细操作说明，参见“DC-DC转换器 V_{Max} 功能”部分。 电压输出模式下，如果通道B的DC-DC转换器无法调节到期望的15 V，则该位置1。 该位置1后，不会导致FAULT引脚变为高电平。
DC-DCA	电流输出模式下，如果通道A的DC-DC转换器无法保持顺从电压(可能达到 V_{Max} 电压)，则该位置1。这种情况下， I_{OUT_A} 故障位同时置1。有关该位在这种条件下的详细操作说明，参见“DC-DC转换器 V_{Max} 功能”部分。 电压输出模式下，如果通道A的DC-DC转换器无法调节到期望的15 V，则该位置1。 该位置1后，不会导致FAULT引脚变为高电平。
用户切换	用户切换位。该位通过软件寄存器置1或清0。必要时，该位可用于校验数据通信。
PEC错误	表示通过SPI接口接收到的最后一个数据字存在PEC错误。
斜坡有效	当任一输出通道出现压摆时(至少在一个通道上使能压摆率控制)，该位置1。
过热	当AD5755-1内核温度超过约150°C时，该位置1。
V_{OUT_D} 故障	如果 V_{OUT_D} 引脚上检测到故障，则该位置1。
V_{OUT_C} 故障	如果 V_{OUT_C} 引脚上检测到故障，则该位置1。
V_{OUT_B} 故障	如果 V_{OUT_B} 引脚上检测到故障，则该位置1。
V_{OUT_A} 故障	如果 V_{OUT_A} 引脚上检测到故障，则该位置1。
I_{OUT_D} 故障	如果 I_{OUT_D} 引脚上检测到故障，则该位置1。
I_{OUT_C} 故障	如果 I_{OUT_C} 引脚上检测到故障，则该位置1。
I_{OUT_B} 故障	如果 I_{OUT_B} 引脚上检测到故障，则该位置1。
I_{OUT_A} 故障	如果 I_{OUT_A} 引脚上检测到故障，则该位置1。

产品特性

输出故障

AD5755-1配有一个 $\overline{\text{FAULT}}$ 引脚，该引脚属于低电平有效开漏输出引脚，允许数个AD5755-1器件一起连接到一个上拉电阻，用于检测全局故障。下列任何一种情况都会使 $\overline{\text{FAULT}}$ 引脚强制有效：

- 由于电路开环或电源电压不足， I_{OUT_x} 端的电压试图升至顺从电压范围以上。产生故障输出的内部电路避免使用具有窗口限值的比较器，因为这样需要在 $\overline{\text{FAULT}}$ 输出变为有效之前产生一个实际的输出错误。事实上，该信号是在输出级中的内部放大器的剩余驱动能力小于约1 V时产生。因此， $\overline{\text{FAULT}}$ 输出在快要达到顺从电压限值之前就会变为有效。
- 在电压输出引脚上检测到短路。短路电流限值为16 mA或8 mA，可由用户编程。如果在单极性电源模式下使用AD5755-1，当输出电压低于50 mV时，可能产生短路故障。
- 因分组差错校验(PEC)失败而检测到接口错误。参见“分组差错校验”部分。
- AD5755-1的内核温度超过约150°C。

V_{OUT_x} 故障、 I_{OUT_x} 故障、PEC错误和过温位与 $\overline{\text{FAULT}}$ 输出相配合，帮助用户了解是哪种故障条件导致 $\overline{\text{FAULT}}$ 输出激活。

电压输出短路保护

器件正常工作时，电压输出吸电流和源电流最高为12 mA并能保证正常工作的技术规格。最大输出电流或短路电流由用户编程，可以设为16 mA或8 mA。如果检测到短路， $\overline{\text{FAULT}}$ 将变为低电平，状态寄存器中的相关 V_{OUT_x} 故障位将置1。

数字失调和增益控制

每个DAC通道都有一个增益(M)寄存器和一个失调(C)寄存器，用于消除整个信号链的增益和失调误差。DAC数据寄存器的数据通过数字乘法器和加法器处理，后两者受M和C寄存器的内容控制。校准后的DAC数据存储在DAC输入寄存器中。

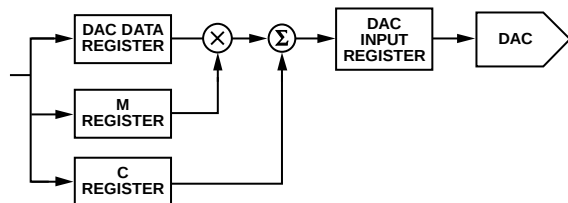


图77. 数字失调和增益控制

虽然图77中显示每个通道都有一个乘法器和加法器，但实际上器件只有一个乘法器和一个加法器，由所有4个通道共用。当多个通道同时更新时(参见表3)，更新速度会受影响。

每当向M或C寄存器写入数据时，输出不会自动更新。相反，下次写入DAC通道时会使用这些M和C值来执行新的校准并自动更新通道。

校准输出数据送至DAC输入寄存器，然后按照“工作原理”部分所述载入DAC。增益寄存器和失调寄存器的分辨率均为16位。校准增益/失调的正确方法是先校准增益，然后校准失调。

写入DAC输入寄存器的值(十进制)可以通过下式计算：

$$\text{Code}_{\text{DACRegister}} = D \times \frac{(M+1)}{2^{16}} + C - 2^{15} \quad (1)$$

其中：

D 为载入DAC通道输入寄存器的代码。

M 为增益寄存器中的代码(默认代码 = $2^{16} - 1$)。

C 为失调寄存器中的代码(默认码 = 2^{15})。

写入期间回读状态

AD5755-1可以在每个写序列期间回读状态寄存器内容。该功能通过主控制寄存器中的STATREAD位使能。利用该功能，用户可以连续监控状态寄存器，并且在发生故障时快速采取措施。

当“写入期间回读状态”使能后，16位状态寄存器中的内容(见表30)将通过SDO引脚输出，如图5所示。

AD5755-1上电时，该功能处于禁用状态。使能后，正常的回读功能不可用，状态寄存器除外。若要回读任何其他寄存器，请先将STATREAD位清零，然后执行回读序列。寄存器读取完成后，可以将STATREAD再次设为高电平。

异步清零

CLEAR是一种高电平有效边沿敏感型输入，允许输出清零至预编程的16位码。此代码可由用户通过每通道的16位清零代码寄存器进行编程。

若要清零某个通道，必须先通过该通道的DAC控制寄存器中的CLR_EN位使能该通道的清零功能。如果通道未使能清零功能，则输出仍将保持现有状态，不受CLEAR引脚电平的影响。

当CLEAR信号变回低电平后，相应输出会保持为清零值，直到设置新值。

分组差错校验(PEC)

为验证噪声环境下数据接收是否正确，AD5755-1提供了一个基于8位(CRC-8)循环冗余校验的分组错误校验选项。负责控制AD5755-1的器件应使用下列多项式生成8位帧检查序列：

$$C(x) = x_8 + x_2 + x_1 + 1$$

此序列会添加到数据字末尾，即在 $\overline{\text{SYNC}}$ 变为高电平之前有32个数据位会发送到AD5755-1。收到32位数据帧后，AD5755-1会在 $\overline{\text{SYNC}}$ 变为高电平时执行差错校验。如果校验成功，数据就会写入所选寄存器。如果校验失败，则 $\overline{\text{FAULT}}$ 引脚变为低电平，同时状态寄存器的PEC错误位置1。读取状态寄存器后， $\overline{\text{FAULT}}$ 恢复高电平(假定无其他故障)，PEC错误位自动清零。不建议将AD1和AD0均连接低电平，因为SDIN上的短路低电平可能导致DAC A发生零刻度更新。

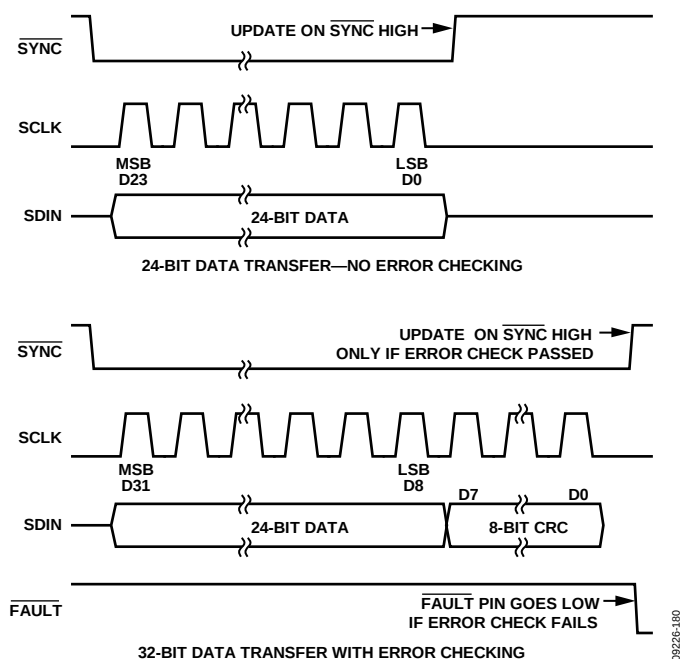


图78. PEC时序

PEC可用于发送和接收数据包。如果“写入期间回读状态”使能，则应忽略写操作过程中状态回读返回的PEC值。如果“写入期间回读状态”禁用，则用户仍然可以利用正常的回读操作，通过PEC监控状态寄存器活动。

看门狗定时器

使能时，如果未在编程设定的超时周期内向软件寄存器写入0x195，片内看门狗定时器将产生一个报警信号。该功能用于确保MCU与AD5755-1间的通信不丢失，并且数据路径线路正常工作(即SDIN、SCLK和 $\overline{\text{SYNC}}$)。如果软件寄存器未在超时周期内收到0x195，则ALERT引脚将发出故障条件信号。ALERT信号为高电平有效，可以直接连接至CLEAR引脚，以便在来自MCU的数据通信丢失时使能CLEAR。

看门狗定时器的使能以及超时周期(5 ms、10 ms、100 ms或200ms)的设置均在主控制寄存器中进行(见表18和表19)。

输出报警

AD5755-1配有一个ALERT引脚，这是一个高电平有效CMOS输出。AD5755-1还有一个内部看门狗定时器，使能时，它能监控SPI通信。如果软件寄存器未在超时周期内收到0x195，则ALERT引脚变为有效状态。

内部基准电压源

AD5755-1内置集成式+5 V基准电压源，初始精度为 ± 5 mV(最大值)，温度漂移系数为 ± 10 ppm(最大值)。该基准电压源经过了缓冲，可供外部使用，用于系统内的其它地方。要使用内部基准电压，必须将REFOUT连接到REFIN。

外部电流设置电阻

图73中， R_{SET} 是一个内部检测电阻，构成电压电流转换电路的一部分。输出电流值在全温度范围内的稳定性取决于 R_{SET} 值的稳定性。作为提高输出电流在整个温度范围内的稳定性的一种方法，可将一个外部15 k Ω 低漂移电阻连接到AD5755-1的 R_{SET_x} 引脚，以取代内部电阻R1。外部电阻通过DAC控制寄存器进行选择(参见表20)。

表1给出了AD5755-1在内部RSET电阻和外部15 k Ω R_{SET} 电阻下的性能规格。与使用内部RSET电阻相比，使用外部 R_{SET} 电阻可以提高性能。表中假设外部 R_{SET} 电阻为理想电阻，实际的性能取决于所用电阻的绝对值和温度系数，这会直接影响输出的增益误差，进而影响总不可调整误差。若要计算采用特定外部 R_{SET} 电阻时的输出增益/TUE误差，请将 R_{SET} 电阻的百分比绝对误差与表1所示的采用外部 R_{SET} 电阻时AD5755-1的增益/TUE误差(表示为% FSR)直接相加。

HART

AD5755-1有四个CHART引脚，一个输出通道对应一个CHART引脚。HART信号可以耦合到这些引脚。HART信号出现在对应的电流输出端(如果该输出已使能)。表31给出了CHART引脚上的HART信号的推荐输入电压。如果使用这些电压，电流输出应符合HART幅度要求。图79所示为衰减和耦合HART信号的推荐电路。

表31. CHART输入电压和HART输出电流

R _{SET}	CHART输入电压	电流输出(HART)
内部R _{SET}	150 mV p-p	1 mA p-p
外部R _{SET}	170 mV p-p	1 mA p-p

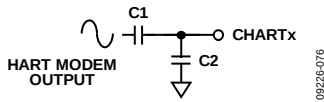


图79. 耦合HART信号

为了确保1.2 kHz和2.2 kHz HART频率不会在输出端大幅衰减，C1 + C2必须达到某一最小值。推荐值为：C1 = 22 nF，C2 = 47 nF。

为了达到HART的模拟变化速率要求，必须以数字方式控制输出的压摆率。

数字压摆率控制

AD5755-1的压摆率控制特性允许用户控制输出值的变化速率。该特性在电流和电压输出通道上均可用。通过禁用压摆率控制特性，输出值以受输出驱动电路和所连负载限制的速率变化。若要降低压摆率，可以通过使能压摆率控制特性来实现。通过压摆率控制寄存器的SREN位(参见表26)使能特性后，输出并非直接在两个值之间压摆，而是以压摆率控制寄存器可以访问的两个参数所定义的速率进行数字阶跃，如表26所示。

这两个参数是SR_CLOCK和SR_STEP。SR_CLOCK定义数据压摆的更新速率，比如，若所选更新速率为8 kHz，则输出每125 μs更新一次。与此相关，SR_STEP定义输出值在每次更新时的变化幅度。这两个参数共同定义输出值的变化速率。表32和表33给出了SR_CLOCK和SR_STEP两个参数的值范围。

图32. 压摆率更新时钟选项

SR_CLOCK	更新时钟频率(Hz) ¹
0000	64 k
0001	32 k
0010	16 k
0011	8 k
0100	4 k
0101	2 k
0110	1 k
0111	500
1000	250
1001	125
1010	64
1011	32
1100	16
1101	8
1110	4
1111	0.5

¹ 这些时钟频率由13 MHz内部振荡器分频获得。参见表1、图69和图70。

图33. 压摆率步长选项

SR_STEP	步长(LSB)
000	1
001	2
010	4
011	16
100	32
101	64
110	128
111	256

在以下等式中，压摆率为步长、更新时钟频率和LSB大小的函数。

$$\text{压摆时间} = \frac{\text{输出变化}}{\text{步长} \times \text{更新时钟频率} \times \text{LSB大小}}$$

其中：
Slew Time用秒表示。
Output Change表示为A(针对I_{OUT_X})或V(针对V_{OUT_X})。

压摆率控制特性使能时，所有输出变化将以编程设置的压摆率改变(更多信息参见“DC-DC转换器建立时间”部分)。例如，如果CLEAR引脚置位，输出将以编程设置的压摆率压摆至清零值(假设清零通道已使能清零)。如果多个通道使能了压摆特性，则置位CLEAR引脚时必须小心。当CLEAR置位时，如果其中一个通道正在压摆，则其他通道可能直接变为清零值，而不受压摆率控制。任何给定值的更新时钟对于所有输出范围都是相同的。但是，针对给定步长值，步长在整个输出范围内是变化的，因为对于每一输出范围而言，LSB大小都是不同的。

功耗控制

AD5755-1集成基于DC-DC升压转换器电路的动态电源控制功能，当器件工作于电流输出模式时，其功耗低于标准设计。

在标准电流输入模块设计中，负载电阻值的典型范围为50 Ω 至750 Ω 。输出模块系统必须有充足的源电压来满足整个负载电阻值范围内的顺从电压要求。例如，在4 mA至20 mA的环路中，当驱动20 mA电流时，即要求15 V以上的顺从电压。将20 mA驱动至50 Ω 负载时，则只需1 V顺从电流。

AD5755-1电路对输出电压进行检测，并调节该电压，使其为要求的顺从电压与较小裕量电压之和。AD5755-1最高可以驱动24 mA电流通过1 k Ω 负载。

DC-DC转换器

AD5755-1内置4个独立的DC-DC转换器，用于动态控制各个通道的 V_{BOOST} 电源电压提供(见图73)。图80所示为该DC-DC电路需要的分立式元件，以下各节将介绍该电路的元件选择方法和工作原理。

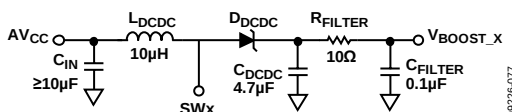


图80. DC-DC电路

表34. 推荐使用的DC-DC器件

符号	器件	值	制造厂商
L_{DCDC}	XAL4040-103	10 μH	Coilcraft®
C_{DCDC}	GRM32ER71H475KA88L	4.7 μF	Murata
D_{DCDC}	PMEG3010BEA	0.38 V_F	NXP

建议在 C_{DCDC} 之后放置一个10 Ω 、100 nF低通RC滤波器。虽然该器件会消耗少量电能，但会减少 V_{BOOST_X} 电源上的纹波。

DC-DC转换器工作原理

片上DC-DC转换器采用一种恒频、峰值电流模式控制方案，以将4.5 V至5.5 V的 AV_{CC} 输入升压，从而驱动AD5755-1输出通道。这些器件设计用于工作在断续导通模式(DCM)，占空比小于90%(典型值)。断续导通模式是一种工作模式，其中电感电流在较大比例的开关周期内为零。DC-DC转换器属于异步器件，要求采用外部肖特基二极管。

DC-DC转换器输出电压

使能通道电流输出时，转换器将 V_{BOOST_X} 电源调节至7.4 V ($\pm 5\%$)或($I_{\text{OUT}} \times R_{\text{LOAD}} + \text{裕量}$)，取较大值(电源电压裕量与输出电流间的关系曲线图参见图53)。在电压输出模式下，若

输出被禁用，转换器将把 V_{BOOST_X} 电源调节至+15 V ($\pm 5\%$)。在电流输出模式下，若输出被禁用，转换器将把 V_{BOOST_X} 电源调节至7.4 V ($\pm 5\%$)。

在通道内部， V_{OUT_X} 级和 I_{OUT_X} 级共用一个 V_{BOOST_X} 电源，因此 I_{OUT_X} 级和 V_{OUT_X} 级的输出可以连在一起。

DC-DC转换器建立时间

在电流输出模式下，步长大于约1 V ($I_{\text{OUT}} \times R_{\text{LOAD}}$)的建立时间将以DC-DC转换器的建立时间为主。当 I_{OUT_X} 引脚需要的电压与顺从电压之和低于7.4 V ($\pm 5\%$)时除外。输出建立时间的典型曲线如图49所示，其中负载为1 k Ω 。负载越小，建立时间越快。当电流步长小于24 mA时，建立时间也会更快。

DC-DC转换器 V_{MAX} 功能

最大 V_{BOOST_X} 电压在DC-DC控制寄存器中设置(23 V、24.5 V、27 V或29.5 V；参见表25)。达到该最大电压时，DC-DC转换器被禁用， V_{BOOST_X} 电压则下降约0.4 V。当 V_{BOOST_X} 电压下降达约0.4 V时，DC-DC转换器被重新启用，电压斜坡再次升到 V_{MAX} (若仍有必要)。此操作的原理如图81所示。

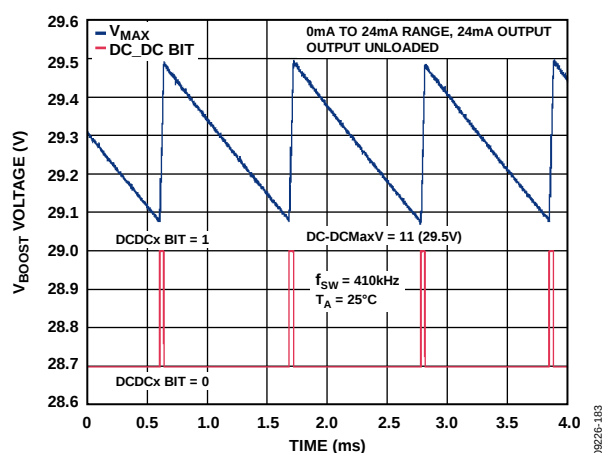


图81. 达到 V_{MAX} 的工作原理

从图81可以看出，当AD5755-1上升到 V_{MAX} 值时，状态寄存器中的DC-DCx位置位，但当电压下降到 $V_{\text{MAX}} - \sim 0.4$ V时，DC-DCx位解除置位。

DC-DC转换器片上开关

AD5755-1内置一个0.425 Ω 开关，开关电流以脉冲为基础进行监控，峰值电流限值为0.8 A。

DC-DC转换器开关频率和相位

AD5755-1 DC-DC转换器开关频率可以通过DC-DC控制寄存器选择。通道的相位也可进行调整，以使DC-DC转换器支持不同的时钟边沿(见表25)。在典型应用中，建议采用410 kHz频率。轻载时(低输出电流和小负载电阻)，DC-DC转换器进入脉冲跳跃模式，以降低开关功耗。

AD5755-1

DC-DC转换器电感选择

对于典型的4 mA至20 mA应用，一个10 μ H电感(如来自Coilcraft的XAL4040-103)配合410 kHz的开关频率，即可利用4.5 V至5.5 V的 AV_{CC} 电源将最高24 mA的电流驱动至最高1 k Ω 的负载电阻。但十分重要的是，必须确保电感能够应付峰值电流而不在最大环境温度下饱和。如果电感进入饱和模式，会导致效率降低。饱和过程中，电感值也会下降，并且可能使DC-DC转换器电路无法提供所需的输出功率。

DC-DC转换器外部肖特基二极管选择

AD5755-1要求采用外部肖特基二极管方可正常工作。要确保肖特基二极管的额定值能处理运行过程中可能出现的最大反向击穿电压，并且保证不超过整流器最高结温。二极管平均电流约等于 I_{LOAD} 电流。正向压降较大的二极管会导致效率下降。

DC-DC转换器补偿电容

当DC-DC转换器工作在DCM模式时，未补偿的传递函数实际上是单极点传递函数。传递函数的极点频率取决于DC-DC转换器输出电容、输入和输出电压以及输出负载。AD5755-1采用一个外部电容和一个150 k Ω 内部电阻来补偿调节器环路。或者，也可以将一个外部补偿电阻与该补偿电容串联起来，其方法是将DC-DC控制寄存器中的DC-DC补偿位置1。这种情况下，推荐使用一个50 k Ω 左右的电阻。有关这种方法的优势，请参见“ AI_{CC} 电源要求——压摆率”部分。对于典型应用，建议使用一个10 nF DC-DC补偿电容。

DC-DC转换器输入和输出电容选择

输出电容会影响DC-DC转换器的纹波电压，从而对通道输出电流可能升高的最大压摆率形成间接限制。纹波电压由电容以及电容的等效串联电阻(ESR)二者共同导致。对于AD5755-1，建议在典型应用中采用一个4.7 μ F陶瓷电容。较大的电容或者并联电容能改善纹波性能，但其代价是压摆率下降。较大的电容还会影响到压摆过程中的 AV_{CC} 电源电流要求(参见“ AI_{CC} 电源要求——压摆率”部分)。在所有工作条件下，DC-DC转换器输出端的电容均应大于3 μ F。

输入电容提供DC-DC转换器要求的大部分动态电流，其ESR应较低。对于AD5755-1，建议在典型应用中采用一个

10 μ F的低ESR钽电容或陶瓷电容。选择陶瓷电容时必须小心，因为这种电容可能对直流失调电压和温度极其敏感。最好选用X5R或X7R电介质，因为这种电容能在较宽的工作电压和温度范围内保持稳定。选择钽电容时必须小心，确保ESR值较低。

AI_{CC} 电源要求——静态

DC-DC转换器设计用于提供等于以下值的 V_{BOOST_X} 电压

$$V_{BOOST} = I_{OUT} \times R_{LOAD} + Headroom \quad (2)$$

裕量与输出电压的关系参见图53。这意味着，对于固定负载和输出电压，DC-DC转换器的输出电流可以通过以下公式算出：

$$AI_{CC} = \frac{Power\ Out}{Efficiency \times AV_{CC}} = \frac{I_{OUT} \times V_{BOOST}}{\eta_{V_{BOOST}} \times AV_{CC}} \quad (3)$$

其中：

I_{OUT} 为 I_{OUT_X} 的输出电流(单位A)。

$\eta_{V_{BOOST}}$ 为 V_{BOOST_X} 效率(表示为小数，参见图55和图56)。

AI_{CC} 电源要求——压摆率

AI_{CC} 在压摆期间的电流要求大于静态工作模式，因为输出功率会增大，以驱动DC-DC转换器的输出电容。该瞬态电流可能非常大(参见图82)，但“降低 AI_{CC} 电流要求”部分描述的方法可以降低 AV_{CC} 电源的要求。如果无法提供足够的 AI_{CC} 电流， AV_{CC} 电压会下降。受 AV_{CC} 下降影响，压摆所需 AI_{CC} 电流会进一步增加。这意味着 AV_{CC} 端的电压会继续下降(见等式3)， V_{BOOST_X} 电压以及输出电压可能永远无法达到目标值。由于该 AV_{CC} 电压为所有通道共用，所以这也可能会影响其他通道。

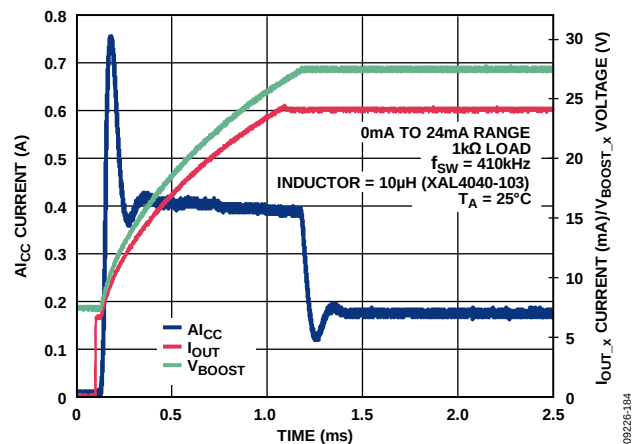


图82. AI_{CC} 电流与时间的关系(24 mA步长，1 k Ω 负载，内部补偿电阻)

降低 AI_{CC} 电流要求

主要有两种方法可用以降低 AI_{CC} 电流要求。一种方法是添加一个外部补偿电阻，另一种方法是采用压摆率控制。两种方法可以同时使用。

可以在 $COMP_{DCDC,x}$ 引脚处放置一个补偿电阻，与10 nF补偿电容串联。推荐使用一个51 k Ω 的外部补偿电阻。该补偿电阻会增加电流输出的压摆时间，但可以降低 AI_{CC} 的瞬态电流要求。图83所示为 AI_{CC} 电流曲线，其中步长为24 mA，负载为1 k Ω ，采用一个51 k Ω 的补偿电阻。这种方法可以进一步降低较小负载的电流要求，如图84所示。

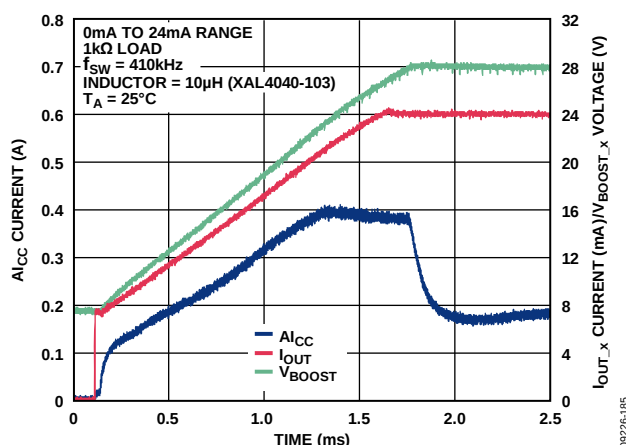


图83. AI_{CC} 电流与时间的关系
(24 mA步长, 1 k Ω 负载, 外部51 k Ω 补偿电阻)

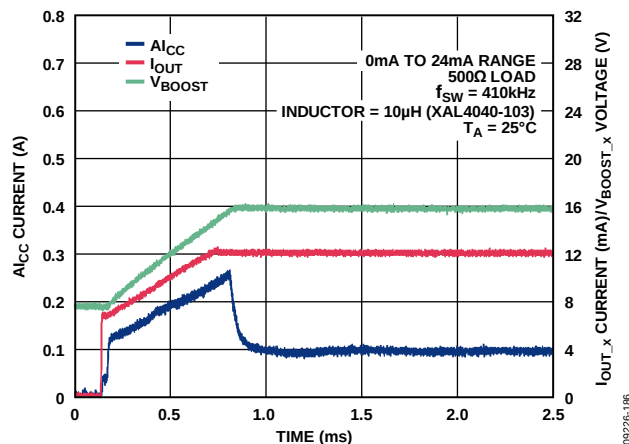


图84. AI_{CC} 电流与时间的关系
(24 mA步长, 500 Ω 负载, 外部51 k Ω 补偿电阻)

利用压摆率控制可以大幅降低 AI_{CC} 电源电流要求，如图85所示。采用压摆率控制时必须注意，输出的压摆速率可能无法快过DC-DC转换器。电流较高、负载较大(如1 k Ω)时，DC-DC转换器压摆率最慢。该压摆率还取决于DC-DC转换器的配置。图83和图84显示了DC-DC转换器输出压摆率的两个示例(V_{BOOST} 对 V_{BOOST} 应于DC-DC转换器的输出电压)。

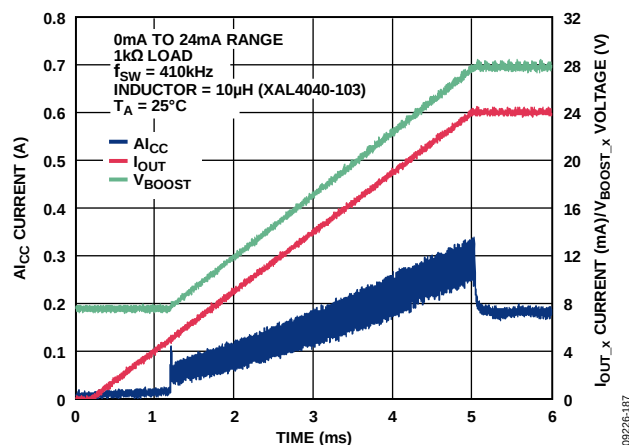


图85. AI_{CC} 电流与时间的关系
(24 mA步长, 1 k Ω 负载, 采用压摆率控制)

应用信息

相同引脚上的电压和电流输出范围

使用AD5755-1的一个通道时，电流和电压输出引脚可以连接到两个独立的引脚上，也可连在一起并连接到单个引脚上。将两个输出引脚连在一起不会发生冲突，因为任何时候都只能使能电压输出和电流输出二者之一。当使能电流输出时，电压输出处于三态模式；当使能电压输出时，电流输出为三态模式。这种工作模式下，POC引脚必须连接低电平，主控制寄存器中的POC位必须置0；或者，如果POC引脚连接高电平，则主控制寄存器中的POC位必须置1，然后使能电流输出。

如“绝对最大额定值”部分所示，电压和电流输出引脚的输出容差相同。 $+V_{SENSE_X}$ 连接经过缓冲，因此，在电流输出模式下，漏入这些引脚的电流可以忽略不计。

采用内部R_{SET}的电流输出模式

在电流输出模式下使用内部R_{SET}电阻时，使用内部R_{SET}的其他通道的使能数量以及这些通道产生的直流串扰都会显著影响输出。表1给出的内部R_{SET}规格是针对所有通道均使能、选择内部R_{SET}且输出相同代码的情况。

对于通过内部R_{SET}使能的每个通道，失调误差均会降低。例如，对于使用内部R_{SET}使能的一个电流输出，失调误差为0.075% FSR。当有更多电流通道使能时，失调误差成比例降低：两个通道使能时，每个通道的失调误差为0.056% FSR；三个通道时为0.029%；四个通道时为0.01%。

同样地，使用内部R_{SET}时的直流串扰与使用内部RSET使能的电流输出通道的数量成正比。例如，测量通道为0x8000，一个通道从零电平变为满量程，直流串扰为-0.011% FSR；两个通道从零电平变为满量程时，直流串扰为-0.019% FSR；其他3个通道均从零电平变为满量程时，直流串扰为-0.025% FSR。

对于表1中的满量程误差测量，所有通道均为0xFFFF。这意味着，当任何通道变为零电平时，满量程误差会因为直流串扰而提高。例如，测量通道为0xFFFF，三个通道为零

电平，满量程误差为0.025%。同样，如果仅一个通道在电流输出模式下通过内部R_{SET}使能，满量程误差为0.025% FSR + 0.075% FSR = 0.1% FSR。

精密基准电压源的选择

要使AD5755-1在其整个工作温度范围内达到最佳性能，必须使用精密基准电压源。选择精密基准电压源时需要全面考虑。基准输入端的电压用于为DAC内核提供经缓冲的基准电压。因此，任何基准电压误差都会反应到器件的输出端。

针对高精度应用选择基准电压时，需要考虑4种可能的误差源：输出电压的初始精度、温度系数、长期漂移和输出电压噪声。

外部基准电压源的输出电压初始精度误差会导致DAC的满量程误差。因此，最好选用具有低初始精度误差特性的基准电压源来尽量降低这些误差。具有输出调整功能的基准电压源，如ADR425等，允许系统设计人员将基准电压设置为标称值以外的电压，以便校正系统误差。这种调整可以在任何温度下使用来消除误差。

长期漂移衡量基准输出电压随时间的漂移量。具有低长期漂移特性的基准电压源可确保整体解决方案终身保持相对稳定。

基准输出电压的温度系数影响INL、DNL和TUE。应选择温度系数较低的基准电压源，以降低DAC输出电压对环境温度的依赖性。

在噪声预算相对较低的高精度应用中，必须考虑基准电压源的输出电压噪声。考虑到系统的分辨率，选择具有尽可能低的输出噪声的基准电压很重要。ADR435(XFET设计)之类精密基准电压源在0.1 Hz至10 Hz范围提供低输出噪声。然而，随着电路带宽增加，可能需要对基准电压源的输出进行滤波来尽量降低输出噪声。

表35：推荐使用的精密基准电压源

产品型号	初始精度 (mV, 最大值)	长期漂移 (ppm, 典型值)	温度漂移(ppm/°C, 最大值)	0.1 Hz至10 Hz噪声 (μV峰峰值, 典型值)
ADR445	±2	50	3	2.25
ADR02	±3	50	3	10
ADR435	±2	40	3	8
ADR395	±5	50	9	8
AD586	±2.5	15	10	4

驱动感性负载

驱动感性负载或非明确定义的负载时，可能需要在 I_{OUT_X} 和AGND之间连接一个电容，以确保稳定性。在 I_{OUT_X} 与AGND之间连接一个 $0.01\ \mu\text{F}$ 电容可以确保50 mH负载的稳定性。负载的容性成分可能导致建立时间变慢，但AD5755-1的建立时间可以掩盖这一点。AD5755-1的电流输出不存在最大电容限制。

瞬变电压保护

AD5755-1内置ESD保护二极管，可防止器件在一般工作条件下受损。但是，工业控制环境会使I/O电路遭受高得多的瞬变。为了防止AD5755-1受到过高的电压瞬变，需要外部功率二极管和一个浪涌电流限流电阻(R_p)，如图86所示。 R_p 的典型值为 $10\ \Omega$ 。两个保护二极管和电阻(R_p)必须具有适当的额定功率。

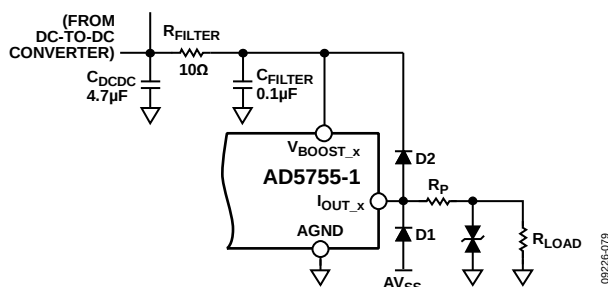


图86. 输出瞬变电压保护

通过瞬态电压抑制器(TVS)(也称为瞬态吸收器)可实现进一步的保护。这些元件包括单向抑制器(防范正高电压瞬态)和双向抑制器(防范正负高电压瞬态)，可提供各种各样的隔离和击穿电压额定值。TVS应尽量采用最低击穿电压定标，同时在电流输出的功能范围内不导通。

建议保护所有现场连接节点。电压输出节点可通过类似电路保护，其中将D2和瞬态吸收器连接到 AV_{SS} 。对于电压输出节点， $+V_{SENSE_X}$ 引脚也应通过与瞬态吸收器串联较大值的电阻进行保护，例如 $5\ \text{k}\Omega$ 。这样， I_{OUT_X} 和 V_{OUT_X} 引脚便可连在一起，共用同一保护电路。

微处理器接口

AD5755-1通过一条串行总线实现与微处理器的接口，这条总线使用与微控制器和DSP处理器兼容的协议。通信信道是一个三线式最小接口，由一个时钟信号、一个数据信号和一个锁存信号组成。AD5755-1需要24位数据字，数据在SCLK的下降沿有效。

DAC输出更新在 $\overline{LDAC}$ 的上升沿初始化，或者当 $\overline{LDAC}$ 保持低电平时，则在 $\overline{SYNC}$ 的上升沿初始化。寄存器的内容可采用回读功能进行读取。

AD5755-1与ADSP-BF527的接口

AD5755-1可以直接连接到ADI公司Blackfin® DSP ADSP-BF527的SPORT接口。图87显示如何利用该SPORT端口来控制AD5755-1。

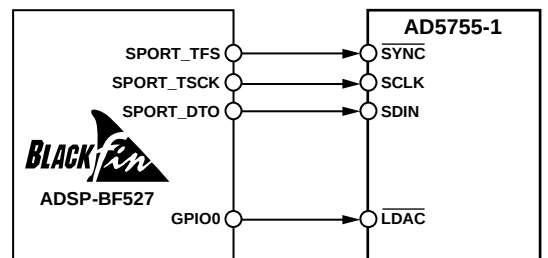


图87. AD5755-1与ADSP-BF527的SPORT接口

布局布线指南 接地

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。AD5755-1所在的印刷电路板在设计时应将模拟部分与数字部分分离，并限制在电路板的特定区域内。如果AD5755-1所在系统中有多个器件要求AGND至DGND连接，则只能在一个点进行连接。星形接地点应尽可能靠近器件。

AV_{CC} 电源的 $GNDSW_x$ 和接地连接被称为PGND。PGND应局限在电路板的特定区域之内，并且PGND与AGND只能在一个点进行连接。

电源去耦

AD5755-1应当具有足够大的 $10\ \mu\text{F}$ 电源旁路电容，与每个电源上的 $0.1\ \mu\text{F}$ 电容并联，并且尽可能靠近封装，最好是正对着该器件。 $10\ \mu\text{F}$ 电容应为钽珠型电容。 $0.1\ \mu\text{F}$ 电容应具有低有效串联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。

AD5755-1

走线

AD5755-1的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺效应。时钟等快速开关信号应利用数字地屏蔽起来，以免向电路板上的其它器件辐射噪声，并且绝不应靠近基准输入。SDIN线路与SCLK线路之间布设接地线路有助于降低二者之间的串扰(多层电路板上不需要，因为它有独立的接地层，但将线路分开是有利的)。REFIN线路上的噪声必须降至最低，因为这种噪声会被耦合至DAC输出。

避免数字信号与模拟信号交叠。电路板相对两侧上的走线应当彼此垂直，这样有助于减小电路板上的馈通效应。微带线技术是目前为止最好的方法，但这种技术对于双面电路板未必始终可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

DC-DC转换器

为了实现较高的效率、良好的调节性能和出色的稳定性，印刷电路板布局布线必须设计合理。

在设计印刷电路板时请遵循以下原则(参见图80)：

- 使低ESR输入电容 C_{IN} 靠近 AV_{CC} 和PGND。
- 使从 C_{IN} 通过电感 L_{DCDC} 到 SW_X 和PGND的高电流路径尽量短。
- 使从 C_{IN} 到 L_{DCDC} 、整流器 D_{DCDC} 和输出电容 C_{DCDC} 的高电流路径尽量短。
- 使高电流走线尽量短、尽量宽。从 C_{IN} 通过电感 L_{DCDC} 到 SW_X 和PGND的路径应能处理最低1 A的电流。
- 使补偿器件尽量靠近 $COMP_{DCDC,X}$ 。
- 避免高阻抗走线靠近连接到 SW_X 的任何节点，避免靠近电感，以防止辐射噪声注入。

电流隔离接口

在许多过程控制应用中，需要在控制器与受控单元之间提供一个隔离栅，以保护和隔离控制电路遭受可能发生的任何危险的共模电压。ADI公司iCoupler®产品可提供超过2.5 kV的电压隔离。AD5755-1采用串行加载结构，使接口线路数量保持最少，因此成为隔离接口的理想选择。图88所示为AD5755-1使用ADuM1400的4通道隔离接口。欲了解更多信息，请访问www.analog.com。

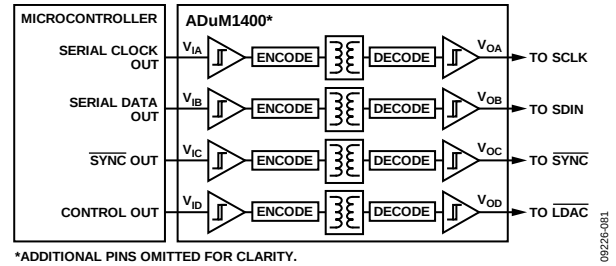


图88. 隔离接口

支持工业HART的模拟输出应用—共享 V_{OUT_X} 和 I_{OUT_X} 引脚

许多工业控制应用要求对电流输出信号进行精确控制，AD5755-1非常适合此类应用。图89中的电路设计显示AD5755-1用于一个支持HART的输出模块。在此类工业控制应用中，电压输出和电流输出通过一个引脚提供，一次只能提供一种输出，从而降低所需螺纹连接的数量。将两个输出引脚连在一起不会发生冲突，因为任何时候都只能使能电压输出和电流输出二者之一。

该设计提供一路支持HART的电流输出，HART功能由业界功耗最低、尺寸最小的HART兼容IC调制解调器AD5700/AD5700-1实现。AD5700-1内置一个0.5%精度的振荡器，可以进一步节省空间。从AD5700输出的HART_OUT信号经过衰减后，交流耦合至AD5755-1的CHARTx引脚。这种配

置使得AD5700 HART调制解调器输出能够调制4 mA至20 mA模拟电流，而不会影响该电流的直流电平。此电路符合HART通信基金会定义的HART物理层规范。

为了实现瞬变过压保护， I_{OUT}/V_{OUT} 连接上配置24 V瞬变电压抑制器(TVS)。为提供进一步保护， I_{OUT_X}/V_{OUT_X} 引脚与 AV_{DD} 和 AV_{SS} 电源引脚之间连接有钳位二极管。另外还使用一个5 k Ω 限流电阻，它与 $+V_{SENSE_X}$ 输入端串联，用以将瞬变事件期间的电流限制在合理范围内。AD5700 HART调制解调器建议采用包含150 k Ω 电阻的外部带通滤波器，这样可以将电流限制在足够低水平，以满足本质安全要求。这种情况下，输入端具有更高的瞬态电压保护功能，因此即使是在要求最苛刻的工业环境中，也无需额外的保护电路。

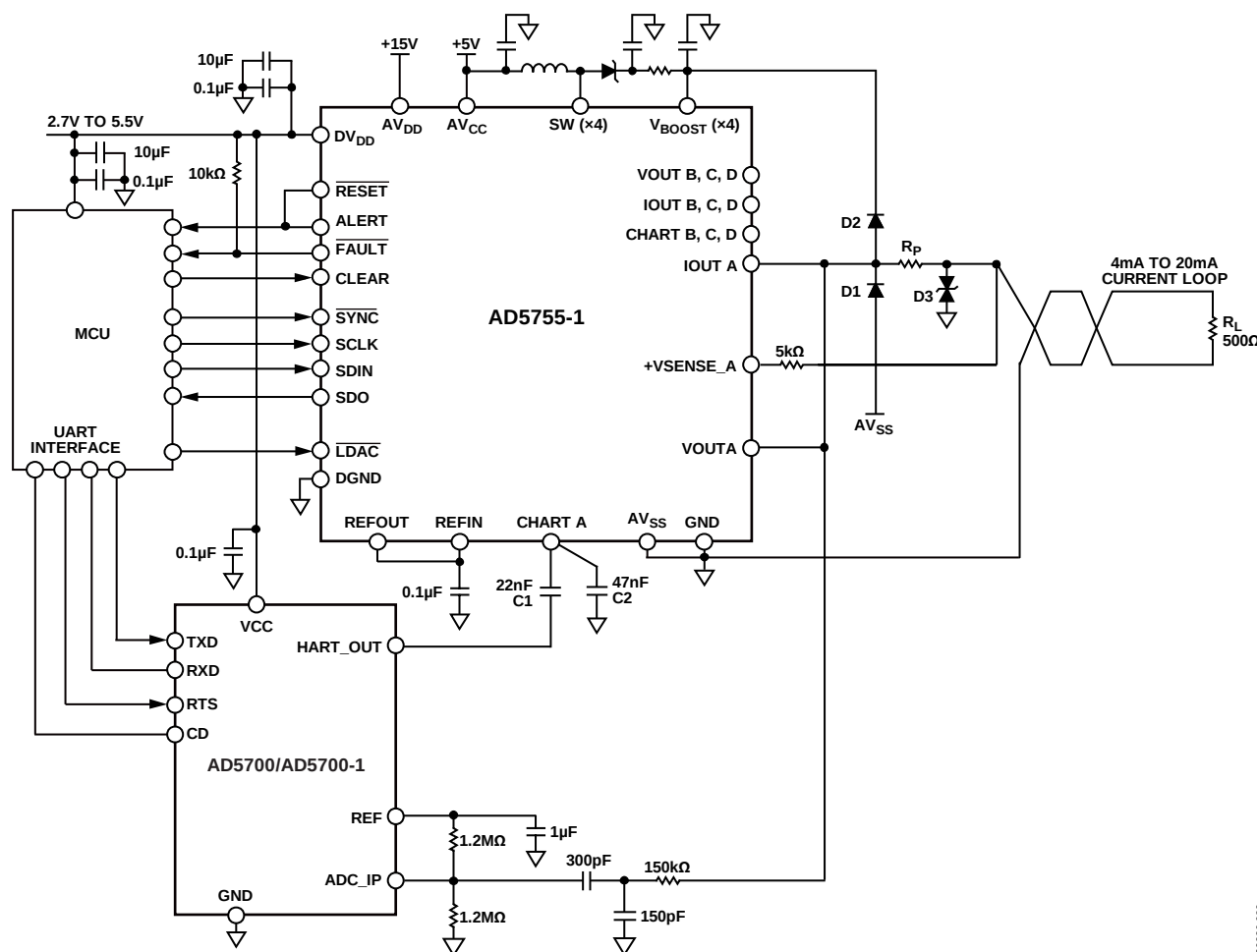
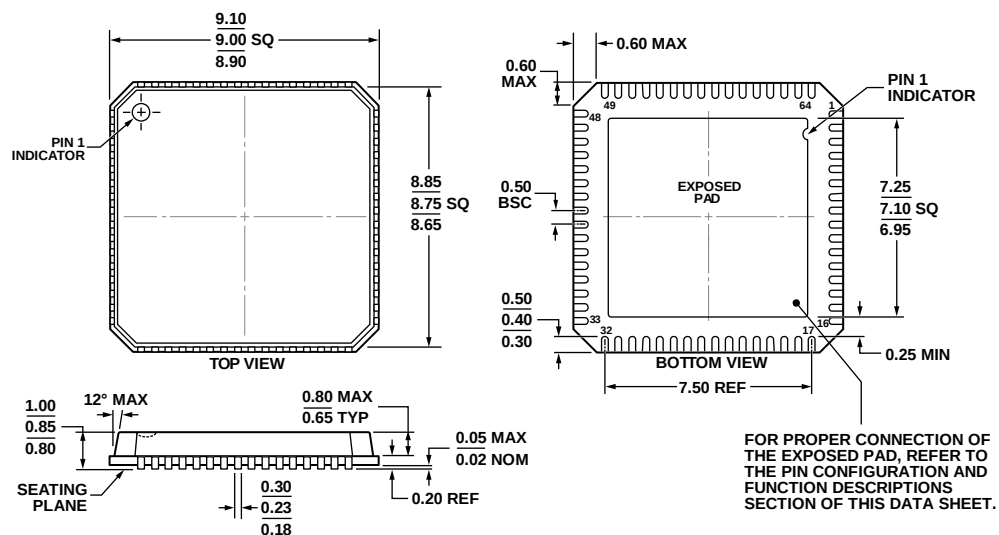


图89. AD5755-1的HART配置

08226-089

AD5755-1

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VMMD-4

图90. 64引脚引脚架构芯片级封装[LFCSP_VQ]
9 mm x 9 mm, 超薄体
(CP-64-3)
图示尺寸单位: mm

订购指南

型号 ¹	分辨率(位)	温度范围	封装描述	封装选项
AD5755-1ACPZ	16	-40°C至+105°C	64引脚 LFCSP_VQ	CP-64-3
AD5755-1ACPZ-REEL7	16	-40°C至+105°C	64引脚 LFCSP_VQ	CP-64-3
EVAL-AD5755-1SDZ			评估板	

¹ Z = 符合RoHS标准的器件。

注释

注释