

### 产品特性

一对匹配的可编程滤波器和可变增益放大器(VGA)

连续增益控制范围: 50 dB

数字增益控制: 15 dB

6极点巴特沃兹滤波器: 1 MHz 至 31 MHz, 1 M Hz步进,

1 dB 转折频率

前置放大器和后置放大器增益步进

IMD3: >65 dBc(1.5 V p-p复合输出)

HD2、HD3: >65 dBc(1.5 V p-p输出)

差分输入和输出

灵活的输出和输入共模范围

可选直流失调补偿环路

SPI可编程滤波转折频率和增益步进

关断特性

3.3 V单电源供电

### 应用

基带IQ接收机

分集接收机

ADC驱动器

点到点及点到多点无线电

仪器仪表

医疗

### 概述

ADRF6516包括一对匹配的完全差分低噪声、低失真可编程滤波器和可变增益放大器(VGA)。每个通道都能够抑制较大的带外干扰信号,同时忠实放大所需信号,因而模数转换器(ADC)的带宽和分辨率要求得以降低。两个通道匹配出色,而且在所有增益和带宽设置下都具有很高的无杂散动态范围,因此ADRF6516非常适合具有密集星座图、多个载波并存在邻近干扰的正交(IQ)通信系统。

滤波器提供6极点巴特沃兹响应,其1 dB转折频率可通过SPI在1 MHz至31 MHz范围内进行编程,步进为1 MHz。滤波器之前的前置放大器提供3 dB或6 dB的SPI可编程增益选项,它可设置1600Ω的差分输入阻抗,并具有1.1 V至1.8 V驱动范围、默认值为VPS/2的共模电压。

#### Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文,敬请谅解翻译中可能存在的语言组织或翻译错误,ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性,请参考ADI提供的最新英文版数据手册。

### 功能框图

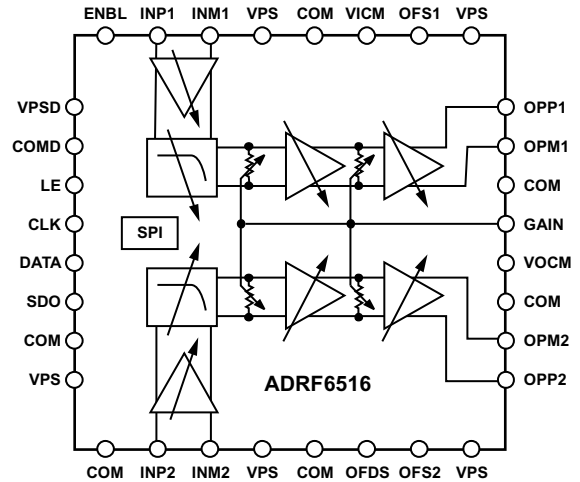


图1.

滤波器之后的可变增益放大器提供50 dB的连续增益控制,斜率为15.5 mV/dB,其最大增益可以通过SPI编程为不同的值。输出缓冲器提供30 Ω的差分输出阻抗,能够以2 V p-p驱动1 kΩ负载。输出共模电压默认为VPS/2,但可以通过驱动高阻抗VOCM引脚调整到最低700 mV。如果希望进行完全直流耦合操作,可以禁用独立的内置直流失调补偿环路。高通转折频率由引脚OFS1和OFS2上的外部电容和VGA增益确定。

ADRF6516的工作电源电压为3.15 V至3.45 V;当编程为最高带宽设置时,其最大功耗为360 mA。禁用时的功耗低于9 mA。ADRF6516采用先进的硅-锗BiCMOS工艺制造,提供32引脚、裸露焊盘LFCSP封装,额定温度范围为-40°C至+85°C。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
Fax: 781.461.3113 ©2010-2012 Analog Devices, Inc. All rights reserved.

## 目录

特性.....	1	失真特性.....	19
应用.....	1	动态范围最大化.....	19
功能框图.....	1	正交接收机的关键参数.....	20
概述.....	1	应用信息.....	21
修订历史.....	2	基本连接.....	21
技术规格.....	3	电源去耦.....	21
时序图.....	5	输入信号路径.....	21
绝对最大额定值.....	6	输出信号路径.....	21
ESD警告.....	6	直流失调补偿环路使能.....	21
引脚配置和功能描述.....	7	共模旁路.....	21
典型性能参数.....	8	串行端口连接.....	22
寄存器映射和代码.....	15	使能/禁用功能.....	22
工作原理.....	16	误差矢量幅度(EVM)性能.....	22
输入缓冲器.....	16	EVM测试设置.....	22
可编程滤波器.....	16	滤波器带宽对EVM的影响.....	22
可变增益放大器(VGA).....	17	输出电压水平对EVM的影响.....	23
输出缓冲器/ADC驱动器.....	17	$C_{OFS}$ 值对EVM的影响.....	23
直流失调补偿环路.....	17	评估板.....	24
编程滤波器和增益.....	18	评估板控制软件.....	24
噪声特性.....	18		
原理图和PCB布局图.....	25		
外形尺寸.....	29		
订购指南.....	29		

## 修订历史

### 2012年2月—修订版A至修订版B

更改图57.....	24
更改图58.....	25
增加图59.....	26
更改图60和图61.....	27
更改表6.....	27

### 2011年9月—修订版A：初始版

## 规格

除非另有说明, VPS = 3.3 V,  $T_A = 25^\circ\text{C}$ ,  $Z_{\text{LOAD}} = 1\text{ k}\Omega$ , 数字增益代码 = 111。

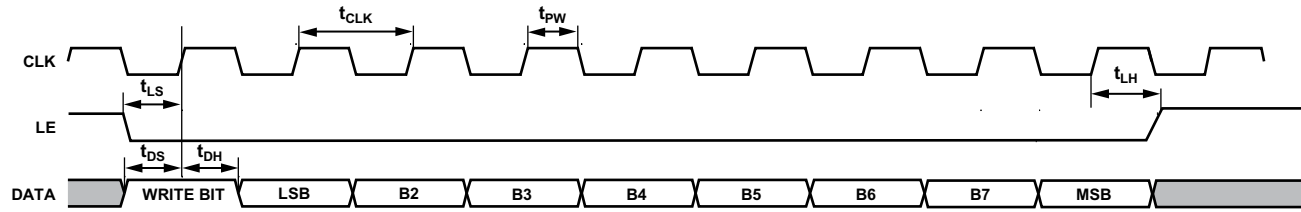
表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
频率响应					
低通转折频率( $f_c$ )	6极点巴特沃兹滤波器, 0.5 dB带宽	1		31	MHz
步长			1		MHz
转折频率绝对精度	整个工作温度范围		$\pm 15$		% $f_c$
转折频率匹配	通道A和通道B具有相同的增益和带宽设置		$\pm 0.5$		% $f_c$
通带纹波			0.5		dB p-p
增益匹配	通道A和通道B具有相同的增益和带宽设置		$\pm 0.1$		dB
群延迟偏差	从中频带到峰值频带				
转折频率 = 1 MHz			135		ns
转折频率 = 31 MHz			11		ns
群延迟匹配	通道A和通道B具有相同的增益				
转折频率 = 1 MHz			5		ns
转折频率 = 31 MHz			0.2		ns
阻带抑制					
相对于通带	$2 \times f_c$		30		dB
	$5 \times f_c$		75		dB
输入级	INP1, INM1, INP2, INM2, VICM 引脚				
最大输入摆幅	增益最小时, $V_{\text{GAIN}} = 0\text{ V}$		1		V p-p
差分输入阻抗			1600		$\Omega$
输入共模范围	0.4 V p-p输入电压, $\text{HD3} > 65\text{ dBc}$	1.1	1.65	1.8	V
	输入引脚悬空		VPS/2		V
VICM输出阻抗			7		k $\Omega$
增益控制	增益引脚				
电压增益范围	$V_{\text{GAIN}} = 0\text{ V}$ 至1 V	-5		+45	dB
增益斜率			15.5		mV/dB
增益误差	$V_{\text{GAIN}} = 300\text{ mV}$ 至800 mV		0.2		dB
输出级	OPP1, OPM1, OPP2, OPM2, VOCM 引脚				
最大输出摆幅	增益最大时, $R_{\text{LOAD}} = 1\text{ k}\Omega$		2		V p-p
	$\text{HD2} > 65\text{ dBc}$ , $\text{HD3} > 65\text{ dBc}$		1.5		V p-p
差分输出阻抗			30		$\Omega$
输出直流失调	输入短接, 失调环路禁用		35		mV
输出共模范围		0.7	1.65	2.8	V
	VOCM引脚悬空		VPS/2		V
VOCM输入阻抗			23		k $\Omega$
噪声/失真					
转折频率 = 1 MHz					
输出噪声密度	当频率为 $f_c/2$ 时, 增益为0 dB		-141		dBV/ $\sqrt{\text{Hz}}$
	当频率为 $f_c/2$ 时, 增益为20 dB		-131		dBV/ $\sqrt{\text{Hz}}$
	当频率为 $f_c/2$ 时, 增益为40 dB		-112		dBV/ $\sqrt{\text{Hz}}$
二次谐波(HD2)	250 kHz基频, 1.5 V p-p输出电压				
	增益为5 dB		82		dBc
	增益为40 dB		68		dBc
三次谐波(HD3)	250 kHz基频, 1.5 V p-p输出电压				
	增益为5 dB		71		dBc
	增益为40 dB		56		dBc

# ADRF6516

参数	测试条件/注释	最小值	典型值	最大值	单位
IMD3	f1 = 500 kHz, f2 = 550 kHz, 1.5 V p-p 复合输出电压 增益为5 dB 增益为35 dB		61 42.5		dBc dBc
IMD3(输入CW阻塞)	f1 = 500 kHz, f2 = 550 kHz, 1.5 V p-p复合输出, 增益为5 dB; 在5 MHz频率下产生阻塞, 10 dBc相 对于双音复合输出电压		40		dBc
转折频率 = 31 MHz 输出噪声密度	中频带, 增益为0 dB 中频带, 增益为20 dB 中频带, 增益为40 dB		-143.5 -139 -125		dBV/√Hz dBV/√Hz dBV/√Hz
二次谐波(HD2)	8 MHz基频, 1.5 V p-p输出电压 增益为5 dB 增益为40 dB		68 70		dBc dBc
三次谐波(HD3)	8 MHz基频, 1.5 V p-p输出电压 增益为5 dB 增益为40 dB		55 75		dBc dBc
IMD3	f1 = 14 MHz, f2 = 15 MHz, 1.5 V p-p 复合输出电压 增益为5 dB 增益为35 dB		55 77.5		dBc dBc
IMD3(输入CW阻塞)	f1 = 14 MHz, f2 = 15 MHz, 1.5 V p-p复合输出, 增益为5 dB; 在150 MHz频率下产生阻塞, 10 dBc 相对于双音复合输出电压		55		dBc
数字逻辑	LE, CLK, DATA, SDO, OFDS 引脚				
输入高电压V <sub>INH</sub>			>2		V
输入低电压V <sub>INL</sub>			<0.8		V
输入电流I <sub>INH</sub> /I <sub>INL</sub>			<1		μA
输入电容C <sub>IN</sub>			2		pF
SPI时序	LE, CLK, DATA, SDO引脚(见图2和图3)				
f <sub>SCLK</sub>	1/t <sub>SCLK</sub>		20		MHz
t <sub>DH</sub>	DATA保持时间		5		ns
t <sub>DS</sub>	DATA建立时间		5		ns
t <sub>LH</sub>	LE保持时间		5		ns
t <sub>LS</sub>	LE建立时间		5		ns
t <sub>PW</sub>	CLK高电平脉冲宽度		5		ns
t <sub>D</sub>	CLK至SDO延迟		5		ns
电源与使能	VPS, VPSD, COM, COMD, ENBL 引脚				
电源电压范围		3.15	3.3	3.45	V
总电源电流	ENBL = 3.3 V 转折频率 = 31 MHz 转折频率 = 1 MHz		360 330		mA mA
禁用电流	ENBL = 0 V		9		mA
禁用阈值			1.6		V
使能响应时间	在发生ENBL由低到高的变换后产生延迟		20		μs
禁用响应时间	在发生ENBL由高到低的变换后产生延迟		300		ns

时序图

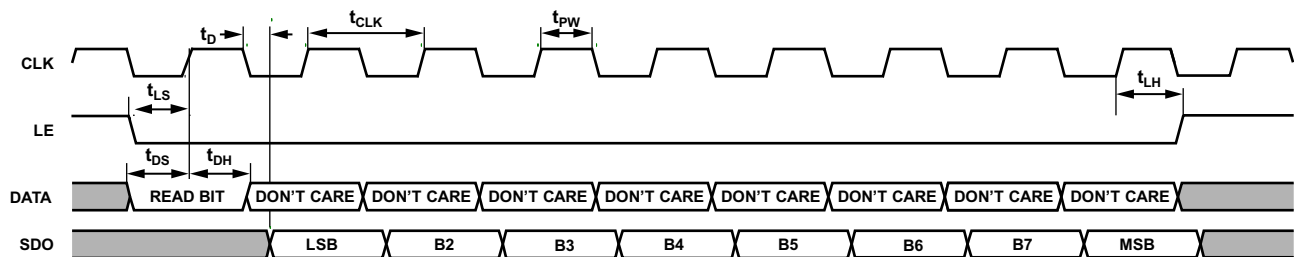


NOTES

1. THE FIRST DATA BIT DETERMINES WHETHER THE PART IS WRITING TO OR READING FROM THE INTERNAL 8-BIT REGISTER. FOR A WRITE OPERATION, THE FIRST BIT SHOULD BE A LOGIC 1. THE 8-BIT WORD IS THEN WRITTEN TO THE DATA PIN ON CONSECUTIVE RISING EDGES OF THE CLOCK.

图2. 写入模式时序图

09422-003



NOTES

1. THE FIRST DATA BIT DETERMINES WHETHER THE PART IS WRITING TO OR READING FROM THE INTERNAL 8-BIT REGISTER. FOR A READ OPERATION, THE FIRST BIT SHOULD BE A LOGIC 0. THE 8-BIT WORD IS THEN REGISTERED AT THE SDO PIN ON CONSECUTIVE FALLING EDGES OF THE CLOCK.

图3. 读出模式时序图

09422-004

# ADRF6516

## 绝对最大额定值

表3.

参数	额定值
电源电压: VPS、VPSD	3.45 V
ENBL, OFDS, LE, CLK, DATA, SDO	VPSD + 0.5 V
INP1、INM1、INP2和INM2	VPS + 0.5 V
OPP1、OPM1、OPP2和OPM2	VPS + 0.5 V
OFS1, OFS2	VPS + 0.5 V
GAIN	VPS + 0.5 V
内部功耗	1.25 W
$\theta_{JA}$ (裸露焊盘焊接到板)	37.4°C/W
最高结温	150°C
工作温度范围	-40°C至+85 °C
存储温度范围	-65°C至+150 °C
引脚温度(焊接60秒)	300°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

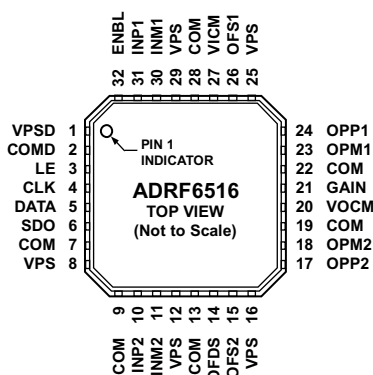
### ESD警告



#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述



NOTES  
1. CONNECT THE EXPOSED PADDLE TO A LOW IMPEDANCE GROUND PAD.

0942-002

图4. 引脚配置

表3. 引脚功能描述

引脚编号	引脚名称	说明
1	VPSD	数字正电源电压：3.15 V至3.45 V。
2	COMD	数字公共端。使用尽可能低的阻抗，连接至外部电路公共端。
3	LE	锁存使能。SPI编程引脚。TTL电平： $V_{LOW} < 0.8 V$ ， $V_{HIGH} > 2 V$ 。
4	CLK	SPI端口时钟。TTL电平： $V_{LOW} < 0.8 V$ ， $V_{HIGH} > 2 V$ 。
5	DATA	SPI数据输入。TTL电平： $V_{LOW} < 0.8 V$ ， $V_{HIGH} > 2 V$ 。
6	SDO	SPI数据输出。TTL电平： $V_{LOW} < 0.8 V$ ， $V_{HIGH} > 2 V$ 。
7, 9, 13, 19, 22, 28	COM	模拟公共端。使用尽可能低的阻抗，连接至外部电路公共端。
8, 12, 16, 25, 29	VPS	模拟正电源电压：3.15 V至3.45 V。
10, 11, 30, 31	INP 2, INM 2, INM 1, INP 1	差分输入。1600 $\Omega$ 输入阻抗。
14	OFDS	失调补偿环路禁用。将该引脚拉高，以禁用失调补偿环路。
15, 26	OFS 2, OFS 1	失调补偿环路电容。将电容连接至电路公共端。
17, 18, 23, 24	OPP 2, OPM 2, OPM 1, OPP 1	差分输出。30 $\Omega$ 输出阻抗。共模电压范围：0.7 V至2.8 V(默认：VPS/2)。
20	VOVM	输出共模设定点。在悬空的情况下，默认值为VPS/2。
21	GAIN	模拟增益控制。0 V至1 V，15.5 mV/dB增益调整。
27	VICM	输入共模电压。VPS/2 V基准电压。用作最佳共模驱动差分输入的基准电压。
32	ENBL	芯片使能。拉高以使能芯片。
	EP	裸露焊盘。将裸露焊盘与低阻抗接地焊盘相连。

# ADRF6516

## 典型性能参数

除非另有说明,  $V_{PS} = 3.3\text{ V}$ ,  $T_A = 25^\circ\text{C}$ ,  $Z_{LOAD} = 1\text{ k}\Omega$ , 数字增益代码 = 111。

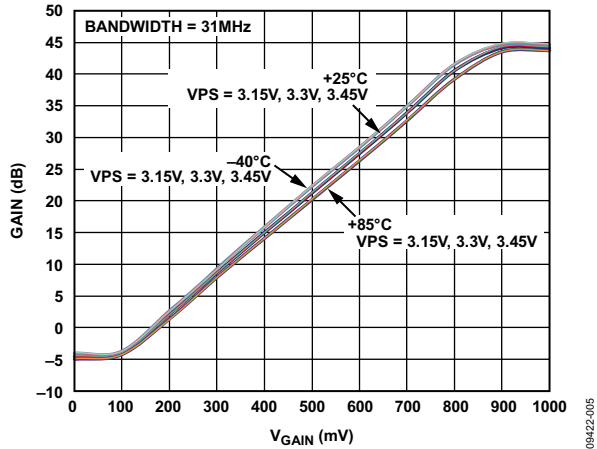


图5. 在不同电源电压和温度条件下, 带内增益与 $V_{GAIN}$ 的关系 (带宽为31 MHz)

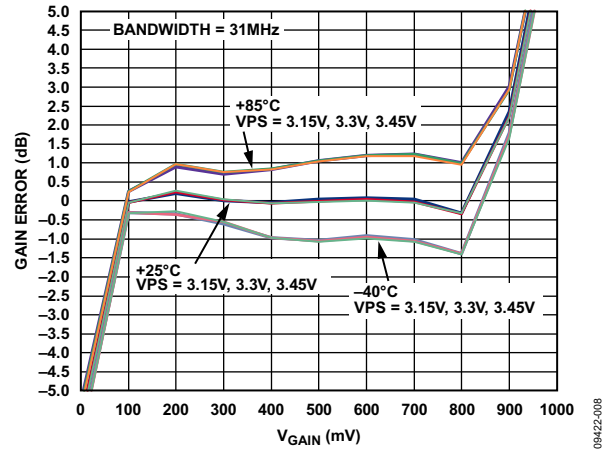


图8. 在不同电源电压和温度条件下, 增益一致性与 $V_{GAIN}$ 的关系 (带宽为31 MHz)

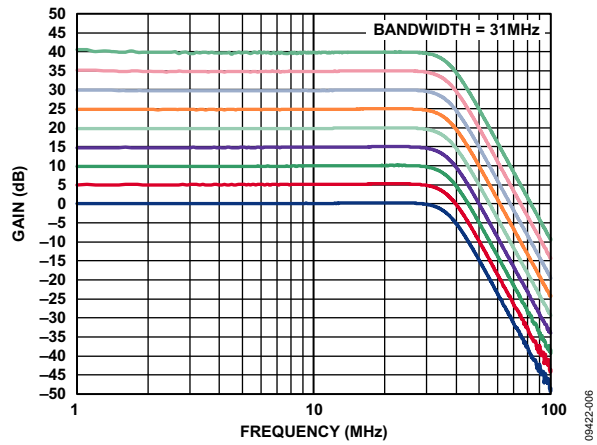


图6. 在不同 $V_{GAIN}$ 条件下, 增益与频率的关系(带宽为31 MHz)

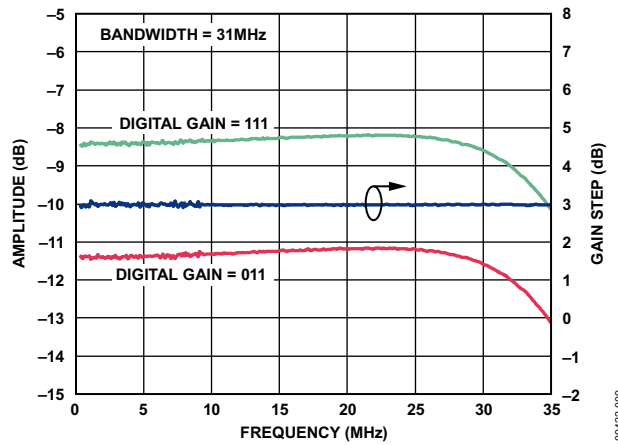


图9. 增益步进和增益误差与频率的关系 (带宽为31 MHz,  $V_{GAIN} = 0\text{ V}$ )

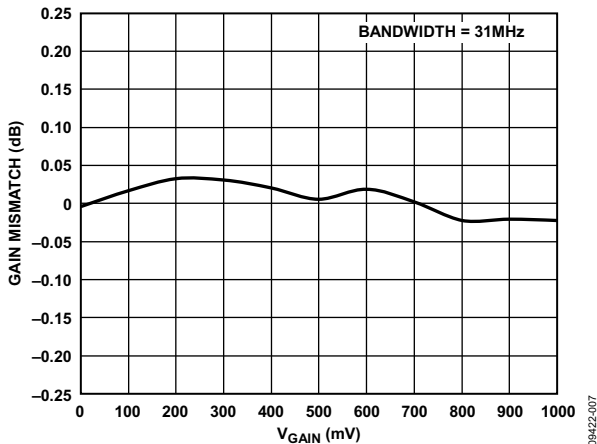


图7. 增益匹配与 $V_{GAIN}$ 的关系(带宽为31 MHz)

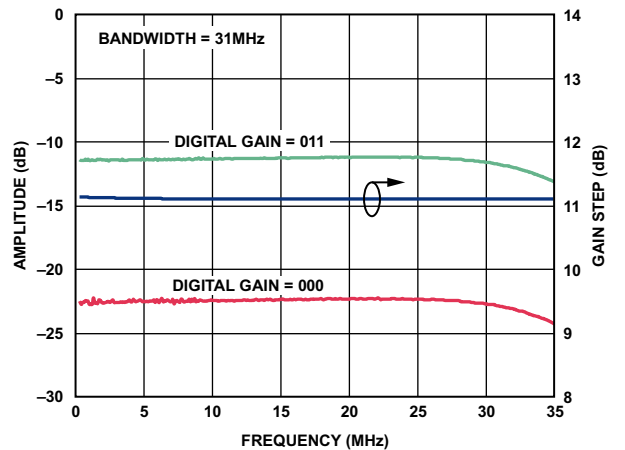


图10. 增益步进和增益误差与频率的关系 (带宽为31 MHz,  $V_{GAIN} = 0\text{ V}$ )



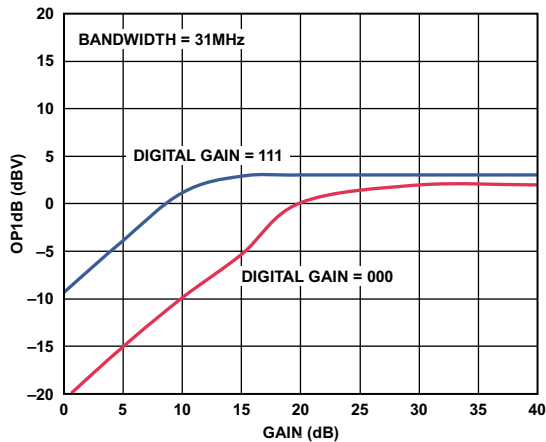


图11. 在15 MHz条件下输出P1dB与增益的关系  
(带宽为31 MHz)

09422-011

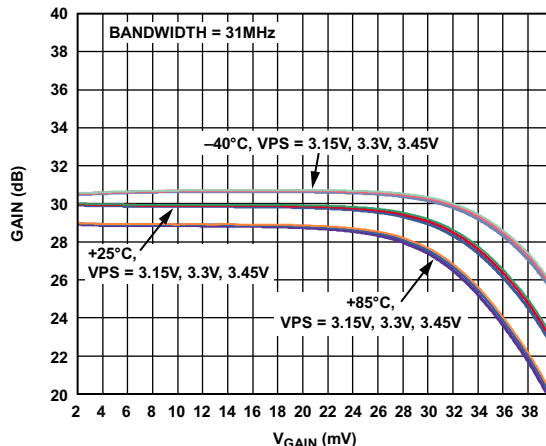


图14. 在不同电源电压和温度条件下的频率响应  
(带宽为31 MHz, 增益为30 dB)

09422-014

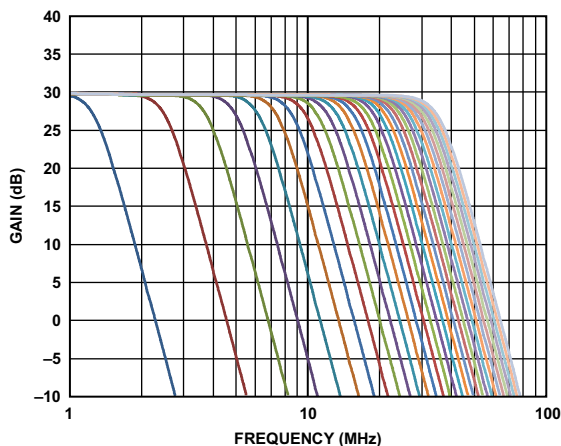


图12. 频率响应与带宽设置的关系  
(增益为30 dB, 取对数)

09422-012

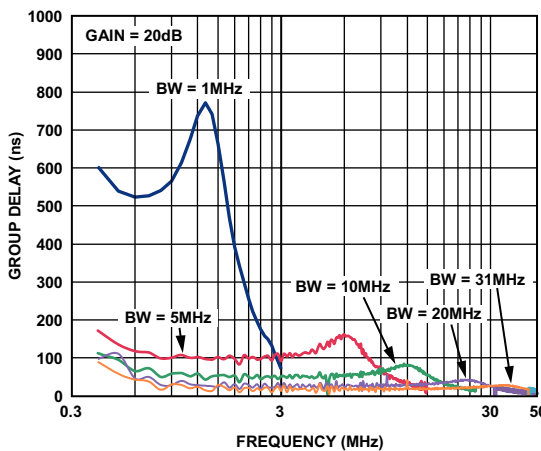


图15. 群延迟与频率的关系(增益为20 dB)

09422-015

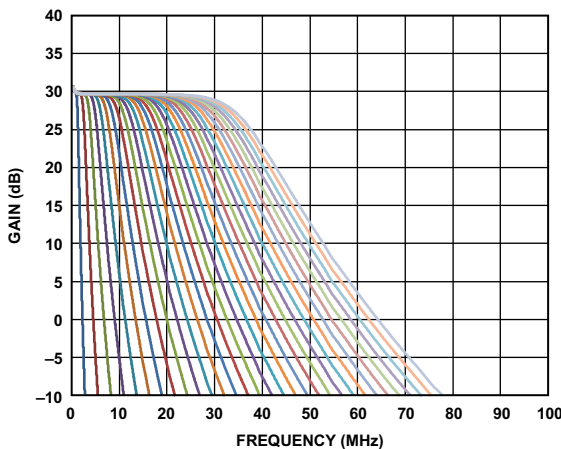


图13. 频率响应与带宽设置的关系  
(增益为30 dB, 取对数)

09422-013

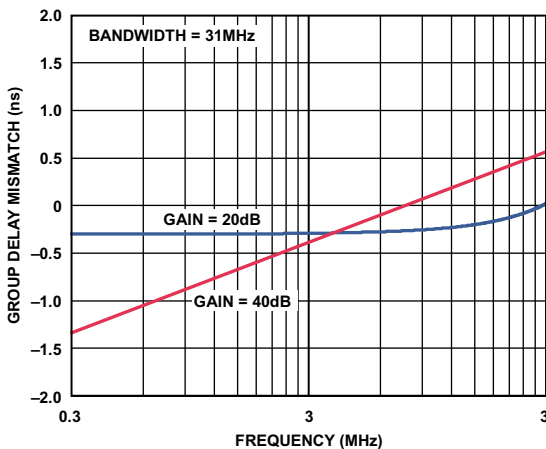


图16. 群延迟匹配与频率的关系  
(带宽为31 MHz)

09422-016

# ADRF6516

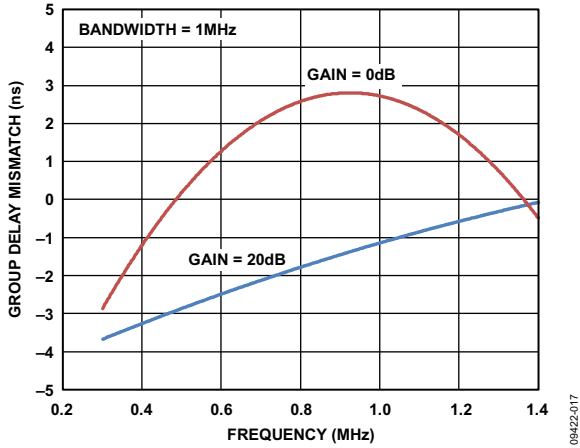


图17. IQ群延迟匹配与频率的关系(带宽为1 MHz)

09422-017

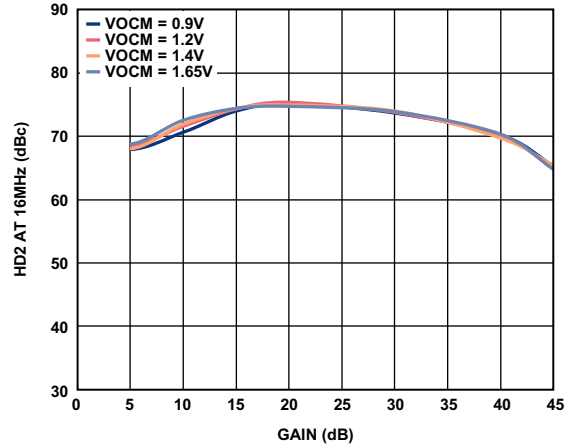


图20. 在不同输出共模电压条件下, HD2与增益的关系(带宽为31 MHz, 1.5 V p-p, 8 MHz CW基波输出)

09422-020

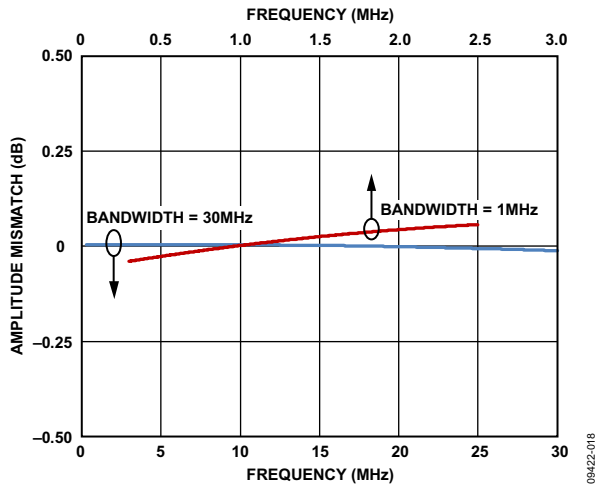


图18. IQ幅度匹配与频率的关系

09422-018

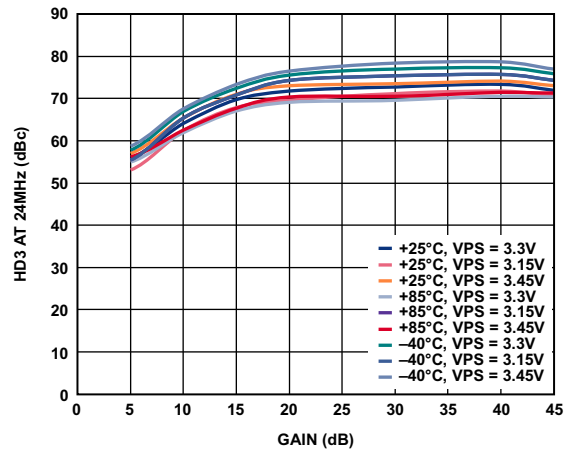


图21. 在不同电源电压和温度条件下, HD3与增益的关系(带宽为31 MHz, 1.5 V p-p, 8 MHz CW基波输出)

09422-022

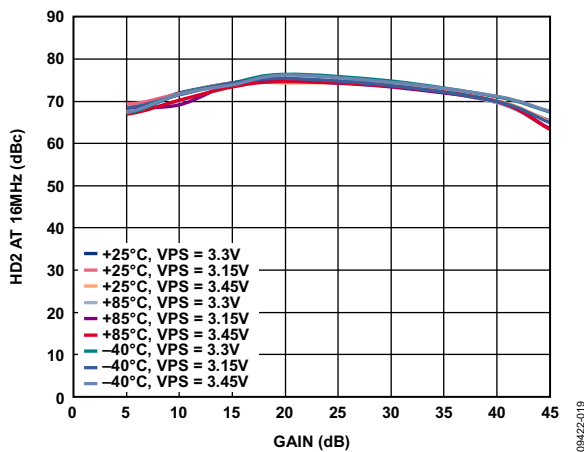


图19. 在不同电源电压和温度条件下, HD2与增益的关系(带宽为31 MHz, 1.5 V p-p, 8 MHz CW基波输出)

09422-019

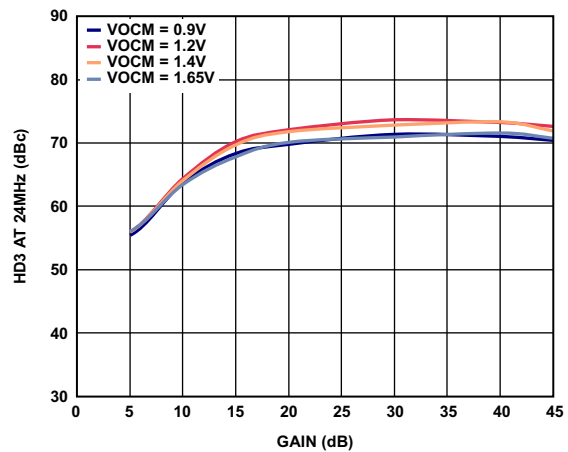


图22. 在不同输出共模电压条件下, HD3与增益的关系(带宽为31 MHz, 1.5 V p-p, 8 MHz CW基波输出)

09422-023

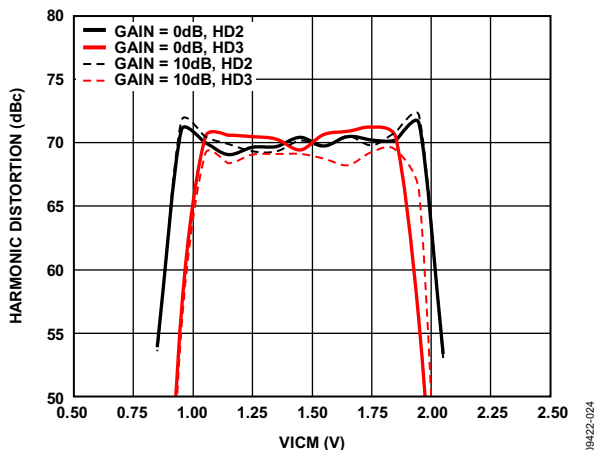


图23. HD2和HD3与输入共模电压的关系  
(带宽为31 MHz, 0.4 V p-p输入电平)

09422-024

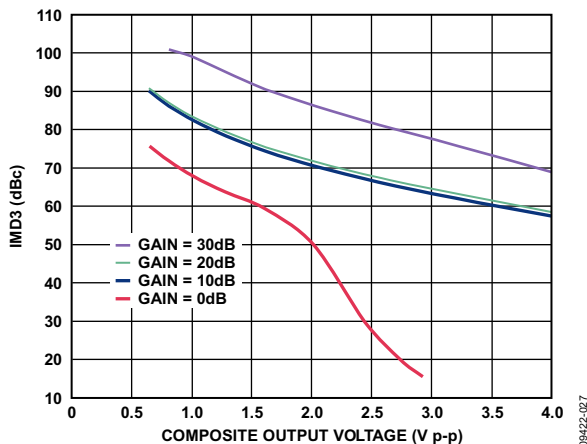


图26. 带内三阶互调失真(带宽为31 MHz, 数字增益为000)

09422-027

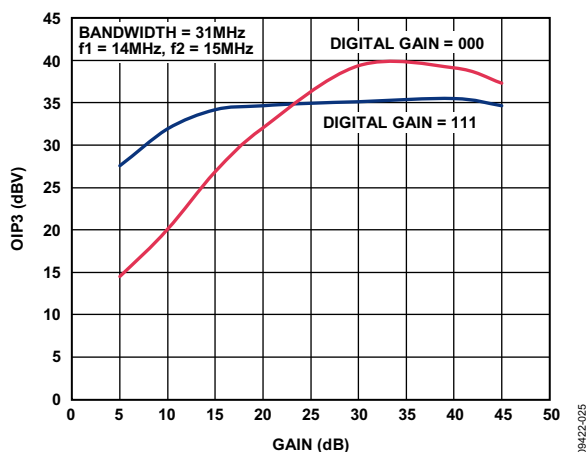


图24. 带内OIP3与增益的关系(带宽为31 MHz)

09422-025

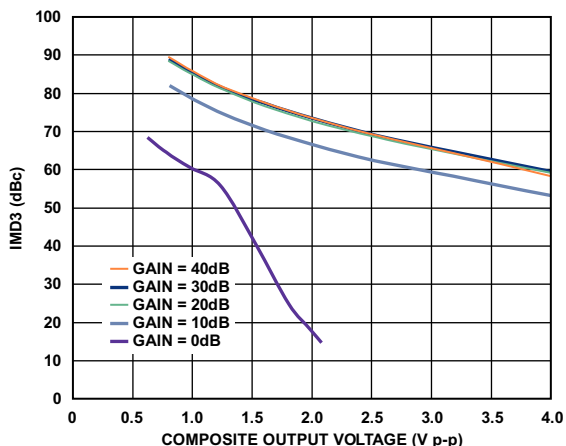


图27. 带内三阶互调失真(带宽为31 MHz, 数字增益为111)

09422-028

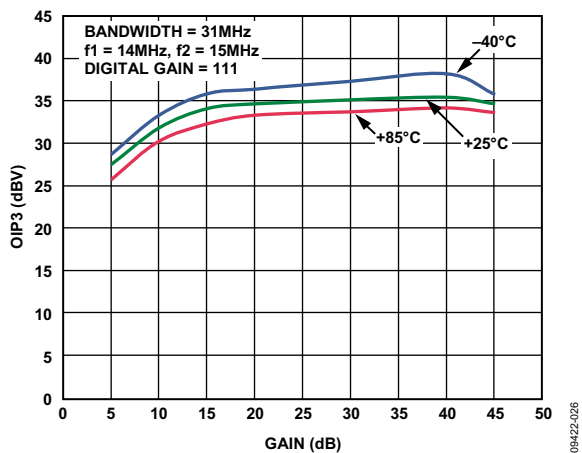


图25. 在不同温度条件下, 带内OIP3与增益的关系  
(带宽为31 MHz)

09422-026

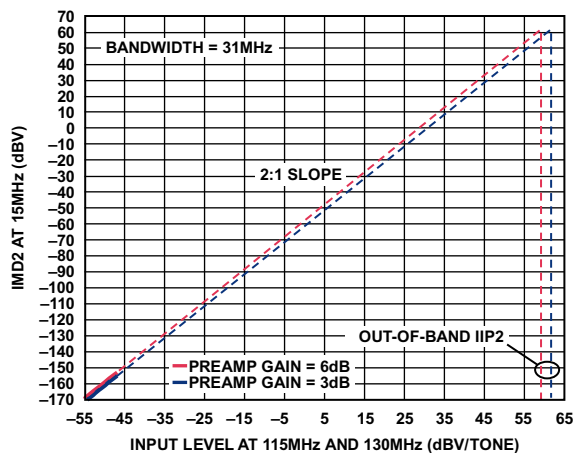


图28. 带外IIP2、中段IMD2音频(带宽为31 MHz)

09422-029

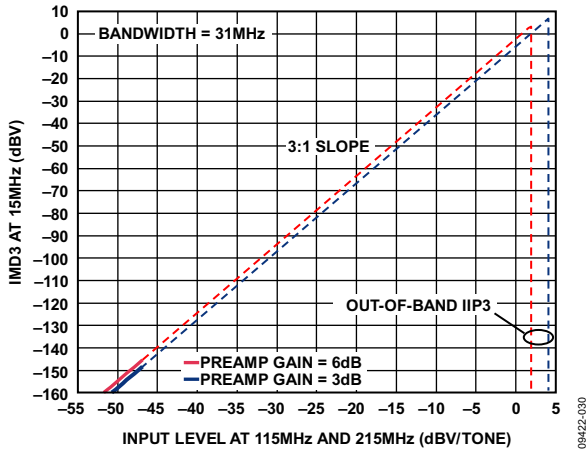


图29. 带外IIP3、中段IMD3音频(带宽为31 MHz)

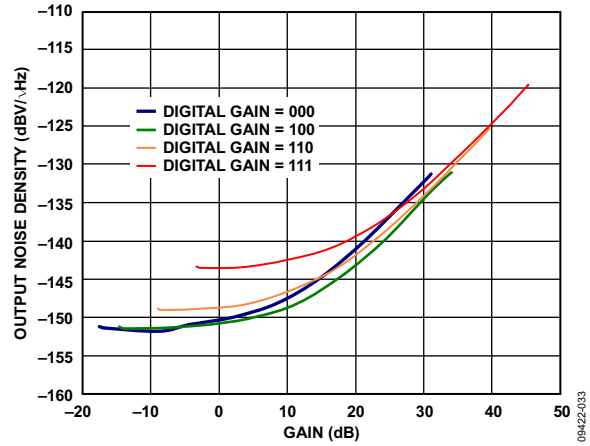


图32. 在不同数字增益条件下, 输出噪声密度与模拟增益的关系 (带宽为31 MHz, 1/2带宽时测量)

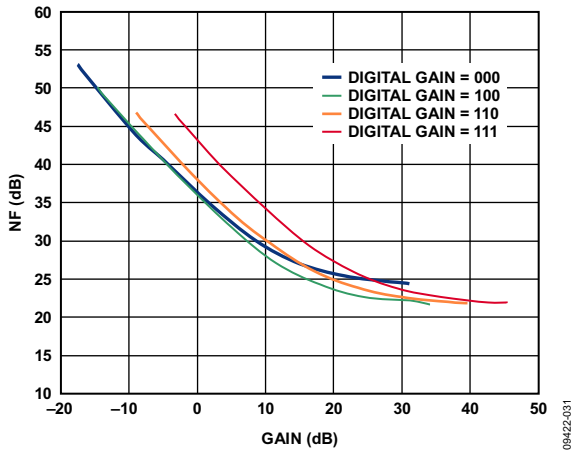


图30. 在不同数字增益条件下, 噪声系数与模拟增益的关系 (带宽为31 MHz, 1/2带宽时的噪声系数)

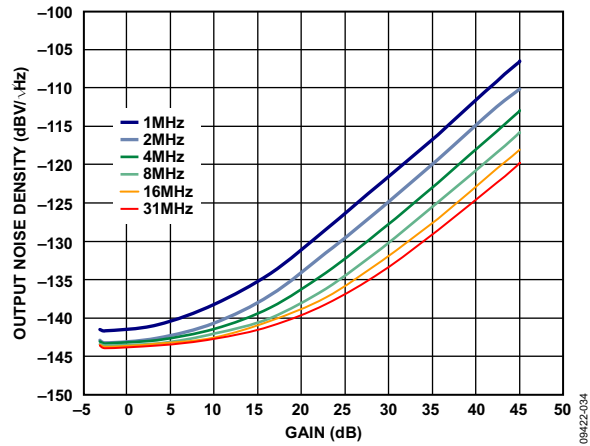


图33. 在不同带宽设置条件下, 输出噪声密度与增益的关系 (数字增益为111, 1/2带宽时测量)

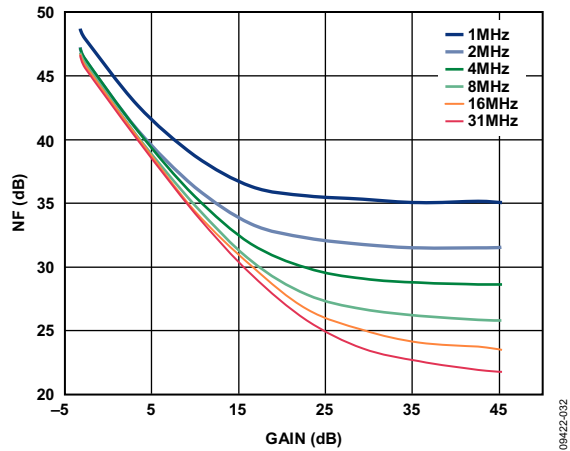


图31. 在不同带宽设置条件下, 噪声系数与增益的关系 (数字增益为111, 1/2带宽时的噪声系数)

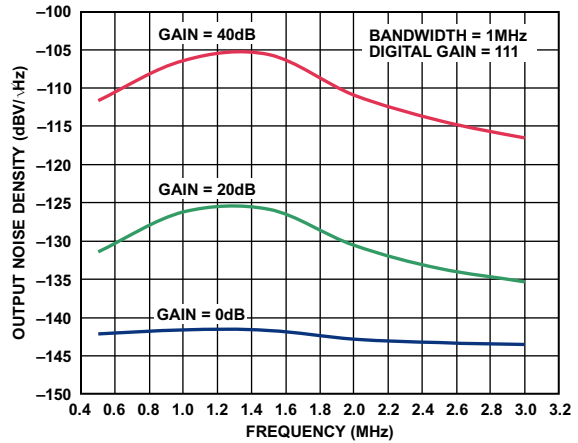


图34. 输出噪声密度与频率的关系 (带宽为1 MHz, 数字增益为111)

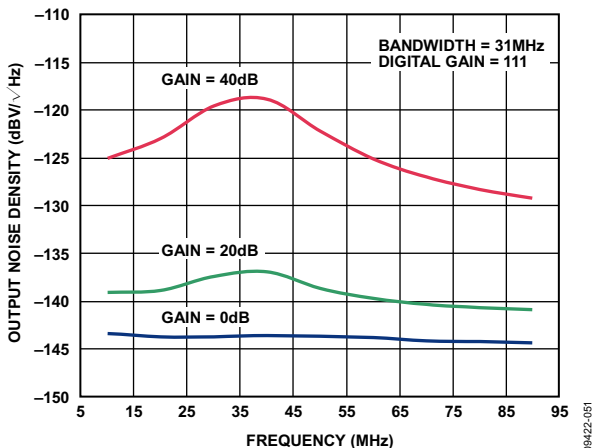


图35. 输出噪声密度与频率的关系  
(带宽为31 MHz, 数字增益为111)

09422-051

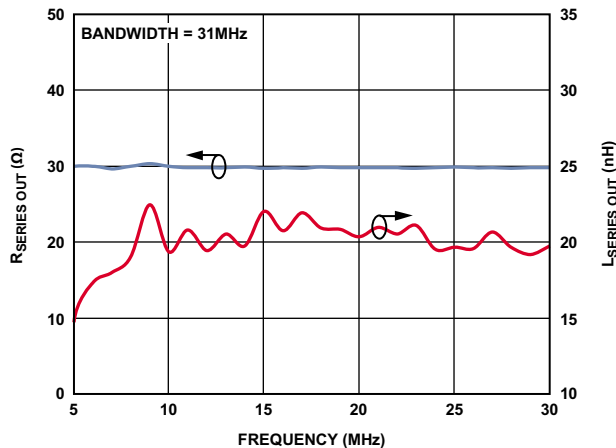


图38. 输出阻抗与频率的关系(带宽为31 MHz)

09422-039

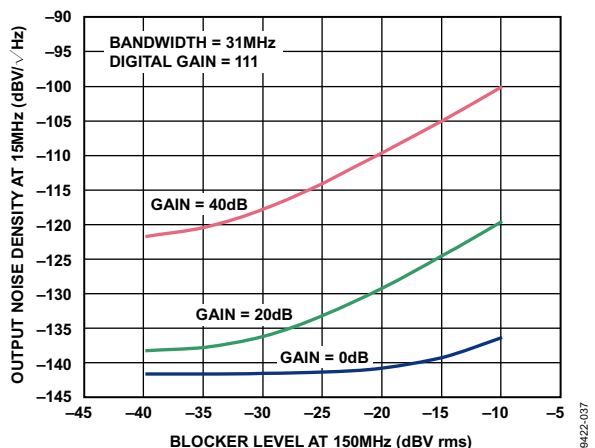


图36. 输出噪声密度与输入CW阻塞电平的关系  
(带宽为31 MHz, 发生阻塞的频率为150 MHz)

09422-037

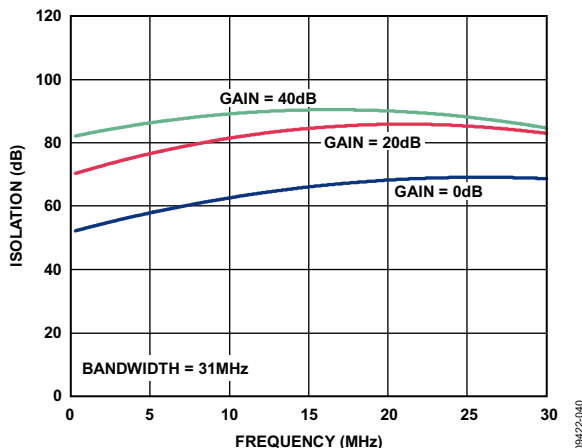


图39. 通道隔离、输出至输出与频率的关系  
(带宽为31 MHz)

09422-040

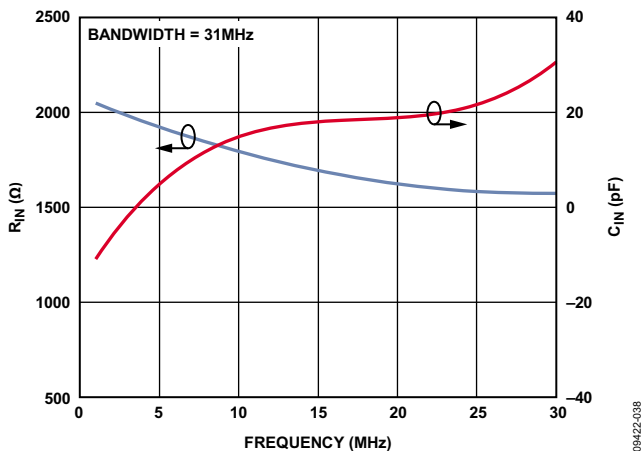


图37. 输入阻抗与频率的关系  
(带宽为31 MHz)

09422-038

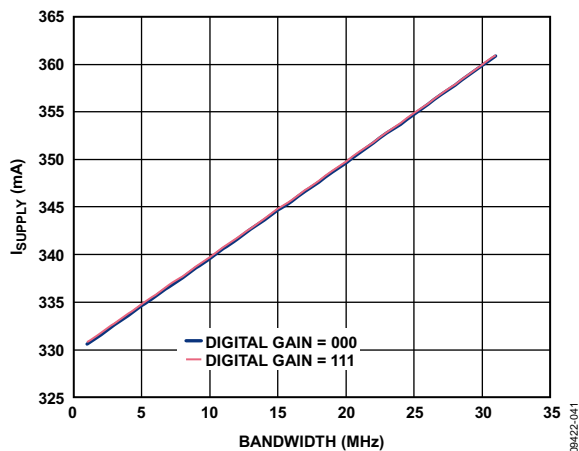


图40. 最小和最大数字增益下的功耗与带宽的关系  
(带宽为31 MHz, 增益为30 dB)

09422-041

# ADRF6516

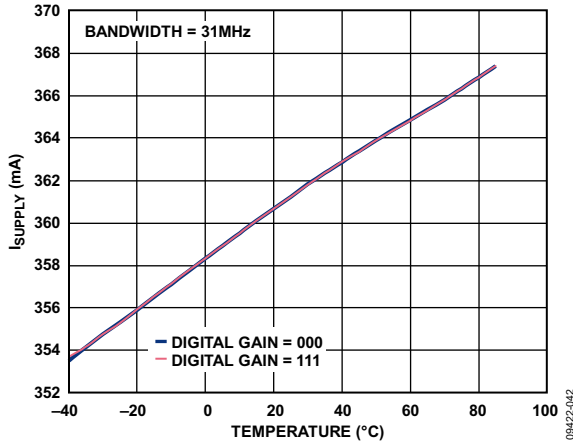


图41. 最小和最大数字增益下的功耗与温度的关系  
(带宽为31 MHz, 增益为30 dB)

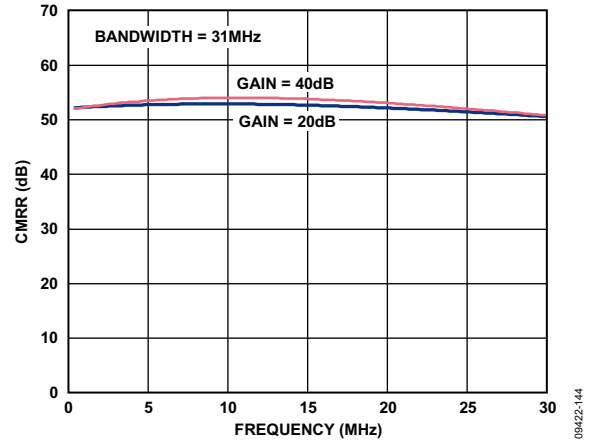


图43. 共模抑制比(CMRR)与频率的关系  
(带宽为31 MHz)

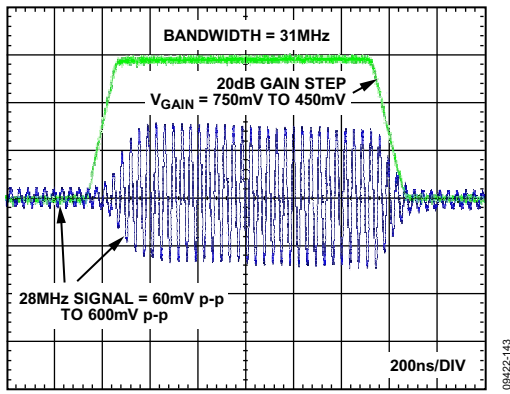


图42. 增益步进响应

## 寄存器映射和代码

使用SPI接口可编程滤波器频率、前置放大器增益、后置放大器增益和VGA最大增益。表4给出了ADRF6516内部8位寄存器的位映射。本数据手册的其他部分采用“数字增益代码000”到“数字增益代码111”表示前置放大器、后置放大器和VGA最大增益代码位(位[B3:B1])。

表4. 寄存器存储区分配

MSB					LSB		
B8	B7	B6	B5	B4	B3	B2	B1
滤波器频率代码					前置放大器 增益代码	后置放大器 增益代码	VGA最大增益 代码
见表5					0 = 3 dB 1 = 6 dB	0 = 6 dB 1 = 12 dB	0 = 22 dB 1 = 28 dB

表5. 频率码与转折频率查找表

5位二进制频率代码 <sup>1</sup>	转折频率 (MHz)	5位二进制频率代码 <sup>1</sup>	转折频率 (MHz)
00000	无信号	10000	16
00001	1	10001	17
00010	2	10010	18
00011	3	10011	19
00100	4	10100	20
00101	5	10101	21
00110	6	10110	22
00111	7	10111	23
01000	8	11000	24
01001	9	11001	25
01010	10	11010	26
01011	11	11011	27
01100	12	11100	28
01101	13	11101	29
01110	14	11110	30
01111	15	11111	31

<sup>1</sup> MSB 优先。

## 工作原理

ADRF6516包括一对匹配的缓冲、可编程滤波器，后接级联的两个可变增益放大器和输出ADC驱动器。图44所示为单通道框图。

带宽以及前置和后置滤波增益均可通过SPI接口编程，这就为存在噪声和附近有较大干扰信号的情况下处理各种电平的信号提供了极大的灵活性。整个差分信号链可与输入端和输出端的灵活接口进行直流耦合。两个通道的带宽和增益设置控制是共用的，确保其幅度和相位响应严格匹配。通过ENBL引脚可以完全禁用ADRF6516。

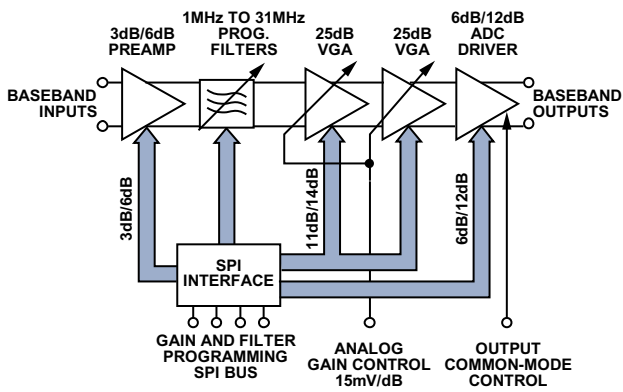


图44. ADRF6516单通道信号路径框图

滤波和放大在任何信号处理系统中都是基本操作。滤波器的作用是在抑制带外噪声和干扰信号的同时选择所需的信号。放大器的作用是提高有用信号的电平，以克服系统产生的噪声。同时用滤波器和放大器，能够把有用低电平信号和噪声/带外干扰信号区分开。这一模拟信号处理能够降低对模拟信号、混合信号和随后产生的数字器件的要求。

### 输入缓冲器

每个输入缓冲器都有一个方便连接敏感的滤波器的接口。它们能够设置1600 Ω差分输入阻抗，支持的共模电压接近VPS/2。输入既支持直流耦合又支持交流耦合。如果直接使用直流耦合，输入端的共模电压应大致等于VPS/2，以便最大程度提升输入摆幅能力。

对于3.3 V电源，共模电压范围为1.1 V至1.8 V，同时可维持高于65 dBc的HD3(400 mV p-p输入信号)。VICM引脚提供最优中间电源共模电压，可用作驱动电路的基准电压。VICM电压不缓冲，必须在高阻抗点检测，防止其因为负载而降低。

两个通道内的输入缓冲器的增益可通过SPI同时配置为3 dB或6 dB(见“寄存器映射和代码”部分)。当增益为3 dB时，缓冲器可支持400 mV p-p差分输入电平(~70 dBc谐波失真)。当增益为6 dB时，缓冲器可支持280 mV p-p输入。

### 可编程滤波器

集成的可编程滤波器是ADRF6516的关键信号处理器件。滤波器与一个6极点巴特沃兹原型响应相连，能够处理带外抑制、波纹和群延迟之间的差异。0.5 dB带宽可通过串行编程接口(SPI)在1 MHz至31 MHz范围内进行编程，步进为1 MHz(参阅“滤波器编程和增益”部分的说明)。

这种滤波器的设计保证了在任何带宽条件下，巴特沃兹原型滤波整形和群延迟响应与频率的关系不会发生变化。理想的6极点巴特沃兹幅度和群延迟响应分别见图45和图46。群延迟( $\tau_g$ )的定义如下：

$$\tau_g = -\partial\phi/\partial\omega$$

其中：

$\phi$ 为相位(单位：弧度)。

$\omega = 2\pi f$ 为频率(单位：弧度/秒)。

注意：对于一个频率可变滤波器原型来说，群延迟的绝对幅度与带宽成反比；但波形保持不变。例如：带宽为28 MHz时的峰值群延迟比带宽为2 MHz时的群延迟小14倍(见图46)。

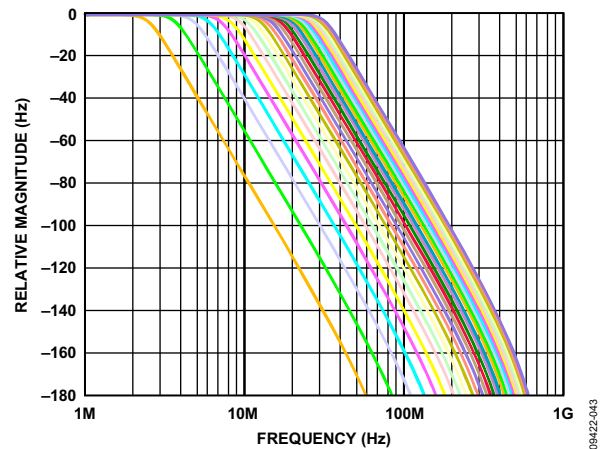


图45. 0.5 dB带宽的6阶巴特沃兹幅度响应  
(可在2 MHz至29 MHz范围内进行编程，步进为1 MHz)



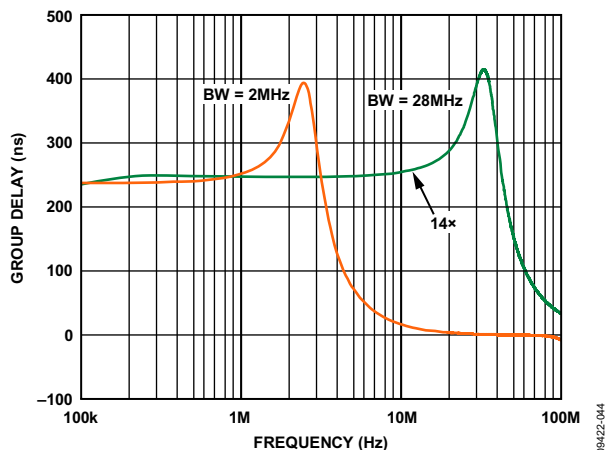


图46. 0.5 dB带宽的6阶巴特沃兹群延迟响应  
(可在2 MHz至28 MHz范围内进行编程)

滤波器的转折频率由RC积决定(在典型工艺中, 变化范围为 $\pm 30\%$ )。因此, 所有器件的转折频率已经工厂校准, 在 $-40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 工作温度范围内, 转折频率的变化率为 $\pm 15\%$ 。尽管绝对精度需要校准, 但通过细致的设计和布局, 仍可保证RC积在两条通道间的匹配度优于 $1\%$ 。校准和出色的匹配度能够保证两个通道的幅度和群延迟响应匹配, 这一点对于数字IQ通信系统来说非常重要。

### 可变增益放大器(VGA)

级联VGA基于ADI公司的专利X-AMP<sup>®</sup>架构, 由25 dB分接衰减器和可编程增益放大器组成。X-AMP架构可产生低纹波连续线性dB单调增益响应。两个级联VGA部分的模拟增益通过高阻抗GAIN引脚控制(精确斜率为 $15\text{ mV/dB}$ )。

增益响应如图47所示; 从图中可以看出GAIN引脚的电压范围和在高 $V_{\text{GAIN}}$ 条件下未出现增益折返。同时改变两个VGA的增益, 可使噪声和失真变化更为平滑。每个可变增益部分之后的固定增益也可设置为两个不同的值, 最大程度增加动态范围。

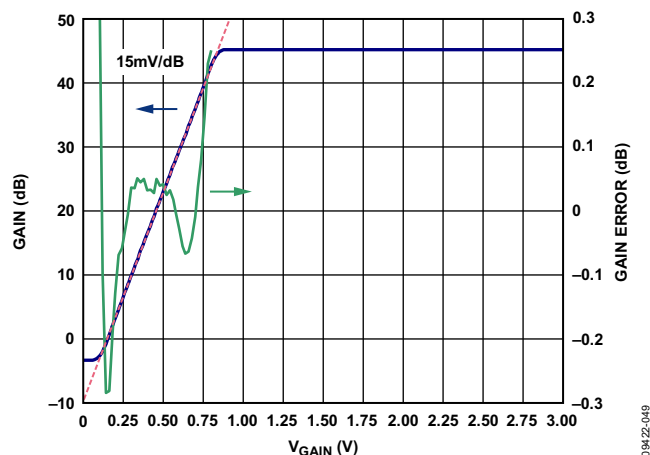


图47. X-AMP VGA级联的线性dB增益控制响应  
(斜率一致且误差小)

### 输出缓冲器/ADC驱动器

ADRF6516的低阻抗( $30\ \Omega$ )输出缓冲器既可用于驱动ADC输入, 又可用于驱动其后的放大器级。它们能够将高达 $1.5\text{ V p-p}$ 复合双音信号传输至 $1\text{ k}\Omega$ 差分负载( $>65\text{ dBc IMD3}$ )。输出共模电压的默认值为 $V_{\text{PS}}/2$ ; 向VOCM引脚施加有效共模电压后, 在驱动能力不降低的前提下, 输出共模电压可调整至 $700\text{ mV}$ 至 $2.8\text{ V}$ 。VOCM的输入阻抗较高, 因此, 该引脚可直接与ADC基准输出相连。即便输出共模电压可调且失调补偿环路可以消除累计直流失调(参见“直流失调补偿环路”部分), 仍然可能希望根据负载阻抗和所需的带宽来选择耦合电容, 从而交流耦合输出。

### 直流失调补偿环路

在许多信号处理应用中, 直流电平不包含任何信息。事实上, 直流电压信号和其它低频干扰信号在预期输出信号中占很大比例, 会占据数据转换器的模拟路径和位的动态范围。这些直流电压信号可在预期输入信号内出现, 或在信号路径内经固有直流失调或其它非预期的、与信号无关的处理(例如: 自动混合或整流)而生成。

ADRF6516为完全直流耦合, 因此, 可能需要通过消除这些失调来实现最大信噪比(SNR)。在输入和输出引脚处连接交流耦合电容可实现上述目的; 然而, 需使用阻抗较低的大电容, 因为高通转折频率必须低于 $10\text{ Hz}$ 。为了解决直流失调问题, ADRF6516提供一个失调补偿环路, 能够将输出差分直流电平置零, 如图48所示。如果不需要补偿环路, 用户可通过拉高OFDS引脚将其禁用。

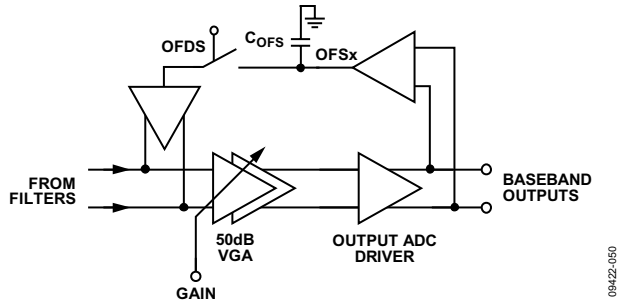


图48. 围绕VGA和输出缓冲器的失调补偿环路

失调补偿环路可控制高通转折频率( $f_{HP}$ )，它叠加在正常的巴特沃斯滤波器响应之上。通常， $f_{HP}$ 与最低可编程滤波器带宽相比低许多个数量级；因此，两者之间互不干扰。在引脚OFS1、OFS2与地之间各连接一个电容 $C_{OFS}$ ，即可设置 $f_{HP}$ 。由于补偿环路围绕VGA部分工作，因此， $f_{HP}$ 还取决于级联VGA的总增益。 $f_{HP}$ 的计算公式如下：

$$f_{HP} \text{ (Hz)} = 6.7 \times (\text{后置滤波器线性增益} / C_{OFS} \text{ (}\mu\text{F)})$$

其中，“后置滤波器线性增益”用线性项表示，而不是分贝(dB)，是滤波器之后的增益，不包括前置放大器增益1.4 (3 dB)或2 (6 dB)。

注意： $f_{HP}$ 与增益呈正比例变化。正因为如此，应选择最高增益条件下的 $C_{OFS}$ ，以确保 $f_{HP}$ 始终低于系统所需最大值。

### 编程滤波器和增益

利用SPI端口，可同时两个滤波器的0.5 dB转折频率以及前置放大器和后置放大器的增益进行编程。一个8位寄存器存储5位代码(用于1 MHz到31 MHz的转折频率)以及1位代码(用于前置放大器增益、VGA最大增益和后置放大器增益)，参见表4。SPI协议不仅允许将频率和增益代码写入DATA引脚，还允许通过SDO引脚回读所存储的代码。

在读/写周期开始前，锁存使能(LE)引脚必须置位逻辑0状态。在时钟(CLK)信号的下一个上升沿，当DATA引脚为逻辑1时，启动一个写周期；当引脚为逻辑0时，启动一个读周期。在一个写周期内，接下来的8个CLK上升沿锁存目标8位代码(LSB优先)。当LE变为高电平时，写周期结束，滤波器和放大器获得频率和增益代码。在一个读周期内，接下来的8个CLK下降沿输出存储的8位代码(LSB优先)。当LE变为高电平时，读周期结束。详细的时序图见图2和图3。

### 噪声特性

ADRF6516的输出噪声行为取决于增益和带宽设置。总体输出噪声谱密度与不同带宽设置和VGA增益条件下的频率关系见图49和图50。

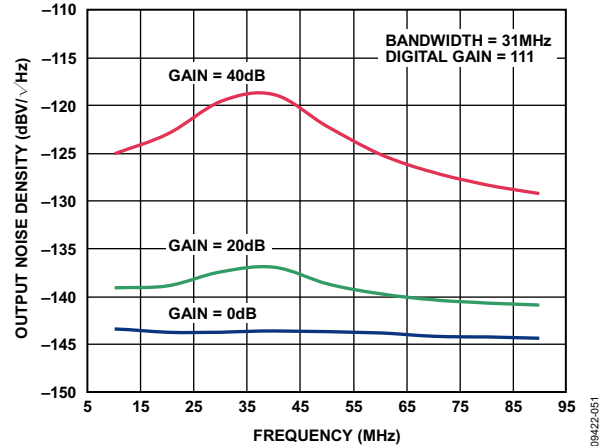


图49. 在三种不同增益设置条件下的总体输出噪声密度 (转折频率为31 MHz)

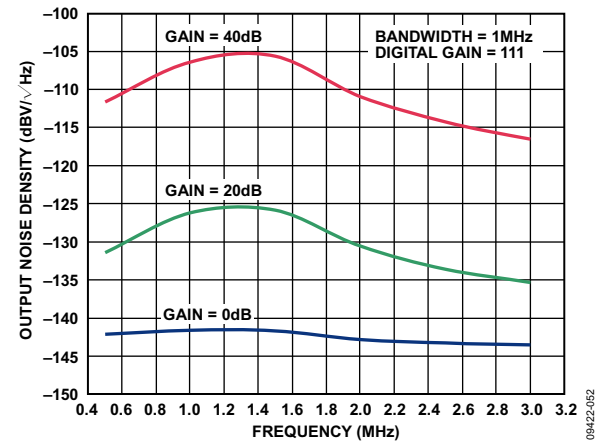


图50. 在三种不同增益设置条件下的总体输出噪声密度 (转折频率为1 MHz)

滤波器和VGA都能够改变输出端的总噪声。滤波器对噪声谱密度曲线会产生影响，频率越低，曲线越平坦；越接近转折频率，曲线越陡；当滤波器极点滚降增益和噪声时，噪声出现滚降。滤波器产生的噪声谱密度的幅度(单位： $nV/\sqrt{Hz}$ )与带宽设置的平方根呈反比例变化，因此，总积分噪声(单位： $nV$ )几乎不受带宽设置的影响。在较高频率时，滤波器噪声滚降之后，噪底由VGA设置。

ADRF6516使用的各X-AMP VGA部分都会为其相应的输出贡献固定而平坦的噪声频谱密度，与增益设置无关。由于ADRF6516中的VGA级联，VGA在输出端贡献的总噪声随着增益的提高而逐渐提高。不同VGA增益设置下高频时的噪底变化明显地反映了这一点。

失调补偿环路可控制高通转折频率( $f_{HP}$ )，它叠加在正常的巴特确切的关系取决于放大器的固定增益设置。增益最小时，仅最后一个VGA对-144 dBV/ $\sqrt{\text{Hz}}$ 最小噪声有所贡献，即相当于63 nV/ $\sqrt{\text{Hz}}$ 。在滤波器带宽设置范围内的较低频率时，VGA按一定的系数(等于滤波器之后的增益)将滤波器噪声直接转换到输出。

当VGA增益的值较低时，输出端噪声由最后一个VGA产生，谱密度是平坦的。随着增益的加大，输出端会出现更多的滤波器噪声和第一个VGA噪声。带宽设置越低，滤波器固有噪声密度越高，因此，相比于高带宽设置，它在低带宽设置下更突出。任意一种情况下，噪声密度都会逐渐接近VGA在最高频率下设定的限值。对于其他的VGA增益值和带宽设置，噪声谱密度的具体形状随着滤波器和VGA的相对贡献而变化。

滤波器带宽范围之外的噪声谱密度受VGA输出噪声的限制，因此，在模数转换之前，可能需要使用一个外部固定频率无源滤波器，以防止因信噪比降低导致噪声混叠。采样速率相对于ADRF6516最大要求转折频率设置越高，该外部滤波器的阶数和复杂度越低。

## 失真特性

ADRF6516的失真性能与其噪声性能相似。滤波器和VGA都能够影响整体失真和信号处理能力。此外，前端还必须处理可能比带内信号更大的带外信号。这些带外信号在到达VGA前须经滤波处理。用户有必要了解ADRF6516中出现的信号；另外，这些信号必须与器件的输入和输出特性匹配。

由于输出未达到其最大容量，当增益较低时，失真通常由输入部分限制。而由于输入未达到其最大容量，因此，当增益较高时，失真通常由输出部分限制。一种例外的情况是，输入由一个较小的所需信号和一个较大的带外输出信号驱动。这种情况下，带外信号可导致输入信号失真。只要输入不过载，就可以利用滤波器来消除带外信号。仍需要一个较高的VGA增益将输出端较小所需信号提升至较高

电平。由器件导致的信号整体失真的程度取决于输入驱动电平，包括带外信号和所需输出信号电平。

如“输入缓冲器”部分所述，在谐波失真高于70 dBc时，输入模块既能针对3 dB前置放大器增益处理400 mV p-p总体信号电平，也能针对6 dB前置放大器增益处理280 mV p-p总体信号电平。这既包含带内信号也包含带外信号。

以下两种IP3规格能够区分和量化输入部分的失真性能。第一种称之为带内IP3，它指的是信号位于滤波器带宽范围内的一个双音测试。这恰恰是通信工程师熟悉的用于测量第三阶互调电平(IMD3)的品质因数。

引入新的带外(OOB) IIP3品质因数的目的是量化带外信号的影响。这一测试还包括双音驱动，但两个音频信号位于带外，以至于较低的IMD3输出信号位于滤波器通带的中部。在输出端仅能看到IMD3输出信号；原因在于两个原始的音频信号已被滤除。为计算输入端的OOB IIP3，将IMD3电平作为输入电平，支持整个增益范围。用户利用OOB IIP3能够预测任意信号电平的带外阻塞或干扰信号对带内性能的影响。在特定阻塞电平条件下，所需输入信号电平与输入基准IMD3的比值表示带外信号引起的信号失真限制。

## 动态范围最大化

ADRF6516的极点用于提高可变带内信号的电平和减少带外信号。在理想的情况下，上述操作既不会降低输入信号的SNR，也不会导致输入信号失真。

首要目标是输出信号摆幅最大化，输出信号摆幅可由ADC的输入范围或下一模拟级的输入信号容量定义。对于通信系统中经常出现的复杂波形，当选择峰峰输出时，必须考虑到峰均比(波峰因数)。根据所选输出信号和ADRF6516的最大增益，可得出最低输入电平。较低信号电平既不会导致最大输出，也不会导致信噪比大幅降低。

随着输入信号电平的不断提高，VGA增益将从其最大增益点降至维持固定期望输出的水平。输出噪声经滤波器滤

动态范围最大化时还必须考虑失真问题。当信号的电平处于中、低等级时，输出失真是恒定的且假定其适合于所选输出电平。某些点上，输入信号可能变得足够大，会导致系统性能由输入信号的失真程度决定。最大容许输入信号取决于输入失真是否大得令人无法接受或者已达到最低增益值。

在动态范围内最具挑战性的情况是，带外阻塞较大而带内所需信号较弱。这种情况下，最大输入电平取决于阻塞程度及其导致失真的可能性。弱的所需信号在经过滤波后，必须放大至所需输出水平；这时，可能需要最大增益。与输入阻塞相关的失真限制和因信号较弱而增益较高导致的信噪比限制同时存在。此外，阻塞不仅导致动态范围缩小，还能够缩小可处理输入信号的范围(原因在于大部分增益仅用于从较强的阻塞信号中提取弱的所需信号)。

## 正交接收机的关键参数

大多数数字通信接收机都采用正交信号，信息位被编码成基带信号对，而后调制成同相(I)和正交(Q)正弦载波。基带信号和已调制信号在波峰和波谷时刻的波形非常复杂。通常来说，接收机的设计目的在于从正交解调信号中，将成对的正交基带信号与噪声和干扰信号加以区分。在滤除带外噪声和无用的干扰信号并恢复所需I、Q基带信号电平的过程中，必须保证在整个带宽范围内保持其增益和相位的完整性。

ADRF6516可传递平坦的带内增益和群延迟，这时，它相当于一个6极点巴特沃兹原型滤波器(见“可编程滤波器”部分的说明)。此外，精心的设计保证了I、Q通道之间参数的出色匹配。尽管绝对增益平坦度和群延迟可通过数字均衡得到校正，但不匹配可导致正交误差和码间干扰，这会降低数字通信系统的误码率性能。

## 应用信息

### 基本连接

图51显示了ADRF6516典型应用的基本连接。

### 电源去耦

应在电源引脚上施加3.3 V标称电源电压。电源电压不应超过3.45 V或下降至3.15 V以下。每个电源引脚应与至少一个0.1  $\mu\text{F}$ 的低电感、表面贴装陶瓷电容相连，以便去耦至地。该电容应尽可能靠近ADRF6516器件放置。

ADRF6516具有两个独立的电源：一个模拟电源和一个数字电源。模拟电源和数字电源应当用一个33  $\mu\text{H}$ 的大表面贴装电感仔细分离，然后通过10  $\mu\text{F}$ 电容将各电源分别去耦至相应的地。

### 输入信号路径

每个信号路径都有输入缓冲器，通过INP1、INM1、INP2和INM2引脚访问，设置1600  $\Omega$ 差分输入阻抗。这些输入处于电源电压中间值附近的标称共模电压。

输入既支持直流耦合又支持交流耦合。如果采用直接直流耦合，则共模电压VCM的范围为1.1 V至1.8 V。VICM引脚可用作基准共模电压，用于驱动上一级器件的高阻抗检测节点(VICM具有7 k $\Omega$ 阻抗)。

例如，ADRF6806正交解调器的高阻抗VOCM输入引脚可直接连接ADRF6516的VICM引脚。这样，ADRF6806便具有驱动ADRF6516的最优基准共模电压。

### 输出信号路径

低阻抗(30  $\Omega$ )输出缓冲器设计用于驱动高阻抗负载，如ADC输入，或驱动另一放大器级。输出引脚(OPP1、OPM1、OPP2和OPM2)处于VPS/2的标称输出共模电压，但可以驱动到0.7 V至2.8 V的电压，方法是将所需的共模电压施加于高阻抗VOCM引脚。

### 直流失调补偿环路使能

通过OFDS引脚使能直流失调补偿环路时，ADRF6516可以将输出差分直流电平置零。将OFDS引脚拉至地可启用该环路。失调补偿环路产生一个高通转折频率，它与连接在OFS1/OFS2引脚和地之间的电容值成比例。有关设置高通转折频率的更多信息，参见“直流失调补偿环路”部分。

### 共模旁路

ADRF6516共模引脚VICM和VOCM必须去耦至地。应至少使用一个0.1  $\mu\text{F}$ 的低电感、表面贴装陶瓷电容去耦共模引脚。

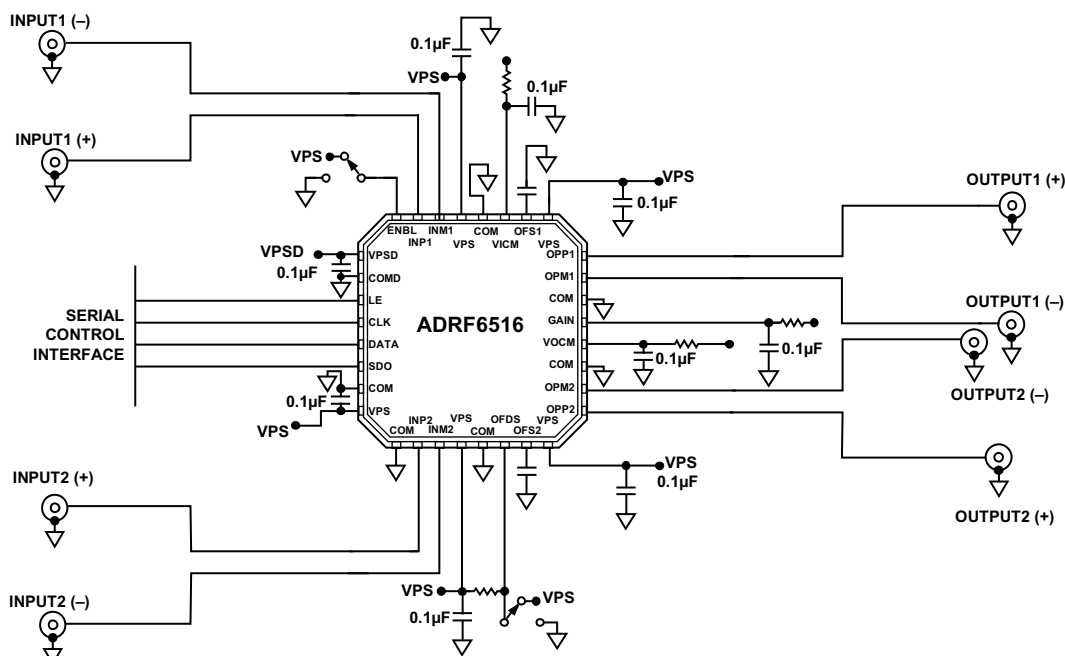


图51. 基本连接

09422-053

# ADRF6516

## 串行端口连接

ADRF6516通过SPI端口控制增益和滤波器带宽设置。数据可以写入8位寄存器，也可以从该寄存器读取数据。建议在SPI线上采用低通RC滤波，滤除任何高频毛刺。低通RC滤波器示例参见图58所示的评估板原理图。

## 使能/禁用功能

将ENBL引脚拉高可以使能ADRF6516。反之，将ENBL引脚拉低则可禁用器件；这时，室温下的功耗降低至约9 mA。

## 误差矢量幅度(EVM)性能

误差矢量幅度(EVM)是数字无线发射机或接收机的性能量化指标，通过测量发射或接收的数字信号的保真度而得出。链路的各种缺陷，如幅度和相位不平衡、噪声、失真等，导致星座点偏离理想位置。

通常，一个接收机可体现三种不同的EVM限制与接收到的输入信号功率的关系。随着信号功率的上升，失真项也随之上升。

- 在足够高的信号电平下，由于器件的谐波非线性而产生的失真项将落入带内，EVM随着信号电平上升而下降。
- 在中等信号电平下，信号链具有线性特性且所需信号明显多于噪声；这时，EVM易于达到由信号链正交精度和IQ增益匹配或测试设备精度决定的最佳水平。
- 当信号电平降至一定程度，信号中噪声占较大比例时，随着信号电平的降低，EVM性能也随之下降。在这些低信号电平下，噪声将成为主要影响因素；这时，dB EVM直接与SNR成正比。

## EVM测试设置

用于测试ADRF6516 EVM的基本设置包括：用作信号源的Agilent E4438C以及用于采样和计算信号EVM的Hewlett-Packard 89410A矢量信号分析仪(VSA)。E4438C IQ基带差分输出驱动ADRF6516的输入。ADRF6516的I和Q输出加载1  $\Omega$  差分阻抗，并以差分方式连接到两个AD8130差分放大器，从而将信号转换为单端信号。单端信号连接到VSA的输入通道。

## 滤波器带宽对EVM的影响

选择滤波器带宽时应小心。在数字收发器中，调制信号由脉冲整形滤波器(比如根升余弦滤波器)在发送和接收端进行滤波，提供符号间干扰(ISI)抵抗能力。如果对调制信号执行额外滤波操作，则信号必须位于滤波器通带内。当ADRF6516滤波器的转折频率开始侵蚀调制信号时，引入ISI来降低EVM；后者可能会导致信号失锁。

图52显示即使在8 MHz的滤波器转折频率下，带宽为9.45 MHz的数字调制QAM基带信号都具备出色的EVM性能。若转折频率进一步下降，则会导致完全失锁。扫描RF输入功率，可以发现，ADRF6516在大约20 dB的输入功率范围内实现了低于-45 dB的EVM。

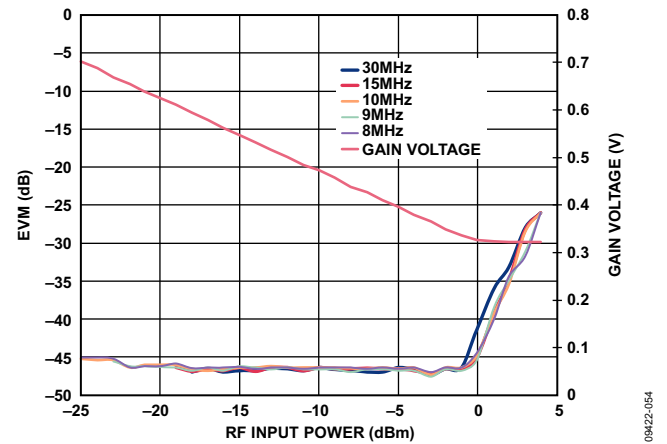


图52. 各滤波器转折设置下的EVM与RF输入功率的关系 (256-QAM, 14 MSPS信号,  $\alpha = 0.35$ ; 输出差分信号电平保持在700 mV p-p; OFDS拉至高电平)

图53显示随着信号带宽转折频率逐步上升，具有固定滤波器转折频率的EVM下降，然后发生信号失锁。

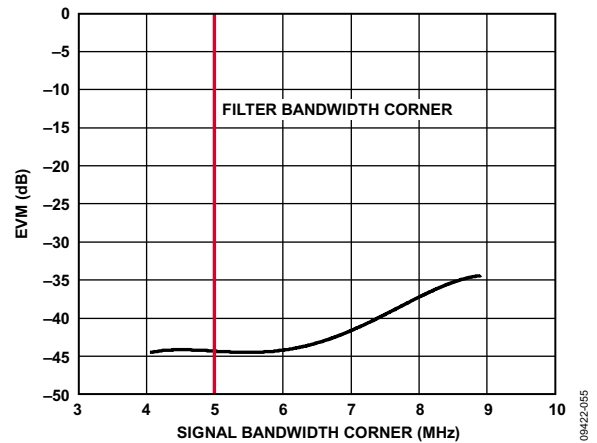


图53. EVM与信号带宽转折频率的关系 (滤波器转折频率为5 MHz, 16-QAM信号,  $\alpha = 0.35$ )

## 输出电压电平对EVM的影响

信号压缩后，输出电压电平会极大地影响EVM。改变ADRF6516的输出电压电平时，注意输出信号应当是未压缩的，因为压缩会导致EVM性能下降。

图54显示350 mV p-p至最高2.4 V p-p范围内各最大差分I和Q输出电压电平条件下EVM性能和RF输入功率的关系。对于较低的最大差分输出电压电平而言，在大约20 dB输入功率范围内，EVM低于-45 dB。

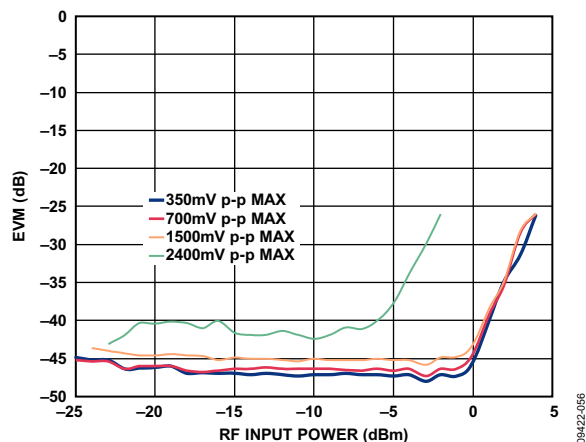


图54. 各输出最大差分电压电平下的EVM与RF输入功率的关系 (滤波器转折频率为10 MHz, OFDS拉至高电平)

到达测试最大值，即2.4 V p-p最大差分输出电压电平时，ADRF6516开始压缩信号。这种压缩会导致EVM下降，但依然保持在-40 dB以内——虽然是在一段截取的输入功率范围内。在输入功率范围内的高端，信号完全压缩，EVM非常大。由于增益接近最小值，因此必须降低输入信号电平，以使输出信号离开完全压缩区域，并进入合适的线性工作区。

## $C_{OFS}$ 值对EVM的影响

使能后，直流失调补偿环路可以有效消除低于 $C_{OFS}$  电容设置的高通转折频率的一切信息。然而，某些情况下，丢失调制信号的低频信息会导致EVM下降。

随着信号带宽变大，受高通转折频率破坏的信息百分比随之下降。这种情况下，选择数值足够大的 $C_{OFS}$  电容很重要，可以最大程度降低高通转折频率，防止丢失信息以及EVM

的下降。

图55显示随着 $C_{OFS}$  电容值越来越小，EVM的下降与RF输入

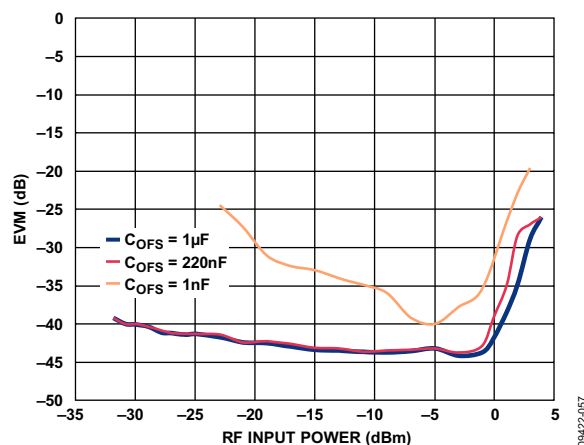


图55. 各 $C_{OFS}$  数值下的EVM与RF输入功率的关系 (滤波器转折频率为10 MHz, 256-QAM, 14 MSPS信号,  $\alpha = 0.35$ ; 输出差分信号电平保持在700 mV p-p; OFDS拉至低电平)

功率的关系； $C_{OFS}$  电容值下降会增加直流失调补偿环路的高通转折频率。

图56显示 $C_{OFS}$  对多种调制信号带宽的影响。 $C_{OFS}$  采用1000 pF和1  $\mu$ F时，对调制带宽进行扫描。总增益设为15 dB，因此1000 pF电容的高通滤波器转折频率为26.67 kHz，而1  $\mu$ F电容的高通滤波器转折频率为26.67 Hz。若信号带宽中等，则建议使用数值为1  $\mu$ F的 $C_{OFS}$ ，以便采用直流失调补偿环路时获得最佳的EVM性能。

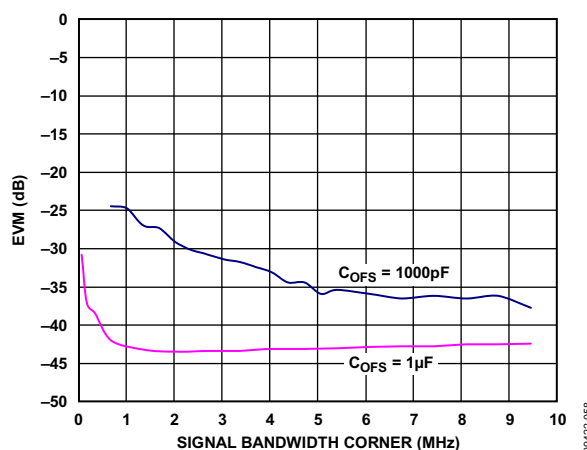


图56.  $C_{OFS} = 1 \mu\text{F}$ 且 $C_{OFS} = 1000 \text{ pF}$ 时，EVM与信号带宽转折频率的关系(滤波器转折频率为10 MHz)

## 评估板

ADRF6516提供测试用评估板。评估板原理图如图58所示。表6提供针对各种工作模式的元件值和修改元件值的建议。

### 评估板控制软件

ADRF6516评估板通过PC上的并行端口控制。通过ADRF6516评估软件可编程并行端口。该软件控制滤波器转折频率以及ADRF6516中每个放大器的最小与最大增益。有关寄存器映射的信息，参见表4和表5。有关SPI端口时序和控制的信息，参见图2和图3。

下载并安装评估软件后，打开基本用户界面以设置滤波器转折频率和增益值(参见图57)。

要设置滤波器转折频率，请执行下列操作之一：

- 点击窗口的**频率选择**部分中的箭头，从菜单中选择所需的转折频率，然后点击**写入位**。
- 点击**频率+1 MHz**或**频率-1 MHz**，以1 MHz步进递增或递减当前转折频率。

若要编程设置前置放大器增益、VGA最大增益和后置放大器增益，可移动窗口中适当位置的滑动开关至所需增益。

- 前置放大器增益可设置为3 dB或6 dB。
- VGA最大增益可设置为22 dB或28 dB。
- 后置放大器增益可设为6 dB或12 dB。

当用户点击**写入位**按钮时，就会执行写操作，随后还会立即执行读操作。更新后的信息显示在**当前前置放大器增益**、**当前频率**、**当前VGA最大增益**和**当前后置放大器增益**字段中。

当读/写操作更新并行端口时，所有放大器的当前累积最大增益显示在**最大增益**字段中。(该值不包括模拟VGA增益)。

由于各PC的并行端口速度各不相同，可利用**时钟延展**功能改变CLK线路的有效频率。CLK线路的调节范围为1到10；10是最快速度，1是最慢速度。

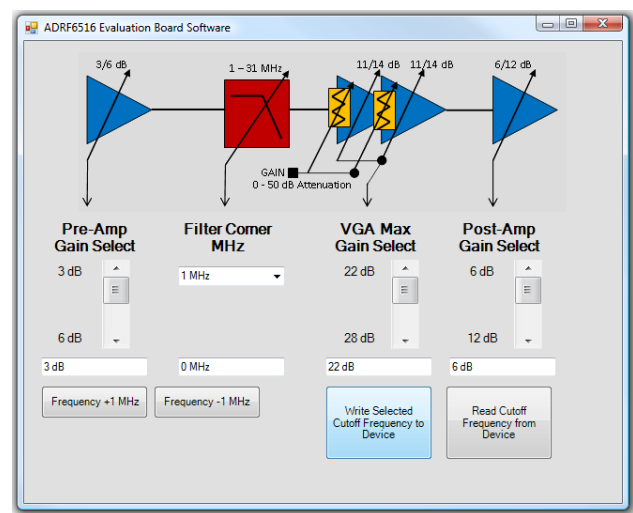


图57. ADRF6516评估软件



## 原理图和PCB布局图

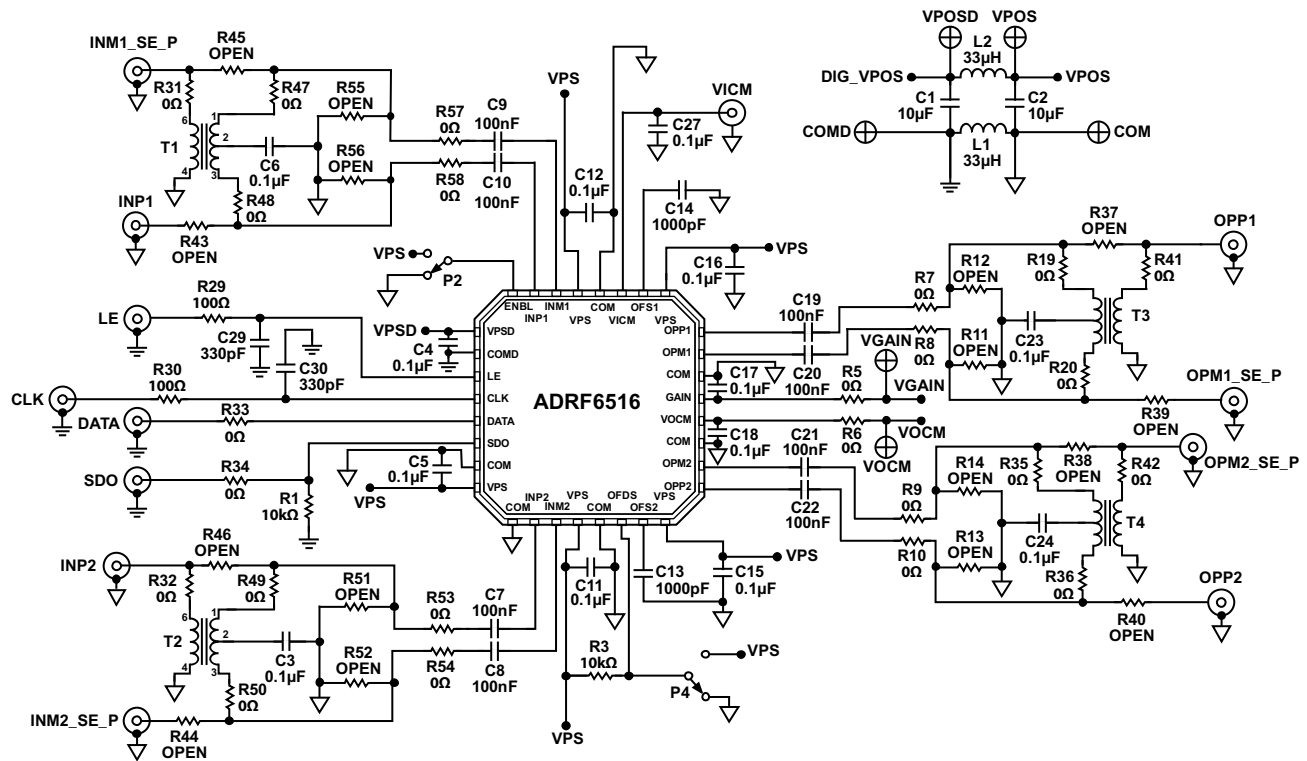


图58. 评估板原理图

09422-061

# ADRF6516

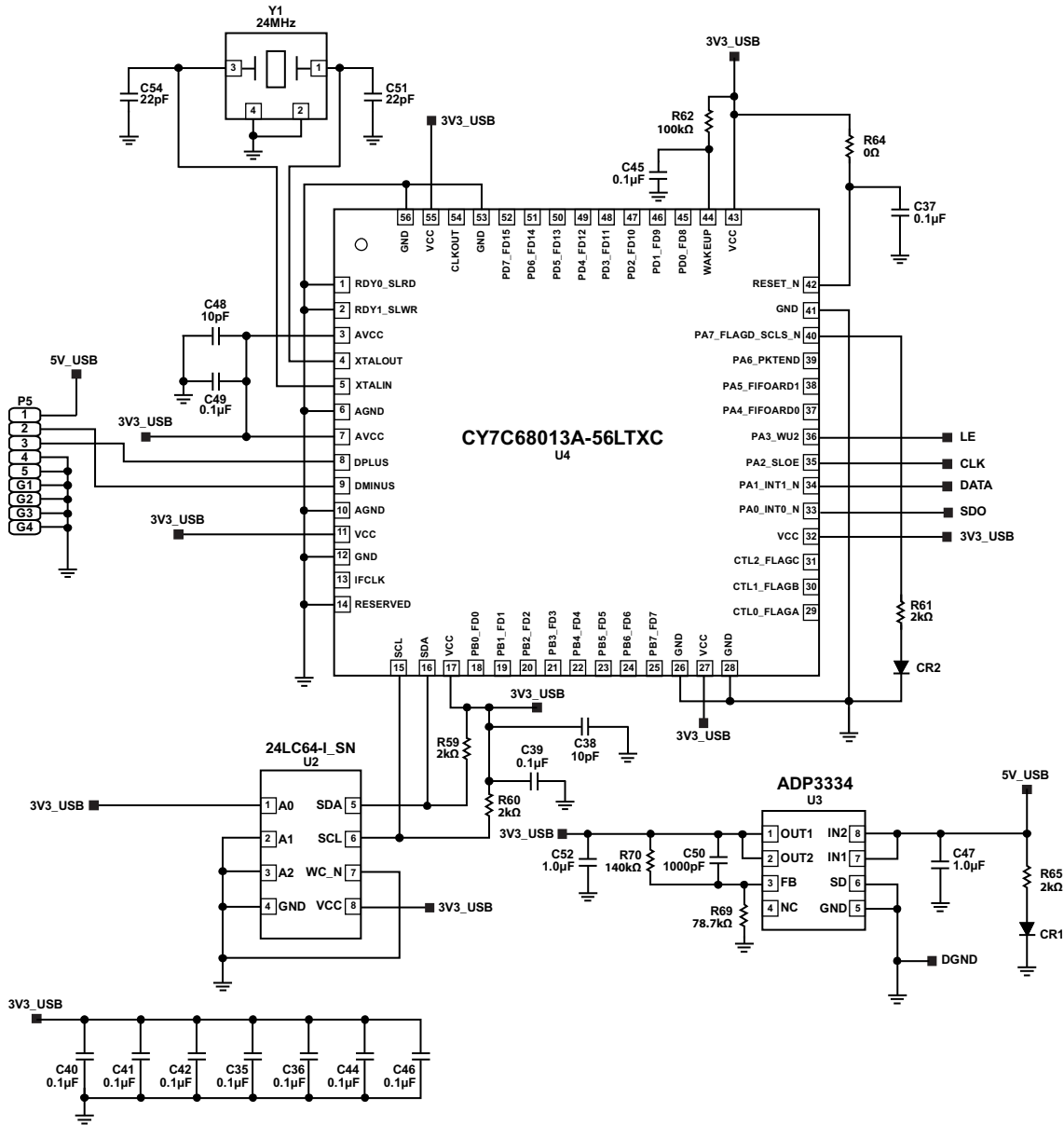


图59. USB评估板原理图

09422-119

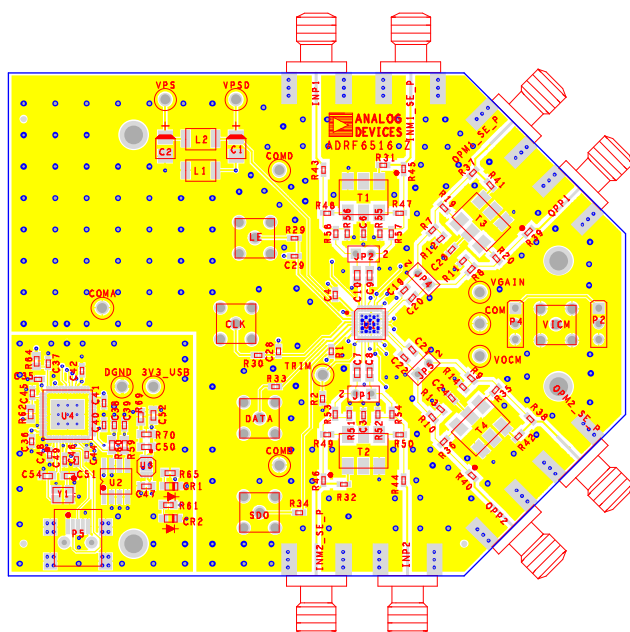


图60. 顶层丝印

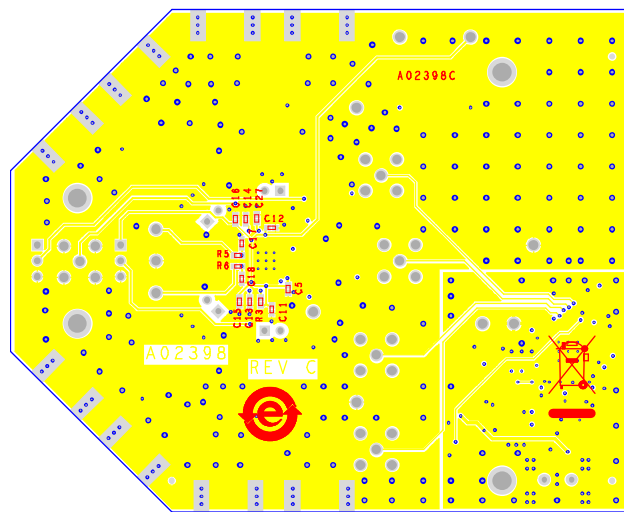


图61. 器件侧布局图

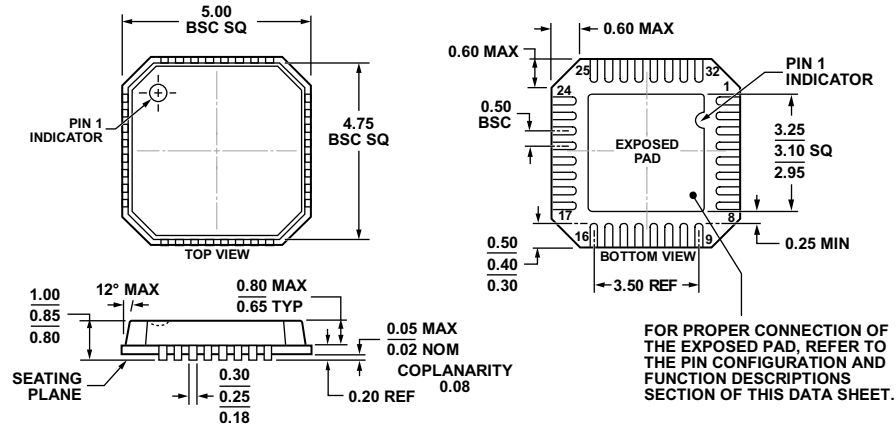
表6. 评估板配置选项

元件	功能	默认条件
C1, C2, C4, C5, C11, C12, C15, C16, L1, L2, R2	电源和接地去耦。标称电源去耦：通过一个0.1 $\mu\text{F}$ 电容去耦至地。	C1, C2 = 10 $\mu\text{F}$ (尺寸: 1210) C4, C5, C11, C12, C15, C16 = 0.1 $\mu\text{F}$ (尺寸: 0402) L1, L2 = 33 $\mu\text{H}$ (尺寸: 1812) R2 = 1 k $\Omega$ (尺寸: 0402)
T1, T2, C3, C6, C7至 C10, R31, R32, R43至R58	输入接口。输入SMA INP1、INM1_SE_P、INP2_SE_P和INM2用于通过旁路巴伦以差分方式驱动该器件。仅使用INM1_SE_P和INP2_SE_P并结合巴伦可实现单端操作。评估板默认采用单端驱动。 T1和T2是阻抗比率为8:1的巴伦，可将50 $\Omega$ 系统中的单端信号转换为400 $\Omega$ 系统中的平衡差分信号。 R31、R32、R47、R48、R49和R50用于连接至恰当的巴伦接口。R51至R58用于匹配元件的普通布局。 要旁路T1和T2巴伦以实现差分接口，应移除巴伦接口电阻R31、R32、R47、R48、R49和R50，并用0 $\Omega$ 电阻填充R43、R44、R45和R46。	T1, T2 = ADT8-1T+ (Mini-Circuits) C3, C6 = 0.1 $\mu\text{F}$ (尺寸: 0402) C7至C10 = 100 nF (尺寸: 0602) R31, R32, R47至R50, R53, R54, R57, R58 = 0 $\Omega$ (尺寸: 0402) R43至R46, R51, R52, R55, R56 = 开路(尺寸: 0402)
T3, T4, C19至C24, R7至R14, R19, R20,	输出接口。旁路输出巴伦时，输出SMA OPP1_SE_P、OPM1、OPP2和OPM2_SE_P用于从该器件获得差分信号。使用OPP1_SE_P、OPM2_SE_P和巴伦，用户可获得单端输出信号。评估板默认采用单端驱动。 T3和T4是阻抗比率为8:1的巴伦，可将400 $\Omega$ 系统中的差分信号转换为50 $\Omega$ 系统中的单端信号。 R7、R8、R9、R10、R19、R20、R35、R36、R41和R42用于连接至恰当的巴伦接口。R7至R14用于匹配元件的普通布局。 要旁路T3和T4巴伦以实现差分接口，应移除巴伦接口电阻R19、R20、R35、R36、R41和R42，并用0 $\Omega$ 电阻填充R37、R38、R39和R40。	T3, T4 = ADT8-1T+ (Mini-Circuits) C19至C22 = 100 nF (尺寸: 0402) C23, C24 = 0.1 $\mu\text{F}$ (尺寸: 0402) R7至R10, R19, R20, R35, R36, R41, R42 = 0 $\Omega$ (尺寸: 0402) R11至R14, R37至R40 = 开路(尺寸: 0402)

# ADRF6516

元件	功能	默认条件
P2	使能接口。向ENBL引脚施加一个逻辑高电压(将跳线P2连接至VPS)可以使ADRF6516上电。	P2 = 安装用于使能
P1, C28, C29, R1, R29, R30, R33, R34	串行控制接口。数字接口通过LE、CLK、DATA和SDO引脚利用串行接口设置器件的转折频率、前置放大器增益、后置放大器增益和VGA最大增益。RC滤波器网络可接在CLK和LE线路上, 以对PC信号滤波。出于调试目的, 可通过SMB连接器观察到CLK、DATA和LE信号。	P1 = 已安装 R1 = 10 kΩ (尺寸0402) C28, C29 = 330 pF (尺寸0402) R29, R30 = 100 Ω (尺寸0402) R33, R34 = 0 Ω (尺寸0402)
P4, C13, C14, R3	直流失调补偿环路。利用P4跳线可以使能直流失调补偿环路(低电平)。环路使能后, C13和C14电容连接至电路公共端。高通转折频率的计算公式如下: $f_{HP} \text{ (Hz)} = 6.7 \times (\text{后置滤波器线性增益} / C_{OFS} \text{ (}\mu\text{F)})$	P4 = 已安装 C13, C14 = 1000 pF (尺寸0402) R3 = 10 kΩ (尺寸0402)
C27	输入共模设定点。向VICM引脚施加的输入共模电压可由外部设置。如果VICM引脚处于开路状态, 输入共模电压的默认值为VPS/2。	C27 = 0.1 μF (尺寸0402)
C18, R6	输出共模设定点。向VOCM引脚施加的输出共模电压可由外部设置。如果VOCM引脚处于开路状态, 输出共模电压的默认值为VPS/2。	C18 = 0.1 μF (尺寸0402) R6 = 0 Ω (尺寸0402)
C17, R5	模拟增益控制。GAIN引脚的范围是0V至1V, 增益比例为15 mV/dB。	C17 = 0.1 μF (尺寸0402) R5 = 0 Ω (尺寸0402)
U2, U3, U4, P5	Cypress微控制器、EEPROM和LDO	U2 = Microchip MICRO24LC64 U3 = Analog Devices ADP3334ACPZ U4 = Cypress Semiconductor CY7C68013A-56LTXC P5 = 微型USB连接器
C35, C36, C40, C41, C42, C44, C46	3.3 V电源去耦。使用数个电容进行3.3 V电源去耦。	C35, C36, C40, C41, C42, C44, C46 = 0.1 μF (0402)
C48, C49, C45, C56, C57, C58, R59, R60, R61, R62, R64, CR2	Cypress和EEPROM器件。	C57, C48 = 10 pF (0402) C56, C58, C45, C49 = 0.1 μF (0402) R59, R60, R61 = 2 kΩ (0402) R62, R64 = 100 kΩ (0402) CR2 = ROHM SML-210MTT86
C47, C50, C52, R65, R69, R70, CR1	LDO器件。	C47, C52 = 1 μF (0402) C50 = 1000 pF (0402) R65 = 2 kΩ (0402) R69 = 78.7 kΩ (0402) R70 = 140 kΩ (0402) CR1 = ROHM SML-210MTT86
Y1, C51, C54	晶振和器件。24 MHz晶振。	Y1 = NDK NX3225SA-24MHz C51, C54 = 22 pF (0402)

# 外形尺寸



符合JEDEC标准 MO-220-VHHD-2

图62. 32引脚引线框芯片级封装[LFCSP\_VQ]

5 mm x 5 mm, 超薄体

(CP-32-2)

图示尺寸单位: mm

05-252011-A

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
ADRF6516ACPZ-R7	-40°C至+85°C	32引脚LFCSP_WQ, 7"卷带和卷盘	CP-32-2
ADRF6516-EVALZ		评估板	

<sup>1</sup> Z = 符合RoHS标准的器件。

**注释**

**注释**

**注释**