

### 特性

高吞吐速率：1 MSPS

额定电压( $V_{DD}$ )：2.7 V至5.25 V

逻辑电压( $V_{DRIVE}$ )：1.65 V至5.25 V

积分非线性(INL)：±1 LSB(最大值)

模拟输入范围：0 V至 $V_{REF}$

超低功耗

3 V、1 MSPS时为349  $\mu$ A(典型值)

3 V、省电模式下为264 nA(典型值)

内置2.5 V基准电压源，典型漂移值为±4.5 ppm/°C

宽输入带宽

灵活的功耗/吞吐速率管理

高速串行接口

SPI®/QSPI™/MICROWIRE™/DSP兼容

BUSY指示

省电模式

10引脚、3 mm × 2 mm LFCSP和10引脚MSOP封装

工作温度范围：-40°C至+125°C

### 应用

电池供电系统

手持式计量表

医疗仪器

移动通信

仪表和控制系统

数据采集系统

光敏元件

诊断/监控功能

能量采集

### 概述

AD7091R是一款12位逐次逼近型模数转换器(ADC)，可在高吞吐速率(50 MHz SCLK时为1 MSPS)下实现超低功耗(3V和1 MSPS时典型值为349  $\mu$ A)。该器件采用2.7 V至5.25 V单电源供电，内置一个宽带宽采样保持放大器，可处理7 MHz以上的输入频率。AD7091R还配有片内转换时钟、精密基准电压源和高速串行接口。

转换过程与数据采集利用CONVST信号和内部振荡器进行控制。AD7091R在实现1 MSPS吞吐速率的同时，可以利用其串行接口在转换完成后读取数据。

#### Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

### 功能框图

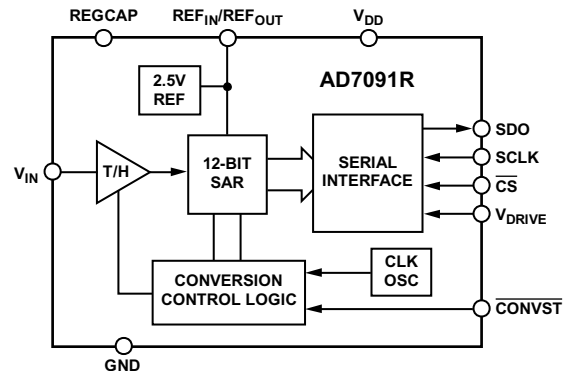


图1.

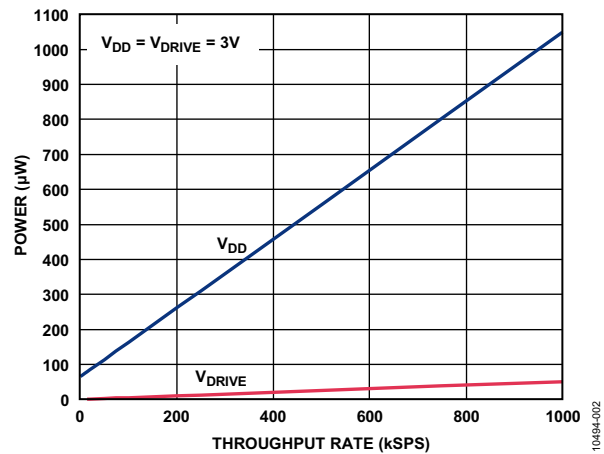


图2. 功耗与吞吐速率的关系

AD7091R采用先进的设计和工艺技术，可在高吞吐速率下实现极低的功耗。片内包括一个2.5 V精密基准电压源。

### 产品特色

1. 功耗最低的12位SAR ADC。
2. 2.5 V片内精密基准电压源。
3. 高吞吐速率、超低功耗。
4. 灵活的功耗/吞吐速率管理。平均功耗与吞吐速率成正比。器件不执行转换时可进入省电模式以降低平均功耗。
5. 利用 $V_{DRIVE}$ 功能实现单电源供电。AD7091R采用2.7 V至5.25 V单电源供电，VDRIVE功能使得串行接口能够直接与1.8 V至3.3 V处理器接口连接。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
Fax: 781.461.3113 ©2011 Analog Devices, Inc. All rights reserved.

## 目录

特性.....	1	电路信息.....	12
应用.....	1	转换器操作.....	12
功能框图.....	1	ADC传递函数.....	12
概述.....	1	内部/外部基准电压.....	12
产品特点.....	1	典型连接图.....	13
修订历史.....	2	模拟输入.....	13
技术规格.....	3	工作模式.....	14
时序规格.....	5	功耗.....	14
绝对最大额定值.....	6	串行接口.....	16
热阻.....	6	使用BUSY指示.....	16
ESD警告.....	6	不使用BUSY指示.....	17
引脚配置和功能描述.....	7	软件复位.....	18
典型工作特性.....	8	与8/16位SPI接口.....	18
术语.....	11	外形尺寸.....	20
工作原理.....	12	订购指南.....	20

## 修订历史

2012年8月—修订版0：初始版

## 技术规格

除非另有说明,  $V_{DD} = 2.7\text{ V}$ 至 $5.25\text{ V}$ ,  $V_{DRIVE} = 1.65\text{ V}$ 至 $5.25\text{ V}$ ,  $V_{REF} = 2.5\text{ V}$ (内部基准源),  $f_{SAMPLE} = 1\text{ MSPS}$ ,  $f_{SCLK} = 50\text{ MHz}$ ,  
 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能 <sup>1</sup>	$f_{IN} = 10\text{ kHz}$ 正弦波				
信噪比(SNR) <sup>2</sup>		66.5	69		dB
	$f_{SAMPLE} = 500\text{ kSPS}$	67.5	70		dB
信纳比(SINAD) <sup>2</sup>		66	69		dB
总谐波失真(THD) <sup>2</sup>			-84	-79	dB
无杂散动态范围(SFDR) <sup>2</sup>			-85	-78	dB
孔径延迟 <sup>2</sup>			5		ns
孔径抖动 <sup>2</sup>			40		ps
全功率带宽 <sup>2</sup>	-3 dB时		7.5		MHz
	-0.1 dB时		1.2		MHz
直流精度					
分辨率		12			Bits
积分非线性(INL) <sup>2,3</sup>	$V_{DRIVE} \leq 3.3\text{ V}$		$\pm 0.8$	$\pm 1$	LSB
	$V_{DRIVE} > 3.3\text{ V}$ , 采用外部 $V_{REF}$			$\pm 1$	LSB
微分非线性(DNL) <sup>2</sup>	保证12位无失码		$\pm 0.3$	$\pm 0.9$	LSB
失调误差 <sup>2</sup>			$\pm 0.6$	$\pm 2$	LSB
增益误差 <sup>2</sup>			$\pm 0.8$	$\pm 3$	LSB
总不可调整误差(TUE) <sup>2</sup>			-2		LSB
模拟输入					
输入电压范围		0		$V_{REF}$	V
直流漏电流				$\pm 1$	$\mu\text{A}$
输入电容 <sup>4</sup>	采集阶段		7		pF
	采集阶段之外		1		pF
基准电压输入/输出					
$REF_{OUT}$		2.485	2.5	2.525	V
$REF_{IN}$		2.7		$V_{DD}$	V
温漂			$\pm 4.5$	$\pm 25$	ppm/ $^\circ\text{C}$
逻辑输入					
输入高电压( $V_{INH}$ )		$0.7 \times V_{DRIVE}$			V
输入低电压( $V_{INL}$ )				$0.3 \times V_{DRIVE}$	V
输入电流( $I_{IN}$ )	典型值10 nA, $V_{IN} = 0\text{ V}$ 或 $V_{DRIVE}$			$\pm 1$	$\mu\text{A}$
输入电容( $C_{IN}$ ) <sup>4</sup>				5	pF
逻辑输出					
输出高电压( $V_{OH}$ )	$I_{SOURCE} = 200\ \mu\text{A}$	$V_{DRIVE} - 0.2$			V
输出低电压( $V_{OL}$ )	$I_{SINK} = 200\ \mu\text{A}$			0.4	V
悬空态漏电流				$\pm 1$	$\mu\text{A}$
悬空态输出电容 <sup>4</sup>				5	pF
输出编码			标准二进制		
转换速率					
转换时间				650	ns
采样保持器采集时间 <sup>2,4</sup>	满量程阶跃输入			350	ns
吞吐速率				1	MSPS

# AD7091R

参数	测试条件/注释	最小值	典型值	最大值	单位
电源要求					
$V_{DD}$		2.7		5.25	V
$V_{DRIVE}$		1.65		5.25	V
$I_{DD}$	$V_{IN} = 0V$				
正常模式—静态 <sup>5</sup>	$V_{DD} = 5.25V$		22	60	$\mu A$
	$V_{DD} = 3V$		21.6	33	$\mu A$
正常模式—工作状态	$V_{DD} = 5.25V, f_{SAMPLE} = 1\text{ MSPS}$		388	449	$\mu A$
	$V_{DD} = 3V, f_{SAMPLE} = 1\text{ MSPS}$		349	408	$\mu A$
	$V_{DD} = 3V, f_{SAMPLE} = 100\text{ KSPS}$		55		$\mu A$
省电模式	$V_{DD} = 5.25V$		0.334	4.4	$\mu A$
	$V_{DD} = 5.25V, T_A = -40^\circ C \text{ 至 } +85^\circ C$		0.334	1.4	$\mu A$
	$V_{DD} = 3V$		0.264	4.2	$\mu A$
	$V_{DD} = 3V, T_A = -40^\circ C \text{ 至 } +85^\circ C$		0.264	1.2	$\mu A$
$I_{DRIVE}$	$V_{IN} = 0V$				
正常模式—静态 <sup>6</sup>	$V_{DRIVE} = 5.25V$		32	500	nA
	$V_{DRIVE} = 3V$		28	500	nA
正常模式—工作状态	$V_{DRIVE} = 5.25V, f_{SAMPLE} = 1\text{ MSPS}$		42	86	$\mu A$
	$V_{DRIVE} = 3V, f_{SAMPLE} = 1\text{ MSPS}$		17	20	$\mu A$
省电模式	$V_{DRIVE} = 5.25V$		7	41	nA
	$V_{DRIVE} = 3V$		2	28	nA
总功耗( $P_{DD} + P_{DRIVE}$ )	$V_{IN} = 0V$				
正常模式—静态 <sup>5</sup>	$V_{DD} = V_{DRIVE} = 5.25V$		116	318	$\mu W$
	$V_{DD} = V_{DRIVE} = 3V$		65	101	$\mu W$
正常模式—工作状态	$V_{DD} = V_{DRIVE} = 5.25V, f_{SAMPLE} = 1\text{ MSPS}$		2.3	2.9	mW
	$V_{DD} = V_{DRIVE} = 3V, f_{SAMPLE} = 1\text{ MSPS}$		1	1.3	mW
省电模式	$V_{DD} = V_{DRIVE} = 5.25V$		1.8	24	$\mu W$
	$V_{DD} = V_{DRIVE} = 3V$		0.8	13	$\mu W$

<sup>1</sup> 动态性能采用突发SCLK实现。采集阶段使用自由振荡SCLK会降低动态性能。

<sup>2</sup> 参见术语部分。

<sup>3</sup> 针对 $V_{DRIVE} < V_{DD} + 0.7V$ 。

<sup>4</sup> 样片在初次发布期间均经过测试，以确保符合标准要求。

<sup>5</sup> SCLK工作在突发模式， $\overline{CS}$ 为空闲高电平。使用自由振荡SCLK且 $\overline{CS}$ 拉低时， $I_{DD}$ 静态电流会增加30  $\mu A$ (典型值， $V_{DD} = 5.25V$ )。

<sup>6</sup> SCLK工作在突发模式， $\overline{CS}$ 为空闲高电平。使用自由振荡SCLK且 $\overline{CS}$ 拉低时， $I_{DRIVE}$ 静态电流会增加32  $\mu A$ (典型值， $V_{DRIVE} = 5.25V$ )。

## 时序规格

除非另有说明,  $V_{DD} = 2.75\text{ V}$ 至 $5.25\text{ V}$ ,  $V_{DRIVE} = 1.65\text{ V}$ 至 $5.25\text{ V}$ ,  $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。<sup>1</sup>

表2.

参数	在 $T_{MIN}$ 、 $T_{MAX}$ 的限值	单位	描述
$f_{SCLK}$	50	MHz(最大值)	串行读取时钟频率
$t_1$	8	ns(最大值)	从转换结束到SDO三态禁用的延迟
$t_2$	7	ns(最大值)	SCLK下降沿后的数据访问时间
$t_3$	$0.4 t_{SCLK}$	ns(最大值)	SCLK高电平脉宽
$t_4$	3	ns(最大值)	SCLK到数据的有效保持时间
$t_5$	$0.4 t_{SCLK}$	ns(最大值)	SCLK低电平脉宽
$t_6$	15	ns(最大值)	SCLK下降沿到SDO高阻态
$t_7$	10	ns(最大值)	$\overline{CONVST}$ 脉冲宽度
$t_8$	650	ns(最大值)	转换时间
$t_9$	6	ns(最大值)	转换结束前的 $\overline{CS}$ 低电平时间
$t_{10}$	18	ns(最大值)	从 $\overline{CS}$ 到SDO三态禁用的延迟
$t_{11}$	8	ns(最大值)	转换结束前的 $\overline{CS}$ 高电平时间
$t_{12}$	8	ns(最大值)	从转换结束到 $\overline{CS}$ 下降沿的延迟
$t_{13}$	50	ms(典型值)	采用内部基准电压源的上电时间 <sup>2</sup>
	100	$\mu\text{s}$ (最大值)	采用外部基准电压源的上电时间
$t_{QUIET}$	50	ns(最大值)	上一个SCLK沿与下一个 $\overline{CONVST}$ 脉冲之间的时间

<sup>1</sup> 样片在初次发布期间均经过测试, 以确保符合标准要求。

<sup>2</sup> 采用 $2.2\ \mu\text{F}$ 基准电容。

# AD7091R

## 绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表3.

参数	额定值
$V_{DD}$ 至GND	-0.3 V至+7 V
$V_{DRIVE}$ 至GND	-0.3 V至+7 V
模拟输入电压至GND	-0.3 V至 $V_{REF} + 0.3$ V
数字输入电压至GND	-0.3 V至 $V_{DRIVE} + 0.3$ V
数字输出电压至GND	-0.3 V至 $V_{DRIVE} + 0.3$ V
输入电流至除电源外的任何引脚 <sup>1</sup>	$\pm 10$ mA
工作温度范围	$-40^\circ\text{C}$ 至 $+125^\circ\text{C}$
存储温度范围	$-65^\circ\text{C}$ 至 $+150^\circ\text{C}$
结温	$150^\circ\text{C}$
ESD	
HBM	$\pm 2.5$ kV
FICDM	$\pm 1.5$ kV

<sup>1</sup> 100 mA以下的瞬态电流不会造成硅控整流器(SCR)闩锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

## 热阻

表4. 热阻

封装类型	$\theta_{JA}$	$\theta_{JC}$	单位
10引脚LFCSP	33.2	4	$^\circ\text{C}/\text{W}$
10引脚MSOP	25.67	1.67	$^\circ\text{C}/\text{W}$

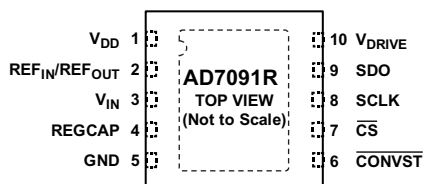
## ESD警告



### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述

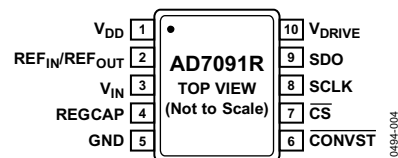


## NOTES

1. THE EXPOSED PAD IS NOT CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND FOR MAXIMUM THERMAL CAPABILITY, SOLDER THE EXPOSED PAD TO THE SUBSTRATE, GND.

10494-003

图3. 引脚配置(10引脚LFCSP)



10494-004

图4. 引脚配置(10引脚MSOP)

表5. 引脚功能描述

引脚编号		引脚名称	描述
LFCSP	MSOP		
1	1	$V_{DD}$	电源输入引脚。 $V_{DD}$ 范围为2.7 V至5.25 V。应将此电源引脚去耦至GND。推荐的典型值是10 $\mu$ F和0.1 $\mu$ F。
2	2	REF <sub>IN</sub> /REF <sub>OUT</sub>	基准电压输入/输出引脚。应将此引脚去耦至GND。推荐的典型去耦电容值为2.2 $\mu$ F。用户既可使用内部2.5 V基准电压，也可利用外部施加的电压过载内部基准电压。外部基准电压的输入范围为2.7 V至 $V_{DD}$ 。
3	3	$V_{IN}$	模拟输入。单端模拟输入范围为0 V至 $V_{REF}$ 。
4	4	REGCAP	内部稳压器电压输出的去耦电容引脚。应将此输出引脚通过一个1 $\mu$ F电容独立去耦至GND。此引脚的电压典型值为1.8 V。
5	5	GND	模拟地。此引脚是AD7091R上所有电路的接地基准点。模拟输入信号应参考此GND电压。
6	6	$\overline{\text{CONVST}}$	转换开始。低电平有效边沿触发逻辑输入。 $\overline{\text{CONVST}}$ 下降沿使采样保持器进入保持模式，并且启动转换。
7	7	$\overline{\text{CS}}$	片选。低电平有效逻辑输入。 $\overline{\text{CS}}$ 处于低电平时，串行总线使能；这种模式下，CS用于通过SPI总线实现输出数据的帧传输。
8	8	SCLK	串行时钟。此引脚用作串行时钟输入。
9	9	SDO	串行数据输出。转换输出数据以串行数据流形式提供给此引脚。各位在SCLK输入的下沿逐个输出。数据以MSB优先方式提供。
10	10	$V_{DRIVE}$	逻辑电源输入。此引脚的电源电压决定逻辑接口的工作电压。 $V_{DRIVE}$ 与GND之间应连接去耦电容。推荐的典型值是10 $\mu$ F和0.1 $\mu$ F。此引脚的电压范围为1.65 V至5.25 V。
11	N/A	EPAD	裸露焊盘。底部焊盘不在内部连接。为提高焊接接头的可靠性并实现最大散热效果，应将裸露焊盘焊接到基板GND。

## 典型工作特性

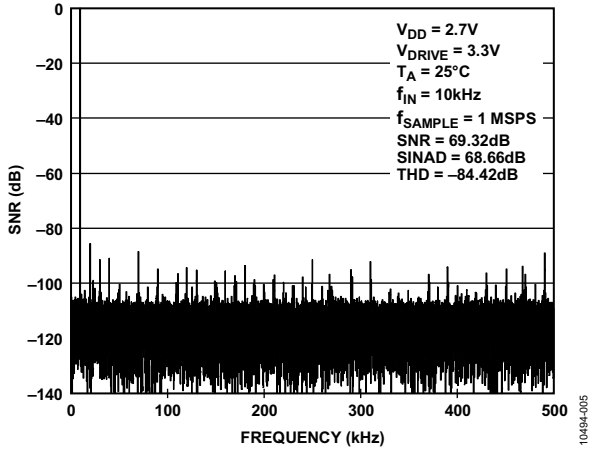


图5. 典型动态性能

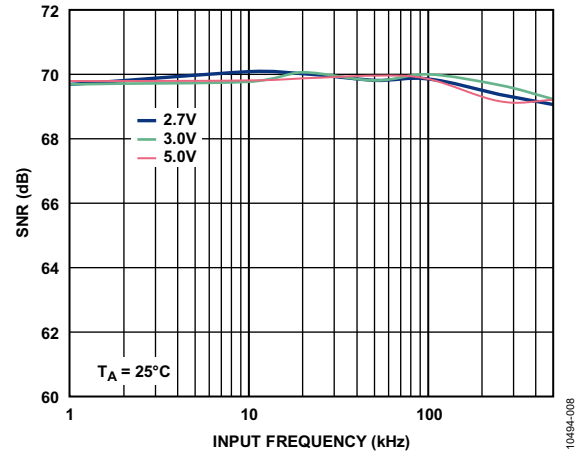


图8. 不同电源电压下SNR与模拟输入频率的关系

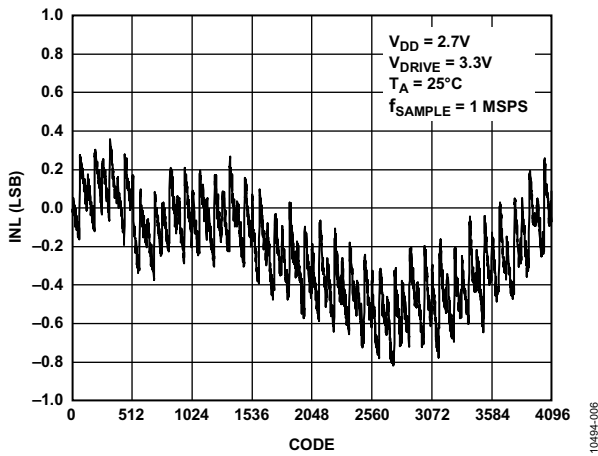


图6. 典型INL性能

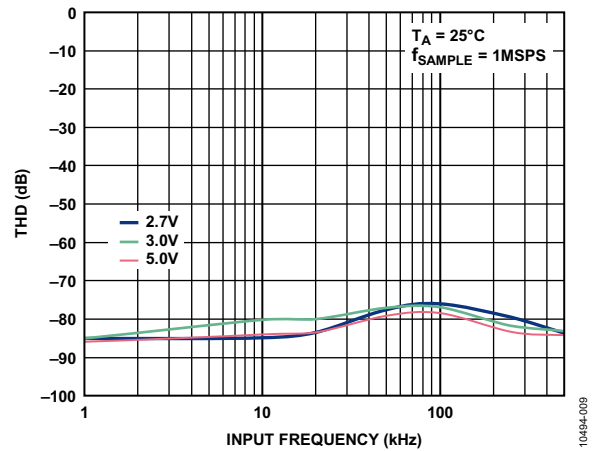


图9. 不同电源电压下THD与模拟输入频率的关系

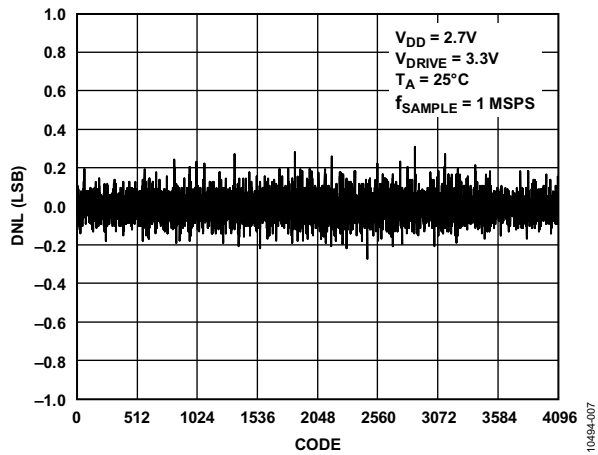


图7. 典型DNL性能

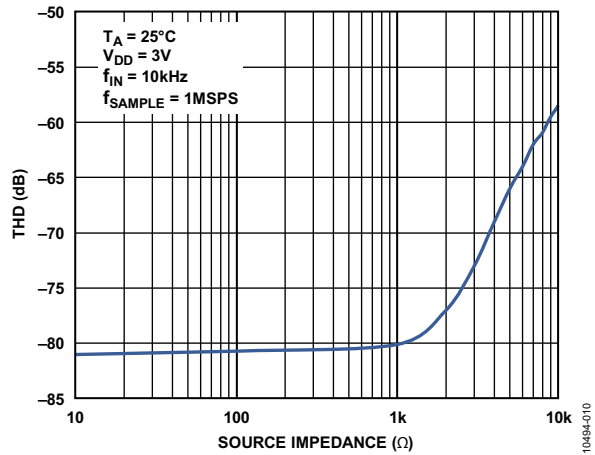


图10. THD与源阻抗的关系



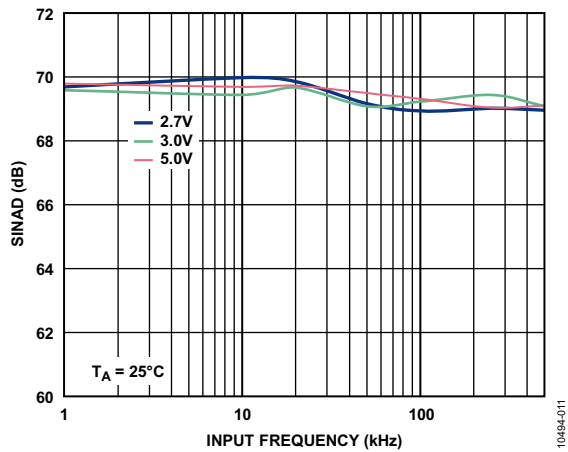


图11. 不同电源电压下SINAD与模拟输入频率的关系

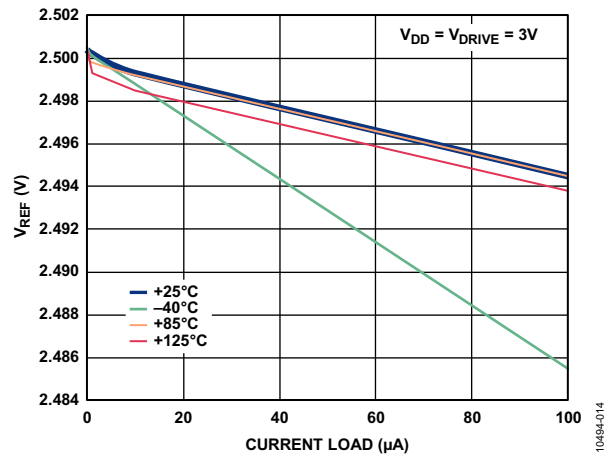


图14. 不同温度下基准电压输出与电流负载的关系

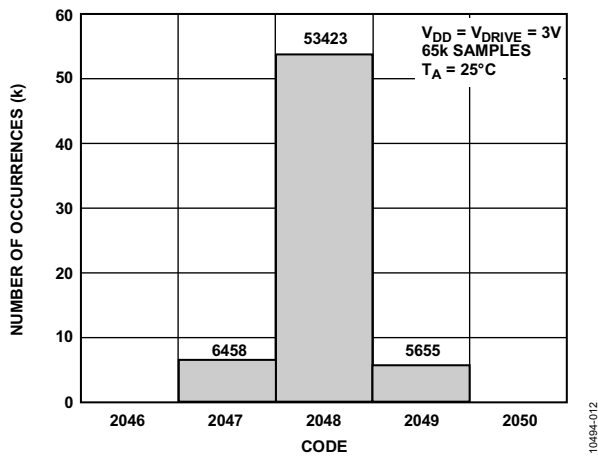


图12. 码中心( $V_{REF}/2$ )处的码直方图

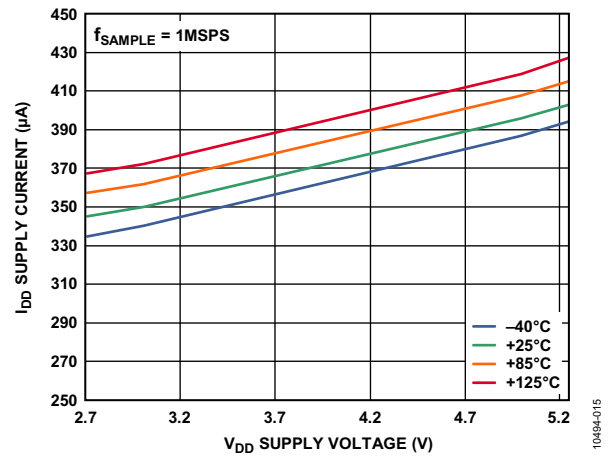


图15. 不同温度下 $I_{DD}$ 工作电流与 $V_{DD}$ 电源电压的关系

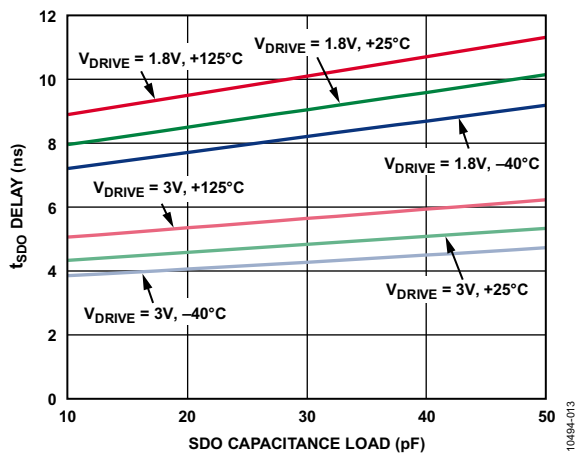


图13.  $t_{SDO}$ 延迟与SDO电容负载和 $V_{DRIVE}$ 的关系

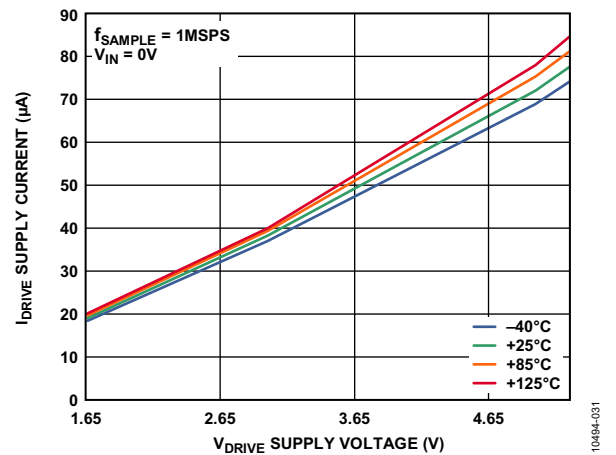


图16. 不同温度下 $I_{DRIVE}$ 工作电流与 $V_{DRIVE}$ 电源电压的关系

# AD7091R

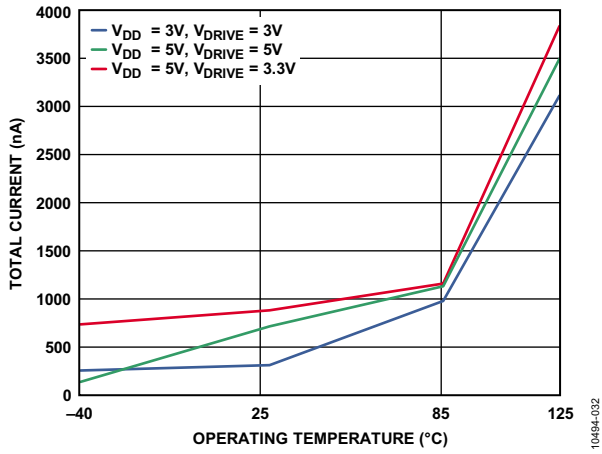


图17. 不同电源电压下省电模式总功耗 ( $I_{DD}$  和  $I_{DRIVE}$ ) 与温度的关系

10494-032

## 术语

### 积分非线性(INL)

INL指ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。对于AD7091R，传递函数有两个端点，起点在低于第一个码转换的0.5 LSB处的零电平，终点在高于最后一个码转换的0.5 LSB处的满量程。

### 微分非线性(DNL)

DNL指ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

### 失调误差

失调误差是指第一个码转换(00 ... 000到00 ... 001)的跃变点与理想点(例如GND + 0.5 LSB)的偏差。

### 增益误差

增益误差指在失调误差调零之后，最后一个码转换(从111 ... 110到111 ... 111)的跃变点与理想点(例如 $V_{REF} - 1.5 \text{ LSB}$ )的偏差。

### 采样保持器采集时间

采样保持放大器在转换结束后恢复跟踪模式。采样保持器采集时间是指转换结束后，采样保持放大器输出达到最终值(在 $\pm 0.5 \text{ LSB}$ 内)所需的时间(更多信息参见“串行接口”部分)。

### 信噪比(SNR)

SNR是指在ADC输出端测得的信号对噪声比。这里的信号是基波幅值的均方根值。噪声为除了直流信号以外一直到半采样频率( $f_{\text{SAMPLE}}/2$ )的所有非基波信号之和。

在数字化过程中，这个比值的大小取决于量化级数：量化级数越多，量化噪声就越小。对于一个正弦波输入的理想N位转换器，信噪比理论值计算公式为：

$$\text{Signal-to-Noise Ratio} = (6.02N + 1.76) \text{ dB}$$

因此，12位转换器的SNR理论值为74dB。

### 信纳比(SINAD)

SINAD是指在ADC输出端测得的信号对噪声及失真比。信号为正弦波的均方根值；噪声为一直到半采样频率( $f_{\text{SAMPLE}}/2$ )的所有非基波信号的均方根和，包括谐波，但直流信号除外。

### 总不可调整误差(TUE)

TUE是一个综合性指标，包括增益、线性度和失调误差。

### 总谐波失真(THD)

THD指所有谐波均方根和与基波的比值。对于AD7091R，THD定义为

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中：

$V_1$ 是基波幅度的均方根值。

$V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 及 $V_6$ 是二次到六次谐波幅度的均方根值。

### 无杂散动态范围(SFDR)

SFDR也称为峰值谐波或杂散噪声，是指在ADC输出频谱(一直到 $f_{\text{SAMPLE}}/2$ ，直流信号除外)中，下一个最大分量的均方根值与基波均方根值之比。通常情况下，此参数数值由频谱内的最大谐波决定，但对于谐波淹没于本底噪声内的ADC，最大谐波为噪声峰值。

### 孔径延迟

孔径延迟是指采样时钟前沿与ADC采样点之间的测量间隔。

### 孔径抖动

孔径抖动指样本与样本之间在采样的有效时间点上的差异。

### 全功率带宽

全功率带宽是指针对满量程输入，重构基波幅度减小0.1 dB或3 dB的输入频率。

# AD7091R

## 工作原理

### 电路信息

AD7091R是一款12位逐次逼近型模数转换器(ADC)，可在高吞吐速率(50 MHz SCLK时为1 MSPS)下实现超低功耗(3V和1 MSPS时典型值为349  $\mu$ A)。该器件可以采用2.7 V至5.25 V单电源供电。

AD7091R提供片内采样保持ADC和串行接口，采用小型10引脚LFCSP和10引脚MSOP封装。这些封装与其它解决方案相比，非常节省空间。串行时钟输入访问器件产生的数据。该逐次逼近型ADC所用的时钟由内部产生。AD7091R所用的基准电压由片内精密基准电压源产生。模拟输入范围是0 V至 $V_{REF}$ 。

AD7091R还提供省电选项，可在两次转换间隙进入省电状态。省电特性通过标准串行接口实现，详见工作模式部分。

### 转换器操作

AD7091R是一款基于电荷再分配DAC的逐次逼近型ADC。图18和图19显示了该ADC的原理示意图。图18显示的是采样阶段的ADC。SW2闭合，SW1置于A，比较器保持在平衡状态，采样电容采集 $V_{IN}$ 的信号。

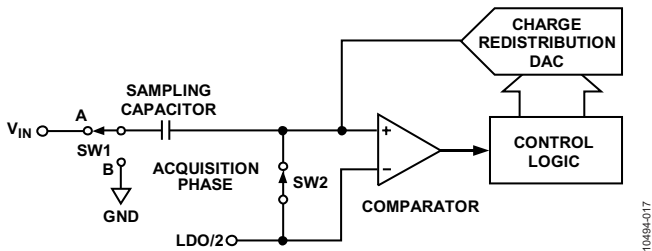


图18. ADC采样阶段

当ADC启动转换时，SW2断开，而SW1移至位置B(见图19)，使比较器变得不平衡。控制逻辑和电荷再分配DAC可以加上和减去采样电容中的固定电荷数量，使得比较器恢复到平衡状态。当比较器重新平衡后，转换就已经完成。控制逻辑产生ADC的输出代码。图20显示了理想ADC的传递函数。

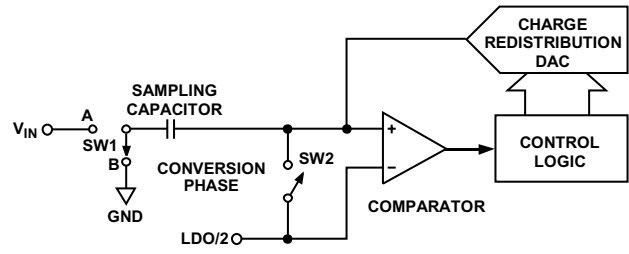


图19. ADC转换阶段

### ADC传递函数

AD7091R的输出编码方式为标准二进制。所设计的码跃迁在连续整数LSB值的中间(即0.5 LSB、1.5 LSB等等)进行。AD7091R的LSB大小为 $V_{REF}/4096$ 。其理想传递特性如图20所示。

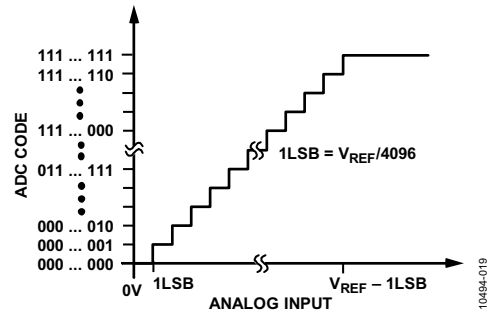


图20. AD7091R理想传递特性

### 内部/外部基准电压

AD7091R允许选用内部基准电压源或外部基准电压源。

内部基准电压源提供2.5 V精密低温漂基准电压。内部基准电压通过 $REF_{IN}/REF_{OUT}$ 引脚提供。使用内部基准源时，为实现额定性能，此引脚应利用一个典型值2.2  $\mu$ F的电容去耦。2.2  $\mu$ F基准电容完全充电后，内部基准电压达到2.5 V  $REF_{OUT}$ 电平需要50 ms(典型值)。

省电模式下，内部基准电压源关断。退出省电模式后，应等待足够长的时间让基准电容再充电，然后才能执行转换。基准电容再充电所需的时间取决于退出省电模式时电容上的剩余电荷量。

如果AD7091R的外部电路使用片内基准电压源，建议对此基准电压进行缓冲，然后再供应外部电路。

也可以从外部施加AD7091R基准电压。如果将外部基准电压施加于器件，内部基准电压源自动过载。外部施加的基准电压应在2.7 V到5.25 V范围内，并且应连接到 $REF_{IN}/REF_{OUT}$ 引脚。

## 典型连接图

图22给出了AD7091R的典型连接图。

2.7 V至5.25 V的正电源应连接到 $V_{DD}$ 引脚，去耦电容的典型值为100 nF和10  $\mu$ F。这些电容应尽可能靠近器件引脚。电源连接到 $V_{DD}$ 引脚且AD7091R采用2.5 V内部基准电压时，为实现额定性能并提供0 V至 $V_{REF}$ 的模拟输入范围， $REF_{IN}/REF_{OUT}$ 引脚应利用典型值为2.2  $\mu$ F的电容去耦。稳压器旁路去耦电容(REGCAP)的典型值为1  $\mu$ F。 $V_{DRIVE}$ 输入上施加的电压控制串行接口的电压，因此，此引脚应连接到微处理器的电源电压。 $V_{DRIVE}$ 可以在1.65 V至5.25 V范围内设置，其去耦电容的典型值为100 nF和10  $\mu$ F。转换结果以12位字输出，MSB优先。

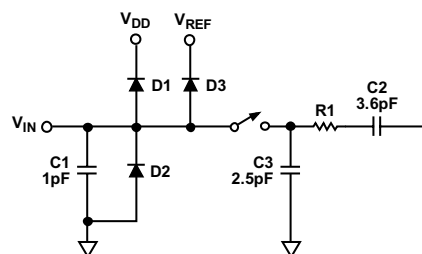
上电时，AD7091R要求用户启动软件复位(参见“软件复位”部分)。

如果将外部基准电压施加于器件，内部基准电压源自动过载。外部施加的基准电压应在2.7 V到5.25 V范围内，并且应连接到 $REF_{IN}/REF_{OUT}$ 引脚。

如果需要BUSY指示功能，应与 $V_{DRIVE}$ 相连的典型值为100 k $\Omega$ 的上拉电阻连接到SDO引脚。此外，对于要求低功耗的应用，可以利用省电模式来改善ADC的功耗性能(更多信息参见“工作模式”部分)。

## 模拟输入

图21显示了AD7091R模拟输入结构的等效电路。二极管D1和D2提供模拟输入的ESD保护。二极管D3是 $V_{IN}$ 与 $V_{REF}$ 之间的寄生二极管。为防止二极管正偏和导通电流，应确保模拟输入信号不超过 $V_{REF}$ 或 $V_{DD}$  300 mV以上。这些二极管可以导通但不会导致器件彻底损坏的最大电流为10 mA。



NOTES  
1. DURING THE CONVERSION PHASE, THE SWITCH IS OPEN.  
2. DURING THE TRACK PHASE, THE SWITCH IS CLOSED.

图21. 等效模拟输入电路

图21中的电容C1通常约为1 pF，主要是引脚寄生电容。电阻R1是由开关导通电阻构成的集总元件，通常约为500  $\Omega$ 。电容C2是ADC采样电容，典型值为3.6 pF。

在对谐波失真和信噪比要求严格的应用中，模拟输入应采用一个低阻抗源进行驱动。高源阻抗会显著影响ADC的交流特性。这可能需要使用一个输入缓冲放大器，如图22所示。通常根据具体应用来选择运算放大器。

不用放大器来驱动模拟输入端时，应将源阻抗限制在较低的值。源阻抗最大值取决于可容许的总谐波失真(THD)。总谐波失真随着输入源阻抗的增加而增大，从而使ADC性能下降。图10显示了3 V电源电压和1 MSPS采样速率时的THD与源阻抗的关系。

为实现额定性能，应将一个外部滤波器连接到AD7091R的模拟输入端，例如图22所示的单极点低通RC滤波器或类似元件。

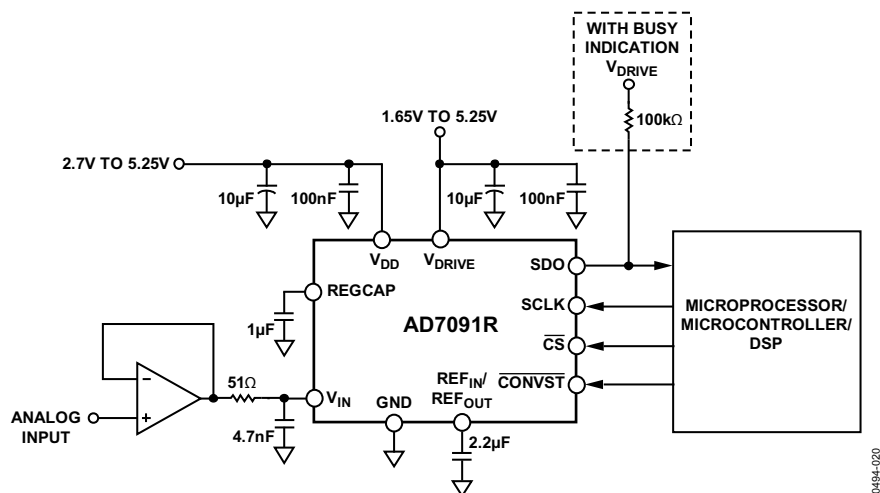


图22. AD7091R典型连接图

# AD7091R

## 工作模式

转换完成时，通过控制 $\overline{\text{CONVST}}$ 信号的逻辑状态，可以选择AD7091R的工作模式。

转换结束时 $\overline{\text{CONVST}}$ 引脚的逻辑电平决定AD7091R是保持正常模式，还是进入省电模式(参见“正常模式”和“省电模式”部分)。类似地，如果器件已经处于省电模式，则 $\overline{\text{CONVST}}$ 可以控制器件是返回正常模式，还是继续保持省电模式。这些工作模式提供灵活的电源管理选项，允许针对不同的应用要求优化功耗与吞吐速率之比。

## 正常模式

正常工作模式旨在用于实现最快的吞吐速率性能。用户不必担心上电时间，因为AD7091R始终处于完全上电状态。图29显示了AD7091R在正常模式下的一般时序图。

这种模式下，如“串行接口”部分所述，转换在 $\overline{\text{CONVST}}$ 的下降沿启动。为确保器件始终处于完全上电状态， $t_r$ 后 $\overline{\text{CONVST}}$ 必须变为高电平，并且保持高电平状态直到转换完成。转换结束时(图27中用EOC表示)会测试 $\overline{\text{CONVST}}$ 的逻辑状态。

若要回读转换结果寄存器中存储的数据，应等待转换完成，然后将 $\overline{\text{CS}}$ 拉低。转换数据随后通过SDO引脚输出(见图29)。输出移位寄存器为12位宽，因此数据作为12位字在串行时钟输入(SCLK)的控制下移出器件。读取数据后，用户可以再次拉低 $\overline{\text{CONVST}}$ ， $t_{\text{QUIET}}$ 时间过去后即可开始下一次转换。

## 省电模式

省电模式旨在用于需要较低吞吐速率和较低功耗的应用。这种模式下，可以在每次转换完成后关断ADC，或者以高吞吐速率执行一系列转换，然后将ADC关断相对较长的时间，直到迎来下一系列的转换。当AD7091R处于省电模式时，包括内部基准电压源在内的所有模拟电路均关断，但串行接口仍然有效。

要进入省电模式， $\overline{\text{CONVST}}$ 应拉低并保持低电平，直到转换结束(图30中用EOC表示)。转换完成后会测试 $\overline{\text{CONVST}}$ 引脚的逻辑电平。如果 $\overline{\text{CONVST}}$ 信号此时为逻辑低电平，器件将进入省电模式。

AD7091R的串行接口在省电模式下仍能工作，因此，在器件进入省电模式后，用户可以回读转换结果。

若要退出这种工作模式并使AD7091R上电，只需将 $\overline{\text{CONVST}}$ 拉高。在 $\overline{\text{CONVST}}$ 的上升沿，器件开始上电。从省电模式上电，AD7091R的内部电路需要100  $\mu\text{s}$ 。如果使用内部基准电压源，基准电容必须再次充满电后才能进行精确的转换。

退出省电模式后，要启动下一次转换，应按照“正常模式”所述操作接口。

## 功耗

对于AD7091R的两种工作模式(正常模式和省电模式，更多信息见“工作模式”部分)，其功耗与吞吐速率有着不同的关系。综合使用正常模式和省电模式可实现最佳的功耗性能。

要计算总功耗，还应考虑 $I_{\text{DRIVE}}$ 电流。图16显示了不同电源电压下的 $I_{\text{DRIVE}}$ 电流。图23和图24显示了不同吞吐速率下 $V_{\text{DRIVE}}$ 的功耗。

精心挑选 $V_{\text{DD}}$ 和 $V_{\text{DRIVE}}$ 电源电压及SDO线路电容(见图15和图16)，可以改善AD7091R的功耗性能。

## 正常模式

3 V  $V_{\text{DD}}$ 电源和1 MSPS吞吐速率时，器件在正常工作模式下的 $I_{\text{DD}}$ 功耗为349  $\mu\text{A}$ (包括21.6  $\mu\text{A}$ 的静态电流和转换过程中的327.4  $\mu\text{A}$ 动态电流)。动态功耗与吞吐速率成正比。

下例计算AD7091R在正常模式、500 kSPS吞吐速率和3 V电源下的功耗。

动态转换的功耗为491  $\mu\text{W}$ ，如下式所示：

$$((500 \text{ kSPS}/1 \text{ MSPS}) \times 327.4 \mu\text{A}) \times 3 \text{ V} = 491 \mu\text{W}$$

正常模式静态功耗为：

$$21.6 \mu\text{A} \times 3 \text{ V} = 65 \mu\text{W}$$

因此，500 kSPS时的总功耗为

$$491 \mu\text{W} + 65 \mu\text{W} = 556 \mu\text{W}$$

### 正常模式与省电模式结合

正常模式和省电模式的结合可实现最佳的功耗性能。

从省电模式上电，AD7091R的内部电路需要100 μs。因此，在10 kSPS以下的采样速率时，可以使用省电模式。

使用片内基准电压源时，还应考虑基准电容的再充电。AD7091R可以在50 ms的时间(典型值)内将2.2 μF基准电容充满电。然而，基准电容再充电所需的时间取决于退出省电模式时电容上的剩余电荷量。基准电容损失电荷的速度非常慢，因此再充电时间要快得多。

图25显示了AD7091R综合运用正常模式和省电模式的转换顺序，吞吐速率为5 kSPS，使用外部基准电压源。V<sub>DD</sub>电源电压为3 V时，静态电流为21.6 μA。1 MSPS时的动态电流为327.4 μA。省电模式消耗的电流为264 nA。完成转换需要650 ns，使用外部基准电压源时，AD7091R从省电模式上电需要100 μs。

动态转换的功耗为4.9 μW，如下式所示：

$$((5 \text{ kSPS}/1 \text{ MSPS}) \times 327.4 \text{ } \mu\text{A}) \times 3 \text{ V} = 4.9 \text{ } \mu\text{W}$$

正常模式静态运行和省电模式的功耗为：

$$((100.6 \text{ } \mu\text{s}/200 \text{ } \mu\text{s}) \times 21.6 \text{ } \mu\text{A}) \times 3 \text{ V} +$$

$$((99.4 \text{ } \mu\text{s}/200 \text{ } \mu\text{s}) \times 264 \text{ nA}) \times 3 \text{ V} = 33 \text{ } \mu\text{W}$$

静态运行时间包括650 ns的转换时间。

因此，5 kSPS时的总功耗为

$$4.9 \text{ } \mu\text{W} + 33 \text{ } \mu\text{W} = 37.9 \text{ } \mu\text{W}$$

图23和图24显示了V<sub>DD</sub>和V<sub>DRIVE</sub>电源均为3 V时，AD7091R的

典型功耗与吞吐速率的关系。V<sub>DRIVE</sub>电源的功耗计算原理与V<sub>DD</sub>电源相同。

此外，如图24所示，在较低吞吐速率时，与仅使用正常模式相比，使用省电模式可以降低功耗。

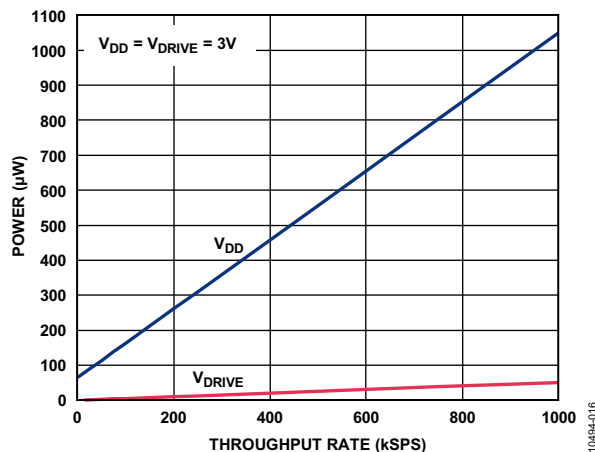


图23. 功耗与吞吐速率的关系(全部范围)

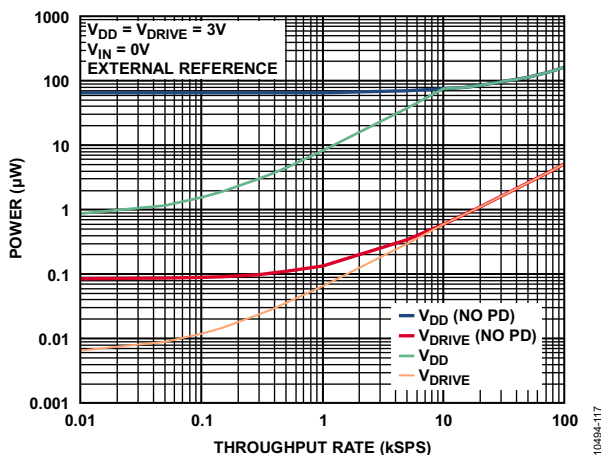


图24. 功耗与吞吐速率的关系(较低范围)

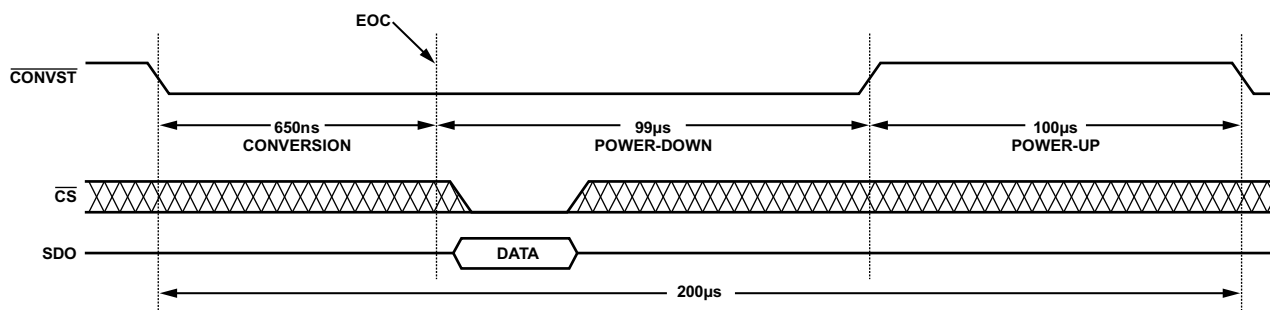


图25. 10 SPS、正常模式和省电模式

## 串行接口

AD7091R 串行接口由四个信号构成：SDO、SCLK、CONVST 和  $\overline{CS}$ 。串行接口用于访问结果寄存器中的数据以及控制器件的工作模式。SCLK 是器件的串行时钟输入，SDO 数据传输与此 SCLK 相关。 $\overline{CONVST}$  信号用于启动转换过程以及选择 AD7091R 的工作模式（见“工作模式”部分）。 $\overline{CS}$  用于实现数据的帧传输。 $\overline{CS}$  的下降沿使 SDO 线脱离高阻态。 $\overline{CS}$  的上升沿使 SDO 线返回高阻态。

转换结束时  $\overline{CS}$  的逻辑电平决定是否使能 BUSY 指示功能。此功能影响 MSB 相对于  $\overline{CS}$  和 SCLK 的传播。

### 使用 BUSY 指示

启用 BUSY 指示功能时，SDO 引脚可以用作中断信号，指示转换已完成。图 26 给出了这种配置的连接图。注意， $V_{DRIVE}$  的上拉电阻需要连接到 SDO 引脚，以便主机在转换结束后检测 SDO 引脚何时退出三态状态。这种模式需要 13 个 SCLK 周期：12 个时钟周期用于输出数据，还有一个时钟周期用于使 SDO 引脚返回三态状态。

要启用 BUSY 指示功能，首先应启动转换。 $\overline{CONVST}$  从高电平变为低电平就会启动转换，从而将采样保持器置于保

持模式并对模拟输入进行采样。如果用户不想 AD7091R 进入省电模式，应在转换结束前将  $\overline{CONVST}$  置于高电平。完成转换需要 650 ns。转换过程结束后，采样保持器回到跟踪模式。转换结束前，拉低  $\overline{CS}$  可启用 BUSY 指示功能。

在 SCLK 的控制下，根据转换结束时  $\overline{CS}$  的逻辑状态，转换结果以 12 位字从器件移出。转换结束时，SDO 变为低电平。SDO 将保持低电平，直到转换结果的 MSB（DB11）在 SCLK 的第一个下降沿输出。DB10 至 DB0 在 SCLK 的后续下降沿输出。第 13 个 SCLK 下降沿使 SDO 线返回高阻态。数据在 SCLK 下降沿传播，在下一个 SCLK 的上升沿和下降沿均有效。图 27 给出了这种模式的时序图。

如果需要再一次转换，应再次将  $\overline{CONVST}$  拉低，并重复读取周期。

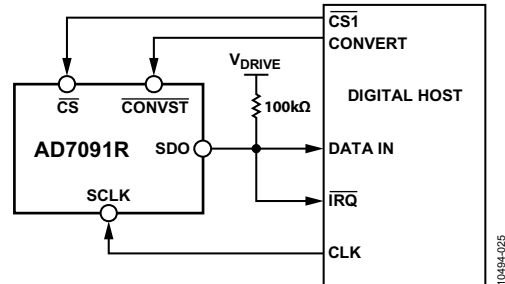
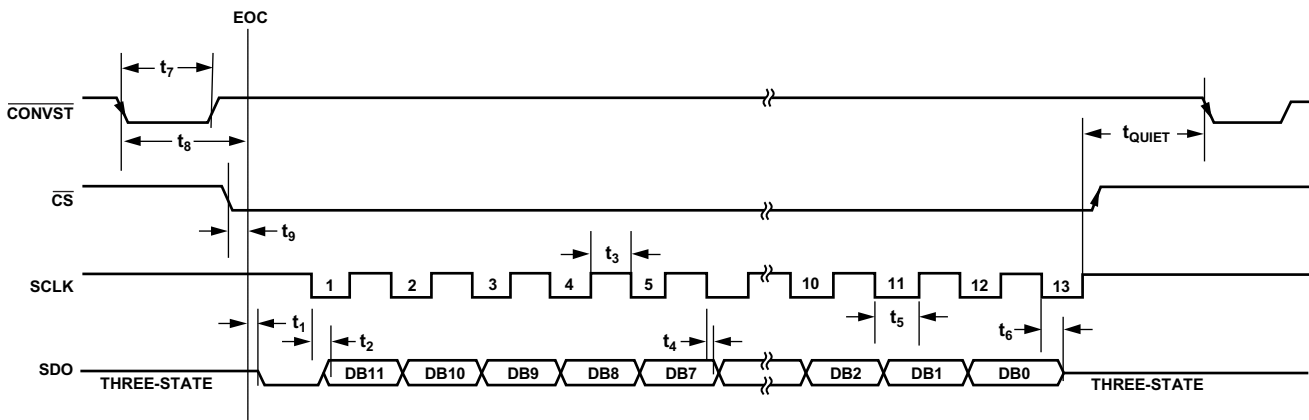


图 26. 使用 BUSY 指示的连接图



NOTES  
1. EOC IS THE END OF A CONVERSION.

图 27. 使用 BUSY 指示的串行端口时序



### 不使用BUSY指示

要使用AD7091R而不启用BUSY指示功能，首先应启动转换。CONVST从高电平变为低电平就会启动转换，从而将采样保持器置于保持模式并对模拟输入进行采样。如果用户不想AD7091R进入省电模式，应在转换结束前将CONVST置于高电平。完成转换需要650 ns。转换过程结束后，采样保持器回到跟踪模式。为防止启用BUSY指示功能，应确保转换结束前将CS拉高。

数据作为12位字在SCLK和 $\overline{CS}$ 的控制下移出器件。MSB(位DB11)在 $\overline{CS}$ 的下降沿输出。DB10至DB0在SCLK的后续下降沿输出。第12个SCLK下降沿使SDO线返回高阻态。输出所有数据后，再次将 $\overline{CS}$ 拉高。这种模式下，SCLK应为空闲低电平，确保MSB不会丢失。数据在SCLK下降沿传播，在下一个SCLK的上升沿和下降沿均有效。图28给出了这种操作的时序图。

如果需要再一次转换，应将CONVST拉低，并重复读取周期。

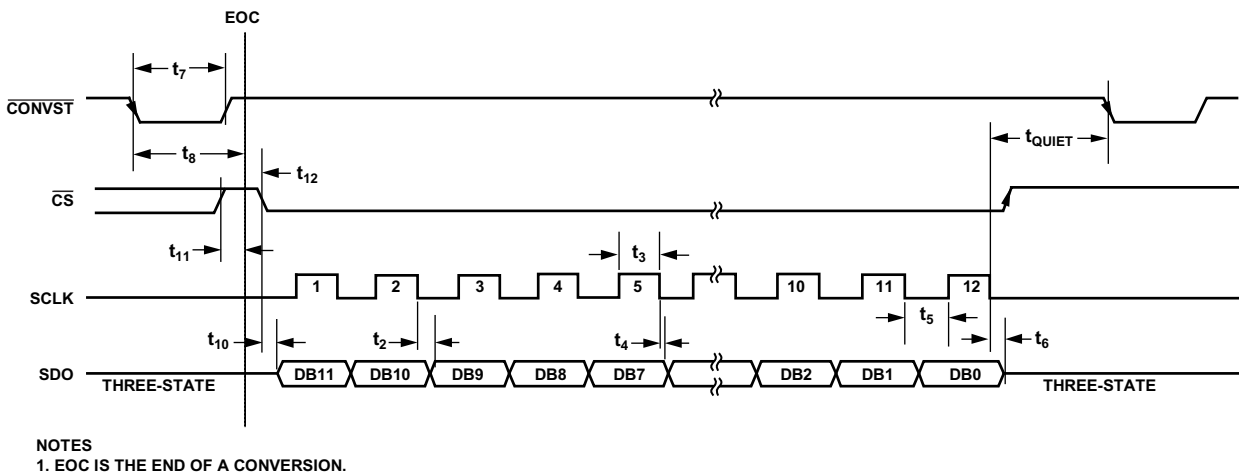


图28. 不使用BUSY指示的串行端口时序

# AD7091R

## 软件复位

首次通电时，AD7091R要求用户启动软件复位。应当注意，未应用正确的软件复位命令可能会导致器件工作不正常。

执行软件复位的步骤如下：

1. 启动转换。
2. 转换完成后，将CS拉低以回读转换结果。
3. 在第二个和第八个SCLK周期之间，将CS拉高以缩短读取操作时间。
4. 在下一一次转换结束时，执行软件复位。

如果使用片内基准电压源，用户应等待基准电容充满电，以便实现额定性能。

图31给出了这种操作的时序图。

## 8与8/16位SPI接口

也可以让AD7091R与传统的8/16位SPI总线连接。

将主机SPI接口配置为16位，可以执行转换和读取结果，不过与标准接口方法相比(参见“使用BUSY指示”和“不使用BUSY指示”部分)，需要再提供4个SCLK周期才能完成转换。在第13个SCLK下降沿(启用BUSY指示功能时)或第12个SCLK下降沿(禁用BUSY指示功能时)之后，SDO返回高阻态。主机应将额外的4位视为无关位。所有其它时序参见图27和图28， $t_{\text{QUIET}}$ 开始于第16个SCLK周期之后。

将SPI总线配置为8位，并执行“软件复位”部分所述的操作，可以执行软件复位。

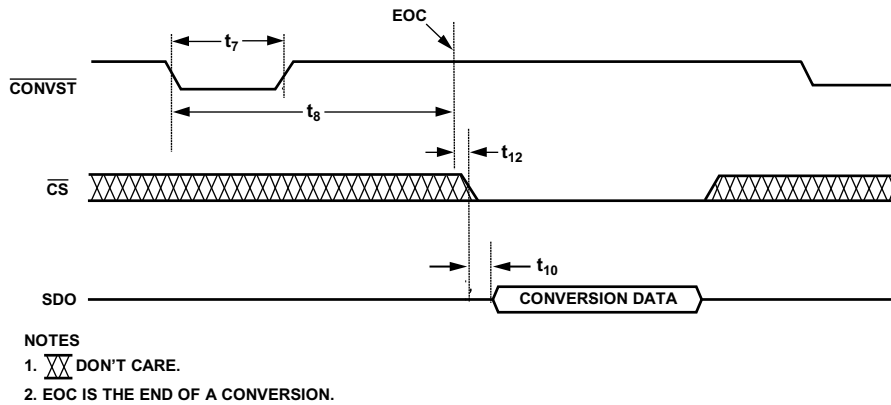


图29. 串行接口读取时序—正常模式

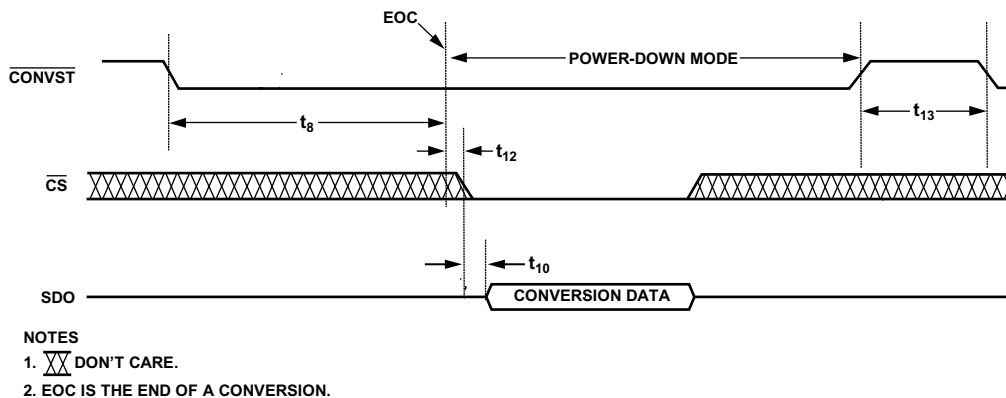
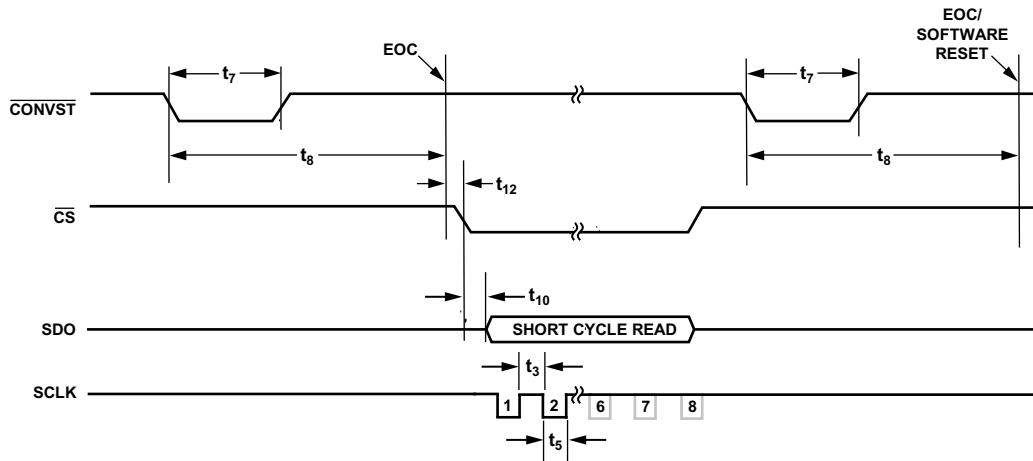


图30. 进入/退出省电模式



**NOTES**

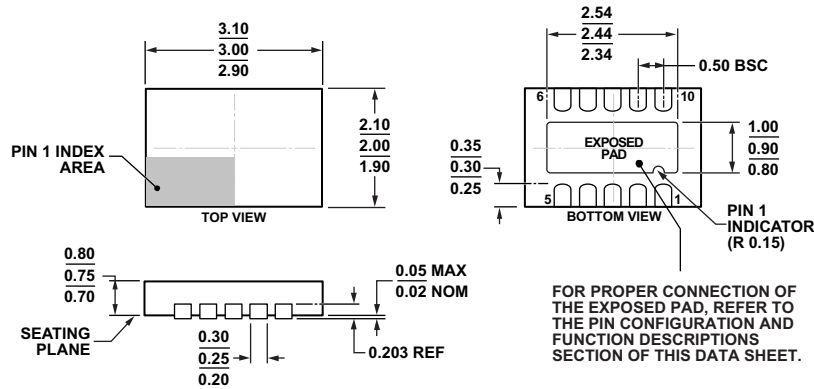
1. DON'T CARE.
2. EOC IS THE END OF A CONVERSION.

图31. 软件复位时序

10494-030

# AD7091R

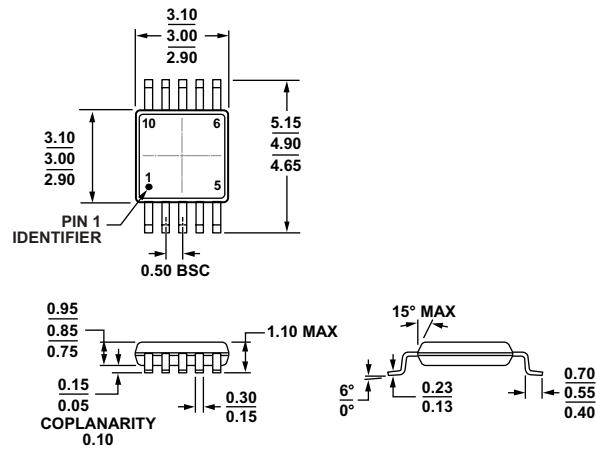
## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-229-WCED-3

图32. 10引脚引脚架芯片级封装[LFCSP\_WD]  
3 mm x 2 mm, 超薄体, 双排引脚  
(CP-10-12)

图示尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MO-187-BA

图33. 10引脚超小型MSOP封装  
(RM-10)

图示尺寸单位: mm

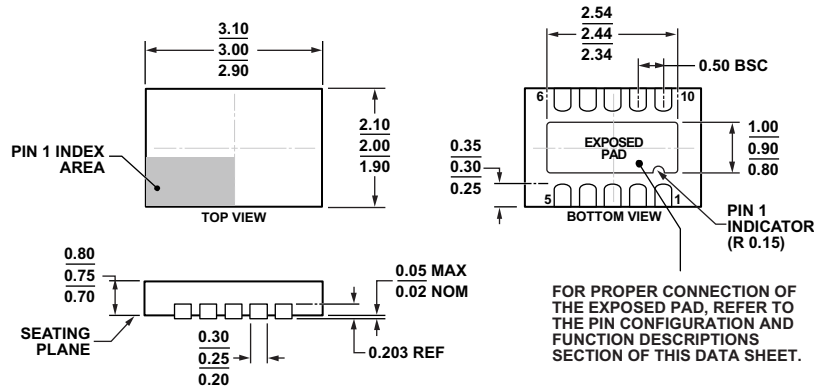
### 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项	标识
AD7091RBCPZ-RL	-40°C至+125°C	10引脚引脚架芯片级封装[LFCSP_WD]	CP-10-12	C7P
AD7091RBCPZ-RL7	-40°C至+125°C	10引脚引脚架芯片级封装[LFCSP_WD]	CP-10-12	C7P
AD7091RBRMZ	-40°C至+125°C	10引脚超小型封装[MSOP]	RM-10	DRQ
AD7091RBRMZ-RL7	-40°C至+125°C	10引脚超小型封装[MSOP]	RM-10	DRQ
EVAL-AD7091RSDZ		评估板		
EVAL-SDP-CB1Z		评估控制板		

<sup>1</sup> Z = 符合RoHS标准的器件。

# AD7091R

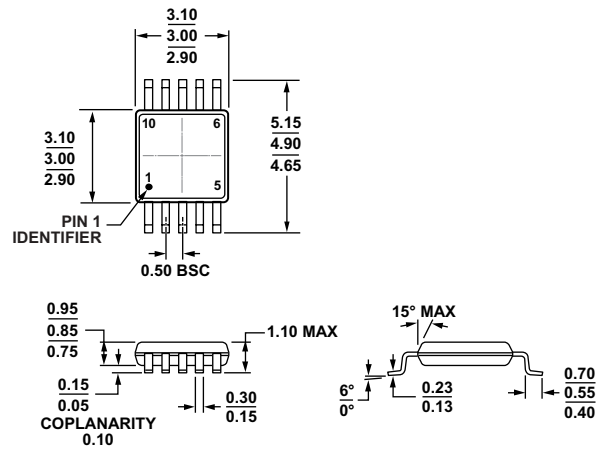
## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-229-WCED-3

图32. 10引脚引脚架芯片级封装[LFCSP\_WD]  
3 mm x 2 mm, 超薄体, 双排引脚  
(CP-10-12)

图示尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MO-187-BA

图33. 10引脚超小型MSOP封装  
(RM-10)

图示尺寸单位: mm

### 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项	标识
AD7091RBCPZ-RL	-40°C至+125°C	10引脚引脚架芯片级封装[LFCSP_WD]	CP-10-12	C7P
AD7091RBCPZ-RL7	-40°C至+125°C	10引脚引脚架芯片级封装[LFCSP_WD]	CP-10-12	C7P
AD7091RBRMZ	-40°C至+125°C	10引脚超小型封装[MSOP]	RM-10	DRQ
AD7091RBRMZ-RL7	-40°C至+125°C	10引脚超小型封装[MSOP]	RM-10	DRQ
EVAL-AD7091RSDZ		评估板		
EVAL-SDP-CB1Z		评估控制板		

<sup>1</sup> Z = 符合RoHS标准的器件。