

特性

RF带宽达13 GHz
高速和低速FMCW斜坡发生
25位固定模数可提供次赫兹频率分辨率
PFD频率最高达110MHz
归一化相位噪底: -224 dBc/Hz
FSK和PSK功能
锯齿波、三角波和抛物线波形发生
斜坡与FSK叠加
具有2种不同扫描速率的斜坡
斜坡延迟、频率回读和中断功能
可编程相位控制
2.7 V至3.45 V模拟电源供电
1.8 V数字电源供电
可编程电荷泵电流
三线式串行接口
数字锁定检测
ESD性能: 3000 V HBM、1000 V CDM
通过汽车应用认证

应用

FMCW雷达
通信测试设备
通信基础设施

概述

ADF4159是一款具有调制、以及快速和慢速波形产生能力的13 GHz小数N分频频率合成器，该器件使用25位固定模数，提供次赫兹频率分辨率。

ADF4159由低噪声数字鉴频鉴相器(PFD)、精密电荷泵和可编程参考分频器组成。该器件内置一个 Σ - Δ 型小数插值器，能够实现可编程模数小数N分频。INT和FRAC寄存器可构成一个总N分频器($N = INT + (FRAC/2^{25})$)。

ADF4159可用于实现频移键控(FSK)和相移键控(PSK)调制。还有一些可用的频率扫描模式，可在频域内产生各种波形，例如锯齿波和三角波。扫描可以设置为自动进行，也可以设置为通过外部脉冲手动触发每个步骤。ADF4159具有周跳减少电路，可进一步缩短锁定时间，而无需修改环路滤波器。

所有片内寄存器均通过简单的三线式接口进行控制。ADF4159采用2.7 V至3.45 V模拟电源和1.62 V至1.98 V数字电源供电，不用时可以关断。

功能框图

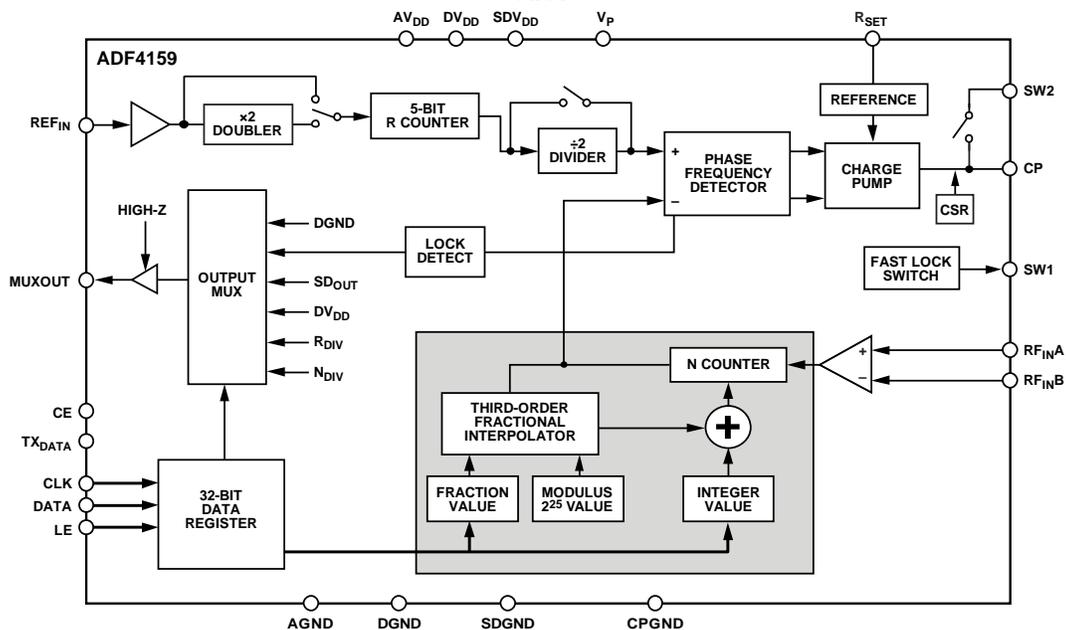


图1.

Rev. D

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

| | | | |
|------------------------|----|-------------------------|----|
| 特性..... | 1 | 步进寄存器(R6)映射..... | 23 |
| 应用..... | 1 | 延迟寄存器(R7)映射..... | 24 |
| 概述..... | 1 | 应用信息..... | 25 |
| 功能框图..... | 1 | 初始化序列..... | 25 |
| 修订历史..... | 3 | RF频率合成器：一个成功范例..... | 25 |
| 技术规格..... | 4 | 参考倍频器..... | 25 |
| 时序规格..... | 5 | 减少周跳以缩短锁定时间..... | 25 |
| 绝对最大额定值..... | 7 | 调制..... | 26 |
| 热阻..... | 7 | 波形发生..... | 26 |
| ESD警告..... | 7 | 波形偏差和时序..... | 27 |
| 引脚配置和功能描述..... | 8 | 单一斜坡突发脉冲..... | 27 |
| 典型性能参数..... | 9 | 单一三角突发脉冲..... | 27 |
| 参考输入部分..... | 11 | 单一锯齿突发脉冲..... | 27 |
| 工作原理..... | 11 | 锯齿斜坡..... | 27 |
| RF输入级..... | 11 | 三角斜坡..... | 27 |
| RF INT分频器..... | 11 | FMCW雷达斜坡设置成功范例..... | 27 |
| 25位固定模数..... | 11 | 激活斜坡..... | 28 |
| INT、FRAC和R分频器的关系..... | 11 | 其他波形..... | 28 |
| R分频器..... | 11 | 斜坡完成信号至MUXOUT..... | 31 |
| 鉴频鉴相器(PFD)和电荷泵..... | 12 | 外部控制斜坡步长..... | 31 |
| MUXOUT和LOCK检测..... | 12 | 中断模式和频率回读..... | 32 |
| 输入移位寄存器..... | 12 | 快速锁定模式..... | 33 |
| 编程模式..... | 12 | 杂散机制..... | 34 |
| 寄存器映射..... | 13 | 滤波器设计—ADIsimPLL..... | 34 |
| FRAC/INT寄存器(R0)映射..... | 15 | 芯片级封装的PCB设计指南..... | 34 |
| LSB FRAC寄存器(R1)映射..... | 16 | ADF4159在FMCW雷达中的应用..... | 35 |
| R分频器寄存器(R2)映射..... | 17 | 外形尺寸..... | 36 |
| 功能寄存器(R3)映射..... | 19 | 订购指南..... | 36 |
| 时钟寄存器(R4)映射..... | 21 | 汽车应用级产品..... | 36 |
| 偏差寄存器(R5)映射..... | 22 | | |

修订历史**2014年7月—修订版D至修订版E**

| | |
|---------------------------------------|----|
| θ_{JA} 从30.4°C/W改为56°C/W | 7 |
| 更改单路全三角功能部分 | 4 |
| 更改超时间隔部分 | 27 |

2013年11月—修订版C至修订版D

| | |
|--|----|
| 更改概述部分 | 1 |
| 移动修订历史部分 | 3 |
| 更改表1 | 4 |
| 更改25位固定模数部分 | 11 |
| 更改失锁(LOL)部分和锁定检测精度(LDP)部分 | 19 |
| 更改 Σ - Δ 调制器模式部分、时钟分频器选择部分和时钟分频器模式部分 | 21 |
| 增加外部控制斜坡步长部分和图49，重新排序 | 31 |
| 更改快速锁定制时器和寄存器序列部分、快速锁定范例部分和快速锁定环路滤波器拓扑部分 | 33 |
| 更改“订购指南” | 36 |

2013年9月—修订版B至修订版C

| | |
|--------------------------------------|----|
| 更改特性部分 | 1 |
| 更改图2 | 4 |
| 更改图24 | 13 |
| 增加 Σ - Δ 调制器模式部分 | 20 |
| 更改图29 | 20 |
| 更改中断模式和频率回读部分 | 31 |
| 更改快速锁定制时器和寄存器序列部分 | 32 |
| 更改订购指南 | 35 |
| 增加汽车应用级产品部分 | 35 |

2013年6月—修订版A至修订版B

| | |
|---|----|
| 将鉴频鉴相器(PFD)和电荷泵部分的PFD防反冲脉冲从3 ns改为1 ns | 11 |
| 更改电荷泵电流设置部分和参考倍频器部分 | 16 |
| 更改负泄漏电流使能部分和失锁(LOL)部分 | 18 |

2013年5月—修订版A：初始版

ADF4159

技术规格

除非另有说明, $AV_{DD} = V_P = 2.7\text{ V}$ 至 3.45 V , $DV_{DD} = SDV_{DD} = 1.8\text{ V}$, $AGND = DGND = SDGND = CPGND = 0\text{ V}$, $f_{\text{PFD}} = 110\text{ MHz}$, $T_A = T_{\text{MIN}}$ 至 T_{MAX} , dBm以50 Ω 为基准。

表1.

| 参数 | 最小值 | 典型值 | 最大值 | 单位 | 测试条件/注释 |
|--------------------------------------|------------------------|-----|-----------|------------|---|
| RF特性 | | | | | |
| RF输入频率(RF_{IN}) | 0.5 | | 13 | GHz | -10 dBm(最小值)至0 dBm(最大值); 如果频率较低, 确保压摆率(SR) > 400 V/ μ s 更高的频率请使用8/9预分频器 |
| 预分频器输出频率 | | | 2 | GHz | |
| 参考特性 | | | | | |
| REF_{IN} 输入频率 | 10 | | 260 | MHz | -5 dBm(最小值)至+9 dBm(最大值), 偏置到1.8/2(交流耦合确保1.8/2偏置); 若频率低于10 MHz则使用直流耦合, CMOS兼容方波, 压摆率大于25 V/ μ s 寄存器R2中的位DB20置位为1 |
| 参考倍频器使能 | 10 | | 50 | MHz | |
| REF_{IN} 输入电容 | | | 1.2 | pF | |
| REF_{IN} 输入电流 | | | ± 100 | μ A | |
| 鉴频鉴相器(PFD) | | | | | |
| 鉴相器频率 ³ | | | 110 | MHz | |
| 电荷泵 | | | | | |
| I_{CP} 吸/源电流 | | | | | 可编程 |
| 高值 | | 4.8 | | mA | $R_{\text{SET}} = 5.1\text{ k}\Omega$ |
| 低值 | | 300 | | μ A | |
| 绝对精度 | | 2.5 | | % | $R_{\text{SET}} = 5.1\text{ k}\Omega$ |
| R_{SET} 范围 | 4.59 | 5.1 | 5.61 | k Ω | |
| I_{CP} 三态漏电流 | | 1 | | nA | 吸电流和源电流 |
| 吸电流与源电流匹配 | | 2 | | % | $0.5\text{ V} < V_{\text{CP}} < V_P - 0.5\text{ V}$ |
| I_{CP} 与 V_{CP} | | 2 | | % | $0.5\text{ V} < V_{\text{CP}} < V_P - 0.5\text{ V}$ |
| I_{CP} 与温度 | | 2 | | % | $V_{\text{CP}} = V_P/2$ |
| 逻辑输入 | | | | | |
| 输入高电压 V_{INH} | 1.17 | | | V | |
| 输入低电压 V_{INL} | | | 0.4 | V | |
| 输入电流 $I_{\text{INH}}/I_{\text{INL}}$ | | | ± 1 | μ A | |
| 输入电容 C_{IN} | | | 10 | pF | |
| 逻辑输出 | | | | | |
| 输出高电压 V_{OH} | $DV_{\text{DD}} - 0.4$ | | | V | 选择CMOS输出 |
| 输出低电压 V_{OL} | | | 0.3 | V | $I_{\text{OL}} = 500\text{ }\mu\text{A}$ |
| 高输出电流 I_{OH} | | | 100 | μ A | |
| 电源 | | | | | |
| AV_{DD} | 2.7 | | 3.45 | V | |
| $DV_{\text{DD}}, SDV_{\text{DD}}$ | 1.62 | 1.8 | 1.98 | V | |
| V_P | 2.7 | | 3.45 | V | |
| AI_{DD} | | 26 | 40 | mA | AV_{DD} 消耗的电源电流; $f_{\text{PFD}} = 110\text{ MHz}$ |
| DI_{DD} | | 7.5 | 10 | mA | DV_{DD} 消耗的电源电流; $f_{\text{PFD}} = 110\text{ MHz}$ |
| I_P | | 5.5 | 7 | mA | V_P 消耗的电源电流; $f_{\text{PFD}} = 110\text{ MHz}$ |
| 掉电模式 | | 2 | | μ A | |

| 参数 ¹ | 最小值 | 典型值 | 最大值 | 单位 | 测试条件/注释 |
|---|-----|------|-----|--------|-------------------------|
| 噪声特性 | | | | | |
| 归一化相位噪底 ³ | | | | | PLL环路带宽 = 1 MHz |
| 整数N分频模式 | | -224 | | dBc/Hz | FRAC = 0 参见Σ-Δ调制器模式部分 |
| 小数N分频模式 | | -217 | | dBc/Hz | |
| 归一化1/f噪声(PN _{1/f}) ⁴ | | -120 | | dBc/Hz | 10 kHz偏移时测量；归一化为1 GHz |
| 相位噪声性能 ⁵ | | | | | VCO输出 |
| 12,000 MHz输出 ⁶ | | -96 | | dBc/Hz | 50 kHz偏移、100 MHz PFD频率下 |

¹ 工作温度范围：-40°C至+125°C。

² 通过设计保证。样片经过测试，以确保符合标准要求。

³ 此规格可用于任何应用的相位噪声计算。使用公式：((归一化相位噪底) + 10 log(f_{PFD}) + 20 log N)计算VCO输出端的带内相位噪声性能。

⁴ PLL相位噪声由闪烁(1/f)噪声加归一化PLL噪底组成。RF频率为f_{RF}，频率偏移为f时，计算1/f噪声贡献的公式如下：PN = PN_{1/f} + 10 log(10 kHz/f) + 20 log(f_{RF}/1 GHz)。归一化相位噪底和闪烁噪声均在ADIsimPLL中进行了模拟。

⁵ 相位噪声利用EV-ADF4159EB3Z和Rohde & Schwarz FSUP信号源分析仪测得。

⁶ f_{REFIN} = 100 MHz；f_{PFD} = 100 MHz；偏移频率 = 50 kHz；RF_{OUT} = 12,002 MHz；N = 120.02；环路带宽 = 250 kHz。

时序规格

除非另有说明，AV_{DD} = V_P = 2.7 V至3.45 V；DV_{DD} = SDV_{DD} = 1.8V；AGND = DGND = SDGND = CPGND = 0V；

T_A = T_{MIN}至T_{MAX}，dBm以50 Ω为基准。

表2. 写入时序

| 参数 | 在T _{MIN} 至T _{MAX} 下的限值 | 单位 | 描述 |
|----------------|--|---------|--------------|
| t ₁ | 20 | ns(最小值) | LE建立时间 |
| t ₂ | 10 | ns(最小值) | DATA到CLK建立时间 |
| t ₃ | 10 | ns(最小值) | DATA到CLK保持时间 |
| t ₄ | 25 | ns(最小值) | CLK高电平持续时间 |
| t ₅ | 25 | ns(最小值) | CLK低电平持续时间 |
| t ₆ | 10 | ns(最小值) | CLK到LE建立时间 |
| t ₇ | 20 | ns(最小值) | LE脉冲宽度 |

写入时序图

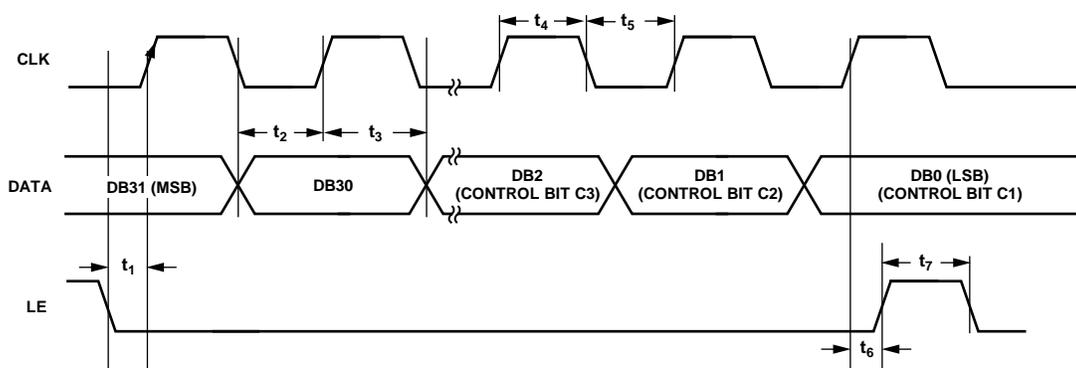


图2. 写入时序图

10849-002

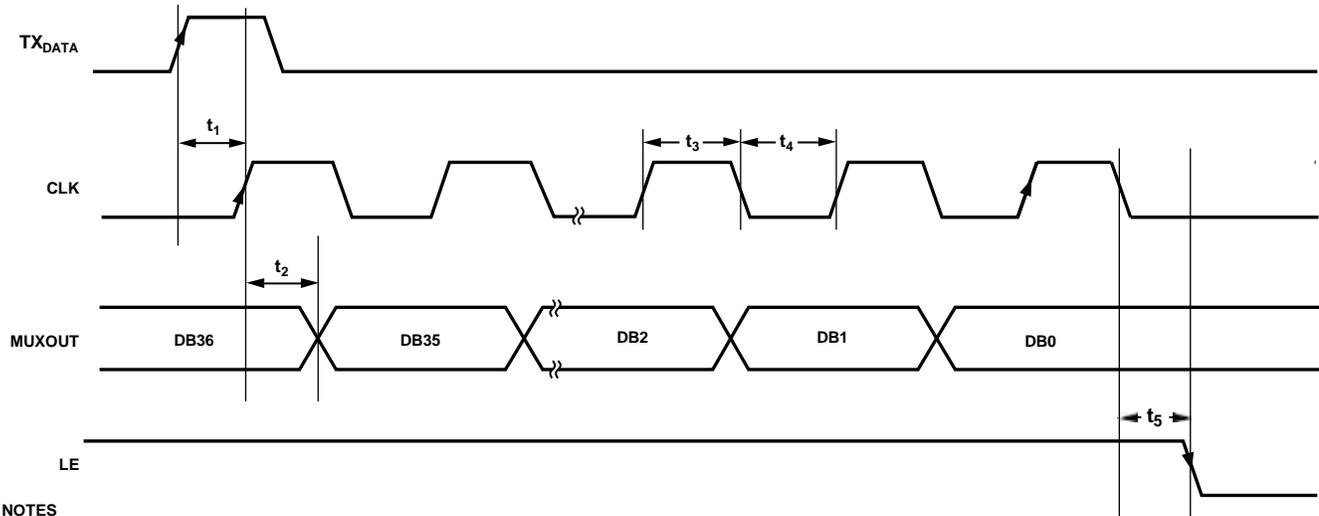
ADF4159

表3. 读取时序

| 参数 | 在 T_{MIN} 至 T_{MAX} 下的限值 | 单位 | 描述 |
|---------|------------------------------|---------|-----------------------|
| t_1^1 | $t_{PFD} + 20$ | ns(最小值) | TX_{DATA} 建立时间 |
| t_2 | 20 | ns(最小值) | CLK建立时间到DATA(MUXOUT上) |
| t_3 | 25 | ns(最小值) | CLK高电平持续时间 |
| t_4 | 25 | ns(最小值) | CLK低电平持续时间 |
| t_5 | 10 | ns(最小值) | CLK到LE建立时间 |

¹ t_{PFD} 是PFD频率的周期；例如，假设PFD频率为50 MHz，则 $t_{PFD} = 20$ ns。

读取时序图



NOTES
1. LE SHOULD BE KEPT HIGH DURING READBACK.

图3. 读取时序图

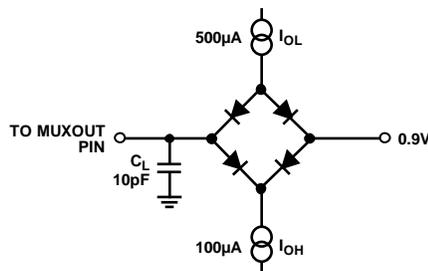


图4. MUXOUT时序的负载电路, $C_L = 10$ pF

绝对最大额定值

除非另有说明, $T_A = 25^\circ\text{C}$, $\text{GND} = \text{AGND} = \text{DGND} = \text{SDGND} = \text{CPGND} = 0\text{ V}$ 。

表4.

| 参数 | 额定值 |
|--|--|
| AV_{DD} 至GND | -0.3 V至+3.9 V |
| DV_{DD} 至GND | -0.3 V至+2.4 V |
| V_P 至GND | -0.3 V至+3.9 V |
| V_P 至 AV_{DD} | -0.3 V至+0.3 V |
| 数字I/O电压至GND | -0.3 V至 $\text{DV}_{\text{DD}} + 0.3\text{ V}$ |
| 模拟I/O电压至GND | -0.3 V至 $\text{AV}_{\text{DD}} + 0.3\text{ V}$ |
| REF_{IN} 至GND | -0.3 V至 $\text{DV}_{\text{DD}} + 0.3\text{ V}$ |
| RF_{IN} 至GND | -0.3 V至 $\text{AV}_{\text{DD}} + 0.3\text{ V}$ |
| 工业温度范围 | -40°C至+125°C |
| 存储温度范围 | -65°C至+125°C |
| 最高结温 | 150°C |
| 回流焊 | |
| 峰值温度 | 260°C |
| 峰值温度时间 | 40秒 |
| ESD | |
| 充电器件模型 | 1000 V |
| 人体模型 | 3000 V |

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

热阻(θ_{JA})针对裸露焊盘焊接到AGND的器件而言。

表5. 热阻

| 封装类型 | θ_{JA} | 单位 |
|---------------|----------------------|------|
| 24引脚 LFCSP_WQ | 56 | °C/W |

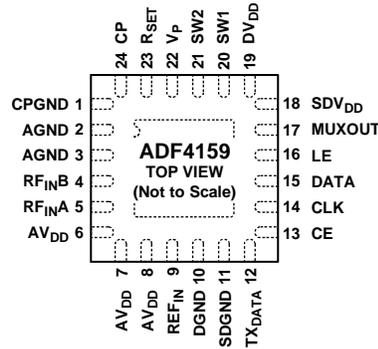
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和引脚功能描述



NOTES
1. THE LFCSP HAS AN EXPOSED PAD THAT MUST BE CONNECTED TO AGND.

10849-005

图5.引脚配置

表6. 引脚功能描述

| 引脚编号 | 引脚名称 | 描述 |
|---------|--------------------|---|
| 1 | CPGND | 电荷泵接地。此引脚是电荷泵的接地回路。 |
| 2, 3 | AGND | 模拟地。 |
| 4 | RF _{INB} | RF预分频器的互补输入。通过小旁路电容(通常为100 pF)将此引脚去耦至接地层。 |
| 5 | RF _{INA} | RF预分频器的输入。此小信号输入通常从VCO交流耦合。 |
| 6, 7, 8 | AV _{DD} | RF部分的正电源。将去耦电容放置到接地层并尽可能靠近这些引脚。 |
| 9 | REF _{IN} | 基准输入。此CMOS输入的标称阈值为DV _{DD} /2, 等效输入电阻为100 kΩ。它可以采用TTL或CMOS晶振驱动, 或者交流耦合。 |
| 10 | DGND | 数字地。 |
| 11 | SDGND | 数字Σ-Δ调制器地。此引脚是Σ-Δ型调制器的接地回路。 |
| 12 | TX _{DATA} | 发送数据引脚。此引脚提供以FSK或PSK模式发送的数据, 同时控制某些斜坡功能。 |
| 13 | CE | 芯片使能(1.8 V逻辑电平)。此引脚的逻辑低电平将关断器件, 并使电荷泵输出进入三态模式。 |
| 14 | CLK | 串行时钟输入。此输入用来将串行数据输入寄存器。数据在CLK上升沿锁存到输入移位寄存器内。此输入为高阻抗CMOS输入。 |
| 15 | DATA | 串行数据输入。串行数据以MSB优先方式加载, 三个LSB用作控制位。此输入为高阻抗CMOS输入。 |
| 16 | LE | 加载使能输入。当LE变为高电平时, 存储在输入移位寄存器内的数据将载入八个锁存器中的一个, 锁存器使用控制位选择。此输入为高阻抗CMOS输入。 |
| 17 | MUXOUT | 多路复用器输出。此引脚允许从外部访问各种内部信号。 |
| 18 | SDV _{DD} | 数字Σ-Δ调制器的电源。将去耦电容放置到接地层并尽可能靠近此引脚。 |
| 19 | DV _{DD} | 数字部分的正电源。将去耦电容放置到数字接地层并尽可能靠近此引脚。 |
| 20, 21 | SW1, SW2 | 用于快速锁定的开关。 |
| 22 | V _P | 电荷泵电源。此引脚上的电压必须高于或等于AV _{DD} 。 |
| 23 | R _{SET} | 在此引脚与地之间连一个电阻可设置最大电荷泵输出电流。I _{CP} 与R _{SET} 的关系如下: $I_{CP_MAX} = 24.48/R_{SET}$ 其中: I _{CP_MAX} = 4.8 mA. R _{SET} = 5.1 kΩ. |
| 24 | CP | 电荷泵输出。使能电荷泵时, 此输出提供±I _{CP} 到外部环路滤波器, 后者又驱动外部VCO。 |
| 25 | EPAD | 裸露焊盘。LFCSP具有一个必须连接至AGND的裸露焊盘。 |

典型性能参数

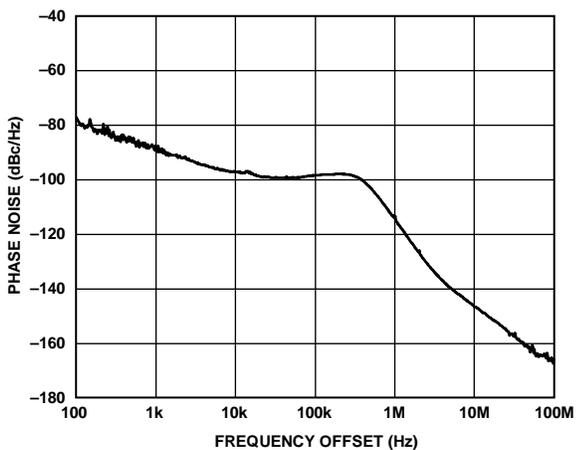


图6. 12.002 GHz, $f_{\text{PFD}} = 100$ MHz, $I_{\text{CP}} = 2.5$ mA, 环路带宽 = 250 kHz, 渗透电流 = 11.03 μ A时的相位噪声

10849-106

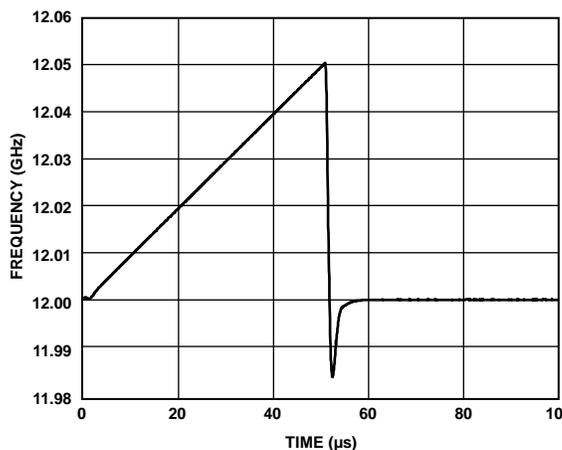


图9. 锯齿突发脉冲, $f_{\text{PFD}} = 100$ MHz, $I_{\text{CP}} = 2.5$ mA, 环路带宽 = 250 kHz, $\text{CLK}_1 = 3$, $\text{CLK}_2 = 26$, $\text{DEV} = 1024$, $\text{DEV_OFFSET} = 8$, 步数 = 64

10849-108

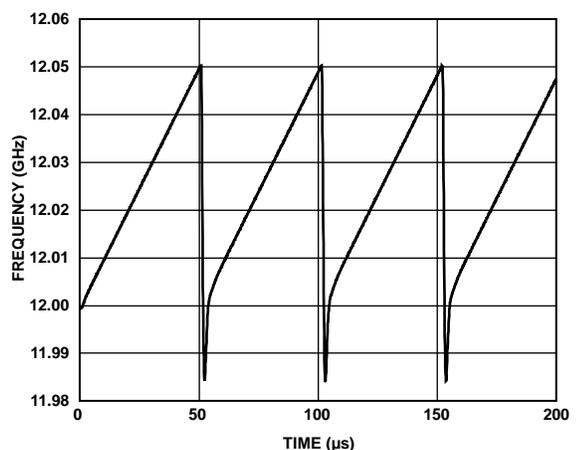


图7. 锯齿斜坡, $f_{\text{PFD}} = 100$ MHz, $I_{\text{CP}} = 2.5$ mA, 环路带宽 = 250 kHz, $\text{CLK}_1 = 3$, $\text{CLK}_2 = 26$, $\text{DEV} = 1024$, $\text{DEV_OFFSET} = 8$, 步数 = 64

10849-107

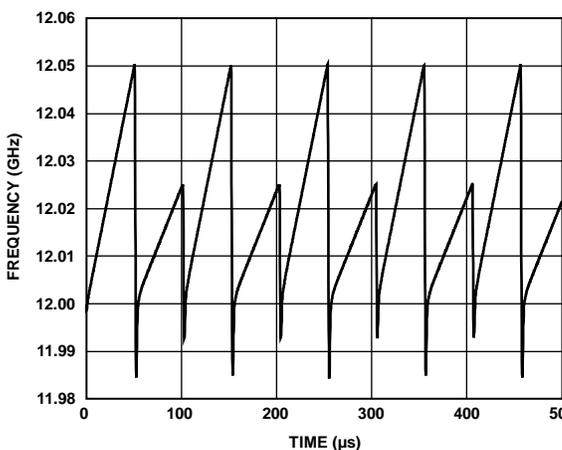


图10. 双锯齿斜坡, $f_{\text{PFD}} = 100$ MHz, $I_{\text{CP}} = 2.5$ mA, 环路带宽 = 250 kHz, $\text{CLK}_1 = 3$; 第一个斜坡: $\text{CLK}_2 = 26$, $\text{DEV} = 1024$, $\text{DEV_OFFSET} = 8$, 步数 = 64; 第二个斜坡: $\text{CLK}_2 = 52$, $\text{DEV} = 1024$, $\text{DEV_OFFSET} = 7$, 步数 = 64

10849-110

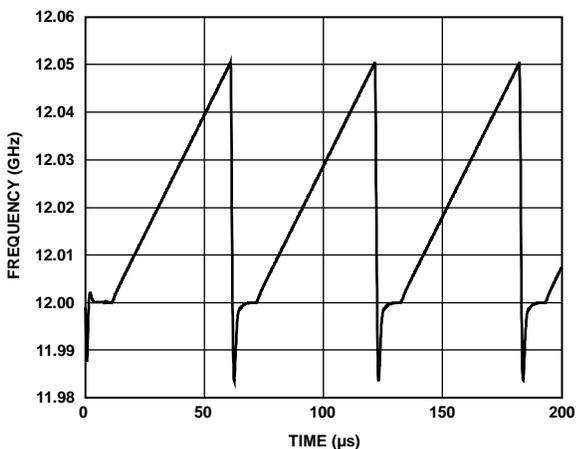


图8. 带延迟的锯齿斜坡, $f_{\text{PFD}} = 100$ MHz, $I_{\text{CP}} = 2.5$ mA, 环路带宽 = 250 kHz, $\text{CLK}_1 = 3$, $\text{CLK}_2 = 26$, $\text{DEV} = 1024$, $\text{DEV_OFFSET} = 8$, 步数 = 64, 延迟字 = 1000

10849-108

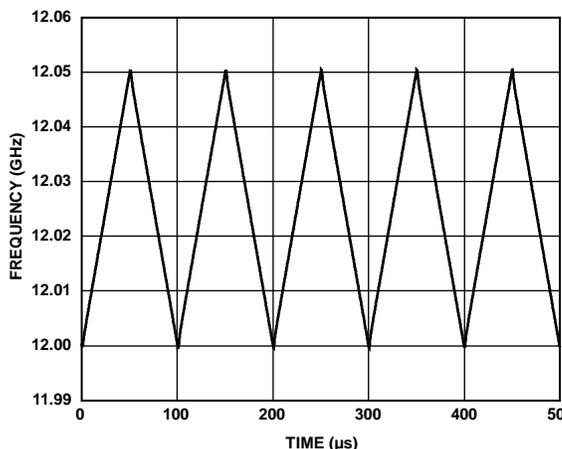


图11. 三角斜坡, $f_{\text{PFD}} = 100$ MHz, $I_{\text{CP}} = 2.5$ mA, 环路带宽 = 250 kHz, $\text{CLK}_1 = 3$, $\text{CLK}_2 = 26$, $\text{DEV} = 1024$, $\text{DEV_OFFSET} = 8$, 步数 = 64

10849-111

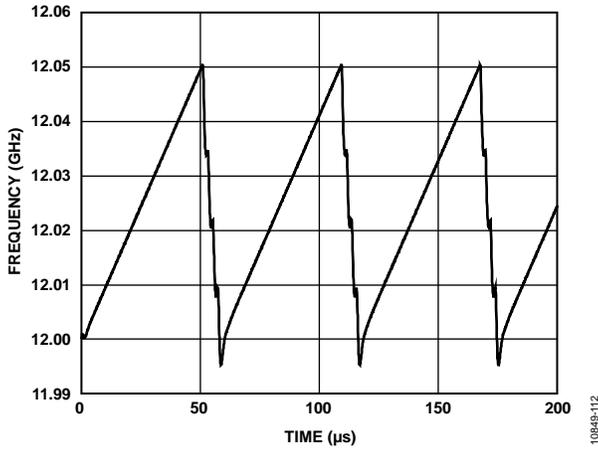


图12. 快速斜坡(具有不同斜率的三角斜坡), $f_{PFD} = 100$ MHz、 $I_{CP} = 2.5$ mA、环路带宽 = 250 kHz、 $CLK_1 = 3$ 、斜升: $CLK_2 = 26$ 、 $DEV = 1024$ 、 $DEV_OFFSET = 8$ 、步数 = 64; 斜降: $CLK_2 = 70$ 、 $DEV = 16,384$ 、 $DEV_OFFSET = 8$ 、步数 = 4

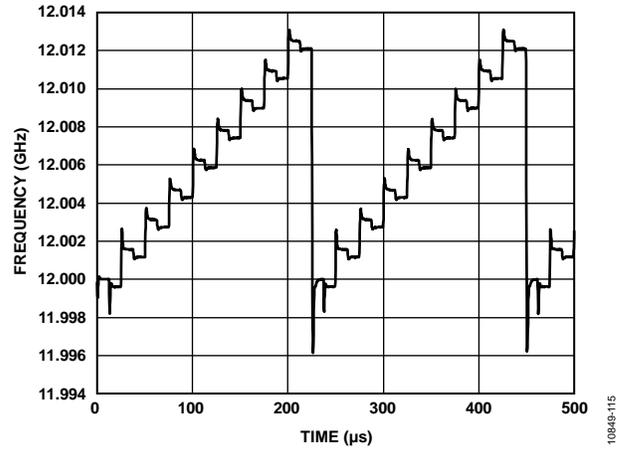


图15. FSK斜坡, $f_{PFD} = 100$ MHz、 $I_{CP} = 2.5$ mA、环路带宽 = 250 kHz、 $CLK_1 = 3$ 、 $CLK_2 = 26$ 、 $DEV = 1024$ 、 $DEV_OFFSET = 8$ 、步数 = 64; FSK: $DEV = -512$ 、 $DEV_OFFSET = 8$

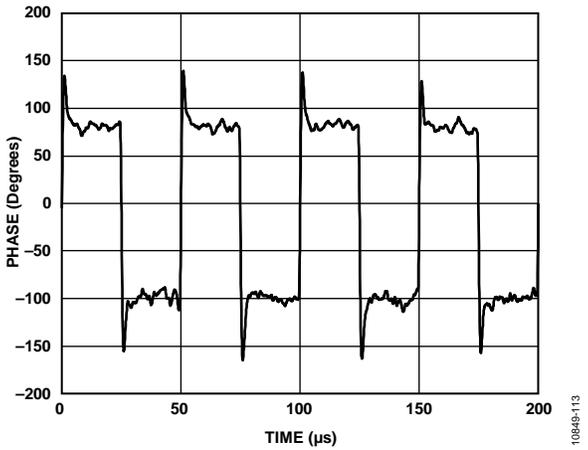


图13. 相移键控(PSK), 环路带宽 = 250 kHz、相位值 = 1024、数据速率 = 20 kHz

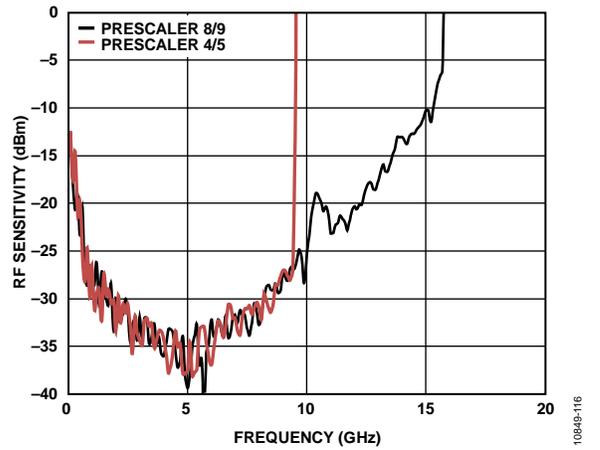


图16. 标称温度下的 RF_{IN} 灵敏度

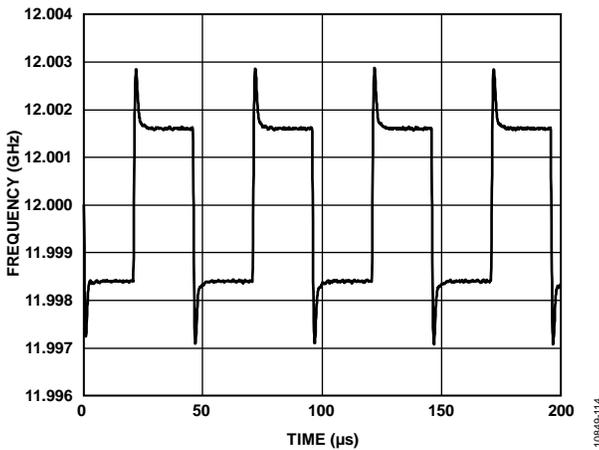


图14. 频移键控(FSK), 环路带宽 = 250 kHz、 $DEV = 1049$ 、 $DEV_OFFSET = 9$ 、数据速率 = 20 kHz

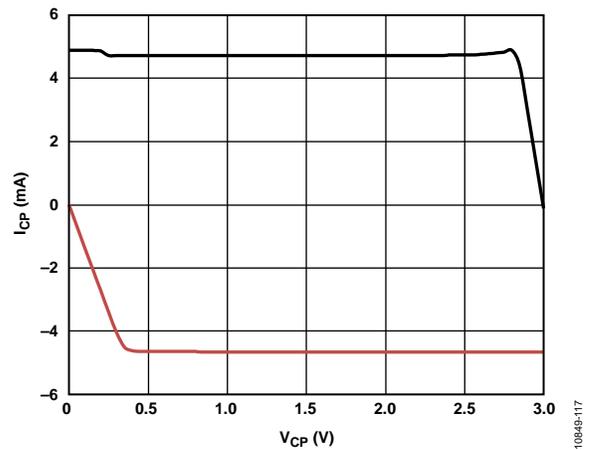


图17. 电荷泵输出特性

工作原理

基准电压输入部分

图18显示参考输入级。SW1和SW2为常闭开关(图18中的NC)。SW3为常开开关(图18中的NO)。启动关断程序后，SW3闭合，SW1和SW2断开，确保关断期间REF_{IN}引脚无负载。

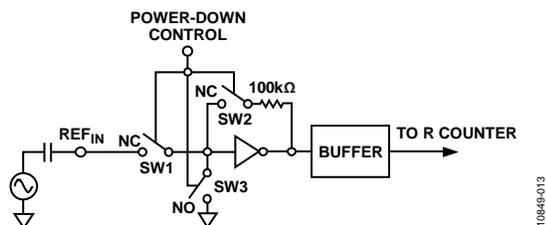


图18. 参考输入级

RF输入级

图19显示RF输入级。输入级后跟两级限幅放大器，用以产生预分频器需要的电流模式逻辑(CML)时钟电平。

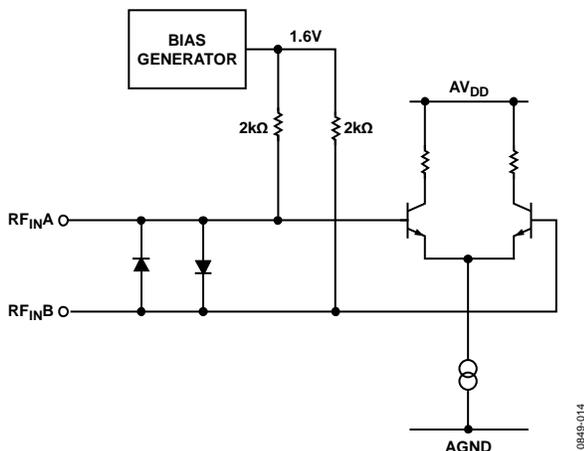


图19. RF输入级

RF INT分频器

RF INT CMOS分频器可以在PLL反馈分频器中提供一个分频比。分频比可以为23至4095。

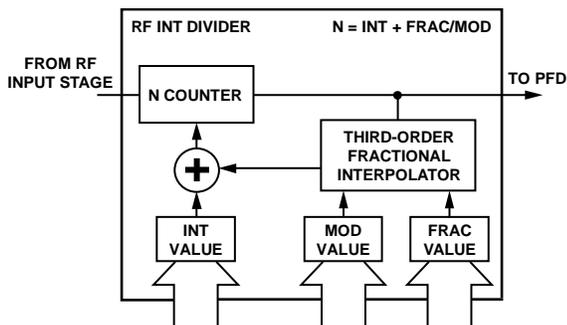


图20. RF INT分频器

25位固定模数

ADF4159具有25位固定模数。此模数输出频率间隔分辨率为：

$$f_{RES} = f_{PFD}/2^{25} \quad (1)$$

其中 f_{PFD} 是鉴频鉴相器(PFD)的频率。例如，PFD频率为100 MHz时，可实现2.98 Hz的频率步进。由于 Σ - Δ 调制器的架构，VCO输出具有固定的 $+(f_{PFD}/2^{26})$ 失调。如需移除该失调，请参见 Σ - Δ 调制器模式部分。

INT、FRAC和R分频器的关系

利用INT和FRAC的值以及R分频器，可以产生间隔为鉴频鉴相器(PFD)的分数的输出频率。

RF VCO频率(RF_{OUT})公式为：

$$RF_{OUT} = (INT + (FRAC/2^{25})) \times f_{PFD} \quad (2)$$

其中：

RF_{OUT}是外部电压控制振荡器(VCO)的输出频率。

INT是12位分频器的预设分频比(23至4095)。

FRAC是小数分频的分子(0至 $2^{25} - 1$)。

PFD频率(f_{PFD})公式为：

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (3)$$

其中：

REF_{IN}是基准输入频率；

D是REF_{IN}倍频器位(0或1)；

R是二进制5位可编程参考分频器的预设分频比(1至32)。

T是REF_{IN} 2分频位(0或1)；

R分频器

利用5位R分频器，可以细分输入基准频率(REF_{IN})以产生PFD的基准时钟。分频比可以为1至32。

鉴频鉴相器(PFD)和电荷泵

PFD接受R分频器和N分频器的输入，产生与二者的相位和频率差成正比的输出。图21显示了PFD的简化原理图。

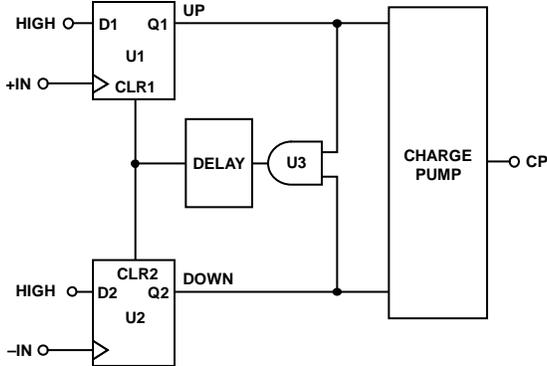


图21. PFD简化原理图

PFD内置一个固定延迟元件，用来设置反冲防回差脉冲宽度，其典型值为1 ns。此脉冲可确保PFD传递函数中无死区，从而提供一致的参考杂散水平。

MUXOUT和LOCK检测

ADF4159的多路复用器输出允许用户访问芯片的各种内部点。MUXOUT状态由寄存器R0中的M4、M3、M2和M1位控制(参见图25)。图22以框图形式显示了MUXOUT部分。

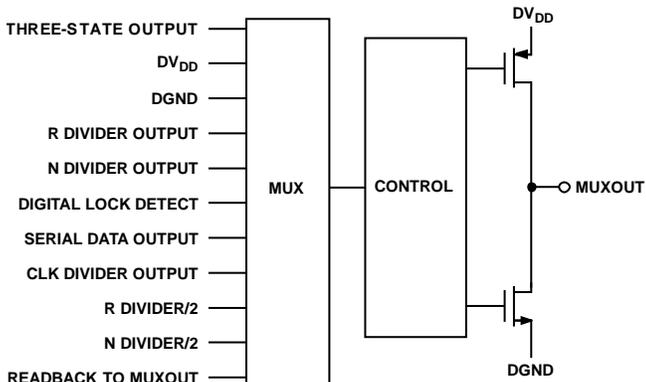


图22. MUXOUT原理图

输入移位寄存器

ADF4159数字部分包括一个5位RF R分频器、一个12位INT分频器和一个25位FRAC分频器。数据在CLK的每个上升沿时逐个输入32位移位寄存器。数据输入方式是MSB优先。在LE上升沿时，数据从输入移位寄存器传输至八个锁存器之一。

目标锁存器由输入移位寄存器中的三个控制位(C3、C2和C1)的状态决定。如图2所示，这些控制位是三个LSB(分别为DB2、DB1和DB0)。表7是这些位的真值表。图23和图24总结了这些锁存器的编程方式。

表7. C3、C2和C1控制位的真值表

| 控制位 | | | 寄存器 |
|-----|----|----|-----|
| C3 | C2 | C1 | |
| 0 | 0 | 0 | R0 |
| 0 | 0 | 1 | R1 |
| 0 | 1 | 0 | R2 |
| 0 | 1 | 1 | R3 |
| 1 | 0 | 0 | R4 |
| 1 | 0 | 1 | R5 |
| 1 | 1 | 0 | R6 |
| 1 | 1 | 1 | R7 |

编程模式

表7和图25至图32显示了如何设置ADF4159的编程模式。

ADF4159的下列设置采用双缓冲：LSB小数值、相位值、电荷泵电流设置、参考2分频、参考倍频器、R分频器值和CLK1分频器值。器件要使用任何双缓冲设置的新值，必须发生两个事件：

1. 通过写入适当的寄存器，将新值锁存至器件中。
2. 对寄存器0 (R0)执行一次新的写操作。

例如，更新小数值可能需要在R1中写入13个LSB位以及在R0中写入12个MSB位。R1必须首先写入，然后写入R0。频率变化在写入R0后开始。双缓冲确保了写入R1的位不会在写入R0前生效。

寄存器映射

FRAC/INT REGISTER (R0)

| RAMP ON | MUXOUT CONTROL | | | | | 12-BIT INTEGER VALUE (INT) | | | | | | | | | | | 12-BIT MSB FRACTIONAL VALUE (FRAC) | | | | | | | | | | CONTROL BITS | | | | |
|---------|----------------|------|------|------|------|----------------------------|------|------|------|------|------|------|------|------|------|------|------------------------------------|------|------|------|------|------|-----|-----|-----|-----|--------------|-----|-------|-------|-------|
| | DB31 | DB30 | DB29 | DB28 | DB27 | DB26 | DB25 | DB24 | DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 |
| R1 | M4 | M3 | M2 | M1 | N12 | N11 | N10 | N9 | N8 | N7 | N6 | N5 | N4 | N3 | N2 | N1 | F25 | F24 | F23 | F22 | F21 | F20 | F19 | F18 | F17 | F16 | F15 | F14 | C3(0) | C2(0) | C1(0) |

LSB FRAC REGISTER (R1)

| RESERVED | | | PHASE ADJUST | 13-BIT LSB FRACTIONAL VALUE (FRAC) | | | | | | | | | | | | | 12-BIT PHASE VALUE | | | | | | | | | | | | CONTROL BITS | | |
|----------|------|------|--------------|------------------------------------|------|------|------|------|------|------|------|------|------|------|------|------|--------------------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|--------------|-------|-------|
| DB31 | DB30 | DB29 | | DB28 | DB27 | DB26 | DB25 | DB24 | DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 |
| 0 | 0 | 0 | P1 | F13 | F12 | F11 | F10 | F9 | F8 | F7 | F6 | F5 | F4 | F3 | F2 | F1 | P12 | P11 | P10 | P9 | P8 | P7 | P6 | P5 | P4 | P3 | P2 | P1 | C3(0) | C2(0) | C1(1) |

R DIVIDER REGISTER (R2)

| RESERVED | | | CSR | DBB CP CURRENT SETTING | | | | | RESERVED | PRESCALER | R DIV2 DBB REFERENCE DOUBLER DBB | DBB 5-BIT R COUNTER | | | | | DBB 12-BIT CLK _i DIVIDER VALUE | | | | | | | | | | | | CONTROL BITS | | |
|----------|------|------|-----|------------------------|------|------|------|------|----------|-----------|----------------------------------|---------------------|------|------|------|------|---|------|------|------|------|------|------|------|------|-----|-----|-----|--------------|-------|-------|
| DB31 | DB30 | DB29 | | DB28 | DB27 | DB26 | DB25 | DB24 | | | | DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 |
| 0 | 0 | 0 | CR1 | CPI4 | CPI3 | CPI2 | CPI1 | 0 | P1 | U2 | U1 | R5 | R4 | R3 | R2 | R1 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | C3(0) | C2(1) | C1(0) |

FUNCTION REGISTER (R3)

| RESERVED | | | | | | | | | | | NEG BLEED CURRENT | | | RESERVED | | | | RESERVED | LOL | N SEL | SD RESET | RESERVED | RAMP MODE | | PSK | FSK | LDP | PD POLARITY | POWER-DOWN | CP THREE-STATE COUNTER RESET | CONTROL BITS | | |
|----------|------|------|------|------|------|------|------|------|------|------|-------------------|------|------|----------|------|------|------|----------|-----|-------|----------|----------|-----------|------|-----|-----|-----|-------------|------------|------------------------------|--------------|-------|-----|
| DB31 | DB30 | DB29 | DB28 | DB27 | DB26 | DB25 | DB24 | DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | | | | | | DB13 | DB12 | | | | | | | DB11 | DB10 | DB9 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | NB3 | NB2 | NB1 | 0 | 0 | 0 | 0 | 0 | 1 | L1 | NS1 | U12 | 0 | 0 | RM2 | RM1 | 0 | 0 | U11 | U10 | U9 | U8 | U7 | C3(0) | C2(1) | C1(1) | |

NOTES
1. DBB = DOUBLE-BUFFERED BITS.

图23. 寄存器小结1

10849-018

CLOCK REGISTER (R4)

| LE SEL | Σ - Δ MODULATOR MODE | | | | | RAMP STATUS | | | | CLK DIV MODE | | 12-BIT CLK ₂ DIVIDER VALUE | | | | | | | | | | CLK DIV SEL | RESERVED | | | CONTROL BITS | | | | | |
|--------|------------------------------------|------|------|------|------|-------------|------|------|------|--------------|------|---------------------------------------|------|------|------|------|------|------|------|------|------|-------------|----------|-----|-----|--------------|-----|-----|-------|-------|-------|
| | DB31 | DB30 | DB29 | DB28 | DB27 | DB26 | DB25 | DB24 | DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 |
| LS1 | S5 | S4 | S3 | S2 | S1 | R5 | R4 | R3 | R2 | R1 | C2 | C1 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | CS1 | 0 | 0 | 0 | C3(1) | C2(0) | C1(0) |

DEVIATION REGISTER (R5)

| RESERVED | TX _{DATA} INVERT | TX RAMP CLK PARABOLIC RAMP | INTERRUPT | FSK RAMP | DUAL RAMP | DEV SEL | 4-BIT DEVIATION OFFSET WORD | | | | 16-BIT DEVIATION WORD | | | | | | | | | | | | | | | | CONTROL BITS | | | | |
|----------|---------------------------|----------------------------|-----------|----------|-----------|---------|-----------------------------|------|------|------|-----------------------|------|------|------|------|------|------|------|------|------|------|-----|-----|-----|-----|-----|--------------|-----|-------|-------|-------|
| DB31 | DB30 | DB29 | DB28 | DB27 | DB26 | DB25 | DB24 | DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| 0 | 0 | TR1 | 0 | I2 | I1 | 0 | 0 | DS1 | DO4 | DO3 | DO2 | DO1 | D16 | D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | C3(1) | C2(0) | C1(1) |

STEP REGISTER (R6)

| RESERVED | | | | | | | | STEP SEL | 20-BIT STEP WORD | | | | | | | | | | | | | | | | | | CONTROL BITS | | | | |
|----------|------|------|------|------|------|------|------|----------|------------------|------|------|------|------|------|------|------|------|------|------|------|------|-----|-----|-----|-----|-----|--------------|-----|-------|-------|-------|
| DB31 | DB30 | DB29 | DB28 | DB27 | DB26 | DB25 | DB24 | DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSE1 | S20 | S19 | S18 | S17 | S16 | S15 | S14 | S13 | S12 | S11 | S10 | S9 | S8 | S7 | S6 | S5 | S4 | S3 | S2 | S1 | C3(1) | C2(1) | C1(0) |

DELAY REGISTER (R7)

| RESERVED | | | | | | | | TX _{DATA} TRIGGER DELAY | TRI DELAY | SING FULL TRI | TX _{DATA} TRIGGER | FAST RAMP | RAMP DELAY FL | RAMP DELAY | DEL CLK SEL | DEL START EN | 12-BIT DELAY START WORD | | | | | | | | | | CONTROL BITS | | | | |
|----------|------|------|------|------|------|------|------|----------------------------------|-----------|---------------|----------------------------|-----------|---------------|------------|-------------|--------------|-------------------------|------|------|------|------|-----|-----|-----|-----|-----|--------------|-----|-------|-------|-------|
| DB31 | DB30 | DB29 | DB28 | DB27 | DB26 | DB25 | DB24 | DB23 | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | TD1 | ST1 | TR1 | FR1 | 0 | RD1 | DC1 | DSE1 | DS12 | DS11 | DS10 | DS9 | DS8 | DS7 | DS6 | DS5 | DS4 | DS3 | DS2 | DS1 | C3(1) | C2(1) | C1(1) |

NOTES
1. DBB = DOUBLE-BUFFERED BITS.

图24. 寄存器小结2

10845-019

FRAC/INT寄存器(R0)映射

位DB[2:0]设为000时，编程片内FRAC/INT寄存器(寄存器R0)(如图25所示)。

斜坡开启

位DB31置1时，使能斜坡功能。位DB31置0时，禁用斜坡功能。

MUXOUT控制

ADF4159的片内多路复用器由位DB[30:27]控制。有关真值表，请参见图25。

12位整数(INT)

位DB[26:15]设置INT值，决定整个反馈分频系数的一部分。更多信息，请参见“INT、FRAC和R分频器关系”部分。

12位MSB小数值(FRAC)

LSB FRAC寄存器(寄存器R1)中的位DB[14:3]和位DB[27:15]设置载入小数插值器的FRAC值。FRAC值是整个反馈分频系数的一部分。这12位是25位FRAC值的最高有效位(MSB)，LSB FRAC寄存器(寄存器R1)的位DB[27:15]是最低有效位(LSB)。详情见“RF频率合成器成功范例”部分。

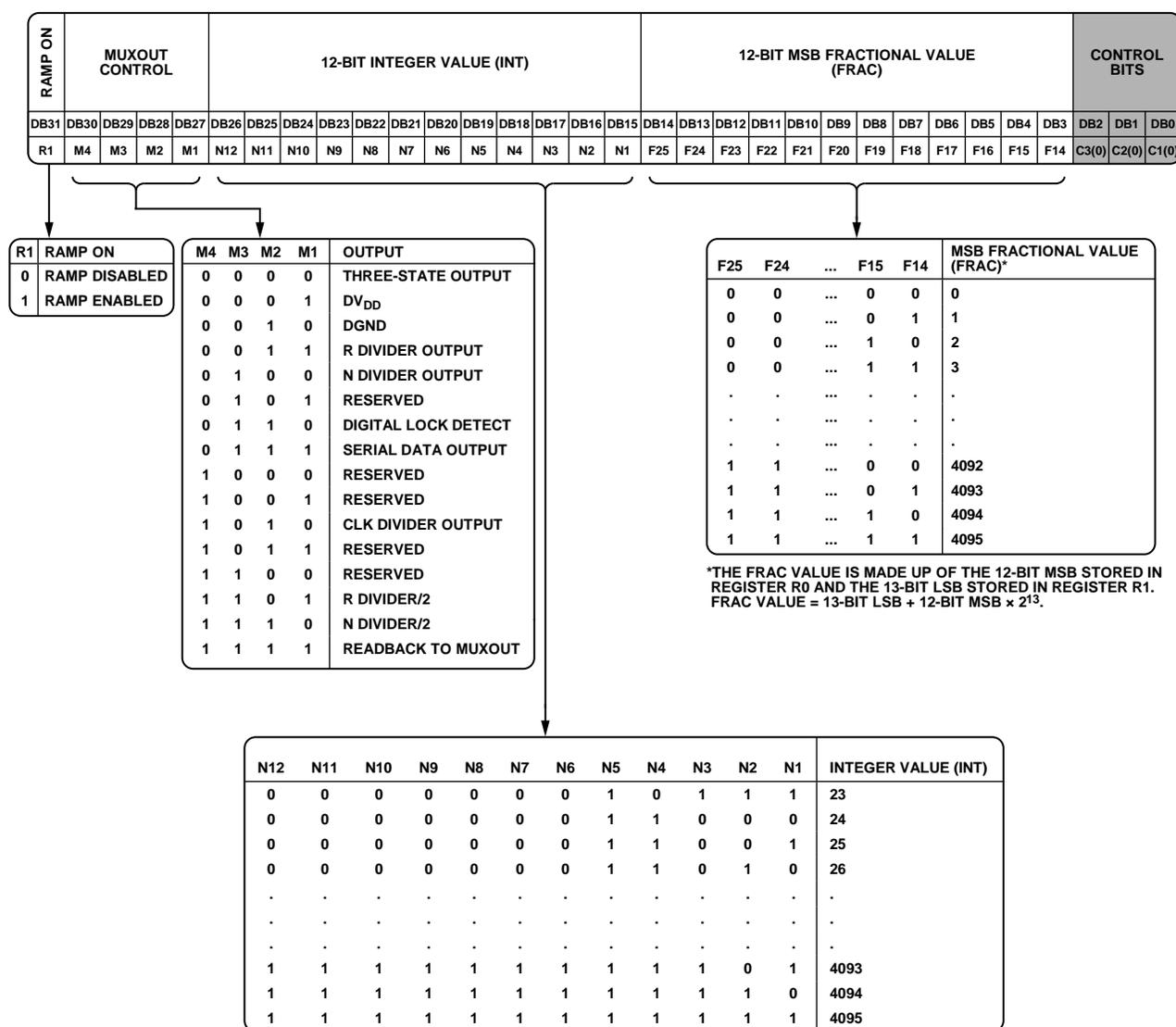


图25. FRAC/INT寄存器(R0)映射

R分频器寄存器(R2)映射

位DB[2:0]设为010时，编程片内R分频器寄存器(寄存器R2)(如图27所示)。

保留位

正常工作时，所有保留位必须设置为0。

CSR使能

位DB28置1时，周跳减少(CSR)使能。周跳减少功能可缩短锁定时间。请注意，为使周跳减少有效，PFD的信号必须有50%的占空比。此外，电荷泵电流设置也必须设置为最小值。详情见“减少周跳以缩短锁定时间”部分。

周跳减少功能只能在鉴相器极性设置为正(寄存器R3中的位DB6 = 1)时使用。鉴相器极性设置为负(寄存器R3中的位DB6 = 0)时无法使用CSR。

电荷泵电流设置

位DB[27:24]用于设置电荷泵的电流(参见图27)。应将这些位设置为环路滤波器的设计电荷泵电流。最佳实践是针对2.5 mA或2.81 mA的电荷泵电流设计环路滤波器，然后使用可编程电荷泵电流调节频率响应。在倍频器使能时设置电荷泵电流的相关信息请参见“参考倍频器”部分。

预分频器(P/P + 1)

双模预分频器(P/P + 1)与INT、FRAC和固定模数值一起，决定从RFIN到PFD输入的整体分频比。位DB22设置预分频器值。

预分频器在CML电平工作，从RF输入级获得时钟，并针对分频器进行分频。预分频器基于同步4/5内核。当预分频器设置为4/5时，容许的最大RF频率为8 GHz。因此，当ADF4159

的工作频率超过8 GHz时，必须将预分频器设置为8/9。预分频器限制INT的值，如下所示：

- 预分频器 = 4/5： $N_{\text{MIN}} = 23$
- 预分频器 = 8/9： $N_{\text{MIN}} = 75$

RDIV2

将位DB21置位为1可在R分频器和PFD之间插入一个2分频触发器。该特性可用于为PFD提供50%占空比信号。

参考倍频器

位DB20置0时，参考倍频器禁用， REF_{IN} 信号直接输入5位R分频器。位DB20置1时，参考倍频器使能， REF_{IN} 频率在信号输入5位R分频器前乘以系数2。倍频器禁用时， REF_{IN} 下降沿是小数频率合成器的PFD输入端的有效沿。倍频器使能时， REF_{IN} 的上升沿和下降沿均是PFD输入端的有效沿。

参考倍频器使能时，为了得到最佳的相位噪声性能，建议电荷泵电流仅设置为0b0000至0b0111，即0.31 mA至2.5 mA。这种情况下，最佳实践是针对1.25 mA或1.57 mA的电荷泵电流设计环路滤波器，然后使用可编程电荷泵电流调节频率响应。

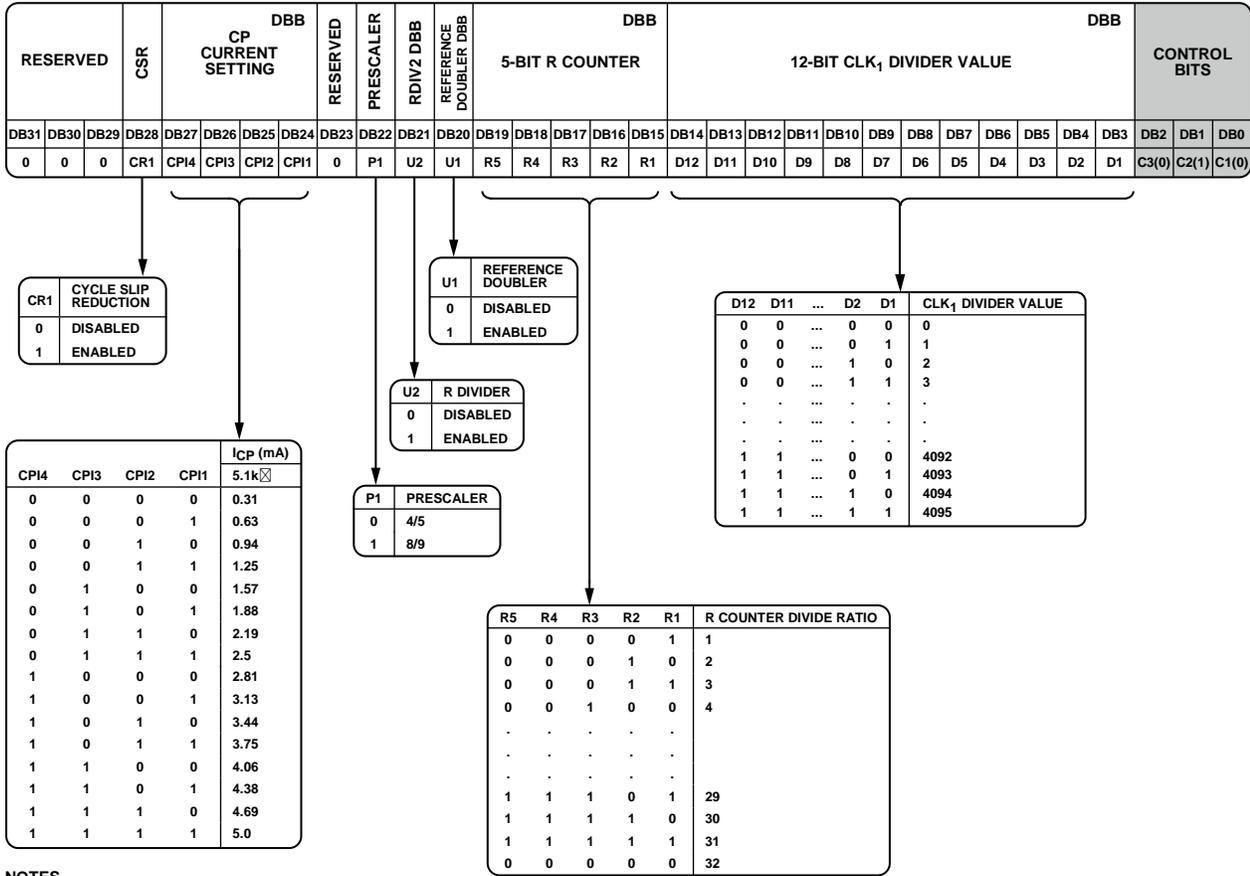
5位R分频器

利用5位R分频器(位DB[19:15])，可以细分输入参考频率(REF_{IN})以产生PFD的参考时钟。分频比可以为1至32。

12位MOD分频器

位DB[14:3]可编程 CLK_1 分频器值，后者决定了斜坡模式中时间步进的持续时间。

ADF4159



NOTES
1. DBB = DOUBLE-BUFFERED BITS.

图27. R分频器寄存器(R2)映射

10849-022

功能寄存器(R3)映射

位DB[2:0]设为011时，编程片内功能寄存器(寄存器R3)(如图28所示)。

保留位

正常工作时，除位DB17外的所有保留位必须设置为0。位DB17必须置1才能正常工作。

负渗漏电流

位DB[24:22]设置负渗漏电流值(I_{BLEED})。使用下式计算 I_{BLEED} 值，然后选择最接近计算值的位DB[24:22]值。

$$I_{BLEED} = (4 \times I_{CP})/N$$

其中：

I_{CP} 为电荷泵电流。

N 为 N 分频器值。

负渗漏电流使能

DB21使能电荷泵中的负渗漏电流。当电荷泵在非线性区域内工作时，相位噪声和杂散性能将会有所下降。负渗漏电流工作时将电荷泵工作区域推离该非线性区。可编程特性控制工作区移开的距离。如果电流过小，则电荷泵将保持在线性区域；如果电流过大，则电荷泵将会不稳定或降低最大PFD频率。有必要反复实验不同电荷泵电流，从而找出最佳值。

计算最佳负渗漏电流的公式参见“负渗漏电流”部分；然而，通过实验，可能得到不同的最佳电流结果。

失锁(LOL)

位DB16使能或禁用失锁指示。该位置0时(失锁使能)，器件指示失锁，哪怕此时已移除基准电压源。该特性相比标准锁定检测方案具有一定优势。如需使工作更稳定，请将此位设为1。使能负渗漏电流时，失锁功能可能无法正常工作。

N SEL

位DB15用于避开 N 分频器中整数和小数值更新之间的流水线延迟问题。通常，INT值首先载入，然后是FRAC值。这可能造成 N 分频器值在相当于流水线延迟(约四个PFD周期)的短时间内变为错误值。如果INT值还未更新，这一错误无影响。然而，如果INT值已经更新，这可能造成PLL在尝试锁定暂时错误值时发生频率过冲。载入正确的小数值

后，PLL迅速锁定至正确频率。利用N SEL位给INT值的载入引入额外延迟可使INT和FRAC值同时载入，从而避免频率过冲。延迟的开启方法是将DB15位设置为1。

SD复位

Σ - Δ 复位

对于大多数应用，位DB14应置0。此位置0后， Σ - Δ 调制器在每次写入寄存器R0时复位。如果不需要在每次寄存器R0写入时复位 Σ - Δ 调制器，则将此位设置为1。

斜坡模式

位DB[11:10]决定产生波形的类型(参见图28和“波形生成”部分)。

PSK使能

当位DB9置1时，PSK调制使能。当此位置0时，PSK调制禁用。详情见“相移键控(PSK)”部分。

FSK使能

当位DB8置1时，FSK调制使能。当此位置0时，FSK调制禁用。详情见“频移键控(PSK)”部分。

锁定检测精度(LDP)

数字锁定检测电路监控PFD的上升和下降脉冲(上升和下降脉冲的逻辑OR，见图21)。每32个脉冲检测一次。LDP位(位DB7)指定每个锁定检测参考周期的长度。

- LDP = 0：如果测量到不超过14 ns的5个连续脉冲，则数字锁定检测置位。
- LDP = 1：如果测量到不超过6 ns的5个连续脉冲，则数字锁定检测置位。

数字锁定检测保持置位，直到脉冲宽度超过22 ns，此时写入寄存器R0，或关断器件。如需使工作更稳定，请将LDP设为1。

鉴相器(PD)极性

位DB6设置鉴相器极性。VCO特性为正时，将此位设为1。VCO特性为负时，将此位设为0。

关断

位DB5提供可编程关断模式。当此位设置为1时，执行关断程序。当此位设置为0时，频率合成器恢复正常工作。在软件关断模式下，器件会保留寄存器中的所有信息。只有当切断电源时，寄存器内容才会丢失。

激活关断时，将发生下列事件：

- 所有活动的直流电流路径切断。
- 强制RF频率合成器的分频器进入加载状态。
- 强制电荷泵进入三态模式。
- 数字锁定检测电路复位。
- RFIN输入去偏置。
- 输入移位寄存器保持活动状态，能够加载并锁存数据。

电荷泵三态

位DB4置1时，电荷泵进入三态模式。电荷泵正常工作时，此位置0。

分频器复位

位DB3是RF分频器复位位。当此位设置为1时，RF频率合成器分频器保持复位状态。正常工作时，此位应设置为0。

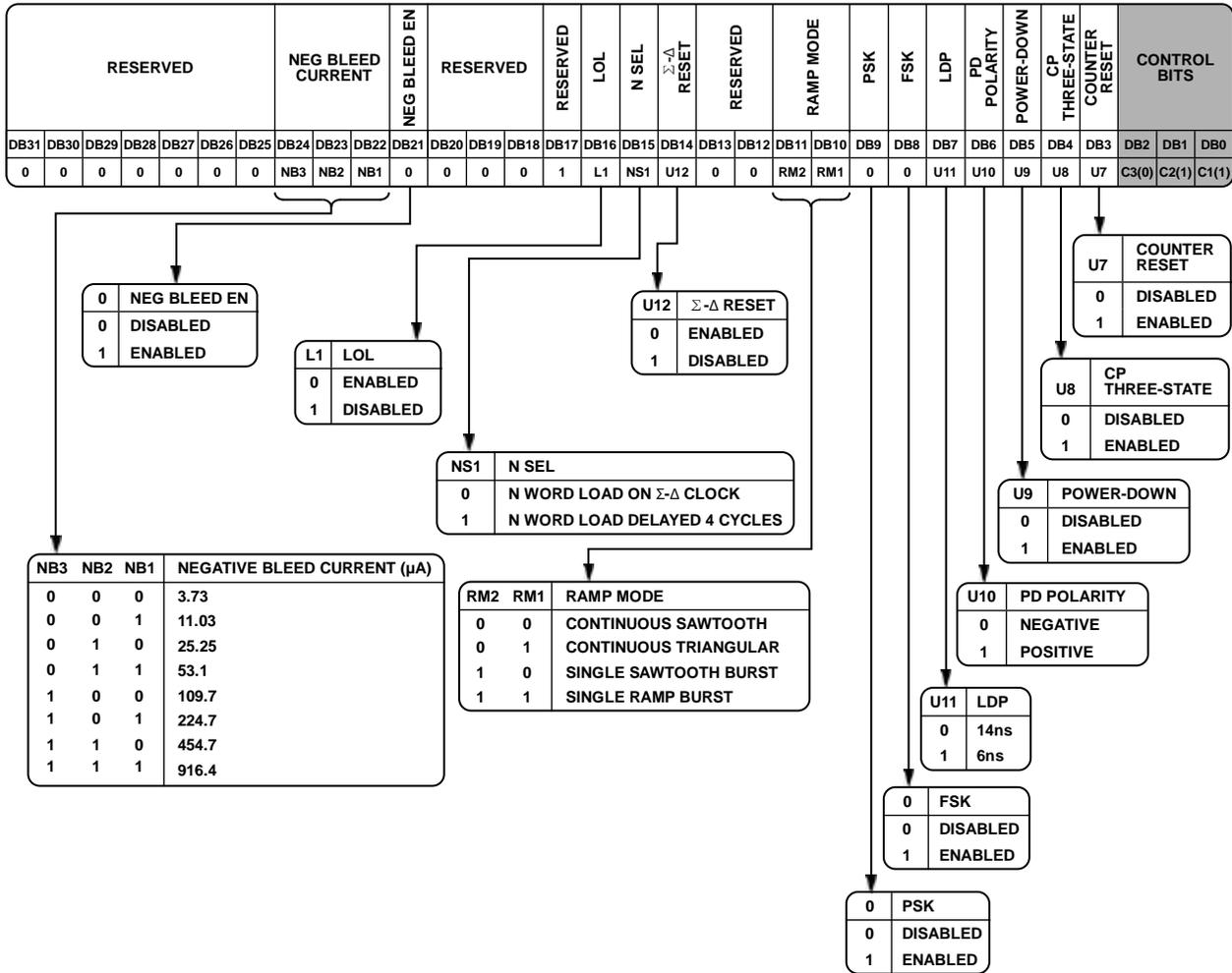


图28. 功能寄存器(R3)映射

10849-023

时钟寄存器(R4)映射

位DB[2:0]设为100时，编程片内时钟寄存器(寄存器R4)(如图29所示)。

LE SEL

在某些应用中，有必要使LE引脚与参考信号同步。为此，位DB31必须设置为1。同步在器件内部完成。

Σ-Δ调制器模式

如需完全禁用Σ-Δ调制器，则将位DB[30:26]设为0b01110，即可将ADF4159置于整数N分频模式，而通道距离等于PFD频率。12位MSB小数值(寄存器R0, DB[14:3])和13位LSB小数值(寄存器R1, DB[27:15])必须置0。写入寄存器4后，必须写入寄存器3两次，以便触发计数器复位。(也就是说，将DB3 = 1写入寄存器3，然后将DB3 = 0写入寄存器3)。

禁用Σ-Δ调制器驱动的所有功能，如斜坡、PSK、FSK和相位调整。

禁用Σ-Δ调制器还将移除VCO输出端的固定+($f_{PFD}/2^{26}$)失调。

正常工作时，这些位应设置为0b00000。

斜坡状态

位DB[25:21]提供针对下列高级特性的访问(参见图29)：

- 回读至MUXOUT选项：可以回读中断时刻的频率合成器频率(参见“中断模式和频率回读”部分)。
- 斜坡完成至MUXOUT选项：每个斜坡结束时，逻辑高电平脉冲输出至MUXOUT引脚。
- 电荷泵上电和电荷泵关断选项：电荷泵分别被迫持续输出上升或下降脉冲。

使用回读至MUXOUT或斜坡完成至MUXOUT选项时，寄存器R0(位DB[30:27])中的MUXOUT位必须置位为1111。

时钟分频器模式

位DB[20:19]用来使能斜坡分频器模式或快速锁定分频器模式。如果两种模式均未使用，则将这些位设为0b00。

12位CLK₂分频器值

器件工作在斜坡模式时，位DB[18:7]用于编程时钟分频器(CLK₂定时器)(参见“超时间隔”部分)。使用快速锁定模式时，CLK₂定时器还可用来确定环路保持在宽带模式的时间(参见“快速锁定模式”部分)。

时钟分频器选择

将位DB6设为0后，CLK₂便用作标准斜坡(如锯齿斜坡或三角斜坡)的CLK₂值。将位DB6设为1后，CLK₂便用作快速斜坡或双斜坡功能的第二斜坡CLK₂值。更多信息，参见“波形偏差和时序”部分。

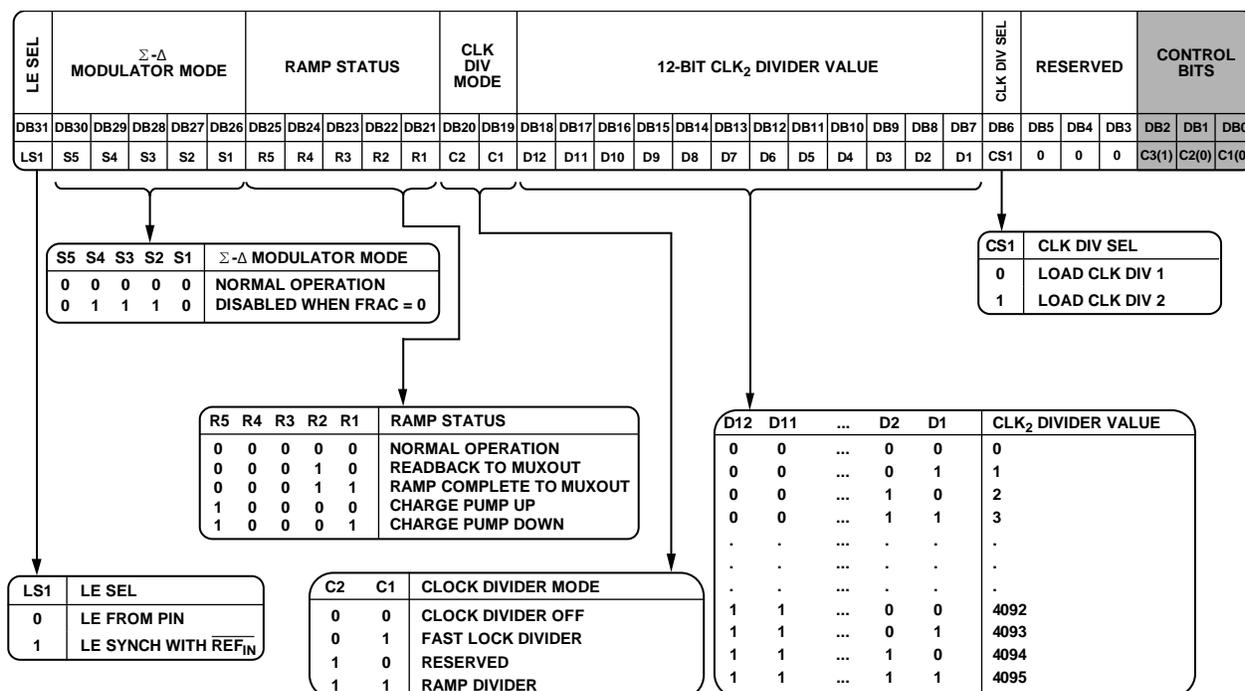


图29. 测试寄存器(R4)映射

10848-024

ADF4159

偏差寄存器(R5)映射

位DB[2:0]设为101时，编程片内偏差寄存器(寄存器R5)(如图30所示)。

保留位

正常工作时，保留位必须设置为0。

TX_{DATA}反转

位DB30置0时，TX_{DATA}触发的事件在TX_{DATA}脉冲的上升沿发生。位DB30置1时，TX_{DATA}触发的事件在TX_{DATA}脉冲的下降沿发生。

TX_{DATA}斜坡时钟

位DB29置0时，时钟分频器时钟用于斜坡时钟。位DB29置1时，TX_{DATA}时钟用于斜坡时钟。

抛物线斜坡

位DB28置1时，抛物线斜坡使能。位DB28置0时，抛物线斜坡禁用。更多信息，参见“抛物线(非线性)斜坡模式”部分。

中断

位DB[27:26]决定了所使用的中断类型。此特性用于在给定时刻回读斜坡的INT和FRAC值(TX_{DATA}引脚的上升沿触发中断)。频率可从INT和FRAC位获得。回读后，扫描可继续或停止在回读频率上。更多信息，参见“中断模式和频率回读”部分。

FSK斜坡使能

位DB25置1时，FSK斜坡使能。位DB25置0时，FSK斜坡禁用。

双斜坡使能

位DB24置1时，第二斜坡使能。位DB24置0时，第二斜坡禁用。

偏差选择

位DB23置0时，选择第一个偏差字。位DB23置1时，选择第二个偏差字。

4位偏差偏移字

位DB[22:19]决定偏差偏移字。偏差偏移可影响偏差分辨率。

16位偏差字

位DB[18:3]决定带符号的偏差字。偏差字将定义偏差步进。

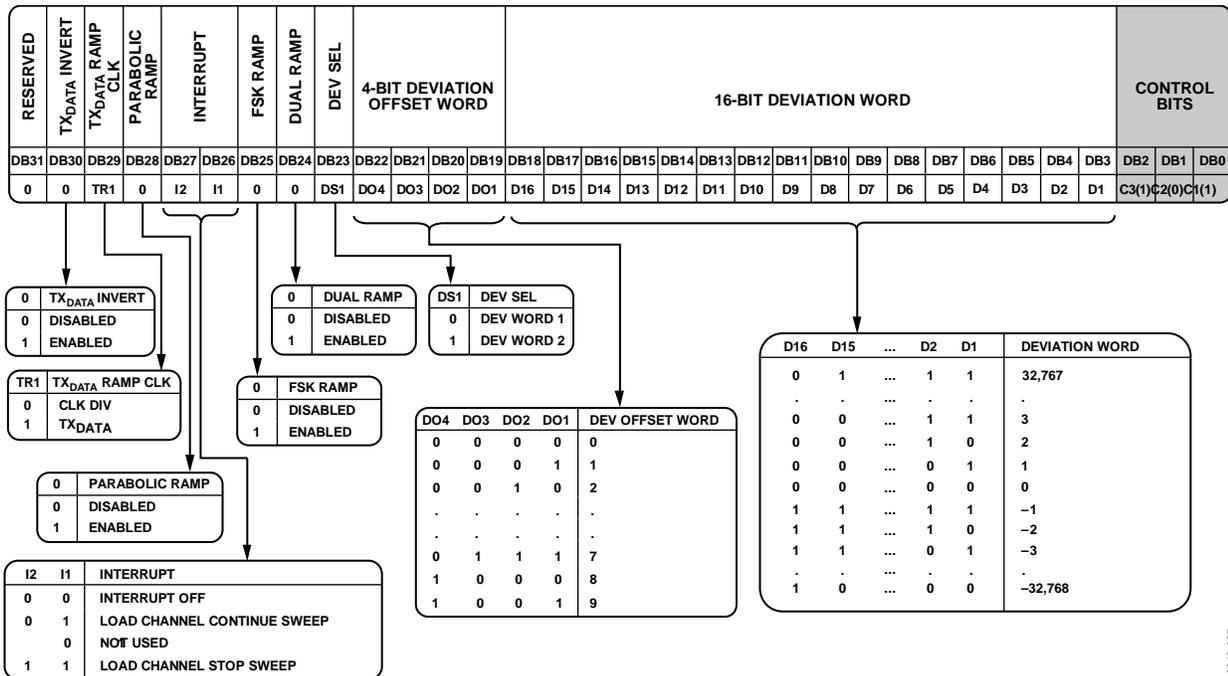


图30. 偏差寄存器(R5)映射

ADF4159

延迟寄存器(R7)映射

位DB[2:0]设为111时，编程片内延迟寄存器(寄存器R7)(如图32所示)。

保留位

正常工作时，所有保留位必须设置为0。

TX_{DATA}触发延迟

位DB23置0时，若使用TX_{DATA}触发斜坡，则在斜坡启动前无延迟。位DB23置1时，若位DB15使能延迟启动，则在斜坡启动前使能延迟。

三角延迟

位DB22置1时，使能三角斜坡之间的延迟，产生削波斜坡。该设置仅针对三角斜坡，并且仅在斜坡延迟激活时有效。位DB22置0时，三角斜坡之间的延迟禁用。

单路全三角功能

位DB21置1时，使能单路全三角功能。位DB21置0时，该功能禁用。若要使用单路全三角功能，必须将斜坡模式(寄存器3, DB[11:10])设为0b11，单一斜坡突发脉冲。更多信息，参见波形发生部分。

TX_{DATA}触发

位DB20置1时，TX_{DATA}上的逻辑高电平激活斜坡。位DB20置0时，该功能禁用。

快速斜坡

位DB19置1时，激活两段不同斜率的三角波形。该波形可用来替代锯齿斜坡，因为它可以降低斜坡波形末端的过冲。通过在一系列小步进中(而非一个大的步进)将顶部频率转换为底部频率，完成快速斜坡。位DB19置0时，禁用快速斜坡功能(参见“快速斜坡模式”部分)。

斜坡延迟快速锁定

位DB18置1时，斜坡延迟快速锁定功能使能。位DB18置0时，该功能禁用。

斜坡延迟

位DB17置1时，斜坡间延迟功能使能。位DB17置0时，该功能禁用。

延迟时钟选择

位DB16置0时，选择PFD时钟作为延迟时钟。位DB16置1时，选择PFD时钟 × CLK₁作为延迟时钟。(CLK₁由寄存器R2中的位DB[14:3]设置。)

延迟启动使能

位DB15置1时，延迟启动使能。位DB15置0时，延迟启动禁用。

12位延迟启动字

位DB[14:3]决定延迟启动字。延迟启动字将影响斜坡启动延迟的持续时间。

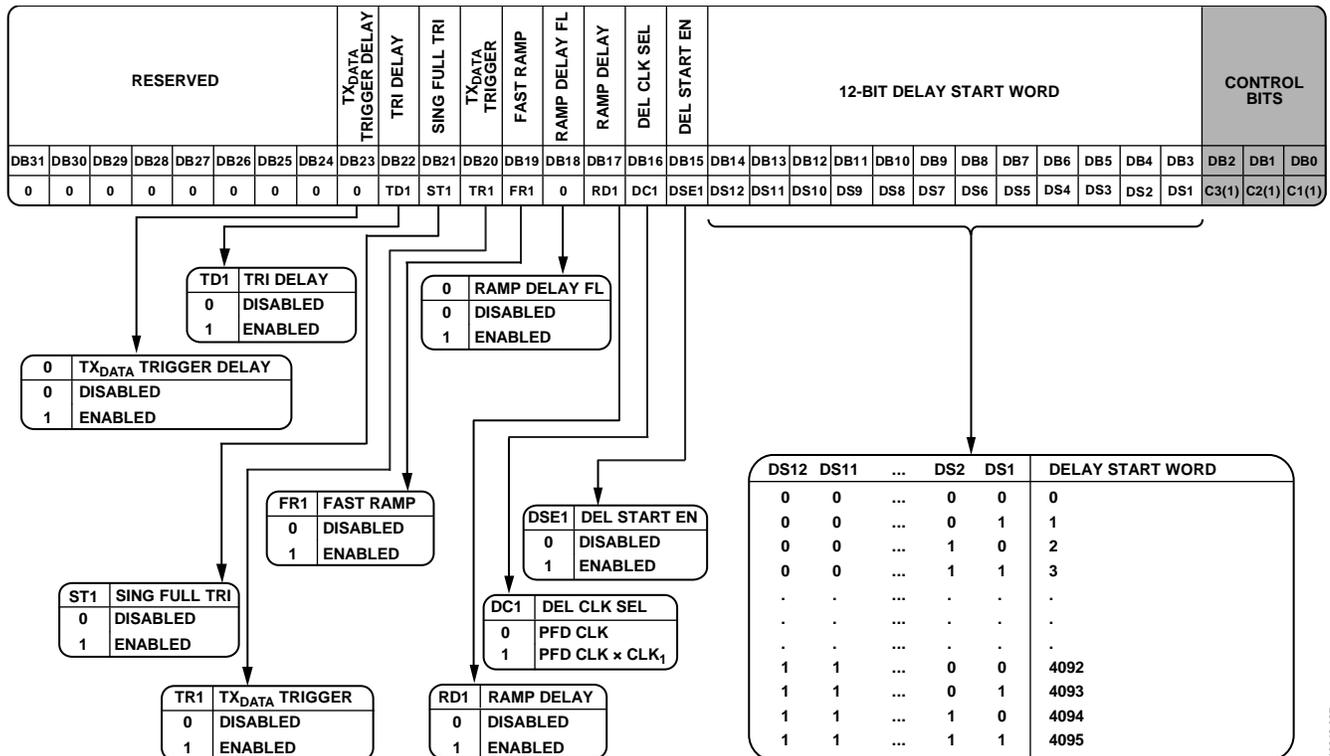


图32. 延迟寄存器(R7)映射

应用信息

初始化序列

ADF4159上电后，采用下述序列编程寄存器，初始化器件：

1. 延迟寄存器(R7)
2. 步进寄存器(R6)—加载步进寄存器(R6)两次，首先是STEP SEL = 0，然后是STEP SEL = 1
3. 偏差寄存器(R5)—加载偏差寄存器(R5)两次，首先是DEV SEL = 0，然后是DEV SEL = 1
4. 时钟寄存器(R4)。加载时钟寄存器两次，第一次为CLK DIV SEL = 0，第二次为CLK DIV SEL = 1。
5. 功能寄存器(R3)
6. R分频器寄存器(R2)
7. LSB FRAC寄存器(R1)
8. FRAC/INT寄存器(R0)

RF频率合成器：一个成功范例

以下公式决定频率合成器的编程方式：

$$RF_{OUT} = (INT + (FRAC/2^{25})) \times f_{PFD} \quad (4)$$

其中：

RF_{OUT} 是RF频率输出；

INT 是整数分频系数；

$FRAC$ 是小数。

PFD频率(f_{PFD})公式为：

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (5)$$

REF_{IN} 是基准频率输入；

D 是RF REF_{IN} 倍频器位，寄存器R2中的位DB20(0或1)。

R 是RF基准分频系数；

T 是基准2分频位，寄存器R2中的位DB21(0或1)。

例如，一个系统要求12.102 GHz RF频率输出(RF_{OUT})，基准频率输入(REF_{IN})为100 MHz，则频率分辨率为

$$f_{RES} = REF_{IN}/2^{25} \quad (6)$$

$$f_{RES} = 100 \text{ MHz}/2^{25} = 2.98 \text{ Hz}$$

根据等式5，

$$f_{PFD} = [100 \text{ MHz} \times (1 + 0)/1] = 100 \text{ MHz}$$

$$12.102 \text{ GHz} = 100 \text{ MHz} \times (N + FRAC/2^{25})$$

计算N和FRAC值，

$$N = \text{int}(RF_{OUT}/f_{PFD}) = 121$$

$$FRAC = F_{MSB} \times 2^{13} + F_{LSB}$$

$$F_{MSB} = \text{int}(((RF_{OUT}/f_{PFD}) - N) \times 2^{12}) = 81$$

$$F_{LSB} = \text{int}((((RF_{OUT}/f_{PFD}) - N) \times 2^{12}) - F_{MSB}) \times 2^{13} = 7536$$

其中：

F_{MSB} 是寄存器R0的12位MSB FRAC值；

F_{LSB} 是寄存器R1的13位LSB FRAC值；

$\text{int}()$ 使括号中的自变量成为整数。

参考倍频器

片内参考倍频器可以使输入参考信号频率加倍，对于增加PFD比较频率非常有用。PFD频率加倍一般可以使系统的噪声性能改善3 dB。必须注意，由于N分频器的 Σ - Δ 电路速度有限，PFD无法在高于110 MHz的频率下工作。

减少周跳以缩短锁定时间

在快速锁定应用中，需要宽环路滤波器带宽以实现快速频率采集，这就造成积分相位噪声增加，杂散衰减降低。使用周跳减少功能，环路带宽可保持较窄，在减少积分相位噪声和衰减杂散的同时缩短锁定时间。

周跳

当环路带宽比PFD频率窄时，整数N分频/小数N分频频率合成器就会发生周跳。PFD输入端的相位误差积累过快，PLL来不及校正，电荷泵暂时沿错误方向吸入电荷，使锁定时间急剧延长。ADF4159包含周跳减少电路，可扩展PFD的线性范围，从而加快锁定，而无需更改环路滤波器。

当ADF4159检测到将要发生周跳时，就会启动额外的电荷泵电流单元。它将向环路滤波器输出恒定的电流，或者从环路滤波器移除恒定的电流(取决于是要提高还是降低VCO调谐电压，以便得到新的频率)。其结果是，PFD的线性范围得以扩展。稳定性仍然得以保持，因为该电流恒定且不是脉冲电流。

如果相位误差再次增大到可能又要发生周跳，ADF4159将再启动一个电荷泵单元。这一过程将持续下去，直至ADF4159检测到VCO频率已超过所需的频率。接着它开始逐个关闭额外的电荷泵单元，直至所有额外电荷泵单元都已关闭，并且频率达到稳定。

最多可以启动7个额外电荷泵单元。大多数应用中，7个单元足以彻底消除周跳，从而大幅缩短锁定时间。

R分频器寄存器(寄存器R2)的位DB28置1时，周跳减少使能。请注意，为使CSR正常工作，PFD的信号需要45%至55%的占空比。参考2分频触发器可帮助在PFD提供50%的占空比。例如，如果基准频率为100 MHz，而用户想要在10 MHz下运行PFD，则R分频系数设置为10将产生占空比非50%的10 MHz PFD信号。通过将分频系数设置为5并使能参考2分频位，可实现占空比为50%的10 MHz信号。

请注意，周跳减少功能只能在鉴相器极性设置为正(寄存器R3中的位DB6置1)时运行。如果鉴相器极性为负，此功能无法使用。

ADF4159

调制

ADF4159可在频移键控(FSK)和相移键控(PSK)模式下工作。

频移键控(FSK)

FSK的实现方法是设置ADF4159 N分频器的中心频率，然后切换TX_{DATA}引脚。中心频率偏差通过下式设置

$$f_{DEV} = (f_{PFD}/2^{25}) \times (DEV \times 2^{DEV_OFFSET}) \quad (7)$$

其中：

f_{PFD} 为PFD频率。

DEV是16位字(寄存器R5中的位DB[18:3])。

DEV_OFFSET是4位字(寄存器R5中的位DB[22:19])。

ADF4159通过将已设置的N分频值递增或递减 $DEV \times 2^{DEV_OFFSET}$ 来实现此特性。

FSK设置成功范例

本例中， f_{PFD} 为25 MHz且工作频率为5.8 GHz的FSK系统需要250 kHz的偏差(f_{DEV})。

按如下方式整理公式7：

$$(DEV \times 2^{DEV_OFFSET}) = f_{DEV} / (f_{PFD} / 2^{25})$$

$$(DEV \times 2^{DEV_OFFSET}) = 250 \text{ kHz} / (25 \text{ MHz} / 2^{25})$$

$$(DEV \times 2^{DEV_OFFSET}) = 335,544.32$$

如果将DEV_OFFSET设为6：

$$DEV = 335,544.32 / (2^6) = 5242.88 \approx 5243$$

由于DEV四舍五入， $f_{DEV} = 250.005722 \text{ kHz}$ 。

切换TX_{DATA}引脚可让频率在已设置的中心频率 $\pm 250 \text{ kHz}$ 间跳跃。

相移键控(PSK)

ADF4159配置为PSK模式时，ADF4159的输出相位等于：

$$(\text{相位值} \times 360^\circ) / 212$$

相位值由寄存器1中的位DB[14:3]设置。PSK调制由TXDATA引脚控制。

例如，若相位值为1024，则TX_{DATA}引脚的逻辑高电平使输出相位增加90°。TX_{DATA}引脚的逻辑低电平使输出相位减少90°。减去相位值可反转极性。

波形产生

ADF4159能够在频域内产生五种波形：单一斜坡突发脉冲、单一三角突发脉冲、单一锯齿突发脉冲、连续锯齿斜坡和连续三角斜坡。图33至37显示了可用波形的类型。

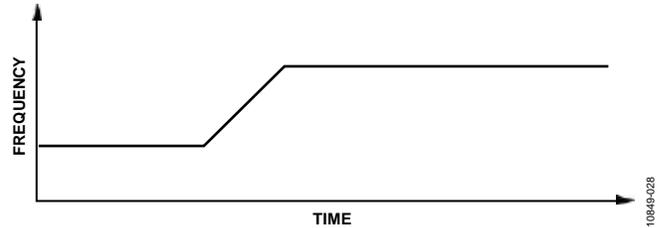


图33. 单一斜坡突发脉冲

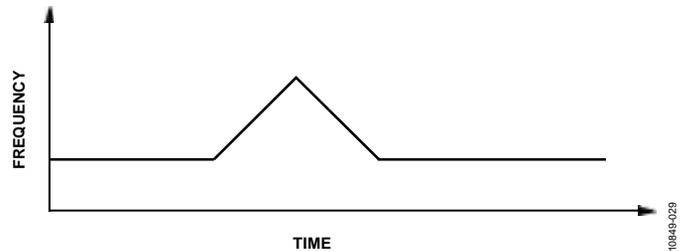


图34. 单一锯齿突发脉冲

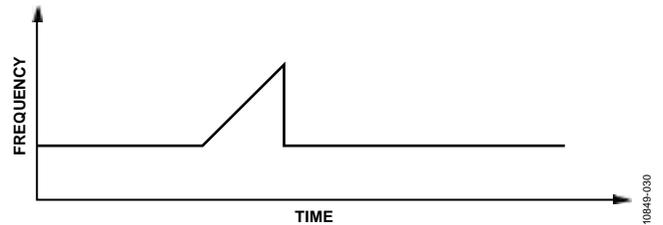


图35. 单一锯齿突发脉冲

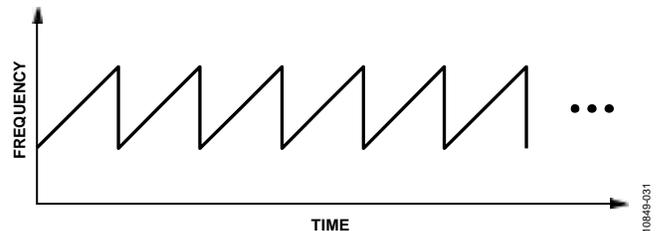


图36. 连续锯齿斜坡

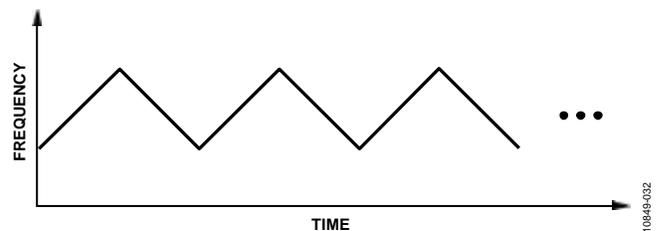


图37. 连续三角斜坡

波形偏差和时序

图38显示了一种斜坡。

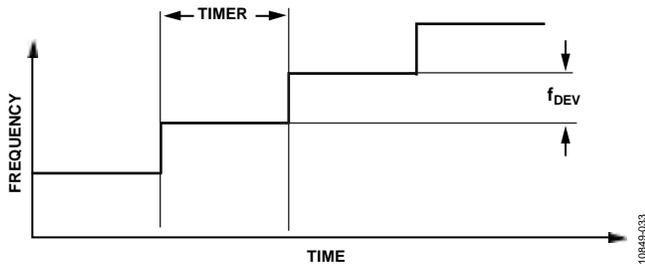


图38. 波形时序

定义斜坡的关键参数为：

- 频率偏差
- 超时间隔
- 步进数

频率偏差

每次跳频的频率偏差由下式设置

$$f_{DEV} = (f_{PFD}/2^{25}) \times (DEV \times 2^{DEV_OFFSET}) \quad (7)$$

其中：

f_{PFD} 为PFD频率。

DEV 是16位字(寄存器R5中的位DB[18:3])。

DEV_OFFSET 是4位字(寄存器R5中的位DB[22:19])。

超时间隔

各跳频间的时间由下式设置

$$Timer = CLK_1 \times CLK_2 \times (1/f_{PFD}) \quad (8)$$

其中：

CLK_1 和 CLK_2 是12位时钟值(寄存器R2中的12位 CLK_1 分频器和寄存器R4中的12位 CLK_2 分频器)。对于斜坡分频器，寄存器R4中的位DB[20:19]必须设为11。

f_{PFD} 为PFD频率。

CLK_1 或 CLK_2 必须大于1，即不允许 $CLK_1 = CLK_2 = 1$ 。

步进数

20位步进值定义了发生跳频的次数。从起始值起，INT值的递增幅度不得超过 $2^8 = 256$ 。

单一斜坡突发脉冲

最基本的波形是单一斜坡突发脉冲。其他所有波形均在此波形基础上变化。在单一斜坡突发脉冲中，ADF4159被锁定至FRAC/INT寄存器(R0)内定义的频率。使能斜坡模式时，ADF4159将N分频值递增 $DEV \times 2^{DEV_OFFSET}$ ，造成各定时器间隔上的频移 f_{DEV} 。此频移重复发生至设置的步进数为止。然后，ADF4159保留最终N分频值。

单一三角突发脉冲

三角突发脉冲类似于单一斜坡突发脉冲。不过，完成步进后，ADF4159开始在每个超时间隔中将N分频值递减 $DEV \times 2^{DEV_OFFSET}$ 。

单一锯齿突发脉冲

在单一锯齿突发脉冲中，N分频值在步进数后的下一个超时间隔中复位至初始值。ADF4159将保留此N分频值。

锯齿斜坡

锯齿斜坡是单一锯齿突发脉冲的重复版本。波形重复至禁用斜坡为止。

三角斜坡

该三角斜坡是单一三角突发脉冲的重复版本。不过，完成步进后，ADF4159开始在每个超时间隔中将N分频值递减 $DEV \times 2^{DEV_OFFSET}$ 。当再次完成步进数时，它会重新递增N分频值。重复这一过程便产生三角波形。波形重复至禁用斜坡为止。

FMCW雷达斜坡设置成功范例

本例描述要求RF LO每隔2 ms就使用50 MHz范围内的锯齿斜坡的频率调制连续波(FMCW)雷达系统。PFD频率为25 MHz，RF输出范围为5800 MHz至5850 MHz。

斜坡内每次跳频的频率偏差设置为~250 kHz。

ADF4159的频率分辨率通过下式计算：

$$f_{RES} = f_{PFD}/2^{25} \quad (9)$$

使用公式9， f_{RES} 可通过下式计算：

$$f_{RES} = 25 \text{ MHz}/2^{25} = 0.745 \text{ Hz}$$

整理公式7便可计算出 DEV_OFFSET ：

$$DEV_OFFSET = \log_2(f_{DEV}/(f_{RES} \times DEV_{MAX})) \quad (10)$$

以 $\log_{10}(x)$ 表示，公式10可转换为以下公式：

$$DEV_OFFSET = \log_{10}(f_{DEV}/(f_{RES} \times DEV_{MAX}))/\log_{10}(2) \quad (11)$$

其中：

f_{DEV} = 频率偏差；

$DEV_{MAX} = 2^{15}$ (偏差字最大值)；

$DEV_OFFSET = 4$ 位字。

使用公式11， DEV_OFFSET 可通过下式计算：

$$DEV_OFFSET = \log_{10}(250 \text{ kHz}/(0.745 \text{ Hz} \times 2^{15}))/\log_{10}(2) = 3.356$$

四舍五入后， $DEV_OFFSET = 4$ 。

ADF4159

根据DEV_OFFSET，频域分辨率可通过下式计算：

$$f_{DEV_RES} = f_{RES} \times 2^{DEV_OFFSET} \quad (12)$$

$$f_{DEV_RES} = 0.745 \text{ Hz} \times 2^4 = 11.92 \text{ Hz}$$

要计算DEV字，请使用公式13。

$$DEV = f_{DEV} / (f_{RES} \times 2^{DEV_OFFSET}) \quad (13)$$

$$DEV = \frac{250 \text{ kHz}}{\frac{25 \text{ MHz}}{2^{25}} \times 2^4} = 20,971.52$$

将此值四舍五入为20,972，使用公式7重新计算便得到实际偏差频率 f_{DEV} ，产生以下结果：

$$f_{DEV} = (25 \text{ MHz} / 2^{25}) \times (20,972 \times 2^4) = 250.006 \text{ kHz}$$

涵盖50 MHz范围所需的 f_{DEV} 步进数为50 MHz/250.006 kHz = 200。要在2 ms内涵盖50 MHz范围，ADF4159必须每隔2 ms/200 = 10 μ s跳频一次。

重新整理公式8以设置定时器值(并将CLK₂设为1)：

$$CLK_1 = \text{Timer} \times f_{PFD} / CLK_2 = 10 \mu\text{s} \times 25 \text{ MHz} / 1 = 250$$

总结一下设置：

- DEV = 20,972
- 步进数 = 200
- CLK₁ = 250
- CLK₂ = 1(寄存器R4中的位DB[20:19] = 11，斜坡分频器)

使用这些设置将ADF4159编程为5800 MHz的中心频率，并使能锯齿斜坡以产生所需波形。如果将三角斜坡用于相同的设置，ADF4159将从5800 MHz扫描至5850 MHz，然后再再次下降。整个扫描耗时4 ms。

激活斜坡

完成所有必需的参数设置后，必须通过选择所需的斜坡类型激活斜坡(寄存器R3中的位DB[11:10])，然后启动斜坡(寄存器R0中的位DB31 = 1)。

斜坡编程序列

依“FMCW雷达斜坡设置成功范例”部分所述设置参数，并依“激活斜坡”部分所述，以下列寄存器写入顺序激活斜坡。

1. 延迟寄存器(R7)
2. 步进寄存器(R6)
3. 偏差寄存器(R5)
4. 时钟寄存器(R4)
5. 功能寄存器(R3)
6. R分频器寄存器(R2)
7. LSB FRAC寄存器(R1)
8. FRAC/INT寄存器(R0)

其他波形

不同斜坡速率的双斜坡

ADF4159可以配置为具有不同步进和偏差设置的两个斜坡。还可在另一斜坡运行时对斜坡速率重新编程。

示例

本例中，将PLL锁定至5790 MHz， $f_{PFD} = 25 \text{ MHz}$ 。两个斜坡如下配置：

- 斜坡1跳跃100步，每一步持续10 μ s，频率偏差为100 kHz。
- 斜坡2跳跃80步，每一步持续10 μ s，频率偏差为125 kHz。

若要使能两个斜坡速率，请遵循以下步骤：

1. 将寄存器R5中的位DB24置1，激活双斜坡速率模式。

2. 通过设置下列数值，编程斜坡1的斜坡速率：

- 寄存器R5：设置位DB23 = 0，位DB[18:3] = 16,777，位DB[22:19] = 3
- 寄存器R6：设置位DB23 = 0，位DB[22:3] = 100

3. 通过设置下列数值，编程斜坡2的斜坡速率：

- 寄存器R5：设置位DB23 = 1，位DB[18:3] = 20,972，位DB[22:19] = 3
- 寄存器R6：设置位DB23 = 1，位DB[22:3] = 80

图39显示两个斜坡速率的最终斜坡。若要激活该斜坡，请参见“激活斜坡”部分。

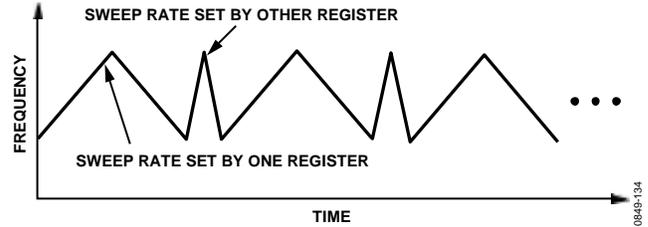


图39. 具有两个扫描速率的双斜坡

具有叠加FSK信号的斜坡模式

在传统方法中，FMCW雷达使用线性频率调制(LFM)或FSK调制。这些独立使用的调制为测量的距离与速度带来不定性，特别是在多目标情况下。为克服此问题并实现明确的(范围-速度)多目标检测，应使用具有FSK的斜坡。

示例

本例中，将PLL锁定至5790 MHz， $f_{\text{PFD}} = 25 \text{ MHz}$ 。具有叠加FSK信号的斜坡配置如下：

- 步进数设为100；每步持续10 μs ，偏差为100 kHz。
- FSK信号为25 kHz。

若要使能FSK叠加斜坡模式，请遵循以下步骤：

1. 寄存器R5中的位DB23和寄存器R6中的DB23置0。
2. 依“FMCW雷达斜坡设置成功范例”部分所述对斜坡编程。
3. 寄存器R5中的位如下设置，将斜坡上的FSK编程至25 kHz：
 - DB[18:3] = 4194(偏差字)
 - DB[22:19] = 3(偏差偏移字)
 - DB23 = 1(斜坡上的FSK偏差字)
 - DB25 = 1(带FSK使能的斜坡)

图40显示FSK叠加在斜坡上的示例。若要激活该斜坡，请参见“激活斜坡”部分。

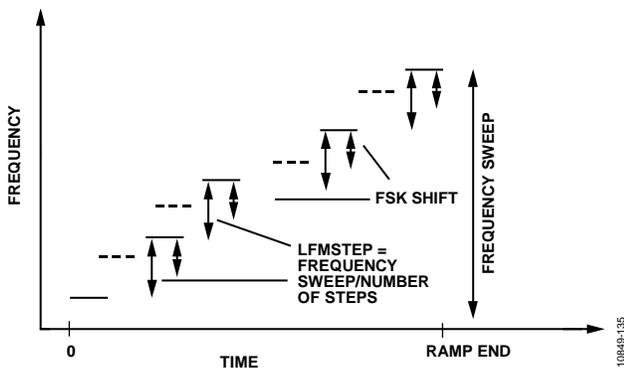


图40. 组合FSK和LFM波形

延迟启动

延迟启动可配合两种不同器件使用以控制启动时间。图41显示延迟启动的原理。

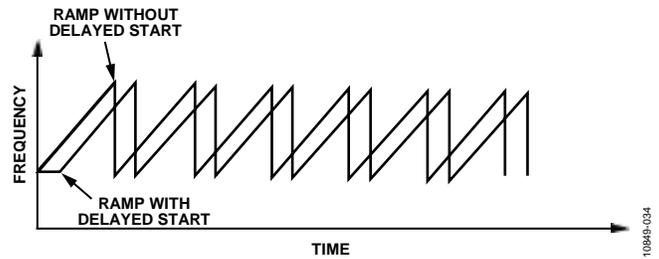


图41. 锯齿斜坡的延迟启动

示例

例如，要用两种不同器件对延迟启动编程以控制启动时间，请遵循以下步骤：

1. 将寄存器R7中的位DB15置1，使能斜坡的延迟启动选项。
2. 将寄存器R7中的位DB16置0，并将12位延迟启动字(寄存器R7中的位DB[14:3])设为125 ($f_{\text{PFD}} = 25 \text{ MHz}$)，可延迟斜坡第一部分5 μs 。延迟可通过下式计算：

$$\text{延迟} = t_{\text{PFD}} \times \text{延迟启动字}$$

$$\text{延迟} = 40 \text{ ns} \times 125 = 5 \mu\text{s}$$
3. 将寄存器R7中的位DB16置1，并将12位延迟启动字(寄存器R7中的位DB[14:3])设为125，可延迟斜坡第一部分125 μs 。延迟计算如下：

$$\text{延迟} = t_{\text{PFD}} \times \text{CLK}_1 \times \text{延迟启动字}$$

$$\text{延迟} = 40 \text{ ns} \times 25 \times 125 = 125 \mu\text{s}$$

若要激活该斜坡，请参见“激活斜坡”部分。

斜坡间延迟

ADF4159可配置为在两个斜坡的突发脉冲之间添加延迟。

图42、43和44分别表示锯齿、三角和削波三角模式的斜坡间延迟。

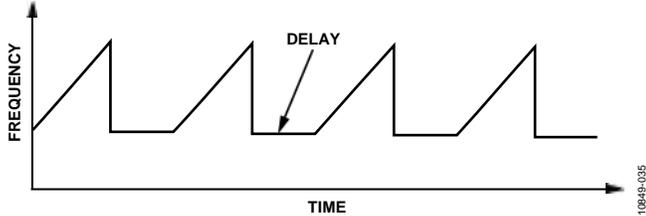


图42. 锯齿模式的斜坡间延迟

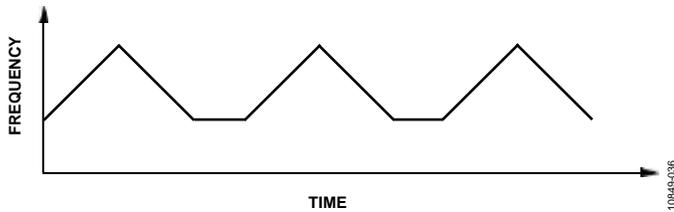


图43. 三角模式斜坡间延迟

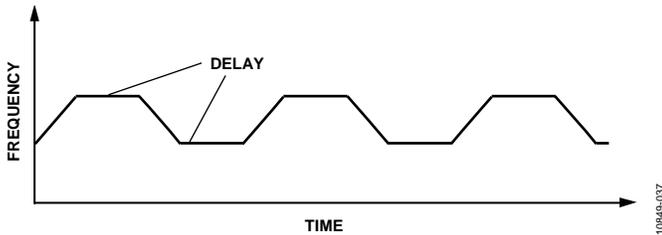


图44. 三角削波模式斜坡间延迟

示例

例如，要在斜坡内的突发脉冲间添加延迟，请遵循以下步骤：

1. 将寄存器R7中的位DB17置1，使能斜坡间延迟选项。
2. 将寄存器R7中的位DB16置0，并将12位延迟启动字(寄存器R7中的位DB[14:3])设为125 ($f_{\text{PFD}} = 25 \text{ MHz}$)，可延迟斜坡 $5 \mu\text{s}$ 。延迟可通过下式计算：

$$\begin{aligned} \text{延迟} &= t_{\text{PFD}} \times \text{延迟启动字} \\ \text{延迟} &= 40 \text{ ns} \times 125 = 5 \mu\text{s} \end{aligned}$$

如需更长延迟(比如 $125 \mu\text{s}$)，可将寄存器R7中的位DB16置1，并将12位延迟启动字(寄存器R7中的位DB[14:3])设为125。延迟可通过下式计算：

$$\begin{aligned} \text{延迟} &= t_{\text{PFD}} \times \text{CLK}_I \times \text{延迟启动字} \\ \text{延迟} &= 40 \text{ ns} \times 25 \times 125 = 125 \mu\text{s} \end{aligned}$$

还可在延迟的第一周期内激活快速锁定操作。为此，应将寄存器R7内的DB18位设置为1。此特性可帮助锯齿斜坡减少从一个锯齿过渡至下一个锯齿时的频率过冲。若要激活该斜坡，请参见“激活斜坡”部分。

带延迟的双斜坡速率模式

该模式结合了“不同斜坡速率的双斜坡”部分以及“斜坡间延迟”部分所描述的模式(见图45)。

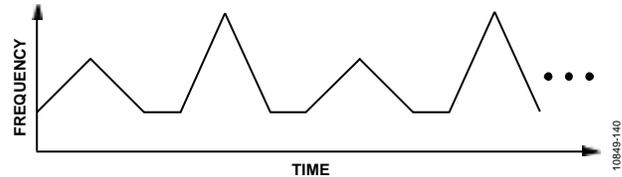


图45. 带延迟的双斜坡速率模式

如需使能该配置：

3. 根据“不同斜坡速率的双斜坡”部分所述对两个斜坡速率模式进行编程。
2. 根据“斜坡间延迟”部分所述对延迟进行编程。

抛物线(非线性)斜坡模式

ADF4159能够产生抛物线斜坡。(见图46)。

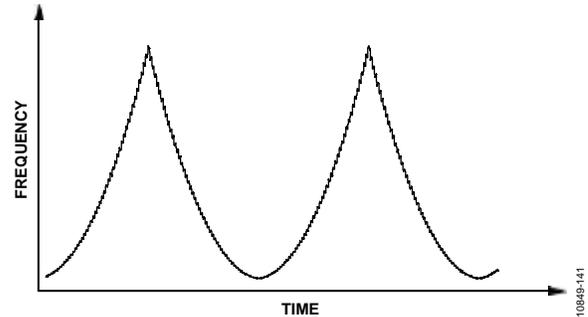


图46. 抛物线斜坡

输出频率根据下式产生：

$$f_{\text{OUT}}(n+1) = f_{\text{OUT}}(n) + n \times f_{\text{DEV}} \quad (14)$$

其中：

- f_{OUT} 是输出频率；
- n 是步进数。
- f_{DEV} 是频率偏差；

示例

本例描述如何采用下列参数设置并使用抛物线斜坡模式：

- $f_{\text{OUT}} = 5790 \text{ MHz}$
- $f_{\text{DEV}} = 100 \text{ kHz}$
- 步进数 = 50
- 单个步进持续时间 = $10 \mu\text{s}$

如需设置抛物线斜坡模式，请遵循以下步骤：

1. 配置下列斜坡模式中的一种：
 - 连续三角斜坡(寄存器R3中的位DB[11:10]设为01)。
 - 单次斜坡突发脉冲(寄存器R3中的位DB[11:10]设为11)。

对于连续三角斜坡，产生的频率范围可计算如下：

$$\Delta f = f_{DEV} \times (\text{Number of Steps} + 2) \times (\text{Number of Steps} + 1) / 2 = 132.6 \text{ MHz}$$

对于单次斜坡突发脉冲，产生的频率范围可计算如下：

$$\Delta f = f_{DEV} \times (\text{步进数} + 1) \times \text{步进数} / 2 = 127.5 \text{ MHz}$$

2. 根据“超时间隔”部分所述，设置线性斜坡定时器。
3. 将寄存器R5中的位DB28置1，激活抛物线斜坡。
4. 将分频器复位(寄存器R3中的位DB3)设为1，然后设为0。

若要激活该斜坡，请参见“激活斜坡”部分。

快速斜坡模式

ADF4159能够产生快速斜坡。快速斜坡是具有两个不同斜率的三角斜坡。(见图47)。上斜坡和下斜坡的步进数、每步时间和每步偏差均可编程。

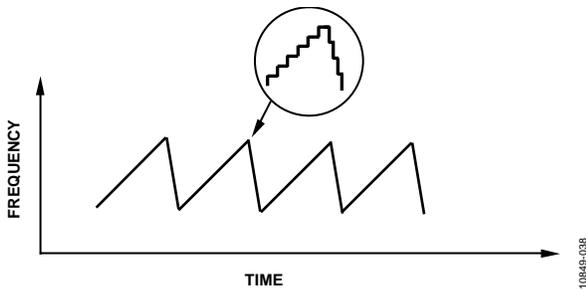


图47.快速斜坡模式

若要激活快速斜坡波形，请遵循以下步骤：

1. 将寄存器R3中的位DB[11:10]设为01，选择连续三角波形。
2. 将寄存器R7中的位DB19设为1，使能快速斜坡。
3. 根据下列步骤编程上斜坡。
 - a. 对于斜坡1，将寄存器R4 (CLK DIV SEL)中的位DB6、寄存器R5 (DEV SEL)中的位DB23以及寄存器R6 (STEP SEL)中的位DB23设为0。
 - b. 根据“FMCW雷达斜坡设置成功范例”部分计算并编程定时器、DEV、DEV_OFFSET和步进字。

4. 根据下列步骤编程下斜坡。
 - a. 对于斜坡2，将寄存器R4 (CLK DIV SEL)中的位DB6、寄存器R5 (DEV SEL)中的位DB23以及寄存器R6 (STEP SEL)中的位DB23设为1。
 - b. 根据“FMCW雷达斜坡设置成功范例”部分计算并编程定时器、DEV、DEV_OFFSET和步进字。
5. 将寄存器R0中的位DB31设为1，启动斜坡。

注意，出于稳定性考虑，上斜坡和下斜坡的总频率变化必须一致。

斜坡完成信号至Muxout

图48显示MUXOUT上的斜坡完成信号。

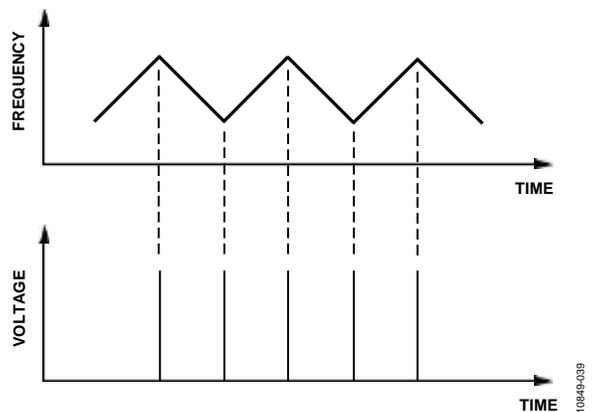


图48. Muxout上的斜坡完成信号

为了激活此功能，将寄存器R0中的位DB[30:27]设为1111，然后将寄存器R4中的位DB[25:21]设为00011。

外部控制斜坡步长

利用TX_{DATA}引脚上的脉冲可旁路内部斜坡时钟并触发每个步骤。这样可以更明确地控制每一步。可在寄存器R5中将位DB29设置为1，使能该功能。

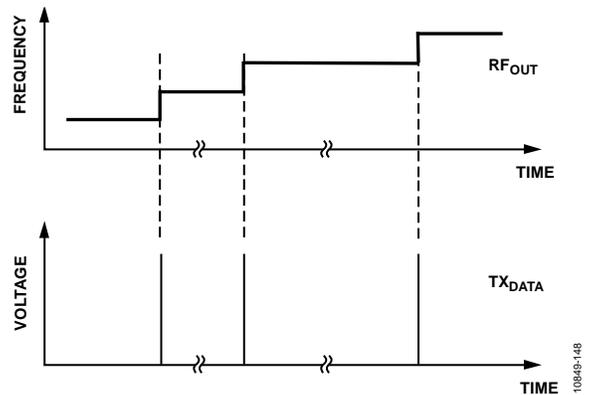


图49. 外部控制斜坡步长

中断模式和频率回读

中断模式从TX_{DATA}的上升沿触发。为了激活此功能，将寄存器R0中的位DB[30:27]设为1111，然后将寄存器R4中的位DB[25:21]设为00010。若要选择并使能中断模式，则根据表8置位寄存器R5中的位[27:26]。必须激活斜坡，回读才能工作。

表8. 中断模式(寄存器R5)

| 位DB[27:26] | 操作 |
|------------|-----------------------------|
| 00 | 中断关闭 |
| 01 | TX _{DATA} 上中断，扫描继续 |
| 11 | TX _{DATA} 上中断，扫描停止 |

图50显示频率回读原理。

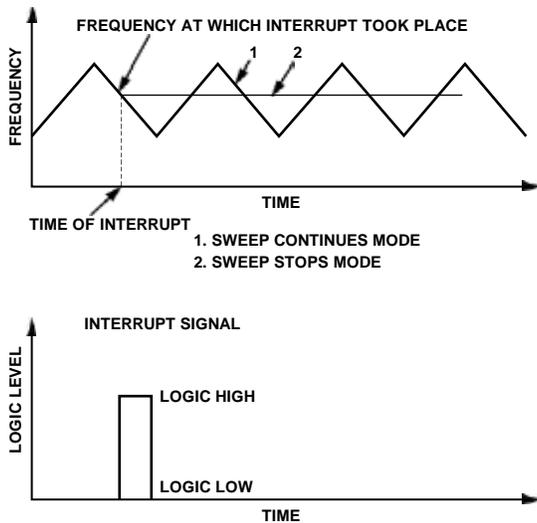


图50. 中断和频率回读

中断发生时，由INT和FRAC值组成的数据可通过MUXOUT回读。数据由37位构成，其中12位代表INT值，25位代表FRAC值。图51显示单个位数据如何回读。

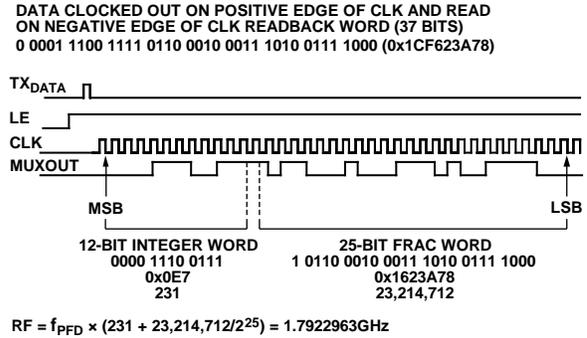


图51 回读单一位以确定中断时刻的输出频率

对于连续频率回读，应使用下列序列：(见图52)。

1. 寄存器0写入
2. LE变为高电平
3. TX_{DATA}上产生脉冲
4. 频率回读
5. TX_{DATA}上产生脉冲
6. 寄存器R4写入
7. 频率回读
8. TX_{DATA}上产生脉冲

图52显示连续频率回读序列。

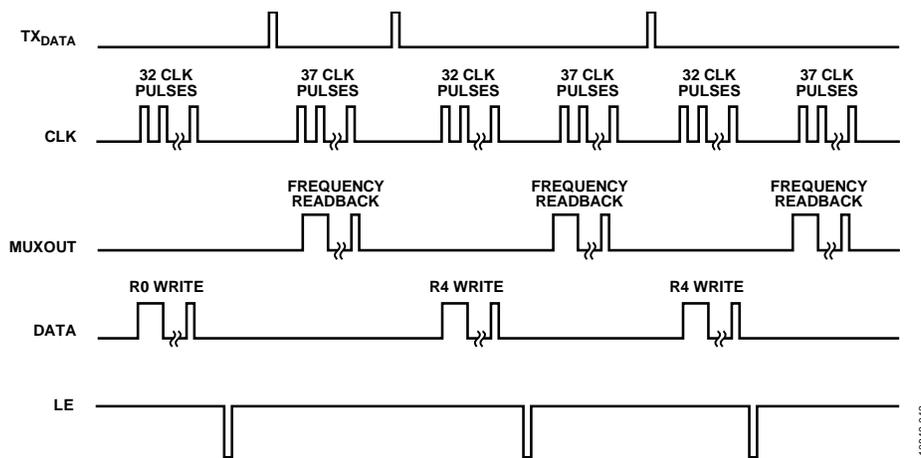


图52. 连续频率回读

快速锁定模式

ADF4159可在快速锁定模式下工作。该模式下电荷泵电流上升，需连接额外的电阻以保持环路稳定性。

快速锁定时器和寄存器序列

使能快速锁定模式(寄存器R4, DB[20:19])并写入寄存器R0后, PLL将在宽带宽模式下工作一段指定的时间。使能快速锁定前, 器件首次上电后必须执行初始化序列(参见初始化序列部分)。带宽模式的时间设置如下:

$$CLK_1 \times CLK_2 / f_{PFD} = \text{宽带宽模式的时间}$$

其中:

CLK_1 = 寄存器R2, DB[14:3]。

CLK_2 = 寄存器R4, DB[18:7]。

f_{PFD} = PFD频率。

注意, 斜坡模式下无法使用快速锁定功能。

快速锁定范例

本例中, PLL的 f_{PFD} 为100 MHz, 并要求保持在宽带宽模式下12 μ s。

$$CLK_1 \times CLK_2 / f_{PFD} = 12 \mu\text{s}$$

$$CLK_1 \times CLK_2 = (12 \times 10^{-6})(100 \times 10^6) = 1200$$

因此, $CLK_1 = 12$, $CLK_2 = 100$, 可得出时间为12 μ s。

快速锁定: 环路滤波器拓扑

要使用快速锁定模式, 需要一个从PLL至环路滤波器的额外连接。环路滤波器中的阻尼电阻必须降至宽带宽模式下该电阻值的 $1/4$ 。这是因为电荷泵电流在宽带宽模式下提高16, 必须确保稳定性。

要进一步增强稳定性, 减少频率变化中的频率过冲(宽带宽模式下), 请连接电阻R3。(见图53)。快速锁定期间, SW1引脚对地短路, SW2连接至CP(通过将寄存器R4内的DB[20:19]位设置为01来完成, 即快速锁定分频器)。

可使用下列两种拓扑:

- 阻尼电阻(R1)分为两个值(R1和R1A), 二者之比为1:3(参见图53)。
- 直接从SW1连一个额外电阻(R1A)(参见图54)。选择额外电阻时必须确保额外电阻与阻尼电阻(R1)的并联结果应为R1初始值的 $1/4$ 。

对于这两种拓扑, R3:R2之比应等于1:4。

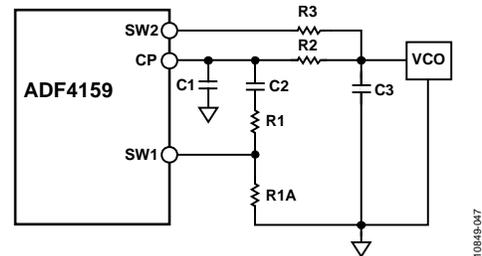


图53. 快速锁定环路滤波器拓扑—拓扑1

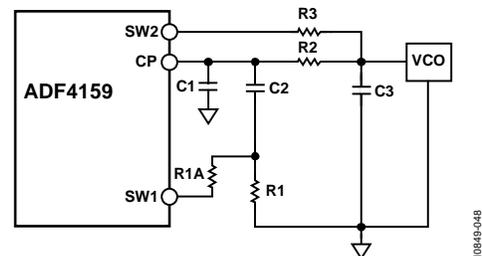


图54. 快速锁定环路滤波器拓扑—拓扑2 杂散机制

更多快速锁定拓扑, 请参见ADIsimPLL™。

杂散机制

ADF4159中的小数插值器是具有25位固定模数(MOD)的三阶 Σ - Δ 调制器(SDM)。SDM时钟频率为PFD基准频率(f_{PFD})，允许PLL输出频率以 $f_{\text{PFD}}/\text{MOD}$ 的通道步进分辨率合成。本节讨论了小数N分频频率合成器可实现的各种杂散机制及其对ADF4159的影响。

小数杂散

在大多数小数频率合成器中，小数杂散出现间隔可等于频率合成器的设置通道间隔。在ADF4159中，这些杂散没有出现。ADF4159的高固定模数使 Σ - Δ 调制器量化误差频谱看似宽带噪声，将小数杂散有效散布到噪声内。

整数边界杂散

RF VCO频率与PFD频率间的交互可导致杂散，称为整数边界杂散。当这些频率不是整数关系时(小数N分频频率合成器的目的)，杂散边带将以一定的偏移频率出现在VCO输出频谱上，该偏移频率与整数倍数的PFD和VCO频率之间的拍频或差频相对应。

这些杂散在靠近PFD整数倍数的通道上表现得更为明显，对于这些通道，差频率可能位于环路带宽以内，“整数边界杂散”的名称正是由此而来。在远离PFD整数倍数的通道上，这些杂散由环路滤波器予以衰减。

参考杂散

在小数N分频频率合成器中，参考杂散一般不是问题，因为参考偏移远远超出了环路带宽。不过，旁路环路的任何参考馈通机制可能会引起问题。一种此类机制是经由 RF_{IN} 引脚回到VCO的低电平片内参考切换噪声的馈通，可能会产生高达-90 dBc的参考杂散。PCB布局需要确保VCO与输入参考之间充分隔离，避免电路板上可能出现馈通路径。

低频应用

RF输入的最小值规格为0.5 GHz；不过，如果满足400 V/ μs 的最低压摆率规格，可使用低于此点的RF频率。适当的驱动器——比如ADCMP553——可用于加速RF信号的边沿跃迁，然后将其反馈至ADF4159 RF输入端。

滤波器设计—ADIsimPLL

ADI公司提供了滤波器设计和分析程序以帮助用户实现PLL设计。请访问www.analog.com/pll，免费下载ADIsim-PLL™软件。该软件可设计、仿真和分析整个PLL频域和时域响应。允许使用各种无源和有源滤波器架构。

芯片级封装的PCB设计指南

芯片级封装(CP-24-10)上的引脚焊盘为方形。印刷电路板(PCB)焊盘应比封装引脚焊盘长0.1 mm，宽0.05 mm。为确保焊点最大，引脚焊盘应位于电路板焊盘中央。

芯片级封装的底部有一个居中的裸露焊盘用于散热，PCB的散热垫至少应与此裸露焊盘一样大。在PCB上，散热焊盘与焊盘图形内边的间距至少应为0.25 mm，以确保不会发生短路。

PCB散热焊盘上可以开散热通孔，以改善封装的散热性能。散热通孔应与散热焊盘合为一体，间距为1.2 mm。通孔直径应在0.3 mm至0.33 mm之间，通孔管应镀以1盎司的铜，以堵住通孔。请将PCB散热焊盘连接到AGND。

ADF4159在FMCW雷达中的应用

图55显示ADF4159应用于频率调制连续波(FMCW)雷达系统。在FMCW雷达系统中，ADF4159用于产生此类型雷达所必需的锯齿或三角斜坡。

过去，PLL直接由直接数字频率合成器(DDS)驱动以产生所需类型的波形。由于ADF4159上实现的波形产生机制，DDS不再使用，使成本得以降低。PLL解决方案优于另一

种产生FMCW斜坡的方法(以DAC直接驱动VCO)，这种方法需要补偿VCO调谐特性的非线性度。PLL方法无需校准便可提供高度线性的斜坡。

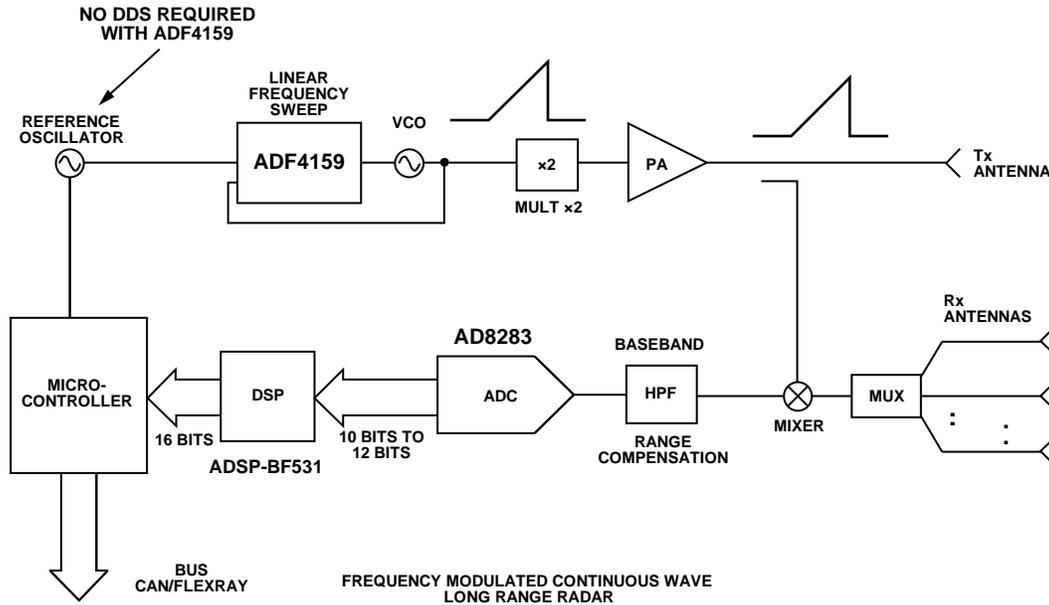
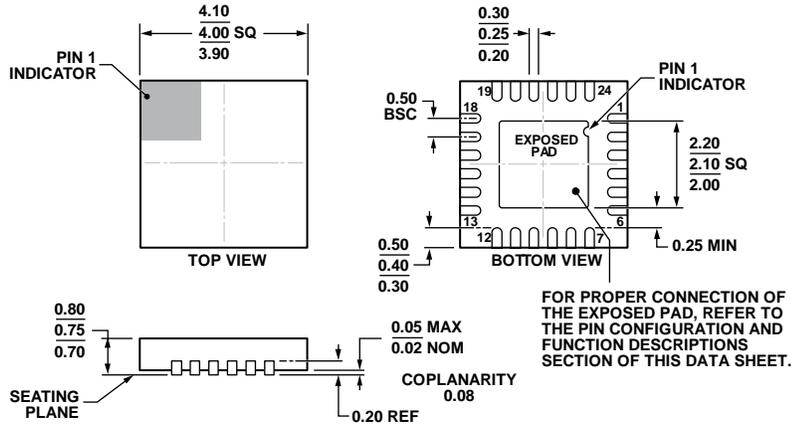


图55. 采用ADF4159的FMCW雷达

10849-043

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD-8.

图56. 24引脚引脚架芯片级封装[LFCSP_WQ]
4 mm x 4 mm超薄体
(CP-24-10)
尺寸单位: mm

06-11-2012-A

订购指南

| 订购指南型号 ^{1,2} | 温度范围 | 封装描述 | 封装选项 |
|-----------------------|--------------|-------------------------------------|----------|
| ADF4159CCPZ | -40°C至+125°C | 24引脚引线框芯片级封装 [LFCSP_WQ] | CP-24-10 |
| ADF4159CCPZ-RL7 | -40°C至+125°C | 24引脚引线框芯片级封装 [LFCSP_WQ] | CP-24-10 |
| ADF4159WCCPZ | -40°C至+125°C | 24引脚引线框芯片级封装 [LFCSP_WQ] | CP-24-10 |
| ADF4159WCCPZ-RL7 | -40°C至+125°C | 24引脚引线框芯片级封装 [LFCSP_WQ] | CP-24-10 |
| EV-ADF4159EB1Z | | 评估板(12 GHz VCO、284 kHz环路带宽、48°相位裕量) | |
| EV-ADF4159EB3Z | | 评估板(设置为外部、SMA连接VCO板; 未安装滤波器) | |

¹ Z = 符合RoHS标准的器件。

² W = 通过汽车应用认证。

汽车应用产品

ADF4159W型号的生产工艺受到严格控制, 以满足汽车应用的质量和可靠性要求。请注意, 车用型号的技术规格可能不同于商用型号; 因此, 设计人员应仔细阅读本数据手册的技术规格部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告, 请联系当地ADI客户代表。