

### 产品特性

可配置的8通道ADC/DAC/GPIO

可配置为下列任意组合：

8个12位DAC通道

8个12位ADC通道

8个通用数字输入/输出引脚

集成温度传感器

SPI接口

提供下列封装：

16引脚、2 mm × 2 mm WLCSP封装

16引脚、3 mm × 3 mm LFCSP封装

16引脚TSSOP封装

### 应用

控制与监测

通用模拟和数字输入/输出

### 概述

AD5592R/AD5592R-1集成8个可单独配置为数模转换器(DAC)输出、模数转换器(ADC)输入、数字输出或数字输入的I/Ox引脚(I/O0至I/O7)。I/Ox引脚配置为模拟输出时，由12位DAC驱动。DAC输出范围为0 V至 $V_{REF}$ 或0 V至 $2 \times V_{REF}$ 。I/Ox引脚配置为模拟输入时，通过模拟多路复用器连接至

12位ADC。ADC输入范围为0 V至 $V_{REF}$ 或0 V至 $2 \times V_{REF}$ 。ADC的总吞吐速率为400 kSPS。I/Ox引脚还可配置为数字、通用输入或输出(GPIO)引脚。通过串行外设接口(SPI)执行写/读操作，可分别访问GPIO写数据寄存器或GPIO读配置寄存器，从而置位或回读GPIO引脚状态。

AD5592R/AD5592R-1集成2.5 V、25 ppm/°C基准电压源(默认关闭)和温度指示器(指示芯片温度)。温度值回读为ADC读序列的一部分。

AD5592R/AD5592R-1提供16引脚2 mm × 2 mm WLCSP、16引脚3 mm × 3 mm LFCSP和16引脚TSSOP三种封装。工作温度范围为-40°C至+105°C。

表1. 相关产品

产品型号	说明
AD5593R	AD5592R 同等产品，具有 $V_{LOGIC}$ 和RESET引脚及I <sup>2</sup> C接口

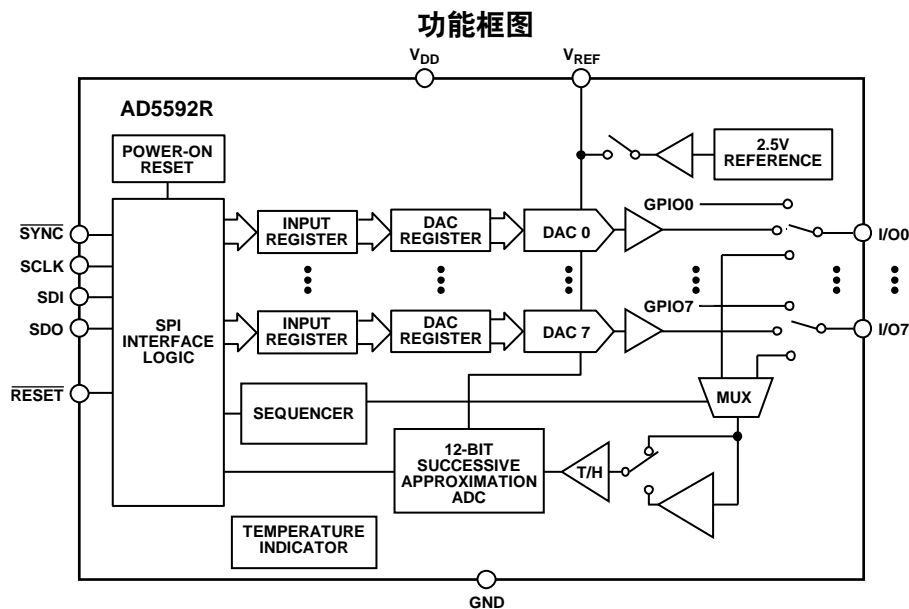


图1. AD5592R功能框图

Rev. A

### Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com](http://www.analog.com)

## 目录

产品特性 .....	1	串行接口 .....	24
应用 .....	1	上电时间 .....	24
概述 .....	1	写入模式 .....	24
功能框图 .....	1	读取模式 .....	24
修订历史 .....	2	配置AD5592R/AD5592R-1 .....	25
功能框图(AD5592R-1) .....	3	通用控制寄存器 .....	26
技术规格 .....	4	DAC写操作 .....	27
时序特性 .....	7	DAC回读 .....	28
绝对最大额定值 .....	9	ADC操作 .....	29
热阻 .....	9	GPIO操作 .....	33
ESD警告 .....	9	三态引脚 .....	35
引脚配置和功能描述 .....	10	85 k $\Omega$ 上拉电阻引脚 .....	35
典型性能参数 .....	14	关断模式 .....	36
术语 .....	19	复位功能 .....	37
ADC术语 .....	19	回读和LDAC模式寄存器 .....	37
DAC术语 .....	20	应用信息 .....	38
工作原理 .....	22	微处理器接口 .....	38
DAC部分 .....	22	AD5592R/AD5592R-1与SPI接口 .....	38
ADC部分 .....	23	AD5592R/AD5592R-1与SPORT接口 .....	38
GPIO部分 .....	23	布局布线指南 .....	38
内部基准电压源 .....	23	外形尺寸 .....	39
RESET(复位)功能 .....	23	订购指南 .....	40
温度指示器 .....	23		

## 修订历史

### 2014年10月 — 修订版0至修订版A

增加16引脚TSSOP .....	通篇
更改表2中的增益误差 .....	4
更改表6 .....	10
增加图6和表8 .....	12
增加图8和表10 .....	14
更改表12 .....	25
“外形尺寸”部分增加图48 .....	40
更改“订购指南”部分 .....	41

### 2014年8月 — 修订版0: 初始版

功能框图(AD5592R-1)

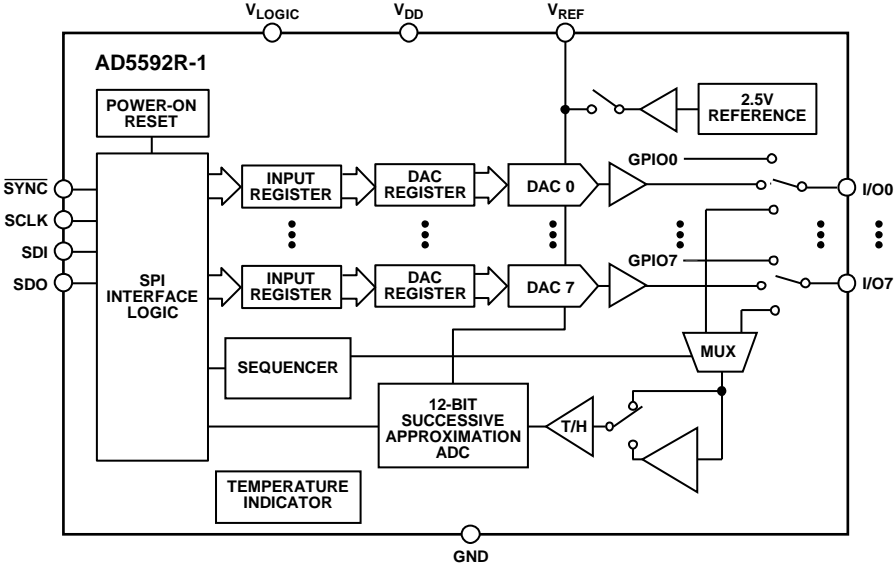


图2. AD5592R-1功能框图

12506-202

# AD5592R

## 技术规格

除非另有说明,  $V_{DD} = 2.7\text{ V}$ 至 $5.5\text{ V}$ ,  $V_{REF} = 2.5\text{ V}$ (外部),  $R_L = 2\text{ k}\Omega$ 接GND,  $C_L = 200\text{ pF}$ 接GND,  $T_A = T_{MIN}$ 至 $T_{MAX}$ , 温度范围 =  $-40^\circ\text{C}$ 至 $+105^\circ\text{C}$ 。

表2.

参数	最小值	典型值	最大值	单位 <sup>1</sup>	测试条件/注释
ADC性能					$f_{IN} = 10\text{ kHz}$ 正弦波
分辨率		12		位	
输入范围	0		$V_{REF}$	V	使用内部ADC缓冲器时, 存在0 V至5 mV的死区
	0		$2 \times V_{REF}$	V	
积分非线性(INL)	-2		+2	LSB	
差分非线性(DNL)	-1		+1	LSB	
失调误差			$\pm 5$	mV	
增益误差			0.3	% FSR	
吞吐速率 <sup>2</sup>			400	kSPS	
跟踪时间( $t_{TRACK}$ ) <sup>2</sup>	500			ns	
转换时间( $t_{CONV}$ ) <sup>2</sup>			2	$\mu\text{s}$	
信噪比(SNR)		69		dB	$V_{DD} = 2.7\text{ V}$ , 输入范围 = 0 V至 $V_{REF}$
		67		dB	$V_{DD} = 5.5\text{ V}$ , 输入范围 = 0 V至 $V_{REF}$
		61		dB	$V_{DD} = 5.5\text{ V}$ , 输入范围 = 0 V至 $2 \times V_{REF}$
信纳比(SINAD)		69		dB	$V_{DD} = 2.7\text{ V}$ , 输入范围 = 0 V至 $V_{REF}$
		67		dB	$V_{DD} = 3.3\text{ V}$ , 输入范围 = 0 V至 $V_{REF}$
		60		dB	$V_{DD} = 5.5\text{ V}$ , 输入范围 = 0 V至 $2 \times V_{REF}$
总谐波失真(THD)		-91		dB	$V_{DD} = 2.7\text{ V}$ , 输入范围 = 0 V至 $V_{REF}$
		-89		dB	$V_{DD} = 3.3\text{ V}$ , 输入范围 = 0 V至 $V_{REF}$
		-72		dB	$V_{DD} = 5.5\text{ V}$ , 输入范围 = 0 V至 $2 \times V_{REF}$
峰值谐波或杂散噪声(SFDR)		91		dB	$V_{DD} = 2.7\text{ V}$ , 输入范围 = 0 V至 $V_{REF}$
		91		dB	$V_{DD} = 3.3\text{ V}$ , 输入范围 = 0 V至 $V_{REF}$
		72		dB	$V_{DD} = 5.5\text{ V}$ , 输入范围 = 0 V至 $2 \times V_{REF}$
孔径延迟 <sup>2</sup>		15		ns	$V_{DD} = 3\text{ V}$
		12		ns	$V_{DD} = 5\text{ V}$
孔径抖动 <sup>2</sup>		50		ps	
通道间隔隔离度		-95		dB	$f_{IN} = 5\text{ kHz}$
输入电容		45		pF	
全功率带宽		8.2		MHz	3 dB时
		1.6		MHz	0.1 dB时
DAC性能 <sup>3</sup>					
分辨率		12		位	
输出范围	0		$V_{REF}$	V	
	0		$2 \times V_{REF}$	V	
积分非线性(INL)	-1		+1	LSB	
差分非线性(DNL)	-1		+1	LSB	
失调误差	-3		+3	mV	
失调误差漂移 <sup>2</sup>		8		$\mu\text{V}/^\circ\text{C}$	
增益误差			$\pm 0.2$	% FSR	输出范围 = 0 V至 $V_{REF}$
			$\pm 0.1$	% FSR	输出范围 = 0 V至 $2 \times V_{REF}$
零代码误差		0.65	2	mV	
总不可调整误差		$\pm 0.03$	$\pm 0.25$	% FSR	输出范围 = 0 V至 $V_{REF}$
		$\pm 0.015$	$\pm 0.1$	% FSR	输出范围 = 0 V至 $2 \times V_{REF}$
容性负载稳定性 <sup>2</sup>			2	nF	$R_{LOAD} = \infty$
			10	nF	$R_{LOAD} = 1\text{ k}\Omega$
阻性负载	1			k $\Omega$	
短路电流		25		mA	

参数	最小值	典型值	最大值	单位 <sup>1</sup>	测试条件/注释
直流串扰 <sup>2</sup>	-4		+4	μV	单通道、满量程输出变化引起
直流输出阻抗		0.2		Ω	
直流电源抑制比(PSRR) <sup>2</sup>		0.15		mV/V	DAC代码 = 中间电平, $V_{DD} = 3V \pm 10\%$ 或 $5V \pm 10\%$
供电轨上的负载阻抗 <sup>4</sup>		25		Ω	
负载调整率		200		μV/mA	$V_{DD} = 5V \pm 10\%$ , DAC代码 = 中间电平, $-10mA \leq I_{OUT} \leq +10mA$
		200		μV/mA	$V_{DD} = 3V \pm 10\%$ , DAC代码 = 中间电平, $-10mA \leq I_{OUT} \leq +10mA$
上电时间		7		μs	退出关断模式, $V_{DD} = 5V$
交流规格					
压摆率		1.25		V/μs	测量范围为满量程的10%至90%
建立时间		6		μs	1/4量程至3/4量程, 建立至1LSB
DAC毛刺脉冲		2		nV-sec	
DAC间串扰		1		nV-sec	
数字串扰		0.1		nV-sec	
模拟串扰		1		nV-sec	
数字馈通		0.1		nV-sec	
乘法带宽		240		kHz	DAC代码 = 满量程, 输出范围 = 0V至 $V_{REF}$
输出电压噪声频谱密度		200		nV/√Hz	DAC代码 = 中间电平, 输出范围 = 0V至 $2 \times V_{REF}$ , 测量频率为10kHz
信噪比(SNR)		81		dB	
峰值谐波或杂散噪声(SFDR)		77		dB	
信纳比(SINAD)		74		dB	
总谐波失真(THD)		-76		dB	
基准输入					
$V_{REF}$ 输入电压	1		$V_{DD}$	V	
直流漏电流	-1		+1	μA	无I/Ox引脚配置为DAC
基准输入阻抗		12		kΩ	DAC输出范围 = 0V至 $2 \times V_{REF}$
		24		kΩ	DAC输出范围 = 0V至 $V_{REF}$
基准输出					
$V_{REF}$ 输出电压	2.495	2.5	2.505	V	环境温度
$V_{REF}$ 温度系数		20		ppm/°C	
容性负载稳定性		5		μF	$R_L = 2k\Omega$
输出阻抗 <sup>2</sup>		0.15		Ω	$V_{DD} = 2.7V$
		0.7		Ω	$V_{DD} = 5V$
输出电压噪声		10		μV p-p	0.1 Hz至10 Hz
输出电压噪声密度		240		nV/√Hz	环境温度, $f = 10kHz$ , $C_L = 10nF$
电压调整率		20		μV/V	环境温度, $V_{DD}$ 扫描范围从2.7V至5.5V
		10		μV/V	环境温度, $V_{DD}$ 扫描范围从2.7V至3.3V
负载调整率					
源电流		210		μV/mA	环境温度, $-5mA \leq$ 负载电流 $\leq +5mA$
吸电流		120		μV/mA	环境温度, $-5mA \leq$ 负载电流 $\leq +5mA$
输出电流负载能力		±5		mA	$V_{DD} \geq 3V$
GPIO输出					
$I_{SOURCE}, I_{SINK}$		1.6		mA	
输出电压					
高( $V_{OH}$ )	$V_{DD} - 0.2$			V	$I_{SOURCE} = 1mA$
低( $V_{OL}$ )			0.4	V	$I_{SOURCE} = 1mA$

# AD5592R

参数	最小值	典型值	最大值	单位 <sup>1</sup>	测试条件/注释
GPIO输入					
输入电压					
高( $V_{IH}$ )	$0.7 \times V_{DD}$			V	
低( $V_{IL}$ )			$0.3 \times V_{DD}$	V	
输入电容		20		pF	
迟滞		0.2		V	
输入电流		$\pm 1$		$\mu A$	
逻辑输入					
AD5592R输入电压					
高( $V_{INH}$ )	$0.7 \times V_{DD}$			V	
低( $V_{INL}$ )			$0.3 \times V_{DD}$	V	
AD5592R-1输入电压					
高( $V_{INH}$ )	$0.7 \times V_{LOGIC}$			V	
低( $V_{INL}$ )			$0.3 \times V_{LOGIC}$	V	
输入电流( $I_{IN}$ )	-1		+1	$\mu A$	典型值10 nA, $\overline{RESET} = 1 \mu A$ (典型值)
输入电容( $C_{IN}$ )			10	pF	
逻辑输出(SDO)					
输出高电压( $V_{OH}$ )					
AD5592R	$V_{DD} - 0.2$			V	$I_{SOURCE} = 200 \mu A, V_{DD} = 2.7 V$ 至5.5 V
AD5592R-1	$V_{LOGIC} - 0.2$			V	$I_{SOURCE} = 200 \mu A, V_{DD} = 2.7 V$ 至5.5 V
输出低电压( $V_{OL}$ )			0.4	V	$I_{SINK} = 200 \mu A$
浮空态输出电容		10		pF	
温度传感器 <sup>2</sup>					
分辨率		12		Bits	
工作范围	-40		+105	$^{\circ}C$	
精度		$\pm 3$		$^{\circ}C$	
跟踪时间			5	$\mu s$	ADC缓冲器使能
			20	$\mu s$	ADC缓冲器禁用
电源要求					
$V_{DD}$	2.7		5.5	V	
$I_{DD}$			2.7	mA	数字输入 = 0 V或 $V_{DD}$ , I/O0至I/O7配置为DAC和ADC, 内部基准电压源开启, ADC缓冲器开启, DAC代码 = 0xFFF, DAC和ADC的范围为0 V至 $2 \times V_{REF}$
关断模式			3.5	$\mu A$	
$V_{DD} = 5 V$ (正常模式)		1.6		mA	I/O0至I/O7为DAC, 内部基准电压源, 增益 = 2
		1		mA	I/O0至I/O7为DAC, 外部基准电压源, 增益 = 2
		2.4		mA	I/O0至I/O7为DAC并由ADC采样, 内部基准电压源, 增益 = 2
		1.1		mA	I/O0至I/O7为DAC并由ADC采样, 外部基准电压源, 增益 = 2
		1		mA	I/O0至I/O7为ADC, 内部基准电压源, 增益 = 2
		0.75		mA	I/O0至I/O7为ADC, 外部基准电压源, 增益 = 2
		0.5		mA	I/O0至I/O7为通用输出
		0.5		mA	I/O0至I/O7为通用输入
		0.5		mA	I/O0至I/O3为通用输出, I/O4至I/O7为通用输入

参数	最小值	典型值	最大值	单位 <sup>1</sup>	测试条件/注释
$V_{DD} = 3\text{ V}$ (正常模式)		1.1		mA	I/O0至I/O7为DAC, 内部基准电压源, 增益 = 1
		1		mA	I/O0至I/O7为DAC, 外部基准电压源, 增益 = 1
		1.1		mA	I/O0至I/O7为DAC并由ADC采样, 内部基准电压源, 增益 = 1
		0.78		mA	I/O0至I/O7为DAC并由ADC采样, 外部基准电压源, 增益 = 1
		0.75		mA	I/O0至I/O7为ADC, 内部基准电压源, 增益 = 1
		0.5		mA	I/O0至I/O7为ADC, 外部基准电压源, 增益 = 1
		0.45		mA	I/O0至I/O7为通用输出
		0.45		mA	I/O0至I/O7为通用输入

<sup>1</sup> 除非另有说明, 所有用分贝(dB)表示的规格均参考满量程输入(FSR), 并用低于满量程0.5 dB的输入信号进行测试。

<sup>2</sup> 通过设计和特性保证, 但未经生产测试。

<sup>3</sup> 除非另有说明, 直流规格均在输出端无负载的情况下测得。线性度计算使用8至4095的代码范围。当 $V_{REF} = V_{DD}$ 时, 存在一个10 mV的上行死区。

<sup>4</sup> 从任一供电轨吸取负载电流时, 相对于该供电轨的输出电压裕量受输出器件的25  $\Omega$ 典型通道电阻限制。例如, 当吸电流为1 mA时, 最小输出电压 =  $25\ \Omega \times 1\ \text{mA} = 25\ \text{mV}$ (见图32)。

## 时序特性

通过设计和特性保证, 未经生产测试。除非另有说明, 所有输入信号均在 $t_R = t_F = 5\ \text{ns}$ (10%至90%的 $V_{DD}$ )情况下标定并从 $(V_{IL} + V_{IH})/2$ 电平起开始计时,  $T_A = T_{MIN}$  至  $T_{MAX}$ 。

表3. AD5592R时序特性

参数	$2.7\text{ V} \leq V_{DD} < 3\text{ V}$	$3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	单位	测试条件/注释
$t_1$	33	20	ns(最小值)	SCLK周期时间(写操作)
	50	50	ns(最小值)	SCLK周期时间(读操作)
$t_2$	16	10	ns(最小值)	SCLK高电平时间
$t_3$	16	10	ns(最小值)	SCLK低电平时间
$t_4$	15	10	ns(最小值)	$\overline{\text{SYNC}}$ 到SCLK下降沿建立时间
	2	2	$\mu\text{s}$ (最大值)	$\overline{\text{SYNC}}$ 到SCLK下降沿建立时间
$t_5$	7	7	ns(最小值)	数据建立时间
$t_6$	5	5	ns(最小值)	数据保持时间
$t_7$	15	10	ns(最小值)	SCLK下降沿到 $\overline{\text{SYNC}}$ 上升沿
$t_8$	30	30	ns(最小值)	最小 $\overline{\text{SYNC}}$ 高电平时间(寄存器写操作)
	60	60	ns(最小值)	最小 $\overline{\text{SYNC}}$ 高电平时间(寄存器读操作)
$t_9$	0	0	ns(最小值)	$\overline{\text{SYNC}}$ 上升沿到下一个SCLK下降沿
$t_{10}$	25	25	ns(最大值)	SCLK上升沿到SDO有效

# AD5592R

表4. AD5592R-1时序特性

参数	$1.8\text{V} \leq V_{\text{Logic}} < 3\text{V}$	$3\text{V} \leq V_{\text{Logic}} \leq 5.5\text{V}$	单位	测试条件/注释
$t_1$	33	20	ns(最小值)	SCLK周期时间(写操作)
	50	50	ns(最小值)	SCLK周期时间(读操作)
$t_2$	16	10	ns(最小值)	SCLK高电平时间
$t_3$	16	10	ns(最小值)	SCLK低电平时间
$t_4$	15	10	ns(最小值)	$\overline{\text{SYNC}}$ 到SCLK下降沿建立时间
	2	2	$\mu\text{s}$ (最大值)	$\overline{\text{SYNC}}$ 到SCLK下降沿建立时间
$t_5$	7	7	ns(最小值)	数据建立时间
$t_6$	5	5	ns(最小值)	数据保持时间
$t_7$	15	10	ns(最小值)	SCLK下降沿到 $\overline{\text{SYNC}}$ 上升沿
$t_8$	30	30	ns(最小值)	最小 $\overline{\text{SYNC}}$ 高电平时间(写操作)
	60	60	ns(最小值)	最小 $\overline{\text{SYNC}}$ 高电平时间(寄存器读操作)
$t_9$	0	0	ns(最小值)	$\overline{\text{SYNC}}$ 上升沿到下一个SCLK下降沿
$t_{10}$	40	25	ns(最大值)	SCLK上升沿到SDO有效

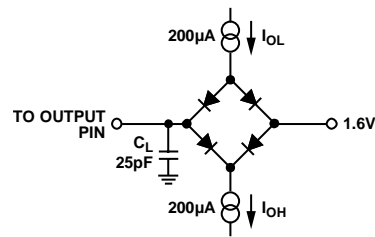


图3. 逻辑输出(SDO)时序规格的负载电路

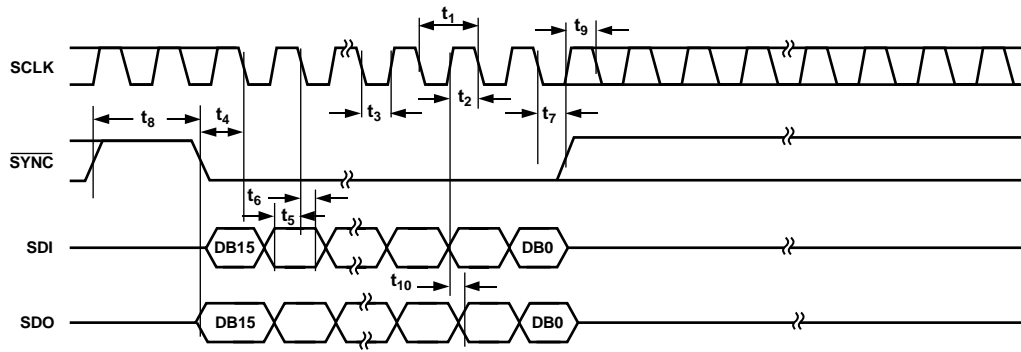


图4. 时序图



## 绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。100 mA以下的瞬态电流不会造成SCR闩锁。

表5.

参数	额定值
$V_{DD}$ 至GND	-0.3 V至+7 V
$V_{LOGIC}$ 至GND	-0.3 V至+7 V
模拟输入电压至GND	-0.3 V至 $V_{DD} + 0.3$ V
AD5592R	
数字输入电压至GND	-0.3 V至 $V_{DD} + 0.3$ V
数字输出电压至GND	-0.3 V至 $V_{DD} + 0.3$ V
AD5592R-1	
数字输入电压至GND	-0.3 V至 $V_{LOGIC} + 0.3$ V
数字输出电压至GND	-0.3 V至 $V_{LOGIC} + 0.3$ V
$V_{REF}$ 至GND	-0.3 V至 $V_{DD} + 0.3$ V
工作温度范围	-40°C至+105°C
存储温度范围	-65°C至+150°C
结温( $T_J$ 最大值)	150°C
引脚温度	JEDEC工业标准
焊接	J-STD-020

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

## 热阻

$\theta_{JA}$  针对最差条件，即器件焊接在电路板上实现表贴封装。

表6. 热阻

封装类型	$\theta_{JA}$	单位
16引脚 WLCSP	60	°C/W
16引脚 LFCSP	137	°C/W
16引脚 TSSOP	112	°C/W

## ESD警告



### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

# AD5592R

## 引脚配置和功能描述

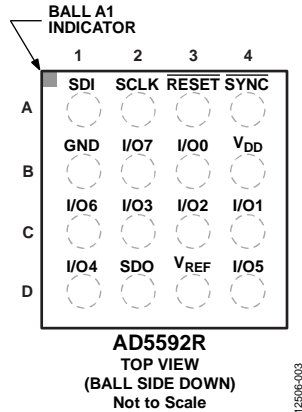


图5. AD5592R 16引脚WLCSP引脚配置

表7. AD5592R 16引脚WLCSP引脚功能描述

引脚编号	引脚名称	说明
A1	SDI	数据输入。逻辑输入。 待写入DAC和控制寄存器的数据通过此输入提供，并在SCLK的下降沿读入寄存器。
A2	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入输入移位寄存器。写入DAC时，数据能够以最高50 MHz的速率传输。执行转换或从AD5592R传输数据时，SCLK的最大速度为20 MHz。
A3	RESET	异步复位引脚。正常工作时，将该引脚接高电平。此引脚变为低电平时，AD5592R复位至默认配置。
A4	SYNC	同步。低电平有效控制输入。SYNC是输入数据的帧同步信号。 当SYNC变为低电平时，数据在后续16个时钟的下降沿读入。
B1	GND	AD5592R上所有电路的接地基准点。
B2	I/O7	输入/输出7。此引脚可配置为DAC、ADC或通用数字输入/输出。 此引脚的功能由I/Ox引脚配置寄存器决定(参见表13和表14)。 I/O7也可配置为BUSY信号，指示ADC转换正在进行中(参见表28和表29)。
B3, C4, C3, C2, D1, D4, C1	I/O0至I/O6	输入/输出0至输入/输出6。这些引脚可独立配置为DAC、ADC或通用数字输入/输出。 各引脚的功能由I/Ox引脚配置寄存器决定(参见表13和表14)。
B4	V <sub>DD</sub>	电源输入引脚。AD5592R工作电压范围为2.7 V至5.5 V，此引脚必须通过0.1 μF电容去耦至GND。
D2	SDO	数据输出。逻辑输出。ADC转换结果、寄存器读操作结果和温度传感器信息以串行数据流形式通过此输出提供。 各位在SCLK输入的上升沿逐个输出。MSB在SYNC下降沿置于SDO引脚。 SCLK空闲时可以处于高电平或低电平，因此，当SYNC为低电平时，下一位在SCLK下降沿之后的第一个上升沿输出(参见图4)。
D3	V <sub>REF</sub>	基准电压输入/输出。内部基准电压源使能时，此引脚提供2.5 V基准电压。 建议在V <sub>REF</sub> 引脚与GND之间连接一个0.1 μF电容，以实现AD5592R额定性能。 内部基准电压源禁用时，必须将外部基准电压源施加到此引脚。外部基准电压的范围为1 V至V <sub>DD</sub> 。

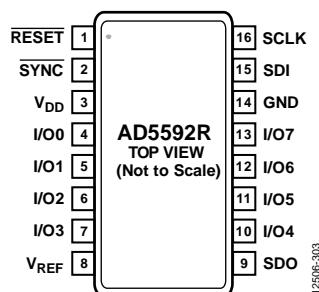


图6. AD5592R 16引脚TSSOP引脚配置

表8. AD5592R 16引脚TSSOP引脚功能描述

引脚编号	引脚名称	说明
15	SDI	数据输入。逻辑输入。 待写入DAC和控制寄存器的数据通过此输入提供，并在SCLK的下降沿读入寄存器。
16	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入输入移位寄存器。 写入DAC时，数据能够以最高50 MHz的速率传输。 执行转换或从AD5592R传输数据时，SCLK的最大速度为20 MHz。
1	RESET	异步复位引脚。正常工作时，将该引脚接高电平。此引脚变为低电平时，AD5592R复位至默认配置。
2	SYNC	同步。低电平有效控制输入。SYNC是输入数据的帧同步信号。 当SYNC变为低电平时，数据在后续16个时钟的下降沿读入。
14	GND	AD5592R上所有电路的接地基准点。
13	I/O7	输入/输出7。此引脚可配置为DAC、ADC或通用数字输入/输出。 此引脚的功能由I/Ox引脚配置寄存器决定(参见表13和表14)。 I/O7也可配置为BUSY信号，指示ADC转换正在进行中(参见表28和表29)。
4, 5, 6, 7, 10, 11, 12	I/O0至I/O6	输入/输出0至输入/输出6。这些引脚可独立配置为DAC、ADC或通用数字输入/输出。 各引脚的功能由I/Ox引脚配置寄存器决定(参见表13和表14)。
3	V <sub>DD</sub>	电源输入引脚。AD5592R工作电压范围为2.7 V至5.5 V，此引脚必须通过0.1 μF电容去耦至GND。
9	SDO	数据输出。逻辑输出。 ADC转换结果、寄存器读操作结果和温度传感器信息以串行数据流形式通过此输出提供。 各位在SCLK输入的上升沿逐个输出。MSB在SYNC下降沿置于SDO引脚。 SCLK空闲时可以处于高电平或低电平，因此，当SYNC为低电平时，下一位在SCLK下降沿之后的第一个上升沿输出(参见图4)。
8	V <sub>REF</sub>	基准电压输入/输出。内部基准电压源使能时，此引脚提供2.5 V基准电压。 建议在V <sub>REF</sub> 引脚与GND之间连接一个0.1 μF电容，以实现AD5592R额定性能。 内部基准电压源禁用时，必须将外部基准电压源施加到此引脚。外部基准电压的范围为1 V至V <sub>DD</sub> 。

# AD5592R

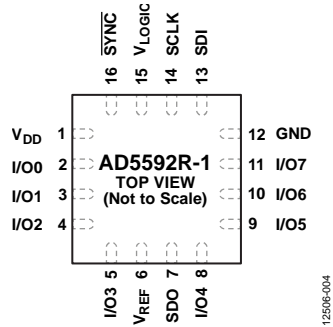


图7. AD5592R-1 16引脚LFCSP引脚配置

表9. AD5592R-1 16引脚LFCSP引脚功能描述

引脚编号	引脚名称	说明
1	V <sub>DD</sub>	电源输入引脚。AD5592R-1工作电压范围为2.7V至5.5V，此引脚必须通过0.1 μF电容去耦至GND。
2至5、8至10	I/O0至I/O6	输入/输出0至输入/输出6。这些引脚可独立配置为DAC、ADC或通用数字输入/输出。各引脚的功能由I/Ox引脚配置寄存器决定(参见表13和表14)。
6	V <sub>REF</sub>	基准电压输入/输出。内部基准电压源使能时，此引脚提供2.5V基准电压。建议在V <sub>REF</sub> 引脚与GND之间连接一个0.1 μF电容，以实现AD5592R-1额定性能。内部基准电压源禁用时，必须将外部基准电压源施加到此引脚。外部基准电压的范围为1V至V <sub>DD</sub> 。
7	SDO	数据输出。逻辑输出。 ADC转换结果、寄存器读操作结果和温度传感器信息以串行数据流形式通过此输出提供。各位在SCLK输入的上升沿逐个输出。MSB在SYNC下降沿置于SDO引脚。SCLK空闲时可以处于高电平或低电平，因此，当SYNC为低电平时，下一位在SCLK下降沿之后的第一个上升沿输出(参见图4)。
11	I/O7	输入/输出7。此引脚可配置为DAC、ADC或通用数字输入/输出。此引脚的功能由I/Ox引脚配置寄存器决定(参见表13和表14)。I/O7也可配置为BUSY信号，指示ADC转换正在进行中(参见表28和表29)。
12	GND	AD5592R-1上所有电路的接地基准点。
13	SDI	数据输入。逻辑输入。 待写入DAC和控制寄存器的数据通过此输入提供，并在SCLK的下降沿读入寄存器。
14	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入输入移位寄存器。 写入DAC时，数据能够以最高50 MHz的速率传输。 执行转换或从AD5592R-1传输数据时，SCLK的最大速度为20 MHz。
15	V <sub>LOGIC</sub>	接口电源。此引脚的电压范围为1.8V至5.5V。
16	SYNC	同步。低电平有效控制输入。SYNC是输入数据的帧同步信号。 当SYNC变为低电平时，数据在后续16个时钟的下降沿读入。

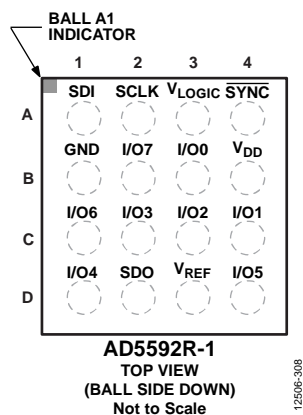


图8. AD5592R-1 16引脚WFCSP引脚配置

表10. AD5592R-1 16引脚WFCSP引脚功能描述

引脚编号	引脚名称	说明
B4	$V_{DD}$	电源输入引脚。AD5592R-1工作电压范围为2.7V至5.5V，此引脚必须通过0.1 $\mu$ F电容去耦至GND。
B3, C4, C3, C2, D1, D4, C1	I/O0至I/O6	输入/输出0至输入/输出6。这些引脚可独立配置为DAC、ADC或通用数字输入/输出。各引脚的功能由I/Ox引脚配置寄存器决定(参见表13和表14)。
D3	$V_{REF}$	基准电压输入/输出。内部基准电压源使能时，此引脚提供2.5V基准电压。建议在 $V_{REF}$ 引脚与GND之间连接一个0.1 $\mu$ F电容，以实现AD5592R-1额定性能。内部基准电压源禁用时，必须将外部基准电压源施加到此引脚。外部基准电压的范围为1V至 $V_{DD}$ 。
D2	SDO	数据输出。逻辑输出。ADC转换结果、寄存器读操作结果和温度传感器信息以串行数据流形式通过此输出提供。各位在SCLK输入的上升沿逐个输出。MSB在SYNC下降沿置于SDO引脚。SCLK空闲时可以处于高电平或低电平，因此，当SYNC为低电平时，下一位在SCLK下降沿之后的第一个上升沿输出(参见图4)。
B2	I/O7	输入/输出7。此引脚可配置为DAC、ADC或通用数字输入/输出。此引脚的功能由I/Ox引脚配置寄存器决定(参见表13和表14)。I/O7也可配置为BUSY信号，指示ADC转换正在进行中(参见表28和表29)。
B1	GND	AD5592R-1上所有电路的接地基准点。
A1	SDI	数据输入。逻辑输入。待写入DAC和控制寄存器的数据通过此输入提供，并在SCLK的下降沿读入寄存器。
A2	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入输入移位寄存器。写入DAC时，数据能够以最高50 MHz的速率传输。执行转换或从AD5592R-1传输数据时，SCLK的最大速度为20 MHz。
A3	$V_{LOGIC}$	接口电源。此引脚的电压范围为1.8V至5.5V。
A4	$\overline{SYNC}$	同步。低电平有效控制输入。 $\overline{SYNC}$ 是输入数据的帧同步信号。当 $\overline{SYNC}$ 变为低电平时，数据在后续16个时钟的下降沿读入。

## 典型性能参数

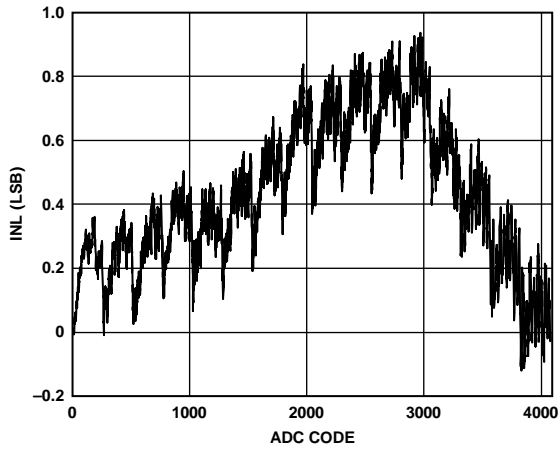


图9. ADC INL,  $V_{DD} = 5.5\text{ V}$

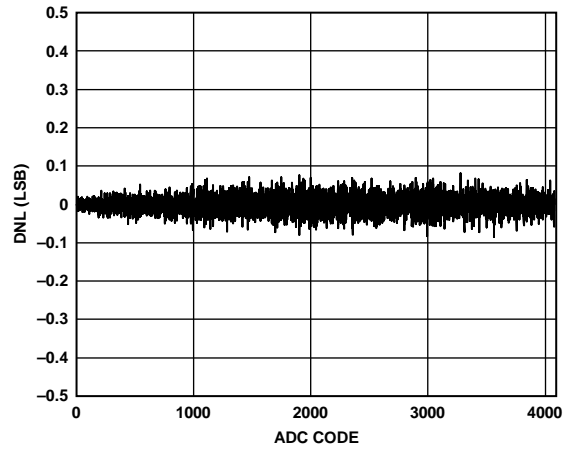


图12. ADC DNL,  $V_{DD} = 2.7\text{ V}$

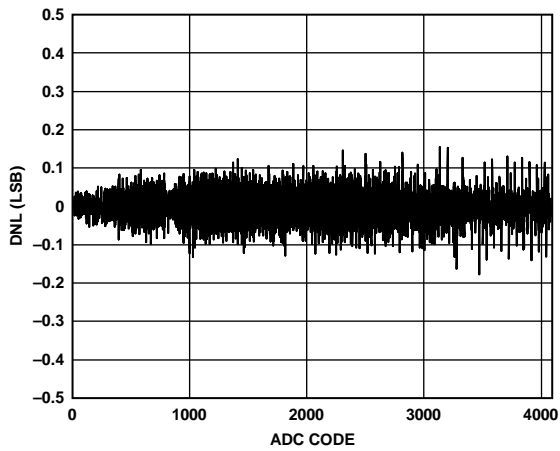


图10. ADC DNL,  $V_{DD} = 5.5\text{ V}$

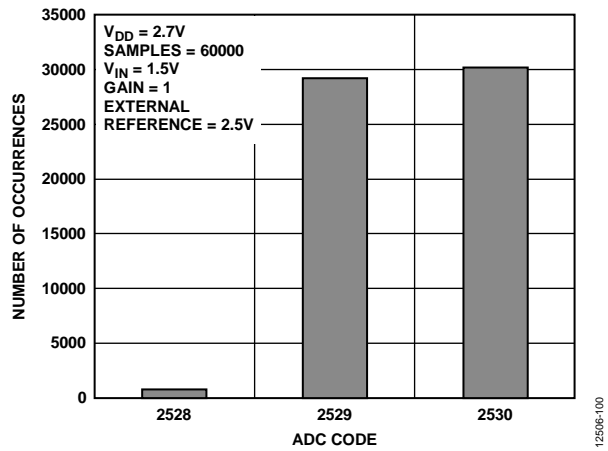


图13. ADC代码直方图,  $V_{DD} = 2.7\text{ V}$

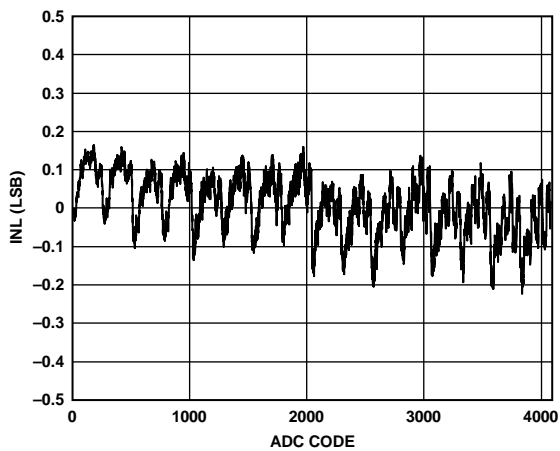


图11. ADC INL,  $V_{DD} = 2.7\text{ V}$

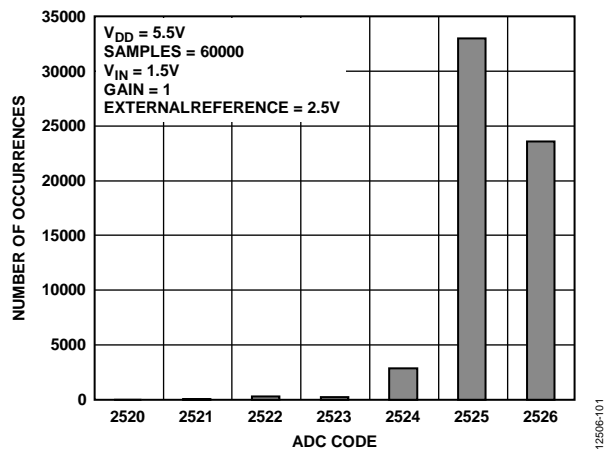


图14. ADC代码直方图,  $V_{DD} = 5.5\text{ V}$

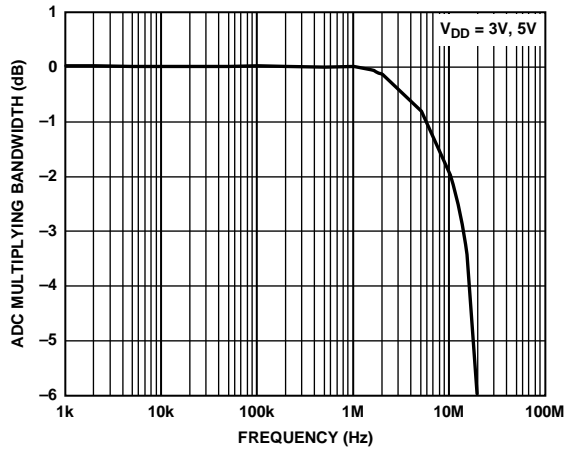


图15. ADC乘法带宽

12506-124

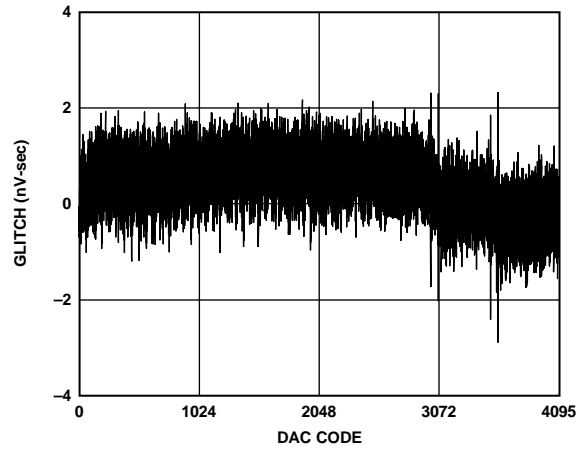


图18. DAC相邻代码毛刺

12506-126

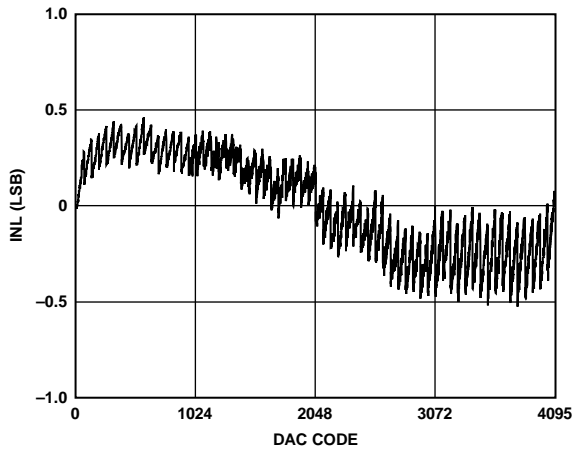


图16. DAC INL

12506-130

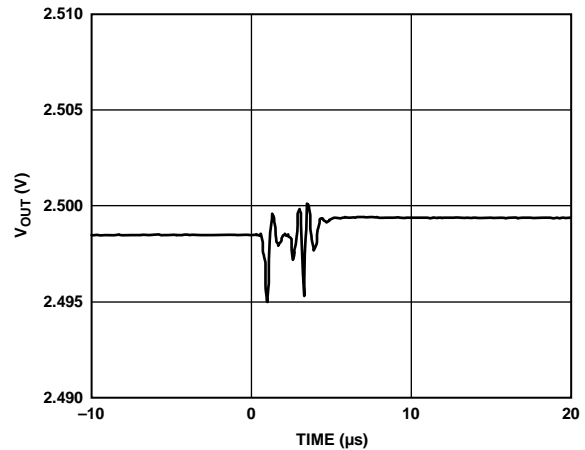


图19. DAC数模转换毛刺(上升)

12506-115

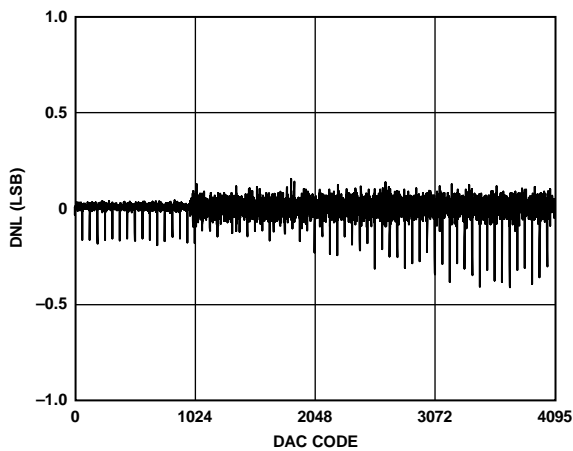


图17. DAC DNL

12506-127

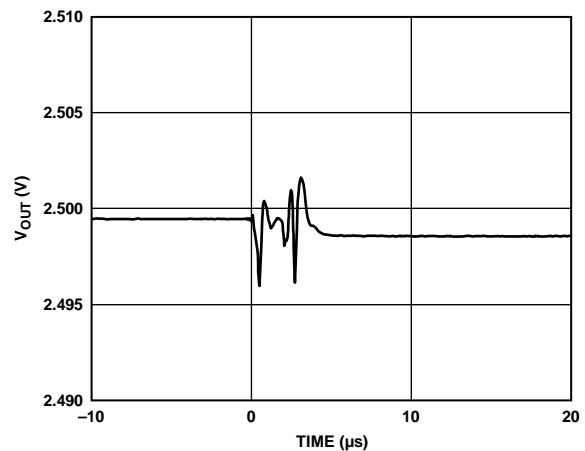


图20. DAC数模转换毛刺(下降)

12506-116

# AD5592R

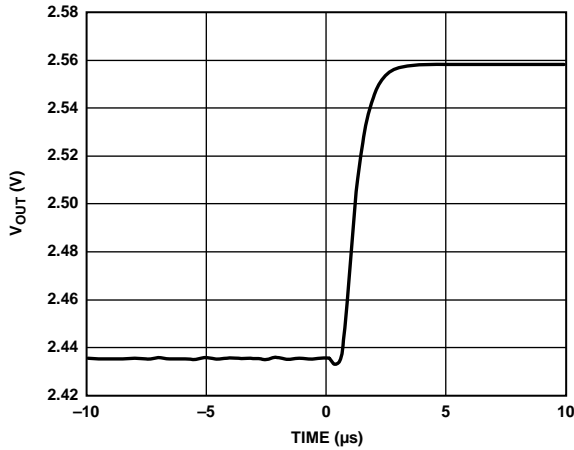


图21. DAC建立时间(100代码变化, 上升沿)

12506-119

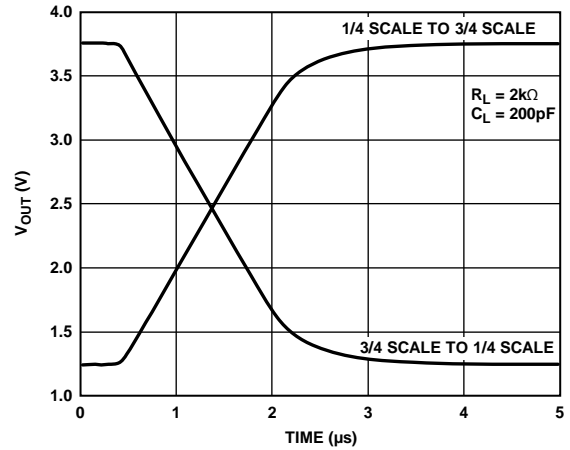


图24. DAC建立时间, 输出范围 = 0 V至 $2 \times V_{REF}$

12506-132

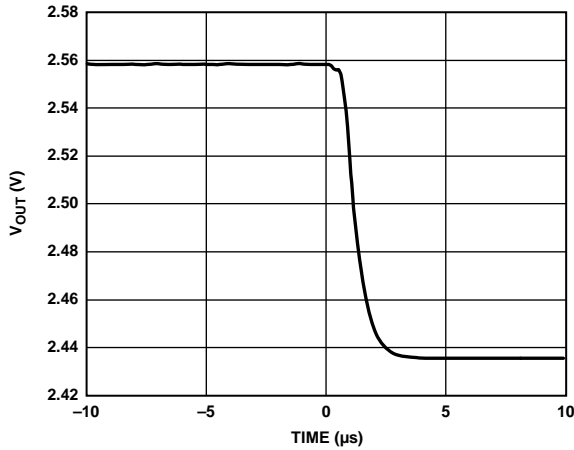


图22. DAC建立时间(100代码变化, 下降沿)

12506-120

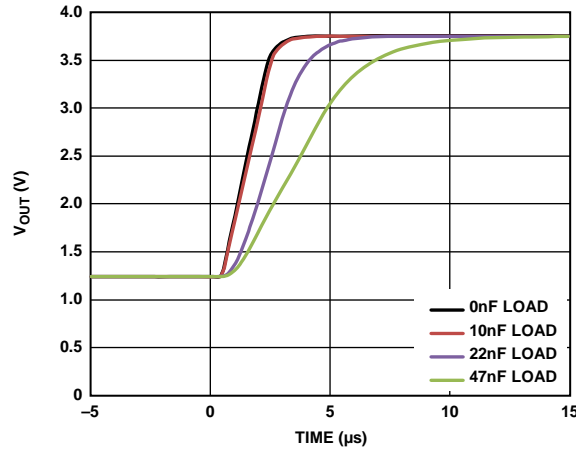


图25. 不同容性负载下的DAC建立时间

12506-121

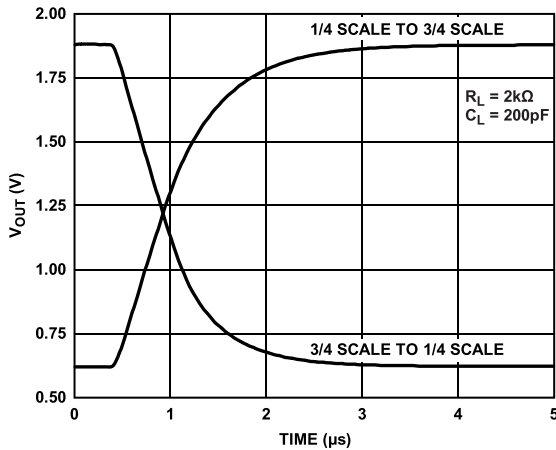


图23. DAC建立时间, 输出范围 = 0 V至 $V_{REF}$

12506-131

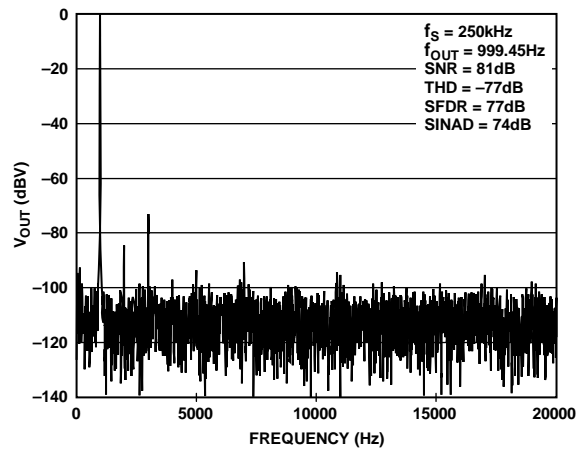


图26. DAC正弦波输出, 输出范围 = 0 V至 $2 \times V_{REF}$ , 带宽 = 0 Hz至20 kHz

12506-106



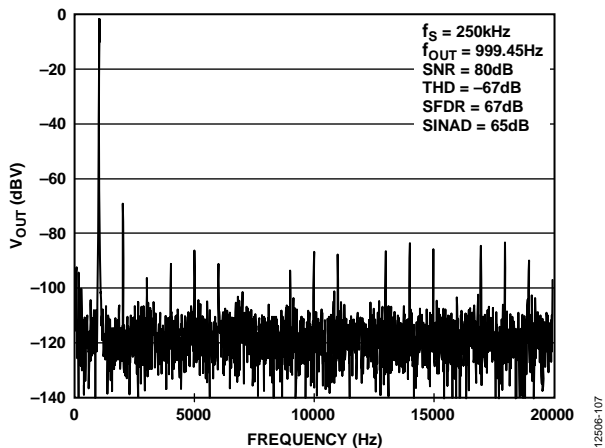


图27. DAC正弦波输出, 输出范围 = 0 V至 $V_{REF}$ , 带宽 = 0 Hz至20 kHz

12506-107

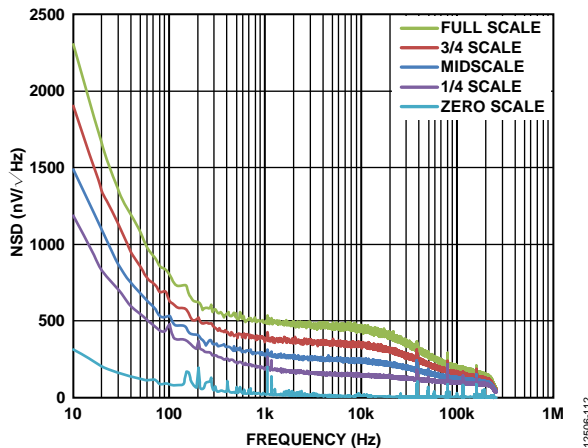


图30. DAC输出噪声频谱密度(NSD)

12506-112

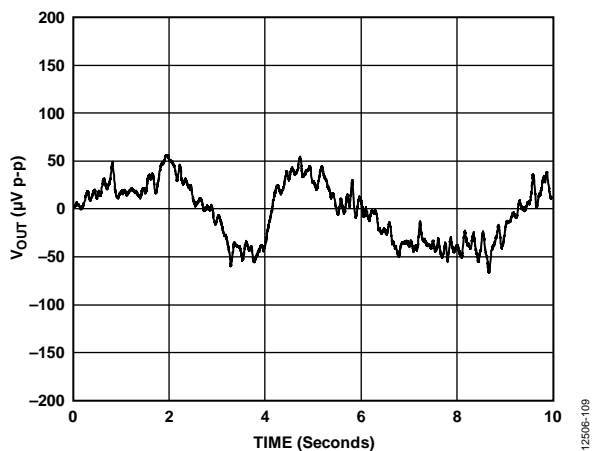


图28. DAC 1/f噪声(外部基准电压源)

12506-109

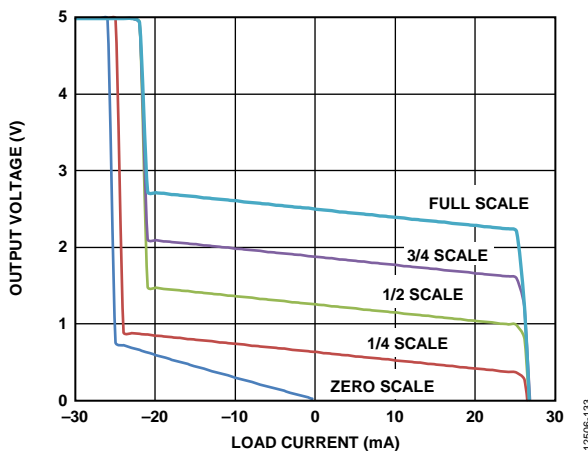


图31. DAC输出吸电流和源电流能力, 输出范围 = 0 V至 $V_{REF}$

12506-133

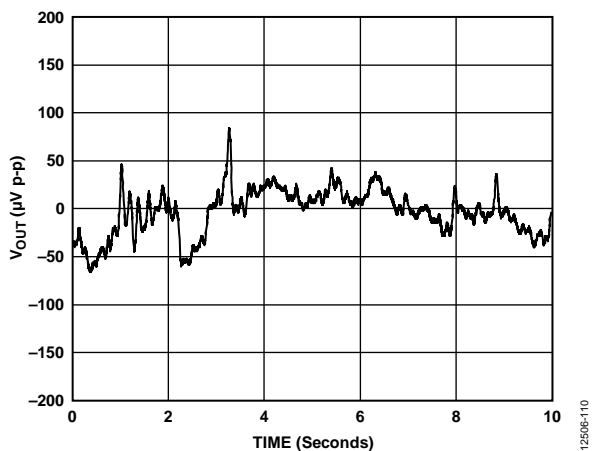


图29. DAC 1/f噪声(内部基准电压源)

12506-110

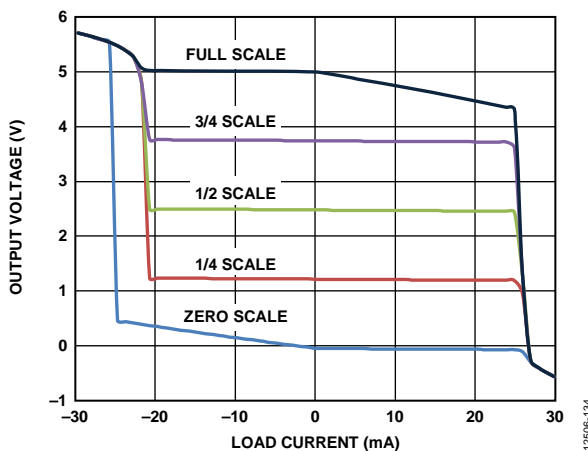


图32. DAC输出吸电流和源电流能力, 输出范围 = 0 V至 $2 \times V_{REF}$

12506-134

# AD5592R

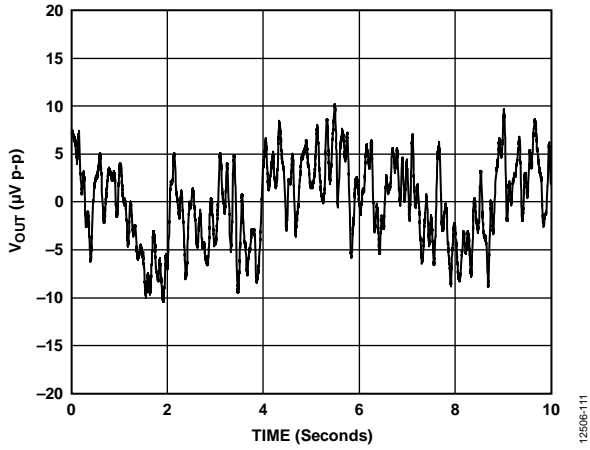


图33. 内部基准电压源1/σ噪声

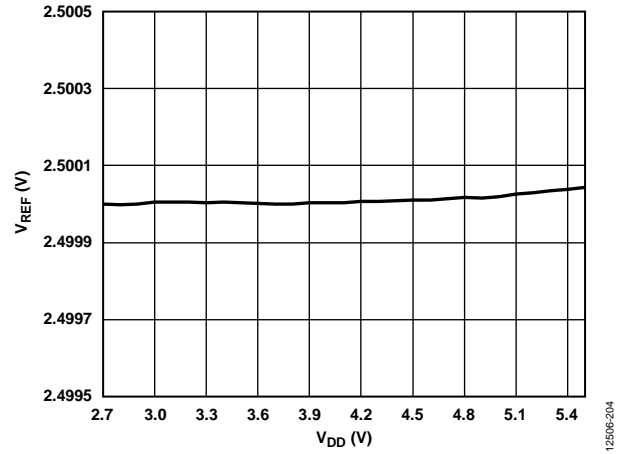


图35. 基准电压源电压调整率

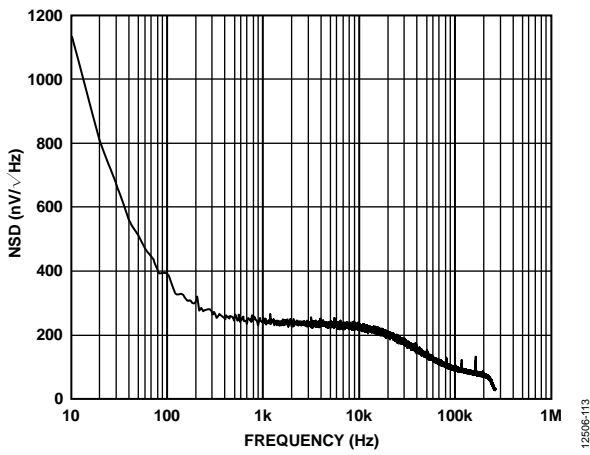


图34. 基准电压源噪声频谱密度(NSD)

## 术语

### ADC术语

#### 积分非线性(INL)

INL指ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。传递函数有两个端点，起点在低于第一个码转换的1 LSB处的零电平，终点在高于最后一个码转换的1 LSB处的满量程。

#### 差分非线性(DNL)

DNL指ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

#### 失调误差

失调误差指第一个码转换(从00 ... 000到00 ... 001)的跃变点与理想点(AGND + 1 LSB)的偏差。

#### 失调误差匹配

失调误差匹配是指任意两个通道之间的失调误差之差。

#### 增益误差

增益误差指在失调误差调零之后，最后一个码转换(从111 ... 110到111 ... 111)的跃变点与理想点( $V_{REF} - 1$  LSB)的偏差。

#### 通道间隔度

通道间隔度衡量通道之间的串扰水平。通过向所有未选定的ADC输入通道施加一个满量程5 kHz正弦波信号，并决定该信号在选定通道内的衰减程度来测量。此规格是针对AD5592R/AD5592R-1全部ADC通道的最差情况而言。

#### 采样保持器采集时间

采样保持器在 $\overline{SYNC}$ 下降沿进入保持模式，转换完成时回到跟踪模式。采样保持器采集时间是指采样保持放大器处于跟踪模式以使其输出达到并稳定在所施加输入信号 $\pm 1$  LSB范围内所需的最短时间，此时考虑输入信号存在阶跃变化。

#### 信纳比(SINAD)

信纳比(SINAD)是指在ADC输出端测得的信号对噪声及失真比。这里的信号是基波幅值的均方根值。噪声为所有达到采样频率一半( $f_s/2$ ，直流信号除外)的非基波信号之和。在数字化过程中，这个比值的大小取决于量化级数，量化级数越多，量化噪声就越小。对于一个正弦波输入的理想N位转换器，信纳比理论值计算公式为：

$$SINAD \text{ (dB)} = 6.02N + 1.76$$

因此，对于12位转换器，SINAD为74 dB。

#### 总谐波失真(THD)

THD指所有谐波均方根和与基波的比值。对于AD5592R/AD5592R-1，其定义为：

$$THD \text{ (dB)} = 20 \times \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中：

$V_1$ 是基波幅度的均方根值。

$V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 及 $V_6$ 是二次到六次谐波幅度的均方根值。

#### 峰值谐波或杂散噪声(SFDR)

峰值谐波或杂散噪声是指在ADC输出频谱(最高达 $f_s/2$ ，直流信号除外)中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于本底噪声内的ADC，它为噪声峰值。

## DAC术语

### 相对精度或积分非线性(INL)

对于DAC，相对精度或积分非线性是指DAC输出与通过DAC传递函数的两个端点的直线之间的最大偏差，单位为LSB。图16给出了典型的INL与代码的关系图。

### 差分非线性(DNL)

差分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 $\pm 1$  LSB的额定微分非线性可确保单调性。本DAC通过设计保证单调性。图17所示为典型DNL与代码的关系图。

### 零代码误差

零代码误差衡量将零电平码(0x000)载入DAC寄存器时的输出误差。理想情况下，输出为0 V。在AD5592R/AD5592R-1中，零代码误差始终为正值，因为在DAC和输出放大器中的失调误差的共同作用下，DAC输出不能低于0 V。零代码误差用mV表示。

### 增益误差

增益误差衡量DAC的量程误差，是指DAC传递特性的斜率与理想值之间的偏差，用%FSR表示。

### 失调误差漂移

失调误差漂移衡量失调误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

### 增益温度系数

增益温度系数用来衡量增益误差随温度的变化，用ppmFSR/ $^\circ\text{C}$ 表示。

### 失调误差

失调误差是指传递函数线性区内 $V_{\text{OUT}}$ (实际)和 $V_{\text{OUT}}$ (理想)之间的差值，用mV表示。失调误差可以为正，也可为负。

### 直流电源抑制比(PSRR)

PSRR表示电源电压变化对DAC输出的影响大小，是指DAC满量程输出的条件下 $V_{\text{OUT}}$ 变化量与 $V_{\text{DD}}$ 变化量之比，用mV/V表示。 $V_{\text{REF}}$ 保持在2 V，而 $V_{\text{DD}}$ 的变化范围为 $\pm 10\%$ 。

### 输出电压建立时间

输出电压建立时间是指对于一个 $\frac{1}{4}$ 至 $\frac{3}{4}$ 满量程输入变化，DAC输出建立为指定电平所需的时间。该时间从 $\overline{\text{SYNC}}$ 上升沿开始测量。

### 数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的编码输入变化时注入到模拟输出的脉冲。数模转换毛刺脉冲通常规定为毛刺的面积，用nV-sec表示，数字输入代码在主进位跃迁中改变1 LSB(0x7FF至0x800)时进行测量。

## 数字馈通

数字馈通衡量从DAC的数字输入注入到DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为nV-sec，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。

## 基准馈通

基准馈通是指DAC输出未更新时的DAC输出端的信号幅度与基准输入之比，用dB表示。

## 噪声频谱密度

噪声频谱密度衡量内部产生的随机噪声。随机噪声表示为频谱密度(nV/ $\sqrt{\text{Hz}}$ )。测量方法是将DAC加载到中间电平，然后测量输出端噪声。单位为nV/ $\sqrt{\text{Hz}}$ 。

## 直流串扰

直流串扰是一个DAC输出电平因响应另一个DAC输出变化而发生的直流变化。其测量方法是让一个DAC发生满量程输出变化(或软件关断并上电)，同时监控另一个保持中间电平的DAC。单位为 $\mu\text{V}$ 。

负载电流变化引起的直流串扰用来衡量一个DAC的负载电流变化对另一个保持中间电平的DAC的影响。单位为 $\mu\text{V}/\text{mA}$ 。

## 数字串扰

数字串扰是指一个输出为中间电平的DAC，其输出因响应另一个DAC的输入寄存器的满量程编码变化(全0至全1或相反)而引起的毛刺脉冲，该值在独立模式下进行测量，用nV-sec表示。

## 模拟串扰

模拟串扰是指一个DAC的输出因响应另一个DAC输出的变化引起毛刺脉冲，其测量方法是向一个DAC的输入寄存器加载满量程编码变化(全0至全1，或相反)，然后执行软件LDAC(参见表43和表44)并监控数字编码未改变的DAC的输出。毛刺面积用nV-sec表示。

## DAC间串扰

DAC间串扰是指一个DAC的输出因响应另一个DAC的数字编码变化和后续的模拟输出变化，而引起的毛刺脉冲，其测量方法是使用写入和更新命令让一个通道发生满量程编码变化(全0到全1，或相反)，同时监控处于中间电平的另一个通道的输出。毛刺的能量用nV-sec表示。

## 乘法带宽

DAC内部的放大器具有有限的带宽，乘法带宽即是衡量该有限带宽的指标。参考端的正弦波(DAC加载满量程编码)出现在输出端。乘法带宽指输出幅度降至输入幅度以下3 dB时的频率。

**基准电压温度系数(TC)**

基准电压源TC衡量基准输出电压随温度的变化。它利用黑盒法计算，即将TC定义为基准输出在给定温度范围内的最大变化，用ppm/°C表示；计算公式如下：

$$TC = \left[ \frac{V_{REF(MAX)} - V_{REF(MIN)}}{V_{REF(NOM)} \times Temp\ Range} \right] \times 10^6$$

其中：

$V_{REF(MAX)}$  是在整个温度范围内测量的最大基准电压输出。

$V_{REF(MIN)}$  是在整个温度范围内测量的最小基准电压输出。

$V_{REF(NOM)}$  是2.5 V的标称基准输出电压。

$Temp\ Range$  为额定温度范围-40°C至+105°C。

## 工作原理

AD5592R/AD5592R-1是可配置的8通道模拟和数字输入/输出端口，其8个引脚可独立配置为12位DAC输出通道、12位ADC输入通道、数字输入引脚或数字输出引脚。

各引脚的功能由相应的ADC、DAC或GPIO配置寄存器决定。更多信息参见“配置AD5592R/AD5592R-1”部分和表14。

### DAC部分

AD5592R/AD5592R-1包含8个12位DAC，采用分段式串DAC架构，内置输出缓冲器。图36为DAC架构的内部框图。

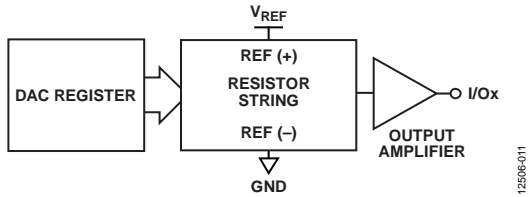


图36. DAC架构内部框图

DAC通道共用一个增益位，它可将输出范围设置为0 V至 $V_{REF}$ 或0 V至 $2 \times V_{REF}$ 。该增益位为所有通道所共用，因此无法将各通道设置为不同的输出范围。DAC的输入编码方式为直接二进制。理想输出电压可通过以下公式计算：

$$V_{OUT} = G \times V_{REF} \times \left( \frac{D}{2^N} \right)$$

其中：

$D$ 是载入DAC寄存器的二进制编码(0至4095)的十进制等效值。

$G = 1$ 时，输出范围为0 V至 $V_{REF}$ ； $G = 2$ 时，输出范围为0 V至 $2 \times V_{REF}$ 。

$N = 12$ 。

### 电阻串

简化的分段式电阻串DAC结构如图37所示。载入DAC寄存器的编码决定串上连接到输出缓冲器的开关状态。

串中的各电阻具有相同的值 $R$ ，因此串DAC必定是单调的。

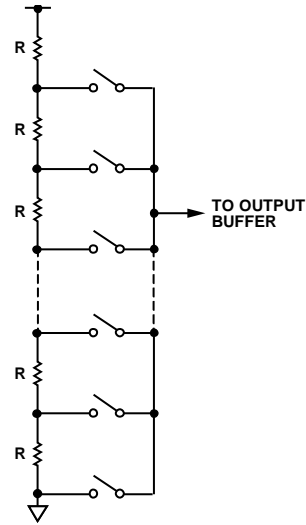


图37. 简化电阻串结构

### 输出缓冲器

输出缓冲器设计为输入/输出轨到轨缓冲器，可以驱动2 nF电容与1 kΩ电阻的并联组合。压摆率为1.25 V/μs， $\frac{1}{4}$ 到 $\frac{3}{4}$ 量程建立时间为6 μs。默认情况下，数据写入输入寄存器之后，DAC输出直接更新。需要时，可以使用LDAC寄存器来将更新延迟到写入其他通道之后。更多信息参见“回读和LDAC模式寄存器”部分。

## ADC部分

12位单电源ADC的吞吐速率可达400 kSPS。ADC之前有一个多路复用器，它将所选的I/Ox引脚切换到ADC。器件内置一个序列器，自动将多路复用器切换到所选的下一通道。通过写入ADC序列寄存器来选择通道进行转换。完成对ADC序列寄存器的写操作之后，转换序列中的第一个通道进入跟踪模式。每个通道可以跟踪输入信号至少500 ns。写入ADC序列寄存器之后的第一个SYNC下降沿启动序列中第一个通道的转换。下一个SYNC下降沿启动序列中第二个通道的转换，同时开始将第一个ADC转换结果传输到串行接口。

每次转换耗时2 μs，必须完成当前转换后才能启动下一次转换。只有当转换不在进行时，才能写入AD5592R/AD5592R-1。I/O7可以配置为BUSY信号，指示转换正在进行中。转换正在进行时，BUSY变为低电平；ADC结果可用时，BUSY变为高电平。ADC有一个输入范围选择位(通用控制寄存器的位D5)，它可将输入范围设置为0 V至V<sub>REF</sub>或0 V至2 × V<sub>REF</sub>。所有输入通道共用同一范围。ADC的输出编码方式为直接二进制。每个I/Ox引脚可同时设置为DAC和ADC。当一个I/Ox引脚同时设置为DAC和ADC时，其主要功能是DAC。如果该引脚入选ADC转换序列，该引脚上的电压将被转换并通过串行接口提供，从而监控DAC电压。

## GPIO部分

通过设置GPIO读取配置寄存器或GPIO写入配置寄存器，8个I/Ox引脚的每一个都可以配置为通用数字输入引脚或数字输出引脚。当一个I/Ox引脚配置为输出时，通过设置GPIO写入数据寄存器，可将该引脚设置为高电平或低电平。通用输出的逻辑电平参考V<sub>DD</sub>和GND。当一个I/Ox引脚配置为输入时，通过设置GPIO读取配置寄存器的位D10，可以确定其状态(参见表35)。下一个SPI操作输出GPIO引脚的状态。当I/Ox引脚设置为输出时，同时将其设置为输入引脚可以读取其状态。当读取设置为输入的I/Ox引脚的状态时，也会返回同时设置为输入和输出的I/Ox引脚的状态。

## 内部基准电压源

AD5592R/AD5592R-1内置一个2.5 V片内基准电压源。该基准电压源默认关断，将关断寄存器的位D9置1可予以使能(参见表41)。当片内基准电压源上电时，基准电压出现在V<sub>REF</sub>引脚上，可用作其它元件的基准源。使用内部基准电压源时，建议利用100 nF电容将内部基准电压源去耦至GND。将内部基准电压用于系统的其它地方之前，建议对其进行缓冲。当内部基准电压源关断时，必须将一个外部基准电压源连接到V<sub>REF</sub>引脚。合适的外部基准电压源包括AD780、AD1582//ADR431、REF193和ADR391。

## RESET(复位)功能

AD5592R/AD5592R-1有一个异步RESET引脚。正常工作时，RESET接高电平。RESET的下降沿会将所有寄存器复位至默认值，并将所有I/Ox引脚重新配置为默认值(85 kΩ下拉至GND)。复位功能最多耗时250 μs，在此期间请勿向AD5592R/AD5592R-1写入新数据。AD5592R/AD5592R-1有一个软件复位功能，其作用与RESET引脚相同。向复位寄存器写入0x5AC可激活该复位功能(参见表42)。

## 温度指示器

AD5592R/AD5592R-1集成一个温度传感器，读取它可估计芯片温度。温度读数可用于故障检测；当芯片温度突然升高时，可能表明发生短路等故障。将ADC序列寄存器中的位D8置1，即可使能温度回读(参见表26)。随后，温度结果增加到ADC序列中。温度结果的地址为0b1000；注意不要将此结果与DAC0的回读结果混淆。ADC缓冲器使能时，温度转换耗时5 μs；缓冲器禁用时，温度转换耗时20 μs。温度计算公式如下：

$$\text{Temperature (}^{\circ}\text{C)} = 25 + \frac{\text{ADC Code} - 820}{2.654}$$

读取温度指示器时，ADC返回的编码范围约为645至1035，对应的温度范围为-40°C至+105°C。温度指示器的精度典型值为3°C。

## 串行接口

AD5592R/AD5592R-1 配备串行接口(SYNC、SCLK、SDI和SDO)，该接口兼容SPI标准以及大多数DSP。输入移位寄存器为16位宽(参见表11)。MSB(D15)决定需要何种类型的写操作功能。D15为0时，选择对控制寄存器执行写操作。控制寄存器地址由D14至D11选择。D10和D9为保留位且置0。D8至D0设置要写入所选控制寄存器的数据。D15为1时，数据写入DAC通道(假设该通道已被设为DAC)。D14至D12选择DAC地址。D11至D0为载入所选DAC的12位数据，其中D11是DAC数据的MSB。表12显示了AD5592R/AD5592R-1的控制寄存器映射。该寄存器映射允许配置各I/Ox引脚的操作。ADC可以入选采样序列。DAC可以独立更新或同步更新(参见“LDAC模式操作”部分)。GPIO设置同样是通过寄存器映射加以控制。

### 上电时间

对AD5592R/AD5592R-1供电时，上电复位模块即开始配置器件，并将默认值加载到寄存器。配置过程耗时250 μs，在此期间请勿写入任何寄存器。

表11. 输入移位寄存器格式

MSB													LSB			
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0	控制寄存器地址				0	0	控制寄存器数据									
1	DAC地址				12位DAC数据											

表12. 控制寄存器映射

MSB (D15)	地址 (D14至D11)	名称	说明	默认值
0	0000	无操作(NOP)	无操作	0x000
0	0001	DAC回读	选择并使能DAC回读	0x000
0	0010	ADC序列寄存器	选择要转换的ADC	0x000
0	0011	通用控制寄存器	DAC和ADC控制寄存器	0x000
0	0100	ADC引脚配置	选择哪些引脚是ADC输入	0x000
0	0101	DAC引脚配置	选择哪些引脚是DAC输出	0x000
0	0110	下拉配置	选择哪些引脚具有85 kΩ下拉接地电阻	0x0FF
0	0111	回读和LDAC模式	选择加载DAC(LDAC)功能的操作和/或回读哪个配置寄存器	0x000
0	1000	GPIO写入配置 <sup>1</sup>	选择哪些引脚是通用输出	0x000
0	1001	GPIO写入数据	向通用输出写入数据	0x000
0	1010	GPIO读取配置	选择哪些引脚是通用输入	0x000
0	1011	关断/基准电压源控制	关断DAC和使能/禁用基准电压源	0x000
0	1100	GPIO开漏配置	选择通用输出是开漏型还是推挽型	0x000
0	1101	三态配置	选择哪些引脚处于三态	0x000
0	1110	保留	保留	
0	1111	软件复位	复位AD5592R/AD5592R-1	0x000
1	XXX <sup>2</sup>	DAC写入	写入寻址的DAC寄存器	0x000

<sup>1</sup> 此寄存器也用于将I/O7设置为BUSY输出。

<sup>2</sup> D14至D11是DAC寄存器地址(参见表11)。

### 写入模式

图4显示了AD5592R/AD5592R-1的读操作和写操作时序。写序列通过将SYNC线拉低来启动。SDI上的数据在SCLK的下降沿输入16位移位寄存器。在第16个时钟下降沿之后，最后一位数据被读入，SYNC变为高电平，所编程的功能执行完毕(即DAC输入寄存器或控制寄存器发生变化)。执行下一次写操作之前，SYNC必须保持高电平至少20 ns。所有接口引脚的工作电压必须接近V<sub>DD</sub>或V<sub>LOGIC</sub>供电轨，以使数字输入缓冲器的功耗最低。

### 读取模式

AD5592R/AD5592R-1允许通过串行接口从ADC和控制寄存器回读数据。ADC转换结果自动通过串行接口输出，作为一个序列的一部分或作为单次ADC转换。要读取一个寄存器，首先需要写入回读和LDAC模式寄存器，以便选择要回读的寄存器。所选寄存器的内容在SYNC下降沿之后的16个SCLK中输出。请注意，由于t<sub>10</sub>的时序要求(25 ns)，SPI接口在读操作期间的最大速度不得超过20 MHz。



## 配置AD5592R/AD5592R-1

AD5592R/AD5592R-1 I/Ox引脚通过写入一系列配置寄存器来配置。当一个串行写操作的MSB为0时，访问控制寄存器，如表11所示。AD5592R/AD5592R-1的控制寄存器映射如表12所示。上电时，I/Ox引脚配置为85 kΩ下拉接地(GND)电阻。

AD5592R/AD5592R-1的输入/输出通道可配置为DAC输出、ADC输入、数字输出、数字输入、三态或通过85 kΩ下拉电阻连接到GND。配置为数字输出时，I/Ox引脚还有一个附加选项——推挽型或开漏型。输入/输出通道通过写入相应的配置寄存器来配置，如表13和表14所示。要将特定功能分配给某个输入/输出通道，用户需写入适当的寄存器，并将对应的位设置为1。例如，将DAC配置寄存器的位D0置1时，I/O0配置为DAC(参见表18)。

如果多个配置寄存器均设置了某个输入/输出通道对应的位，则输入/输出通道的功能由最后一次写操作决定。这一规则的例外情况是I/Ox引脚可以同时配置为DAC和ADC，

或同时配置为数字输入和输出。当一个I/Ox引脚同时配置为DAC和ADC时，其主要功能是用作DAC，ADC可以测量DAC所提供的电压。此特性可以监控输出电压，以便检测短路或过载状况。

当一个引脚同时配置为通用输入和输出时，其主要功能是用作输出引脚。此配置允许通过读取GPIO寄存器来确定输出引脚的状态。图38显示了一个典型的配置示例，其中I/O0和I/O1配置为ADC，I/O2和I/O3配置为DAC，I/O4为通用输出引脚，I/O5为通用输入引脚，I/O6和I/O7为三态。

通用控制寄存器还包含其他与DAC和ADC相关的功能，例如锁定配置位。当锁定配置位设为1时，任何对引脚配置寄存器的写操作都会被忽略，从而防止更改I/Ox引脚的功能。

当AD5592R/AD5592R-1处于空闲状态时，即无ADC转换且未回读寄存器时，可以随时重新配置I/Ox引脚。锁定配置位也必须是0。

表13. I/Ox引脚配置寄存器

MSB														LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	寄存器地址				保留			I07	I06	I05	I04	I03	I02	I01	I00

表14. I/Ox引脚配置寄存器的位功能描述

位	位名称	说明
D15	MSB	此位置0。
D14至D11	寄存器地址	选择要寻址的引脚配置寄存器。 0100: ADC引脚配置。 0101: DAC引脚配置。 0110: 下拉配置。(上电时的默认状态) 1000: GPIO写入配置。 1010: GPIO读取配置。 1100: GPIO开漏配置。 1101: 三态配置。
D10至D8	保留	保留。这些位置0。
D7至D0	I07至I00	使能所选I/Ox引脚的寄存器功能。 0: 未选择任何功能。 1: 将所选I/Ox引脚设置为该寄存器功能。

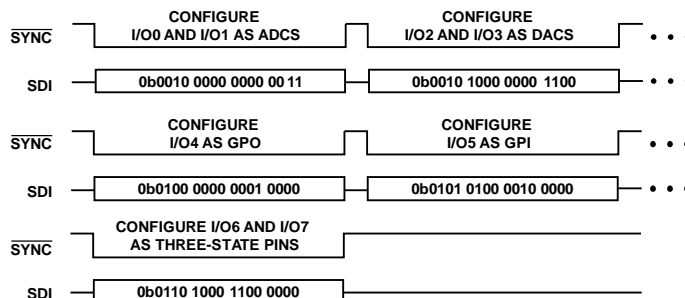


图38. 典型配置示例

# AD5592R

## 通用控制寄存器

通用控制寄存器用于使能或禁用与DAC、ADC和I/Ox引脚配置相关的某些功能(参见表15和表16)。通用控制寄存器设置DAC和ADC的增益。位D5设置ADC的输入范围，位D4设置DAC的输出范围。

通用控制寄存器还可使能或禁用ADC缓冲器及预充电功能(详情参见“ADC部分”)。该寄存器还可用来锁定I/Ox引脚配置，防止其意外改变。当位D7置1时，对配置寄存器的写操作会被忽略。

表15. 通用控制寄存器

MSB													LSB				
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0		
0				寄存器地址				保留	ADC缓冲器预充电	ADC缓冲器使能	锁定	所有DAC	ADC范围	DAC范围	保留		

表16. 通用控制寄存器的位功能描述

位	位名称	说明
D15	MSB	此位置0。
D14至D11	寄存器地址	这些位设置为0b0011。
D10	保留	保留。此位置0。
D9	ADC缓冲器预充电	ADC缓冲器预充电。 0: ADC缓冲器不用于对ADC预充电(默认)。 1: ADC缓冲器用于对ADC预充电。
D8	ADC缓冲器使能	ADC缓冲器使能。 0: 禁用ADC缓冲器(默认)。 1: 使能ADC缓冲器。
D7	锁定	锁定配置。 0: 可以改变I/Ox引脚配置寄存器的内容(默认)。 1: 不能改变I/Ox引脚配置寄存器的内容。
D6	所有DAC	写入所有DAC。 0: 对于将来的DAC写操作，DAC地址位决定写入哪个DAC(默认)。 1: 对于将来的DAC写操作，DAC地址位会被忽略，所有配置为DAC的通道用相同数据更新。
D5	ADC范围	ADC输入范围选择。 0: ADC增益为0 V至 $V_{REF}$ (默认)。 1: ADC增益为0 V至 $2 \times V_{REF}$ 。
D4	DAC范围	DAC输出范围选择。 0: DAC输出范围为0 V至 $V_{REF}$ (默认)。 1: DAC输出范围为0 V至 $2 \times V_{REF}$ 。
D3至D0	保留	保留。这些位置0。

**DAC写操作**

要将一个引脚设置为DAC，需将DAC引脚配置寄存器中的相应位设为1(参见表17和表18)。例如，位0置1将把I/O0设置为DAC输出。当串行写操作的MSB (D15)为1时，数据写入DAC。D14、D13和D12决定要寻址的DAC，D11至D0包含要写入DAC的12位数据，如表19和表20所示。数据写入所选的DAC输入寄存器。若需要，写入输入寄存器的数据可以自动复制到DAC寄存器。数据根据LDAC模式寄存器的设置传输到DAC寄存器(参见表43和表44)。

**LDAC模式操作**

当LDAC模式位(D1和D0)为00时，新数据从输入寄存器自动传输到DAC寄存器，模拟输出随即更新。当LDAC模式位为01时，数据留在输入寄存器中。这种LDAC模式允许写入输入寄存器而不影响模拟输出。输入寄存器加载所需的值之后，LDAC模式位设为10将把输入寄存器中的值传输到DAC寄存器，模拟输出同时更新。然后，LDAC模式位回到01(假设之前的设置为01)。参见表43和表44。

**表17. DAC引脚配置寄存器**

MSB														LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	寄存器地址				保留			DAC7	DAC6	DAC5	DAC4	DAC3	DAC2	DAC1	DAC0

**表18. DAC引脚配置寄存器的位功能描述**

位	位名称	说明
D15	MSB	此位置0。
D14至D11	寄存器地址	这些位设置为0b0101。
D10至D8	保留	保留。这些位置0。
D7至D0	DAC7至DAC0	选择I/Ox引脚作为DAC输出。 1: I/Ox为DAC输出。 0: I/Ox功能由引脚配置寄存器决定(默认)。

**表19. DAC写入寄存器**

MSB														LSB	
D15	D14	D13	D12	D11 (MSB)	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
1	DAC地址			12位DAC数据											

**表20. DAC数据寄存器的位功能描述**

位	位名称	说明
D15	MSB	此位置0。
D14至D12	DAC地址	位D14至位D12选择D11至D0中的数据所要加载的DAC寄存器。 000: DAC0 001: DAC1 010: DAC2 011: DAC3 100: DAC4 101: DAC5 110: DAC6 111: DAC7
D11至D0	12位DAC数据	12位DAC数据。

# AD5592R

## DAC回读

各DAC的输入寄存器可通过SPI接口回读。回读的DAC寄存器值可用来确认数据已正确接收，然后写入LDAC寄存器，或者检查最后载入DAC的是何值。仅当无ADC转换序列正在进行时，才能从DAC回读数据。

要回读DAC输入寄存器，首先需要使能回读功能，并选择所需的DAC寄存器。这可以通过写入DAC回读寄存器来实

现(参见表21和表22)。D4和D3位设为1就会使能回读功能。D2至D0位选择需要哪个DAC的数据。DAC数据在随后的SPI操作中从AD5592R/AD5592R-1输出。在图39所示的例子中，配置为DAC的I/O3被设置为中间电平，然后回读输入数据。D14至D12包含所回读的DAC寄存器地址，D15为1。

表21. DAC回读寄存器

MSB											LSB				
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0			寄存器地址			保留					使能DAC回读		DAC通道		

表22. DAC回读寄存器的位功能描述

位	位名称	说明
D15	MSB	此位置0。
D14至D11	寄存器地址	这些位设置为0b0001。
D10至D5	保留	保留。这些位置0。
D4和D3	使能DAC回读	使能对DAC输入寄存器的回读。 11: 使能回读。 00: 禁用回读(默认)。
D2至D0	DAC通道	选择DAC通道。 000: DAC0 001: DAC1 ... 110: DAC6 111: DAC7

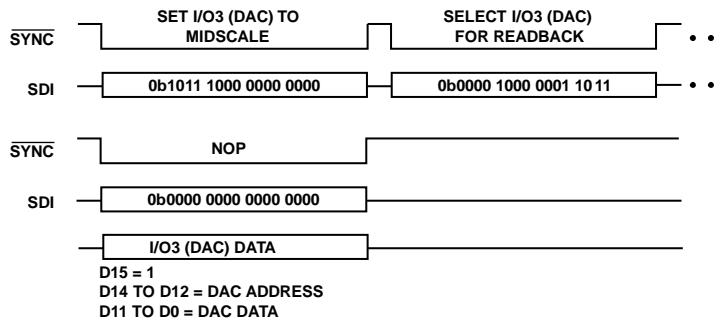


图39. DAC回读操作

## ADC操作

要将一个引脚设置为ADC，需将ADC引脚配置寄存器中的相应位设为1(参见表23和表24)。例如，位0置1将把I/O0设置为ADC输入。AD5592R/AD5592R-1的ADC通道像传统多通道ADC一样工作，各串行传输选择下一个要转换的通道。写入ADC序列寄存器(参见表25和表26)以选择要包括在序列中的ADC通道，REP位决定该序列是否重复。SYNC信号用于实现以帧形式通过SDI引脚写入转换器。在对ADC序列寄存器的初始写操作期间，出现在SDO引脚上的数据无效。写入序列寄存器后，ADC即开始跟踪序列中的第一个通道。跟踪耗时500 ns，须等到此时间过去之后才能启动转换。下一个SYNC下降沿启动对所选通道的转换。后续SYNC下降沿开始输出ADC转换结果，同时启动下一个转换。ADC工作时有1个周期的延迟，因此，启动转换的周期结束后，经过一个串行读取周期才能提供对应的转换结果。

如果ADC序列寄存器中选择了一个以上的通道，ADC将在相继的SYNC下降沿上按升序转换所有选定的通道。一旦

控制寄存器中的所有选定通道转换完毕，并且REP位置1，ADC就会重复该序列。如果REP位为0，则ADC进入三态。图40至图43显示了ADC的典型工作模式。I/O7可以配置为BUSY输出引脚，指示转换结果是否可用。转换正在进行时，BUSY变为低电平；转换结果可用时，BUSY变为高电平。转换结果在随后的读/写操作中通过SDO引脚输出。对于ADC转换，D15为0，D14至D12包含ADC地址，D11至D0包含12位转换结果，如表27所示。

## 更改ADC序列

通过停止现有转换序列，便可更改ADC序列中包括的通道(参见图44)。要停止ADC转换序列，需将ADC序列寄存器中的REP、TEMP和ADC7至ADC0位清0。

写入停止序列的命令时，ADC转换也在进行中。必须等到此转换完成后，才能将新序列写入ADC序列寄存器。开始写入命令以结束当前序列与开始写入命令以选择新序列之间至少应等待2 μs。选择新序列之后，等待500 ns的ADC跟踪时间，然后启动下一次转换。

表23. ADC引脚配置寄存器

MSB											LSB				
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	寄存器地址				保留			ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0

表24. ADC引脚配置寄存器的位功能描述

位	位名称	说明
D15	MSB	此位置0。
D14至D11	寄存器地址	这些位设置为0b0100。
D10至D8	保留	保留。这些位置0。
D7至D0	ADC7至ADC0	选择I/Ox引脚作为ADC输入。 1: I/Ox为ADC输入。 0: I/Ox功能由引脚配置寄存器决定(默认)。

# AD5592R

表25. ADC序列寄存器

MSB														LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	寄存器地址				保留	REP	TEMP	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0

表26. ADC序列寄存器的位功能描述

位	位名称	说明
D15	MSB	此位置0。
D14至D11	寄存器地址	这些位设置为0b0010。
D10	保留	保留。这些位置0。
D9	REP	ADC序列重复。 0: 禁用序列重复(默认)。 1: 使能序列重复。
D8	TEMP	ADC序列中包括温度指示器。 0: 禁用温度指示器回读(默认)。 1: 使能温度指示器回读。
D7至D0	ADC7至ADC0	转换序列中包括ADC通道。 0: 转换序列中不包括所选的ADC通道。 1: 转换序列中包括所选的ADC通道。

表27. ADC转换结果

MSB														LSB		
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0	ADC地址 <sup>1</sup>				12位ADC结果											

<sup>1</sup> ADC地址如下: 000 = ADC0 ... 111 = ADC7。

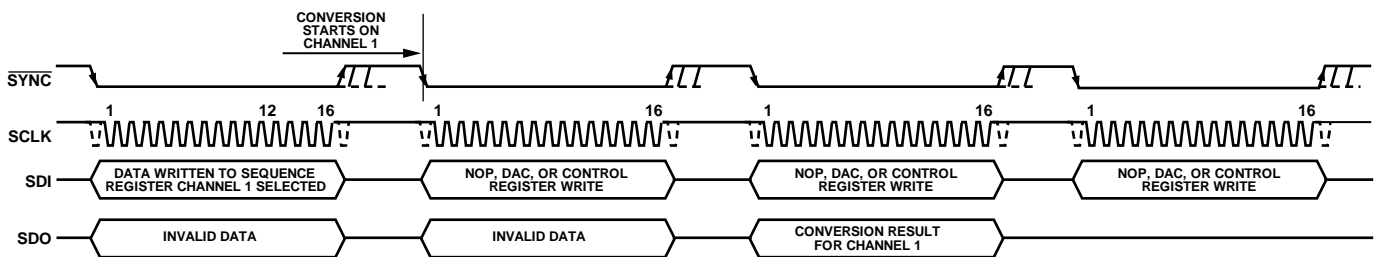


图40. 单通道ADC转换序列, 不重复

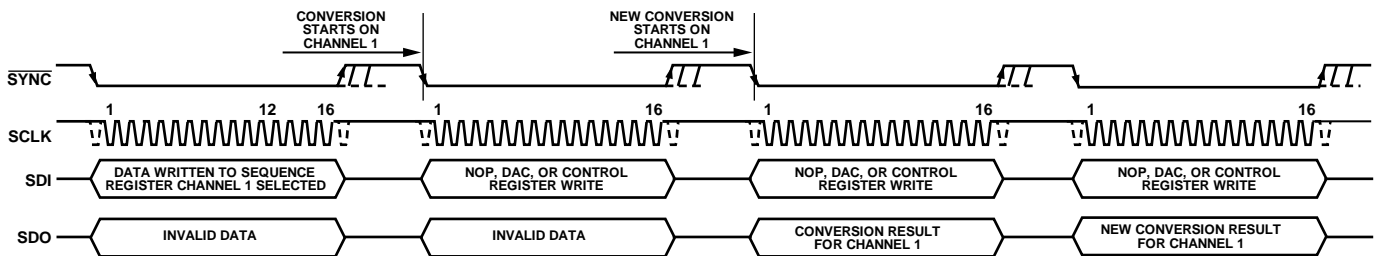


图41. 单通道ADC转换序列, 重复

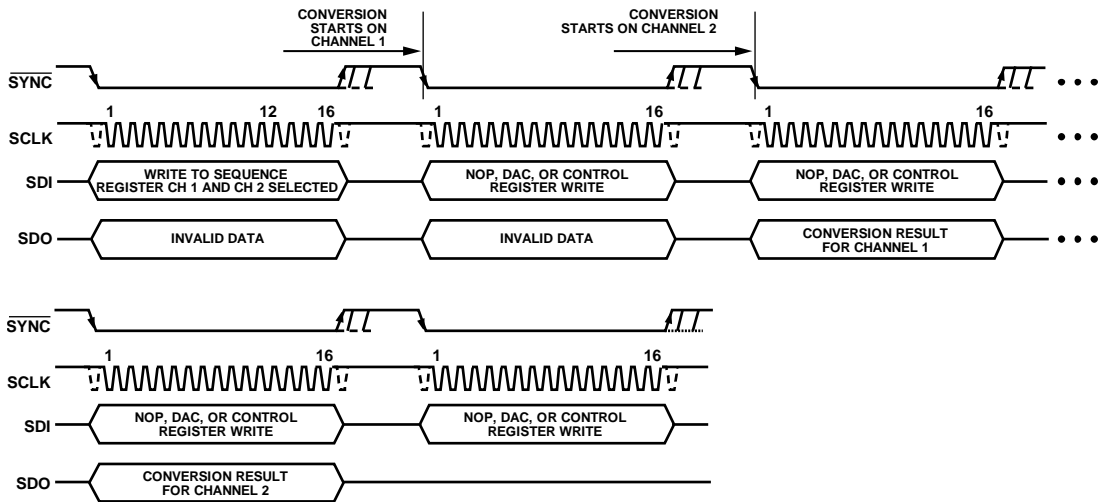


图42. 多通道ADC转换序列, 不重复

12506-209

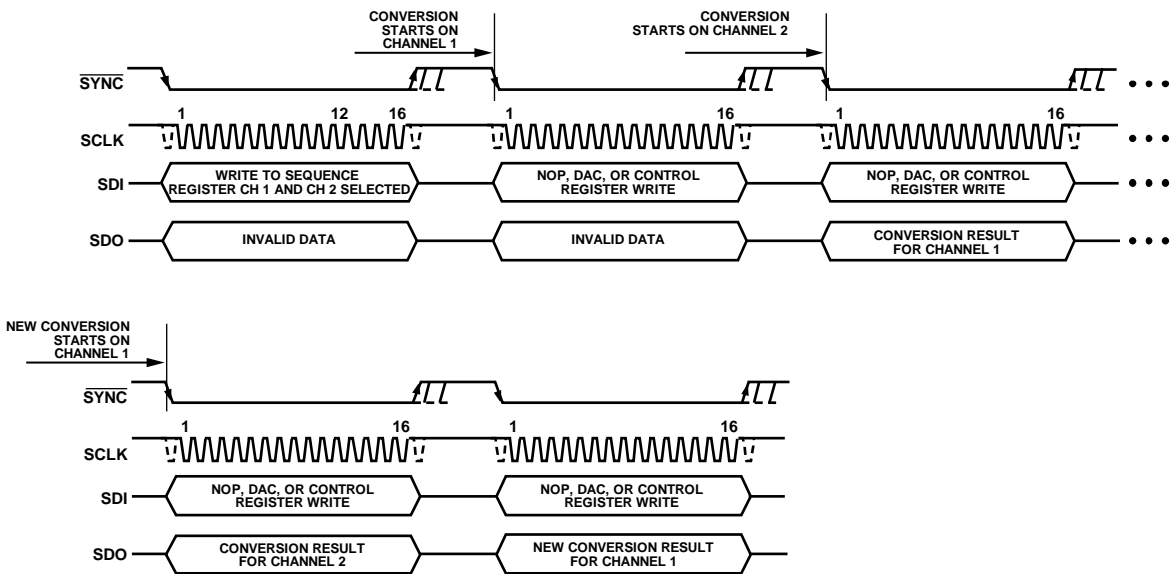


图43. 多通道ADC转换序列, 重复

12506-210

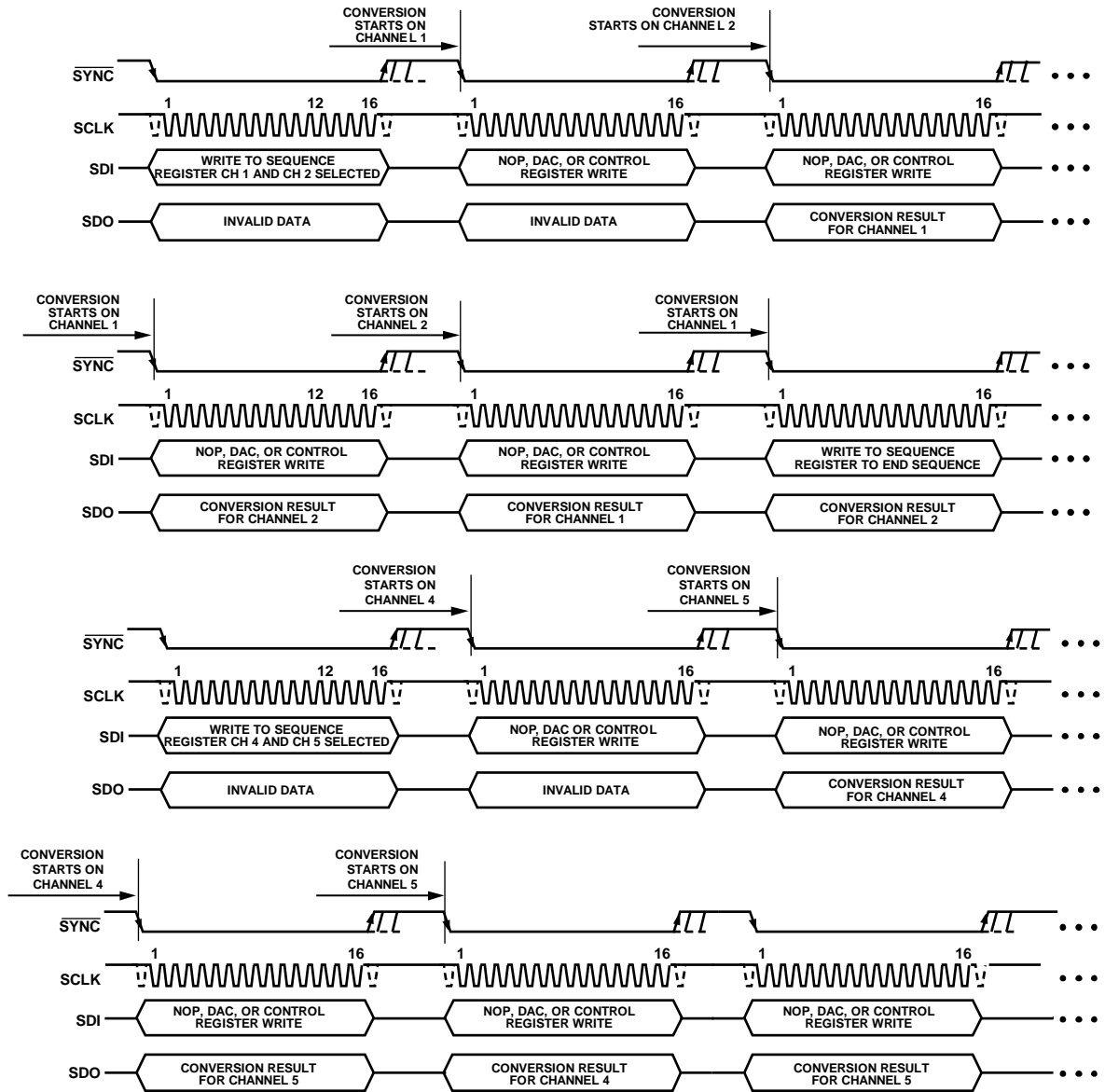


图44. 更改一个多通道重复ADC转换序列

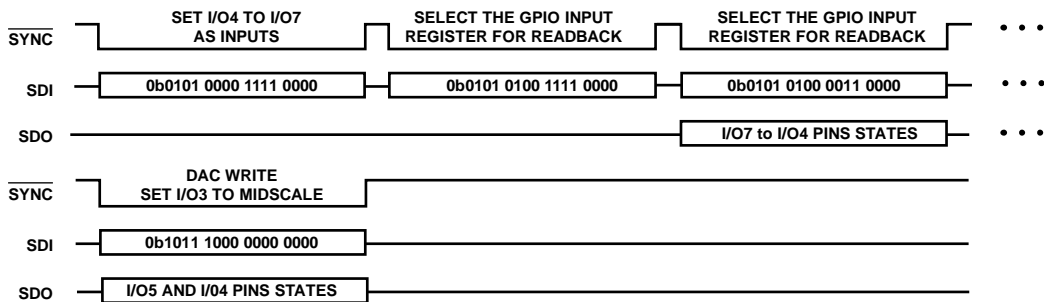


图45. 配置并读取通用输入引脚



## GPIO操作

AD5592R/AD5592R-1的每个I/Ox引脚可以用作通用数字输入或输出引脚。引脚的功能是通过写入GPIO读取配置和GPIO写入配置寄存器中的相应位来决定。

### 引脚设置为输出

要将一个引脚设置为通用输出，需将GPIO写入配置寄存器中的相应位设为1(参见表28和表29)。例如，位0置1将把I/O0设置为通用输出。输出引脚的状态是通过设置或清除GPIO写入数据寄存器中的相应位来控制(参见表32)。如果写入未被配置为输出的位置，数据位会被忽略。

输出可以独立配置为推挽型或开漏型输出。采用推挽配置时，根据GPIO写入数据寄存器中的数据，输出被驱动至 $V_{DD}$ 或GND。要将一个引脚设置为开漏输出，需将GPIO开漏配置寄存器中的相应位设为1(参见表30和表31)。采用开漏配置时，当GPIO写入数据寄存器中的数据位将该引脚设置为低电平时，输出被驱动至GND。当该引脚被设置为高电平时，输出无驱动，必须通过外部电阻拉高。开漏配置允许将多个输出引脚连接在一起。如果所有引脚通常都

是高电平，开漏配置允许一个引脚拉低其他引脚。这种方法常用于多个引脚触发报警或中断引脚的情况。

要更改I/Ox引脚的状态，需写入GPIO写入数据寄存器。将某一位设为1时，所选输出为逻辑1。将某一位清0时，所选输出为逻辑0。

### 引脚设置为输入

要将一个引脚设置为通用输入，需将GPIO读取配置寄存器中的相应位设为1(参见表34和表35)。例如，位0置1将把I/O0设置为通用输入。要读取通用输入的状态，需写入GPIO读取配置寄存器，将位D10以及任何与通用输入引脚对应的位(D7至D0)置1。下一个SPI操作输出所有设置为通用输入的引脚的状态。图45显示了I/O4至I/O7设置为通用输入的例子。I/O3假定为DAC。要读取I/O7至I/O4的状态，位D10和位D7至D4须置1。要读取I/O5和I/O4的状态，仅须将位D10、位D5和位D4置1。不读取I/O7和I/O6的状态，位D7和位D6清0。图45还有一个对DAC的写操作，以说明在读取通用引脚状态时可以包括其他操作。

表28. GPIO写入配置寄存器

MSB													LSB			
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0	寄存器地址				保留	使能BUSY	GPIO7	GPIO6	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1	GPIO0		

表29. GPIO写入配置寄存器的位功能描述

位	位名称	说明
D15	MSB	此位置0。
D14至D11	寄存器地址	这些位设置为0b1000。
D10至D9	保留	保留。此位置0。
D8	使能BUSY	使能I/O7引脚用作 $\overline{BUSY}$ 。 0: 引脚I/O7非配置为 $\overline{BUSY}$ 。 1: 引脚I/O7配置为 $\overline{BUSY}$ 。要使能I/O7引脚用作输出，D7还必须置1。
D7至D0	GPIO7至GPIO0	选择I/Ox引脚作为GPIO输出。 1: I/Ox是通用输出引脚。 0: I/Ox功能由引脚配置寄存器决定(默认)。

# AD5592R

**表30. GPIO开漏配置寄存器**

MSB													LSB			
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0	寄存器地址				保留			开漏7	开漏6	开漏5	开漏4	开漏3	开漏2	开漏1	开漏0	

**表31. GPIO开漏配置寄存器的位功能描述**

位	位名称	说明
D15	MSB	此位置0。
D14至D11	寄存器地址	这些位设置为0b1000。
D10至D8	保留	保留。这些位置0。
D7至D0	开漏7至开漏0	输出引脚设置为开漏型。还必须将这些引脚设置为数字输出引脚。参见表29。 1: I/Ox是开漏输出引脚。 0: I/Ox是推挽输出引脚(默认)。

**表32. GPIO写入数据寄存器**

MSB													LSB			
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0	寄存器地址				保留			GPIO7	GPIO6	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1	GPIO0	

**表33. GPIO写入数据寄存器的位功能描述**

位	位名称	说明
D15	MSB	此位置0。
D14至D11	寄存器地址	这些位设置为0b1001。
D10至D8	保留	保留。这些位置0。
D7至D0	GPIO7至GPIO0	设置输出引脚的状态。 1: I/Ox为逻辑1。 0: I/Ox为逻辑0。

**表34. GPIO读取配置寄存器**

MSB													LSB			
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0	寄存器地址				使能回读	保留		GPIO7	GPIO6	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1	GPIO0	

**表35. GPIO读取配置寄存器的位功能描述**

位	位名称	说明
D15	MSB	此位置0。
D14至D11	寄存器地址	这些位设置为0b1010。
D10	使能回读	使能GPIO回读。 1: 下一个SPI操作输出GPIO引脚的状态。 0: 位D7至位D0决定哪些引脚设置为通用输入。
D9至D8	保留	保留。这些位置0。
D7至D0	GPIO7至GPIO0	I/Ox引脚设置为GPIO输入。 1: I/Ox是通用输入引脚。 0: I/Ox功能由引脚配置寄存器决定(默认)。

**三态引脚**

通过写入三态配置寄存器，可将I/Ox引脚设置为三态，如表36和表37所示。

**85 kΩ下拉电阻**

通过设置下拉配置寄存器中的相应位，可将I/Ox引脚通过下拉电阻(85 kΩ)连接到GND，如表38和表39所示。

**表36. 三态配置寄存器**

MSB													LSB				
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0		
0				寄存器地址				保留		TSO7	TSO6	TSO5	TSO4	TSO3	TSO2	TSO1	TSO

**表37. 三态配置寄存器的位功能描述**

位	位名称	说明
D15	MSB	此位置0。
D14至D11	寄存器地址	这些位设置为0b0110。
D10至D8	保留	保留。这些位置0。
D7至D0	TSO7至TSO0	I/Ox引脚设置为三态输出。 1: I/Ox是三态输出引脚。 0: I/Ox功能由引脚配置寄存器决定(默认)。

**表38. 下拉配置寄存器**

MSB													LSB				
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0		
0				寄存器地址				保留		下拉7	下拉6	下拉5	下拉4	下拉3	下拉2	下拉1	下拉0

**表39. 下拉配置寄存器的位功能描述**

位	位名称	说明
D15	MSB	此位置0。
D14至D11	寄存器地址	这些位设置为0b1101。
D10至D8	保留	保留。这些位置0。
D7至D0	下拉7至下拉0	I/Ox引脚设置为弱下拉输出。 1: I/Ox通过85 kΩ下拉电阻连接到GND。 0: I/Ox功能由引脚配置寄存器决定(默认)。

# AD5592R

## 关断模式

AD5592R/AD5592R-1有一个电源配置寄存器，用以在不需  
要某些功能时降低功耗。关断寄存器可将任何设置为DAC  
的通道单独置于关断状态。在关断状态下，DAC输出为三  
态。当DAC通道回到正常模式时，DAC输出恢复其先前的  
值。内部基准电压源及其缓冲器默认关断，若要使能，需

将关断寄存器中的EN\_REF位设为1。随后，内部基准电压  
便会出现于V<sub>REF</sub>引脚上。

ADC没有专用关断功能，但若无任何I/Ox引脚被设置为  
ADC，则ADC会自动关断。PD\_ALL位用于同时关断所有  
DAC、基准电压源及其缓冲器和ADC。表40和表41说明了  
关断寄存器。

**表40. 关断/基准电压源控制寄存器**

MSB													LSB		
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0					寄存器地址										
0					PD_ALL	EN_REF	保留	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0

**表41. 关断/基准电压源控制寄存器的位功能描述**

位	位名称	说明
D15	MSB	此位置0。
D14至D11	寄存器地址	这些位设置为0b1011。
D10	PD_ALL	关断DAC和内部基准电压源。 0: 基准电压源和DAC关断状态由D9和D7至D0决定(默认)。 1: 关断基准电压源、DAC和ADC。
D9	EN_REF	使能内部基准电压源。 0: 关断基准电压源及其缓冲器(默认)。如果使用外部基准电压源，此位位置1。 1: 基准电压源及其缓冲器上电。基准电压通过VREF引脚提供。
D8	保留	保留。此位置0。
D7至D0	PD7至PD0	关断DAC。 0: 通道处于正常工作模式(默认)。 1: 通道若配置为DAC则关断。

## 复位功能

通过写入复位寄存器，AD5592R/AD5592R-1可以复位到默认状态，如表42所示。此写操作会将所有寄存器复位至默认值，并将所有I/Ox引脚重新配置为默认值(85 kΩ电阻下拉至GND)。复位功能最多耗时250 μs，在此期间请勿向AD5592R/AD5592R-1写入新数据。AD5592R的RESET引脚具有同样的功能。正常工作时，RESET接高电平。RESET下降沿会触发复位功能。

## 回读和LDAC模式寄存器

可以回读AD5592R/AD5592R-1寄存器中的值，以确保寄存器设置正确。要启动寄存器回读，需写入回读和LDAC模式寄存器，将位D6置1。位D5至D2选择要回读哪个寄存器。寄存器数据在随后的SPI传输中从AD5592R/AD5592R-1输出。

回读和LDAC模式寄存器的位D1至位D0选择LDAC模式。LDAC模式决定写入DAC输入寄存器的数据是否同时传输到DAC寄存器。有关LDAC模式功能的详细信息，参见“LDAC模式操作”部分。

表42. 软件复位

MSB	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	LSB
D15															D0
0	1	1	1	1	1	0	1	1	0	1	0	1	1	0	0
控制寄存器写入	写入复位寄存器				复位AD5592R/AD5592R-1										

表43. 回读和LDAC模式寄存器

MSB	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	LSB
D15															D0
0	寄存器地址				保留			EN	REG_READBACK				LDAC模式		

表44. 回读和LDAC模式寄存器的位功能描述

位	位名称	说明
D15	MSB	此位置0。
D14至D11	寄存器地址	这些位设置为0b0111。
D10至D7	保留	保留。这些位置0。
D6	EN	使能回读。注意，无论EN位为何值，都会使用LDAC模式位。 1: 位D5至D2选择回读哪个寄存器。读取完成时，位D6自动清0。 0: 不启动回读。
D5至D2	REG_READBACK	如果位D6为1，则位D5至D2决定要回读哪个寄存器。 0000: 无操作(NOP)。 0001: DAC回读。 0010: ADC序列。 0011: 通用配置。 0100: ADC引脚配置。 0101: DAC引脚配置。 0110: 下拉配置。 0111: LDAC配置。 1000: GPIO写入配置。 1001: GPIO写入数据。 1010: GPIO读取配置。 1011: 关断和基准电压源控制。 1100: 开漏配置。 1101: 三态引脚配置。 1110: 保留。 1111: 软件复位。
D1至D0	LDAC模式	决定如何处理写入DAC输入寄存器的数据。 00: 写入输入寄存器的数据立即复制到DAC寄存器，并且DAC输出更新(默认)。 01: 写入输入寄存器的数据不复制到DAC寄存器。DAC输出不更新。 10: 输入寄存器中的数据复制到对应的DAC寄存器。数据传输完毕时，DAC输出同时更新。 11: 保留。

## 应用信息

### 微处理器接口

AD5592R/AD5592R-1的微处理器接口是通过串行总线，使用与DSP和微控制器兼容的标准协议。通信通道需要一个由时钟信号、数据输入信号、数据输出信号和同步信号组成的四线接口。器件要求16位数据字，数据在SCLK下降沿有效。

### AD5592R/AD5592R-1与SPI接口

AD5592R/AD5592R-1的SPI接口设计旨在能够轻松连接到业界标准DSP和微控制器。图46显示AD5592R/AD5592R-1连接到ADI公司的ADSP-BF531 Blackfin® DSP。Blackfin具有一个集成的SPI接口，可以直接连接到AD5592R/AD5592R-1的SPI引脚。

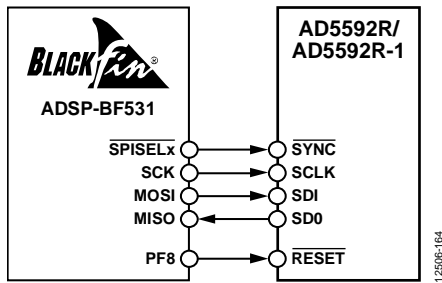


图46. ADSP-BF531 SPI接口

### AD5592R/AD5592R-1与SPORT接口

ADI公司的ADSP-BF527有两个串行端口(SPORT)。图47显示如何利用SPORT接口来控制AD5592R/AD5592R-1。ADSP-BF527有一个SPI端口，也可以使用该端口。此方法与使用ADSP-BF531时相同。

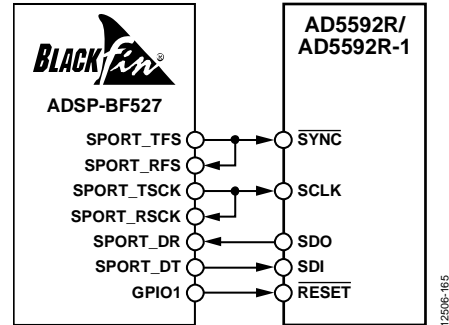


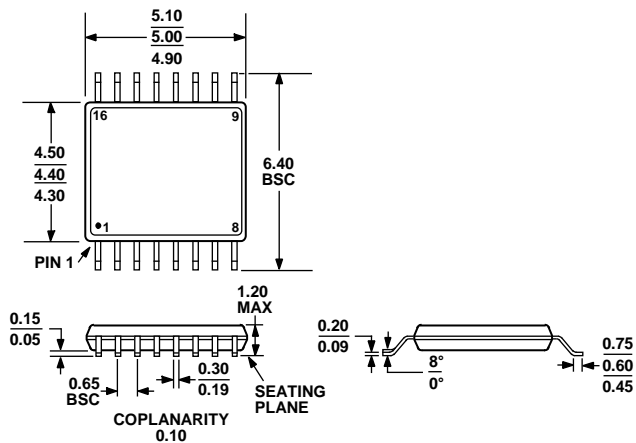
图47. ADSP-BF527 SPORT接口

### 布局布线指南

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。安装AD5592R或AD5592R-1所用的印刷电路板(PCB)应经过专门设计，使器件位于模拟平面。

AD5592R/AD5592R-1必须具有足够大的10 μF电源旁路电容，与每个电源上的0.1 μF电容并联，并且尽可能靠近封装，最好是正对着该器件。10 μF电容最好为钽电容。0.1 μF电容必须具有低等效串联电阻(ESR)和低等效串联电感(ESI)。例如，陶瓷电容可在高频时提供低阻抗接地路径，以便处理内部逻辑开关所引起的瞬态电流。

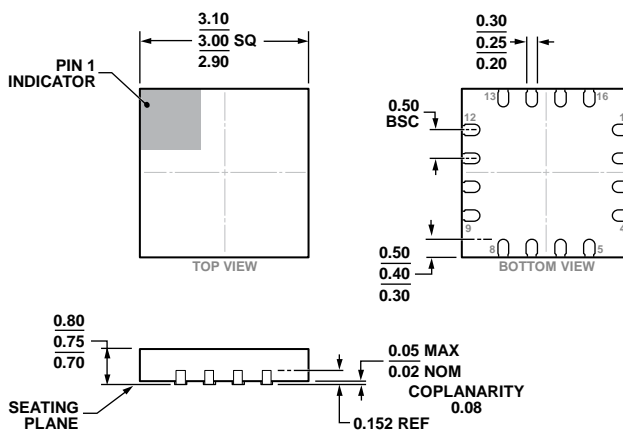
外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图48. 16引脚超薄紧缩小型封装[TSSOP]  
(RU-16)

图示尺寸单位: mm

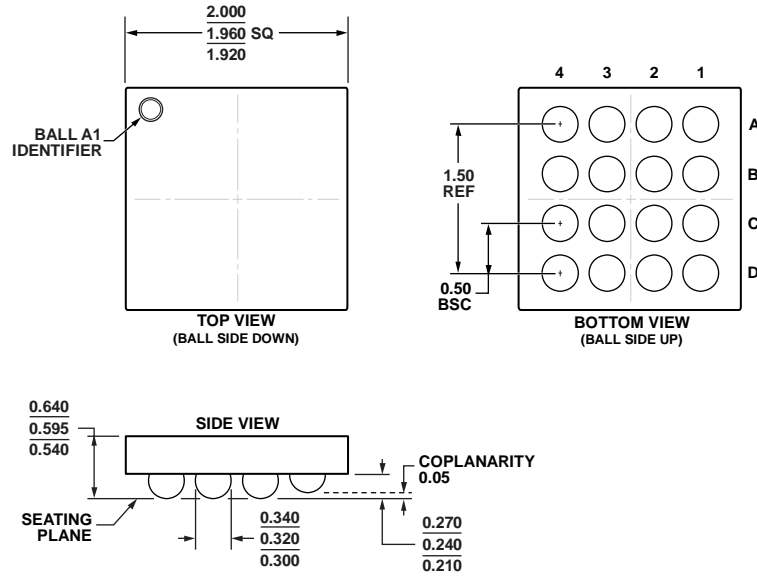


COMPLIANT TO JEDEC STANDARDS MO-220-WEED.

图49. 16引脚引线框芯片级封装[LFCSP\_WQ]  
3 mm × 3 mm, 超薄体  
(CP-16-32)

图示尺寸单位: mm

# AD5592R



10-17-2012B

图50. 16引脚晶圆级芯片规模封装 [WLCSP]  
(CB-16-3)  
图示尺寸单位: mm

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项	标识
AD5592RBCBZ-1-RL7	-40°C至+105°C	16引脚晶圆级芯片规模封装 [WLCSP]	CB-16-3	
AD5592RBCPZ-1-RL7	-40°C至+105°C	16引脚引线框芯片级封装 [LFCSP_WQ]	CP-16-32	DMD
AD5592RBRUZ	-40°C至+105°C	16引脚超薄紧缩小型封装 [TSSOP]	RU-16	
AD5592RBCBZ-RL7	-40°C至+105°C	16引脚晶圆级芯片规模封装 [WLCSP]	CB-16-3	
EVAL-AD5592R-1SDZ		评估板		

<sup>1</sup> Z = 符合RoHS标准的器件。