

### 产品特性

- 集成小数N分频PLL的I/Q调制器
- RF输出频率范围：700 MHz至3,000 MHz
- 内部LO频率范围：356.25 MHz至2,855 MHz
- 输出P1dB：12.2 dBm (2140 MHz)
- 输出IP3：32.6 dBm (2140 MHz)
- 载波馈通：-40.3 dBm (2140 MHz)
- 边带抑制：-37.6 dBc(2,140 MHz)
- 噪底：-157.9 dBm/Hz (2140 MHz)
- 基带1 dB调制带宽：>1000 MHz
- 基带输入偏置电平：0.5 V
- 电源：3.3 V/425 mA
- 集成式RF可调谐巴伦，允许单端RF输出
- 多核集成式VCO
- HD3/IP3优化
- 边带抑制和载波馈通优化
- 高端/低端LO注入
- 可通过三线式串行端口接口(SPI)进行编程
- 40引脚6 mm x 6 mm LFCSP封装

### 应用

- 2G/3G/4G/LTE宽带通信系统
- 微波点对点无线电
- 卫星调制解调器
- 军用和航空航天产品
- 仪器仪表

### 概述

ADRF6720是一款集成频率合成器的宽带正交调制器，非常适合用于3G和4G通信系统。ADRF6720集成一个高线性度宽带调制器、一个集成式小数N分频锁相环(PLL)以及四个低相位噪声多核压控振荡器(VCO)。

ADRF6720本振(LO)信号可通过片内整数N分频和小数N分频频率合成器在内部产生，也可通过高频、低相位噪声LO信号在外部产生。内部集成式频率合成器利用多核VCO可实现356.25 MHz到2855 MHz的覆盖范围。在内部LO产生或外部LO输入的情况下，正交信号通过2分频分相器产生。当ADRF6720采用外部1 x LO输入工作时，多相滤波器产生混频器的正交输入信号。

ADRF6720提供数字可编程载波馈通优化、边带抑制、HD3/IP3优化以及高端或低端LO注入等功能。

ADRF6720采用先进的硅锗BiCMOS工艺制造，提供40引脚、裸露焊盘、符合RoHS标准的6 mm x 6 mm LFCSP封装。额定温度范围为-40°C至+85°C。

功能框图

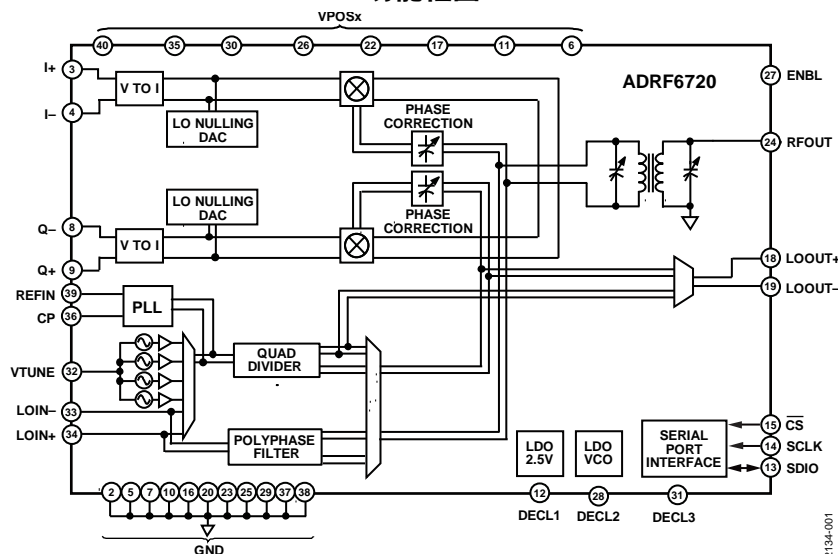


图1.

Rev. 0

#### Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com](http://www.analog.com)

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

## 目录

|                |    |                   |    |
|----------------|----|-------------------|----|
| 特性.....        | 1  | 基带输入.....         | 24 |
| 应用.....        | 1  | LO输入.....         | 24 |
| 概述.....        | 1  | 环路滤波器.....        | 24 |
| 修订历史.....      | 2  | RF输出.....         | 24 |
| 技术规格.....      | 3  | 应用信息.....         | 25 |
| 时序特性.....      | 7  | DAC到I/Q调制器接口..... | 25 |
| 绝对最大额定值.....   | 8  | 基带带宽.....         | 25 |
| 热阻.....        | 8  | 载波馈通调零.....       | 26 |
| ESD警告.....     | 8  | 边带抑制优化.....       | 26 |
| 引脚配置和功能描述..... | 9  | 线性度.....          | 27 |
| 典型性能参数.....    | 11 | LO幅度和共模电压.....    | 27 |
| 工作原理.....      | 18 | 布局.....           | 27 |
| LO生成模块.....    | 18 | 特性设置.....         | 29 |
| 基带.....        | 21 | 寄存器映射.....        | 31 |
| 有源混频器.....     | 21 | 寄存器详解.....        | 32 |
| 串行端口接口.....    | 22 | 外形尺寸.....         | 42 |
| 基本工作连接.....    | 23 | 订购指南.....         | 42 |
| 电源和接地.....     | 23 |                   |    |

## 修订历史

2014年4月—修订版0：初始版

## 规格

除非另有说明，VPOSx = 3.3 V，T<sub>A</sub> = 25°C；基带I/Q幅度 = 1 V p-p差分正弦波与500 mV直流偏置正交。

表1.

| 参数                   | 测试条件/注释  | 最小值                  | 典型值              | 最大值                  | 单位                |
|----------------------|--|----------------------|------------------|----------------------|-------------------|
| 工作频率范围               | RF输出范围<br>内部LO范围<br>外部LO范围   | 700<br>356.25<br>700 |                  | 3000<br>2855<br>3000 | MHz<br>MHz<br>MHz |
| RF输出 = 940 MHz       |  |                      |                  |                      |                   |
| 输出功率P <sub>OUT</sub> | 基带V <sub>IQ</sub> = 1 V p-p差分  |                      | 5.8              |                      | dBm               |
| 调制器电压增益              |  |                      | 1.82             |                      | dB                |
| 输出P1dB               |  |                      | 13.1             |                      | dBm               |
| 载波馈通                 |  |                      | -44.0            |                      | dBm               |
| 边带抑制                 |  |                      | -47.1            |                      | dBc               |
| 正交误差                 |  |                      | -0.15            |                      | 度                 |
| I/Q幅度平衡              |  |                      | -0.01            |                      | dB                |
| 二次谐波                 | P <sub>OUT</sub> - P(f <sub>LO</sub> ± (2 × f <sub>BB</sub> ))                         |                      | -66.1            |                      | dBc               |
| 三次谐波                 | P <sub>OUT</sub> - P(f <sub>LO</sub> ± (3 × f <sub>BB</sub> ))                         |                      | -60.6            |                      | dBc               |
| 输出IP2                | f <sub>1BB</sub> = 3.5 MHz, f <sub>2BB</sub> = 4.5 MHz,<br>每信号音的基带I/Q幅度 = 0.45 V p-p差分 |                      | 66.4             |                      | dBm               |
| 输出IP3                | f <sub>1BB</sub> = 3.5 MHz, f <sub>2BB</sub> = 4.5 MHz,<br>每信号音的基带I/Q幅度 = 0.45 V p-p差分 |                      | 36.2             |                      | dBm               |
| 本底噪声                 | I/Q输入为500 mV直流偏置且无RF输出，20 MHz载波失调<br>I/Q输入为500 mV直流偏置，-10 dBm RF输出，20 MHz载波失调          |                      | -157.6<br>-157.3 |                      | dBm/Hz<br>dBm/Hz  |
| RF输出 = 1,900 MHz     |  |                      |                  |                      |                   |
| 输出功率P <sub>OUT</sub> | 基带V <sub>IQ</sub> = 1 V p-p差分  |                      | 5.6              |                      | dBm               |
| 调制器电压增益              |  |                      | 1.62             |                      | dB                |
| 输出P1dB               |  |                      | 13.1             |                      | dBm               |
| 载波馈通                 |  |                      | -39.2            |                      | dBm               |
| 边带抑制                 |  |                      | -41.2            |                      | dBc               |
| 正交误差                 |  |                      | 1.15             |                      | 度                 |
| I/Q幅度平衡              |  |                      | -0.0175          |                      | dB                |
| 二次谐波                 | P <sub>OUT</sub> - P(f <sub>LO</sub> ± (2 × f <sub>BB</sub> ))                         |                      | -66.2            |                      | dBc               |
| 三次谐波                 | P <sub>OUT</sub> - P(f <sub>LO</sub> ± (3 × f <sub>BB</sub> ))                         |                      | -57.2            |                      | dBc               |
| 输出IP2                | f <sub>1BB</sub> = 3.5 MHz, f <sub>2BB</sub> = 4.5 MHz,<br>每信号音的基带I/Q幅度 = 0.45 V p-p差分 |                      | 62.2             |                      | dBm               |
| 输出IP3                | f <sub>1BB</sub> = 3.5 MHz, f <sub>2BB</sub> = 4.5 MHz,<br>每信号音的基带I/Q幅度 = 0.45 V p-p差分 |                      | 35.7             |                      | dBm               |
| 本底噪声                 | I/Q输入为500 mV直流偏置且无RF输出，20 MHz载波失调<br>I/Q输入为500 mV直流偏置，-10 dBm RF输出，20 MHz载波失调          |                      | -158.8<br>-158.1 |                      | dBm/Hz<br>dBm/Hz  |
| RF输出 = 2,140 MHz     |  |                      |                  |                      |                   |
| 输出功率P <sub>OUT</sub> | 基带V <sub>IQ</sub> = 1 V p-p差分  |                      | 5                |                      | dBm               |
| 调制器电压增益              |  |                      | 1.12             |                      | dB                |
| 输出P1dB               |  |                      | 12.2             |                      | dBm               |
| 载波馈通                 |  |                      | -40.3            |                      | dBm               |
| 边带抑制                 |  |                      | -37.6            |                      | dBc               |
| 正交误差                 |  |                      | -1.15            |                      | 度                 |
| I/Q幅度平衡              |  |                      | -0.022           |                      | dB                |
| 二次谐波                 | P <sub>OUT</sub> - P(f <sub>LO</sub> ± (2 × f <sub>BB</sub> ))                         |                      | -57.9            |                      | dBc               |
| 三次谐波                 | P <sub>OUT</sub> - P(f <sub>LO</sub> ± (3 × f <sub>BB</sub> ))                         |                      | -58.1            |                      | dBc               |

# ADRF6720

| 参数                                | 测试条件/注释   | 最小值  | 典型值              | 最大值 | 单位               |
|-----------------------------------|---|------|------------------|-----|------------------|
| 输出IP2                             | $f_{1_{BB}} = 3.5 \text{ MHz}$ , $f_{2_{BB}} = 4.5 \text{ MHz}$ ,<br>每信号音的基带I/Q幅度 = 0.45 V p-p差分  |      | 57.7             |     | dBm              |
| 输出IP3                             | $f_{1_{BB}} = 3.5 \text{ MHz}$ , $f_{2_{BB}} = 4.5 \text{ MHz}$ ,<br>每信号音的基带I/Q幅度 = 0.45 V p-p差分  |      | 32.6             |     | dBm              |
| 本底噪声                              | I/Q输入为500 mV直流偏置且无RF输出, 20 MHz载波失调<br>I/Q输入为500 mV直流偏置, -10 dBm RF输出, 20 MHz载波失调                  |      | -157.9<br>-156.3 |     | dBm/Hz<br>dBm/Hz |
| RF输出 = 2,300 MHz                  |   |      |                  |     |                  |
| 输出功率 $P_{OUT}$                    | 基带 $V_{IQ} = 1 \text{ V p-p}$ 差分  |      | 4.6              |     | dBm              |
| 调制器电压增益                           |   |      | 0.62             |     | dB               |
| 输出P1dB                            |   |      | 11.8             |     | dBm              |
| 载波馈通                              |   |      | -37.6            |     | dBm              |
| 边带抑制                              |   |      | -36.6            |     | dBc              |
| 正交误差                              |   |      | -1.5             |     | 度                |
| I/Q幅度平衡                           |   |      | -0.0285          |     | dB               |
| 二次谐波                              | $P_{OUT} - P(f_{LO} \pm (2 \times f_{BB}))$   |      | -54.8            |     | dBc              |
| 三次谐波                              | $P_{OUT} - P(f_{LO} \pm (3 \times f_{BB}))$   |      | -56.6            |     | dBc              |
| 输出IP2                             | $f_{1_{BB}} = 3.5 \text{ MHz}$ , $f_{2_{BB}} = 4.5 \text{ MHz}$ ,<br>每信号音的基带I/Q幅度 = 0.45 V p-p差分  |      | 57.6             |     | dBm              |
| 输出IP3                             | $f_{1_{BB}} = 3.5 \text{ MHz}$ , $f_{2_{BB}} = 4.5 \text{ MHz}$ ,<br>每信号音的基带I/Q幅度 = 0.45 V p-p差分  |      | 30.4             |     | dBm              |
| 本底噪声                              | I/Q输入为500 mV直流偏置且无RF输出, 20 MHz载波失调<br>I/Q输入为500 mV直流偏置, -10 dBm RF输出, 20 MHz载波失调                  |      | -159.2<br>-157.5 |     | dBm/Hz<br>dBm/Hz |
| RF输出 = 2,600 MHz                  |   |      |                  |     |                  |
| 输出功率 $P_{OUT}$                    | 基带 $V_{IQ} = 1 \text{ V p-p}$ 差分  |      | 3.9              |     | dBm              |
| 调制器电压增益                           |   |      | -0.08            |     | dB               |
| 输出P1dB                            |   |      | 11.3             |     | dBm              |
| 载波馈通                              |   |      | -36.5            |     | dBm              |
| 边带抑制                              |   |      | -42.3            |     | dBc              |
| 正交误差                              |   |      | -0.55            |     | 度                |
| I/Q幅度平衡                           |   |      | -0.021           |     | dB               |
| 二次谐波                              | $P_{OUT} - P(f_{LO} \pm (2 \times f_{BB}))$   |      | -60.3            |     | dBc              |
| 三次谐波                              | $P_{OUT} - P(f_{LO} \pm (3 \times f_{BB}))$   |      | -54.7            |     | dBc              |
| 输出IP2                             | $f_{1_{BB}} = 3.5 \text{ MHz}$ , $f_{2_{BB}} = 4.5 \text{ MHz}$ , 每信号音的基带I/Q幅度 = 0.45 V p-p<br>差分 |      | 56.6             |     | dBm              |
| 输出IP3                             | $f_{1_{BB}} = 3.5 \text{ MHz}$ , $f_{2_{BB}} = 4.5 \text{ MHz}$ , 每信号音的基带I/Q幅度 = 0.45 V p-p<br>差分 |      | 29.9             |     | dBm              |
| 本底噪声                              | I/Q输入为500 mV直流偏置且无RF输出, 20 MHz载波失调<br>I/Q输入为500 mV直流偏置, -10 dBm RF输出, 20 MHz载波失调                  |      | -159.2<br>-157.3 |     | dBm/Hz<br>dBm/Hz |
| 频率合成器规格<br>品质因数(FOM) <sup>1</sup> | 频率合成器规格参考调制器输出  |      | -218.5           |     | dBc/Hz/Hz        |
| 基准电压源特性                           | REFIN、MUXOUT引脚  |      |                  |     |                  |
| REFIN输入频率                         |   | 5.7  |                  | 320 | MHz              |
| REFIN输入幅度                         |   |      | 4                |     | dBm              |
| 鉴相器频率                             |   | 11.4 |                  | 40  | MHz              |

| 参数  | 测试条件/注释  | 最小值 | 典型值    | 最大值 | 单位             |
|---|--|-----|--------|-----|----------------|
| MUXOUT输出电平  | 低(选择锁定检测输出)  |     | 0.25   |     | V              |
|   | 高(选择锁定检测输出)  |     | 2.7    |     | V              |
| MUXOUT占空比   |  |     | 50     |     | %              |
| 电荷泵   |  |     |        |     |                |
| 电荷泵电流   | 可编程为250 $\mu$ A、500 $\mu$ A、750 $\mu$ A或1000 $\mu$ A |     | 1000   |     | $\mu$ A        |
| 输出顺从电压范围  |  | 1   |        | 2.8 | V              |
| 相位噪声,<br>频率 = 940 MHz,<br>$f_{\text{PFD}} = 38.4$ MHz   | 闭环工作(20 kHz环路滤波器, 环路滤波器设计见图44)                       |     |        |     |                |
|   | 10 kHz失调   |     | -97.8  |     | dBc/Hz         |
|   | 100 kHz失调  |     | -120.8 |     | dBc/Hz         |
|   | 1 MHz失调  |     | -144.4 |     | dBc/Hz         |
|   | 5 MHz失调  |     | -154.4 |     | dBc/Hz         |
|   | 10 MHz失调   |     | -154.9 |     | dBc/Hz         |
|   | 20 MHz失调   |     | -155.3 |     | dBc/Hz         |
| 积分相位噪声  | 积分带宽1 kHz到40 MHz, 带杂散                                |     | 0.175  |     | $^{\circ}$ rms |
| 参考杂散  | $f_{\text{PFD}}$                                     |     | -104.8 |     | dBc            |
|   | $f_{\text{PFD}} \times 2$                            |     | -97.8  |     | dBc            |
|   | $f_{\text{PFD}} \times 3$                            |     | -98.8  |     | dBc            |
|   | $f_{\text{PFD}} \times 4$                            |     | -103   |     | dBc            |
| 相位噪声,<br>频率 = 1,900 MHz,<br>$f_{\text{PFD}} = 38.4$ MHz | 闭环工作(20 kHz环路滤波器, 环路滤波器设计见图44)                       |     |        |     |                |
|   | 10 kHz失调   |     | -91.5  |     | dBc/Hz         |
|   | 100 kHz失调  |     | -114.5 |     | dBc/Hz         |
|   | 1 MHz失调  |     | -139.9 |     | dBc/Hz         |
|   | 5 MHz失调  |     | -151.4 |     | dBc/Hz         |
|   | 10 MHz失调   |     | -153   |     | dBc/Hz         |
|   | 20 MHz失调   |     | -153.5 |     | dBc/Hz         |
| 积分相位噪声  | 积分带宽1 kHz到40 MHz, 带杂散                                |     | 0.332  |     | $^{\circ}$ rms |
| 参考杂散  | $f_{\text{PFD}}$                                     |     | -102   |     | dBc            |
|   | $f_{\text{PFD}} \times 2$                            |     | -90.8  |     | dBc            |
|   | $f_{\text{PFD}} \times 3$                            |     | -93.6  |     | dBc            |
|   | $f_{\text{PFD}} \times 4$                            |     | -100.5 |     | dBc            |
| 相位噪声,<br>频率 = 2,140 MHz,<br>$f_{\text{PFD}} = 38.4$ MHz | 闭环工作(20 kHz环路滤波器, 环路滤波器设计见图44)                       |     |        |     |                |
|   | 10 kHz失调   |     | -92    |     | dBc/Hz         |
|   | 100 kHz失调  |     | -115.7 |     | dBc/Hz         |
|   | 1 MHz失调  |     | -140.3 |     | dBc/Hz         |
|   | 5 MHz失调  |     | -151.3 |     | dBc/Hz         |
|   | 10 MHz失调   |     | -152.1 |     | dBc/Hz         |
|   | 20 MHz失调   |     | -152.9 |     | dBc/Hz         |
| 积分相位噪声  | 积分带宽1 kHz到40 MHz, 带杂散                                |     | 0.305  |     | $^{\circ}$ rms |
| 参考杂散  | $f_{\text{PFD}}$                                     |     | -95.9  |     | dBc            |
|   | $f_{\text{PFD}} \times 2$                            |     | -93.1  |     | dBc            |
|   | $f_{\text{PFD}} \times 3$                            |     | -87.4  |     | dBc            |
|   | $f_{\text{PFD}} \times 4$                            |     | -91.5  |     | dBc            |

# ADRF6720

| 参数  | 测试条件/注释  | 最小值 | 典型值                         | 最大值  | 单位                  |
|---|--|-----|-----------------------------|------|---------------------|
| 相位噪声,<br>频率 = 2,300 MHz,<br>$f_{\text{PFD}} = 38.4 \text{ MHz}$ | 闭环工作(20 kHz环路滤波器, 环路滤波器设计见图44)   |     |                             |      |                     |
|   | 10 kHz失调   |     | -94.1                       |      | dBc/Hz              |
|   | 100 kHz失调  |     | -114.6                      |      | dBc/Hz              |
|   | 1 MHz失调  |     | -138.7                      |      | dBc/Hz              |
|   | 5 MHz失调  |     | -150.1                      |      | dBc/Hz              |
|   | 10 MHz失调   |     | -151.4                      |      | dBc/Hz              |
|   | 20 MHz失调   |     | -152.6                      |      | dBc/Hz              |
| 积分相位噪声<br>参考杂散  | 积分带宽1 kHz到40 MHz, 带杂散  |     | 0.270                       |      | ° rms               |
|   | $f_{\text{PFD}}$   |     | -100.8                      |      | dBc                 |
|   | $f_{\text{PFD}} \times 2$  |     | -95.6                       |      | dBc                 |
|   | $f_{\text{PFD}} \times 3$  |     | -89.4                       |      | dBc                 |
|   | $f_{\text{PFD}} \times 4$  |     | -93.1                       |      | dBc                 |
| 相位噪声,<br>频率 = 2,600 MHz,<br>$f_{\text{PFD}} = 38.4 \text{ MHz}$ | 闭环工作(20 kHz环路滤波器, 环路滤波器设计见图44)   |     |                             |      |                     |
|   | 10 kHz失调   |     | -91.5                       |      | dBc/Hz              |
|   | 100 kHz失调  |     | -111.3                      |      | dBc/Hz              |
|   | 1 MHz失调  |     | -136.8                      |      | dBc/Hz              |
|   | 5 MHz失调  |     | -148.3                      |      | dBc/Hz              |
|   | 10 MHz失调   |     | -150                        |      | dBc/Hz              |
|   | 20 MHz失调   |     | -150.7                      |      | dBc/Hz              |
| 积分相位噪声<br>参考杂散  | 积分带宽1 kHz到40 MHz, 带杂散  |     | 0.378                       |      | ° rms               |
|   | $f_{\text{PFD}}$   |     | -97.4                       |      | dBc                 |
|   | $f_{\text{PFD}} \times 2$  |     | -89.3                       |      | dBc                 |
|   | $f_{\text{PFD}} \times 3$  |     | -95.2                       |      | dBc                 |
|   | $f_{\text{PFD}} \times 4$  |     | -91.4                       |      | dBc                 |
| LO输入/输出<br>LO输出频率范围<br>LO输出电平                                   | LO输出<br>2 × LO或1 × LO模式, 驱动至50 Ω负载, LO缓冲器在2140 MHz使能<br>LO_DRV_LVL = 0<br>LO_DRV_LVL = 1<br>LO_DRV_LVL = 2                       | 700 |                             | 2855 | MHz                 |
| LO输入电平  | 外部施加LO, PLL禁用  | -6  | 0                           | +6   | dBm                 |
| LO输入阻抗  | 外部施加LO, PLL禁用  |     | 50                          |      | Ω                   |
| 基带输入<br>I和Q输入直流偏置电平<br>带宽<br>差分输入阻抗<br>差分输入电容                   | I±和Q±引脚<br>1 dB<br>频率 = 10 MHz <sup>2</sup><br>频率 = 10 MHz <sup>2</sup>  |     | 0.5<br>>1000<br>465<br>1.84 |      | V<br>MHz<br>Ω<br>pF |
| 输出使能<br>开启建立时间<br>关闭建立时间  | ENBL引脚<br>ENBL高电平到低电平(包络的90%), 寄存器0x01[10] = 1、<br>寄存器0x10[10] = 1时<br>ENBL低电平到高电平(包络的10%), 寄存器0x01[10] = 1、<br>寄存器0x10[10] = 1时 |     | 190<br>20                   |      | ns<br>ns            |

| 参数                      | 测试条件/注释  | 最小值 | 典型值  | 最大值 | 单位      |
|-------------------------|--|-----|------|-----|---------|
| 数字逻辑                    | SCLK、SDIO、 $\overline{CS}$ 和ENBL               |     |      |     |         |
| 输入高电压( $V_{IH}$ )       |  | 1.4 |      |     | V       |
| 输入低电压( $V_{IL}$ )       |  |     |      | 0.7 | V       |
| 输入电流( $I_{IH}/I_{IL}$ ) |  | -1  |      | 1   | $\mu$ A |
| 输入电容( $C_{IN}$ )        |  |     | 5    |     | pF      |
| 输出高电压( $V_{OH}$ )       | $I_{OH} = -100 \mu$ A                          | 2.3 |      |     | V       |
| 输出低电压( $V_{OL}$ )       | $I_{OL} = 100 \mu$ A                           |     |      | 0.2 | V       |
| 电源                      |  |     |      |     |         |
| 电压范围                    | VPOSx  |     | 3.3  |     | V       |
| 电源电流                    | 内部LO模式下的Tx模式(PLL、内部VCO和调制器使能, LO输出驱动器禁用)       |     | 425  |     | mA      |
|                         | 外部1x LO模式下的Tx模式(PLL、内部VCO禁用, 调制器使能, LO输出驱动器禁用) |     | 228  |     | mA      |
|                         | LO输出驱动器; LO_DRV_LVL位(寄存器0x22[7:6])= 10         |     | 50   |     | mA      |
|                         | 省电模式   |     | 14.5 |     | mA      |

<sup>1</sup> 品质因数(FOM)的计算方法为: 相位噪声(dBc/Hz) - 10log10( $f_{PFD}$ ) - 20log10( $f_{LO}/f_{PFD}$ )。FOM在整个LO范围内测量, 条件:  $f_{REF} = 153.6$  MHz,  $f_{REF}$  power = 4 dBm (38.4 MHz  $f_{PFD}$ )。FOM在50 kHz偏移下计算。

<sup>2</sup> 有关输入阻抗随频率变化的曲线, 请参考图47。

## 时序特性

表2.

| 参数           | 说明                                      | 最小值 | 典型值 | 最大值 | 单位 |
|--------------|---|-----|-----|-----|----|
| $t_{SCLK}$   | 串行时钟周期                                  | 38  |     |     | ns |
| $t_{DS}$     | 数据与SCLK上升沿之间的建立时间                       | 8   |     |     | ns |
| $t_{DH}$     | 数据与SCLK上升沿之间的保持时间                       | 8   |     |     | ns |
| $t_s$        | $\overline{CS}$ 下降沿与SCLK之间的建立时间         | 10  |     |     | ns |
| $t_H$        | $\overline{CS}$ 上升沿与SCLK之间的保持时间         | 10  |     |     | ns |
| $t_{HIGH}$   | SCLK应处于逻辑高电平状态的最短时间                     | 10  |     |     | ns |
| $t_{LOW}$    | SCLK应处于逻辑低电平状态的最短时间                     | 10  |     |     | ns |
| $t_{ACCESS}$ | 读操作的SCLK下降沿与输出数据有效之间的最大延迟时间             |     |     | 231 | ns |
| $t_z$        | $\overline{CS}$ 停用与SDIO总线返回高阻态之间的最大延迟时间 |     |     | 5   | ns |

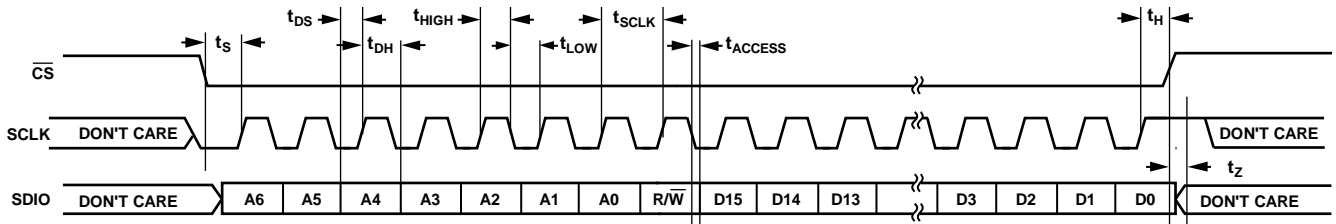


图2. 串行端口时序图

## 绝对最大额定值

表3.

| 参数                           | 额定值           |
|------------------------------|---------------|
| 电源电压                         | -0.3 V至+3.6 V |
| I+, I-, Q+, Q-               | -0.5 V至+1.5 V |
| LOIN+, LOIN-                 | 16 dBm差分      |
| REFIN                        | -0.3 V至+3.6 V |
| ENBL                         | -0.3 V至+3.6 V |
| VTUNE                        | -0.3 V至+3.6 V |
| $\overline{CS}$ , SCLK, SDIO | -0.3 V至+3.6 V |
| 最高结温                         | 150°C         |
| 工作温度范围                       | -40°C至+85°C   |
| 存储温度范围                       | -65°C至+150°C  |

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

## 热阻

$\theta_{JA}$ 是结至环境热阻(°C/W)， $\theta_{JC}$ 是结至外壳热阻(°C/W)。

表4. 热阻

| 封装类型       | $\theta_{JA}$ <sup>1</sup> | $\theta_{JC}$ <sup>1</sup> | 单位   |
|------------|----------------------------|----------------------------|------|
| 40引脚 LFCSP | 30.23                      | 0.44                       | °C/W |

<sup>1</sup> 有关热阻优化信息，请参考JEDEC标准JESD51-2。

## ESD警告

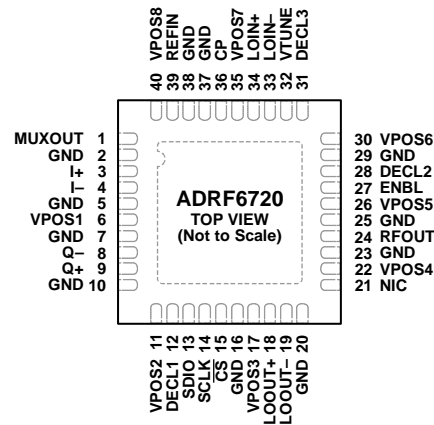


### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。



## 引脚配置和功能描述



- NOTES
1. NIC = NOT INTERNALLY CONNECTED.
  2. SOLDER THE EXPOSED PAD TO A LOW IMPEDANCE GROUND PLANE.

12134-003

图3. 引脚配置

表5. 引脚功能描述

| 引脚编号   | 引脚名称           | 说明  |
|--------|----------------|---|
| 1      | MUXOUT         | 多路复用器输出。通过该输出，可以从外部访问数字锁定检测信号、与绝对温度成比例的电压(VPTAT)或缓冲的频率缩放参考信号。输出通过寄存器0x21中的位[6:4]编程选择。 |
| 2, 10  | GND            | 基带接地。   |
| 3, 4   | I+, I-         | 差分同相基带输入。   |
| 5, 7   | GND            | 混频器内核(I和Q)接地。   |
| 6      | VPOS1          | 供基带使用的3.3 V电源电压。通过引脚附近的100 pF和0.1 μF电容给VPOS1去耦。                                       |
| 8, 9   | Q-, Q+         | 差分正交基带输入。   |
| 11     | VPOS2          | 供2.5 V LDO使用的3.3 V电源电压。通过引脚附近的100 pF和0.1 μF电容给VPOS2去耦。                                |
| 12     | DECL1          | 2.5 V LDO的去耦引脚。在该引脚与地之间连接100 pF、0.1 μF和10 μF电容。                                       |
| 13     | SDIO           | SPI串行数据输入/输出。   |
| 14     | SCLK           | SPI串行时钟输入/输出。   |
| 15     | CS             | SPI片选输入/输出。   |
| 16     | GND            | 数字地。  |
| 17     | VPOS3          | 供LO使用的3.3 V电源电压。通过引脚附近的100 pF和0.1 μF电容给VPOS3去耦。                                       |
| 18, 19 | LOOUT+, LOOUT- | 差分LO输出。内部产生的LO或外部 $1 \times LO/2 \times LO$ 通过这些引脚在 $1 \times LO$ 或 $2 \times LO$ 提供。 |
| 20     | GND            | LO接地。   |
| 21     | NIC            | 内部不连接。此引脚可保持断开或连接RF地。   |
| 22     | VPOS4          | 供RF使用的3.3 V电源电压。通过引脚附近的100 pF和0.1 μF电容给VPOS4去耦。                                       |
| 23, 25 | GND            | RF地。  |
| 24     | RFOUT          | 单端0 V DC RF输出。  |
| 26     | VPOS5          | 供RF使用的3.3 V电源电压。通过引脚附近的100 pF和0.1 μF电容给VPOS5去耦。                                       |
| 27     | ENBL           | 使能/禁用电路模块。参考寄存器0x01和寄存器0x10中的设置。更多信息请参考“ENBL”部分。                                      |
| 28     | DECL2          | VCO LDO的去耦引脚。在该引脚与地之间连接100 pF、0.1 μF和10 μF电容。   |
| 29     | GND            | VCO地。   |

# ADRF6720

| 引脚编号   | 引脚名称         | 说明   |
|--------|--------------|--|
| 30     | VPOS6        | 供VCO LDO使用的3.3 V电源电压。通过引脚附近的100 pF和0.1 $\mu$ F电容给VPOS6去耦。  |
| 31     | DECL3        | VCO LDO的去耦引脚。在该引脚与地之间连接100 pF、0.1 $\mu$ F和10 $\mu$ F电容。    |
| 32     | VTUNE        | VCO调谐电压。   |
| 33, 34 | LOIN-, LOIN+ | 差分外部LO输入。  |
| 35     | VPOS7        | 供电荷泵使用的3.3 V电源电压。通过引脚附近的100 pF和0.1 $\mu$ F电容给VPOS7去耦。      |
| 36     | CP           | 电荷泵输出。   |
| 37     | GND          | 电荷泵接地。   |
| 38     | GND          | PLL参考地。  |
| 39     | REFIN        | PLL参考输入。   |
| 40     | VPOS8        | 供PLL基准电压源使用的3.3 V电源电压。通过引脚附近的100 pF和0.1 $\mu$ F电容给VPOS8去耦。 |
|        | EP           | 裸露焊盘。将裸露焊盘与低阻抗接地层相连。                                       |

## 典型性能参数

除非另有说明,  $V_{POSx}=3.3V$ ,  $T_A=25^{\circ}C$ , 基带I/Q幅度=1Vp-p差分正弦波与500mV直流偏置正交, 基带I/Q频率( $f_{BB}$ )=1MHz,  $f_{PFD}=38.4MHz$ ,  $f_{REF}=153.6MHz$ (4dBm参考50Ω, 1Vp-p), 20kHz环路滤波器。

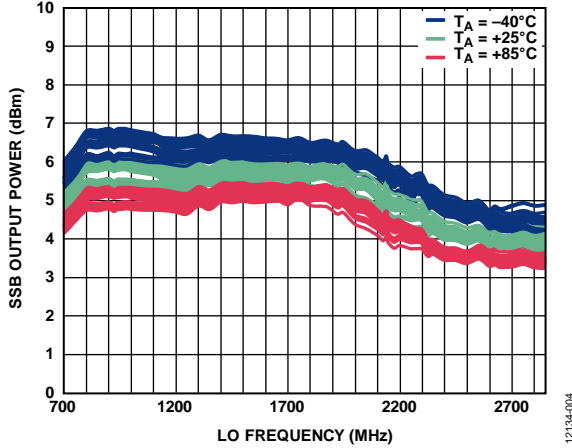


图4. 单边带(SSB)输出功率( $P_{OUT}$ )与LO频率( $f_{LO}$ )和温度的关系(多个器件)

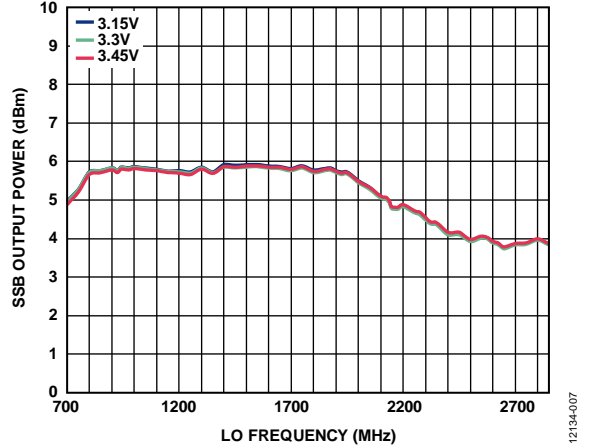


图7. SSB输出功率( $P_{OUT}$ )与LO频率( $f_{LO}$ )和电源的关系

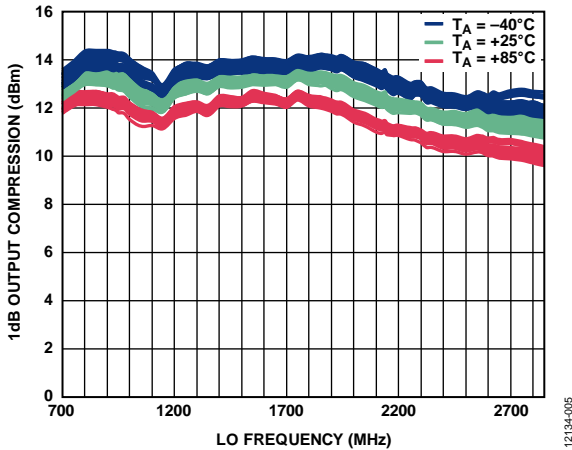


图5. SSB 1 dB输出压缩点(OP1dB)与LO频率( $f_{LO}$ )和温度的关系(多个器件)

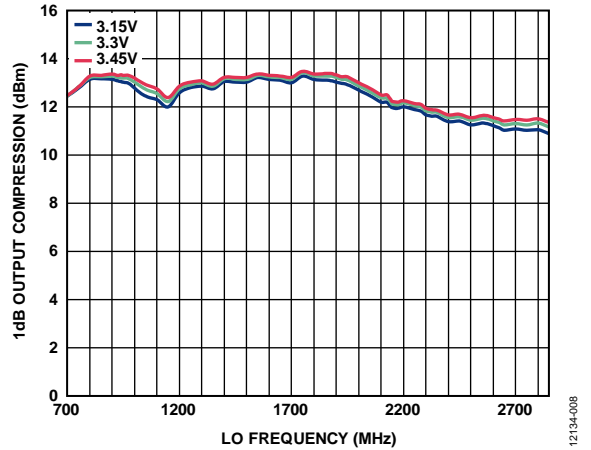


图8. SSB 1 dB输出压缩点(OP1dB)与LO频率( $f_{LO}$ )和电源的关系

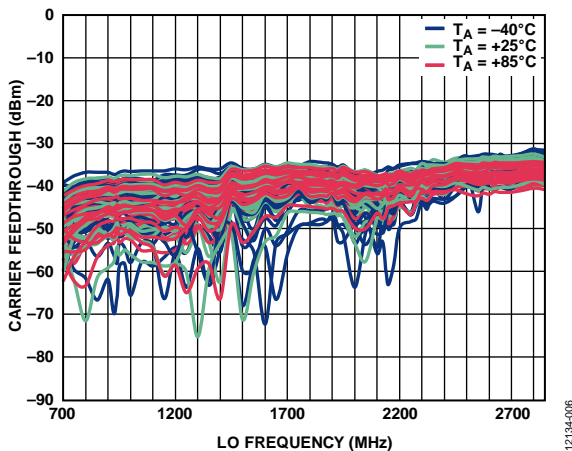


图6. 调零前载波馈通与LO频率( $f_{LO}$ )和温度的关系(多个器件)

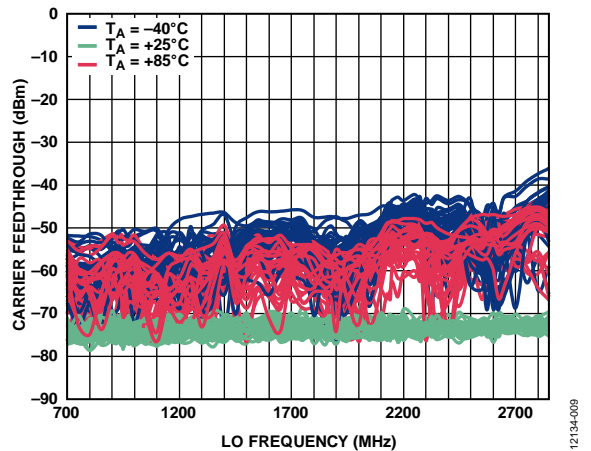


图9. 25°C下使用DCOFF\_I和DCOFF\_Q调零后载波馈通与LO频率( $f_{LO}$ )和温度的关系(多个器件)

# ADRF6720

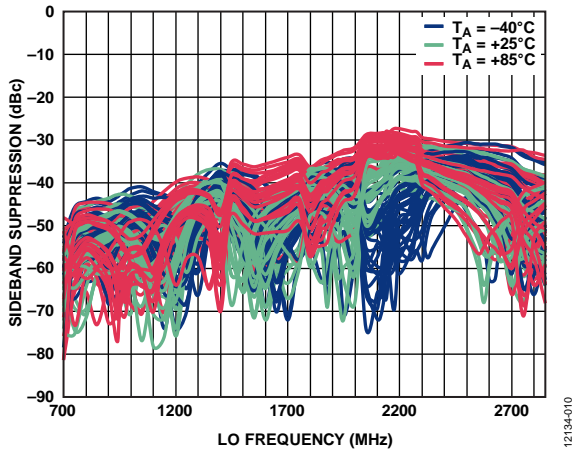


图10. 调零前边带抑制与LO频率( $f_{LO}$ )和温度的关系(多个器件)

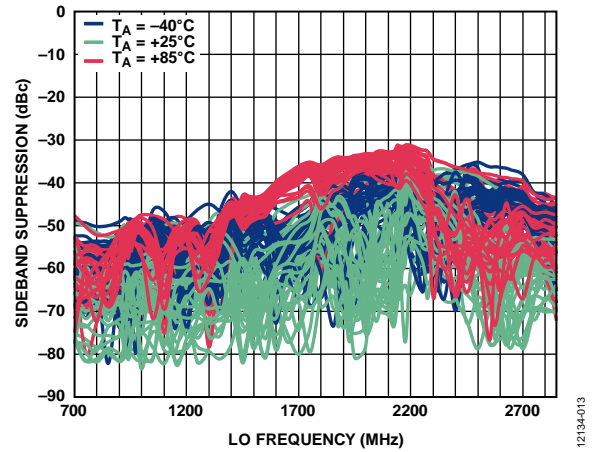


图13. 25°C下使用L\_LO和Q\_LO调零后边带抑制与LO频率( $f_{LO}$ )和温度的关系(多个器件)

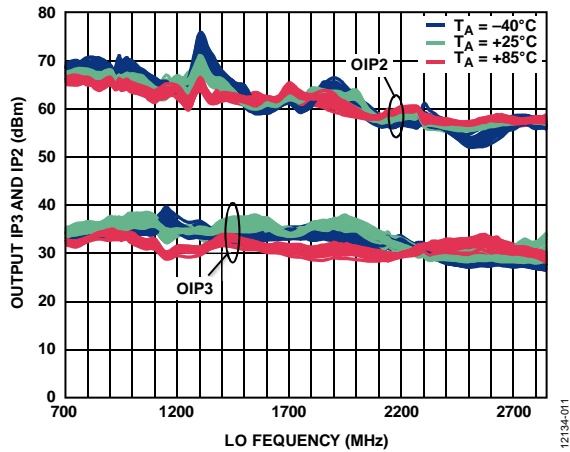


图11. OIP3和OIP2与LO频率( $f_{LO}$ )和温度的关系( $P_{OUT} \approx -5$  dBm/信号音, 多个器件)

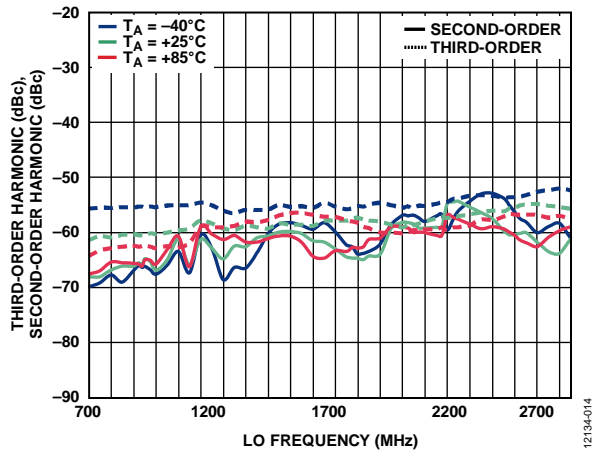


图14. 二阶和三阶谐波与LO频率( $f_{LO}$ )和温度的关系( $P_{OUT} \approx 5$  dBm)

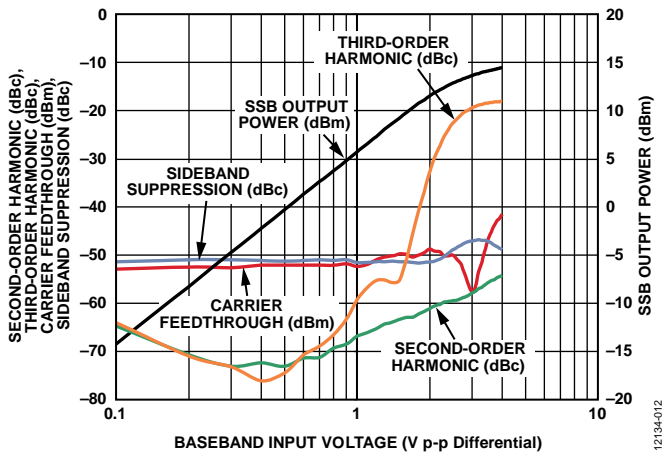


图12. SSB输出功率、二阶和三阶谐波、载波馈通、边带抑制与基带差分输入电压的关系( $f_{OUT} = 940$  MHz)

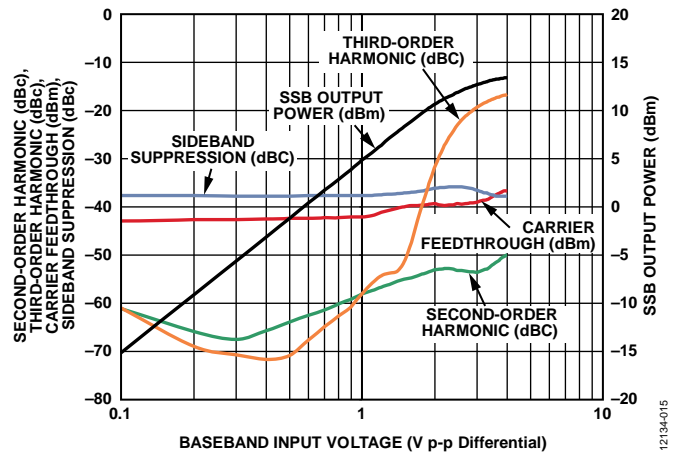


图15. SSB输出功率、二阶和三阶谐波、载波馈通、边带抑制与基带差分输入电压的关系( $f_{OUT} = 2,140$  MHz)

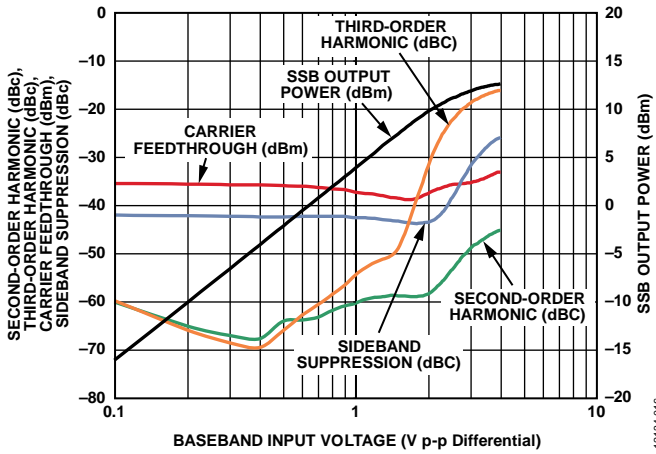


图16. SSB输出功率、二阶和三阶谐波、载波馈通、边带抑制与基带差分输入电压的关系( $f_{OUT} = 2,600$  MHz)

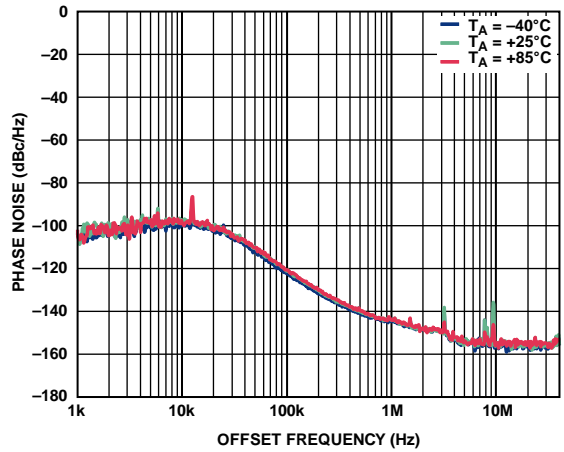


图19. 闭环相位噪声与失调频率和温度的关系 ( $f_{LO} = 940$  MHz; 20 kHz环路滤波器)

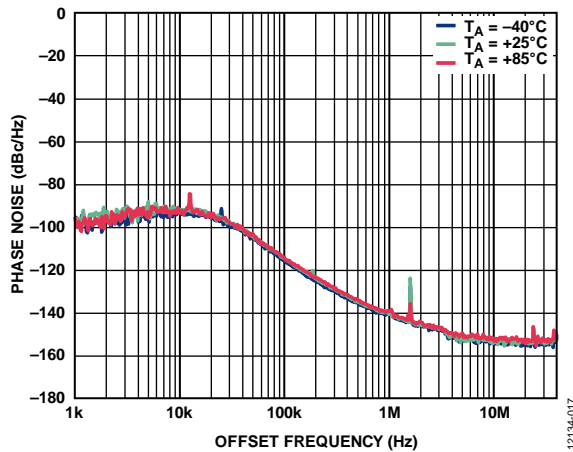


图17. 闭环相位噪声与失调频率和温度的关系 ( $f_{LO} = 1900$  MHz; 20 kHz环路滤波器)

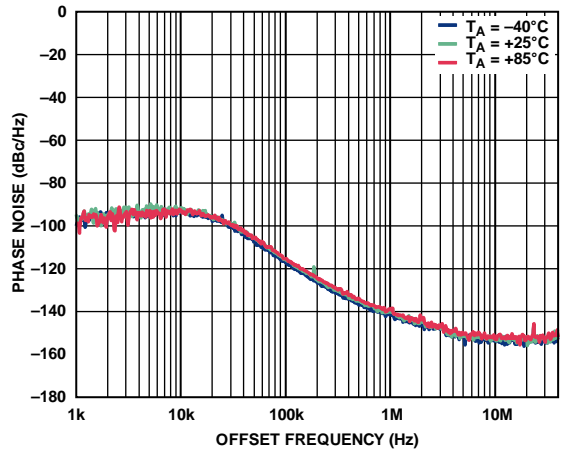


图20. 闭环相位噪声与失调频率和温度的关系 ( $f_{LO} = 2,140$  MHz; 20 kHz环路滤波器)

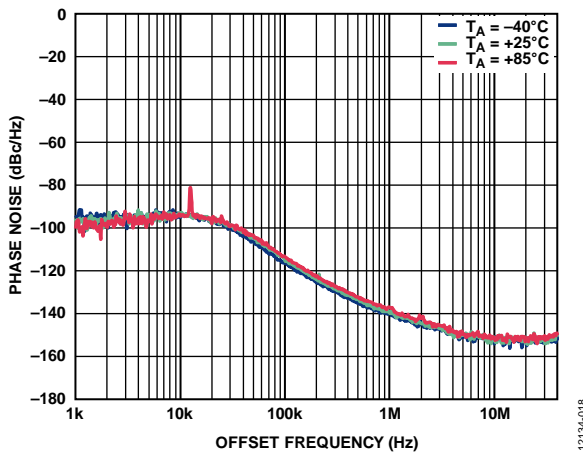


图18. 闭环相位噪声与失调频率和温度的关系 ( $f_{LO} = 2,300$  MHz; 20 kHz环路滤波器)

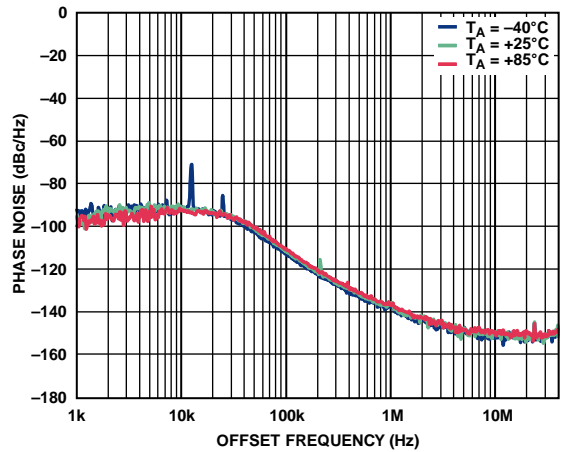


图21. 闭环相位噪声与失调频率和温度的关系 ( $f_{LO} = 2,600$  MHz; 20 kHz环路滤波器)

# ADRF6720

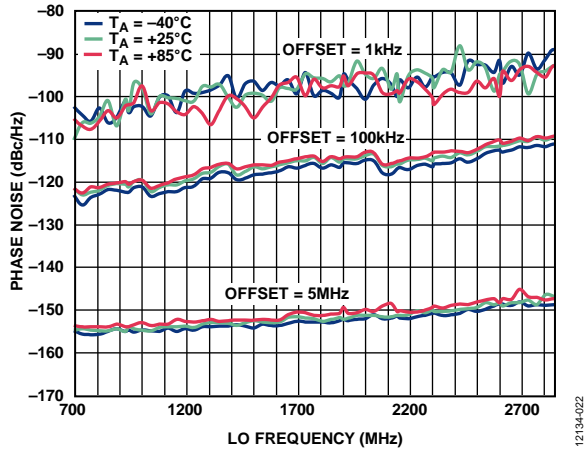


图22. 1 kHz、100 kHz和5 MHz失调下闭环相位噪声与LO频率的关系

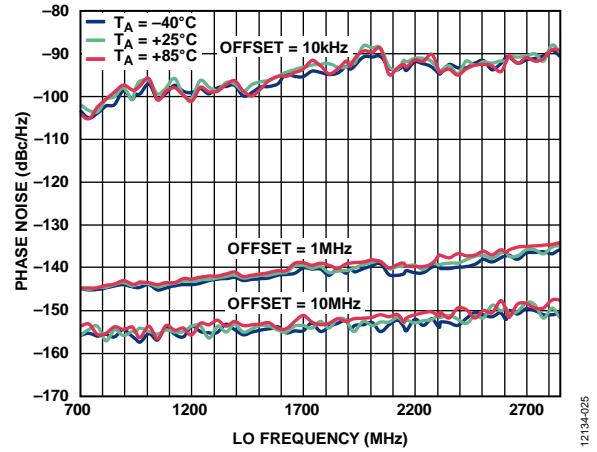


图25. 10 kHz、1 MHz和10 MHz失调下闭环相位噪声与LO频率的关系

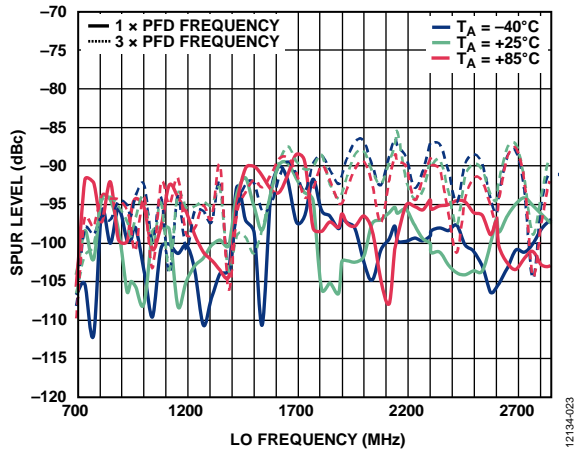


图23. 调制器输出端PLL参考杂散与LO频率的关系( $1 \times \text{PFD}$ 和 $3 \times \text{PFD}$ )

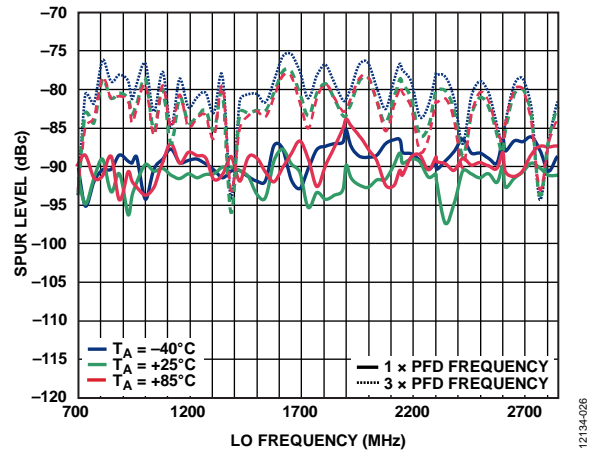


图26. LO输出端PLL参考杂散与LO频率的关系( $1 \times \text{PFD}$ 和 $3 \times \text{PFD}$ )

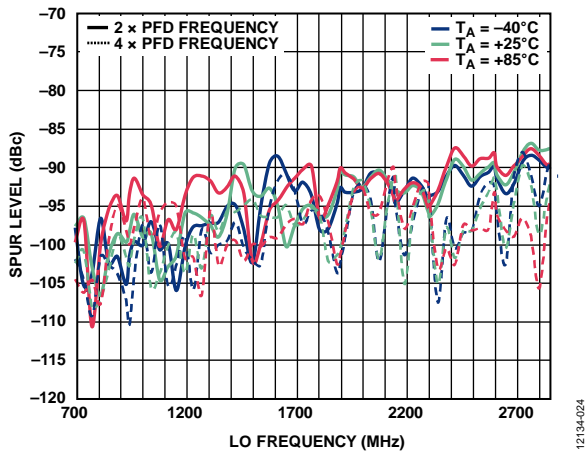


图24. 调制器输出端PLL参考杂散与LO频率的关系( $2 \times \text{PFD}$ 和 $4 \times \text{PFD}$ )

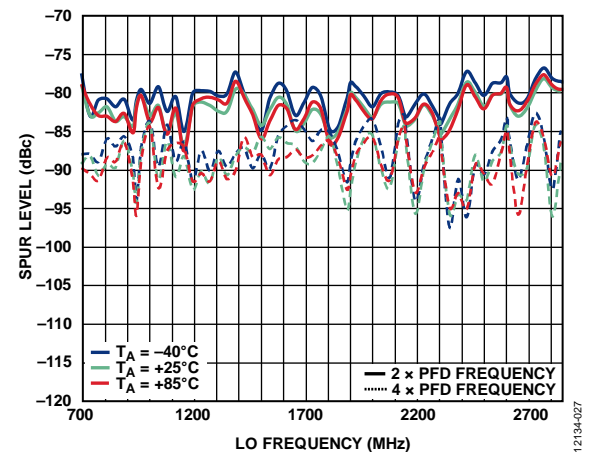


图27. LO输出端PLL参考杂散与LO频率的关系( $2 \times \text{PFD}$ 和 $4 \times \text{PFD}$ )

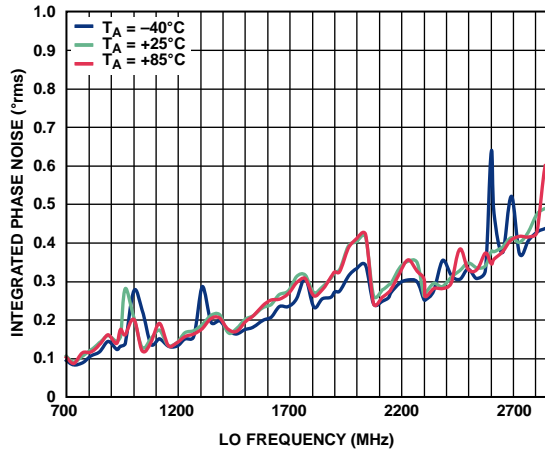


图28. 带杂散的积分相位噪声与LO频率和温度的关系

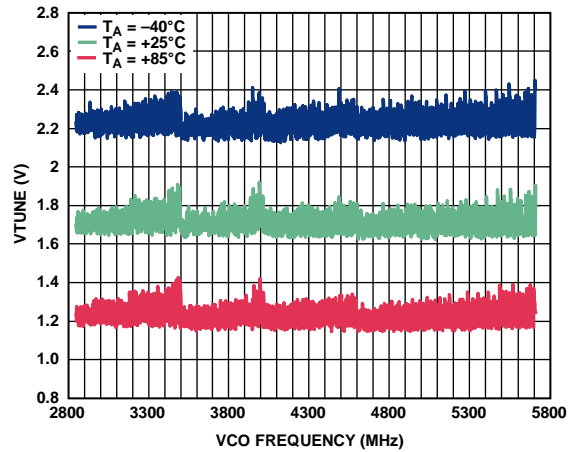


图31. VTUNE与VCO频率和温度的关系

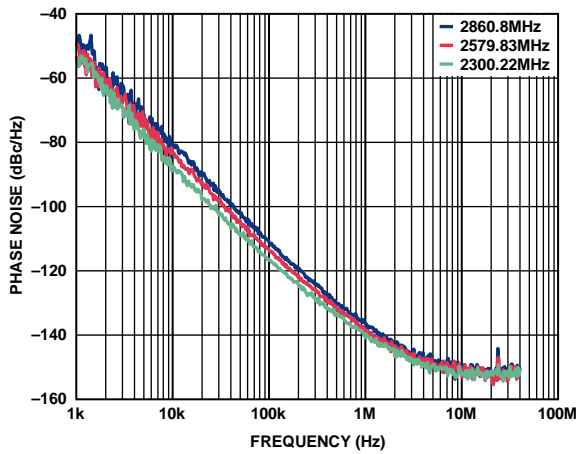


图29. 2300.22 MHz、2579.83 MHz和2860.8 MHz处测量的VCO 0开环VCO相位噪声( $VCO \div 2$ )

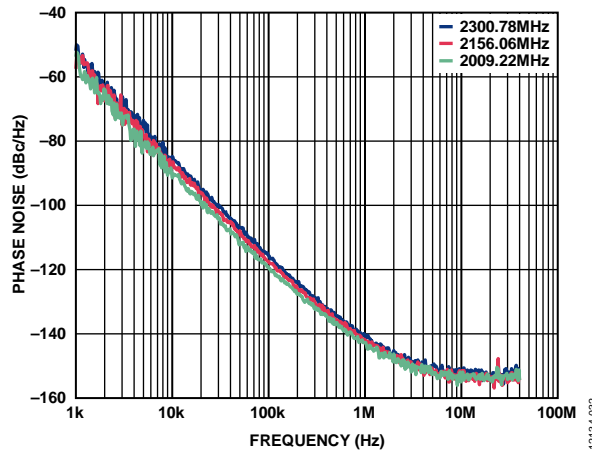


图32. 2,009.22 MHz、2,156.06 MHz和2,300.78 MHz处测量的VCO 1开环VCO相位噪声( $VCO \div 2$ )

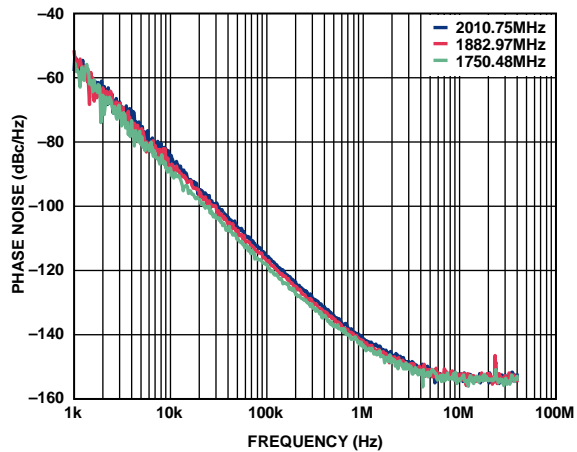


图30. 1,750.48 MHz、1,882.97 MHz和2,010.75 MHz处测量的VCO 2开环VCO相位噪声( $VCO \div 2$ )

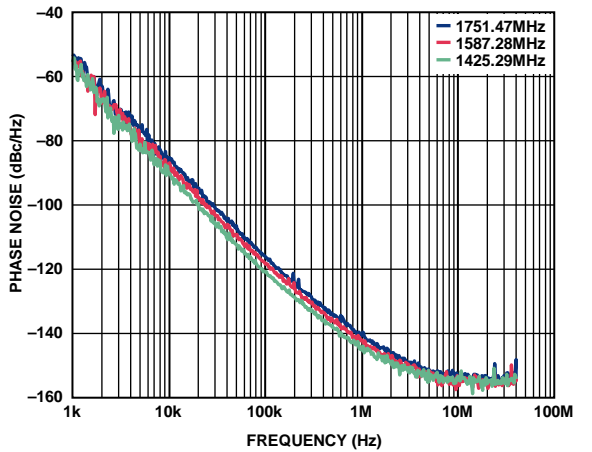


图33. 1,425.29 MHz、1,587.28 MHz和1,751.47 MHz处测量的VCO 3开环VCO相位噪声( $VCO \div 2$ )

# ADRF6720

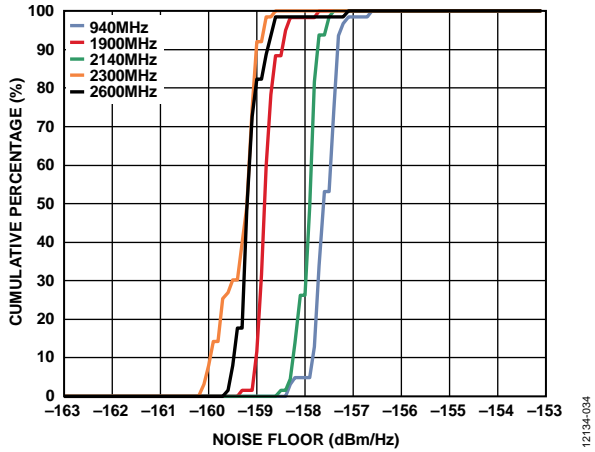


图34. 使用内部LO时, 各种LO频率下的本底噪声累积分布, I/Q输入为500 mV直流偏置且无RF输出

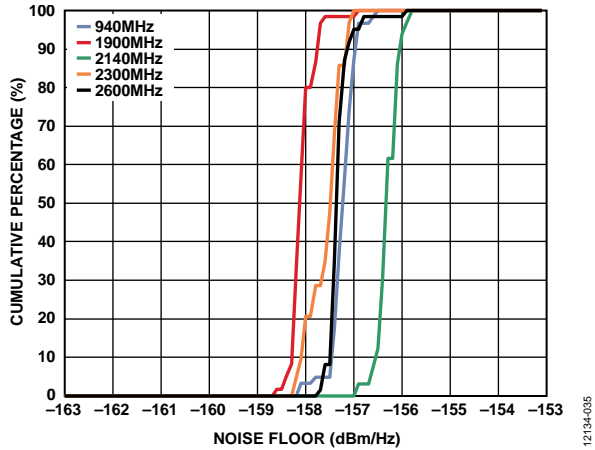


图35. 使用内部LO时, 各种LO频率下的本底噪声累积分布, I/Q输入为500 mV直流偏置, RF输出=-10 dBm

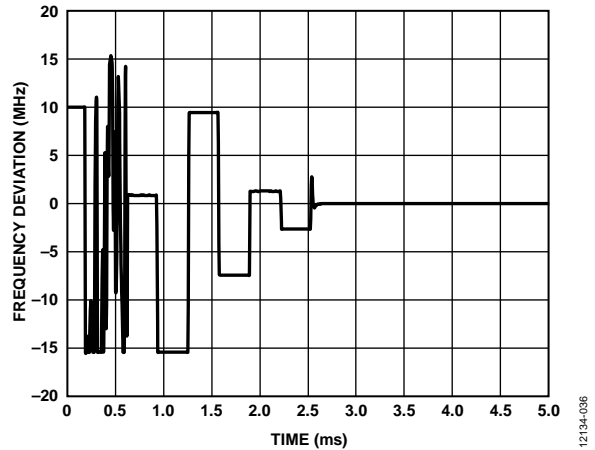


图36. LO = 1.91 GHz至1.9 GHz时相对于LO频率的偏差与锁定时间的关系

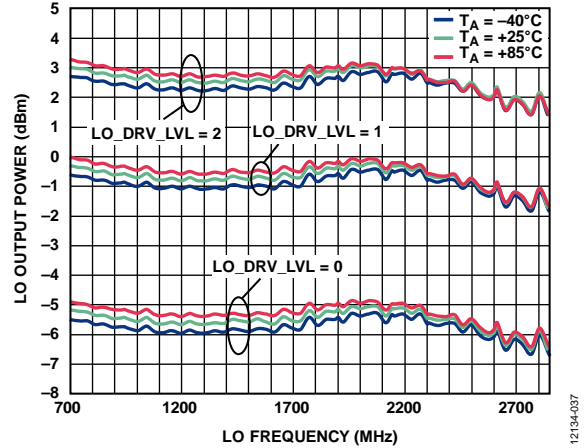


图37. 各种LO\_DRV\_LVL设置下的LO输出功率与LO频率的关系

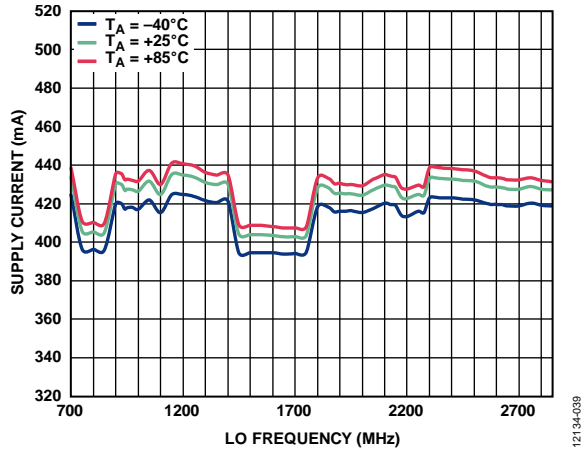


图38. 电源电流与LO频率和温度的关系 (PLL和I/Q调制器使能, LO缓冲器禁用)

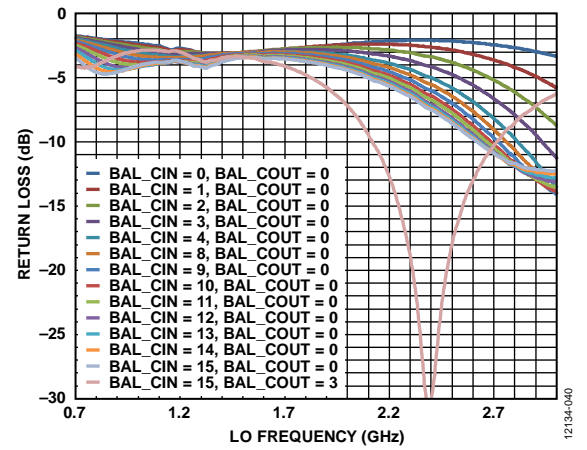


图39. 多种BAL\_CIN和BAL\_COUT组合下的RF输出回损与LO频率( $f_{LO}$ )的关系



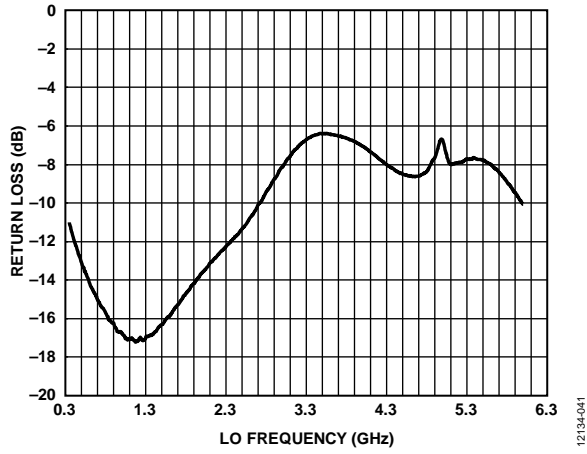


图40. LO输入回损与LO频率( $f_{LO}$ )的关系

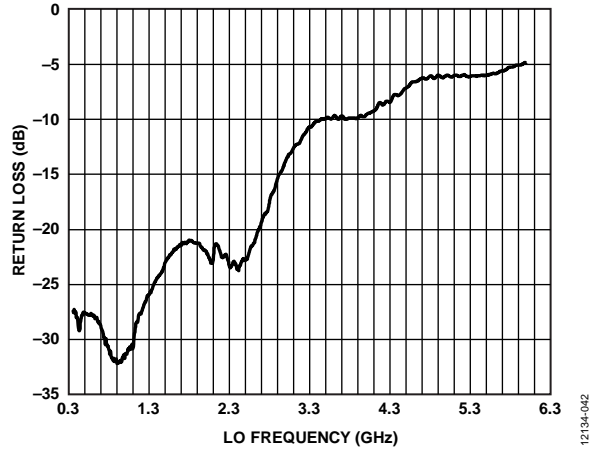


图41. LO输出回损与LO频率( $f_{LO}$ )的关系

## 工作原理

ADRF6720集成带有小数N分频PLL和低噪声多核VCO的高性能宽带I/Q调制器。基带输入与内部产生的LO或外部提供的LO混频，并使用集成式RF巴伦转换为单端RF。器件框图如图1所示。ADRF6720通过SPI编程。

### LO生成模块

ADRF6720同时支持用于混频器的内部或外部LO信号。内部LO由片内VCO生成，可在2850 MHz至5710 MHz的倍频程范围内调谐。VCO输出通过小数N分频PLL锁相至外部基准时钟；该PLL可通过SPI控制寄存器编程。若要产生356.25 MHz至2855 MHz频率范围的同相和正交相位LO信号以驱动混频器，可利用分频器组合来引导VCO输出，如图42所示。

或者，也可采用外部信号配合分频器或多相分相器，以便产生相对于混频器正交的LO信号。在要求最低相位噪声性能的苛刻应用中，可能需要从外部提供LO信号。产生正交LO的不同方法，以及所需的控制寄存器编程列于表6。

### 内部LO模式

对于内部LO模式，则ADRF6720使用片内PLL和VCO来合成LO信号的频率。如图42所示，PLL由参考路径、鉴频鉴相器(PFD)、电荷泵和带预分频器的可编程整数分频器组成。参考路径接收参考时钟，将其2/4/8分频或1/2倍频后送至PFD。PFD将该信号与VCO的分频信号进行比较。根据所选的PFD极性，如果VCO信号比参考频率慢/快，PFD将向电荷泵发送升/降信号。电荷泵发送一个电流脉冲到片外环路滤波器，从而提高或降低调谐电压( $V_{TUNE}$ )。

ADRF6720集成四个VCO内核，覆盖从2850 MHz到5710 MHz的倍频程范围。

表6列出了每个VCO的频率范围。所需VCO可通过寻址VCO\_SEL位(寄存器0x22[2:0])选择。

通过设置QUAD\_DIV\_EN位(寄存器0x01[9])和LO\_1XVCO\_EN位(寄存器0x01[11])，可选择LO源和正交生成的路径。VCO信号通过多相滤波器的这种模式旨在利用内部VCO来扩展工作频率，且仅对足够高的基带输入频率有用，可以防止RF输出信号对VCO的牵引。

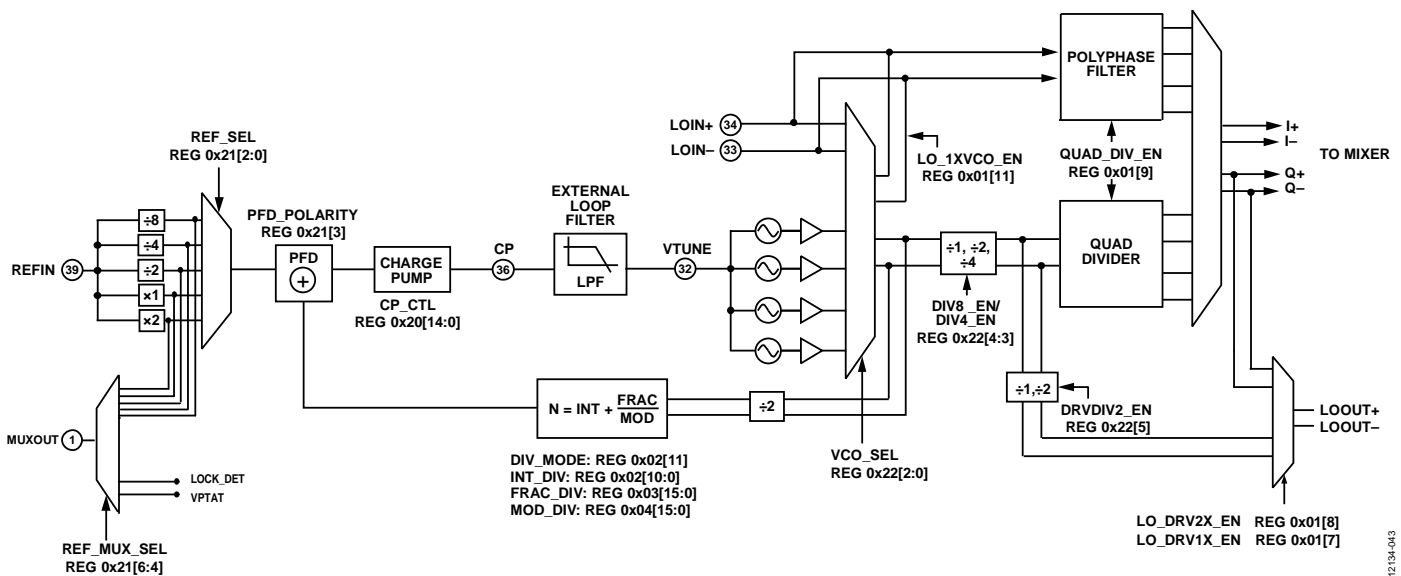


图42. LO功能框图

表6. LO模式选择

| LO选择    | $f_{VCO}$ 或 $f_{EXT}$ (MHz) | 正交产生 | QUAD_DIV_EN<br>(寄存器0x01[9]) | LO_1XVCO_EN<br>(寄存器0x1[11]) | 使能(寄存器<br>0x01[6:0])  | VCO_SEL<br>(寄存器0x22<br>[2:0]) |
|---------|-----------------------------|------|-----------------------------|-----------------------------|-----------------------|-------------------------------|
| 内部(VCO) | 2850至3500                   | 2分频  | 1                           | 0                           | 111 111X <sup>1</sup> | 011                           |
|         | 3500至4020                   | 2分频  | 1                           | 0                           | 111 111X <sup>1</sup> | 010                           |
|         | 4020至4600                   | 2分频  | 1                           | 0                           | 111 111X <sup>1</sup> | 001                           |
|         | 4600至5710                   | 2分频  | 1                           | 0                           | 111 111X <sup>1</sup> | 000                           |
|         | 2855至3000                   | 多相   | 0                           | 0                           | 111 111X <sup>1</sup> | 011                           |
| 外部      | 700至6000                    | 2分频  | 1                           | 0                           | 101 000X <sup>1</sup> | 1XX <sup>1</sup>              |
|         | 700至3000                    | 多相   | 0                           | 0                           | 000 000X <sup>1</sup> | XXX <sup>1</sup>              |

<sup>1</sup> X = 无关位。

### LO频率和分频器

VCO或外部LO输入的信号缓冲前通过一系列分频器，然后驱动有源混频器。两个可编程2分频级将输入信号频率分为1/2/4，然后进入正交分频器以便进一步对信号频率2分频，产生同相和正交相位LO信号供混频器使用。用来选择不同LO频率范围的控制位(寄存器0x22[4:3])如表7所列。

表7. LO频率和分频器

| LO频率范围<br>(MHz) | $f_{VCO}/f_{LO}$ 或<br>$f_{EXT LO}/f_{LO}$ | DIV8_EN<br>(寄存器0x22<br>[4]) | DIV4_EN<br>(寄存器0x22<br>[3]) |
|-----------------|---|-----------------------------|-----------------------------|
| 1425至 2855      | 2   | 0                           | 0                           |
| 712.5至1425      | 4   | 0                           | 1                           |
| 356.25至712.5    | 8   | 1                           | 1                           |

### PLL频率编程

N分频器设为2分频可将VCO信号分频为PFD频率。N分频器可通过寻址DIV\_MODE位(寄存器0x02[11])配置为小数模式或整数模式。默认配置是小数模式。使用下式确定N值和PLL频率：

$$f_{PFD} = \frac{f_{VCO}}{2 \times N}$$

$$N = INT + \frac{FRAC}{MOD}$$

$$f_{LO} = \frac{f_{VCO}}{LO\_DIVIDER} = \frac{f_{PFD} \times 2 \times N}{LO\_DIVIDER}$$

其中：

$f_{PFD}$  是鉴频鉴相器频率。

$f_{VCO}$  是VCO频率。

N是小数分频比( $INT + FRAC/MOD$ )。

INT是寄存器0x02编程设置的整数分频比。

FRAC是寄存器0x03编程设置的小数分频比。

MOD是寄存器0x04编程设置的模数分频比。

$f_{LO}$  是环路锁定时进入混频器内核的LO频率。

LO\_DIVIDER是最终分频比，可将VCO频率或外部LO信号2/4/8分频，然后输入混频器，如表7所示。

### 环路滤波器

环路滤波器连接在CP和VTUNE引脚之间。针对20 kHz滤波器设计，建议使用的元件如表8所示；另外可参考图44。

ADRF6720闭环相位噪声采用20 kHz环路滤波器进行特性表征。可以采用外部VCO工作，这种情况下，环路滤波器输出连接外部VCO的调谐引脚。VCO的输出通过LOIN+和LOIN-引脚引回器件。欲设计具有其他特性的环路滤波器，请从<http://www.analog.com/adisimpll>下载最新版本的ADIsimPLL™以获得帮助。

表8. 环路滤波器的推荐元件

| 元件  | 20 kHz环路滤波器 |
|-----|-------------|
| C57 | 2700 pF     |
| R12 | 300 Ω       |
| C58 | 100 nF      |
| R23 | 5.6 Ω       |
| C59 | 2700 pF     |
| R26 | 820 Ω       |
| C60 | 1500 pF     |

### PLL锁定时间

写入最后一个寄存器后，需要一定时间来锁定PLL。VCO频段校准时间和环路建立时间用于确定PLL锁定时间。

写入最后一个寄存器后，PLL自动执行VCO频段校准以选择正确的VCO频段。此校准需要大约94,208个PFD周期。对于一个40 MHz  $f_{PFD}$ 来说，这对应于2.36 ms。完成频段校准后，PLL反馈动作将使VCO锁定到正确的频率上。锁定速度取决于非线性周跳行为和环路的小信号建立时间。要准确估计锁定时间，请下载ADIsimPLL工具，它能正确捕捉这些效应。一般而言，高带宽环路的锁定速度快于低带宽环路。

# ADRF6720

锁定检测信号作为可选输出之一，通过MUXOUT引脚提供，逻辑高电平表示环路已锁定。MUXOUT引脚的控制位是REF\_MUX\_SEL位(寄存器0x21[6:4])，且默认配置用于PLL锁定检测。

## 所需PLL/VCO设置和寄存器写入序列

除了写入所需寄存器以配置PLL和VCO从而实现所需的LO频率和相位噪声性能外，表9中的寄存器也是需要写入的寄存器。

为确保PLL锁定所需的频率，应遵守PLL寄存器的适当写操作顺序。PLL寄存器必须进行相应配置以实现所需的频率，最后的写操作必须是写入寄存器0x02(INT\_DIV)、寄存器0x03(FRAC\_DIV)或寄存器0x04(MOD\_DIV)。编程设置寄存器0x02、寄存器0x03和寄存器0x04时，进行内部VCO校准，这是锁定PLL的最后一步。

表9. 所需的PLL/VCO寄存器写操作

| 地址         | 位名称                        | 设置     | 说明   |
|------------|----------------------------|--------|------|
| 0x21[3]    | PFD_POLARITY               | 0x01   | 负极性  |
| 0x49[13:0] | SET_1[13:9],<br>SET_0[8:0] | 0x14B4 | 内部设置 |

## 外部LO模式

外部或内部LO模式可通过VCO\_SEL位(寄存器0x22[2:0])选择。要配置外部LO模式，应将寄存器0x22[2:0]设为4(十进制)，并将差分LO信号施加于引脚33(LOIN-)和引脚34(LOIN+)。外部LO频率范围是700 MHz至3 GHz。选定多相分相器后，需将1×LO信号施加到有源混频器上，或者内部正交分频器采用2×LO信号，如表6所示。

也可通过内部PLL使用外部VCO。此时PLL使能，但VCO模块关断。

LOIN+和LOIN-输入引脚必须交流耦合，未使用时，LOIN+和LOIN-引脚应保持不连接。

## LO极性

ADRF6720能够灵活地将LO上的正交极性指定到I通道或Q通道混频器。此规格决定了LO注入频率是高于RF频率或是低于RF频率。RF频率可高于LO，也可低于LO，具体取决于寄存器0x32[11:8]的设置以及基带I和Q之间的相位关系。若要正常工作和表征，则针对POL\_I(寄存器0x32[9:8])的寄存器0x32设置为2(十进制)，针对POL\_Q(寄存器0x32，位[11:10])的寄存器设置为1(十进制)。按上述要求设置寄存器

0x32，则Q超前I时可将RF频率置于LO ( $f_{RF} < f_{LO}$ )之下；而I超前Q时可将RF频率置于LO ( $f_{RF} > f_{LO}$ )之上。

表10. LO极性设置

| 地址          | 位名称   | 设置       | 说明                             |
|-------------|-------|----------|--------------------------------|
| 0x32[11:10] | POL_Q | 01<br>10 | 正交极性开关，Q通道<br>反转Q通道极性<br>正常极性  |
| 0x32[9:8]   | POL_I | 01<br>10 | 正交极性开关，I通道。<br>正常极性<br>反转I通道极性 |

## LO输出

ADRF6720可向LOOUT+和LOOUT-引脚提供差分1×或2×LO输出信号(分别是引脚18和引脚19)。LO信号使得以菊花链方式连接多个器件成为可能。一个ADRF6720用作主器件并提供LO信号，后续从器件共享该LO输出信号。

使用正交分频器产生正交LO信号时，通过设置LO\_DRV2X\_EN位(寄存器0x1[8])和DRVDIV2\_EN位(寄存器0x22[5])，可在混频器获得2×或1×LO信号频率的输出信号。然而，此时1×LO信号频率相对于驱动混频器内核的LO信号具有180°的相位不确定性。由于存在这样的相位不确定性，利用此1×LO输出信号作为系统菊花链LO信号时也会受到影响。为了避免这种不确定性，在正交分频器之后部署第二个1×LO信号输出频率电路。这第二个1×LO输出路径通过设置LO\_DRV1X\_EN位(寄存器0x01[7])为高电平使能。

使用多相分相器产生正交LO信号时，将LO\_DRV1X\_EN位(寄存器0x10[7])设为高电平，同样能在1×LO信号频率下获得输出信号。

如表11所示设置LO\_DRV\_LVL位(寄存器0x22[7:6])，可将输出置于不同的驱动电平下。

表11. 2140 MHz下的LO输出电平

| LO_DRV_LVL(寄存器0x22[7:6]) | 幅度(dBm) |
|--------------------------|---------|
| 00                       | -5.1    |
| 01                       | -0.5    |
| 10                       | 3       |

**基带**

基带输入阻抗为差分500 Ω。这些输入采用0.5 V共模电压工作。为了匹配DAC的100 Ω阻抗，可在I和Q输入端放置一个125 Ω外部分流电阻。

施加到差分基带输入的电压(I+、I-、Q+和Q-)可驱动V-I级，将基带电压转换为电流。经过转换的调制信号电流馈入调制器混频器内核。

可在I和Q通道上增加一个可编程直流电流，调零RF输出端的一切载波馈通。详情请参见“载波馈通调零”部分。

线性度可通过MOD\_RSEL(寄存器0x31[12:6])和MOD\_CSEL(寄存器0x31[5:0])调节，在电流输出中加入幅度和相位校正信号来优化。更多信息，请参考“线性度”部分。

**有源混频器**

ADRF6720具有两个双平衡混频器：一个用于同相通道(I通道)，另一个用于正交通道(Q通道)。它们利用LO信号电流，将调制基带信号向上变频至RF。

**可调谐RF<sub>OUT</sub>巴伦**

ADRF6720集成了一个可编程巴伦，其工作频率范围是700 MHz到3,000 MHz。它提供单端至差分转换，以及额外的共模噪声抑制能力。

巴伦输入和输出端的电容与巴伦感性绕组并联，改变电感+电容(LC)的谐振频率。因此，选择BAL\_CIN(寄存器0x30[3:0])和BAL\_COUT(寄存器0x30[7:4])的适当组合，便可设置所需频率并实现最佳增益。大部分情况下，建议根据表12中的频率数据来设置BAL\_CIN和BAL\_COUT。然而，出于匹配方面的原因，单独调节寄存器可能会有一些好处。

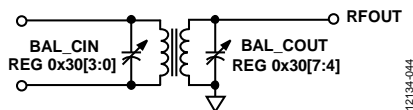


图43. 集成可调谐巴伦

表12. 针对所需频率范围的最优巴伦设置

| BAL_CIN | BAL_COUT | 频率范围(MHz)              |
|---------|----------|------------------------|
| 0       | 0        | $f_{RF} > 1730$        |
| 1       | 0        | $1550 < f_{RF} < 1730$ |
| 2       | 0        | $1380 < f_{RF} < 1550$ |
| 3       | 0        | $1250 < f_{RF} < 1380$ |
| 4       | 0        | $1170 < f_{RF} < 1250$ |
| 8       | 0        | $1100 < f_{RF} < 1170$ |
| 9       | 0        | $1020 < f_{RF} < 1100$ |
| 10      | 0        | $970 < f_{RF} < 1020$  |
| 11      | 0        | $930 < f_{RF} < 970$   |
| 12      | 0        | $890 < f_{RF} < 930$   |
| 13      | 0        | $840 < f_{RF} < 890$   |
| 14      | 0        | $820 < f_{RF} < 840$   |
| 15      | 0        | $740 < f_{RF} < 820$   |
| 15      | 3        | $680 < f_{RF} < 740$   |

**ENBL**

ENBL引脚快速使能/禁用RF输出。该电路模块采用ENBL引脚使能/禁用，可通过设置使能寄存器(寄存器0x01)和ENBL\_MASK寄存器(寄存器0x10)中的适当位来进行编程。使能及ENBL\_MASK寄存器中的位为1时，拉低ENBL引脚可禁用内部模块，而拉高可使能内部模块；此操作比SPI写操作可能实现的速度要快得多。

表13. 使能/禁用设置

| 寄存器0x01使能位 <sup>1</sup> | 寄存器0x10 ENBL_MASK位 <sup>1</sup> | ENBL引脚电压       | 状态                            |
|-------------------------|---------------------------------|----------------|-------------------------------|
| 0                       | X <sup>2</sup>                  | X <sup>2</sup> | 模块由寄存器0x01控制，使能位[A]禁用。ENBL无效。 |
| 1                       | 0                               | X <sup>2</sup> | 模块由寄存器0x01控制，使能位[A]禁用。ENBL无效。 |
| 1                       | 1                               | >1.8 V         | 模块由寄存器0x01控制，使能位[A]禁用。ENBL无效。 |
| 1                       | 1                               | <0.5 V         | 模块由寄存器0x01控制，使能位[A]禁用。        |

<sup>1</sup> 该位参考寄存器11位中的任意位。

<sup>2</sup> X = 无关位。

# ADRF6720

## 串行端口接口

ADRF6720的SPI允许用户利用3引脚SPI端口来配置器件的特定功能或操作。该接口为用户提供额外的灵活性和定制能力。SPI由三个控制线路组成：SCLK、SDIO和 $\overline{\text{CS}}$ 。SPI端口的时序要求如表2所示。

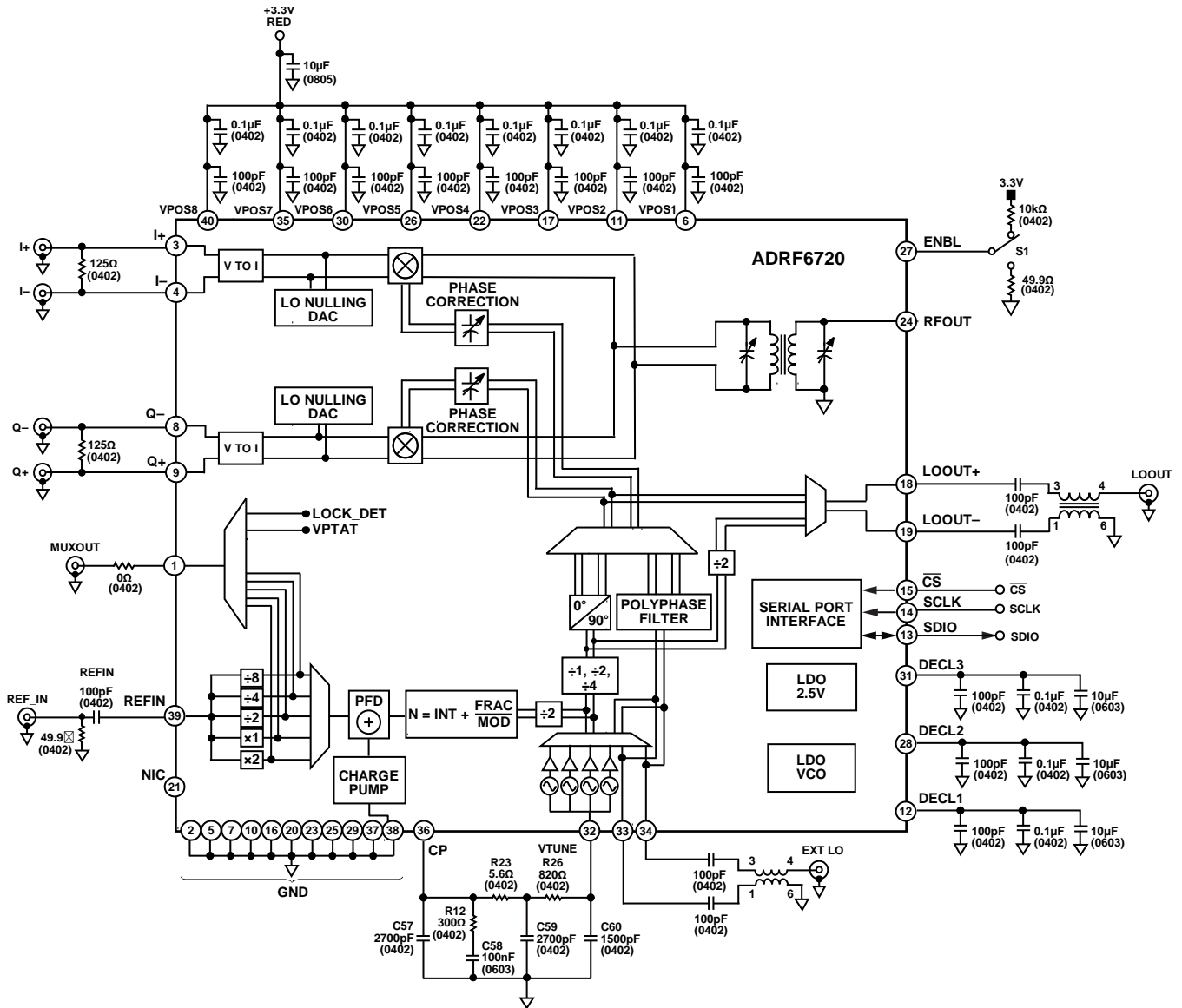
ADRF6720协议由7个寄存器地址位、读/写位和16个数据位组成。地址和数据字段均以最高有效位(MSB)优先方式组织，并以最低有效位(LSB)结束。

在一个写周期中，最多可移入16位的串行写数据(MSB到LSB)。如果 $\overline{\text{CS}}$ 上升沿出现在串行数据的LSB锁存之前，则只有已经锁存的位会被写入器件。如果移入16个以上的数据位，则只将最近的16位写入器件。ADRF6720写周期的输入逻辑电平支持低至1.4 V的接口。

在一个读周期中，最多可移出16位的串行读数据(MSB优先)。16位后移出的数据未做定义。给定寄存器地址的回读内容不需要与该地址的写入数据一致。读周期的输出逻辑电平是2.3 V。

## 基本工作连接

图44显示了ADRF6720在评估板上工作的基本连接。



NOTES  
1. NIC = NO INTERNAL CONNECTION.

图44. 基本工作连接(环路滤波器设置为20 kHz)

### 电源和接地

将电源引脚与3.3 V电源相连；该引脚范围为3.15 V至3.45 V。使用尽可能靠近引脚的100 pF和0.1 µF电容来对引脚分别去耦。3个内部去耦节点(分别标为DECL3、DECL2和DECL1)各自应通过电容去耦，如图44所示。

通过低阻抗路径，将11 GND引脚与同一个接地层相连。

将封装下侧的裸露焊盘焊接至最低热阻抗和电阻抗接地层。

如果接地层跨越电路板上的多层，则这些层应在裸露焊盘下方拼接在一起。[AN-772应用笔记](#)详细讨论了LFCSP封装的热接地和电接地。

# ADRF6720

## 基带输入

4路I和Q输入应采用500 mV外部偏置电平驱动。这些输入一般直流耦合至双通道DAC的输出。ADRF6720特性表征中使用的标称驱动电平为1 V<sub>p-p</sub>差分(每引脚上为500 mV<sub>p-p</sub>)。

I和Q输入电阻为500 Ω差分。因此，可能需要在I和Q输入端使用外部分流电阻实现DAC或滤波器的接口。分流电阻的并联电阻有效值为500 Ω(详情参见“DAC到I/Q调制器接口”部分)。

## LO输入

外部LO输入采用差分驱动。通过一对串联电容，将差分LO源的两端交流耦合至LOIN+和LOIN-引脚。

用于ADRF6720特性表征的典型LO驱动电平为0 dBm。

将PLL的参考频率(5.7 MHz至320 MHz)施加到REFIN引脚，该引脚交流耦合。如果采用50 Ω源驱动REFIN引脚，则应将该引脚端接至50 Ω，如图44所示。施加约4 dBm至14 dBm的驱动电平；4 dBm用于特性表征。

## 环路滤波器

图44中的环路滤波器连接在CP和VTUNE引脚之间。针对20 kHz滤波器设计的推荐元件如表8所示。

## RF输出

RF输出至RFOUT引脚(引脚24)，该引脚可驱动50 Ω负载。



## 应用信息

### DAC到I/Q调制器接口

ADRF6720设计用于通过极少的元器件与ADI公司的TxDAC®系列转换器实现接口。这些双通道差分电流输出DAC提供0 mA至20 mA的输出电流摆幅。本部分所述的接口适用于任何具有类似输出的DAC。

图45所示为使用AD9142A TxDAC的接口示例。ADRF6720的基带输入需要500 mV的直流偏置。AD9142A各输出端的标称中间电平输出电流为10 mA。因此，从DAC各输出端的接地50 Ω电阻流过的10 mA平均电流产生ADRF6720输入所需的500 mV直流偏置。为了匹配DAC的100 Ω阻抗，可在I和Q输入端放置一个125 Ω外部分流电阻。外部电阻可降低给定DAC输出电流的电压摆幅。AD9142A输出电流的摆幅范围为0 mA至20 mA。由于DAC输出端具有50 Ω的接地端接电阻以及125 Ω分流电阻的存在，每个差分对产生的驱动信号为1 V p-p差分(DAC工作在0 dBFS)，直流偏置为500 mV。

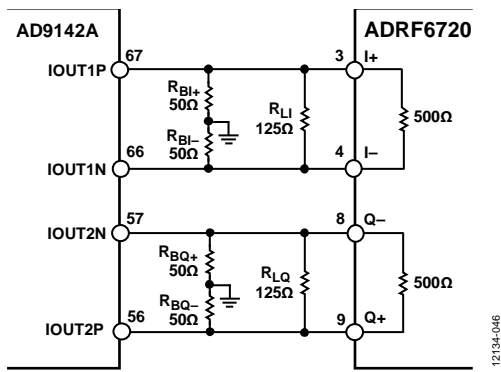


图45. AD9142A与ADRF6720的接口，50 Ω电阻接地以建立ADRF6720基带输入所需的500 mV直流偏置

连接接口的 $R_{LI}$ 和 $R_{LQ}$ 可采用不同的电阻值，以便针对给定DAC输出电流调节电压摆幅(见图45)。这种调节具有改变交流摆幅的作用，但不会改变已经由50 Ω电阻建立的直流偏置。更高的电阻值可提高ADRF6720的输出功率和信噪比(SNR)，但交调失真也会提高。

设置调节摆幅电平的电阻大小时，还应考虑I和Q输入的输入阻抗。I和Q输入具有500 Ω差分输入阻抗。因此，与所选分流电阻并联的电阻有效值为500 Ω。例如，如果所需电阻为100 Ω(基于图45)，则 $R_{LI}$ 或 $R_{LQ}$ 的值应通过下式确定：

$$100 \Omega = (500 \times R_{LI}) / (500 + R_{LI})$$

$$100 \Omega = (500 \times R_{LQ}) / (500 + R_{LQ})$$

因此， $R_{LI}$ 和 $R_{LQ}$ 值为125 Ω。

图47显示随基带输入频率变化的差分输入电阻和电容。

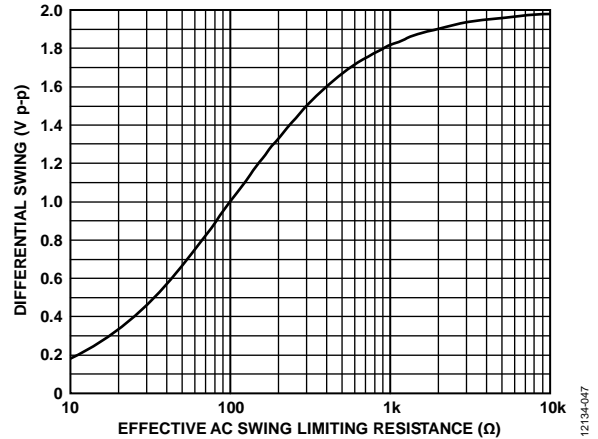


图46. 使用50 Ω偏置设置电阻时，有效交流限幅电阻与峰峰值电压摆幅之间的关系

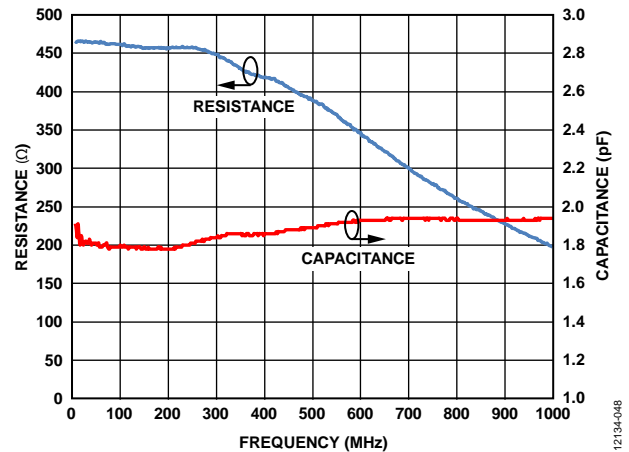


图47. 差分基带输入电阻和输入电容等效值(分流R, 分流C)

### I/Q滤波

DAC与调制器之间有必要放置一个抗混叠滤波器，以滤除奈奎斯特镜像、共模噪声和宽带DAC噪声。“DAC到I/Q调制器接口”部分所述的设置偏置和交流摆幅的接口正适合连接这种滤波器。可以将该滤波器插入直流偏置设置电阻与交流限幅电阻之间。采用此配置后，直流偏置设置电阻设置源阻抗，而交流限幅电阻设置负载阻抗，对于滤波器而言是并联500 Ω差分I和Q输入阻抗。

### 基带带宽

ADRF6720能与DAC一同使用，产生复数中频(CIF)和零中频(ZIF)信号。ADRF6720的1 dB带宽超过1000 MHz。图48显示ADRF6720的基带频率响应，支持高CIF，提供充足的平坦带宽供数字预失真(DPD)算法使用。测量中已通过校准消除ADRF6720 RF输出频率范围内的任何平坦度变化。

# ADRF6720

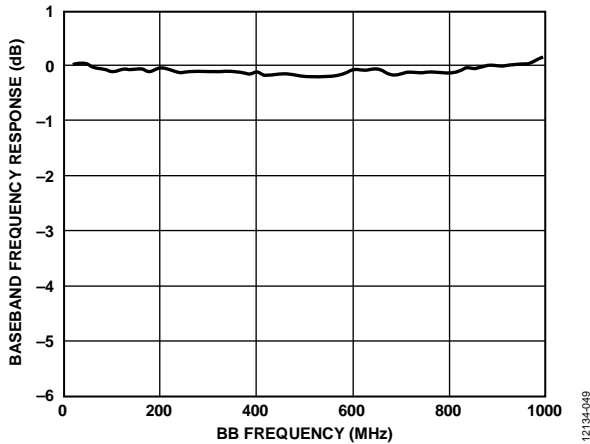


图48. ADRF6720基带频率响应

## 载波馈通调零

载波馈通源于差分基带输入端上的微小直流偏置。在I/Q调制器中，非零差分失调与LO混频，产生RF输出的载波馈通。除了此效应，LO输入端的部分信号功率直接耦合至RF输出端(这可能是由于焊线间耦合或通过硅基板耦合所导致的)。RF输出端的净载波馈通是这两种效应产生的矢量组合作用在输出端信号上的结果。

ADRF6720可将直流电流(正电流或负电流)与I和Q通道相加，实现载波馈通调零。图49显示载波馈通与DCOFF\_I(寄存器0x33[15:8])和DCOFF\_Q(寄存器0x33[7:0])的关系。

还可利用TxDAC，在外部实现载波馈通调零。

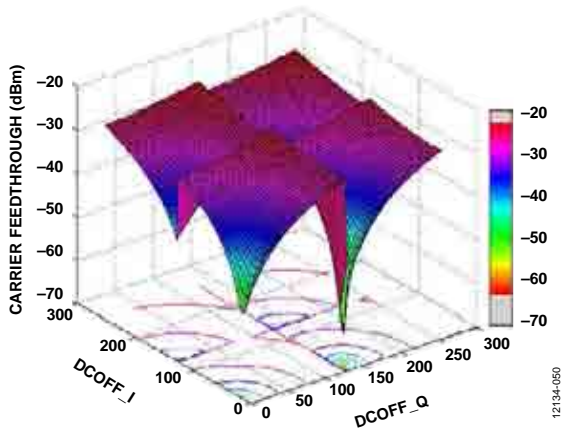


图49. 通过调节DCOFF\_I和DCOFF\_Q，实现载波馈通优化

## 边带抑制优化

边带抑制源于I和Q通道之间的增益和相位缺陷。边带抑制还源于产生正交LO信号的正交误差。RF输出端的净干扰边带信号是这些效应产生的矢量组合作用在信号上的结果。

ADRF6720通过I\_LO(寄存器0x32[3:0])和Q\_LO(寄存器0x32[7:4])参数提供正交相位调节，以抑制干扰边带信号。

图50显示ADRF6720通过调节I\_LO和Q\_LO参数可获得的干扰边带信号抑制水平。

如需进一步优化，则可以通过TxDAC外部调节幅度和相位。这类调节的结果如图51所示。

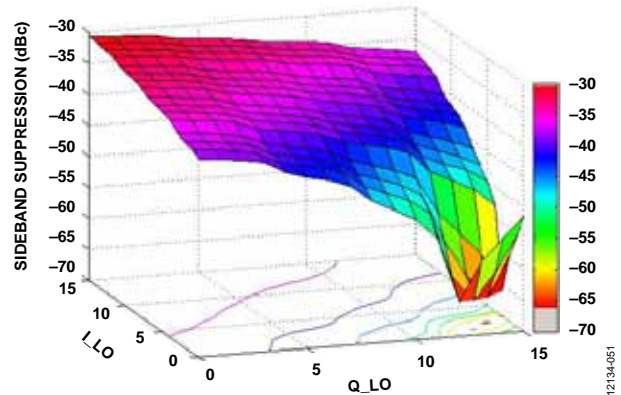


图50. 通过I\_LO和Q\_LO调节，优化边带抑制(LO = 2140 MHz)

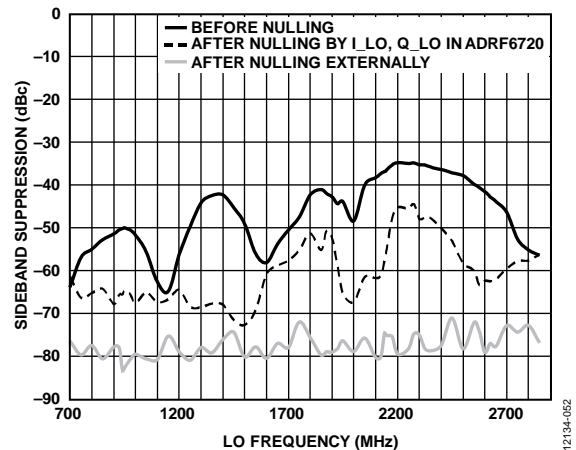


图51. 通过外部调节I\_LO和Q\_LO，实现调零之前与之后的边带抑制情况(LO = 2140 MHz)

线性度

ADRF6720的线性度可通过MOD\_RSEL(寄存器0x31[12:6])和MOD\_CSEL(寄存器0x31[5:0])设置进行优化。电阻和电容曲线与MOD\_RSEL和MOD\_CSEL的设置成函数关系。这些设置控制基带输入级的反相失真量，可校正失真。

MOD\_RSEL最前面的两位(寄存器0x31[12:11])以及MOD\_CSEL的MSB(寄存器0x31[5])用作范围设置。图52和图53显示输出IP3和输出IP2，可通过MOD\_RSEL和MOD\_CSEL设置实现。

图52和图53均在图中同时显示表面和轮廓曲线。轮廓曲线位于表面曲线下方。表面曲线的峰值表示最大输出IP3和最大输出IP2，轮廓曲线以同样的色彩图案确定最佳MOD\_RSEL和MOD\_CSEL值。相比MOD\_CSEL设置，输出IP3曲线的整体形状随MOD\_RSEL设置的变化更明显。

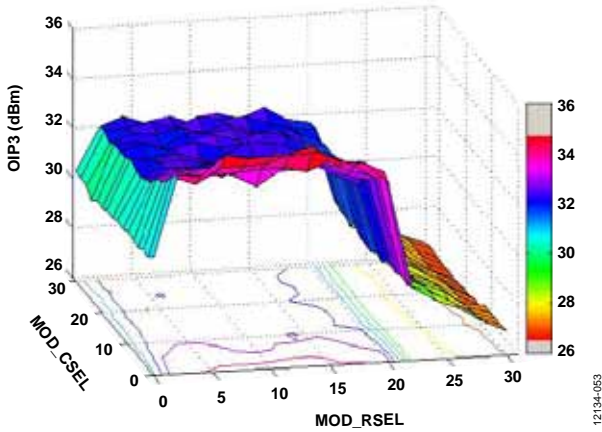


图52. OIP3与MOD\_CSEL和MOD\_RSEL的关系 ( $f_{RF} = 2140$  MHz, 每信号音的I/Q幅度 = 0.5 V p-p差分)

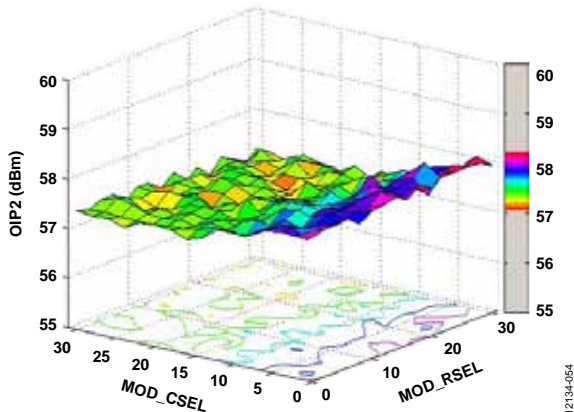


图53. OIP2与MOD\_CSEL和MOD\_RSEL的关系 ( $f_{RF} = 2140$  MHz, 每信号音的I/Q幅度 = 0.5 V p-p差分)

LO幅度和共模电压

ADRF6720的典型外部LO驱动电平为0 dBm差分。所有基带输入都必须通过外部直流偏置为500 mV。图54和图55分别显示性能随外部LO幅度和基带共模电压而改变的情况。

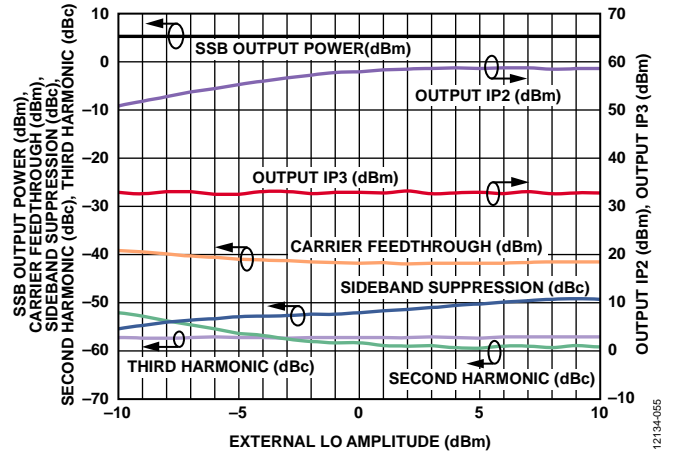


图54. SSB输出功率、二阶和三阶谐波、载波馈通、边带抑制、OIP2和OIP3与外部LO幅度的关系(基带I/Q幅度 = 1 V p-p差分,  $f_{OUT} = 2140$  MHz)

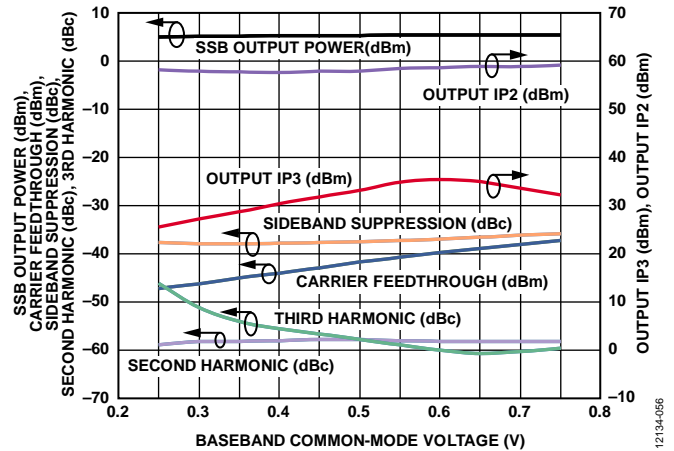


图55. SSB输出功率、二阶和三阶谐波、载波馈通、边带抑制、OIP2和OIP3与基带共模电压的关系(基带I/Q幅度 = 1 V p-p差分,  $f_{OUT} = 2140$  MHz)

布局布线

将ADRF6720下侧的裸露焊盘焊接至低热阻抗和电阻抗接地层。此焊盘通常焊接至评估板上阻焊膜内的裸露开口。请注意，ADRF6720评估板的裸露焊盘上使用了25个通孔。这些接地通孔应连接至评估板上的所有其他接地层，以最大程度地改善器件封装的散热性能。

# ADRF6720

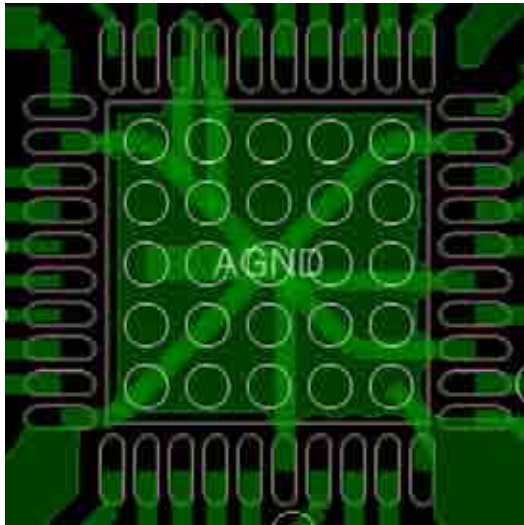


图56. ADRF6720封装的评估板布局布线

## 特性设置

表征ADRF6720的主要设置如图57所示。该设置用来评估作为单边带调制器使用的产品。使用自动化软件程序(VEE)通过IEEE总线控制设备。设置用于测量SSB、OIP2、OIP3、输出P1 dB (OP1dB)、LO和USB调零。

针对相位噪声和参考杂散测量，请使用图58所示的相位噪声设置。相位噪声在LO和调制器输出上测量。

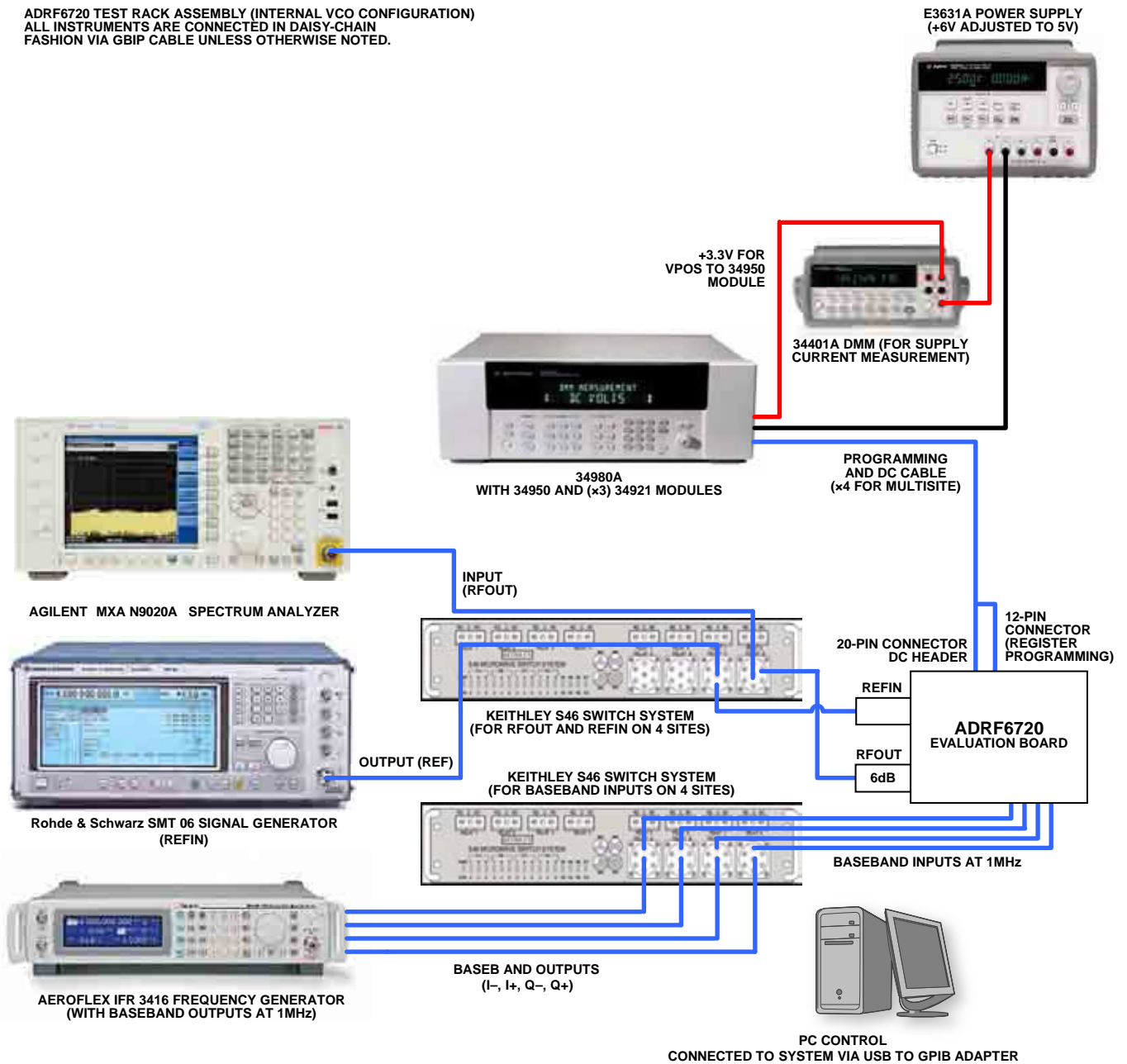


图57. 通用特性设置

# ADRF6720

ADRF6720 PHASE NOISE STAND SETUP  
ALL INSTRUMENTS ARE CONNECTED IN DAISY-CHAIN FASHION  
VIA GBIP CABLE UNLESS OTHERWISE NOTED.

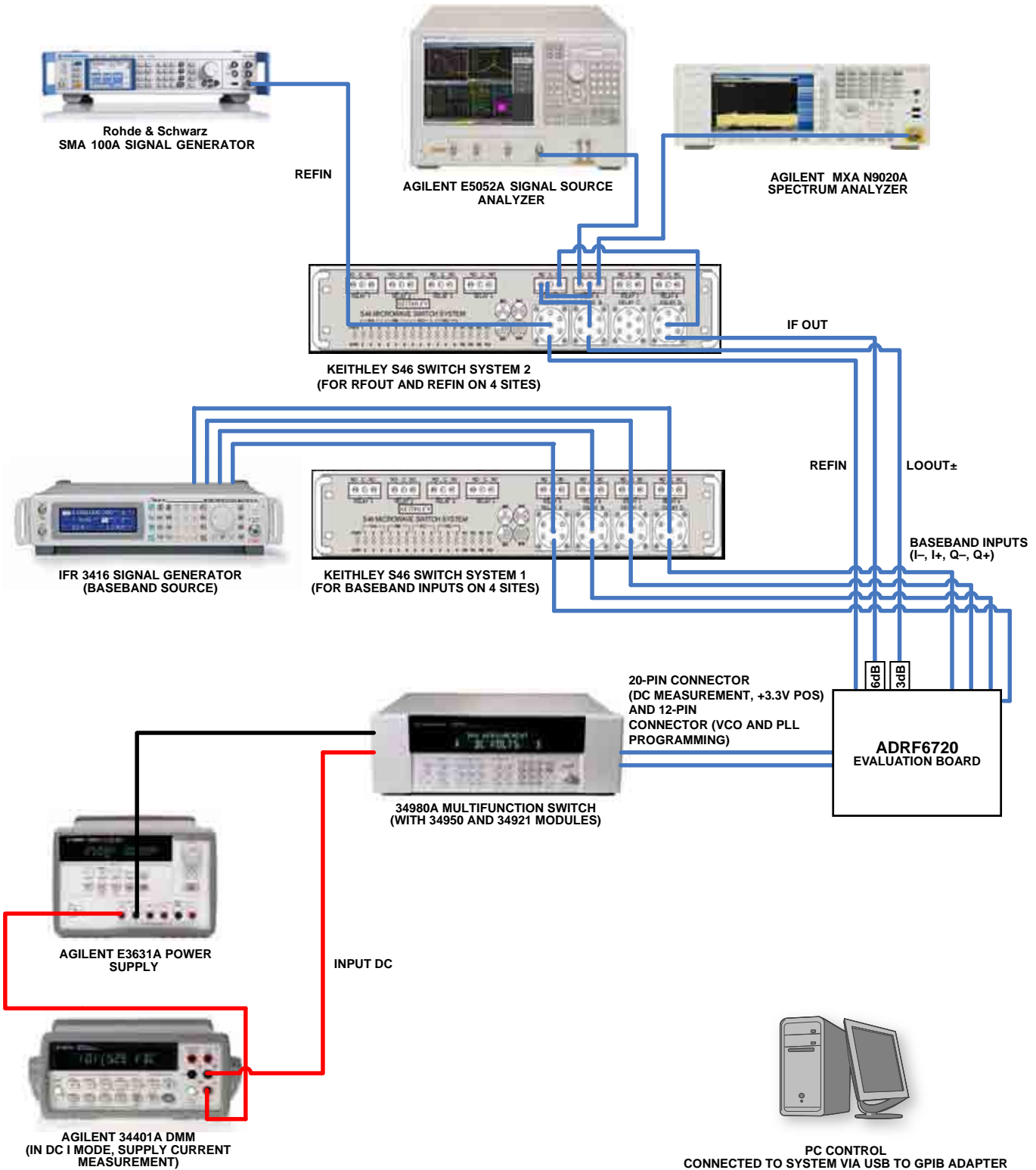


图58. 用于相位噪声和参考杂散测量的测试设置

# 寄存器映射

表 14. ADRF6720 寄存器映射

| 寄存器  | 名称          | 位      | 位15            | 位14          | 位13          | 位12      | 位11           | 位10          | 位9            | 位8            | 复位     | RW     |        |    |
|------|-------------|--------|----------------|--------------|--------------|----------|---------------|--------------|---------------|---------------|--------|--------|--------|----|
|      |             |        | 位7             | 位6           | 位5           | 位4       | 位3            | 位2           | 位1            | 位0            |        |        |        |    |
| 0x00 | SOFT_RESET  | [15:8] | 保留             |              |              |          |               |              |               |               |        | 0x0000 | W      |    |
|      |             | [7:0]  | 保留             |              |              |          |               |              |               | SOFT_RESET    |        |        |        |    |
| 0x01 | ENABLES     | [15:8] | 保留             |              |              |          | LO_1XVCO_EN   | MOD_EN       | QUAD_DIV_EN   | LO_DRV2X_EN   |        |        | 0xF67F | RW |
|      |             | [7:0]  | LO_DRV1X_EN    | VCO_MUX_EN   | REF_BUF_EN   | VCO_EN   | DIV_EN        | CP_EN        | VCO_LDO_EN    | 保留            |        |        |        |    |
| 0x02 | INT_DIV     | [15:8] | 保留             |              |              |          | DIV_MODE      |              | INT_DIV[10:8] |               |        |        | 0x002C | RW |
|      |             | [7:0]  | INT_DIV[7:0]   |              |              |          |               |              |               |               |        |        |        |    |
| 0x03 | FRAC_DIV    | [15:8] | FRAC_DIV[15:8] |              |              |          |               |              |               |               |        | 0x0128 | RW     |    |
|      |             | [7:0]  | FRAC_DIV[7:0]  |              |              |          |               |              |               |               |        |        |        |    |
| 0x04 | MOD_DIV     | [15:8] | MOD_DIV[15:8]  |              |              |          |               |              |               |               |        | 0x0600 | RW     |    |
|      |             | [7:0]  | MOD_DIV[7:0]   |              |              |          |               |              |               |               |        |        |        |    |
| 0x10 | ENBL_MASK   | [15:8] | 保留             |              |              |          | LO_1XVCO_MASK | MOD_MASK     | QUAD_DIV_MASK | LO_DRV2X_MASK |        |        | 0xF67F | RW |
|      |             | [7:0]  | LO_DRV1X_MASK  | VCO_MUX_MASK | REF_BUF_MASK | VCO_MASK | DIV_MASK      | CP_MASK      | VCO_LDO_MASK  | 保留            |        |        |        |    |
| 0x20 | CP_CTL      | [15:8] | 保留             | CP_SEL       | CP_CSCALE    |          |               |              | 保留            |               |        |        | 0x0C26 | RW |
|      |             | [7:0]  | 保留             |              |              | CP_BLEED |               |              |               |               |        |        |        |    |
| 0x21 | PFD_CTL     | [15:8] | 保留             |              |              |          |               |              |               |               |        | 0x000B | RW     |    |
|      |             | [7:0]  | 保留             | REF_MUX_SEL  |              |          |               | PFD_POLARITY | REF_SEL       |               |        |        |        |    |
| 0x22 | VCO_CTL     | [15:8] | VCO_LDO_R4SEL  |              |              |          | VCO_LDO_R2SEL |              |               |               | 0x2A03 | RW     |        |    |
|      |             | [7:0]  | LO_DRV_LVL     |              | DRVDIV2_EN   | DIV8_EN  | DIV4_EN       | VCO_SEL      |               |               |        |        |        |    |
| 0x30 | BALUN_CTL   | [15:8] | 保留             |              |              |          |               |              |               |               |        | 0x0000 | RW     |    |
|      |             | [7:0]  | BAL_COUT       |              |              |          | BAL_CIN       |              |               |               |        |        |        |    |
| 0x31 | MOD_LIN_CTL | [15:8] | 保留             |              |              |          | MOD_RSEL[6:2] |              |               |               | 0x1101 | RW     |        |    |
|      |             | [7:0]  | MOD_RSEL[1:0]  |              |              | MOD_CSEL |               |              |               |               |        |        |        |    |
| 0x32 | MOD_CTL0    | [15:8] | 保留             | MOD_BLEED    |              |          |               | POL_Q        |               | POL_I         |        |        | 0x0900 | RW |
|      |             | [7:0]  | Q_LO           |              |              |          |               |              | I_LO          |               |        |        |        |    |
| 0x33 | MOD_CTL1    | [15:8] | DCOFF_I        |              |              |          |               |              |               |               |        | 0x0000 | RW     |    |
|      |             | [7:0]  | DCOFF_Q        |              |              |          |               |              |               |               |        |        |        |    |
| 0x40 | PFD_CP_CTL  | [15:8] | 保留             |              |              |          |               |              |               |               |        | 0x0010 | RW     |    |
|      |             | [7:0]  | 保留             | ABLDLY       |              |          | CP_CTRL       |              |               | PFD_CLK_EDGE  |        |        |        |    |
| 0x42 | DITH_CTL1   | [15:8] | 保留             |              |              |          |               |              |               |               |        | 0x000E | RW     |    |
|      |             | [7:0]  | 保留             |              |              |          | DITH_EN       | DITH_MAG     |               | DITH_VAL      |        |        |        |    |
| 0x43 | DITH_CTL2   | [15:8] | DITH_VAL[15:8] |              |              |          |               |              |               |               |        | 0x0000 | RW     |    |
|      |             | [7:0]  | DITH_VAL[7:0]  |              |              |          |               |              |               |               |        |        |        |    |
| 0x45 | VCO_CTL2    | [15:8] | 保留             |              |              |          |               |              | VTUNE_CTRL    |               |        |        | 0x0000 | RW |
|      |             | [7:0]  | VCO_BAND_SRC   | BAND         |              |          |               |              |               |               |        |        |        |    |
| 0x49 | VCO_CTL3    | [15:8] | 保留             |              |              | SET_1    |               |              |               | SET_0[8]      |        | 0x16BD | RW     |    |
|      |             | [7:0]  | SET_0[7:0]     |              |              |          |               |              |               |               |        |        |        |    |

# ADRF6720

## 寄存器详解

地址：0x00；复位：0x0000；名称：SOFT\_RESET

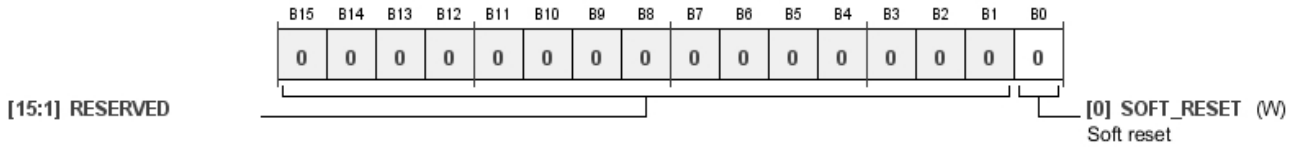


表15. SOFT\_RESET的位功能描述

| 位 | 位名称        | 设置 | 说明   | 复位  | 访问类型 |
|---|------------|----|------|-----|------|
| 0 | SOFT_RESET |    | 软复位。 | 0x0 | W    |

地址：0x01；复位：0xF67F；名称：ENABLES

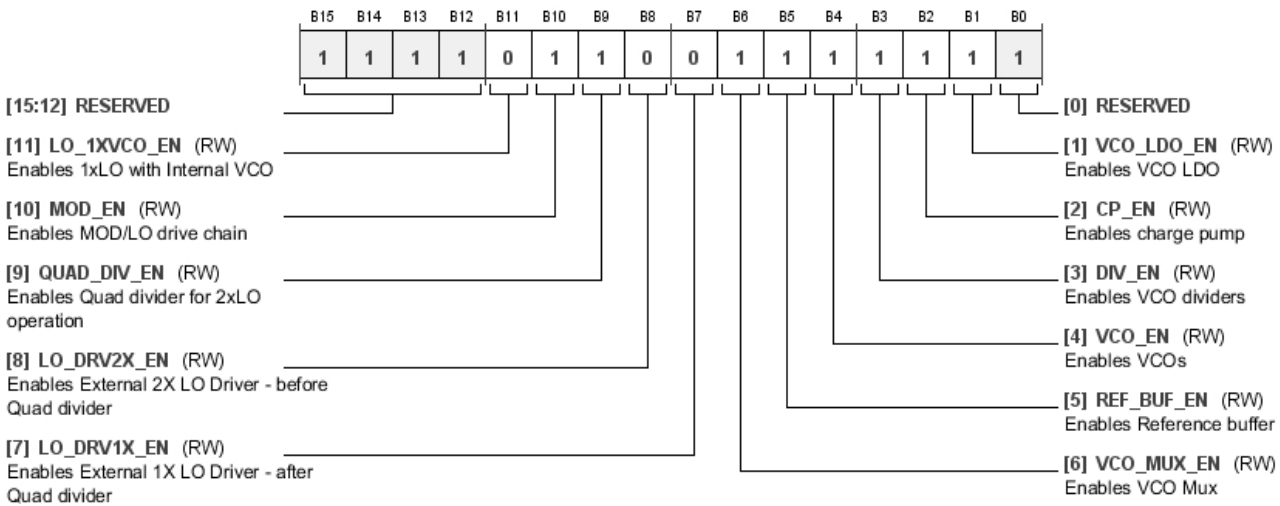
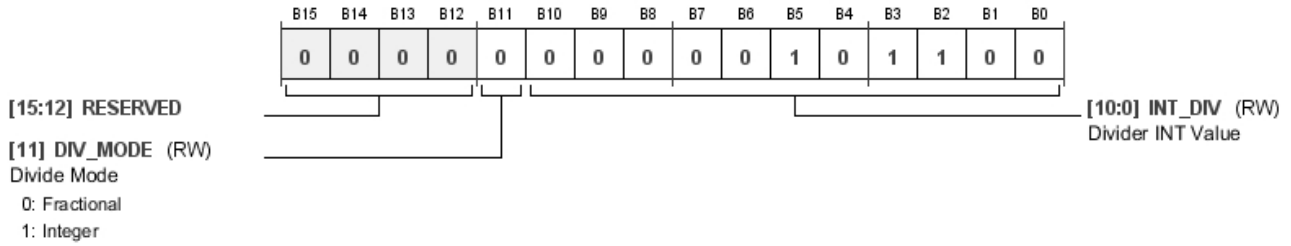


表16. ENABLES的位功能描述

| 位  | 位名称         | 设置 | 说明                     | 复位  | 访问类型 |
|----|-------------|----|------------------------|-----|------|
| 11 | LO_1XVCO_EN |    | 通过内部VCO使能1×LO。         | 0x0 | RW   |
| 10 | MOD_EN      |    | 使能MOD/LO驱动链。           | 0x1 | RW   |
| 9  | QUAD_DIV_EN |    | 使能用于2×LO操作的四通道分频器。     | 0x1 | RW   |
| 8  | LO_DRV2X_EN |    | 使能外部2×LO驱动器——四通道分频器之前。 | 0x0 | RW   |
| 7  | LO_DRV1X_EN |    | 使能外部1×LO驱动器——四通道分频器之后。 | 0x0 | RW   |
| 6  | VCO_MUX_EN  |    | 使能VCO多路复用。             | 0x1 | RW   |
| 5  | REF_BUF_EN  |    | 使能基准电压源缓冲器。            | 0x1 | RW   |
| 4  | VCO_EN      |    | 使能VCO。                 | 0x1 | RW   |
| 3  | DIV_EN      |    | 使能VCO分频器。              | 0x1 | RW   |
| 2  | CP_EN       |    | 使能电荷泵。                 | 0x1 | RW   |
| 1  | VCO_LDO_EN  |    | 使能VCO LDO。             | 0x1 | RW   |



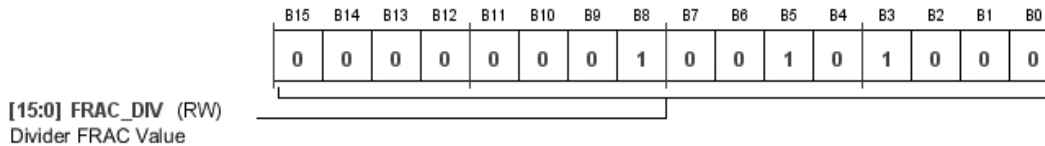
地址：0x02；复位：0x002C；名称：INT\_DIV



**表17. INT\_DIV的位功能描述**

| 位      | 位名称      | 设置     | 说明                | 复位   | 访问类型 |
|--------|----------|--------|-------------------|------|------|
| 11     | DIV_MODE | 0<br>1 | 分频模式。<br>小数<br>整数 | 0x0  | RW   |
| [10:0] | INT_DIV  |        | 分频器INT值。          | 0x2C | RW   |

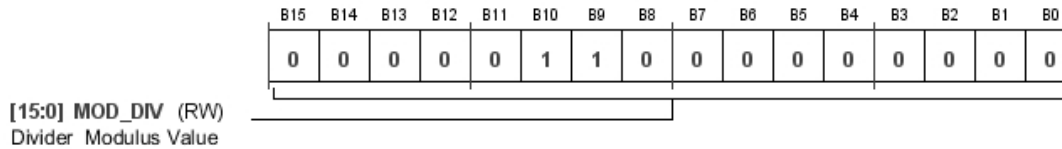
地址：0x03；复位：0x0128；名称：FRAC\_DIV



**表18. FRAC\_DIV的位功能描述**

| 位      | 位名称      | 设置 | 说明        | 复位    | 访问类型 |
|--------|----------|----|-----------|-------|------|
| [15:0] | FRAC_DIV |    | 分频器FRAC值。 | 0x128 | RW   |

地址：0x04；复位：0x0600；名称：MOD\_DIV



**表19. MOD\_DIV的位功能描述**

| 位      | 位名称     | 设置 | 说明      | 复位    | 访问类型 |
|--------|---------|----|---------|-------|------|
| [15:0] | MOD_DIV |    | 分频器模数值。 | 0x600 | RW   |

# ADRF6720

地址: 0x10; 复位: 0xF67F; 名称: ENBL\_MASK

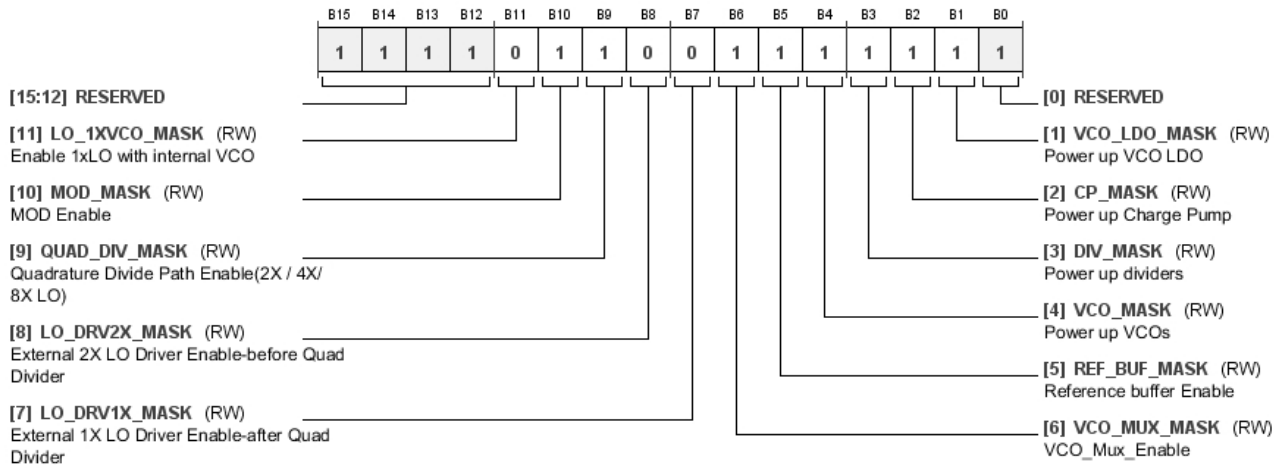


表20. ENBL\_MASK的位功能描述

| 位  | 位名称           | 设置 | 说明                     | 复位  | 访问类型 |
|----|---------------|----|------------------------|-----|------|
| 11 | LO_1XVCO_MASK |    | 通过内部VCO使能1×LO。         | 0x0 | RW   |
| 10 | MOD_MASK      |    | MOD使能。                 | 0x1 | RW   |
| 9  | QUAD_DIV_MASK |    | 正交分频路径使能(2×/4×/8×LO)。  | 0x1 | RW   |
| 8  | LO_DRV2X_MASK |    | 外部2×LO驱动器使能——四通道分频器之前。 | 0x0 | RW   |
| 7  | LO_DRV1X_MASK |    | 外部1×LO驱动器使能——四通道分频器之后。 | 0x0 | RW   |
| 6  | VCO_MUX_MASK  |    | VCO_Mux_Enable。        | 0x1 | RW   |
| 5  | REF_BUF_MASK  |    | 基准电压缓冲器使能。             | 0x1 | RW   |
| 4  | VCO_MASK      |    | VCO上电。                 | 0x1 | RW   |
| 3  | DIV_MASK      |    | 分频器上电。                 | 0x1 | RW   |
| 2  | CP_MASK       |    | 电荷泵上电。                 | 0x1 | RW   |
| 1  | VCO_LDO_MASK  |    | VCO LDO上电。             | 0x1 | RW   |

地址: 0x20; 复位: 0x0C26; 名称: CP\_CTL

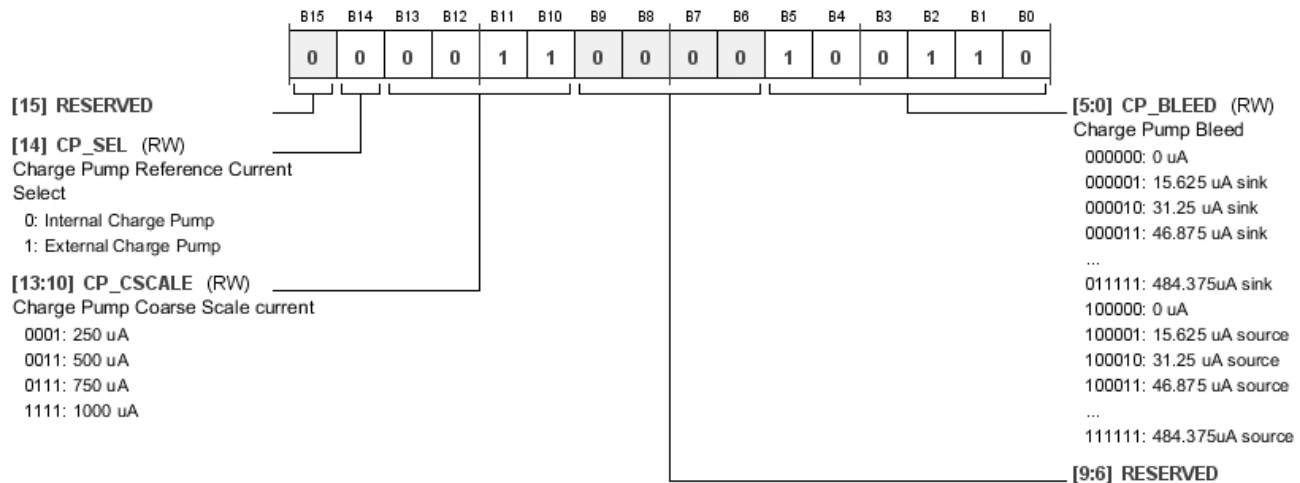


表21. CP\_CTL的位功能描述

| 位       | 位名称       | 设置   | 说明   | 复位   | 访问类型 |
|---------|-----------|--|--|------|------|
| 14      | CP_SEL    | 0<br>1   | 电荷泵基准电流选择。<br>内部电荷泵。<br>外部电荷泵。   | 0x0  | RW   |
| [13:10] | CP_CSCALE | 0001<br>0011<br>0111<br>1111   | 电荷泵粗调电流。<br>250 μA。<br>500 μA。<br>750 μA。<br>1000 μA。  | 0x3  | RW   |
| [5:0]   | CP_BLEED  | 000000<br>000001<br>000010<br>000011<br>...<br>011111<br>100000<br>100001<br>100010<br>100011<br>...<br>111111 | 电荷泵渗漏。<br>0 μA。<br>15.625 μA吸电流。<br>31.25 μA吸电流。<br>46.875 μA吸电流。<br>...<br>484.375 μA吸电流。<br>0 μA。<br>15.625 μA源电流。<br>31.25 μA源电流。<br>46.875 μA源电流。<br>...<br>484.375 μA源电流。 | 0x26 | RW   |

地址：0x21；复位：0x000B；名称：PFD\_CTL

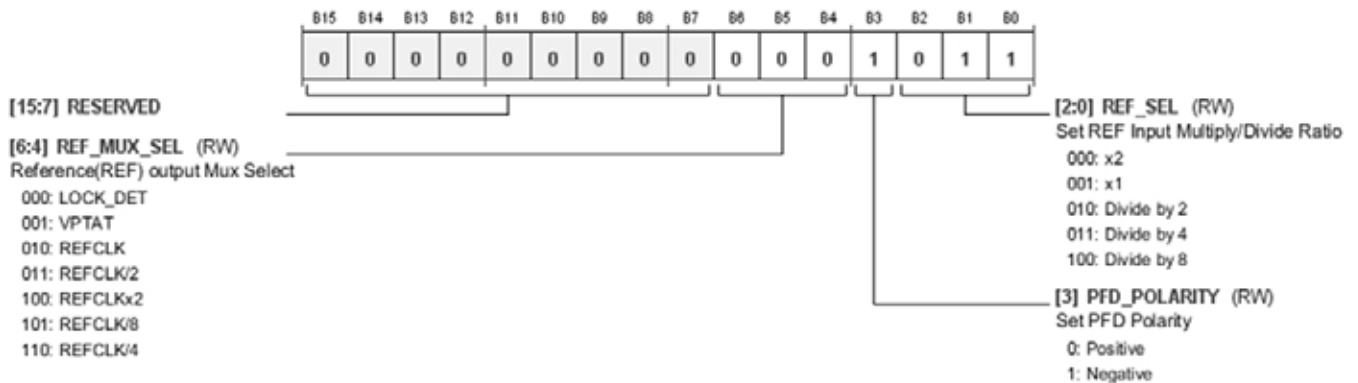


表22. PFD\_CTL的位功能描述

| 位     | 位名称          | 设置  | 说明  | 复位  | 访问类型 |
|-------|--------------|---|---|-----|------|
| [6:4] | REF_MUX_SEL  | 000<br>001<br>010<br>011<br>100<br>101<br>110 | 基准电压源(REF)输出多路复用选择。<br>LOCK_DET。<br>VPTAT。<br>REFCLK。<br>REFCLK/2。<br>REFCLK × 2。<br>REFCLK/8。<br>REFCLK/4。 | 0x0 | RW   |
| 3     | PFD_POLARITY | 0<br>1  | 设置PFD极性。<br>正。<br>负。  | 0x1 | RW   |

# ADRF6720

| 位     | 位名称     | 设置                              | 说明   | 复位  | 访问类型 |
|-------|---------|---------------------------------|--|-----|------|
| [2:0] | REF_SEL | 000<br>001<br>010<br>011<br>100 | 设置REF输入乘/除比。<br>×2。<br>×1。<br>2分频。<br>4分频。<br>8分频。 | 0x3 | RW   |

地址: 0x22; 复位: 0x2A03; 名称: VCO\_CTL

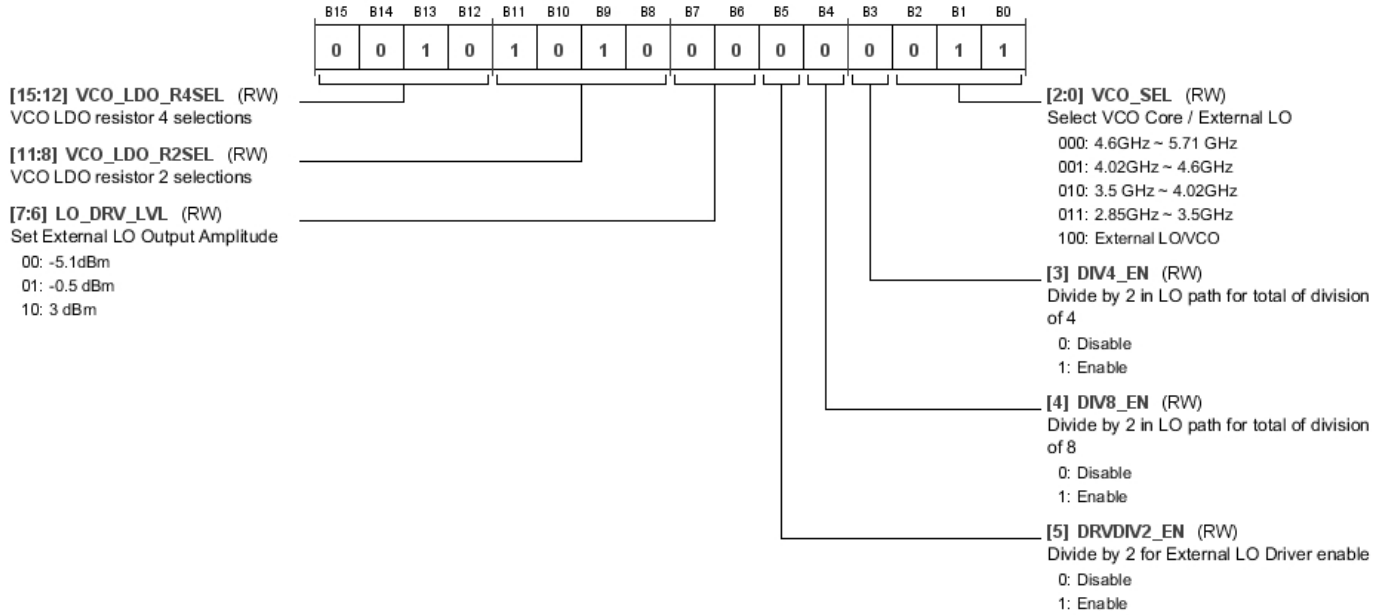
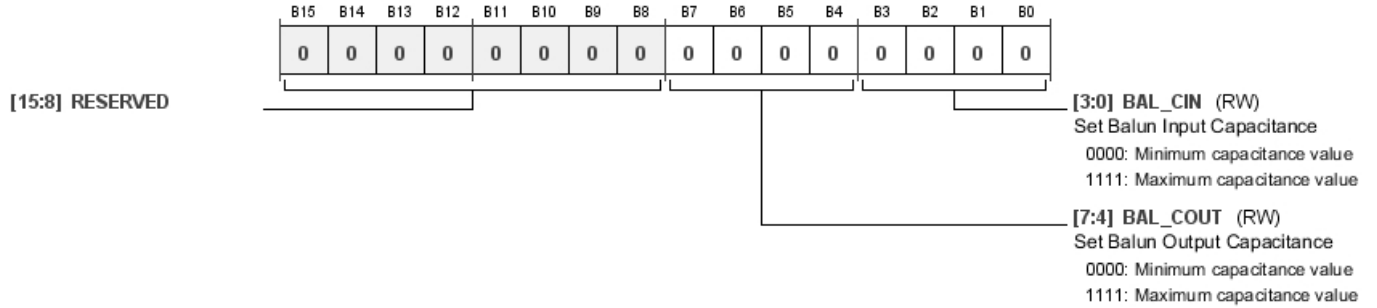


表23. VCO\_CTL的位功能描述

| 位       | 位名称           | 设置             | 说明  | 复位  | 访问类型 |
|---------|---------------|----------------|---|-----|------|
| [15:12] | VCO_LDO_R4SEL |                | 选择VCO LDO电阻4。                                   | 0x2 | RW   |
| [11:8]  | VCO_LDO_R2SEL |                | 选择VCO LDO电阻2。                                   | 0xA | RW   |
| [7:6]   | LO_DRV_LVL    | 00<br>01<br>10 | 设置外部LO输出幅度。<br>-5.1 dBm。<br>-0.5 dBm。<br>3 dBm。 | 0x0 | RW   |
| 5       | DRVDIV2_EN    | 0<br>1         | 2分频, 用于外部LO驱动器使能。<br>禁用。<br>使能。                 | 0x0 | RW   |
| 4       | DIV8_EN       | 0<br>1         | LO路径上的2分频, 用于总共8分频。<br>禁用。<br>使能。               | 0x0 | RW   |
| 3       | DIV4_EN       | 0<br>1         | LO路径上的2分频, 用于总共4分频。<br>禁用。<br>使能。               | 0x0 | RW   |

| 位     | 位名称     | 设置                              | 说明   | 复位  | 访问类型 |
|-------|---------|---------------------------------|--|-----|------|
| [2:0] | VCO_SEL | 000<br>001<br>010<br>011<br>100 | 选择VCO内核/外部LO。<br>4.6 GHz至5.71 GHz。<br>4.02 GHz至4.6 GHz。<br>3.5 GHz至4.02 GHz。<br>2.85 GHz至3.5 GHz。<br>外部LO/VCO。 | 0x3 | RW   |

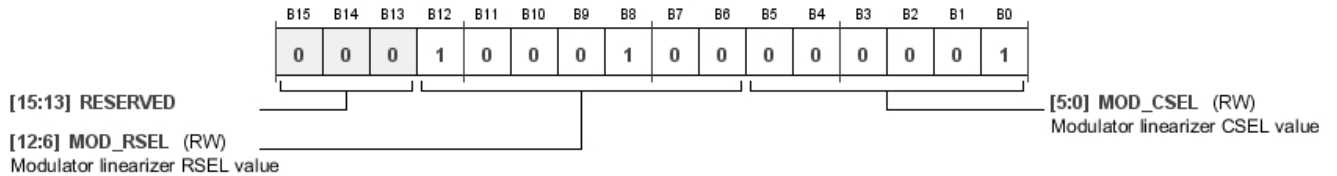
地址：0x30；复位：0x0000；名称：BALUN\_CTL



**表24. BALUN\_CTL的位功能描述**

| 位     | 位名称      | 设置           | 说明                            | 复位  | 访问类型 |
|-------|----------|--------------|-------------------------------|-----|------|
| [7:4] | BAL_COUT | 0000<br>1111 | 设置巴伦输出电容。<br>最小电容值。<br>最大电容值。 | 0x0 | RW   |
| [3:0] | BAL_CIN  | 0000<br>1111 | 设置巴伦输入电容。<br>最小电容值。<br>最大电容值。 | 0x0 | RW   |

地址：0x31；复位：0x1101；名称：MOD\_LIN\_CTL



**表25. MOD\_LIN\_CTL的位功能描述**

| 位      | 位名称      | 设置 | 说明           | 复位   | 访问类型 |
|--------|----------|----|--------------|------|------|
| [12:6] | MOD_RSEL |    | 调制器线性化RSEL值。 | 0x44 | RW   |
| [5:0]  | MOD_CSEL |    | 调制器线性化CSEL值。 | 0x01 | RW   |

# ADRF6720

地址: 0x32; 复位: 0x0900; 名称: MOD\_CTL0

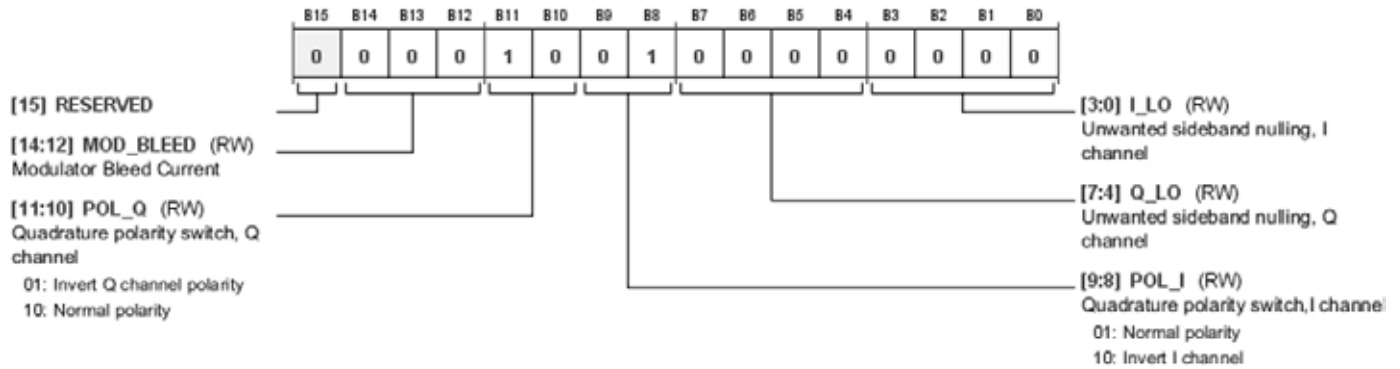
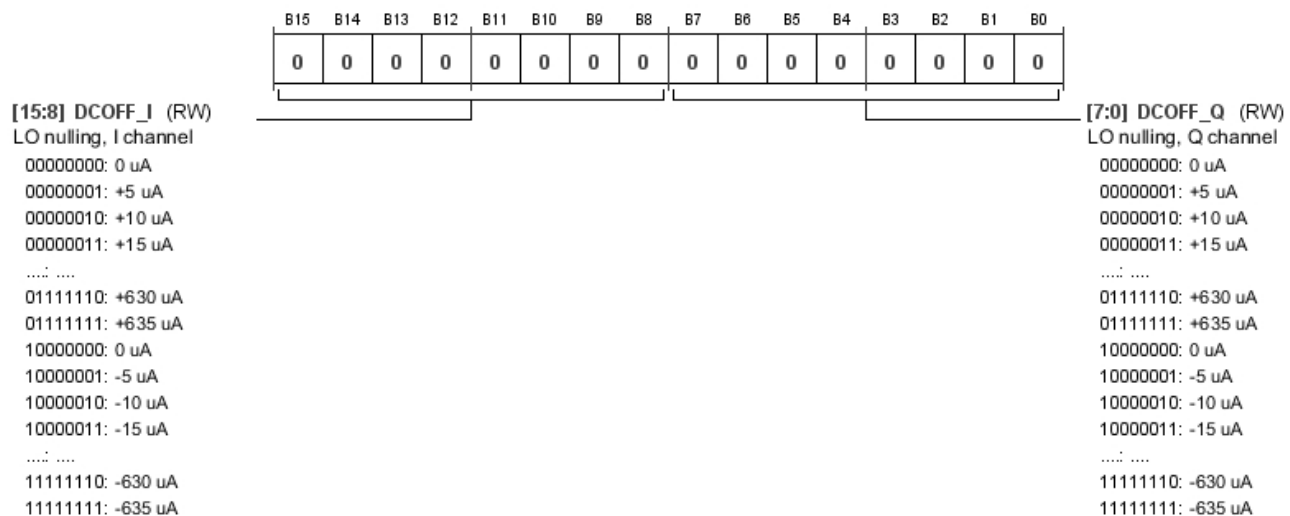


表26. MOD\_CTL0的位功能描述

| 位       | 位名称       | 设置       | 说明                                | 复位  | 访问类型 |
|---------|-----------|----------|-----------------------------------|-----|------|
| [14:12] | MOD_BLEED |          | 调制器泄漏电流。                          | 0x0 | RW   |
| [11:10] | POL_Q     | 01<br>10 | 正交极性开关, Q通道。<br>反转Q通道极性。<br>正常极性。 | 0x2 | RW   |
| [9:8]   | POL_I     | 01<br>10 | 正交极性开关, I通道。<br>正常极性。<br>反转I通道极性。 | 0x1 | RW   |
| [7:4]   | Q_LO      |          | 干扰边带调零, Q通道。                      | 0x0 | RW   |
| [3:0]   | I_LO      |          | 干扰边带调零, I通道。                      | 0x0 | RW   |

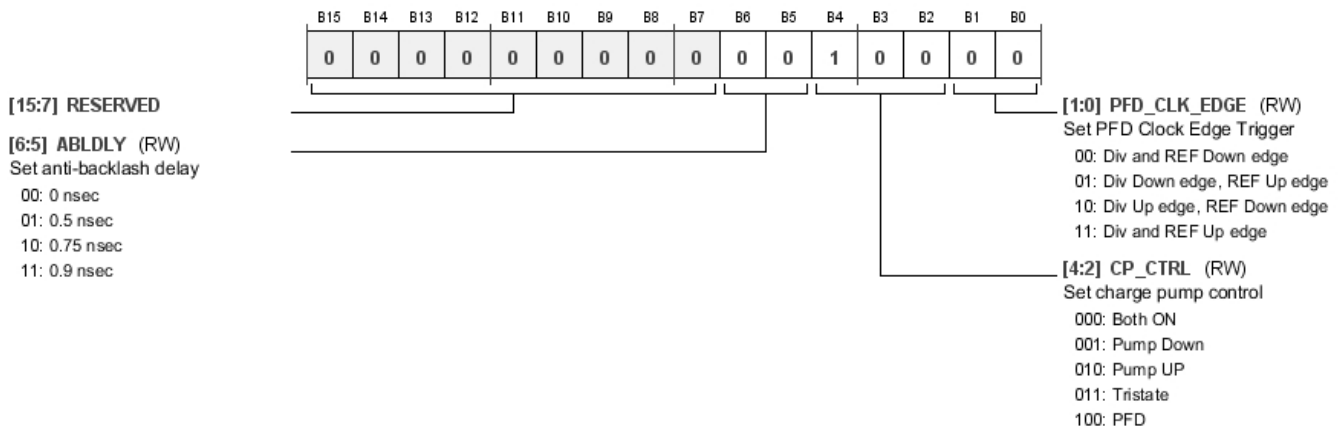
地址: 0x33; 复位: 0x0000; 名称: MOD\_CTL1



**表27. MOD\_CTL1的位功能描述**

| 位      | 位名称     | 设置   | 说明         | 复位  | 访问类型 |
|--------|---------|--|------------|-----|------|
| [15:8] | DCOFF_I | 00000000 0 $\mu$ A.<br>00000001 +5 $\mu$ A.<br>00000010 +10 $\mu$ A.<br>00000011 +15 $\mu$ A.<br>...<br>01111110 +630 $\mu$ A.<br>01111111 +635 $\mu$ A.<br>10000000 0 $\mu$ A.<br>10000001 -5 $\mu$ A.<br>10000010 -10 $\mu$ A.<br>10000011 -15 $\mu$ A.<br>...<br>11111110 -630 $\mu$ A.<br>11111111 -635 $\mu$ A. | LO调零, I通道。 | 0x0 | RW   |
| [7:0]  | DCOFF_Q | 00000000 0 $\mu$ A.<br>00000001 +5 $\mu$ A.<br>00000010 +10 $\mu$ A.<br>00000011 +15 $\mu$ A.<br>...<br>01111110 +630 $\mu$ A.<br>01111111 +635 $\mu$ A.<br>10000000 0 $\mu$ A.<br>10000001 -5 $\mu$ A.<br>10000010 -10 $\mu$ A.<br>10000011 -15 $\mu$ A.<br>...<br>11111110 -630 $\mu$ A.<br>11111111 -635 $\mu$ A. | LO调零, Q通道。 | 0x0 | RW   |

地址: 0x40; 复位: 0x0010; 名称: PFD\_CP\_CTL



# ADRF6720

表28. PFD\_CP\_CTL的位功能描述

| 位     | 位名称          | 设置                              | 说明   | 复位  | 访问类型 |
|-------|--------------|---------------------------------|--|-----|------|
| [6:5] | ABLDLY       | 00<br>01<br>10<br>11            | 设置反冲防回差延迟。<br>0 ns。<br>0.5 ns。<br>0.75 ns。<br>0.9 ns。                | 0x0 | RW   |
| [4:2] | CP_CTRL      | 000<br>001<br>010<br>011<br>100 | 设置电荷泵控制。<br>均使能。<br>放电。<br>充电。<br>三态。<br>PFD。                        | 0x4 | RW   |
| [1:0] | PFD_CLK_EDGE | 00<br>01<br>10<br>11            | 设置PFD时钟边沿触发。<br>分频和基准下降沿。<br>下分频沿，基准上升沿。<br>上分频沿，基准下降沿。<br>分频和基准上升沿。 | 0x0 | RW   |

地址：0x42；复位：0x000E；名称：DITH\_CTL1

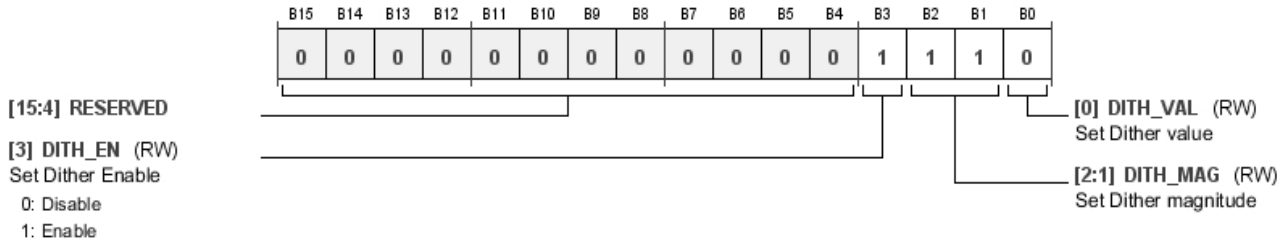


表29. DITH\_CTL1的位功能描述

| 位     | 位名称      | 设置     | 说明                    | 复位  | 访问类型 |
|-------|----------|--------|-----------------------|-----|------|
| 3     | DITH_EN  | 0<br>1 | 设置扰动使能。<br>禁用。<br>使能。 | 0x1 | RW   |
| [2:1] | DITH_MAG |        | 设置扰动幅度。               | 0x3 | RW   |
| 0     | DITH_VAL |        | 设置扰动值。                | 0x0 | RW   |

地址：0x43；复位：0x0000；名称：DITH\_CTL2

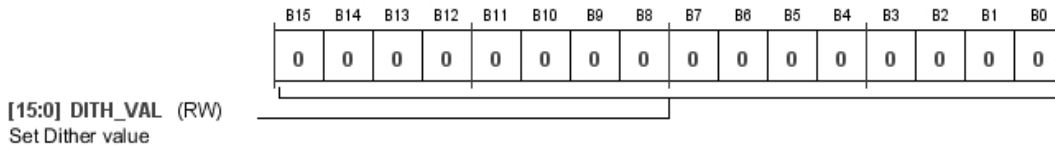
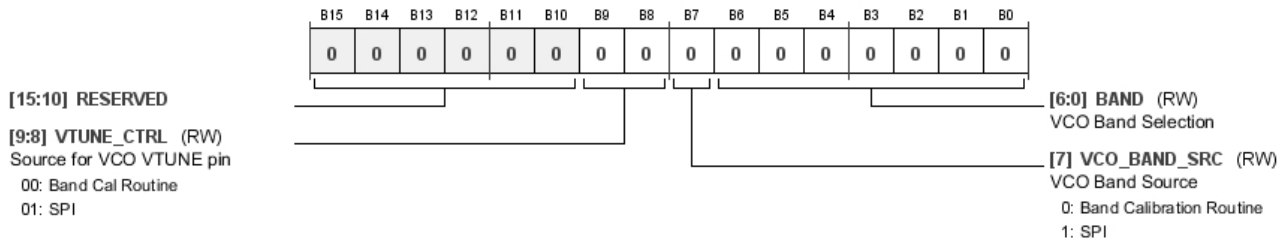


表30. DITH\_CTL2的位功能描述

| 位      | 位名称      | 设置 | 说明     | 复位  | 访问类型 |
|--------|----------|----|--------|-----|------|
| [15:0] | DITH_VAL |    | 设置扰动值。 | 0x0 | RW   |



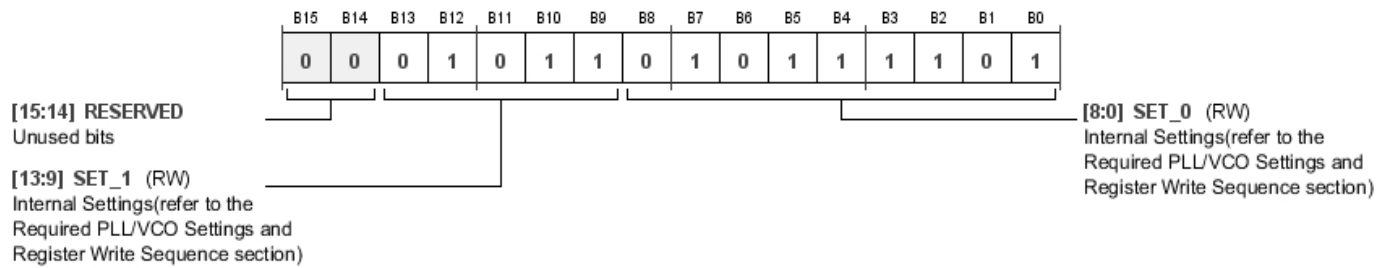
地址: 0x45; 复位: 0x0000; 名称: VCO\_CTL2



**表31. VCO\_CTL2的位功能描述**

| 位     | 位名称          | 设置       | 说明                                 | 复位   | 访问类型 |
|-------|--------------|----------|------------------------------------|------|------|
| [9:8] | VTUNE_CTRL   | 00<br>01 | VCO VTUNE引脚信号源。<br>频带校准程序。<br>SPI。 | 0x0  | RW   |
| 7     | VCO_BAND_SRC | 0<br>1   | VCO频带信号源<br>频带校准程序。<br>SPI。        | 0x0  | RW   |
| [6:0] | BAND         |          | VCO频带选择。                           | 0x00 | RW   |

地址: 0x49; 复位: 0x16BD; 名称: VCO\_CTL3

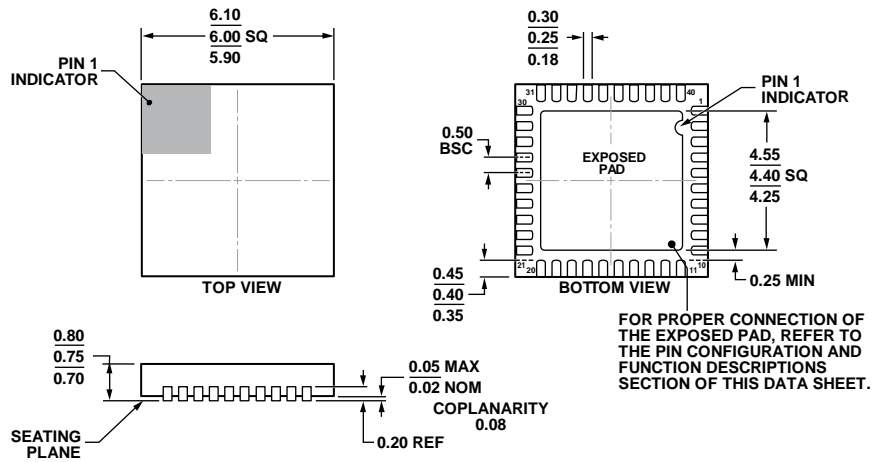


**表32. VCO\_CTL3的位功能描述**

| 位      | 位名称   | 设置 | 说明                              | 复位    | 访问类型 |
|--------|-------|----|---------------------------------|-------|------|
| [13:9] | SET_1 |    | 内部设置。参考“所需PLL/VCO设置和寄存器写入序列”部分。 | 0x0B  | RW   |
| [8:0]  | SET_0 |    | 内部设置。参考“所需PLL/VCO设置和寄存器写入序列”部分。 | 0x0BD | RW   |

# ADRF6720

## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WJJD.

图60. 40引脚引脚架构芯片级封装[LFCSP\_WQ]  
6 mm x 6 mm, 超薄体  
(CP-40-11)  
尺寸单位: mm

06-04-2012-A

## 订购指南

| 型号 <sup>1</sup> | 温度范围        | 封装描述                   | 封装选项     |
|-----------------|-------------|------------------------|----------|
| ADRF6720ACPZ-R7 | -40°C至+85°C | 40引脚引线框芯片级封装[LFCSP_WQ] | CP-40-11 |
| ADRF6720-EVALZ  |             | 评估板                    |          |

<sup>1</sup> Z = 符合RoHS标准的器件。

**注释**

**注释**