

产品特性

多功能光电式测量前端

完全集成式 AFE、ADC、LED 驱动器和时序内核

提供一流的环境光抑制性能，无需光电二极管滤光器

三个 370 mA LED 驱动器

每个样本具有可配置的多个灵活的 LED 短脉冲

每个周期突发累加器支持 20 位采样数据

片上样本至样本累加器，支持每次读取数据高达 27 位（数字域）

低功耗工作

SPI、I²C 接口和 1.8 V 模拟/数字内核

灵活的采样频率范围：0.122 Hz 至 3820 Hz

FIFO 数据操作

应用

可穿戴健康和健身监护仪

临床测量，例如：SpO₂

工业监控

背景光测量

概述

ADPD105/ADPD106/ADPD107 均为集成 14 位模数转换器 (ADC) 和 20 位突发累加器的高效光电式测量前端，配合灵活的发光二极管(LED)驱动器工作。该累加器设计用于激励 LED 并测量相应的光学返回信号。数据输出和功能配置通过 ADPD105 的 1.8 V I²C 接口或 ADPD106/ADPD107 的 SPI 进行。控制电路包括灵活的 LED 信号传输和同步检测。

由于环境光通常引起的调制干扰，模拟前端(AFE)可提供一流的信号失调和破坏抑制性能。

利用电容低于 100 pF 的光电二极管配合 ADPD105/ADPD106/ADPD107 以实现最佳性能。ADPD105/ADPD106/ADPD107 可用于任何 LED。ADPD105 提供 2.46 mm × 1.4 mm WLCSP 和 4 mm × 4 mm LFCSP 两种封装。仅有 SPI 的版本 ADPD106 和 ADPD107 提供 2.46 mm × 1.4 mm WLCSP 封装。

目录

产品特性	1	LED 驱动器引脚和 LED 电源电压.....	31
应用	1	LED 驱动器操作.....	31
概述.....	1	确定平均电流.....	31
修订历史.....	3	确定 C_{VLED}	32
功能框图	4	LED 电感考虑	32
技术规格	6	建议启动时序.....	33
温度和电源规格.....	6	读取数据	33
性能规格	7	时钟与时序校准	34
模拟规格	8	GPIO0 和 GPIO1 提供的可选时序信号.....	35
数字规格	9	计算功耗	37
时序规格	10	优化每瓦的 SNR.....	38
绝对最大额定值.....	12	通过禁用未使用通道和放大器优化功耗	39
热阻.....	12	TIA ADC 模式	40
推荐的焊接温度曲线	12	数字积分模式.....	42
ESD 警告	12	脉冲连接模式.....	45
引脚配置和功能描述	13	利用 TIA ADC 模式进行同步 ECG 和 PPG 测量	45
典型性能参数	17	寄存器列表.....	48
工作原理	19	LED 控制寄存器.....	52
简介	19	AFE 全局配置寄存器	54
双时隙操作.....	19	系统寄存器	59
时隙开关	20	ADC 寄存器	63
可调采样频率	22	数据寄存器	64
状态机工作情况.....	23	所需启动加载程序.....	64
正常工作模式和数据流.....	23	外形尺寸	65
AFE 操作.....	25	订购指南	66
AFE 积分失调调整	25		
I ² C 串行接口	27		
SPI 端口	28		
典型连接图.....	30		

修订历史

2017年1月—修订版0至修订版A

增加 ADPD106 通篇

更改“产品特性”和“概述”部分..... 1

更改图 1..... 4

增加图 2；重新排序 5

更改表 2..... 6

更改表 9..... 12

增加图 6 和表 11；重新排序 13

增加图 8 和表 13..... 15

更改“ADPD105 LFCSP 输入配置”部分 20

增加“寄存器 0x14, PD1 至 PD8 输入配置”部分和图 19 至图 21 20

增加表 16 和“WLCSP 输入配置”部分..... 21

更改“寄存器 0x14, PD1 至 PD4 输入配置”部分..... 21

更改“典型连接图”部分..... 30

增加图 37 和表 22..... 31

增加“利用电流输入测量电压”部分、图 52 和图 53..... 47

更改表 28 48

更新“外形尺寸” 65

更改“订购指南”部分 66

2017 年 1 月—修订版 0 至修订版 A

功能框图

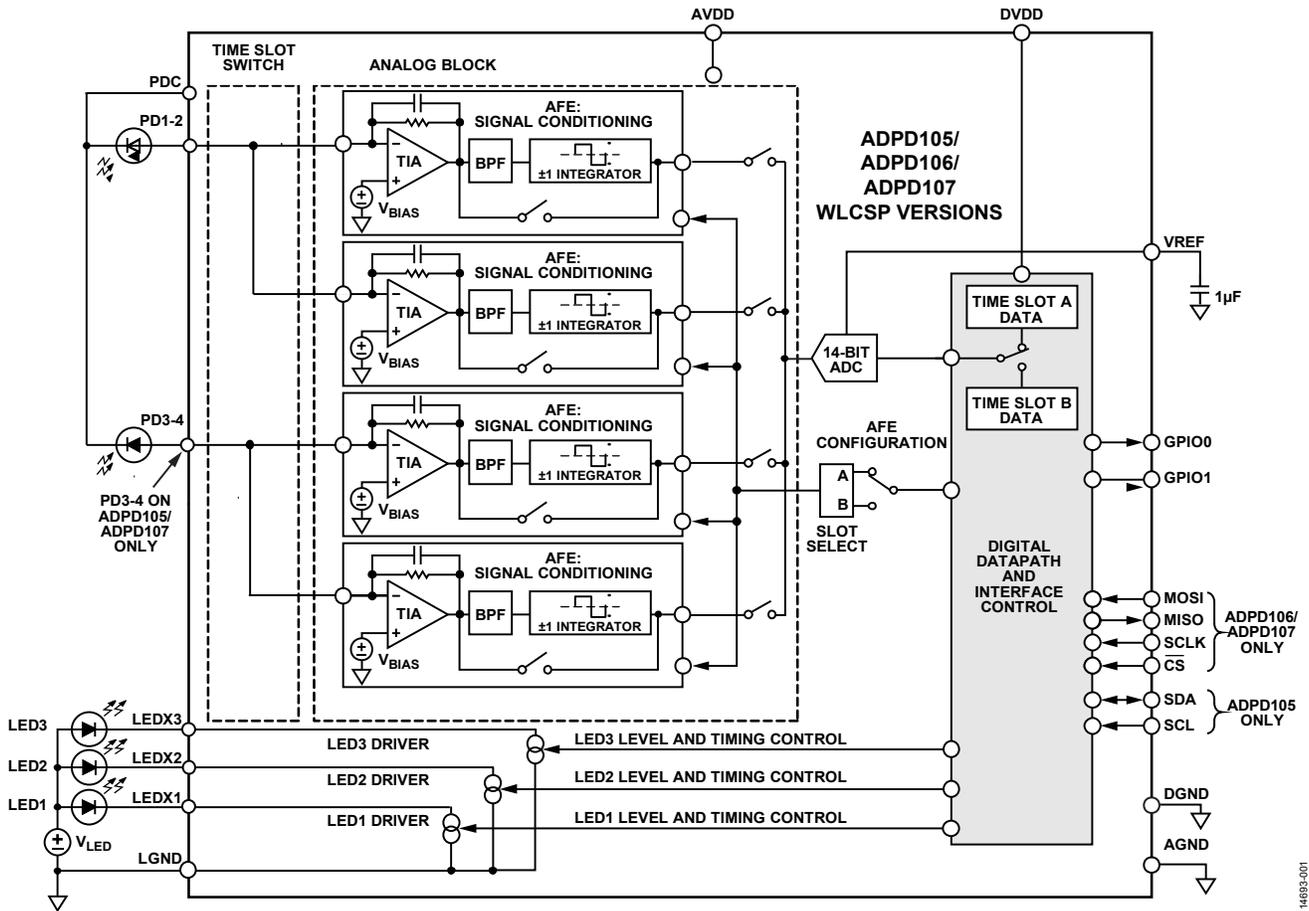


图1. ADPD105/ADPD106/ADPD107 WLCSP (芯片级封装) 版本框图

14693-001

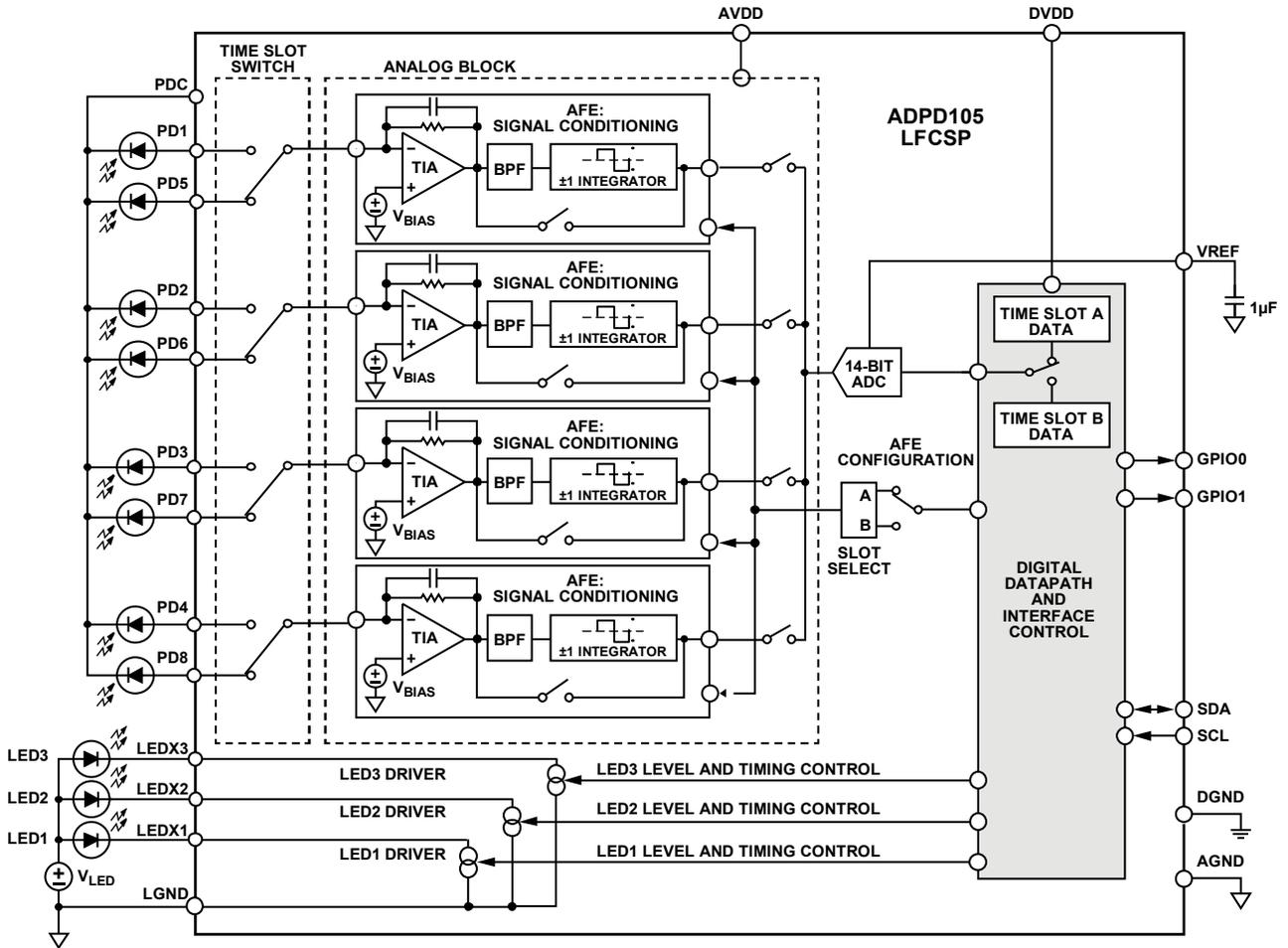


图 2. ADPD105 LFCSP 版本框图

14693-105

技术规格

温度和电源规格

表 1. 工作条件

参数	测试条件/注释	最小值	典型值	最大值	单位
温度范围					
工作范围		-40		+85	°C
存储范围		-65		+150	°C
电源电压					
V_{DD}	施加于 AVDD 和 DVDD 引脚	1.7	1.8	1.9	V

除非另有说明，AVDD = DVDD = 1.8 V， $T_A = 25^\circ\text{C}$ 。

表 2. 电流消耗

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
电源(V_{DD})电流						
V_{DD} 电源电流 ¹		SLOTx_LED_OFFSET = 25 μs ；LED_PERIOD = 19 μs ； LED峰值电流 = 25 mA，单通道模式				
1 脉冲		100 Hz数据速率；仅时隙A		92		μA
		100 Hz数据速率；仅时隙B		75		μA
		100 Hz数据速率；时隙A和时隙B		119		μA
10 脉冲		100 Hz数据速率；仅时隙A		175		μA
		100 Hz数据速率；仅时隙B		155		μA
		100 Hz 数据速率；时隙 A 和时隙 B		281		μA
峰值 V_{DD} 电源电流(1.8 V)	$I_{V_{DD_PEAK}}$					
4 通道操作				9.3		mA
1 通道操作				4.5		mA
待机模式电流	$I_{V_{DD_STANDBY}}$			0.3		μA
V_{LED} 电源电流 ²						
平均电源电流						
V_{LEDA} 或 V_{LEDB}		峰值LED电流 = 25 mA；LED脉冲宽度 = 3 μs				
1 脉冲		50 Hz数据速率		3.75		μA
		100 Hz数据速率		7.5		μA
		200 Hz数据速率		15		μA
10 脉冲		50 Hz数据速率		38		μA
		100 Hz数据速率		75		μA
		200 Hz 数据速率		150		μA

¹ V_{DD} 为施加于AVDD和DVDD引脚的电压。

² V_{LED} 适用于所列条件下由ADPD105/ADPD106/ADPD107 LED驱动器驱动的任何给定LED的外部LED电源电压。

性能规格

除非另有说明，AVDD = DVDD = 1.8 V，T_A = 全工作温度范围。

表 3.

参数	测试条件/注释	最小值	典型值	最大值	单位
数据采集					
分辨率	单脉冲		14		位
分辨率/样本	64到255脉冲		20		位
分辨率/数据读取	64到255脉冲，样本均值 = 128		27		位
LED 驱动器					
LED 电流压摆率 ¹					
上升	压摆率控制设置 = 0；T _A = 25°C；I _{LED} = 70 mA		240		mA/μs
	压摆率控制设置 = 7；T _A = 25°C；I _{LED} = 70 mA		1400		mA/μs
下降	压摆率控制设置 = 0、1、2；T _A = 25°C；I _{LED} = 70 mA		3200		mA/μs
	压摆率控制设置 = 6、7；T _A = 25°C；I _{LED} = 70 mA		4500		mA/μs
LED 峰值电流	LED脉冲使能			370	mA
驱动器顺从电压	LED驱动器操作要求电压高于地		0.6		V
LED 周期	AFE宽度 = 4 μs ²		19		μs
	AFE宽度 = 3 μs		17		μs
采样频率 ³	仅时隙A；正常模式；1脉冲；SLOTA_LED_OFFSET = 23 μs；SLOTA_LED_PERIOD = 19 μs	0.122		3230	Hz
	仅时隙B；正常模式；1脉冲；SLOTA_LED_OFFSET = 23 μs；SLOTA_LED_PERIOD = 19 μs	0.122		3820	Hz
	两个时隙；正常模式；1脉冲；SLOTA_LED_OFFSET = 23 μs；SLOTA_LED_PERIOD = 19 μs	0.122		1750	Hz
	仅时隙A；正常模式；8脉冲；SLOTA_LED_OFFSET = 23 μs；SLOTA_LED_PERIOD = 19 μs	0.122		2257	Hz
	仅时隙B；正常模式；8脉冲；SLOTA_LED_OFFSET = 23 μs；SLOTA_LED_PERIOD = 19 μs	0.122		2531	Hz
	两个时隙；正常模式；8脉冲；SLOTA_LED_OFFSET = 23 μs；SLOTA_LED_PERIOD = 19 μs	0.122		1193	Hz
阴极引脚(PDC)电压					
所有采样周期	寄存器0x54的位7 = 0x0；寄存器0x3C的位9 = 1 ⁴		1.8		V
	寄存器0x54的位7 = 0x0；寄存器0x3C的位9 = 0		1.3		V
时隙 A 采样周期	寄存器0x54的位7 = 0x1；寄存器0x54的位[9:8] = 0x0 ⁴		1.8		V
	寄存器0x54的位7 = 0x1；寄存器0x54的位[9:8] = 0x1		1.3		V
	寄存器0x54的位7 = 0x1；寄存器0x54的位[9:8] = 0x2		1.55		V
	寄存器0x54的位7 = 0x1；寄存器0x54的位[9:8] = 0x3 ⁵		0		V
时隙 B 采样周期	寄存器0x54的位7 = 0x1；寄存器0x54的位[11:10] = 0x0 ⁴		1.8		V
	寄存器0x54的位7 = 0x1；寄存器0x54的位[11:10] = 0x1		1.3		V
	寄存器0x54的位7 = 0x1；寄存器0x54的位[11:10] = 0x2		1.55		V
	寄存器0x54的位7 = 0x1；寄存器0x54的位[11:10] = 0x3 ⁵		0		V
睡眠周期	寄存器0x54的位7 = 0x0；寄存器0x3C的位9 = 1		1.8		V
	寄存器0x54的位7 = 0x0；寄存器0x3C的位9 = 0		1.3		V
	寄存器0x54的位7 = 0x1；寄存器0x54的位[13:12] = 0x0		1.8		V
	寄存器0x54的位7 = 0x1；寄存器0x54的位[13:12] = 0x1		1.3		V
	寄存器0x54的位7 = 0x1；寄存器0x54的位[13:12] = 0x2		1.55		V
	寄存器 0x54 的位 7 = 0x1；寄存器 0x54 的位[13:12] = 0x3		0		V
光电二极管输入引脚/ 阳极电压			1.3		V
所有采样周期					
睡眠周期			阴极电压		V

¹ 对于这些值，LED电感可忽略。有效压摆率随着电感提高而变慢。

² LED周期最小值 = (2 × AFE宽度) + 5 μs。

³ 此规格的最大值是正常模式下的内部ADC采样速率。在某些配置中，I²C读取速率可能会限制输出数据速率。

⁴ 这种模式可能会引起额外噪声，除非实属必要，否则不建议使用。1.8 V设置使用V_{DD}，相对于阳极电压，其差分电压噪声量更大。阳极和阴极之间的差分电压在光电二极管电容上注入一个幅度为C × dV/dt的差分电流。

⁵ 对于光电二极管，不建议使用此设置，因为它会引起光电二极管正偏1.3 V。

模拟规格

除非另有说明，AVDD = DVDD = 1.8 V， T_A = 全工作温度范围。AFE 失调补偿在“AFE 操作”部分中说明。

表 4.

参数	测试条件/注释	最小值	典型值	最大值	单位
输入电容				100	pF
脉冲信号转换，3 μ s 宽 LED 脉冲 ¹	4 μ s 宽 AFE 积分；正常工作，寄存器 0x43/ 寄存器 0x45 = 0xADA5				
ADC 分辨率 ²	跨阻放大器(TIA)反馈电阻 25 k Ω 50 k Ω 100 k Ω 200 k Ω		3.27 1.64 0.82 0.41		nA/LSB nA/LSB nA/LSB nA/LSB
ADC 饱和电平	TIA 反馈电阻 25 k Ω 50 k Ω 100 k Ω 200 k Ω		26.8 13.4 6.7 3.35		μ A μ A μ A μ A
脉冲信号上的环境信号裕量	TIA 反馈电阻 25 k Ω 50 k Ω 100 k Ω 200 k Ω		23.6 11.8 5.9 2.95		μ A μ A μ A μ A
脉冲信号转换，2 μ s 宽 LED 脉冲 ¹	3 μ s 宽 AFE 积分；正常工作，寄存器 0x43/ 寄存器 0x45 = 0xADA5				
ADC 分辨率 ²	TIA 反馈电阻 25 k Ω 50 k Ω 100 k Ω 200 k Ω		4.62 2.31 1.15 0.58		nA/LSB nA/LSB nA/LSB nA/LSB
ADC 饱和电平	TIA 反馈电阻 25 k Ω 50 k Ω 100 k Ω 200 k Ω		37.84 18.92 9.46 4.73		μ A μ A μ A μ A
脉冲信号上的环境信号裕量	TIA 反馈电阻 25 k Ω 50 k Ω 100 k Ω 200 k Ω		12.56 6.28 3.14 1.57		μ A μ A μ A μ A
全信号转换 ³					
脉冲信号的 TIA 饱和电平和环境电平	TIA 反馈电阻 25 k Ω 50 k Ω 100 k Ω 200 k Ω		50.4 25.2 12.6 6.3		μ A μ A μ A μ A

参数	测试条件/注释	最小值	典型值	最大值	单位
系统性能					
总输出噪声	正常模式；每脉冲；每通道；无LED； 光电二极管电容(C_{PD}) = 70 pF				
	25 k Ω ；折合到ADC输入端		1.0		LSB rms
	25 k Ω ；折合到2 μ s LED脉冲的峰值输入信号		4.6		nA rms
	25 k Ω ；折合到3 μ s LED脉冲的峰值输入信号		3.3		nA rms
	25 k Ω ；每通道每脉冲的饱和信噪比(SNR) ⁴		78.3		dB
	50 k Ω ；折合到ADC输入端		1.2		LSB rms
	50 k Ω ；折合到2 μ s LED脉冲的峰值输入信号		2.8		nA rms
	50 k Ω ；折合到3 μ s LED脉冲的峰值输入信号		2.0		nA rms
	50 k Ω ；每通道每脉冲的饱和SNR ⁴		76.6		dB
	100 k Ω ；折合到ADC输入端		1.7		LSB rms
	100 k Ω ；折合到2 μ s LED脉冲的峰值输入信号		1.9		nA rms
	100 k Ω ；折合到3 μ s LED脉冲的峰值输入信号		1.4		nA rms
	100 k Ω ；每通道每脉冲的饱和SNR ⁴		73.6		dB
	200 k Ω ；折合到ADC输入端		2.75		LSB rms
	200 k Ω ；折合到2 μ s LED脉冲的峰值输入信号		1.6		nA rms
	200 k Ω ；折合到3 μ s LED脉冲的峰值输入信号		1.1		nA rms
	200 k Ω ；每通道每脉冲的饱和 SNR ⁴		69.5		dB
直流电源抑制比(DC PSRR)			-37		dB

¹ 此饱和电平仅适用于ADC，因此仅包括脉冲信号。任何非脉冲信号都在ADC级之前被清除。

² 所列为每脉冲ADC分辨率，并且AFE失调已按照“AFE操作”部分所述予以正确补偿。如果使用多个脉冲，须除以脉冲数。

³ 此饱和电平适用于全信号路径，因此同时包括环境信号和脉冲信号。

⁴ 饱和SNR值的噪声项仅指接收噪声，不包括光子散粒噪声或LED信号本身的任何噪声。

数字规格

除非另有说明，DVDD = 1.7 V 至 1.9 V。

表 5.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
逻辑输入 (GPIOx、SCL、SDA、SCLK、MOSI、CS)						
输入电压电平						
高	V_{IH}		$0.7 \times DVDD$		3.6	V
低	V_{IL}				$0.3 \times DVDD$	V
输入电流电平						
高	I_{IH}		-10		+10	μ A
低	I_{IL}		-10		+10	μ A
输入电容	C_{IN}			10		pF
逻辑输出						
输出电压电平						
高	V_{OH}	GPIOx、MOSI	$DVDD - 0.5$			V
低	V_{OL}	2 mA高电平输出电流			0.5	V
输出电压电平						
低	V_{OL1}	SDA			$0.2 \times DVDD$	V
输出电流电平						
低	I_{OL}	SDA	6			mA
		$V_{OL1} = 0.6 V$				

时序规格

表 6. I²C 时序规格

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
I ² C 端口 ¹		参见图3				
SCL						
频率				400		kHz
最小脉冲宽度						
高	t_1		600			ns
低	t_2		1300			ns
起始条件						
保持时间	t_3		600			ns
建立时间	t_4		600			ns
SDA 建立时间	t_5		100			ns
SCL 和 SDA						
上升时间	t_6				1000	ns
下降时间	t_7				300	ns
停止条件						
建立时间	t_8		600			ns

¹ 通过设计保证。

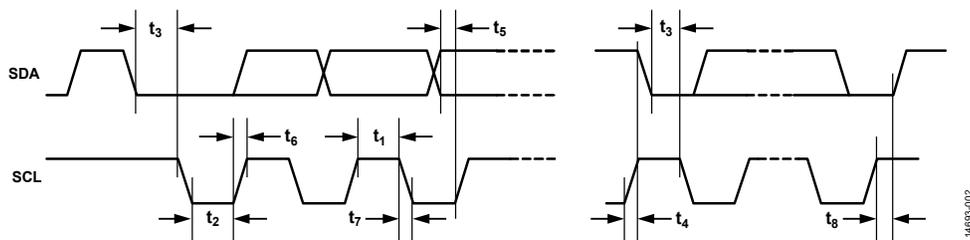
图 3. I²C 时序图

表 7. SPI 时序规格

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
SPI 端口						
SCLK						
频率	f_{SCLK}				10	MHz
最小脉冲宽度						
高	$t_{SCLKPWH}$		20			ns
低	$t_{SCLKPWL}$		20			ns
\overline{CS}						
建立时间	$t_{CS\overline{S}}$	\overline{CS} 建立至SCLK上升沿	10			ns
保持时间	$t_{CS\overline{H}}$	\overline{CS} 自SCLK上升沿起保持	10			ns
高电平脉冲宽度	$t_{CS\overline{PWH}}$	\overline{CS} 高电平脉冲宽度	10			ns
MOSI						
建立时间	t_{MOSIS}	MOSI 建立至 SCLK 上升沿	10			ns
保持时间	t_{MOSIH}	SCLK 上升沿至 MOSI 保持	10			ns
MISO 输出延迟	t_{MISOD}	SCLK 下降沿至 MISO 有效输出延迟			20	ns

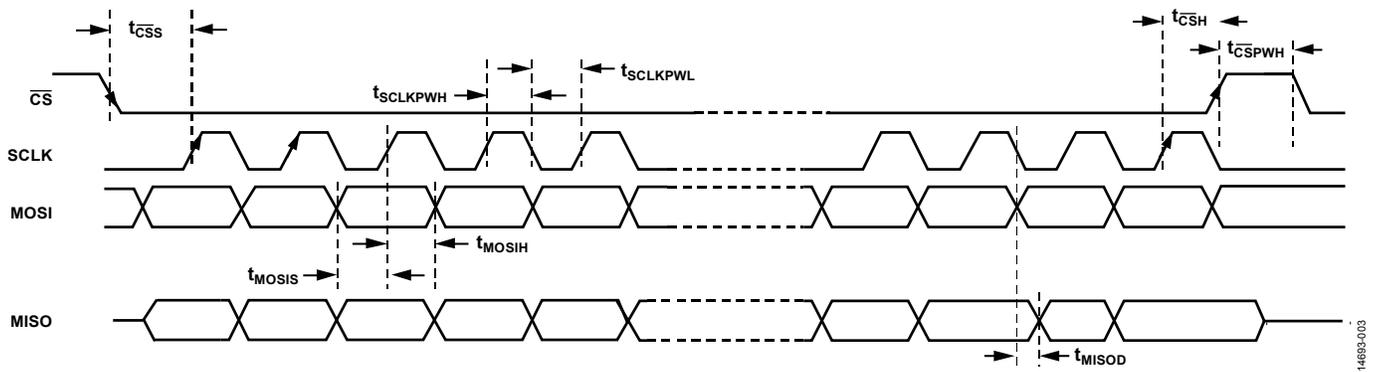


图 4. SPI 时序图

绝对最大额定值

表 8.

参数	额定值
AVDD 至 AGND	-0.3V 至 +2.2V
DVDD 至 DGND	-0.3V 至 +2.2V
GPIO0 至 DGND	-0.3V 至 +2.2V
GPIO1 至 DGND	-0.3V 至 +2.2V
LEDXx 至 LGND	-0.3V 至 +3.6V
SCL 至 DGND	-0.3V 至 +3.9V
SDA 至 DGND	-0.3V 至 +3.9V
结温	150°C
ESD	
人体模型(HBM)	1500V
充电器件模型(CDM)	500V
机器模型(MM)	100V

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

热性能与印刷电路板(PCB)设计和工作环境直接相关。必须慎重对待 PCB 散热设计。

表 9. 热阻¹

封装类型	θ_{JA}	单位
CP-28-5	54.9	°C/W
CB-16-18	60	°C/W
CB-17-1	60	°C/W

推荐的焊接温度曲线

图 5 和表 10 提供推荐的焊接外形细节。

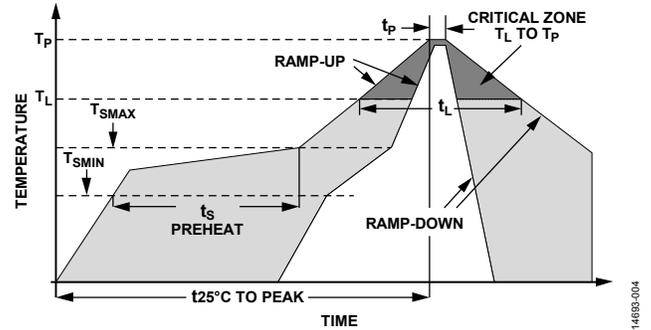


图 5. 推荐的焊接温度曲线

表 10. 推荐的焊接温度曲线

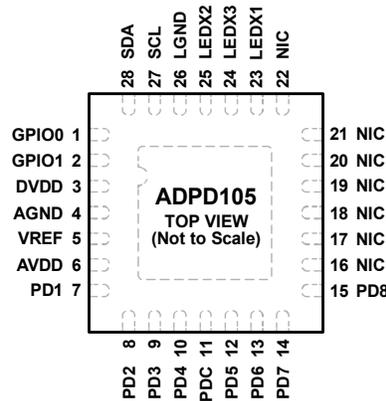
曲线	特征
平均斜坡速率 (T_L 至 T_p)	3°C/秒 (最大值)
预热	
最低温度(T_{SMIN})	150°C
最高温度(T_{SMAX})	200°C
时间 (T_{SMIN} 至 T_{SMAX}) (t_s)	60 秒至 180 秒
T_{SMAX} 至 T_L 斜升速率	3°C/秒 (最大值)
液态温度维持时间	
液态温度(T_L)	217°C
时间(t_L)	60 秒至 150 秒
峰值温度(T_p)	+260 (+0/-5)°C
实际峰值温度5°C以内的时间(t_p)	<30 秒
斜降速率	6°C/秒 (最大值)
从 25°C 至峰值温度的时间	8 分钟 (最大值)

ESD 警告



ESD (静电放电) 敏感器件。 带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



- NOTES
1. NIC = NOT INTERNALLY CONNECTED (NONBONDED PAD). THIS PIN CAN BE GROUNDING.
 2. EXPOSED PAD (DIGITAL GROUND). CONNECT THE EXPOSED PAD TO GROUND.

14693-106

图 6. 28 引脚 LFCSP 引脚配置(ADPD105)

表 11. 28 引脚 LFCSP 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1	GPIO0	DIO	通用输入/输出(I/O)。此引脚用于中断和各种时钟选项。
2	GPIO1	DIO	通用 I/O。此引脚用于中断和各种时钟选项。
3	DVDD	S	1.8V 数字电源。
4	AGND	S	模拟地。
5	VREF	REF	内部产生的 ADC 基准电压 1.2V。通过一个 1 μF 电容将该引脚缓冲至 AGND。
6	AVDD	S	1.8V 模拟电源。
7	PD1	AI	光电二极管电流输入 (阳极)。若不使用, 此引脚应浮空。
8	PD2	AI	光电二极管电流输入 (阳极)。若不使用, 此引脚应浮空。
9	PD3	AI	光电二极管电流输入 (阳极)。若不使用, 此引脚应浮空。
10	PD4	AI	光电二极管电流输入 (阳极)。若不使用, 此引脚应浮空。
11	PDC	AO	光电二极管共阴极偏置。
12	PD5	AI	光电二极管电流输入 (阳极)。若不使用, 此引脚应浮空。
13	PD6	AI	光电二极管电流输入 (阳极)。若不使用, 此引脚应浮空。
14	PD7	AI	光电二极管电流输入 (阳极)。若不使用, 此引脚应浮空。
15	PD8	AI	光电二极管电流输入 (阳极)。若不使用, 此引脚应浮空。
16 至 22	NIC	R	无内部连接 (非焊焊盘)。此引脚可接地。
23	LEDX1	AO	LED 驱动器 1 吸电流。若不使用, 此引脚应浮空。
24	LEDX3	AO	LED 驱动器 3 吸电流。若不使用, 此引脚应浮空。
25	LEDX2	AO	LED 驱动器 2 吸电流。若不使用, 此引脚应浮空。
26	LGND	S	LED 驱动器地。
27	SCL	DI	I ² C 时钟输入。
28	SDA	DIO	I ² C 数据输入/输出。
	EPAD (DGND)	S	裸露焊盘 (数字地)。裸露焊盘应接地。

¹ DIO表示数字输入/输出, S表示电源, REF表示基准电压源, AI表示模拟输入, AO表示模拟输出, R表示保留, DI表示数字输入。

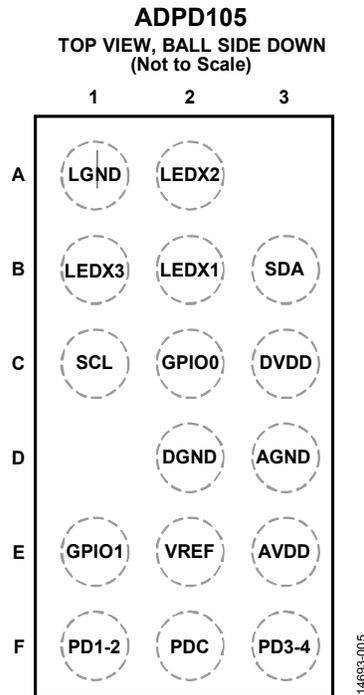


图 7. ADPD105 引脚配置

表 12. ADPD105 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
A1	LGND	S	LED 驱动器地。
A2	LEDX2	AO	LED 驱动器 2 吸电流。若不使用，此引脚应浮空。
B1	LEDX3	AO	LED 驱动器 3 吸电流。若不使用，此引脚应浮空。
B2	LEDX1	AO	LED 驱动器 1 吸电流。若不使用，此引脚应浮空。
B3	SDA	DIO	I ² C 数据输入/输出(I/O)。
C1	SCL	DI	I ² C 时钟输入。
C2	GPIO0	DIO	通用 I/O。此引脚用于中断和各种时钟选项。
C3	DVDD	S	1.8V 数字电源。
D2	DGND	S	数字地。
D3	AGND	S	模拟地。
E1	GPIO1	DIO	通用 I/O。此引脚用于中断和各种时钟选项。
E2	VREF	REF	内部产生的 ADC 基准电压 1.2V。通过一个 1 μF 电容将该引脚缓冲至 AGND。
E3	AVDD	S	1.8V 模拟电源。
F1	PD1-2	AI	光电二极管 1 (PD1)和光电二极管 2 (PD2)的合并电流输入。若不使用，此引脚应浮空。
F2	PDC	AO	光电二极管共阴极偏置。
F3	PD3-4	AI	光电二极管 3 (PD3)和光电二极管 4 (PD4)的合并电流输入。若不使用，此引脚应浮空。

¹ S表示电源，AO表示模拟输出，DIO表示数字输入/输出，DI表示数字输入，REF表示基准电压源，AI表示模拟输入，AO表示模拟输出。

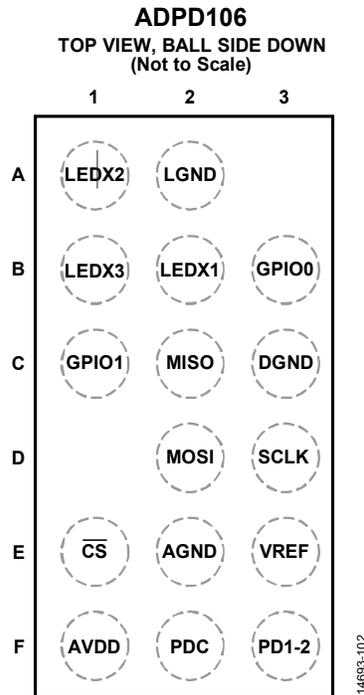


图 8.16 引脚 WLCSP 引脚配置(ADPD106)

表 13.16 引脚 WLCSP 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
A1	LEDX2	AO	LED 驱动器 2 吸电流。若不使用，此引脚应浮空。
A2	LGND	S	LED 驱动器地。
B1	LEDX3	AO	LED 驱动器 3 吸电流。若不使用，此引脚应浮空。
B2	LEDX1	AO	LED 驱动器 1 吸电流。若不使用，此引脚应浮空。
B3	GPIO0	DIO	通用 I/O。此引脚用于中断和各种时钟选项。
C1	GPIO1	DIO	通用 I/O。此引脚用于中断和各种时钟选项。
C2	MISO	DO	SPI 数据输出。
C3	DGND	S	数字地。
D2	MOSI	DI	SPI 数据输入。
D3	SCLK	DI	SPI 时钟输入。
E1	CS	DI	SPI 片选，低电平有效。
E2	AGND	S	模拟地。
E3	VREF	REF	内部产生的 ADC 基准电压 1.2V。通过一个 1 μF 电容将该引脚缓冲至 AGND。
F1	AVDD	S	1.8V 模拟电源。
F2	PDC	AO	光电二极管共阴极偏置。
F3	PD1-2	AI	PD1 和 PD2 的光电二极管合并电流输入。若不使用，此引脚应浮空。

¹ AO表示模拟输出，S表示电源，DIO表示数字输入/输出，DO表示数字输出，DI表示数字输入，REF表示基准电压源，AI表示模拟输入。

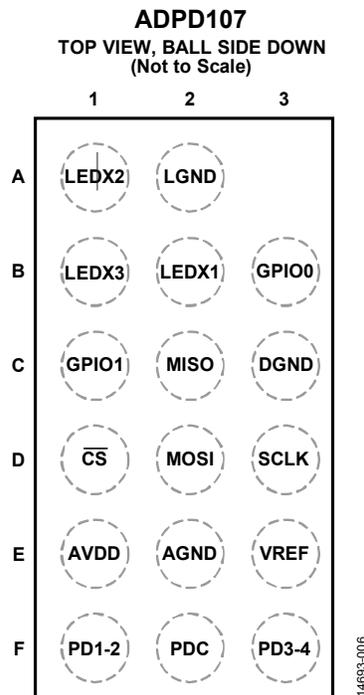


图9. ADPD107 引脚配置

表 14. ADPD107 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
A1	LEDX2	AO	LED 驱动器 2 吸电流。若不使用，此引脚应浮空。
A2	LGND	S	LED 驱动器地。
B1	LEDX3	AO	LED 驱动器 3 吸电流。若不使用，此引脚应浮空。
B2	LEDX1	AO	LED 驱动器 1 吸电流。若不使用，此引脚应浮空。
B3	GPIO0	DIO	通用 I/O。此引脚用于中断和各种时钟选项。
C1	GPIO1	DIO	通用 I/O。此引脚用于中断和各种时钟选项。
C2	MISO	DO	主机输入，从机输出。
C3	DGND	S	数字地。
D1	CS	DI	SPI 片选。低电平有效。
D2	MOSI	DI	主机输出，从机输入。
D3	SCLK	DI	SPI 时钟输入。
E1	AVDD	S	1.8 V 模拟电源。
E2	AGND	S	模拟地。
E3	VREF	REF	内部产生的 ADC 基准电压 1.2V。通过一个 1 μF 电容将该引脚缓冲至 AGND。
F1	PD1-2	AI	PD1 和 PD2 的光电二极管合并电流输入。若不使用，此引脚应浮空。
F2	PDC	AO	光电二极管共阴极偏置。
F3	PD3-4	AI	PD3 和 PD4 的光电二极管合并电流输入。若不使用，此引脚应浮空。

¹ AO表示模拟输出，S表示电源，DIO表示数字输入/输出，DO表示数字输出，DI表示数字输入，REF表示基准电压源，AI表示模拟输入。

典型性能参数

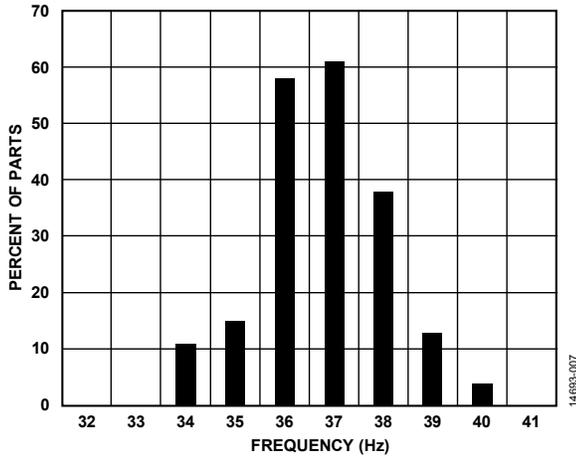


图 10. 32 kHz 时钟频率分布
(默认设置, 用户校准前: 寄存器 0x4B = 0x2612)

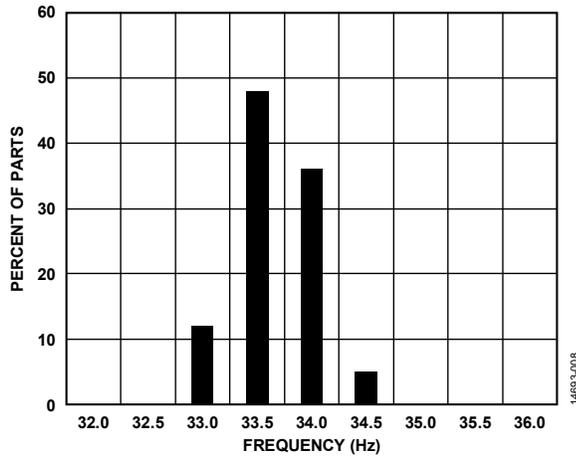


图 11. 32 MHz 时钟频率分布
(默认设置, 用户校准前: 寄存器 0x4D = 0x0098)

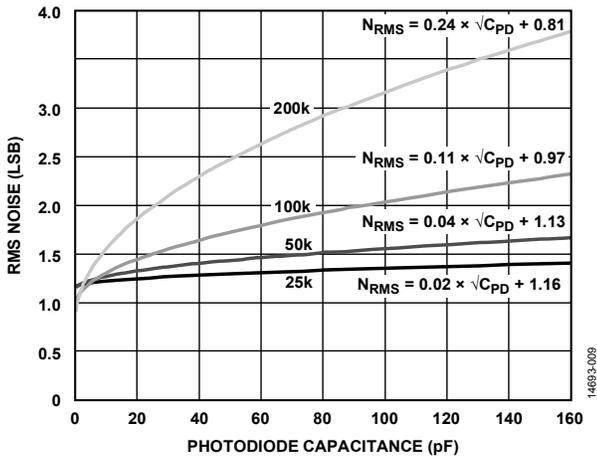


图 12. RMS 噪声与光电二极管电容的关系

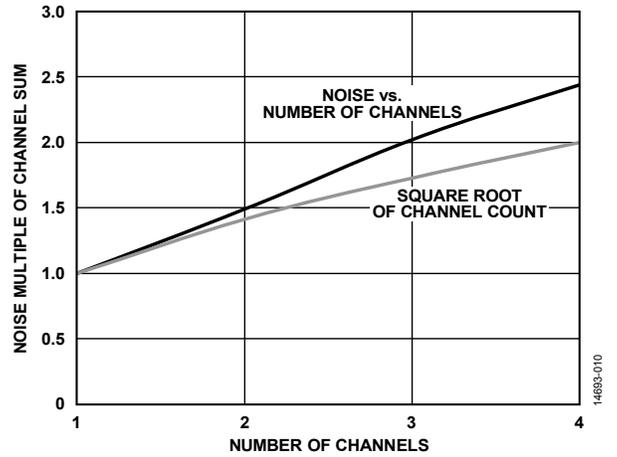


图 13. 多通道噪声总和与通道数的关系

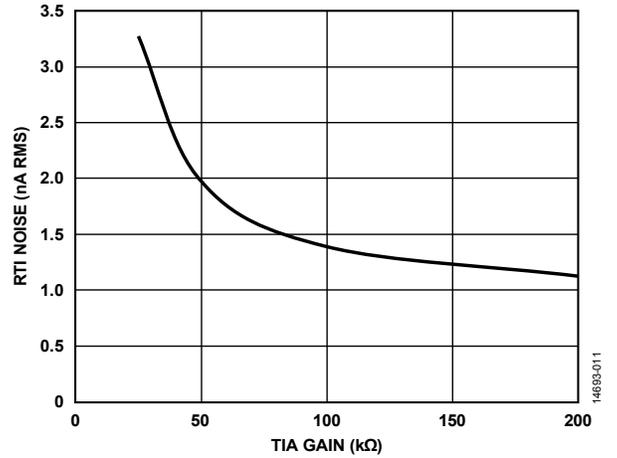


图 14. 折合到输入端(RTI)噪声与 TIA 增益的关系

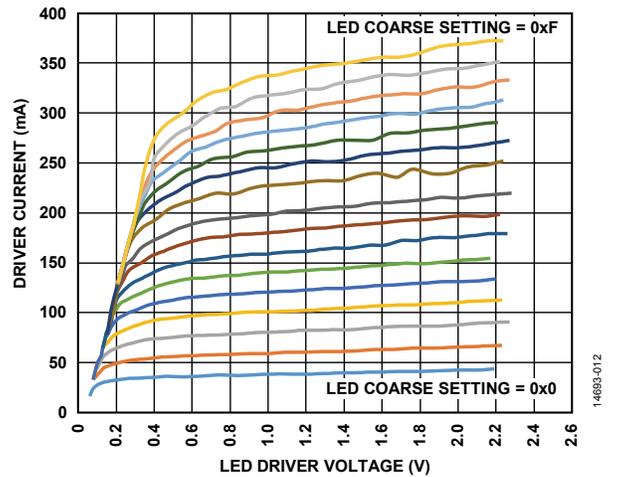


图 15. 不同粗调设置下 LED 驱动器电流与 LED 驱动器电压的关系



图 16. LED 驱动器电流与 LED 精调设置的关系
(粗调设置 = 0x0)



图 17. LED 驱动器电流与 LED 精调设置的关系
(粗调设置 = 0xF)

工作原理

简介

ADPD105/ADPD106/ADPD107 用作完整的光收发器，可激励多达三个 LED，并测量最多两个独立电流输入的回波信号。内核包括光电式测量前端、ADC、数字模块和三个独立 LED 驱动器。内核电路激励 LED，并通过 1 到 8 个光电二极管输入测量模拟模块中的回波信号，结果存储在内部存储器中。可配置两路输入以驱动四个同步输入通道。数据可直接从寄存器读取，或通过 FIFO 读取。这个高度集成的系统包括模拟信号处理模块、数字信号处理模块、I²C 通信接口(ADPD105)或 SPI 端口(ADPD107)以及可编程脉冲 LED 电流源。

LED 驱动器是电流吸收器，与 LED 电源电压和 LED 类型无关。光电二极管(PD_x)输入支持任何输入电容小于 100 pF 的光电二极管。ADPD105/ADPD106/ADPD107 旨在提供高 SNR，LED 功耗相对较低，同时环境光对测量信号的影响大大降低。

双时隙操作

ADPD105/ADPD106/ADPD107 在两个独立的时隙——时隙 A 和时隙 B——中工作，二者按顺序执行。从 LED 激励到数据捕捉和处理的完整信号路径均在各时隙周期执行。每个时隙有一条单独的数据路径，其中 LED 驱动器、AFE 和结果数据均使用独立的设置。对于每个采样周期，时隙 A 和时隙 B 按顺序操作，如图 18 所示。

时序参数定义如下：

$$t_A (\mu s) = SLOTA_LED_OFFSET + n_A \times SLOTA_LED_PERIOD$$

其中， n_A 为时隙 A 的脉冲数（寄存器 0x31 的位[15:8]）。

$$t_B (\mu s) = SLOTB_LED_OFFSET + n_B \times SLOTB_LED_PERIOD$$

其中， n_B 为时隙 B 的脉冲数（寄存器 0x36 的位[15:8]）。

LED 周期利用下式计算：

$$LED_PERIOD \text{ 最小值} = 2 \times AFE_WIDTH + 11$$

t_1 和 t_2 是固定的，且基于各时隙的计算时间。如果某个时隙不使用，则这些时间不算在总活动时间内。表 15 定义了这些 LED 和采样时间参数的值。

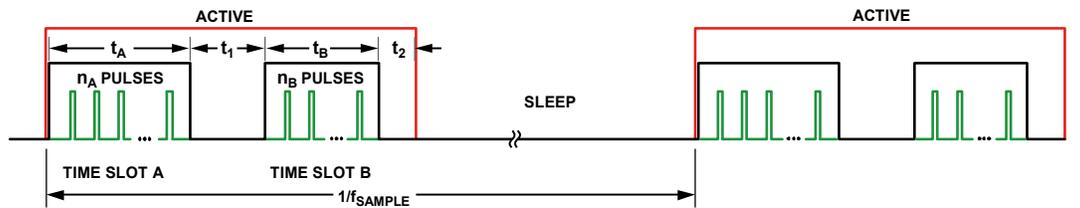


图 18. 时隙时序图

表 15. LED 时序和采样时序参数

参数	寄存器	位	测试条件/注释	最小值	典型值	最大值	单位
SLOTA_LED_OFFSET ¹	0x30	[7:0]	从上电到 LEDA 上升沿的延迟时间	23		63	μs
SLOTB_LED_OFFSET ¹	0x35	[7:0]	从上电到 LEDB 上升沿的延迟时间	23		63	μs
SLOTA_LED_PERIOD ²	0x31	[7:0]	时隙 A 中 LED 脉冲之间的时间；SLOT _x _AFE_WIDTH = 4 μs	19		63	μs
SLOTB_LED_PERIOD ²	0x36	[7:0]	时隙 B 中 LED 脉冲之间的时间；SLOT _x _AFE_WIDTH = 4 μs	19		63	μs
t ₁			时隙 A 的计算时间		68		μs
t ₂			时隙 B 的计算时间		20		μs
t _{SLEEP}			采样周期之间的睡眠时间	222			μs

¹ SLOT_x_LED_OFFSET 设定值低于规定的最小值时，可能引起环境光抑制对较大光电二极管失效。

² SLOT_x_LED_PERIOD 设定值低于规定的最小值时，可能引起数据捕捉无效。

时隙开关

ADPD105 LFCSP 输入配置

最多可将 8 个光电二极管 (PD1 至 PD8) 连接到 LFCSP 封装的 ADPD105。光电二极管阳极连接到 PD1 至 PD8 输入引脚, 阴极连接到阴极引脚 PDC。根据寄存器 0x14 的设置, 阳极有三种不同配置 (参见图 22、图 23 和图 21)。

通过开关控制在时隙 A 和时隙 B 周期连接哪一个光电二极管组。时隙开关寄存器参见表 17。为使器件正常工作, 必须让未使用输入保持浮空。光电二极管输入是电流输入, 故这些引脚也被视为电压输出。将这些输入连接到一个电压可能会使模拟模块饱和。

寄存器 0x14, PD1 至 PD8 输入配置

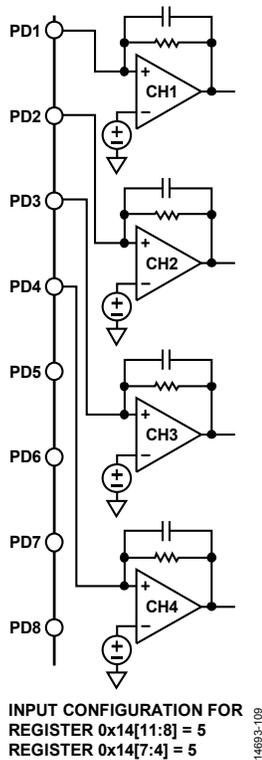
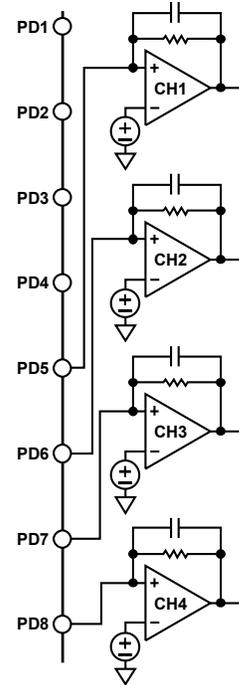
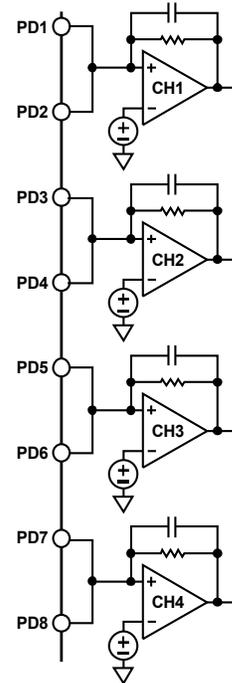


图 19. PD1 至 PD4 连接



INPUT CONFIGURATION FOR
REGISTER 0x14[11:8] = 4
REGISTER 0x14[7:4] = 4

图 20. PD5 至 PD8 连接



INPUT CONFIGURATION FOR
REGISTER 0x14[11:8] = 1
REGISTER 0x14[7:4] = 1

图 21. 合并电流求和

表 16. 时隙开关 (寄存器 0x14)

地址	位	名称	描述
0x14	[11:8]	SLOTB_PD_SEL	对于时隙 B, 按照图 22、图 23 和图 21 所示选择光电二极管连接。 0x0: 输入在时隙 B 中浮空。 0x1: 所有 PDx 引脚 (PD1 至 PD8) 在时隙 B 周期均连接。 0x4: PD5 至 PD8 在时隙 B 周期连接。 0x5: PD1 至 PD4 在时隙 B 周期连接。 其他: 保留。
	[7:4]	SLOTA_PD_SEL	对于时隙 A, 按照图 22、图 23 和图 21 所示选择光电二极管连接。 0x0: 输入在时隙 A 中浮空。 0x1: 所有 PDx 引脚 (PD1 至 PD8) 在时隙 A 周期均连接。 0x4: PD5 至 PD8 在时隙 A 周期连接。 0x5: PD1 至 PD4 在时隙 A 周期连接。 其他: 保留。

WLCSP 输入配置

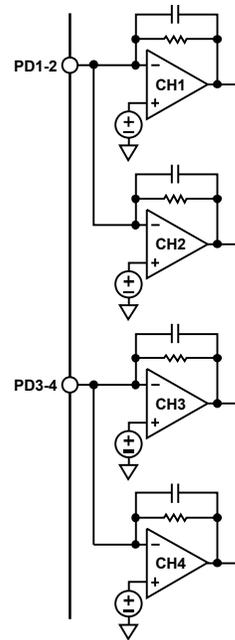
最多两个光电二极管可以连接到 WLCSP 型号的 ADPD105 和 ADPD107。ADPD106 支持将单个光电二极管连接到通道 1 和通道 2。光电二极管阳极连接到 PD1-2 和 PD3-4 输入引脚, 阴极连接到阴极引脚 PDC。根据寄存器 0x14 的设置, 阳极有两种不同配置 (参见图 22 和图 23)。

寄存器 0x14, PD1 至 PD4 输入配置

图 22 显示了各 PD 输入连接到两个通道的配置。此配置是用于大光电二极管电流的高动态范围模式。图 23 显示了器件各 PD 输入连接到单个通道的配置。这种模式针对的是光电二极管电流较低的情况, 允许用户实现最大 SNR。

一个开关设置在时隙 A 和时隙 B 周期连接哪一个光电二极管组。时隙开关寄存器参见表 17。为使器件正常工作, 必须让未使用输入保持浮空。光电二极管输入是电流输入, 故这些引脚也被视为电压输出。将这些输入连接到一个电压可能会使模拟模块饱和。

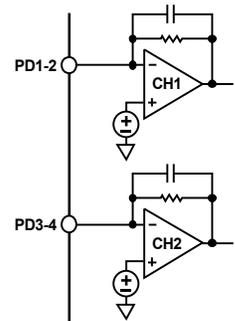
注意, ADPD106 仅包括图 22 和图 23 中针对 PD1-2 输入引脚所示的选项。



INPUT CONFIGURATION FOR REGISTER 0x14[11:8] = 5 REGISTER 0x14[7:4] = 5

14683-016

图 22. PD1 至 PD4 连接



INPUT CONFIGURATION FOR REGISTER 0x14[11:8] = 1 REGISTER 0x14[7:4] = 1

14683-017

图 23. 电流求和一两个光电二极管合并为一个电流

表 17. 时隙开关 (寄存器 0x14)

地址	位	名称	描述
0x14	[11:8]	SLOTB_PD_SEL	对于时隙 B, 按照图 22 和图 23 所示选择光电二极管连接。 0x0: 输入在时隙 B 中浮空。 0x1: 在时隙 B 周期, PD1-2 连接到通道 1, PD3-4 连接到通道 2。 0x5: 在时隙 B 周期, PD1-2 连接到通道 1 和通道 2, PD3-4 连接到通道 3 和通道 4。 其他: 保留。
	[7:4]	SLOTA_PD_SEL	对于时隙 A, 按照图 22 和图 23 所示选择光电二极管连接。 0x0: 输入在时隙 A 中浮空。 0x1: 在时隙 A 周期, PD1-2 连接到通道 1, PD3-4 连接到通道 2。 0x5: 在时隙 A 周期, PD1-2 连接到通道 1 和通道 2, PD3-4 连接到通道 3 和通道 4。 其他: 保留。

可调采样频率

寄存器 0x12 控制 ADPD105/ADPD106/ADPD107 的采样频率设置, 寄存器 0x4B 的位[5:0]进一步调谐此时钟以实现更高精度。采样频率受内部 32 kHz 采样速率时钟控制, 该时钟还驱动内部状态机的转换。一些采样条件下的最大采样频率如表 3 所列。所有条件下的最大采样频率由下式确定:

$$f_{\text{SAMPLE, MAX}} = 1/(t_A + t_1 + t_B + t_2 + t_{\text{SLEEP, MIN}})$$

其中, $t_{\text{SLEEP, MIN}}$ 为样本之间所需的最短睡眠时间。

如果某一时隙未使用, 则该时隙中的时间不计入计算中。例如, 若时隙 A 未使用, 则 t_A 和 t_1 不加入到采样周期中, 新的最大采样频率计算如下:

$$f_{\text{SAMPLE, MAX}} = 1/(t_B + t_2 + t_{\text{SLEEP, MIN}})$$

关于 t_A 、 t_1 、 t_B 和 t_2 的定义, 参见“双时隙操作”部分。

外部同步触发采样

ADPD105/ADPD106/ADPD107 提供了一个使用外部同步信号触发采样周期的选项。此外同步信号可通过 GPIO0 引脚或 GPIO1 引脚提供。此功能由寄存器 0x4F 的位[3:2]控制。使能时, 所选输入上的上升沿指明下一采样周期何时发生。触发后会有一到两个内部采样时钟(32 kHz)周期的延迟, 然后发生正常启动序列。此序列与正常采样定时器提供触发信号的情况相同。要使能外部同步信号特性, 请执行以下步骤:

1. 将 0x1 写入寄存器 0x10 以进入编程模式。
2. 将适当的值写入寄存器 0x4F 的位[3:2]以选择 GPIO0 或 GPIO1 引脚指定何时发生下一采样周期。另外, 利用寄存器 0x4F 的位 1 (GPIO0 引脚) 或寄存器 0x4F 的位 5 (GPIO1 引脚) 使能相应的输入缓冲器。

3. 将 0x4000 写入寄存器 0x38。
4. 将 0x2 写入寄存器 0x10 以开始采样操作。
5. 以所需速率将外部同步信号施加于所选引脚, 采样以该速率发生。同正常采样操作一样, 利用 FIFO 或数据寄存器读取数据。

这种情况同样适用最大频率限制。

提供外部 32kHz 时钟

ADPD105/ADPD106/ADPD107 有一个选项, 用户可向器件提供外部 32 kHz 时钟以进行系统同步, 或者满足系统对更高时钟精度 (高于内部 32 kHz 时钟) 的需求。外部 32 kHz 时钟通过 GPIO1 引脚提供。要使用 32 kHz 外部时钟, 请在启动时执行以下步骤:

1. 将 GPIO1 引脚驱动到一个有效逻辑电平, 或先使用所需的 32 kHz 时钟驱动 GPIO1 引脚, 再将其使能为输入。请勿让该引脚在使能之前浮空。
2. 将 01 写入寄存器 0x4F 的位[6:5]以使能 GPIO1 引脚为输入。
3. 将 10 写入寄存器 0x4B 的位[8:7]以配置器件使用外部 32 kHz 时钟。此设置禁用内部 32 kHz 时钟并使能外部 32 kHz 时钟。
4. 将 0x1 写入寄存器 0x10 以进入编程模式。
5. 在器件处于编程模式时, 根据需以任意顺序写入其他控制寄存器以配置器件。
6. 将 0x2 写入寄存器 0x10 以开始正常采样操作。

状态机工作情况

在各时隙周期，ADPD105/ADPD106/ADPD107 根据状态机工作。状态机按如下顺序工作，如图 24 所示。

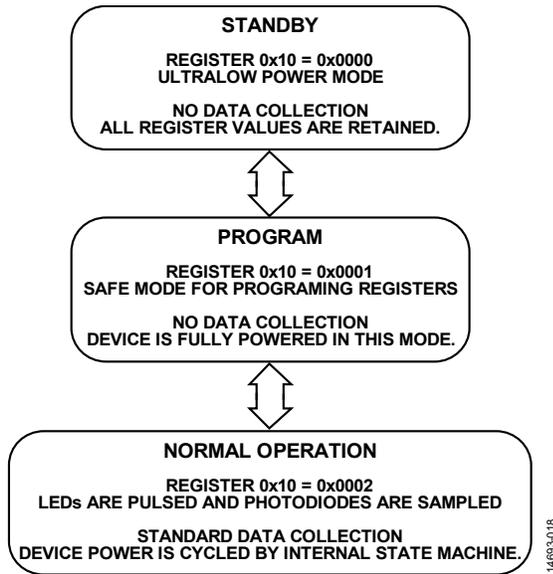


图 24. 状态机工作流程图

ADPD105/ADPD106/ADPD107 有三种工作模式：待机、编程和正常采样模式。

待机模式是一种不收集任何数据的省电模式。此模式下所有寄存器值都会保留。要将器件置于待机模式，须向寄存器 0x10 的位[1:0]写入 0x0。器件上电时进入待机模式。

编程模式用于对寄存器编程。写入寄存器或更改模式时，务必让 ADPD105/ADPD106/ADPD107 循环通过编程模式。因为这种模式下不发生周期供电，器件在编程模式下消耗的电流可能高于正常工作模式。要将器件置于编程模式，须向寄存器 0x10 的位[1:0]写入 0x1。

正常运行时，ADPD105/ADPD106/ADPD107 发出脉冲光并收集数据。这种模式下的功耗取决于脉冲数和数据速率。要将器件置于正常采样模式，须向寄存器 0x10 的位[1:0]写入 0x2。

正常工作模式和数据流

正常模式下，ADPD105/ADPD106/ADPD107 遵循一个由状态机设置的特定模式。此模式的对应数据流如图 25 所示。模式说明如下：

1. LED 脉冲和样本。ADPD105/ADPD106/ADPD107 向外部 LED 发出脉冲。光电二极管对反射光的响应由 ADPD105/ADPD106/ADPD107 测量。每个数据样本均从 n 个脉冲之和构建，其中 n 为用户配置值，介于 1 和 255 之间。
2. 样本间平均。如果需要，逻辑可以求取 n 个样本的均值以产生输出数据，其中 n 为 2 的幂，范围是 2 到 128。每 N 个样本产生的新输出数据保存到输出寄存器。
3. 数据读取。主机处理器从数据寄存器或 FIFO 中读取转换结果。
4. 重复。该序列有若干不同环路以支持不同类型的均值计算，而两个时隙在时间上相互衔接。

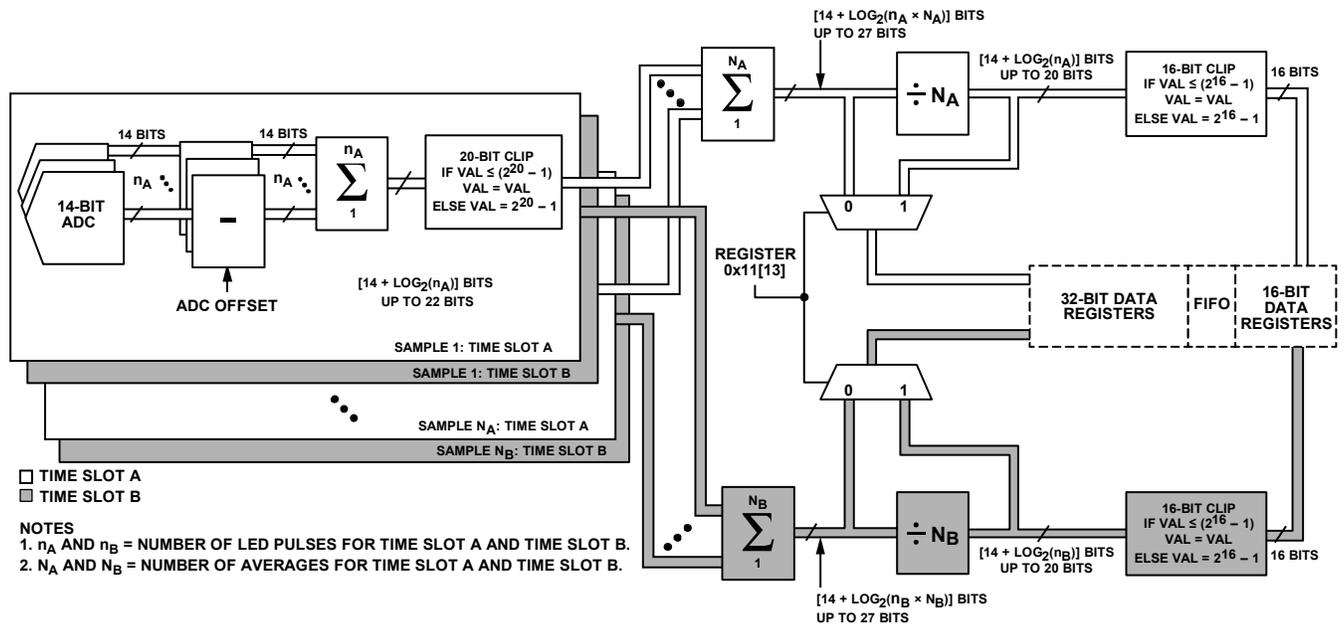


图 25. ADPD105/ADPD106/ADPD107 数据路径

LED 脉冲和样本

在每个采样周期，所选 LED 驱动器驱动一系列 LED 脉冲，如图 26 所示。脉冲的幅度、持续时间和数量可通过 I²C 接口编程。每个 LED 脉冲与一个检测周期重合，这样检测值便能代表光电二极管响应对应 LED 脉冲而采集的总电荷。与 LED 脉冲无关的电荷，如环境光等，会被抑制。

每个 LED 脉冲结束之后，与 LED 脉冲信号相关的光电二极管输出由 14 位 ADC 采样并转换为一个数字值。一个采样周期中的每个后续转换结果均与前一结果相加。在单个采样周期中，最多可以让来自 ADC 的 256 个脉冲值相加。对每个采样周期，最大范围是 20 位。

均值

ADPD105/ADPD106/ADPD107 具有样本累加和均值功能以提高信号分辨率。

在一个采样周期中，AFE 最多可加总 256 个连续脉冲。如图 25 所示，在 AFE 输出端，AFE 采集的样本被削波到 20 位。在采样周期之间求均值，可以实现更高分辨率，最高可达 27 位。这 N 个样本的累加数据作为 27 位值存储，可通过 32 位输出寄存器或 32 位 FIFO 配置直接读出。

当使用寄存器 0x15 设置的均值功能时，后续脉冲可以按 2 的幂进行平均。用户可以选择 2、4、8 ... 128 个样本以求均值。脉冲数据仍由 AFE 以采样频率 f_{SAMPLE} (寄存器 0x12)

采集，但新数据以 f_{SAMPLE}/N 的速率在每第 N 个样本写入寄存器。此新数据包含前 N 个样本之和。完整的 32 位存储在 32 位寄存器中。但在将此数据发送到 FIFO 之前，会发生一个除以 N 运算。此除法运算的作用是维持位深度，防止 FIFO 溢出削波。

在样本均值之间使用此操作可在保持 16 位分辨率的同时降低噪声。如果脉冲数寄存器保持为 8 或更小的值，则绝不会超过 16 位宽度。因此，使用寄存器 0x15 对后续脉冲求均值时，可以累加很多脉冲而不会超过 16 位字宽度。此均值功能可减少主机处理器所需的 FIFO 读取次数。

数据读取

主机处理器从 ADPD105/ADPD107 读取输出数据，使用 I²C 协议(ADPD105)或 SPI 端口(ADPD107)。数据从数据寄存器或 FIFO 中读取。每 N 个样本提供一个新输出数据，其中 N 为用户配置的均值系数。时隙 A 和时隙 B 的均值系数可彼此独立配置。如果相同，则可配置两个时隙将数据均保存到 FIFO。如果两个均值系数不同，则只有一个时隙能将数据保存到 FIFO；另一个时隙的数据可从输出寄存器读取。

关于数据读取操作的更详细信息，参见“读取数据”部分。

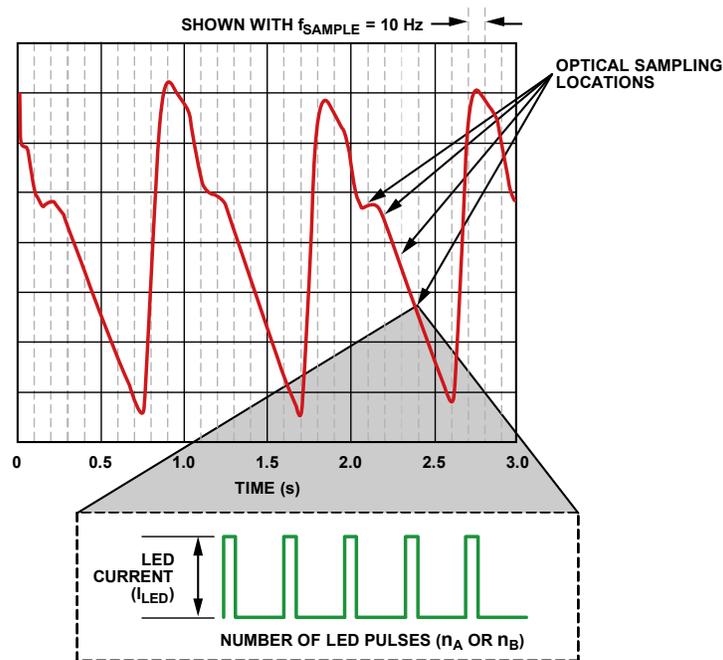


图 26. 以 10 Hz 数据速率采样的 PPG (光电容积脉搏波描记法) 信号示例，每样本 5 个脉冲

AFE 操作

为了优化 ADPD105/ADPD106/ADPD107 的运行, 每次脉冲突发的时序是很重要的。图 27 显示了一个 LED 脉冲响应穿过 AFE 的模拟模块时单个时隙的时序波形。第一幅图 (显示为绿色) 显示的是理想 LED 脉冲输出。滤波后的 LED 响应 (显示为蓝色) 显示的是模拟积分器的输出。第三幅图 (显示为橙色) 显示的是位置优化的积分窗口。当设置为优化值时, 可以对滤波后 LED 响应的完整信号进行积分。然后, AFE 积分窗口应用于带通滤波器(BPF)的输出, 结果送至 ADC 并对 N 个脉冲求和。如果 AFE 窗口的大小或位置不正确, 则无法正确报告所有接收信号, 系统性能不是

最佳; 因此, 对于每个新的硬件设计或 LED 宽度, 必须验证 AFE 位置是否妥当。

AFE 积分失调调整

AFE 积分宽度必须等于或大于 LED 宽度。当 AFE 宽度增加时, 输出噪声也会增加, 抑制来自环境的高频内容的的能力则会减弱。因此, AFE 积分宽度应相对较小。然而, 如果 AFE 宽度过小, 则 LED 信号会衰减。对于大多数硬件选择, 当 AFE 宽度比 LED 宽度大 1 μs 时, SNR 最佳。设置 LED 宽度、LED 失调和 AFE 宽度之后, 便可优化 ADC 失调。AFE 失调必须手动设置, 使得积分窗口第一段的下降沿与滤波 LED 响应的过零点匹配。

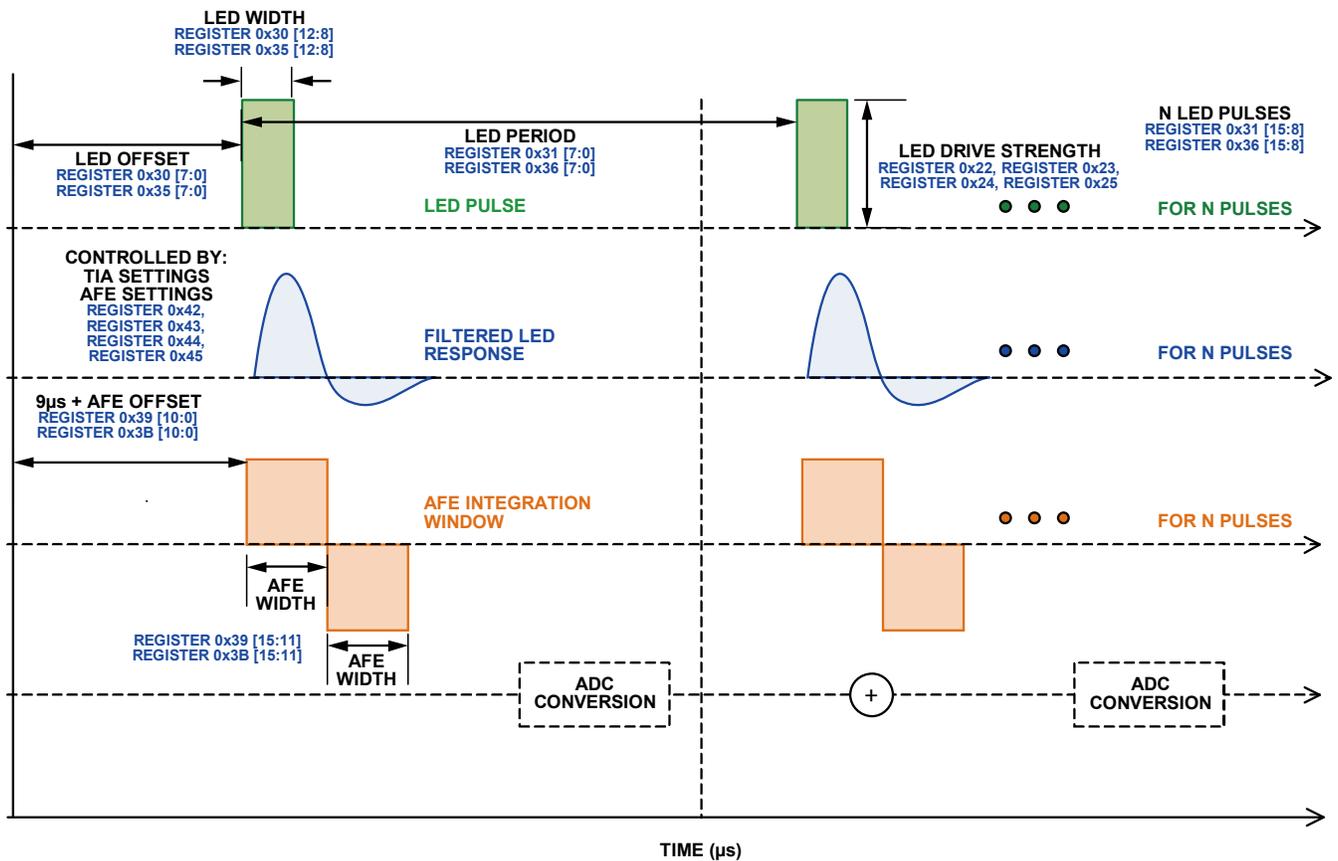


图 27. AFE 操作图

14693-021

AFE 积分失调起始点

设置此失调的起始点 (单位为 μs), 使得积分窗口的下降沿与 LED 的下降沿对齐。

$$\text{LED_FALLING_EDGE} = \text{SLOTx_LED_OFFSET} + \text{SLOTx_LED_WIDTH}$$

和

$$\text{AFE_INTEGRATION_FALLING_EDGE} = 9 + \text{SLOTx_AFE_OFFSET} + \text{SLOTx_AFE_WIDTH}$$

如果两个下降沿设置为彼此相等, 求解 SLOTx_AFE_OFFSET 可得下式:

$$\text{AFE_OFFSET_STARTING_POINT} = \text{SLOTx_LED_OFFSET} + \text{SLOTx_LED_WIDTH} - 9 - \text{SLOTx_AFE_WIDTH}$$

将 AFE 失调设置为比起始点更早的点, 相当于把积分设置在未发生; AFE 无法对尚未发生的 LED 脉冲结果积分。因此, SLOTx_AFE_OFFSET 值比 $\text{AFE_OFFSET_STARTING_POINT}$ 值小是错误设置。这种结果可能说明, TIA 中的电流方向与目标方向相反, LED 脉冲引起电流离开 TIA, 而不是进入其中。

因为对于大多数设置, SLOTx_AFE_WIDTH 比 SLOTx_LED_WIDTH 宽 $1 \mu\text{s}$, 故 $\text{AFE_OFFSET_STARTING_POINT}$ 值通常比 SLOTx_LED_OFFSET 值小 $10 \mu\text{s}$ 。任何小于 $\text{SLOTx_LED_OFFSET} - 10$ 的值都是错误的。最优 AFE 失调有时是在 $\text{AFE_OFFSET_STARTING_POINT}$ 值之后。带通滤波器响应、LED 响应和光电二极管响应均会增加一定的延迟。一般而言, 改变 SLOTx_AFE_OFFSET 值的变量有元件选择、电路板布局、 SLOTx_LED_OFFSET 和 SLOTx_LED_WIDTH 。确定具体设计之后, 可以锁定 SLOTx_AFE_OFFSET 值, 无需再优化。

扫描 AFE 位置

时隙 A 和时隙 B 的 AFE 失调分别由寄存器 0x39 和寄存器 0x3B 的位[10:0]控制。每个 LSB 代表 32 MHz 时钟的一个周期, 即 31.25 ns 。寄存器可被视为含有 $2^{11} - 1$ 个 31.25 ns

步进, 或者分解为 AFE 粗调设置, 利用位[10:5]代表 $1 \mu\text{s}$ 步进, 位[4:0]代表 31.25 ns 步进。从起始点开始扫描 AFE 位置以找到局部最大值, 是优化 AFE 失调的推荐方法。此测试的设置是让 LED 光能以静态方式照在光电二极管上。此测试通常利用一个距离固定的反射面进行。然后扫描 AFE 位置, 寻找输出电平的变化。调整 AFE 位置时, 务必利用 31.25 ns 步进扫描位置。对于大多数系统, 局部最大值通常会在起始点的 $2 \mu\text{s}$ 范围内找到。图 28 显示了一个 AFE 扫描例子, 其中 x 轴上的 0 代表之前定义的 AFE 起始点。图 28 中的每个数据点对应于 SLOTx_AFE_OFFSET 的一个 31.25 ns 步进。此例中 SLOTx_AFE_OFFSET 的最优位置是距离 AFE 起始点 $0.687 \mu\text{s}$ 。

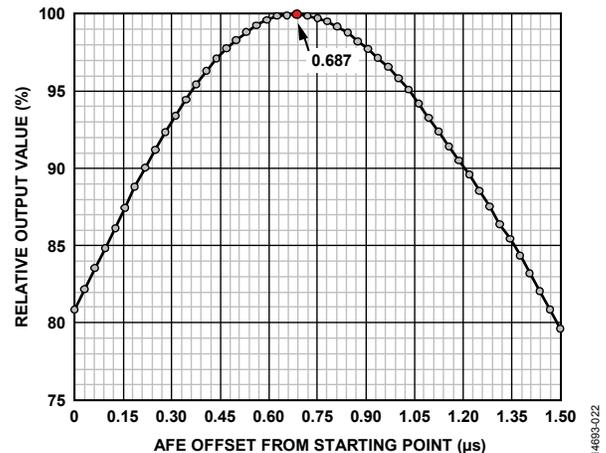


图 28. AFE 扫描示例

表 18 列出了优化后的一些典型 LED 和 AFE 值。一般而言, 在使用表 18 所列 SLOTx_AFE_OFFSET 值之前, 建议先用 AFE 扫描方法予以验证。对于每个新的 LED 宽度, 以及每次将一组新硬件配合 ADPD105/ADPD107 使用时, 都应重复此方法。为了最大程度地提高精度, 建议在扫描 AFE 之前校准 32 MHz 时钟。

表 18. AFE 窗口设置

LED 寄存器 0x30 或寄存器 0x35	AFE 寄存器 0x39 或寄存器 0x3B	注释
0x0219	0x1A08	2 μs LED 脉冲, 3 μs AFE 宽度, 25 μs LED 延迟
0x0319	0x21FE	3 μs LED 脉冲, 4 μs AFE 宽度, 25 μs LED 延迟

I²C 串行接口

ADPD105 通过 SDA（数据）和 SCL（时钟）引脚支持 I²C 串行接口。所有内部寄存器均通过 I²C 接口进行访问。

ADPD105 仅有 I²C，不支持 SPI。

ADPD105 符合 NXP Semiconductors 发布的 *UM10204 I²C 总线规范和用户手册*（修订版 05，2012 年 10 月 9 日）。它支持快速模式(400 kbps)数据传输。它还支持寄存器读写，如图 29 所示。图 3 为 I²C 接口的时序图。

从机地址

器件的默认 7 位 I²C 从机地址是 0x64，紧跟其后的是 R/W 位。对于写操作，默认 I²C 从机地址为 0xC8；对于读操作，默认 I²C 地址为 0xC9。从机地址可通过写入寄存器 0x09 的位[7:1]来配置。当有多个 ADPD105 器件连接到同一总线时，可利用 GPIO0 和 GPIO1 引脚选择特定器件来变更地址。寄存器 0x0D 可用来选择一个密钥以使能特定器件的地址变更。当有多个 ADPD105 器件连接到同一 I²C 总线时，请使用如下步骤来更改从机地址：

1. 使用寄存器 0x4F，根据所用的密钥使能 GPIO1 和 GPIO0 两个引脚或其中之一的输入缓冲器。
2. 针对确定为要求地址变更的器件，设置 GPIO0 和/或 GPIO1 引脚为高电平或低电平以匹配所用的密钥。
3. 利用寄存器 0x0D 的位[15:0]写入 SLAVE_ADDRESS_KEY 位以匹配所需的功能。允许的密钥如表 33 所示。

表 19. I²C 术语定义

术语	描述
SCL	串行时钟。
SDA	串行地址和数据。
主机	主机是启动传输、产生时钟信号和终止传输的器件。
从机	从机是由主机寻址的器件。ADPD105 用作从机。
起始(S)	SCL 处于高电平时，SDA 线上发生从高电平至低电平转换；所有处理均从起始条件开始。
起始(Sr)	重复起始条件。
停止(P)	SCL 处于高电平时，SDA 线上发生从低电平至高电平转换。停止条件终止所有处理。
ACK	在应答或不应答时钟脉冲周期，SDA 线被拉低并保持低电平。
NACK	在应答或不应答时钟脉冲周期，SDA 线保持高电平。
从机地址	起始(S)之后，发送一个 7 位从机地址，随后发送一个数据方向位（读或写）。
读取(R)	1 表示请求数据。
写入(W)	0 表示发送数据。

4. 利用寄存器 0x09 的位[7:1]写入所需的 SLAVE_ADDRESS 位。在写入寄存器 0x09 的位[7:1]的同时，将 0xAD 写入寄存器 0x09 的位[15:8]。写入寄存器 0x0D 之后，必须立即写入寄存器 0x09。
5. 针对所有需要更改 SLAVE_ADDRESS 的器件，重复步骤 1 至 4。
6. 利用各器件的新 SLAVE_ADDRESS，根据需要设置 GPIO0 和 GPIO1 引脚以便正常运行。

I²C 写和读操作

图 29 说明了 ADPD105 I²C 写和读操作。支持单字和多字读操作。对于单个寄存器读操作，主机在读取第二数据字节后发送一个不应答(NACK)信号，每次访问都需要一个新的寄存器地址。

对于多字操作，每对数据字节后主机都会发送一个应答信号，直至读取最后一个字的最后一个字节。主机通过发送不应答信号来表示已读取最后一个字。从 FIFO（寄存器 0x60）中读取时，数据会自动前进到 FIFO 中的下一个字并释放空间。从其他寄存器中读取时，寄存器地址自动前进到下一寄存器，除非是在寄存器 0x5F 或寄存器 0x7F，此处地址不递增。这种自动递增可降低读取顺序寄存器的开销。所有寄存器写操作均只支持单字操作，需要 16 位（一个字）的数据。

软件复位（寄存器 0x0F 的位 0）返回一个应答信号。器件随后返回到待机模式，所有寄存器处于默认状态。

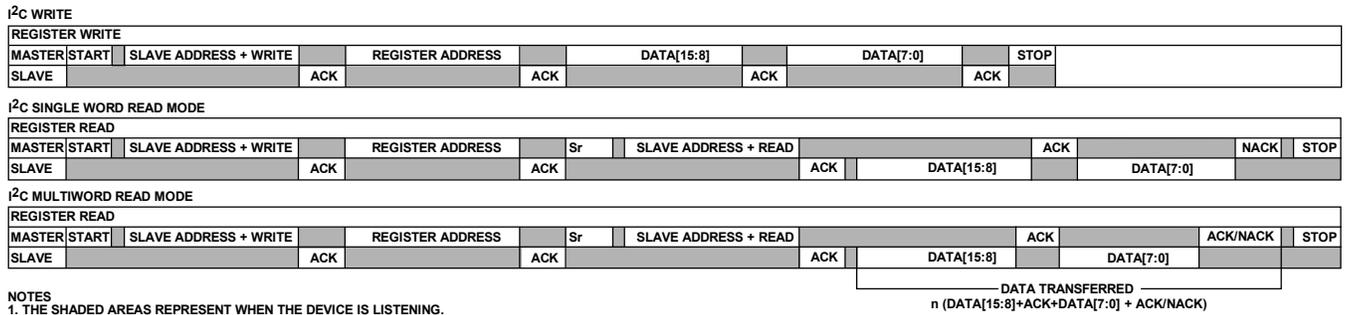


图 29. I²C 写和读操作

SPI 端口

ADPD106 和 ADPD107 是仅有 SPI 的器件，不支持 I²C 接口。SPI 端口使用 4 线接口，包括 \overline{CS} 、MOSI、MISO 和 SCLK 信号，始终是从机端口。 \overline{CS} 信号在处理开始时变为低电平，在处理结束时变为高电平。SCLK 信号在低到高转换时锁存 MOSI。MISO 数据在 SCLK 下降沿移出器件，须在 SCLK 上升沿输入一个接收器件，如微控制器等。MOSI 信号承载串行输入数据，MISO 信号承载串行输出数据。MISO 信号保持三态，直至请求读操作，其他 SPI 兼容外设可以共享同一 MISO 线。所有 SPI 处理都具有表 20 所示的相同基本格式。时序图见图 4。所有数据都以 MSB 优先方式写入。

表 20. 通用控制字序列

字节0	字节1	字节2	后续字节
地址[6:0], $\overline{W/R}$	数据[15:8]	数据[7:0]	数据[15:8], 数据[7:0]

SPI 处理中写入的第一个字节是 7 位地址（其为要访问的地址位置），随后是 $\overline{W/R}$ 位。此位决定通信是写操作（逻辑电平 1）还是读操作（逻辑电平 0）。表 21 显示了其格式。

表 21. SPI 地址和 $\overline{W/R}$ 字节格式

位0	位1	位2	位3	位4	位5	位6	位7
A6	A5	A4	A3	A2	A1	A0	$\overline{W/R}$

SPI 通信从机端口的格式通常被称为 SPI 模式 3，其中时钟极性 (CPOL) = 1，时钟相位 (CPHA) = 1（见图 30）。时钟基值为 1。数据在时钟上升沿捕捉，在下降沿传播。

SPI 从机端口的最大读写速度为 10 MHz。

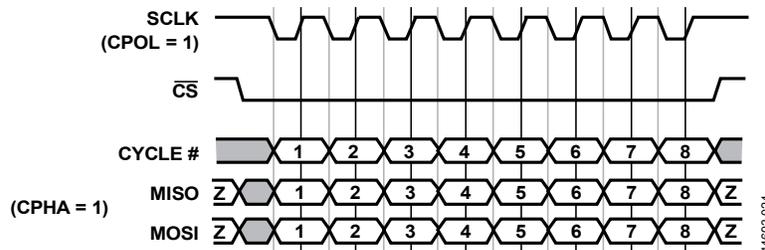


图 30. SPI 从机端口的时钟极性和相位 (CPOL = 1, CPHA = 1)

图 31 给出了对一个寄存器执行多字SPI写操作的示例时序图。图 32 给出了单字SPI读操作的示例时序图。收到有效 \overline{R} 位之后，MISO引脚从三态变为被驱动状态。本例中，字节 0 包含地址和 $\overline{W}/\overline{R}$ 位，后续字节承载数据。图 33 给出了多字SPI读操作的示例时序图。在图 31 至图 33

中，SCLK上升沿用一个箭头表示，象征着在上升沿对数据线进行采样。

执行多字读或写操作时，数据地址自动递增到下一连续地址以进行后续处理，但地址 0x5F、地址 0x60 (FIFO)和地址 0x7F 除外。

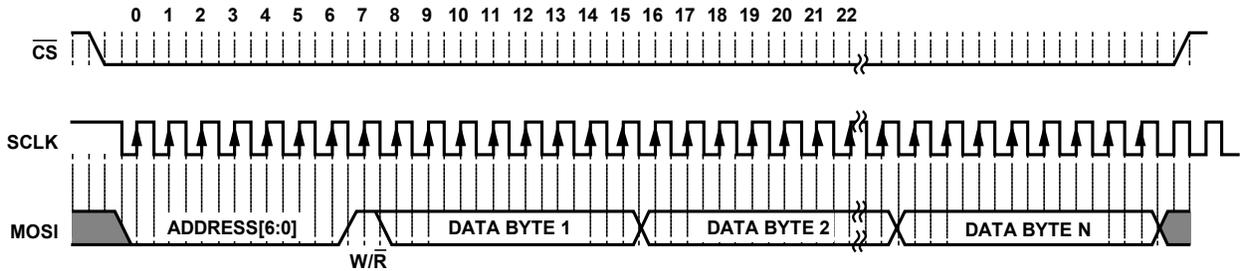


图 31. SPI 从机写时钟 (突发写模式, N 个字节)

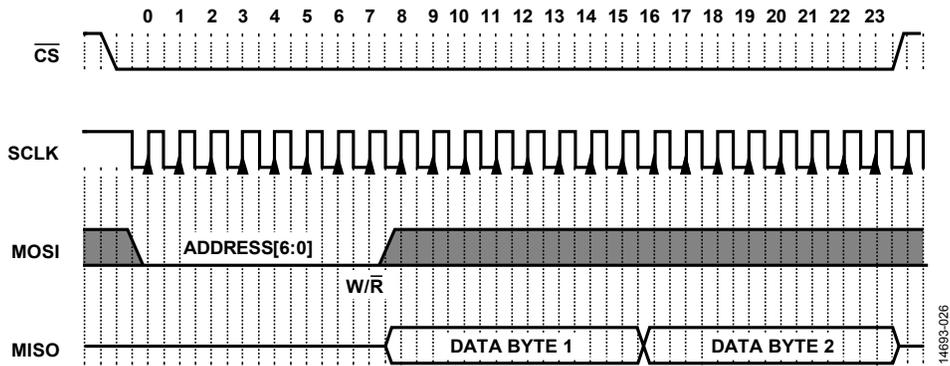


图 32. SPI 从机读时钟 (单字模式, 2 个字节)

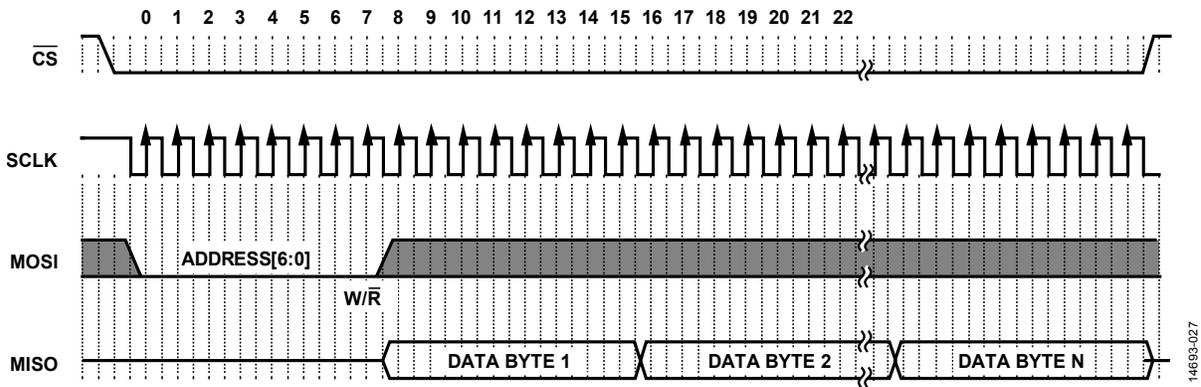


图 33. SPI 从机读时钟 (突发读模式, N 个字节)

典型连接图

图 34 所示为腕式心率测量所用的典型电路，ADPD105 WLCSP 采用一个绿光 LED。1.8 V I²C 通信线 (SCL 和 SDA) 以及 GPIO0 和 GPIO1 线，连接到一个系统微处理器或传感器集线器。I²C 信号可以有上拉电阻连接到 1.8 V 或 3.3 V 电源。GPIO0 和 GPIO1 信号仅兼容 1.8 V 电源，可能需要电平转换器。对于 ADPD107，图 34 所示电路是相同的，不过 I²C 接口要替换为 SPI。有多种方式可将光电二极管连接到 8 通道 ADPD105 LFCSP，如表 22 和图 37 所示。光电二极管阳极连接到 PD1 至 PD8 输入引脚，阴极连接到阴极引脚 PDC。

为 AVDD 和 DVDD 提供 1.8 V 电源 V_{DD}。根据表 3 规定的峰值电流要求和“LED 驱动器引脚和 LED 电源电压”部分中的计算，LED 电源采用一个标准稳压器电路。

为实现最佳噪声性能，应将 AGND、DGND 和 LGND 同时连接到一个较大导电表面，如接地层、接地灌流或较大接地走线。

所用的光电二极管或 LED 数量取决于应用以及动态范围和 SNR 要求。例如，在使用单个较大光电二极管的应用中，将电流分摊到不同输入可以提高动态范围。其实现原理如下：将光电二极管阳极连接到多个通道，使得电流可以均分到相连的各通道；相比于单通道配置，这样做能够有效提高动态范围。相反，在光电二极管较小或信号大幅衰减的情况下，将光电二极管阳极仅连接到单个通道可以最大程度地提高 SNR。为使器件正常工作，必须让未使用输入保持浮空。

图 35 和图 36 分别显示了 ADPD105 和 ADPD107 的推荐连接图和印刷电路板(PCB)布局。在采样周期，电流输入引脚 PD1-2 和 PD3-4 的典型电压为 1.3 V。在睡眠周期，这些引脚连接到阴极引脚。阴极和阳极电压如表 3 所列。

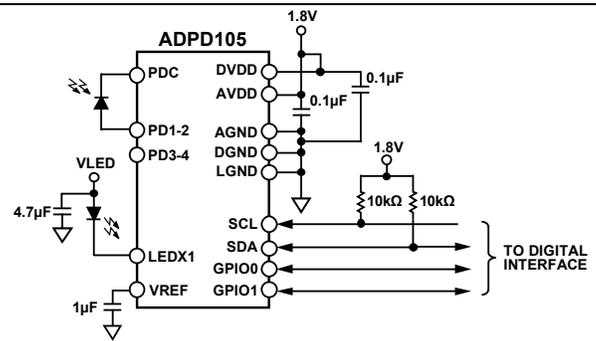


图 34. 典型腕式 HRM 测量

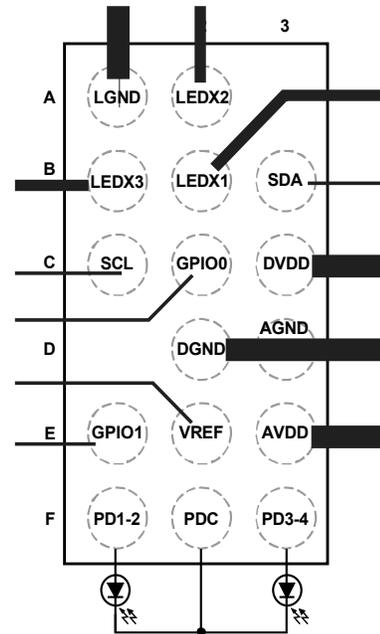


图 35. ADPD105 连接和 PCB 布局图 (顶视图)

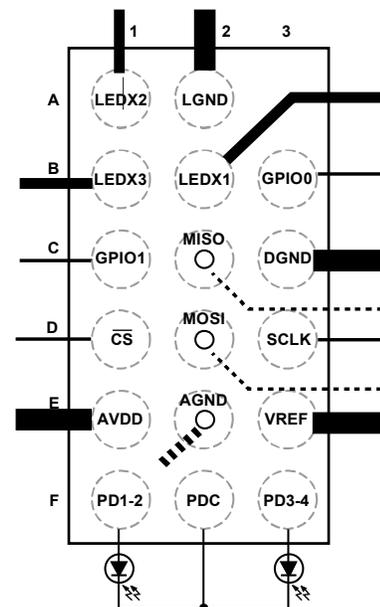


图 36. ADPD107 连接和 PCB 布局图，虚线自盲孔接出 (顶视图)

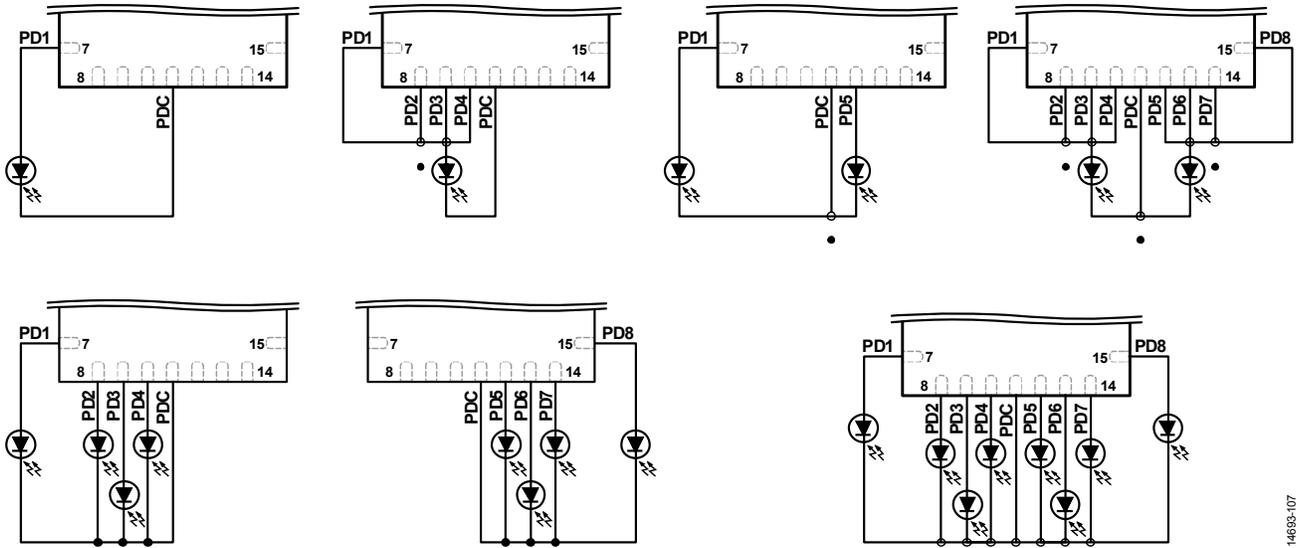


图 37. ADPD105 LFCSP 的光电二极管配置选项

表 22. ADPD105 LFCSP 的典型光电二极管阳极到输入通道连接^{1,2}

光电二极管阳极配置	输入通道							
	PD1	PD2	PD3	PD4	PD5	PD6	PD7	PD8
单个光电二极管 (PD1)	D1	NC						
	NC	NC	NC	NC	D1	NC	NC	NC
	D1	D1	D1	D1	NC	NC	NC	NC
	NC	NC	NC	NC	D1	D1	D1	D1
两个光电二极管 (PD1、PD2)	D1	NC	NC	NC	D2	NC	NC	NC
	D1	D1	D1	D1	D2	D2	D2	D2
四个光电二极管 (PD1至PD4)	D1	D2	D3	D4	NC	NC	NC	NC
	NC	NC	NC	NC	D1	D2	D3	D4
八个光电二极管 (PD1 至 PD8)	D1	D2	D3	D4	D5	D6	D7	D8

¹ Dx指连接到指定通道的二极管。

² NC表示在表21所提供的条件下不连接。所有不使用的输入保持浮空。

LED 驱动器引脚和 LED 电源电压

LEDX1、LEDX2 和 LEDX3 引脚的绝对最大电压额定值为 3.6 V。若施加的电压超过此额定值，将会影响器件运行的可靠性，某些情况下甚至导致器件停止正常工作。LEDx 引脚的电压不得与 LED 本身的电源电压(V_{LEDx})相混淆。 V_{LEDx} 为施加于外部 LED 阳极的电压，而 LEDXx 引脚是内部电流驱动器的输入，这些引脚连接到外部 LED 的阴极。

LED 驱动器操作

用于 ADPD105/ADPD106/ADPD107 的 LED 驱动器是电流吸收器。维持所设置 LED 电流所需的顺从电压（在驱动器引脚测量，相对于地）与电流要求有关。图 15 显示了不同粗调 LED 设置所需的典型顺从电压。图 38 显示了 ADPD105/ADPD106/ADPD107 通过 LED 驱动器连接到 LED 的基本原理图。“确定平均电流”和“确定 CVLED”部分说明了旁路电容(CVLED)和 LED 电源电压(VLEDx)的要求。

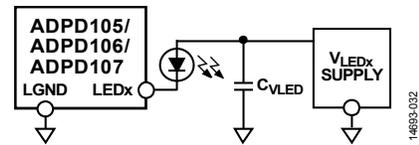


图 38. V_{LEDx} 电源原理图

确定平均电流

ADPD105/ADPD106/ADPD107 通过一系列短脉冲驱动 LED。图 39 显示了 ADPD105/ADPD106/ADPD107 的脉冲突发序列典型配置。

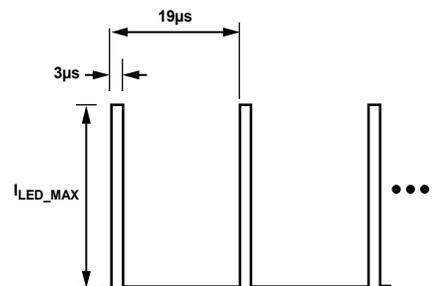


图 39. LED 脉冲突发序列典型配置

本例中，LED 脉冲宽度 t_{LED_PULSE} 为 3 μs ，LED 脉冲周期 t_{LED_PERIOD} 为 19 μs 。受驱动的 LED 是一对绿光 LED，驱动到 250 mA 峰值。 C_{VLED} 的目标是在各脉冲之间缓冲 LED。在最差情况下，图 39 所示脉冲串是一个连续的短脉冲序列， V_{LEDx} 电源必须供应平均电流。因此， $I_{LED_AVERAGE}$ 计算如下：

$$I_{LED_AVERAGE} = (t_{LED_PULSE}/t_{LED_PERIOD}) \times I_{LED_MAX} \quad (1)$$

其中：

$I_{LED_AVERAGE}$ 为脉冲周期中 V_{LEDx} 电源需提供的平均电流，它也是 V_{LEDx} 电源电流额定值。

I_{LED_MAX} 为 LED 的峰值电流设置。

对于图 1 所示数值， $I_{LED_AVERAGE} = 3/19 \times I_{LED_MAX}$ 。对于典型 LED 时序，平均 V_{LEDx} 电源电流为 $3/19 \times 250 \text{ mA} = 39.4 \text{ mA}$ ，表明 V_{LEDx} 电源必须支持 40 mA 的直流电流。

确定 C_{VLED}

为确定 C_{VLED} 电容值，应确定所用 LED 的最大正偏电压 $V_{FB_LED_MAX}$ 。LED 电流 I_{LED_MAX} 按照图 40 所示转换为 $V_{FB_LED_MAX}$ 。本例中，250 mA 电流通过两个并联绿光 LED 产生 $V_{FB_LED_MAX} = 3.95 \text{ V}$ 。LED 路径中的任何串联电阻也必须包括在此电压中。设计 LED 路径时应注意：由于 LED 峰值电流非常大，小电阻也会引起很大压降。此外，这些电阻可能成为 V_{LEDx} 电源的不必要限制。

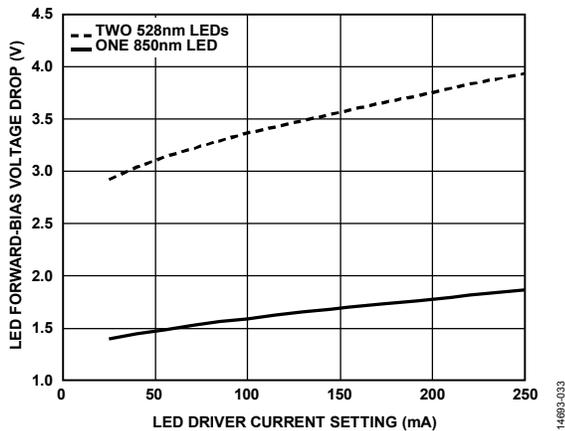


图 40. LED 平均正偏压降与驱动器电流的关系示例

为了正确确定 C_{VLED} 电容的大小，在 LED 脉冲周期请勿将其耗尽到电容电压小于 LED 正偏的水平。 V_{LEDx} 旁路电容最小值通过下式计算：

$$C_{VLED} = \frac{t_{LED_PULSE} \times I_{LED_MAX}}{V_{LED_MIN} - (V_{FB_LED_MAX} + 0.2)} \quad (2)$$

其中：

t_{LED_PULSE} 为 LED 脉冲宽度。

I_{LED_MAX} 为运行器件所用 LED 上的最大正偏电流。

V_{LED_MIN} 为空载时 V_{LEDx} 电源的最低电压。

$V_{FB_LED_MAX}$ 为 LED 实现 I_{LED_MAX} 所需的最大正偏电压。

C_{VLED} 等式的分子表示旁路电容为满足单个编程 LED 脉冲的最大电流要求而需提供的最大放电量（单位为库仑）。分母表示 V_{LEDx} 电源的最低电压与 LED 需要的电压之差。LED 需要的电压为 LED 阳极电压，以最大电流工作时，必须满足 LED 驱动器的 0.2 V 顺从电压和 LED 的正偏电压要求。对于一个典型的 ADPD105/ADPD106/ADPD107 示例，假设 V_{LEDx} 电源最低值为 4.4 V，峰值电流为 250 mA，两个 528 nm LED 并联，则 C_{VLED} 最小值等于 3 μF 。

$$C_{VLED} = (3 \times 10^{-6} \times 0.250) / (4.4 - (3.95 + 0.2)) = 3 \mu F \quad (3)$$

如等式 3 所示，当最小电源压降接近最大阳极电压时，对 C_{VLED} 的要求变得愈加严格，故电容值必须更高。将正确的值代入等式 1、等式 2 和等式 3 是非常重要的。例如，使用 V_{LED_MIN} 的平均值而不是 V_{LED_MIN} 的最差情况值，可能引起严重设计缺陷，导致 C_{VLED} 值过小，并且应用中的光功率不足。因此，强烈建议给 C_{VLED} 加上足够大的裕量。为了补偿元件使用过程中电压、偏置、温度和其他因素引起的电容值减额，应给 C_{VLED} 增加一定的裕量。

LED 电感考虑

ADPD105/ADPD106/ADPD107 的 LED 驱动器 (LEDXx) 具有可配置的压摆率设置（寄存器 0x22 的位 [6:4]、寄存器 0x23 的位 [6:4] 和寄存器 0x24 的位 [6:4]）。表 3 列出了这些压摆率。即便是最低设置，也必须精心考虑电路板设计和布局。若将一个大的串联电感（如一条长 PCB 走线）放在 LED 阴极与一个 LEDXx 引脚之间，则在 LED 脉冲的压摆部分，开关电感产生的电压尖峰可能违反 LEDXx 引脚的绝对最大和最小电压要求。

为验证寄生电感未在 LEDXx 引脚上引起电压尖峰，应在 LEDXx 引脚上使用示波器来监视正常工作周期的电压。任何大于 3.6 V 的正尖峰均可能损坏器件。

另外，小于 -0.3 V 的负尖峰也可能损坏器件。

建议启动时序

上电时，器件处于待机模式（寄存器 0x10 = 0x0），如图 24 所示。ADPD105/ADPD106/ADPD107 不需要特定上电顺序。

要从待机模式开始测量，应执行如下步骤以启动 ADPD105/ADPD106/ADPD107：

1. 将 CLK32K_EN 位（寄存器 0x4B 的位 7）置 1 以启动采样时钟（32 kHz 时钟）。此时时钟控制状态机。如果此时钟关闭，状态机将无法按照寄存器 0x10 的定义转换状态。
2. 将 0x1 写入寄存器 0x10 以强制器件进入编程模式。步骤 1 和步骤 2 可以交换，但实际状态转换要到这两步完成后才会发生。
3. 在器件处于编程模式时，根据需要以任意顺序写入其他控制寄存器以配置器件。
4. 将 0x2 写入寄存器 0x10 以开始正常采样操作。

为终止正常运行，执行如下步骤以将 ADPD105/ADPD106/ADPD107 置于待机模式：

1. 将 0x1 写入寄存器 0x10 以强制器件进入编程模式。
2. 在器件处于编程模式时，以任意顺序写入寄存器。
3. 将 0x00FF 写入寄存器 0x00 以清除所有中断。如果还需要清除 FIFO，请将 0x80FF 写入寄存器 0x00。
4. 将 0x0 写入寄存器 0x10 以强制器件进入待机模式。
5. （可选）复位 CLK32K_EN 位（寄存器 0x4B 的位 7）以停止 32 kHz 时钟。当器件处于待机模式时（寄存器 0x10 = 0x0），寄存器 0x4B 的位 7 = 0 是唯一需要执行的写操作。若在编程模式或正常模式下将 0 写入此位，器件将无法转换到任何其他模式，包括待机模式，哪怕随后执行写操作要求转换也不行。因此，在这种看起来像待机模式的模式下，功耗会大大升高。有鉴于此，并且因为 32 kHz 时钟的功耗非常低，从易用性角度出发，建议让 32 kHz 时钟在开启后便一直保持运行。

读取数据

ADPD105/ADPD106/ADPD107 提供了多种用于访问样本数据的方法。每个时隙可以独立配置以提供数据访问，FIFO 或数据寄存器均可使用。还有中断信号可用，以便简化数据的及时访问。FIFO 可以降低数据访问的系统时序要求。

利用 FIFO 读取数据

ADPD105/ADPD106/ADPD107 含有一个 128 字节 FIFO 存储缓冲器，它可以配置用来存储任一或两个时隙的数据。寄存器 0x11 选择将各时隙的何种数据写入 FIFO。注意：两个时隙均可使能以使用 FIFO，前提是其输出数据速率相同。

$$\text{输出数据速率} = f_{\text{SAMPLE}}/N$$

其中：

f_{SAMPLE} 为采样频率。

N 为各时隙的均值系数（ N_A 用于时隙 A， N_B 用于时隙 B）。换言之，要将来自两个时隙的数据均存入 FIFO， N_A 必须等于 N_B 。

数据包以输出数据速率写入 FIFO。FIFO 的一个数据包包含各已使能时隙的一个完整样本。各光电二极管通道的数据可以存储为 16 位或 32 位形式。每个时隙可以存储每样本的 2、4、8 或 16 字节数据，具体字节数取决于模式和数据格式。为确保数据包完好无损，新数据只有在 FIFO 有足够的空间可存储一个完整数据包时才会写入。当空间不足时，到达的新数据会丢失。只要空间足够，FIFO 就会继续存储数据。读取 FIFO 数据时，务必读取完整数据包，从而确保数据包完好无损。

FIFO 中当前存储的字节数可通过寄存器 0x00 的位[15:8]得知。还有专用 FIFO 中断可用；当指定数量的数据被写入 FIFO 时，会自动产生该中断。

基于中断的方法

要利用基于中断的方法读取 FIFO 数据，请执行如下步骤：

1. 在编程模式下，根据运行需要设置时隙的配置。
2. 用各时隙的期望数据格式写入寄存器 0x11。
3. 将 FIFO_THRESH（寄存器 0x06 的位[13:8]）设置为中断阈值。推荐值为一个数据包的 16 位字节数减 1。这样，当 FIFO 中至少有一个完整的数据包时，就会产生中断。
4. 将 0 写入 FIFO_INT_MASK（寄存器 0x01 的位 8）以使能 FIFO 中断。另外，将适当的值写入寄存器 0x02 的位中以配置中断引脚(GPIO0)。

5. 将寄存器 0x10 设置为 0x2 以进入正常工作模式。
6. 当中断发生时，
 - a. 不要求读取 FIFO_SAMPLES 位，因为仅当有一个或多个数据包时才会产生中断。(可选) 中断例程可以读取这些位，检查是否存在多于一个的数据包。
 - b. 利用一次或多次多字访问，通过寄存器 0x60 读取一个完整数据包。读取 FIFO 会自动释放空间以存储新样本。
2. 将适当的值写入寄存器 0x02 的位中以配置中断引脚 (GPIOx)。
3. 当数据寄存器更新时，便会产生中断。
4. 中断处理程序必须执行如下操作：
 - a. 读取寄存器 0x00 并观测位 5 或位 6，以确认发生的是哪个中断。如果仅使用一个中断，则不需要此步骤。
 - b. 读取数据寄存器，然后才能写入下一样本。系统必须有中断延迟；基于输出数据速率，中断处理时间必须足够短，以便在下一数据更新之前作出响应。
 - c. 将 1 写入寄存器 0x00 的位 5 或位 6 以清除中断。

从 FIFO 中读取数据后，FIFO 中断会立即自动清零；当写入 FIFO 且字数超过阈值时，中断又会置位。

轮询方法

要利用轮询方法读取 FIFO 数据，请执行如下步骤：

1. 在编程模式下，根据运行需要设置时隙的配置。
2. 用各时隙的期望数据格式写入寄存器 0x11。
3. 将寄存器 0x10 设置为 2 以进入正常工作模式。

然后开始轮询操作。

1. 等待轮询间隔到期。
2. 读取 FIFO_SAMPLES 位 (寄存器 0x00 的位[15:8])。
3. 如果 FIFO_SAMPLES \geq 包大小，则执行以下步骤以读取一个数据包：
 - a. 利用一次或多次多字访问，通过寄存器 0x60 读取一个完整数据包。读取 FIFO 会自动释放空间以存储新样本。
 - b. 重复步骤 1。

当需要变更模式或中断正常采样时，FIFO 必须清零。执行以下步骤以清除状态并清空 FIFO：

1. 将寄存器 0x10 设置为 0x1 以进入编程模式。
2. 将 1 写入寄存器 0x00 的位 15。

利用中断从寄存器读取数据

最新样本数据总是可从数据寄存器获得，并且在各时隙结束时同步更新。各光电二极管通道的数据值以 16 位值形式通过寄存器 0x64 至寄存器 0x67 (时隙 A) 和寄存器 0x68 至寄存器 0x6B (时隙 B) 提供。如果允许达到最大值，则寄存器 0x64 至 0x6B 会削波。如果寄存器 0x64 至寄存器 0x6B 饱和，则各通道的未饱和 (最多 27 位) 值通过寄存器 0x70 至寄存器 0x77 (时隙 A) 和寄存器 0x78 至寄存器 0x7F (时隙 B) 提供。样本中断可用来指示寄存器何时更新及可读取。要对指定时隙使用中断，请执行以下步骤：

1. 将 0 写入寄存器 0x01 中的相应位以启用样本中断。要启用时隙 A 的中断，向位 5 写入 0。要启用时隙 B 的中断，向位 6 写入 0。这两个中断可同时设置或设置其一。

如果同时使用两个时隙，可以仅使用时隙 B 中断来表示可以读取所有寄存器。建议使用多字读操作来传输数据寄存器中的数据。

不利用中断从寄存器读取数据

如果系统中断响应不够快或其可预测性不够高以致无法使用中断方法，或者如果未使用中断引脚(GPIOx)，可以利用数据保持机制来实现可靠的数据访问。为保证从寄存器读取的数据来自同一采样时间，有必要在读取当前值时防止样本更新。无中断时序的寄存器读取方法如下：

1. 对于要求访问的时隙，写入 1 到 SLOTA_DATA_HOLD 或 SLOTB_DATA_HOLD (分别为寄存器 0x5F 的位 1 和位 2，两个时隙均可访问)。此设置可防止样本更新。
2. 根据需要读取寄存器。
3. 写入 0 到之前设置的 SLOTA_DATA_HOLD 或 SLOTB_DATA_HOLD 位 (分别为寄存器 0x5F 的位 1 和位 2)。重新允许样本更新。

因为在读操作发生的同时，新样本可能到达，这种方法可防止新样本部分覆盖正被读取的数据。

时钟与时序校准

ADPD105/ADPD106/ADPD107 利用两个内部时基工作：一个 32 kHz 时钟设置采样时序，一个 32 MHz 时钟控制内部功能 (如 LED 脉冲和数据捕捉等) 的时序。两个时钟均在内部产生，并有大约 10% (典型值) 的器件间差异。

为了精准计数每分钟心跳数，心率监控应用需要精确的时基。ADPD105/ADPD106/ADPD107 为两个时钟均提供了一个简单的校准程序。

校准 32 kHz 时钟

校准 32 kHz 时钟也会校准与输出数据速率相关的项目。此时钟的校准对于要求精确数据速率的应用（如心率测量）很重要。

校准 32 kHz 时钟的步骤如下：

1. 将采样频率设置为系统能够处理的最高频率，如 2000 Hz。32 kHz 时钟控制采样时序，因此其频率可通过 GPIO0 引脚方便地访问。将适当的值写入寄存器 0x02 的位中以配置中断，并将 0 写入寄存器 0x01 的位 5 或位 6，设置中断以采样频率发生。监控 GPIO0 引脚。中断频率必须与设置的采样频率匹配。
2. 如果监测到的中断频率小于所设置的采样频率，则增大 CLK32K_ADJUST 位（寄存器 0x4B 的位[5:0]）的值。如果监测到的中断频率大于所设置的采样频率，则减小 CLK32K_ADJUST 位的值。
3. 重复步骤 b，直至监测到的中断信号频率充分接近所设置的采样频率。

校准 32 MHz 时钟

假设 32 kHz 时钟已校准，则校准 32 MHz 时钟也会校准与一个采样周期内的精密时序相关联的项目，例如 LED 脉冲宽度和间距。

校准 32 MHz 时钟的步骤如下：

1. 将 0x1 写入寄存器 0x5F 的位 0。
2. 将 0x1 写入寄存器 0x50 的位 5 以使能 CLK_RATIO 计算。此功能计数 32 kHz 时钟的两个周期中有多少 32 MHz 时钟周期。此功能使能后，所得周期值存储在寄存器 0x0A 的位[11:0]中，此比值的标称值为 2000 (0x7D0)。
3. 通过下式计算 32 MHz 时钟误差：

$$\text{时钟误差} = 32 \text{ MHz} \times (1 - \text{CLK_RATIO}/2000)$$

4. 按照下式设置寄存器 0x4D 的位[7:0]以调整频率：

$$\text{CLK32M_ADJUST} = \text{时钟误差}/109 \text{ kHz}$$

5. 将 0x0 写入寄存器 0x50 的位 5 以复位 CLK_RATIO 功能。

重复步骤 2 至步骤 5，直至达到所需的精度。

将 0x0 写入寄存器 0x5F 的位 0。另外，重新将 GPIO0 引脚设置为正常工作所需的模式。

GPIO0 和 GPIO1 提供的可选时序信号

ADPD105/ADPD106/ADPD107 通过 GPIO0 和 GPIO1 引脚提供多个不同时序信号，以简化系统同步并实现灵活的触发选项。如果 GPIOx 引脚要与其他驱动器共享总线，则各引脚可配置为开漏输出；或者这些引脚也可以配置为总是驱动总线。在时序信号必须与默认值相反的情况下，还可以控制这两路输出的极性。

表 23. GPIOx 控制设置

引脚名称	寄存器[位]	设置描述
GPIO0	0x02[0]	0: 极性高电平有效 1: 极性低电平有效
	0x02[1]	0: 始终驱动总线 1: 置位时驱动总线
	0x02[2]	0: 禁用GPIO0引脚驱动 1: 使能GPIO0引脚驱动
GPIO1	0x02[8]	0: 极性高电平有效 1: 极性低电平有效
	0x02[9]	0: 始终驱动总线 1: 置位时驱动总线
	0x4F[6]	0: 禁用GPIO1引脚驱动 1: 使能GPIO1引脚驱动

各可用时序信号通过寄存器 0x0B 中的设置来控制。此寄存器的位[12:8]控制 GPIO1 提供的时序信号，位[4:0]控制 GPIO0 提供的时序信号。本数据手册描述的所有时序信号均可通过 GPIO0 和 GPIO1 两个引脚或其中之一提供。时序图见图 41 和图 42。用于产生时序图的时隙设置参见表 24。

表 24. 用于产生图 41 和图 42 所示时序图的 ADPD105/ADPD106/ADPD107 设置

寄存器	设置	描述
0x31	0x0118	时隙A: 1 LED脉冲
0x36	0x0418	时隙B: 4 LED脉冲
0x15	0x0120	时隙 A 抽取 = 4, 时隙 B 抽取 = 2

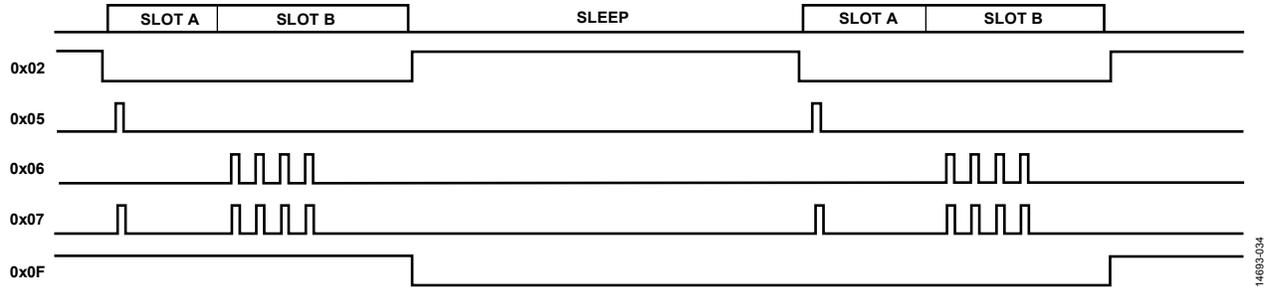


图 41. GPIOx 提供的可选时序信号 — 寄存器 0x0B 的位[12:8]或位[4:0] = 0x02、0x05、0x06、0x07 和 0x0F

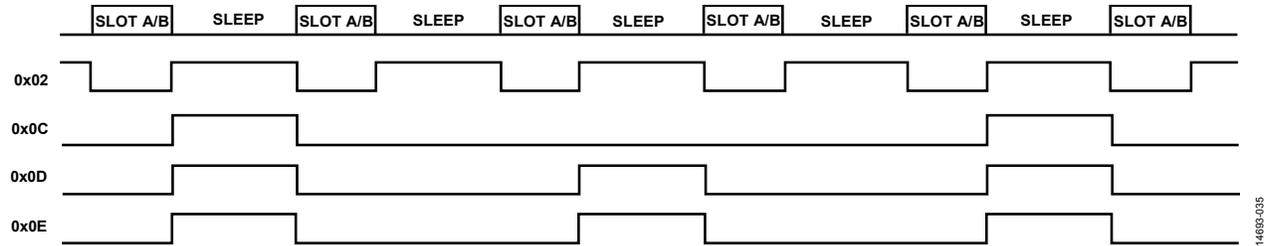


图 42. GPIOx 提供的可选时序信号 — 寄存器 0x0B 的位[12:8]或位[4:0] = 0x02、0x0C、0x0D 和 0x0E

ADPD103 向后兼容性

设置 0x0B = 0 可提供向后兼容 ADPD103 的能力。GPIO0 引脚是 ADPD103 INT 引脚功能的镜像。GPIO1 引脚是 ADPD103 PDSO 引脚功能的镜像。

中断功能

设置寄存器 0x0B 的位[12:8]或位[4:0] = 0x01 可配置相应引脚执行寄存器 0x01 中的设置所定义的中断功能。

采样时序

设置寄存器 0x0B 的位[12:8]或位[4:0] = 0x02 可配置相应引脚来提供一个信号，其在当前采样的第一个时隙开始时置位，并在当前采样的最后一个时隙结束时解除置位。例如，若两个时隙均使能，则此信号在时隙 A 开始时置位，在时隙 B 结束时解除置位。若仅使能一个时隙，则此信号在使能的时隙开始时置位，在该时隙结束时解除置位。

脉冲输出

有三个选项可用来提供 LED 脉冲输出的副本。设置寄存器 0x0B 的位[12:8]或位[4:0] = 0x05 可在相应引脚上提供时隙 A LED 脉冲的副本。设置为 0x06 时可提供时隙 B 脉冲，设置为 0x07 时可提供两个时隙的脉冲输出。

输出数据周期信号

有三个选项可用来提供一个信号以指示何时须将输出数据写入输出数据寄存器或 FIFO。设置寄存器 0x0B 的位[12:8]或位[4:0] = 0x0C 可提供一个信号以指示写入时隙 A 的数据值。设置为 0x0D 时可提供一个信号以指示写入时隙 B 的数据值，设置为 0x0E 时可提供一个信号以指示写入任一时隙的数据值。当时隙结束，输出数据已写入时，该信号置位；当后续采样开始时，该信号解除置位。在使用 FIFO 的情况下，此时序信号特别有用。例如，其中一个 GPIOx 引脚可配置为在 FIFO 达到寄存器 0x06 位[13:8]设置的 FIFO 阈值之后提供一个中断，而其他 GPIOx 引脚可配置为提供输出数据周期信号。此信号可用来触发外设（如加速度计），从而向处理器提供时间对准的信号。

$f_s/2$ 输出

设置寄存器 0x0B 的位[12:8]或位[4:0] = 0x0F 可配置相应引脚来提供一个以半采样速率切换的信号。此时序信号在需要每样本两个以上 LED 之类的情况下很有用。此信号可用作将两个 LED 复用为一个 LED 驱动器的多路复用器的选择信号，使得每个采样周期最多能驱动四个独立的 LED。这种情况下，ADPD105/ADPD106/ADPD107 以 2 倍采样速率工作，LED 设置可在采样之间的睡眠周期重新配置。如果复用的 LED 使用相同 LED 设置（电流和时序），则每个采样周期最多可采样四个 LED 而无需主机干预。该配置的实例如图 43 所示。

当器件从待机模式切换到正常工作模式时， $f_s/2$ 时序信号总是从低电平有效状态开始，并在第一个样本完成时转换到高电平状态。

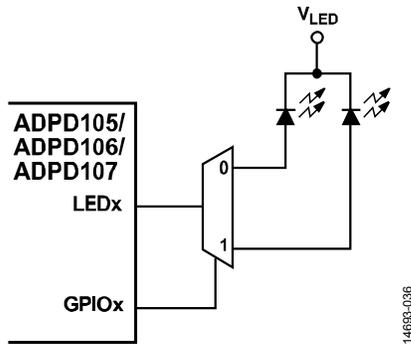


图 43. 使用 $f_s/2$ 时序信号的示例

逻辑 0 输出

设置寄存器 0x0B 的位[12:8]或位[4:0] = 0x10 可配置相应引脚来提供一个逻辑 0 输出。

逻辑 1 输出

设置寄存器 0x0B 的位[12:8]或位[4:0] = 0x11 可配置相应引脚来提供一个逻辑 1 输出。

32 kHz 振荡器输出

设置寄存器 0x0B 的位[12:8]或位[4:0] = 0x13 可配置相应引脚来提供片上 32 kHz 振荡器的一个副本。

计算功耗

ADPD105/ADPD106/ADPD107 的功耗取决于用户选择的工作配置，可按照如下公式加以确定。

总功耗

要计算总功耗，请使用公式 4。

$$\text{总功耗} = I_{VDD_AVG} \times V_{DD} + I_{LEDA_AVG} \times V_{LEDA} + I_{LEDB_AVG} \times V_{LEDB} \quad (4)$$

平均 V_{DD} 电源电流

要计算平均 V_{DD} 电源电流，请使用公式 5。

$$I_{VDD_AVG} = DR \times ((I_{AFE_A} \times t_{SLOTA}) + (I_{AFE_B} \times t_{SLOTB}) + Q_{PROC_X}) + I_{VDD_STANDBY} \quad (5)$$

其中：

DR 为数据速率（单位为 Hz）。

$I_{VDD_STANDBY} = 0.2 \mu\text{A}$ 。

Q_{PROC_X} 为与处理时间相关联的平均电荷，如下所述：

仅使能时隙 A 时，

$$Q_{PROC_A} (C) = 0.135 \times 10^{-6} + (186 \times 10^{-6} \times (2.69 \times 10^{-3} + (6.2 \times 10^{-3}/SCALE_A \times I_{LEDA_PK})))$$

仅使能时隙 B 时，

$$Q_{PROC_B} (C) = 0.135 \times 10^{-6} + (134 \times 10^{-6} \times (2.69 \times 10^{-3} + (6.2 \times 10^{-3}/SCALE_A \times I_{LEDA_PK})))$$

时隙 A 和时隙 B 均使能时，

$$Q_{PROC_AB} (C) = 0.135 \times 10^{-6} + (206 \times 10^{-6} \times (2.69 \times 10^{-3} + (6.2 \times 10^{-3}/SCALE_A \times I_{LEDA_PK})))$$

$$I_{AFE_X} (A) = 3.0 \times 10^{-3} + (1.5 \times 10^{-3} \times NUM_CHANNELS) + (5.7 \times 10^{-3}/SCALE_X \times I_{LEDX_PK}) \quad (6)$$

$$t_{SLOTX} (\text{sec}) = LEDX_OFFSET + LEDX_PERIOD \times PULSE_COUNT \quad (7)$$

其中：

NUM_CHANNELS 为有效通道数。

I_{LEDX_PK} 为该特定时隙中使能的 LED 的峰值 LED 电流，单位为 A。注意在 Q_{PROC} 计算中，处理电荷只与配置在时隙 A 中工作的 LED 电流设置有关，与时隙 A 是否使能无关。因此，当不使用时隙 A 时，应确保时隙 A LED 的峰值电流最小以省电。

SCALE_X 为 LED 电流驱动的比例因子，由 LEDX_DRV 寄存器的位 13 确定：寄存器 0x22、寄存器 0x23 和寄存器 0x24。
LEDX_OFFSET 为脉冲起始时间偏移，单位为秒。

LEDX_PERIOD 为脉冲周期，单位为秒。

PULSE_COUNT 为脉冲数。

注意，若时隙 A 或时隙 B 禁用，则相应时隙的 $I_{AFE_x} = 0$ 。此外，如果在数字积分模式下工作，则设置寄存器 0x3C 的位[8:3] = 010010 可实现省电。此设置会禁用带通滤波器（其在数字积分模式下会被旁路），故 AFE 功耗计算公式变为：

$$I_{AFE_x} \text{ (mA)} = 3.0 \times 10^{-3} + (1.0 \times 10^{-3} \times \text{NUM_CHANNELS}) + (5.7 \times 10^{-3} / \text{SCALE_X} \times I_{LEDX_PK}) \quad (8)$$

平均 V_{LEDA} 电源电流

要计算平均 V_{LEDA} 电源电流，请使用公式 9。

$$I_{LED_AVG_A} = \text{SLOTA_LED_WIDTH} \times I_{LEDA_PK} \times \text{DR} \times \text{PULSE_COUNT} \quad (9)$$

其中：

SLOTA_LED_WIDTH 为 LED 脉冲宽度，单位为秒。

I_{LEDA_PK} 为针对时隙 A 选择的 LED 的峰值电流，单位为 A。

平均 V_{LEDB} 电源电流

要计算平均 V_{LEDB} 电源电流，请使用公式 10。

$$I_{LED_AVG_B} = \text{SLOTB_LED_WIDTH} \times I_{LEDB_PK} \times \text{DR} \times \text{PULSE_COUNT} \quad (10)$$

其中：

SLOTB_LED_WIDTH 为 LED 脉冲宽度，单位为秒。

I_{LEDB_PK} 为针对时隙 B 选择的 LED 的峰值电流，单位为 A。

优化每瓦的 SNR

为实现最佳信号，ADPD105/ADPD106/ADPD107 提供了多个用户可以调整的参数。系统性能的关键目标之一是以最低的总功耗获得最佳系统 SNR。此目标常被称为优化 SNR/W。即使在只有 SNR 最重要，而功耗是第二考虑的系统，实现相同 SNR 也可能有较低功耗和较高功耗两种途径。

优化峰值 SNR

在 LED 脉冲数保持不变的情况下，优化峰值 SNR 的第一步是找到一个能带来最佳性能的 TIA 增益和 LED 电平。如果目标是峰值 SNR，则表 4 的噪声部分可作为指导。务必注意，SNR 的改善与平均脉冲数的平方根相关，而 LED 功耗的增加与 LED 脉冲数成正比。换言之，LED 脉冲数每增加一倍，LED 功耗将增加一倍，SNR 改善 3 dB。因此，如果改变增益配置的结果是功耗提高一倍，而 SNR 改善不到 3 dB，那么应避免这样的改变；如果 TIA 增益配置使得功耗提高一倍，但 SNR 改善 3 dB 以上，那么这是一个很好的选择。如果目标是峰值 SNR，并且在任何增益时都不会有 LED 电流使光电二极管发生饱和的问题，那么 50k TIA 增益设置将是最优选择。每通道每脉冲的 SNR 得到优化之后，用户便可提高脉冲数以实现所需的系统 SNR。

在信号受限的系统中优化 SNR/W

在实践中，优化峰值 SNR 并不总是可行的。在信号受限的系统中，PPG 信号的 SNR 性能低劣。这种情况下，在实现所需的直流回路电平之前，LED 电流便已达到上限。

此种情况中的调整开始于峰值 SNR 调整停止之处。出发点一般是 50k 增益，只要 8 mA 的最低 LED 电流设置不会使光电二极管饱和，并且 50k 增益能充分防范强背景光影响。否则，应使用 25k 增益作为出发点。

调整过程的目标是让直流回路信号处于特定 ADC 范围，例如 50% 或 60%。ADC 范围选择与防止饱和（因为直流电平会随时间而波动）所需的裕量有关。PPG 波形的 SNR 总是直流电平的某个百分比。如果在基础增益时不能实现目标水平，则提高增益并重复该过程。调整系统可能需要给增益规定一个上限，以防环境信号引起饱和。

调整脉冲数

优化 LED 峰值电流和 TIA 增益之后，提高每样本的脉冲数可提高 SNR，幅度为脉冲数的平方根。有两种方法可提高脉冲数。脉冲数寄存器（寄存器 0x31 的位[15:8]和寄存器 0x36 的位[15:8]）可改变每个内部样本的脉冲数。寄存器 0x15 的位[6:4]和位[10:8]控制一起进行平均的内部样本数，然后将数据送至输出端。因此，每样本脉冲数等于脉冲数寄存器乘以被平均的后续样本数。一般而言，随着内部样本平均数增加，内部采样速率会提高，以便维持所需的输出数据速率。当脉冲数为 16 或更小时，SNR/W 最优。脉冲数高于 16 时，脉冲数寄存器的平方根关系便不成立。然而，当利用寄存器 0x15 在样本之间平均时，此关系仍然成立。

注意，提高 LED 峰值电流会提高 SNR，其增幅几乎与 LED 功耗成正比，但脉冲数提高 n 倍，SNR 增幅标称值只有 \sqrt{n} 。

使用样本和/均值功能（寄存器 0x15）时，输出数据速率会降低，降幅为样本数之和。为维持固定的输出数据速率，采样频率（寄存器 0x12）应提高与寄存器 0x15 所选值相同的倍数。例如，若输出数据速率为 100 Hz，且对四个样本求和/均值，则采样频率应设置为 400 Hz。

通过禁用未使用通道和放大器优化功耗

单通道 AFE 模式

当应用中使用单个光电二极管，并且该光电二极管连接到单个 AFE 通道（通道 1 或通道 2）时，ADPD105/ADPD106/ADPD107 有一个选项可关断未使用通道，将器件置于单 AFE 通道模式。在这种模式下，四个 AFE 通道中的三个关闭，因此功耗显著降低。

如果仅使用通道 1，则须将 0x7 写入寄存器 0x3C 的位[8:6]以禁用通道 2、通道 3 和通道 4。如果仅使用通道 2，则须将 0x7 写入寄存器 0x3C 的位[5:3]以禁用通道 1，并将 0x7 写入寄存器 0x37 的位[15:13]以禁用通道 3 和通道 4。

双通道 AFE 模式

在使用四个通道中的两个的情况下，另外两个通道可以禁用。要使能通道 1 和通道 2（通道 3 和通道 4 禁用），须将 0x7 写入寄存器 0x37 的位[15:13]。要在双通道模式下使用通道 3 和通道 4（通道 1 和通道 2 禁用），须将 0x7 写入寄存器 0x3C 的位[5:3]和寄存器 0x37 的位[12:10]。

通过适当的设置，还可以实现三通道模式。关于关断不同通道组合的设置，参见表 25。为了优化系统配置以实现最大 SNR 和最低功耗，请参阅“时隙开关”部分以确定需使用 PDx 输入和使能通道的何种组合。

表 25. 通道关断设置

通道数	使能的通道	寄存器0x3C的位 [8:6]	寄存器0x3C的位 [5:3]	寄存器0x37的位 [15:13]	寄存器0x37的位 [12:10]
1	通道1	0x7	0x0	不适用	不适用
1	通道2	0x0	0x7	0x7	0x0
2	通道1、通道2	0x0	0x0	0x7	0x0
2	通道3、通道4	0x0	0x7	0x0	0x7
3	通道2、通道3、通道4	0x0	0x7	0x0	0x0
4	所有通道	0x0	0x0	0x0	0x0

关断个别放大器以进一步省电

各通道都包括 TIA、BPF 和积分器，也可以将其配置为缓冲器（见图 44）。器件已内置关断信号链中个别放大器的选项。例如，在数字积分模式下，BPF 被旁路，但默认仍上电。可以将 BPF 完全禁用，这样可以节省采样阶段 AFE 功耗的 1/3。关于如何禁用个别放大器的信息，参见表 30 中寄存器 0x3C 和寄存器 0x37 的描述。

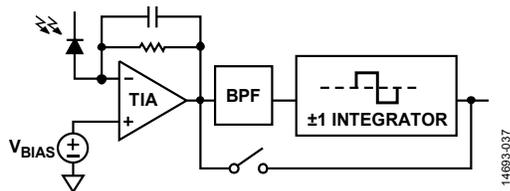


图 44. 信号路径框图

为使器件正常工作，未使用的输入通道必须保持浮空，这点很重要。

TIA ADC 模式

有种办法可将器件置于这样一种模式：TIA 直接接入 ADC，而不使用模拟带通滤波器和积分器，如图 45 所示。这种模式称为 TIA ADC 模式。TIA ADC 模式有两个基本应用。正常工作时，所有背景光都被挡在信号链之外，因而不能测量。TIA_ADC 模式可用来测量背景/环境光的量。这种模式还可用来测量其他直流输入电流，如电阻的漏电流等。

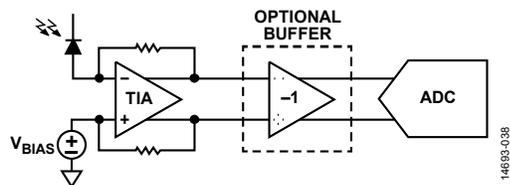


图 45. TIA ADC 模式框图

当器件处于 TIA ADC 模式时，带通滤波器和积分器级会被旁路。这种旁路使得 TIA 直接接入 ADC。ADC 以设定的采样频率按顺序对通道 1 至通道 4 采样，每个样本以 1 μs 间隔采集。

TIA ADC 模式有两种工作模式。一种是反相配置，其中 TIA ADC 模式直接驱动 ADC。要使能此模式，须将寄存器 0x43(时隙 A)和/或寄存器 0x45(时隙 B)设置为 0xB065，这会旁路带通滤波器和积分器。所需通道的 ADC 失调寄存器设置为 0 时，ADC 处于单脉冲约 13,000 个码和零输入电流状况。随着来自光电二极管的输入电流增加，ADC 输出逐渐减小到 0。此配置是来自 ADPD103 的传统 TIA ADC 模式，ADPD105/ADPD106/ADPD107 保留了这一配置以便向后兼容。

推荐 TIA ADC 模式是旁路带通滤波器并将积分器配置为反相缓冲器。要使能此模式，须将 0xAE65 写入寄存器 0x43(时隙 A)和/或寄存器 0x45(时隙 B)以旁路带通滤波器。此外，寄存器 0x42(时隙 A)和/或寄存器 0x44(时隙 B)的位 7 必须置 1 以将积分器配置为缓冲器。所需通道的 ADC 失调寄存器设置为 0 时，ADC 处于单脉冲约 3,000 个码和零输入电流状况。随着来自光电二极管的输入电流增加，ADC 输出逐渐提高到 16,384。

ADC 输出(ADC_{OUT})计算如下：

$$ADC_{OUT} = 8192 \pm ((2 V_{BIAS} - 2iR_F - 1.8 V) / 146 \mu V / LSB) \quad (11)$$

其中：

V_{BIAS} 为 TIA 的偏置电压（默认值为 1.265 V）。

i 为 TIA 的输入电流。

R_F 为 TIA 反馈电阻。

在公式 11 中，缓冲器反相配置使用+号，同相配置使用-号。

公式 11 是一个近似计算式，未考虑内部失调和增益误差。

计算还假设 ADC 失调寄存器设置为 0。

一个时隙可用于 TIA ADC 模式，同时另一个时隙用于正常脉冲模式。利用这种能力可以同时监控环境和脉冲信号。在配置为 TIA ADC 模式的时隙中监控环境信号，而在配置为正常模式的时隙中监控脉冲信号，此时环境信号被抑制。

正常工作中防止 TIA 饱和

监控 TIA ADC 模式的原因之一是防止环境引起饱和。在高光照条件下工作时，尤其是使用较大光电二极管时，有一个担忧是当 ADPD105/ADPD106/ADPD107 持续传输数据时，TIA 级可能会饱和。这种饱和不是典型情况。基于设置，TIA 只能处理一定水平的光电二极管电流。根据 ADPD105/ADPD106/ADPD107 的配置方式，如果来自光电二极管的电流水平超出 TIA 的处理能力，那么在 LED 脉冲周期，TIA 输出会有效拓展电流脉冲，使其变宽。这样就会违反 AFE 时序要求，因为带通滤波器输出的正值部分会延伸到积分窗口的负值部分。因此，当有效光信号提高时，光信号会与自身相减，导致输出信号减小。

为测量 TIA 的响应并验证该级未饱和，应将器件置于 TIA ADC 模式并稍稍更改时序。具体说来，应扫描 SLOTx_AFE_OFFSET，直至四个通道中的两个或三个达到最小值（注意 TIA 为反相配置）。并非所有四个通道都达到此最小值，因为通常使用 3 μs LED 脉冲宽度，且 ADC 以 1 μs 间隔按顺序对四个通道采样。此程序使 ADC 采样时间与 LED 脉冲对齐，以便测量落在光电二极管上的总光量（例如背景光 + LED 脉冲）。

如果此最小值高于 0 LSB，则 TIA 未饱和。但应小心，因为即便结果不是 0 LSB，如果光照条件改变，在饱和状态附近使用器件也可能迅速引起饱和。安全工作区间通常是满量程的 $\frac{1}{4}$ 或更小。通过表 26 确定每通道每脉冲的输入码与 ADC 电平的映射关系。在正常模式下，这些码是不同的，因为带通滤波器和积分器不是单位增益元件。

环境光粗测

采用表 26 中的典型值，可利用 TIA ADC 模式来测量或量化光电二极管上的背景或环境光量。设置与“正常工作中防止 TIA 饱和”部分所述的方法相同，但正常工作模式所用的时序对此模式是够用的，无需扫描 SLOTx_AFE_OFFSET。如果 SLOTx_AFE_OFFSET 与正常工作模式处于相同位置，则无论 LED 是开还是关，TIA ADC 模式都不会返回相同值。

在 TIA_MODE 中，暗电流是一个接近每通道每脉冲 13,000 LSB 的高电平（见表 26）。要测量此值，须将 0x0 写入寄存器 0x14 的位[11:8]（时隙 B）或寄存器 0x14 的位[7:4]（时隙 A）以选择无光电二极管选项。此设置会断开光电二极管内部连接，给出一个对应于零信号输入的基线 LSB 值。

在寄存器 0x14 恢复为正常值之后，将光电二极管连接到 TIA，从光电二极管断开情况值减去此 TIA ADC 结果便可得到背景光测量值。利用表 26 将此测量结果换算为输入光电流。此结果只是粗测绝对结果，因为其精度只有 10%。

测量 PCB 寄生输入电阻

在安装 ADPD105/ADPD106/ADPD107 的过程中，装配误差或 PCB 上的残渣可能会在输入端产生不需要的电阻。这些电阻可能在阳极和阴极之间形成，或在阳极与其他电源或地之间形成。正常工作时，ADPD105/ADPD106/ADPD107 的环境抑制特性会屏蔽这些电阻的主要影响，故非常难以检测。但若达到 1 M Ω 至 10 M Ω ，这种电阻会增加噪声或降低动态范围，从而严重影响性能。TIA ADC 模式可用来筛查此类装配问题。

测量光电二极管上的分流电阻

光电二极管上的分流电阻一般不会影响工作中的器件的输出电平，因为 TIA 的有效阻抗非常低，尤其是当光电二极管在工作中保持 0 V 时。然而，这种电阻会增加系统噪声，使其性能降低。检测光电二极管泄漏（也称为光电二极管分流电阻）的最佳办法是在黑暗中将器件置于 TIA ADC 模式，并改变工作模式阴极电压。将阴极设置为 1.3 V 时，光电二极管上的电压为 0 V，因为在工作时，阳极始终为 1.3 V。将阴极设置为 1.8 V 时，光电二极管上的电压为 0.5 V。利用表 3 中的寄存器设置控制阴极电压，测量这两个电压下的 TIA ADC 值。然后，将 0.5 V 电压差除以 ADC 结果之差（转换为电流），便得到分流电阻近似值。大于 10 M Ω 的值可能难以测量，但这种方法可用来鉴别严重故障。

测量 TIA 输入分流电阻

还可能发生其他问题，TIA 输入与 PCB 上的另一电源或地之间产生的电阻便是一个例子。此类电阻可能会迫使 TIA 过早进入饱和状态。这种过早饱和会进而会缩小工作中器件的动态范围，并增加输入端的约翰逊噪声。要测量这些电阻，应在黑暗中将器件置于 TIA ADC 模式，并在光电二极管输入断开时（寄存器 0x14 的位[11:8] = 0 或寄存器 0x14 的位[7:4] = 0）测量 TIA ADC 失调水平。然后连上黑暗中的光电二极管，减去 TIA ADC 模式值，并将差值换算为电流。如果值为正且 ADC 信号减小，则说明电阻连接到高于 1.3 V 的电压，例如 V_{DD} 。进入 TIA 的电流引起输出下降。如果 ADC 码增加导致输出差值为负，则说明电流流出 TIA，有一个分流电阻连接到低于 1.3 V 的电位，例如地。

表 26. TIA ADC 模拟规格和数字积分模式

参数	测试条件/注释	典型值	单位
TIA ADC/数字积分饱和电平	表示为每通道每样本的值；TIA反馈电阻 25 kΩ 50 kΩ 100 kΩ 200 kΩ	38.32 19.16 9.58 4.79	μA μA μA μA
TIA ADC分辨率	表示为每通道每样本的值；TIA反馈电阻 25 kΩ 50 kΩ 100 kΩ 200 kΩ	2.92 1.5 0.73 0.37	nA/LSB nA/LSB nA/LSB nA/LSB
无输入光电二极管时的输出	ADC失调（寄存器0x18至寄存器0x21）= 0x0	13,000	LSB

数字积分模式

数字积分模式内置于 [ADPD105/ADPD106/ADPD107](#)，允许器件支持更长的LED/AFE脉冲宽度和输入端不同类型的传感器。“AFE操作”部分所述的模拟积分模式非常适合需要大LED占空比的应用，或需要定制采样方案的应用。数字积分模式允许在数字域中的ADC之后执行积分功能。这种模式使得器件输入能够处理更多类型的传感器。

在数字积分模式下，ADC在积分窗口周期每隔1 μs执行一次转换。在积分窗口周期，数字引擎增加或减少之前的样本。带通滤波器被旁路，积分器变为电压缓冲器，使得数字引擎可以执行积分功能。这种模式下，在时序经过优化之后，ADC输出随着光电二极管上的光电式提高而提高。

积分窗口是正负窗口的组合，这些窗口的持续时间由SLOTx_AFE_WIDTH设置。在数字积分窗口结束时，所得和值作为该LED脉冲的样本送至抽取单元。每个采样周期都是一个时隙一个样本。表27列出了将器件置于数字积分模式所需的寄存器。

SLOTx_AFE_OFFSET寄存器和FIFO配置寄存器(0x11)可能也需要改变。要通过FIFO读取最终值，应将寄存器0x11的位[4:2]（时隙A）和寄存器0x11的位[8:6]（时隙B）设置为适当的值。或者，最终输出也可通过数据寄存器获得：寄存器0x64、寄存器0x70和寄存器0x74对应时隙A，寄存器0x68、寄存器0x78和寄存器0x7C对应时隙B。

要在时隙A中将[ADPD105/ADPD106/ADPD107](#)置于数字积分模式，应将0x1写入寄存器0x58的位12。要在时隙B中将[ADPD105/ADPD106/ADPD107](#)置于数字积分模式，应将0x1写入寄存器0x58的位13。表27列出了切换到数字积分模式所需的其他写操作。

使用数字积分模式时，最多可将两个光电二极管连接到[ADPD105/ADPD106/ADPD107](#)输入，每个PDx输入组（PD1/PD2/PD3/PD4或PD5/PD6/PD7/PD8）连接一个光电

二极管。不得将同一光电二极管跨接在两个PDx组上。在数字积分模式下，可以选择将光电二极管连接到所有四个AFE通道（PD1/PD2/PD3/PD4或PD5/PD6/PD7/PD8），或仅连接到一个AFE通道（PD1或PD5）。连接到单一AFE通道时，对于时隙A，应将0x1写入寄存器0x54的位14；或对于时隙B，应将0x1写入寄存器0x54的位15。

连接到单一AFE通道时，还有一个选项可用来关闭通道2、通道3和通道4（以省电），即将0x7写入寄存器0x55的位[15:13]。连接到所有四个通道（PD1/PD2/PD3/PD4或PD5/PD6/PD7/PD8）时，对于时隙A，应将0x0（默认值）写入寄存器0x54的位14；或对于时隙B，应将0x0（默认值）写入寄存器0x54的位15。将0x0写入寄存器0x55的位[15:13]，确保全部AFE通道都上电。

在信号受限的情况下，将单个光电二极管连接到单个AFE通道可提供最佳SNR性能，而在信号较大的情况下，将单个光电二极管连接到所有四个AFE通道可提供最佳动态范围。

数字积分采样模式

当器件处于数字积分模式时，有两种采样模式可以使用：单样本对模式和双样本对模式。

在单样本对模式下，有一个负样本区和一个正样本区，如图48和图49所示。要使用单样本对模式，应将0x1写入寄存器5A的位5（时隙A）或寄存器5A的位6（时隙B）。负样本区开始于SLOTx_AFE_OFFSET + 9，持续时间（采集的样本数）由SLOTx_AFE_WIDTH设置。正样本区开始于SLOTx_AFE_OFFSET + 9 + SLOTx_AFE_WIDTH，持续时间同样由SLOTx_AFE_WIDTH设置。设置时序以使负样本区完全落在LED响应的平坦（黑暗）部分，而正样本区落在LED响应的脉动区域。将LED脉冲偏移SLOTx_LED_OFFSET置于SLOTx_AFE_OFFSET + 9 + SLOTx_AFE_WIDTH的起始处可实现此时序。输出为这两个区域中的信号之差。

双样本对模式是一种采样方式。在这种模式下，有两个负样本区和一个长正样本区（见图 46 和图 47）。要使用双样本对模式，应将 0x0 写入寄存器 0x5A 的位 5（时隙 A）或位 6（时隙 B）。第一负样本区开始于 $SLOTx_AFE_OFFSET + 9$ ，持续时间由 $SLOTx_AFE_WIDTH$ 设置。正样本区开始于 $SLOTx_AFE_OFFSET + 9 + SLOTx_AFE_WIDTH$ ，持续时间为 $SLOTx_AFE_WIDTH$ 的两倍。然后，另一个负样本区开始于 $SLOTx_AFE_OFFSET + 9 + 3 \times SLOTx_AFE_WIDTH$ ，持续时间为 $SLOTx_AFE_WIDTH$ 。设置时序以使两个负样本区均落在 LED 响应的平坦（黑暗）部分，而正样本区落在 LED 响应的脉动部分。将 LED 脉冲偏移 $SLOTx_LED_OFFSET$ 置于 $SLOTx_AFE_OFFSET + 9 + SLOTx_AFE_WIDTH$ 的起始处可实现此时序。将所有区域的响应按负/正/负方式求和以计算输出。双样本对模式具有更好的背景抑制性能，故可用于背景光不稳定的情况，但其功耗也高于单样本对模式。

采样时序模式

样本区域定时有两个选项：间隙模式和连续模式。

在间隙时序模式下，负样本区和正样本区之间有一个间隔。此区间的宽度由 $SLOTx_AFE_FOFFSET$ （时隙 A）和 $SLOTx_AFE_FOFFSET$ （时隙 B）指定，步长为 31.25 ns。要启用此特性，应将 0x1 写入寄存器 0x5A 的位 7。此位使能处于数字积分模式的时隙的间隙时序。当 LED 响应中存在不需要的瞬变，必须予以忽略以获得精确输出时，此模式会有帮助。

如果不担心 LED 响应瞬变，则选择连续时序模式。在这种模式下，负样本区和正样本区之间无间隔。要设置连续定时的样本区，应将 0x0 写入寄存器 0x5A 的位 7。

间隙和连续采样时序模式均可配合单样本对或双样本对模式使用。时序图示例如图 46、图 47、图 48 和图 49 所示。

背景值

在数字积分模式下，数字积分背景值 $DI_BACKGROUND$ 或暗度值也会存储并作为输出数据提供。这是除 LED 脉冲周期的输出值 DI_OUTPUT （其中减去了暗度值）以外的值。 $DI_BACKGROUND$ 为负区样本之和。

为将这些值包括在 FIFO 中，应设置寄存器 0x11 的位[4:2]（时隙 A）和寄存器 0x11 的位[8:6]（时隙 B）。对于 16 位数据，将此值设置为 0x3；对于 32 位数据，将此值设置为 0x04。这些设置也可通过数据寄存器获得：寄存器 0x65、寄存器 0x71 和寄存器 0x75 对应时隙 A，寄存器 0x69、寄存器 0x79 和寄存器 0x7D 对应时隙 B。在数字积分模式下将背景值包括在 FIFO 中时，建议将通道偏移（寄存器 0x18 至寄存器 0x21）设置为 0x1F00。这些通道偏移不影响样本值，但会为背景值提供更多裕量。

数字积分模式下的饱和检测

正常工作周期，当使用带通滤波器和积分器时，ADC 几乎总是先于 TIA 饱和。与正常工作模式不同，在数字积分模式下，仅查看信号值（等于正样本区减去基准区）是无法检测 TIA 或 ADC 饱和的。这是因为积分值本身并不包含任何指示积分周期是否有某个 ADC 转换结果超出 ADC 输出范围的信息。结果，在一个样本中，可能只有非常少的 ADC 转换的实时输出发生饱和，而最终累计求和值可能未反映这一点。为在数字积分模式下检测 TIA 饱和，背景值 $DI_BACKGROUND$ 和信号值 DI_OUTPUT 都必须收集。关于提供这些值的寄存器 0x11 的正确设置，参见“背景值”部分。

对于单样本对模式，饱和发生条件是：

$$\frac{(DI_OUTPUT / (\min(SLOTx_LED_WIDTH, SLOTx_AFE_WIDTH))) + DI_BACKGROUND / AFE_WIDTH}{NUM_PULSES} > 0x3FFF$$

对于双样本对模式，饱和发生条件是：

$$\frac{(DI_OUTPUT / (\min(SLOTx_LED_WIDTH, 2 \times SLOTx_AFE_WIDTH))) + DI_BACKGROUND / (2 \times SLOTx_AFE_WIDTH)}{NUM_PULSES} > 0x3FFF$$

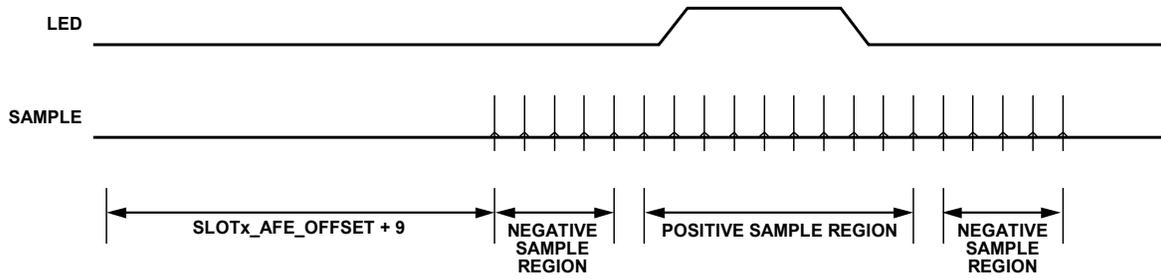


图 46. 数字积分模式 — 双样本对模式、连续采样时序

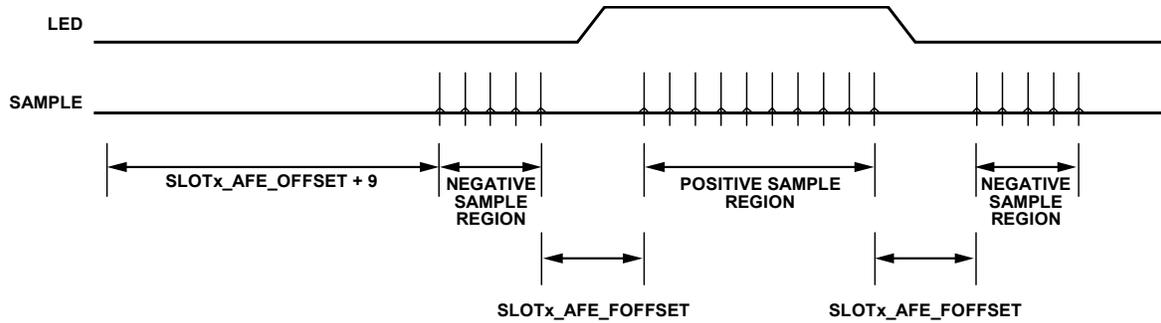


图 47. 数字积分模式 — 双样本对模式、间隙采样时序

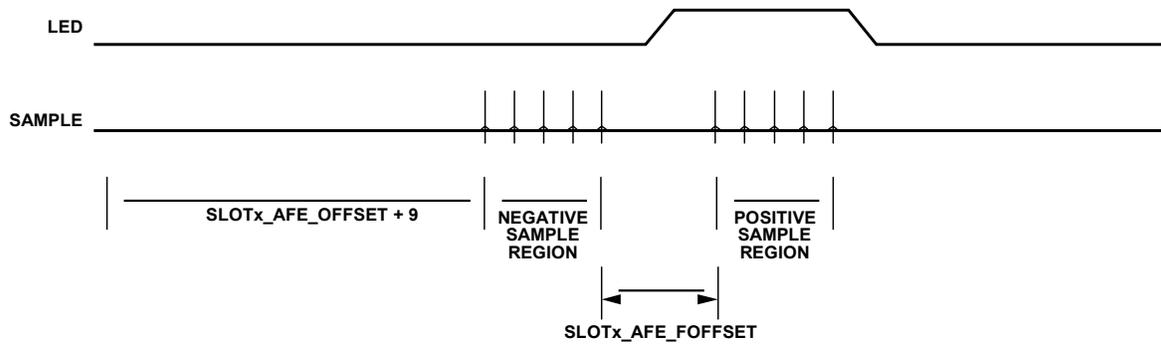


图 48. 数字积分模式 — 单样本对模式、间隙采样时序

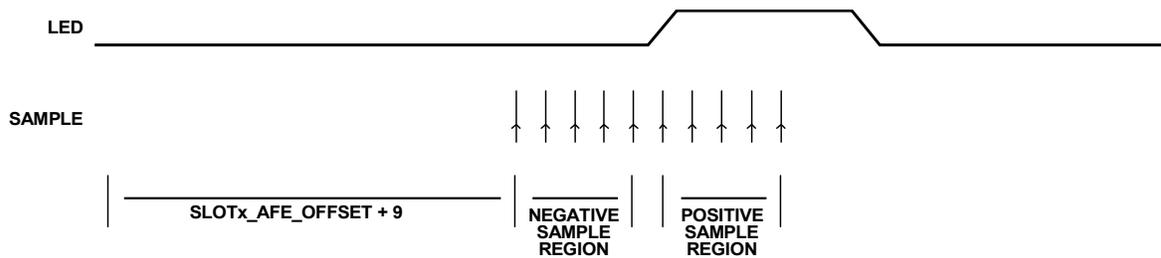


图 49. 数字积分模式 — 单样本对模式、连续采样时序

表 27. 用于在正常采样模式、TIA ADC 模式和数字积分模式之间切换的配置寄存器

地址	数据位	位名称	正常模式值	TIA ADC 模式值	数字积分模式值	描述
0x42	[15:8]	SLOTA_AFE_MODE	0x1C	不适用	0x1D	正常模式下，此设置配置积分器模块以优化操作。数字积分模式下，此设置将积分器模块配置为缓冲器。此设置对TIA ADC模式不重要。
	7	SLOTA_INT_AS_BUF	0x0	0x1	不适用	0：正常积分器配置。 1：积分器变为缓冲放大器（在数字积分模式下这会自动完成）。
0x43	[15:0]	SLOTA_AFE_CFG	0xADA5	0xAE65	0xAE65	时隙AAFE连接。 0xAE65旁路带通滤波器。 0xB065也可用于TIA ADC模式。此设置旁路BPF和积分器。
0x44	[15:8]	SLOTB_AFE_MODE	0x1C	不适用	0x1D	正常模式下，此设置配置积分器模块以优化操作。数字积分模式下，此设置将积分器模块配置为缓冲器。此设置对TIA ADC模式不重要。
	7	SLOTB_INT_AS_BUF	0x0	0x1	不适用	0：正常积分器配置。 1：积分器变为缓冲放大器（在数字积分模式下这会自动完成）。
0x45	[15:0]	SLOTB_AFE_CFG	0xADA5	0xAE65	0xAE65	时隙BAFE连接。 0xAE65旁路带通滤波器。 0xB065也可用于TIA ADC模式。 此设置旁路BPF和积分器。
0x4E	[15:0]	ADC_TIMING	不适用	不适用	0x0040	在TIA ADC模式下将ADC时钟设置为1 MHz。
0x58	13	SLOTB_DIGITAL_INT_EN	0x0	0x0	0x1	数字积分模式使能，时隙B。 0：禁用。 1：使能。
	12	SLOTA_DIGITAL_INT_EN	0x0	0x0	0x1	数字积分模式使能，时隙A。 0：禁用。 1：使能。
0x5A	[15:0]	DIG_INT_CFG	不适用	不适用	变量	数字积分配置取决于使用情形。其他模式会忽略此寄存器。

脉冲连接模式

在脉冲连接模式下，光电二极管输入连接根据 LED 脉冲时序寄存器中设置的时序发出脉冲。在这种模式中，如果设置 LED 脉冲时序以提供 2 μs LED 脉冲，则器件以脉冲方式连接到光电二极管输入端 2 μs，而不是提供 2 μs LED 脉冲。这种模式可替代 TIA ADC 模式，允许整个信号路径（包括带通滤波器和积分器）用来测量环境光，以及利用不同类型的传感器执行其他类型测量（如 ECG）。

要使能脉冲连接模式，器件配置与正常模式相同，不过寄存器 0x14 的位[3:2] = 0（时隙 B）且寄存器 0x14 的位[1:0] = 0（时隙 A）。

利用 TIA ADC 模式进行同步 ECG 和 PPG 测量

在为监测病人健康状况而开发的可穿戴式设备中，常常需要同步测量生物医学信号。例如，病人 ECG 和 PPG 的同步测量结果可用来确定脉搏波传导时间(PWTT)，然后利用它来估计血压。

图 50 所示电路显示了采用 AD8233 和 ADPD105 实现的 ECG 和 PPG 同步测量。AD8233 实现了一个截止频率为 0.3 Hz 的双极点高通滤波器和一个截止频率为 37 Hz 的双极点低通滤波器。AD8233 的输出送至 ADPD105 的一个电流输入，通过 50 kΩ 电阻将 AD8233 的电压输出转换为电流。

ADPD105 配置为在相继的时隙交替测量来自 AD8233 的光电二极管信号和 ECG 信号，以提供完全同步的 PPG 和 ECG 测量结果。数据可从片内 FIFO 读出，或直接从数据寄存器

读出。用于处理 ECG 信号的 ADPD105 通道设置为 TIA ADC 模式，输入偏置电压必须利用寄存器 0x42（若 ECG 信号在时隙 A 上）或寄存器 0x44（若 ECG 信号在时隙 B 上）的位[5:4]设置为 0.90 V。TIA 增益设置可用来优化信号路径的动态范围。用于处理 PPG 信号的通道配置为正常工作模式。图 51 显示了采用 AD8233 和 ADPD105 的 ECG 和 PPG 同步测量曲线。

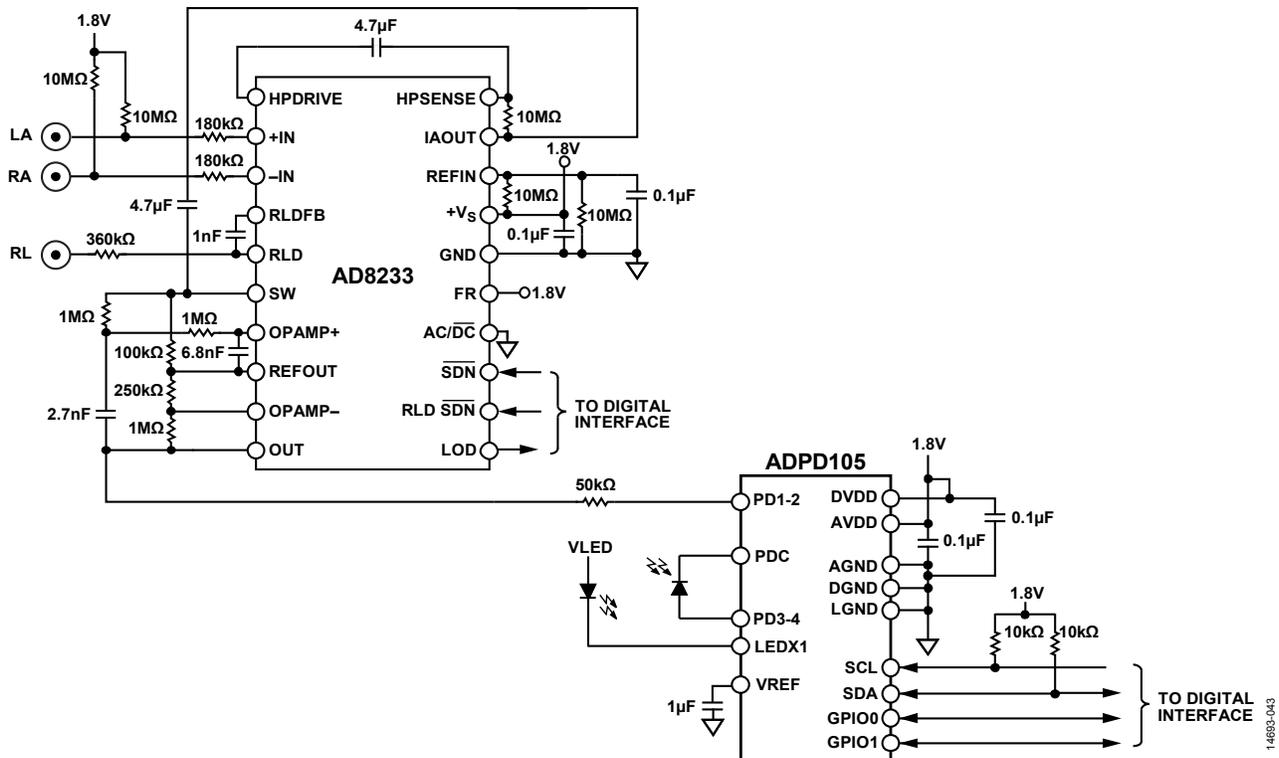


图 50. 采用 ADPD105 和 AD8233 实现 PPG 和 ECG 同步测量

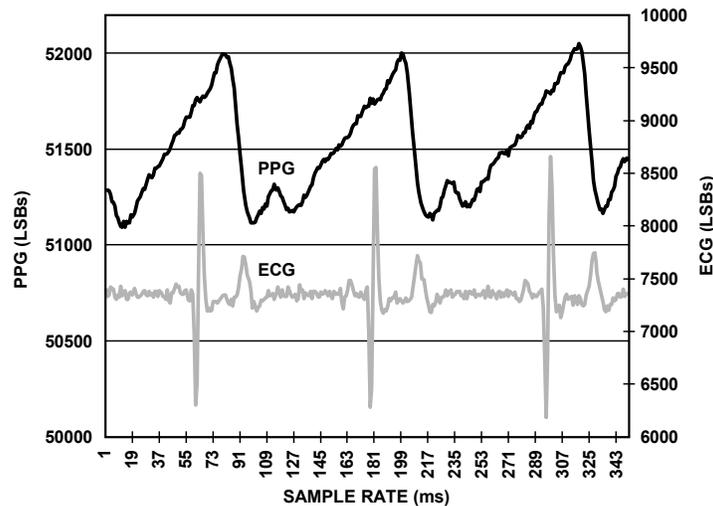


图 51. ECG 和 PPG 同步波形图

利用电流输入测量电压

某些情况下，例如试图同步测量 ECG 和 PPG 信号时，必须利用 ADPD105/ADPD106/ADPD107 的电流输入测量电压。首先，在电压源和器件电流输入之间放置一个串联电阻 R_S ，以将电压源转换为电流，如图 52 所示。

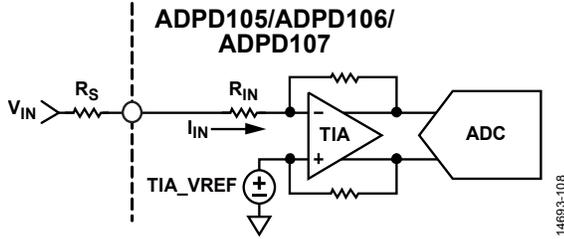


图 52. 采用 ADPD105/ADPD106/ADPD107 输入和电压源

其次，将电压源转换为电流时，必须考虑开关电阻 R_{IN} 。在典型光电二极管应用中，器件仅处理输入电流，这些电流不是输入电阻的函数，因此开关电阻不是一个考虑因素。但是，当从电压源通过一个串联电阻驱动器器件输入时，则

必须考虑 R_{IN} 。从电压到电流的转换增益可依据图 52 中的原理图确定。

$$I_{IN} = (V_{IN} - TIA_VREF) / (R_S + R_{IN})$$

通常， R_{IN} 约为 13 kΩ。 R_{IN} 的值随电源电压而变化。这种变化如图 53 所示。

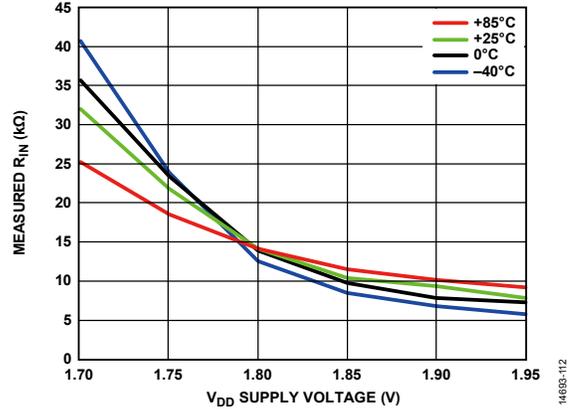


图 53. 开关输入电阻随 V_{DD} 电源电压的变化

寄存器列表

表 28. 数值寄存器列表¹

十六进制地址	名称	位	位15	位14	位13	位12	位11	位10	位9	位8	复位	RW		
			位7	位6	位5	位4	位3	位2	位1	位0				
0x00	状态	[15:8]	FIFO_SAMPLES[7:0]									0x0000	R/W	
		[7:0]	保留	SLOTB_INT	SLOTA_INT	保留								
0x01	INT_MASK	[15:8]	保留							FIFO_INT_MASK		0x00FF	R/W	
		[7:0]	保留	SLOTB_INT_MASK	SLOTA_INT_MASK	保留								
0x02	GPIO_DRV	[15:8]	保留						GPIO1_DRV	GPIO1_POL	0x0000	R/W		
		[7:0]	保留					GPIO0_ENA	GPIO0_DRV	GPIO0_POL				
0x06	FIFO_THRESH	[15:8]	保留		FIFO_THRESH[5:0]							0x0000	R/W	
		[7:0]	保留											
0x08	DEVID	[15:8]	REV_NUM[7:0]									0x0516	R	
		[7:0]	DEV_ID[7:0]											
0x09	I2CS_ID	[15:8]	ADDRESS_WRITE_KEY[7:0]									0x00C8	R/W	
		[7:0]	SLAVE_ADDRESS[6:0]								保留			
0x0A	CLK_RATIO	[15:8]	保留					CLK_RATIO[11:8]					0x0000	R
		[7:0]	CLK_RATIO[7:0]											
0x0B	GPIO_CTRL	[15:8]	保留					GPIO1_ALT_CFG[4:0]					0x0000	R/W
		[7:0]	保留					GPIO0_ALT_CFG[4:0]						
0x0D	SLAVE_ADDRES S_KEY	[15:8]	SLAVE_ADDRESS_KEY[15:8]										0x0000	R/W
		[7:0]	SLAVE_ADDRESS_KEY[7:0]											
0x0F	SW_RESET	[15:8]	保留										0x0000	R/W
		[7:0]	保留									SW_RESET		
0x10	模式	[15:8]	保留								模式[1:0]		0x0000	R/W
		[7:0]	保留											
0x11	SLOT_EN	[15:8]	保留			RDOUT_MODE	FIFO_OVRN_PREVENT	保留			SLOTB_FIFO_MODE[2]	0x1000	R/W	
		[7:0]	SLOTB_FIFO_MODE[1:0]		SLOTB_EN	SLOTA_FIFO_MODE[2:0]			保留	SLOTA_EN				
0x12	FSAMPLE	[15:8]	FSAMPLE[15:8]										0x0028	R/W
		[7:0]	FSAMPLE[7:0]											
0x14	PD_LED_SELECT	[15:8]	保留					SLOTB_PD_SEL[3:0]					0x0541	R/W
		[7:0]	SLOTA_PD_SEL[3:0]				SLOTB_LED_SEL[1:0]		SLOTA_LED_SEL[1:0]					
0x15	NUM_AVG	[15:8]	保留					SLOTB_NUM_AVG[2:0]					0x0600	R/W
		[7:0]	保留			SLOTA_NUM_AVG[2:0]		保留						
0x18	SLOTA_CH1_OFFSET	[15:8]	SLOTA_CH1_OFFSET[15:8]										0x2000	R/W
		[7:0]	SLOTA_CH1_OFFSET[7:0]											
0x19	SLOTA_CH2_OFFSET	[15:8]	SLOTA_CH2_OFFSET[15:8]										0x2000	R/W
		[7:0]	SLOTA_CH2_OFFSET[7:0]											
0x1A	SLOTA_CH3_OFFSET	[15:8]	SLOTA_CH3_OFFSET[15:8]										0x2000	R/W
		[7:0]	SLOTA_CH3_OFFSET[7:0]											
0x1B	SLOTA_CH4_OFFSET	[15:8]	SLOTA_CH4_OFFSET[15:8]										0x2000	R/W
		[7:0]	SLOTA_CH4_OFFSET[7:0]											
0x1E	SLOTB_CH1_OFFSET	[15:8]	SLOTB_CH1_OFFSET[15:8]										0x2000	R/W
		[7:0]	SLOTB_CH1_OFFSET[7:0]											
0x1F	SLOTB_CH2_OFFSET	[15:8]	SLOTB_CH2_OFFSET[15:8]										0x2000	R/W
		[7:0]	SLOTB_CH2_OFFSET[7:0]											
0x20	SLOTB_CH3_OFFSET	[15:8]	SLOTB_CH3_OFFSET[15:8]										0x2000	R/W
		[7:0]	SLOTB_CH3_OFFSET[7:0]											
0x21	SLOTB_CH4_OFFSET	[15:8]	SLOTB_CH4_OFFSET[15:8]										0x2000	RW
		[7:0]	SLOTB_CH4_OFFSET[7:0]											

十六进制地址	名称	位	位15	位14	位13	位12	位11	位10	位9	位8	复位	RW	
			位7	位6	位5	位4	位3	位2	位1	位0			
0x22	ILED3_COARSE	[15:8]	保留		ILED3_SCALE	保留						0x3000	R/W
		[7:0]	保留		ILED3_SLEW[2:0]	ILED3_COARSE[3:0]							
0x23	ILED1_COARSE	[15:8]	保留		ILED1_SCALE	保留						0x3000	R/W
		[7:0]	保留		ILED1_SLEW[2:0]	ILED1_COARSE[3:0]							
0x24	ILED2_COARSE	[15:8]	保留		ILED2_SCALE	保留						0x3000	R/W
		[7:0]	保留		ILED2_SLEW[2:0]	ILED2_COARSE[3:0]							
0x25	ILED_FINE	[15:8]	ILED3_FINE[4:0]		ILED2_FINE[4:2]						0x630C	R/W	
		[7:0]	ILED2_FINE[1:0]		保留		ILED1_FINE[4:0]						
0x30	SLOTA_LED_PULSE	[15:8]	保留		SLOTA_LED_WIDTH[4:0]						0x0320	R/W	
		[7:0]	SLOTA_LED_OFFSET[7:0]										
0x31	SLOTA_NUMPULSES	[15:8]	SLOTA_LED_NUMBER[7:0]								0x0818	R/W	
		[7:0]	SLOTA_LED_PERIOD[7:0]										
0x34	LED_DISABLE	[15:8]	保留		SLOTB_LED_DIS		SLOTA_LED_DIS				0x0000	R/W	
		[7:0]	保留										
0x35	SLOTB_LED_PULSE	[15:8]	保留		SLOTB_LED_WIDTH[4:0]						0x0320	R/W	
		[7:0]	SLOTB_LED_OFFSET[7:0]										
0x36	SLOTB_NUMPULSES	[15:8]	SLOTB_LED_NUMBER[7:0]								0x0818	R/W	
		[7:0]	SLOTB_LED_PERIOD[7:0]										
0x37	ALT_PWR_DN	[15:8]	CH34_DISABLE[15:13]		CH2_DISABLE[12:10]		保留				0x0000	R/W	
		[7:0]	保留										
0x38	EXT_SYNC_STARTUP	[15:8]	EXT_SYNC_STARTUP[15:8]								0x000	R/W	
		[7:0]	EXT_SYNC_STARTUP[7:0]										
0x39	SLOTA_AFE_WINDOW	[15:8]	SLOTA_AFE_WIDTH[4:0]		SLOTA_AFE_OFFSET[5:3]						0x22FC	R/W	
		[7:0]	SLOTA_AFE_OFFSET[2:0]		SLOTA_AFE_FOFFSET[4:0]								
0x3B	SLOTB_AFE_WINDOW	[15:8]	SLOTB_AFE_WIDTH[4:0]		SLOTB_AFE_OFFSET[5:3]						0x22FC	R/W	
		[7:0]	SLOTB_AFE_OFFSET[2:0]		SLOTB_AFE_FOFFSET[4:0]								
0x3C	AFE_PWR_CFG1	[15:8]	保留		保留		保留		V_CATHODE	AFE_POWERDOWN[5]	0x3006	R/W	
		[7:0]	AFE_POWERDOWN[4:0]		保留								
0x42	SLOTA_TIA_CFG	[15:8]	SLOTA_AFE_MODE[7:0]								0x1C38	R/W	
		[7:0]	SLOTA_INT_AS_BUF	SLOTA_TIA_IND_EN	SLOTA_TIA_VBIAS[1:0]	保留 (写入0x1)		SLOTA_TIA_GAIN[1:0]					
0x43	SLOTA_AFE_CFG	[15:8]	SLOTA_AFE_CFG[15:8]								0xADA5	R/W	
		[7:0]	SLOTA_AFE_CFG[7:0]										
0x44	SLOTB_TIA_CFG	[15:8]	SLOTB_AFE_MODE[7:0]								0x1C38	R/W	
		[7:0]	SLOTB_INT_AS_BUF	SLOTB_TIA_IND_EN	SLOTB_TIA_VBIAS[1:0]	保留 (写入0x1)		SLOTB_TIA_GAIN[1:0]					
0x45	SLOTB_AFE_CFG	[15:8]	SLOTB_AFE_CFG[15:8]								0xADA5	R/W	
		[7:0]	SLOTB_AFE_CFG[7:0]										
0x4B	SAMPLE_CLK	[15:8]	保留		CLK32K_BYN						0x2612	R/W	
		[7:0]	CLK32K_EN	保留		CLK32K_ADJUST[5:0]							
0x4D	CLK32M_ADJUST	[15:8]	保留								0x0098	R/W	
		[7:0]	CLK32M_ADJUST[7:0]										
0x4E	ADC_CLOCK	[15:8]	ADC_TIMING[15:8]								0x0060	R/W	
		[7:0]	ADC_TIMING[7:0]										
0x4F	EXT_SYNC_SEL	[15:8]	保留								0x2090	R/W	
		[7:0]	保留	GPIO1_OE	GPIO1_IE	保留	EXT_SYNC_SEL[1:0]	GPIO0_I	保留				
0x50	CLK32M_CAL_EN	[15:8]	保留								0x0000	R/W	
		[7:0]	保留	GPIO1_CTRL	CLK32M_CAL_EN	保留							
0x54	AFE_PWR_CFG2	[15:8]	SLOTB_SINGLE_CH_DIG_INT	SLOTA_SINGLE_CH_DIG_INT	SLEEP_V_CATHODE[1:0]	SLOTB_V_CATHODE[1:0]	SLOTA_V_CATHODE[1:0]				0x0020	R/W	
		[7:0]	REG54_VCAT_ENA	保留									
0x55	TIA_INDEP_GAIN	[15:8]	DIGINT_POWER[2:0]		保留		SLOTB_TIA_GAIN_4[1:0]	SLOTB_TIA_GAIN_3[1:0]		0x0000	R/W		
		[7:0]	SLOTB_TIA_GAIN_2[1:0]		SLOTA_TIA_GAIN_4[1:0]	SLOTA_TIA_GAIN_3[1:0]		SLOTA_TIA_GAIN_2[1:0]					

十六进制地址	名称	位	位15	位14	位13	位12	位11	位10	位9	位8	复位	RW		
			位7	位6	位5	位4	位3	位2	位1	位0				
0x58	DIGITAL_INT_EN	[15:8]	保留		SLOTB_DIGITAL_INT_EN	SLOTA_DIGITAL_INT_EN	保留					0x0000	R/W	
		[7:0]	保留											
0x5A	DIG_INT_CFG	[15:8]	保留		保留								0x0000	R/W
		[7:0]	DIG_INT_GAPMODE	SLOTB_DIG_INT_SAMPLE_MODE	SLOTA_DIG_INT_SAMPLE_MODE	保留								
0x5F	DATA_ACCESS_CTL	[15:8]	保留									0x0000	R/W	
		[7:0]	保留						SLOTB_DATA_HOLD	SLOTA_DATA_HOLD	DIGITAL_CLOCK_ENA			
0x60	FIFO_ACCESS	[15:8]	FIFO_DATA[15:8]									0x0000	R	
		[7:0]	FIFO_DATA[7:0]											
0x64	SLOTA_PD1_16BIT	[15:8]	SLOTA_CH1_16BIT[15:8]									0x0000	R	
		[7:0]	SLOTA_CH1_16BIT[7:0]											
0x65	SLOTA_PD2_16BIT	[15:8]	SLOTA_CH2_16BIT[15:8]									0x0000	R	
		[7:0]	SLOTA_CH2_16BIT[7:0]											
0x66	SLOTA_PD3_16BIT	[15:8]	SLOTA_CH3_16BIT[15:8]									0x0000	R	
		[7:0]	SLOTA_CH3_16BIT[7:0]											
0x67	SLOTA_PD4_16BIT	[15:8]	SLOTA_CH4_16BIT[15:8]									0x0000	R	
		[7:0]	SLOTA_CH4_16BIT[7:0]											
0x68	SLOTB_PD1_16BIT	[15:8]	SLOTB_CH1_16BIT[15:8]									0x0000	R	
		[7:0]	SLOTB_CH1_16BIT[7:0]											
0x69	SLOTB_PD2_16BIT	[15:8]	SLOTB_CH2_16BIT[15:8]									0x0000	R	
		[7:0]	SLOTB_CH2_16BIT[7:0]											
0x6A	SLOTB_PD3_16BIT	[15:8]	SLOTB_CH3_16BIT[15:8]									0x0000	R	
		[7:0]	SLOTB_CH3_16BIT[7:0]											
0x6B	SLOTB_PD4_16BIT	[15:8]	SLOTB_CH4_16BIT[15:8]									0x0000	R	
		[7:0]	SLOTB_CH4_16BIT[7:0]											
0x70	A_PD1_LOW	[15:8]	SLOTA_CH1_LOW[15:8]									0x0000	R	
		[7:0]	SLOTA_CH1_LOW[7:0]											
0x71	A_PD2_LOW	[15:8]	SLOTA_CH2_LOW[15:8]									0x0000	R	
		[7:0]	SLOTA_CH2_LOW[7:0]											
0x72	A_PD3_LOW	[15:8]	SLOTA_CH3_LOW[15:8]									0x0000	R	
		[7:0]	SLOTA_CH3_LOW[7:0]											
0x73	A_PD4_LOW	[15:8]	SLOTA_CH4_LOW[15:8]									0x0000	R	
		[7:0]	SLOTA_CH4_LOW[7:0]											
0x74	A_PD1_HIGH	[15:8]	SLOTA_CH1_HIGH[15:8]									0x0000	R	
		[7:0]	SLOTA_CH1_HIGH[7:0]											
0x75	A_PD2_HIGH	[15:8]	SLOTA_CH2_HIGH[15:8]									0x0000	R	
		[7:0]	SLOTA_CH2_HIGH[7:0]											
0x76	A_PD3_HIGH	[15:8]	SLOTA_CH3_HIGH[15:8]									0x0000	R	
		[7:0]	SLOTA_CH3_HIGH[7:0]											
0x77	A_PD4_HIGH	[15:8]	SLOTA_CH4_HIGH[15:8]									0x0000	R	
		[7:0]	SLOTA_CH4_HIGH[7:0]											
0x78	B_PD1_LOW	[15:8]	SLOTB_CH1_LOW[15:8]									0x0000	R	
		[7:0]	SLOTB_CH1_LOW[7:0]											
0x79	B_PD2_LOW	[15:8]	SLOTB_CH2_LOW[15:8]									0x0000	R	
		[7:0]	SLOTB_CH2_LOW[7:0]											
0x7A	B_PD3_LOW	[15:8]	SLOTB_CH3_LOW[15:8]									0x0000	R	
		[7:0]	SLOTB_CH3_LOW[7:0]											
0x7B	B_PD4_LOW	[15:8]	SLOTB_CH4_LOW[15:8]									0x0000	R	
		[7:0]	SLOTB_CH4_LOW[7:0]											
0x7C	B_PD1_HIGH	[15:8]	SLOTB_CH1_HIGH[15:8]									0x0000	R	
		[7:0]	SLOTB_CH1_HIGH[7:0]											
0x7D	B_PD2_HIGH	[15:8]	SLOTB_CH2_HIGH[15:8]									0x0000	R	
		[7:0]	SLOTB_CH2_HIGH[7:0]											

十六进制地址	名称	位	位15	位14	位13	位12	位11	位10	位9	位8	复位	RW	
			位7	位6	位5	位4	位3	位2	位1	位0			
0x7E	B_PD3_HIGH	[15:8]	SLOTB_CH3_HIGH[15:8]									0x0000	R
		[7:0]	SLOTB_CH3_HIGH[7:0]										
0x7F	B_PD4_HIGH	[15:8]	SLOTB_CH4_HIGH[15:8]									0x0000	R
		[7:0]	SLOTB_CH4_HIGH[7:0]										

¹ 未显示推荐值。表28中仅显示上电复位值。推荐值在很大程度上取决于使用情形。推荐值参见表29至表35。

LED 控制寄存器

表 29. LED 控制寄存器

地址	数据位	默认值	访问类型	名称	描述
0x14	[15:12]	0x0	R/W	保留	向这些位写入0x0以使器件正常工作。
	[11:8]	0x5	R/W	SLOTB_PD_SEL	时隙B的PDx连接选择。参见图22和图23 0x0: 所有光电二极管输入浮空。 0x1: 在时隙B周期所有光电二极管输入都连接。 0x5: PD1/PD2/PD3/PD4在时隙B周期连接。 其他: 保留。
	[7:4]	0x4	R/W	SLOTA_PD_SEL	时隙A的PDx连接选择。参见图22和图23。 0x0: 所有光电二极管输入浮空。 0x1: 在时隙A周期所有光电二极管输入都连接。 0x5: PD1/PD2/PD3/PD4在时隙A周期连接。 其他: 保留。
	[3:2]	0x0	R/W	SLOTB_LED_SEL	时隙B LED配置。这些位决定哪个LED与时隙B相关联。 0x0: 通过脉冲使PDx连接到AFE。 0x1: LEDX1在时隙B周期发出脉冲。 0x2: LEDX2在时隙B周期发出脉冲。 0x3: LEDX3在时隙B周期发出脉冲。
	[1:0]	0x1	R/W	SLOTA_LED_SEL	时隙A LED配置。这些位决定哪个LED与时隙A相关联。 0x0: 通过脉冲使PDx连接到AFE。 0x1: LEDX1在时隙A周期发出脉冲。 0x2: LEDX2在时隙A周期发出脉冲。 0x3: LEDX3在时隙A周期发出脉冲。
0x22	[15:14]	0x0	R/W	保留	写入0x0。
	13	0x1	R/W	ILED3_SCALE	LEDX3电流比例因子。 1: 100%强度。 0: 40%强度; 将LEDX3驱动器设置为低功耗模式。 LEDX3电流比例 = 0.4 + 0.6 × (寄存器0x22的位13)。
	12	0x1	R/W	保留	写入0x1。
	[11:7]	0x0	R/W	保留	写入0x0。
	[6:4]	0x0	R/W	ILED3_SLEW	LEDX3驱动器压摆率控制。压摆率越低, LED驱动器过压风险越低, 运行越安全。 0x0: 最慢压摆率。 ... 0x7: 最快压摆率。
	[3:0]	0x0	R/W	ILED3_COARSE	LEDX3粗调电流设置。标准操作中LEDX3的粗调吸电流目标值。 0x0: 最低粗调设置。 ... 0xF: 最高粗调设置。 $LED3_{PEAK} = LED3_{COARSE} \times LED3_{FINE} \times LED3_{SCALE}$ 其中: $LED3_{PEAK}$ 为LEDX3峰值目标值(mA)。 $LED3_{COARSE} = 50.3 + 19.8 \times (\text{寄存器0x22的位}[3:0])$ 。 $LED3_{FINE} = 0.74 + 0.022 \times (\text{寄存器0x25的位}[15:11])$ 。 $LED3_{SCALE} = 0.4 + 0.6 \times (\text{寄存器0x22的位}13)$ 。

地址	数据位	默认值	访问类型	名称	描述
0x23	[15:14]	0x0	R/W	保留	写入0x0。
	13	0x1	R/W	ILED1_SCALE	LEDX1电流比例因子。 1: 100%强度。 0: 40%强度; 将LEDX1驱动器设置为低功耗模式。 $LEDX1 \text{ 电流比例} = 0.4 + 0.6 \times (\text{寄存器}0x23 \text{ 的位}13)$ 。
	12	0x1	R/W	保留	写入0x1。
	[11:7]	0x0	R/W	保留	写入0x0。
	[6:4]	0x0	R/W	ILED1_SLEW	LEDX1驱动器压摆率控制。压摆率越低, LED驱动器过压风险越低, 运行越安全。 0: 最慢压摆率。 ... 7: 最快压摆率。
	[3:0]	0x0	R/W	ILED1_COARSE	LEDX1粗调电流设置。标准操作中LEDX1的粗调吸电流目标值。 0x0: 最低粗调设置。 ... 0xF: 最高粗调设置。 $LED1_{PEAK} = LED1_{COARSE} \times LED1_{FINE} \times LED1_{SCALE}$ 其中: $LED1_{PEAK}$ 为LEDX1峰值目标值(mA)。 $LED1_{COARSE} = 50.3 + 19.8 \times (\text{寄存器}0x23 \text{ 的位}[3:0])$ 。 $LED1_{FINE} = 0.74 + 0.022 \times (\text{寄存器}0x25 \text{ 的位}[4:0])$ 。 $LED1_{SCALE} = 0.4 + 0.6 \times (\text{寄存器}0x23 \text{ 的位}13)$ 。
0x24	[15:14]	0x0	R/W	保留	写入0x0。
	13	0x1	R/W	ILED2_SCALE	LEDX2电流比例因子。 1: 100%强度。 0: 40%强度; 将LEDX2驱动器设置为低功耗模式。 $LED2 \text{ 电流比例} = 0.4 + 0.6 \times (\text{寄存器}0x24 \text{ 的位}13)$ 。
	12	0x1	R/W	保留	写入0x1。
	[11:7]	0x0	R/W	保留	写入0x0。
	[6:4]	0x0	R/W	ILED2_SLEW	LEDX2驱动器压摆率控制。压摆率越低, LED驱动器过压风险越低, 运行越安全。 0: 最慢压摆率。 ... 7: 最快压摆率。
	[3:0]	0x0	R/W	ILED2_COARSE	LEDX2粗调电流设置。标准操作中LEDX2的粗调吸电流目标值。 0x0: 最低粗调设置。 ... 0xF: 最高粗调设置。 $LED2_{PEAK} = LED2_{COARSE} \times LED2_{FINE} \times LED2_{SCALE}$ 其中: $LED2_{PEAK}$ 为LEDX2峰值目标值(mA)。 $LED2_{COARSE} = 50.3 + 19.8 \times (\text{寄存器}0x24 \text{ 的位}[3:0])$ 。 $LED2_{FINE} = 0.74 + 0.022 \times (\text{寄存器}0x25 \text{ 的位}[10:6])$ 。 $LED2_{SCALE} = 0.4 + 0.6 \times (\text{寄存器}0x24 \text{ 的位}13)$ 。

地址	数据位	默认值	访问类型	名称	描述
0x25	[15:11]	0xC	R/W	ILED3_FINE	LEDX3精调。LED3的电流调整乘法器。 $LEDX3\text{精调} = 0.74 + 0.022 \times (\text{寄存器}0x25\text{的位}[15:11])$ 。 LED3完整公式参见寄存器0x22的位[3:0]。
	[10:6]	0xC	R/W	ILED2_FINE	LEDX2精调。LED2的电流调整乘法器。 $LEDX2\text{精调} = 0.74 + 0.022 \times (\text{寄存器}0x25\text{的位}[10:6])$ 。 LED2完整公式参见寄存器0x24的位[3:0]。
	5	0x0	R/W	保留	写入0x0。
	[4:0]	0xC	R/W	ILED1_FINE	LEDX1精调。LED1的电流调整乘法器。 $LEDX1\text{精调} = 0.74 + 0.022 \times (\text{寄存器}0x25\text{的位}[4:0])$ 。 LED1完整公式参见寄存器0x23的位[3:0]。
0x30	[15:13]	0x0	R/W	保留	写入0x0。
	[12:8]	0x3	R/W	SLOTA_LED_WIDTH	时隙A的LED脉冲宽度（1 μs步长）。
	[7:0]	0x20	R/W	SLOTA_LED_OFFSET	时隙A的LED偏移宽度（1 μs步长）。
0x31	[15:8]	0x08	R/W	SLOTA_LED_NUMBER	LED时隙A脉冲数。 n_A ：时隙A中的LED脉冲数。通常是LED1。 在应用中调整。典型设置是6个脉冲(0x06)。
	[7:0]	0x18	R/W	SLOTA_LED_PERIOD	LED时隙A脉冲周期（1 μs步长）。
0x34	[15:10]	0x00	R/W	保留	写入0x0。
	9	0x0	R/W	SLOTB_LED_DIS	时隙B LED禁用。1：禁用指定给时隙B的LED。 寄存器0x34使驱动器保持活动，防止其向LED输送脉冲电流。 通过此寄存器禁用这两个LED时，常常是为了测量暗度。 请改用寄存器0x11来使能或禁用实际的时隙使用，而不只是LED。
	8	0x0	R/W	SLOTA_LED_DIS	时隙A LED禁用。1：禁用指定给时隙A的LED。 请改用寄存器0x11来使能或禁用实际的时隙使用，而不只是LED。
	[7:0]	0x00	R/W	保留	写入0x00。
0x35	[15:13]	0x0	R/W	保留	写入0x0。
	[12:8]	0x3	R/W	SLOTB_LED_WIDTH	时隙B的LED脉冲宽度（1 μs步长）。
	[7:0]	0x20	R/W	SLOTB_LED_OFFSET	时隙B的LED偏移宽度（1 μs步长）。
0x36	[15:8]	0x08	R/W	SLOTB_LED_NUMBER	LED时隙B脉冲数。 n_B ：时隙B中的LED脉冲数。通常是LED2。 典型设置是6个脉冲(0x06)。
	[7:0]	0x18	R/W	SLOTB_LED_PERIOD	LED时隙B脉冲周期（1 μs步长）。

AFE 全局配置寄存器

表 30. AFE 全局配置寄存器

地址	数据位	默认值	访问类型	名称	描述
0x37	[15:13]	0x0	R/W	CH34_DISABLE	仅适用于通道3和通道4的关断选项。 位13：关断通道3、通道4 TIA运算放大器。 位14：关断通道3、通道4 BPF运算放大器。 位15：关断通道3、通道4积分器运算放大器。
	[12:10]	0x0	R/W	CH2_DISABLE	位10：关断通道2 TIA运算放大器。 位11：关断通道2 BPF运算放大器。 位12：关断通道2积分器运算放大器。
	[9:0]	0x000	R/W	保留	写入0x000。

地址	数据位	默认值	访问类型	名称	描述
0x3C	[15:14]	0x0	R/W	保留	写入0x0。
	[13:11]	0x6	R/W	保留	写入0x6。
	10	0x0	R/W	保留	保留。
	9	0x0	R/W	V_CATHODE	0x0: 1.3 V (与阳极电压相同); 推荐设置。 0x1: 1.8 V (光电二极管反向偏置550 mV)。此设置可能会增加噪声。
	[8:3]	0x00	R/W	AFE_POWERDOWN	AFE通道关断选择。 0x0: 所有通道保持开启。 位3: 关断通道1 TIA运算放大器。 位4: 关断通道1 BPF运算放大器。 位5: 关断通道1积分器运算放大器。 位6: 关断通道2、通道3和通道4 TIA运算放大器。 位7: 关断通道2、通道3和通道4 BPF运算放大器。 位8: 关断通道2、通道3和通道4积分器运算放大器。
	[2:0]	0x6	R/W	保留	写入0x6。
0x54	15	0x0	R/W	SLOTB_SINGLE_CH_DIG_INT	0: 在时隙B中, 并联使用所有四个光电二极管通道进行数字积分 (最高动态范围的默认设置)。 1: 在时隙B中, 仅使用通道1进行数字积分。这使连接限于PD1或PD5。
	14	0x0	R/W	SLOTA_SINGLE_CH_DIG_INT	0: 在时隙A中, 并联使用所有四个光电二极管通道进行数字积分 (最高动态范围的默认设置)。 1: 在时隙A中, 仅使用通道1进行数字积分。这使连接限于PD1或PD5。
	[13:12]	0x0	R/W	SLEEP_V_CATHODE	如果位7 = 1: 当器件处于睡眠模式时, 此设置应用于阴极电压。在睡眠模式中, 阳极电压始终设置为阴极电压。 0x0: V_{DD} (1.8 V)。 0x1: 1.3 V。 0x2: 1.55 V。 0x3: 0.0 V。
	[11:10]	0x0	R/W	SLOTB_V_CATHODE	如果位7 = 1: 当器件处于时隙B操作中时, 此设置应用于阴极电压。在时隙B模式下, 阳极电压始终为1.3 V。 0x0: V_{DD} (1.8 V)。 0x1: 1.3 V。 0x2: 1.55 V。 0x3: 0.0 V (正向偏置输入端的二极管)。
	[9:8]	0x0	R/W	SLOTA_V_CATHODE	如果位7 = 1: 当器件处于时隙A操作中时, 此设置应用于阴极电压。在时隙A模式下, 阳极电压始终为1.3 V。 0x0: V_{DD} (1.8 V)。 0x1: 1.3 V。 0x2: 1.55 V。 0x3: 0.0 V (正向偏置输入端的二极管)。
	7	0x0	R/W	REG54_VCAT_ENABLE	0: 使用寄存器0x3C的位9定义的阴极电压设置。 1: 用寄存器0x54的位[13:8]定义的阴极设置覆盖寄存器0x3C的位9。
	[6:0]	0x20	R/W	保留	保留。

地址	数据位	默认值	访问类型	名称	描述
0x58	[15:14]	0x0	R/W	保留	保留。
	13	0x0	R/W	SLOTB_DIGITAL_INT_EN	0x0: 时隙B以正常模式工作。 0x1: 时隙B以数字积分模式工作。
	12	0x0	R/W	SLOTA_DIGITAL_INT_EN	0x0: 时隙A以正常模式工作。 0x1: 时隙A以数字积分模式工作。
	[11:0]	0x000	R/W	保留	保留。
0x5A	[15:8]	0x00	R/W	保留	写入0x0。
	7	0x0	R/W	DIG_INT_GAPMODE	数字积分间隙模式使能。 0: 负样本区和正样本区之间无间隙。 1: 使用SLOTA_AFE_FOFFSET (时隙A) 或SLOTB_AFE_FOFFSET (时隙B) 指定间隙 (单位为 μs)。
	6	0x0	R/W	SLOTB_DIG_INT_SAMPLE_MODE	时隙B的数字积分单样本对模式。 0: 双样本对模式。 1: 单样本对模式。
	5	0x0	R/W	SLOTA_DIG_INT_SAMPLE_MODE	时隙A的数字积分单样本对模式。 0: 双样本对模式。 1: 单样本对模式。
	[4:0]	0x00	R/W	保留	写入0x00。

表 31. AFE 配置寄存器, 时隙 A

地址	数据位	默认值	访问类型	名称	描述
0x39	[15:11]	0x4	R/W	SLOTA_AFE_WIDTH	时隙A的AFE积分窗口宽度 (1 μs 步长)。
	[10:5]	0x17	R/W	SLOTA_AFE_OFFSET	时隙A的AFE积分窗口粗调偏移 (1 μs 步长)。
	[4:0]	0x1C	R/W	SLOTA_AFE_FOFFSET	时隙A的AFE积分窗口精调偏移 (31.25 ns步长)。
0x42	[15:8]	0x1C	R/W	SLOTA_AFE_MODE	0x1C: 正常模式的时隙AAFE设置。正常模式周期, 信号链的所有四个模块都在使用 (TIA、BPF、积分器及最后的ADC)。 0x1D: 数字积分模式的时隙AAFE设置。
	7	0x0	R/W	SLOTA_INT_AS_BUF	0: 正常积分器配置。 1: 积分器变为缓冲放大器 (在数字积分模式下这会自动完成)。
	6	0x0	R/W	SLOTA_TIA_IND_EN	使能时隙ATIA增益各自设置。使能时, 通道1 TIA增益通过寄存器0x42的位[1:0]设置, 通道2至通道4 TIA增益通过寄存器0x55的位[5:0]设置。 0: 禁用TIA增益各自设置。 1: 使能TIA增益各自设置。
	[5:4]	0x3	R/W	SLOTA_TIA_VBIAS	设置时隙A的TIA的 V_{BIAS} 。 0: 1.14 V。 1: 1.01 V。 2: 0.90 V。 3: 1.27 V (默认推荐值)。
	[3:2]	0x2	R/W	保留	保留。写入0x1。
	[1:0]	0x0	R/W	SLOTA_TIA_GAIN	时隙A的跨阻放大器增益。当SLOTA_TIA_IND_EN使能时, 此值用于时隙B的通道1 TIA增益。当SLOTA_TIA_IND_EN禁用时, 此值用于时隙A的所有四个通道的TIA增益设置。 0: 200 k Ω 。 1: 100 k Ω 。 2: 50 k Ω 。 3: 25 k Ω 。

地址	数据位	默认值	访问类型	名称	描述
0x43	[15:0]	0xADA5	R/W	SLOTA_AFE_CFG	时隙A中的AFE连接。 0xADA5: 模拟全路径模式(TIA_BPF_INT_ADC)。 0xAE65: TIA ADC模式 (若寄存器0x42的位7 = 1)。 0xB065: TIA ADC模式 (若寄存器0x42的位7 = 0)。 0xAE65: 数字积分模式。 其他: 保留。
0x55	[15:13]	0x0	R/W	DIGINT_POWER	数字积分模式下关断通道2、通道3和通道4。 0: 所有通道保持上电。 7: 关断通道2、通道3和通道4。
	[12]	0x0	R/W	保留	写入0x0。
	[11:10]	0x0	R/W	SLOTB_TIA_GAIN_4	时隙B通道4的TIA增益(PD4)。 0: 200 kΩ 1: 100 kΩ。 2: 50 kΩ。 3: 25 kΩ。
	[9:8]	0x0	R/W	SLOTB_TIA_GAIN_3	时隙B通道3的TIA增益(PD3)。 0: 200 kΩ 1: 100 kΩ。 2: 50 kΩ。 3: 25 kΩ。
	[7:6]	0x0	R/W	SLOTB_TIA_GAIN_2	时隙B通道2的TIA增益(PD2)。 0: 200 kΩ 1: 100 kΩ。 2: 50 kΩ。 3: 25 kΩ。
	[5:4]	0x0	R/W	SLOTA_TIA_GAIN_4	时隙A通道4的TIA增益(PD4)。 0: 200 kΩ 1: 100 kΩ。 2: 50 kΩ。 3: 25 kΩ。
	[3:2]	0x0	R/W	SLOTA_TIA_GAIN_3	时隙A通道3的TIA增益(PD3)。 0: 200 kΩ 1: 100 kΩ。 2: 50 kΩ。 3: 25 kΩ。
	[1:0]	0x0	R/W	SLOTA_TIA_GAIN_2	时隙A通道2的TIA增益(PD2)。 0: 200 kΩ 1: 100 kΩ。 2: 50 kΩ。 3: 25 kΩ。
0x5A	[15:8]	0x00	R/W	保留	写入0x0。
	[7]	0x0	R/W	DIG_INT_GAPMODE	数字积分间隙模式使能。 0: 负样本区和正样本区之间无间隙。 1: 使用SLOTA_AFE_FOFFSET (时隙A) 或 SLOTB_AFE_FOFFSET (时隙B) 指定间隙 (单位为μs)。
	[6]	0x0	R/W	SLOTB_DIG_INT_SAMPLEMODE	时隙B的数字积分单样本对模式。 0: 双样本对模式。 1: 单样本对模式。
	[5]	0x0	R/W	SLOTA_DIG_INT_SAMPLEMODE	时隙A的数字积分单样本对模式。 0: 双样本对模式。 1: 单样本对模式。
	[4:0]	0x00	R/W	保留	写入0x0。

表 32. AFE 配置寄存器，时隙 B

地址	数据位	默认值	访问类型	名称	描述
0x3B	[15:11]	0x04	R/W	SLOTB_AFE_WIDTH	时隙B的AFE积分窗口宽度（1 μ s步长）。
	[10:5]	0x17	R/W	SLOTB_AFE_OFFSET	时隙B的AFE积分窗口粗调偏移（1 μ s步长）。
	[4:0]	0x1C	R/W	SLOTB_AFE_FOFFSET	时隙B的AFE积分窗口精调偏移（31.25 ns步长）。
0x44	[15:8]	0x1C	R/W	SLOTB_AFE_MODE	0x1C：正常模式的时隙B AFE设置(TIA_BPF_INT_ADC)。 0x1D：数字积分模式的时隙B AFE设置。
	7	0x0	R/W	SLOTB_INT_AS_BUF	0：正常积分器配置。 1：积分器变为缓冲放大器（在数字积分模式下这会 自动完成）。
	6	0x0	R/W	SLOTB_TIA_IND_EN	使能时隙B TIA增益各自设置。使能时，通道1 TIA增益通过寄存器0x44的位[1:0]设置，通道2至通道4 TIA增益通过寄存器0x55的位[11:6]设置。 0：禁用TIA增益各自设置。 1：使能TIA增益各自设置。
	[5:4]	0x3	R/W	SLOTB_TIA_VBIAS	设置时隙B的TIA的VBIAS。 0：1.14 V。 1：1.01 V。 2：0.90 V。 3：1.27 V（默认推荐值）。
	[3:2]	0x2	R/W	保留	写入0x1。
	[1:0]	0x0	R/W	SLOTB_TIA_GAIN	时隙B的跨阻放大器增益。当SLOTB_TIA_IND_EN使能时，此值用于时隙B的通道1 TIA增益。当SLOTB_TIA_IND_EN禁用时，此值用于时隙B的所有四个通道的TIA增益设置。 0：200 k Ω 。 1：100 k Ω 。 2：50 k Ω 。 3：25 k Ω 。
	0x45	[15:0]	0xADA5	R/W	SLOTB_AFE_CFG
0x58	[15:14]	0x0	R/W	保留	写入0x0。
	13	0x0	R/W	SLOTB_DIGITAL_INT_EN	数字积分模式，使能时隙B。 0：禁用。 1：使能。
	12	0x0	R/W	SLOTA_DIGITAL_INT_EN	数字积分模式，使能时隙A。 0：禁用。 1：使能。
	[11:0]	0x0000	R/W	保留	写入0x0000。

系统寄存器

表 33. 系统寄存器

地址	数据位	默认值	访问类型	名称	描述
0x00	[15:8]	0x00	R/W	FIFO_SAMPLES	FIFO状态。可从FIFO读取的字节数。将此值与FIFO长度阈值（寄存器0x06的位[13:8]）相比较时，注意FIFO状态值的单位是字节，而FIFO长度阈值的单位为字，一个字等于两个字节。 向位15写入1以清除FIFO内容。
	7	0x0	R/W	保留	写入0x1以将此位清除为0x0。
	6	0x0	R/W	SLOTB_INT	时隙B中断。描述中断事件的类型。1表示特定事件类型的中断已发生。写入1可清除对应的中断。清除后，寄存器变为0。向此寄存器写入0无作用。
	5	0x0	R/W	SLOTA_INT	时隙A中断。描述中断事件的类型。1表示特定事件类型的中断已发生。写入1可清除对应的中断。清除后，寄存器变为0。向此寄存器写入0无作用。
	[4:0]	0x00	R/W	保留	写入0x1F以将这些位清除为0x00。
0x01	[15:9]	0x00	R/W	保留	写入0x00。
	8	0x1	R/W	FIFO_INT_MASK	当FIFO数据长度超过寄存器0x06的位[13:8]中的FIFO长度阈值时，发送一个中断。值0使能该中断。
	7	0x1	R/W	保留	写入0x1。
	6	0x1	R/W	SLOTB_INT_MASK	针对时隙B样本发送一个中断。写入1可禁用中断。写入0可使能中断。
	5	0x1	R/W	SLOTA_INT_MASK	针对时隙A样本发送一个中断。写入1可禁用中断。写入0可使能中断。
	[4:0]	0x1F	R/W	保留	写入0x1F。
0x02	[15:10]	0x00	R/W	保留	写入0x0000。
	9	0x0	R/W	GPIO1_DRV	GPIO1驱动。 0：始终驱动GPIO1引脚。 1：当中断置位时驱动GPIO1引脚；否则，它将保持浮空并需要一个上拉或下拉电阻（取决于极性，开漏模式）。 如果多个器件共用GPIO1引脚，请使用此设置。
	8	0x0	R/W	GPIO1_POL	GPIO1极性。 0：GPIO1引脚高电平有效。 1：GPIO1引脚低电平有效。
	[7:3]	0x00	R/W	保留	写入0x00
	2	0x0	R/W	GPIO0_ENA	GPIO0引脚使能。 0：禁用GPIO0引脚。GPIO0引脚浮空，无论中断状态为何。状态寄存器（地址0x00）仍然有效。 1：使能GPIO0引脚。
	1	0x0	R/W	GPIO0_DRV	GPIO0驱动。 0：始终驱动GPIO0引脚。 1：当中断置位时驱动GPIO0引脚；否则，它将保持浮空并需要一个上拉或下拉电阻（取决于极性，开漏模式）。 如果多个器件共用GPIO0引脚，请使用此设置。
	0	0x0	R/W	GPIO0_POL	GPIO0极性。 0：GPIO0引脚高电平有效。 1：GPIO0引脚低电平有效。

地址	数据位	默认值	访问类型	名称	描述
0x06	[15:14]	0x0	R/W	保留	写入0x0。
	[13:8]	0x00	R/W	FIFO_THRESH	FIFO长度阈值。当FIFO中的数据字数超过FIFO_THRESH中的值时，产生一个中断。当FIFO中可用的数据字数不再超过FIFO_THRESH中的值时，中断引脚自动解除置位。
	[7:0]	0x00	R/W	保留	写入0x00。
0x08	[15:8]	0x04	R	REV_NUM	版本号。
	[7:0]	0x16	R	DEV_ID	器件ID。
0x09	[15:8]	0x00	W	ADDRESS_WRITE_KEY	写入SLAVE_ADDRESS时，写入0xAD。否则请勿访问。
	[7:1]	0x64	R/W	SLAVE_ADDRESS	I ² C从机地址。
	0	0x0	R	保留	不要操作。
0x0A	[15:12]	0x0	R	保留	写入0x0。
	[11:0]	0x000	R	CLK_RATIO	当CLK32M_CAL_EN位（寄存器0x50的位5）置1时，器件计算32 kHz时钟的两个周期中有多少32 MHz时钟周期。结果标称值为2000 (0x07D0)，存储在CLK_RATIO位中。
0x0B	[15:13]	0x0	R/W	保留	写入0x0。
	[12:8]	0x00	R/W	GPIO1_ALT_CFG	GPIO1引脚的替代配置。 0x0: GPIO1向后兼容ADPD103 PDSO引脚功能。 0x1: GPIO1提供的中断功能，参见寄存器0x01中的定义。 0x2: 第一时隙开始时置位，最后一个时隙结束时解除置位。 0x5: 时隙A脉冲输出。 0x6: 时隙B脉冲输出。 0x7: 两个时隙的脉冲输出。 0xC: 针对时隙A发生的输出数据周期。 0xD: 针对时隙B发生的输出数据周期。 0xE: 发生的输出数据周期。 0xF: 每样本切换，以半采样速率提供一个信号。 0x10: 输出 = 0 0x11: 输出 = 1 0x13: 32 kHz振荡器输出。 不支持其余设置。
	[7:5]	0x0	R/W	保留	写入0x0。
	[4:0]	0x00	R/W	GPIO0_ALT_CFG	GPIO0引脚的替代配置。 0x0: GPIO0向后兼容ADPD103 INT引脚功能。 0x1: GPIO0提供的中断功能，参见寄存器0x01中的定义。 0x2: 第一时隙开始时置位，最后一个时隙结束时解除置位。 0x5: 时隙A脉冲输出。 0x6: 时隙B脉冲输出。 0x7: 两个时隙的脉冲输出。 0xC: 针对时隙A发生的输出数据周期。 0xD: 针对时隙B发生的输出数据周期。 0xE: 发生的输出数据周期。 0xF: 每样本切换，以半采样速率提供一个信号。 0x10: 输出 = 0。 0x11: 输出 = 1。 0x13: 32 kHz振荡器输出。 不支持其余设置。

地址	数据位	默认值	访问类型	名称	描述
0x0D	[15:0]	0x0000	R/W	SLAVE_ADDRESS_KEY	使能利用寄存器0x09更改I ² C地址。 0x04AD: 始终使能地址更改。 0x44AD: 在GPIO0为高电平时使能地址更改。 0x84AD: 在GPIO1为高电平时使能地址更改。 0xC4AD: 在GPIO0和GPIO1均为高电平时使能地址更改。
0x0F	[15:1]	0x0000	R	保留	写入0x0000。
	0	0x0	R/W	SW_RESET	软件复位。写入0x1以复位器件。复位后, 该位自动清0。 针对I ² C通信, 此命令返回一个应答信号, 器件随后回到待机模式, 所有寄存器复位到默认状态。
0x10	[15:2]	0x0000	R/W	保留	写入0x000。
	[1:0]	0x0	R/W	模式	确定ADPD105/ADPD106/ADPD107的工作模式。 0x0: 待机。 0x1: 编程。 0x2: 正常工作。
0x11	[15:14]	0x0	R/W	保留	保留。
	13	0x0	R/W	RDOUT_MODE	扩展数据寄存器的回读数据模式。 0x0: N个样本的区块和。 0x1: N个样本的区块均值。
	12	0x1	R/W	FIFO_OVRN_PREVENT	0x0: FIFO绕回, 新数据覆盖旧数据。 0x1: 若FIFO未满, 则写入新数据 (推荐设置)。
	[11:9]	0x0	R/W	保留	保留。
	[8:6]	0x0	R/W	SLOTB_FIFO_MODE	时隙B FIFO数据格式。 0: 无数据写入FIFO。 1: 数字积分模式下为16位样本, 非数字积分模式下为所有四个通道的16位和。 2: 数字积分模式下为32位样本, 非数字积分模式下为所有四个通道的32位和。 3: 数字积分模式下为16位样本和16位背景值。 4: 数字积分模式下为32位样本和32位背景值, 非数字积分模式下为时隙B的四个通道的16位样本数据。 6: 非数字积分模式下为时隙B的四个通道的32位扩展样本数据。 其他: 保留。 选定的时隙B数据保存在FIFO中。仅当时隙A有相同均值因子N (寄存器0x15的位[10:8] = 位[6:4]) 时, 或当时隙A不将数据保存到FIFO (寄存器0x11的位[4:2] = 0) 时可用。
	5	0x0	R/W	SLOTB_EN	时隙B使能。1: 使能时隙B。
	[4:2]	0x0	R/W	SLOTA_FIFO_MODE	时隙A FIFO数据格式。 0: 无数据写入FIFO。 1: 数字积分模式下为16位样本, 非数字积分模式下为所有四个通道的16位和。 2: 数字积分模式下为32位样本, 非数字积分模式下为所有四个通道的32位和。 3: 数字积分模式下为16位样本和16位背景值。 4: 数字积分模式下为32位样本和32位背景值, 非数字积分模式下为时隙B的四个通道的16位样本数据。 6: 非数字积分模式下为时隙B的四个通道的32位扩展样本数据。 其他: 保留。
	1	0x0	R/W	保留	写入0x0。
0	0x0	R/W	SLOTA_EN	时隙A使能。1: 使能时隙A。	

地址	数据位	默认值	访问类型	名称	描述
0x38	[15:0]	0x0000	R/W	EXT_SYNC_STARTUP	EXT_SYNC_SEL为b01或b10时，写入0x4000。否则写入0x0。
0x4B	[15:9]	0x13	R/W	保留	写入0x26。
	8	0x0	R/W	CLK32K_BYP	旁路内部32 kHz振荡器。 0x0：正常工作。 0x1：在GPIO1引脚上提供外部时钟。用户必须设置寄存器0x4F的位[6:5] = 01以启用GPIO1引脚为输入。
	7	0x0	R/W	CLK32K_EN	采样时钟上电。使能数据采样时钟。 0x0：时钟禁用。 0x1：正常工作。
	6	0x0	R/W	保留	写入0x0。
	[5:0]	0x12	R/W	CLK32K_ADJUST	数据采样(32 kHz)时钟频率调整。此寄存器用于校准器件采样频率以实现寄存器0x12所定义的高精度数据速率。调整32 kHz主采样时钟，每LSB对应0.6 kHz。对于寄存器0x12定义的100 Hz采样速率，寄存器0x4B位[5:0]的1 LSB为1.9 Hz。 注意：值越大，频率越低。关于时钟调整的更多信息，参见“时钟与时序校准”部分。 00 0000：最大频率。 10 0010：典型中心频率。 11 1111：最小频率。
0x4D	[15:8]	0x00	R/W	保留	写入0x00。
	[7:0]	0x98	R/W	CLK32M_ADJUST	内部时序(32 MHz)时钟频率调整。此寄存器用于校准器件内部时钟以实现精密定时的LED脉冲。调整32 MHz时钟，每LSB对应109 kHz。 关于时钟调整的更多信息，参见“时钟与时序校准”部分。 0000 0000：最小频率。 1001 1000：默认频率。 1111 1111：最大频率。
0x4E ¹	[15:0]	0x0060	R/W	ADC_TIMING ¹	0x0040：ADC时钟速度 = 1 MHz。 0x0060：ADC时钟速度 = 500 kHz。
0x4F	[15:8]	0x20	R/W	保留	写入0x20。
	7	0x1	R/W	保留	写入0x1。
	6	0x0	R/W	GPIO1_OE	GPIO1引脚输出使能。
	5	0x0	R/W	GPIO1_IE	GPIO1引脚输入使能。
	4	0x1	R/W	保留	写入0x1。
	[3:2]	0x0	R/W	EXT_SYNC_SEL	样本同步选择。 00：利用内部32 kHz时钟和FSAMPLE选择采样时序。 01：利用GPIO0引脚触发采样周期。 10：利用GPIO1引脚触发采样周期。 11：保留。
	1	0x0	R/W	GPIO0_IE	GPIO0引脚输入使能。
	0	0x0	R/W	保留	写入0x0。
0x50	[15:7]	0x000	R/W	保留	写入0x000。
	6	0x0	R/W	GPIO1_CTRL	当GPIO1输出使能时(GPIO1_OE = 0x1)，控制GPIO1输出。 0x0：GPIO1输出驱动到低电平。 0x1：GPIO1输出由AFE关断信号驱动。
	5	0x0	R/W	CLK32M_CAL_EN	作为32 MHz时钟校准例程的一部分，写入1即开始时钟比率计算。从寄存器0x0A的CLK_RATIO位读取此计算的结果。 再次启动计算之前，应将此位复位至0。
	[4:0]	0x00	R/W	保留	写入0x0。

地址	数据位	默认值	访问类型	名称	描述
0x5F	[15:3]	0x0000	R/W	保留	写入0x0000。
	2	0x0	R/W	SLOTB_DATA_HOLD	此位置1可防止对应于时隙B的数据寄存器更新。设置此位以确保未读取的数据寄存器不更新，保证来自所有四个光电二极管通道的数据集是连续的。 1：时隙B的数据寄存器保持不变。 0：允许数据寄存器更新。
	1	0x0	R/W	SLOTA_DATA_HOLD	此位置1可防止对应于时隙A的数据寄存器更新。设置此位以确保未读取的数据寄存器不更新，保证来自所有四个光电二极管通道的数据集是连续的。 1：时隙A的数据寄存器保持不变。 0：允许数据寄存器更新。
	0	0x0	R/W	DIGITAL_CLOCK_ENA	校准32 MHz时钟时，设置为1以使能32 MHz时钟。校准之后务必将此位复位至0以禁用32 MHz时钟。

¹ 时钟速度设置仅对数字积分模式有效。

ADC 寄存器

表 34. ADC 寄存器

地址	数据位	默认值	访问类型	名称	描述
0x12	[15:0]	0x0028	R/W	FSAMPLE	采样频率： $f_{\text{SAMPLE}} = 32 \text{ kHz}/(\text{寄存器}0x12\text{的位}[15:0] \times 4)$ 。 例如，100 Hz = 0x0050；200 Hz = 0x0028。
0x15	[15:11]	0x00	R/W	保留	写入0x0。
	[10:8]	0x6	R/W	SLOTB_NUM_AVG	时隙B的样本和/均值。指定均值系数 N_B ，其为ADC之后进行求和及均值的连续样本数。寄存器0x70至寄存器0x7F保存样本和。寄存器0x64至寄存器0x6B及寄存器0x60中的数据缓冲器将数据均值保存在16位寄存器中，均值可用于提高SNR而无需削波。数据速率由SLOTB_NUMB_AVG位的值抽取。 0:1. 1:2. 2:4. 3:8. 4:16. 5:32. 6:64. 7:128.
	7	0x0	R/W	保留	写入0x0。
	[6:4]	0x0	R/W	SLOTA_NUM_AVG	时隙A的样本和/均值。 N_A ：同位[10:8]，但用于时隙A。参见寄存器0x15位[10:8]中的说明。
	[3:0]	0x0	R/W	保留	写入0x0。
0x18	[15:0]	0x2000	R/W	SLOTA_CH1_OFFSET	时隙A通道1 ADC失调。从原始ADC值减去该值。典型值为0x2000。
0x19	[15:0]	0x2000	R/W	SLOTA_CH2_OFFSET	时隙A通道2 ADC失调。从原始ADC值减去该值。典型值为0x2000。
0x1A	[15:0]	0x2000	R/W	SLOTA_CH3_OFFSET	时隙A通道3 ADC失调。从原始ADC值减去该值。典型值为0x2000。
0x1B	[15:0]	0x2000	R/W	SLOTA_CH4_OFFSET	时隙A通道4 ADC失调。从原始ADC值减去该值。典型值为0x2000。
0x1E	[15:0]	0x2000	R/W	SLOTB_CH1_OFFSET	时隙B通道1 ADC失调。从原始ADC值减去该值。典型值为0x2000。

地址	数据位	默认值	访问类型	名称	描述
0x1F	[15:0]	0x2000	R/W	SLOTB_CH2_OFFSET	时隙B通道2 ADC失调。从原始ADC值减去该值。典型值为0x2000。
0x20	[15:0]	0x2000	R/W	SLOTB_CH3_OFFSET	时隙B通道3 ADC失调。从原始ADC值减去该值。典型值为0x2000。
0x21	[15:0]	0x2000	R/W	SLOTB_CH4_OFFSET	时隙B通道4 ADC失调。从原始ADC值减去该值。典型值为0x2000。

数据寄存器

表 35. 数据寄存器

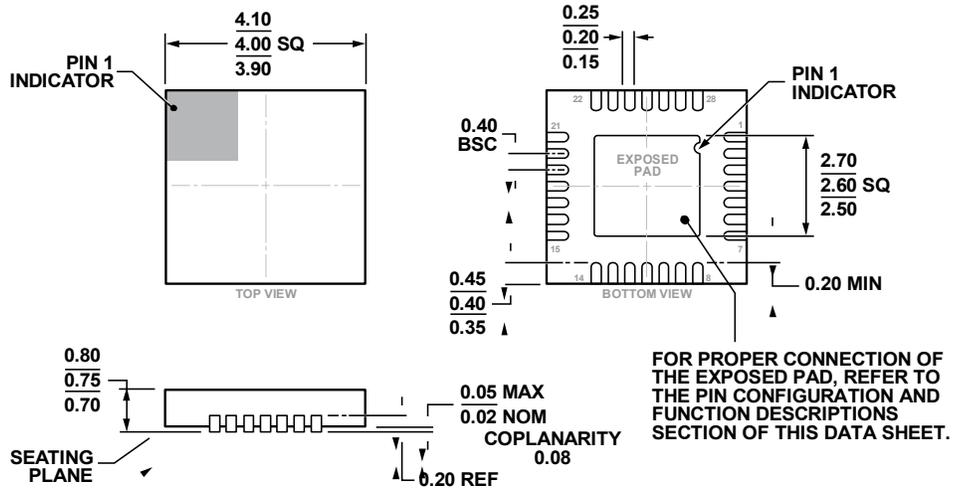
地址	数据位	访问类型	名称	描述
0x60	[15:0]	R	FIFO_DATA	FIFO 中的下一可用字。
0x64	[15:0]	R	SLOTA_CH1_16BIT	时隙 A 中的通道 1 的 16 位值。
0x65	[15:0]	R	SLOTA_CH2_16BIT	时隙 A 中的通道 2 的 16 位值。
0x66	[15:0]	R	SLOTA_CH3_16BIT	时隙 A 中的通道 3 的 16 位值。
0x67	[15:0]	R	SLOTA_CH4_16BIT	时隙 A 中的通道 4 的 16 位值。
0x68	[15:0]	R	SLOTB_CH1_16BIT	时隙 B 中的通道 1 的 16 位值。
0x69	[15:0]	R	SLOTB_CH2_16BIT	时隙 B 中的通道 2 的 16 位值。
0x6A	[15:0]	R	SLOTB_CH3_16BIT	时隙 B 中的通道 3 的 16 位值。
0x6B	[15:0]	R	SLOTB_CH4_16BIT	时隙 B 中的通道 4 的 16 位值。
0x70	[15:0]	R	SLOTA_CH1_LOW	时隙 A 中的通道 1 的低位数据字。
0x71	[15:0]	R	SLOTA_CH2_LOW	时隙 A 中的通道 2 的低位数据字。
0x72	[15:0]	R	SLOTA_CH3_LOW	时隙 A 中的通道 3 的低位数据字。
0x73	[15:0]	R	SLOTA_CH4_LOW	时隙 A 中的通道 4 的低位数据字。
0x74	[15:0]	R	SLOTA_CH1_HIGH	时隙 A 中的通道 1 的高位数据字。
0x75	[15:0]	R	SLOTA_CH2_HIGH	时隙 A 中的通道 2 的高位数据字。
0x76	[15:0]	R	SLOTA_CH3_HIGH	时隙 A 中的通道 3 的高位数据字。
0x77	[15:0]	R	SLOTA_CH4_HIGH	时隙 A 中的通道 4 的高位数据字。
0x78	[15:0]	R	SLOTB_CH1_LOW	时隙 B 中的通道 1 的低位数据字。
0x79	[15:0]	R	SLOTB_CH2_LOW	时隙 B 中的通道 2 的低位数据字。
0x7A	[15:0]	R	SLOTB_CH3_LOW	时隙 B 中的通道 3 的低位数据字。
0x7B	[15:0]	R	SLOTB_CH4_LOW	时隙 B 中的通道 4 的低位数据字。
0x7C	[15:0]	R	SLOTB_CH1_HIGH	时隙 B 中的通道 1 的高位数据字。
0x7D	[15:0]	R	SLOTB_CH2_HIGH	时隙 B 中的通道 2 的高位数据字。
0x7E	[15:0]	R	SLOTB_CH3_HIGH	时隙 B 中的通道 3 的高位数据字。
0x7F	[15:0]	R	SLOTB_CH4_HIGH	时隙 B 中的通道 4 的高位数据字。

所需启动加载程序

所需启动加载程序如下：

1. 将 0x1 写入寄存器 0x4B 的位 7 以能使驱动状态机的时钟。
2. 将 0x0001 写入寄存器 0x10 以进入编程模式。
3. 写入其他寄存器；当器件处于编程模式时，寄存器顺序不重要。
4. 将 0x0002 写入寄存器 0x10 以开始正常采样操作。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WGGE.

图 54.28 引脚引线框芯片级封装[LFCSP]
4 mm × 4 mm 本体, 0.75 mm 封装高度
(CP-28-5)
图示尺寸单位: mm

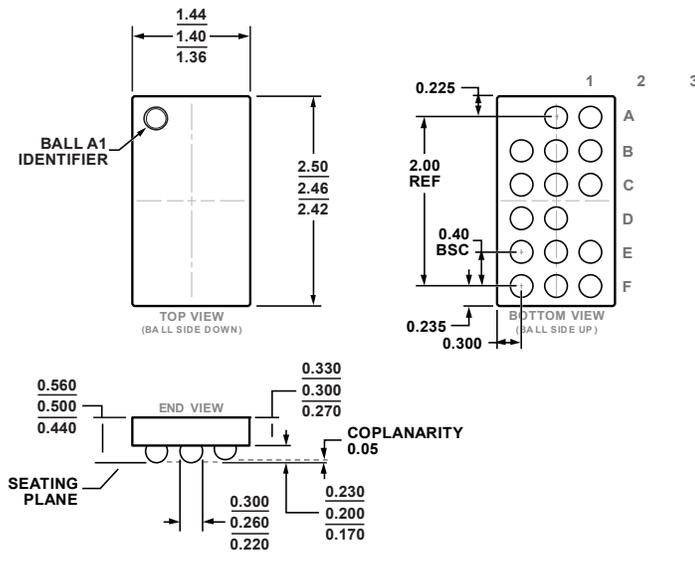


图 55.16 引脚晶圆级芯片规模封装[WLCSP]
(CB-16-18)
图示尺寸单位: mm

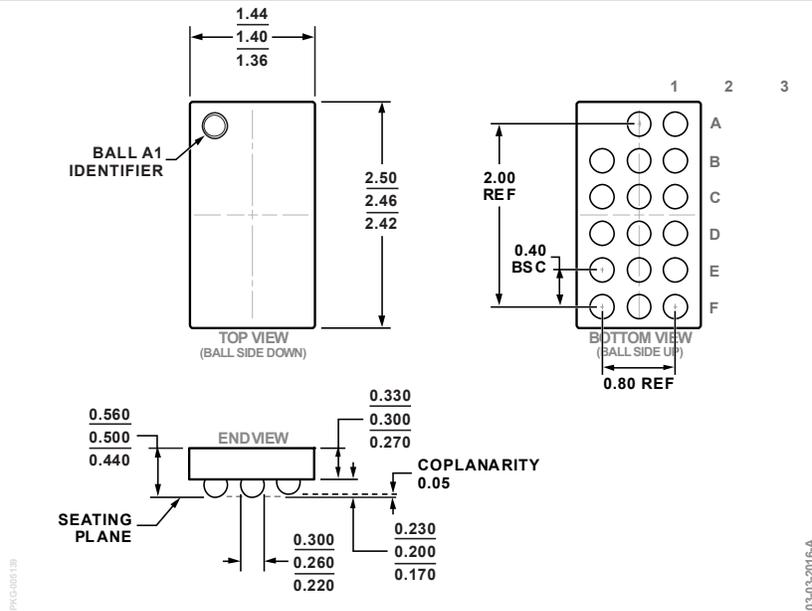


图 56. 17 引脚晶圆级芯片规模封装[WLCSP]
(CB-17-1)
图示尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADPD105BCPZ	-40°C至+85°C	28引脚引线框芯片级封装[LFCSP]	CP-28-5
ADPD105BCPZRL	-40°C至+85°C	28引脚引线框芯片级封装[LFCSP]	CP-28-5
ADPD105BCBZR7	-40°C至+85°C	16引脚晶圆级芯片规模封装[WLCSP]	CB-16-18
ADPD106BCBZR7	-40°C至+85°C	16引脚晶圆级芯片规模封装[WLCSP]	CB-16-18
ADPD107BCBZR7	-40°C至+85°C	17引脚晶圆级芯片规模封装[WLCSP]	CB-17-1
EVAL-ADPD105Z-GEN		通用ADPD105评估板 ²	

¹ Z = 符合RoHS标准的兼容器件。

² 此评估板用于ADPD105、ADPD106和ADPD107。