

AD8331/AD8332/AD8334

产品特性

超低噪声前置放大器

电压噪声 = 0.74 nV/ $\sqrt{\text{Hz}}$

电流噪声 = 2.5 pA/ $\sqrt{\text{Hz}}$

3 dB带宽

AD8331: 120 MHz

AD8332、AD8334: 100 MHz

低功耗

AD8331: 每通道125 mW

AD8332、AD8334: 每通道145 mW

可编程后置放大器提供宽增益范围

LO增益模式: -4.5 dB至+43.5 dB

HI增益模式: 7.5 dB至55.5 dB

折合到输出端的噪声较低: 48 nV/ $\sqrt{\text{Hz}}$ (典型值)

有源输入阻抗匹配

针对10位/12位ADC优化

可选输出钳位电平

采用5 V单电源供电

AD8332和AD8334提供引脚架构芯片级封装

应用

超声和声纳时间增益控制

高性能自动增益控制(AGC)系统

I/Q信号处理

高速、双通道ADC驱动器

概述

AD8331/AD8332/AD8334分别是单通道/双通道/四通道、超低噪声、线性dB可变增益放大器(VGA), 针对超声系统进行了优化, 可以用作低噪声可变增益元件, 工作频率最高达120 MHz。

各通道内置一个超低噪声前置放大器(LNA)、一个48 dB增益范围的X-AMP[®] VGA以及一个具有可调输出限制功能的可选增益后置放大器。LNA增益为19 dB, 具有单端输入和差分输出。LNA输入阻抗可以利用一个电阻来调节, 以便与信号源相匹配, 且不影响噪声性能。

VGA的48 dB增益范围使这些器件适合各种不同的应用。带宽在整个增益范围内可保持出色的一致性。对于40 mV至1 V范围内的控制电压, 增益控制接口可提供精确的50 dB/V线性dB调整。通过工厂调整可确保器件间及通道间具有出色的增益匹配特性。

Rev. G

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

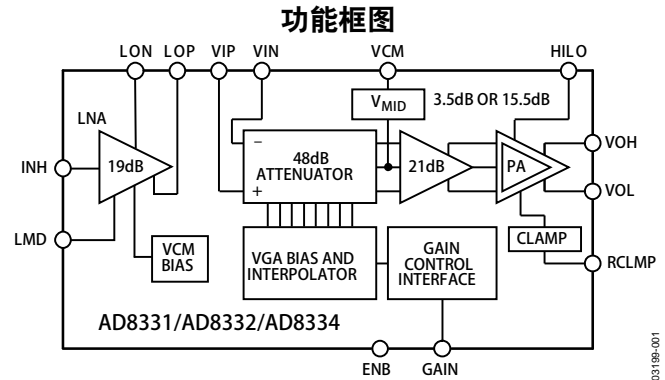


图1. 信号路径功能框图

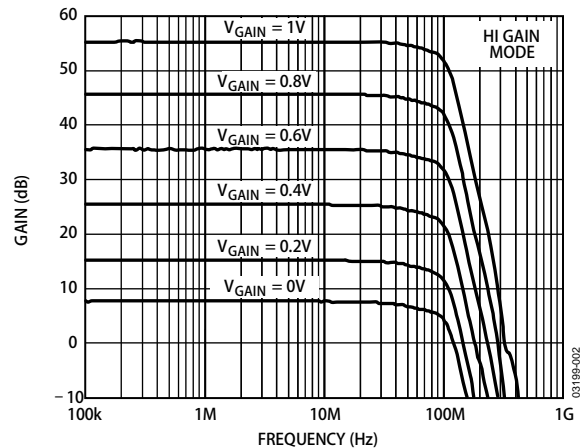


图2. 频率响应与增益的关系

差分信号路径提供出色的二次和三次失真性能及低串扰。

VGA的低输出端噪声在驱动高速差分ADC时是种优势。后置放大器的增益可通过引脚选择为3.5 dB或15.5 dB, 以便优化12位或10位转换器应用的增益范围和输出噪声。输出可以用户选择的箝位电平为限, 防止后续ADC的输入过载。一个外部电阻调整该箝位电平。

工作温度范围为-40°C至+85°C。AD8331提供20引脚QSOP封装, AD8332提供28引脚TSSOP和32引脚LFCSP封装, AD8334提供64引脚LFCSP封装。

目录

产品特性	1	超声TGC应用	34
应用	1	高密度四通道布局	34
概述	1	AD8331评估板	39
功能框图	1	概述	39
修订历史	2	用户提供的可选器件	39
技术规格	4	测量设置	39
绝对最大额定值	7	电路板布局	39
ESD警告	7	AD8331评估板原理图	40
引脚配置和功能描述	8	AD8331评估板PCB各层	42
典型工作特性	12	AD8332评估板	43
测试电路	20	概述	43
测量考虑	20	用户提供的可选器件	43
工作原理	24	测量设置	43
概述	24	电路板布局	43
低噪声放大器(LNA)	25	评估板原理图	44
可变增益放大器	27	AD8332评估板PCB各层	46
后置放大器	28	AD8334评估板	47
应用信息	30	概述	47
LNA—外部器件	30	配置输入阻抗	48
ADC驱动	32	测量设置	48
过载	32	电路板布局	48
可选输入过载保护	32	评估板原理图	49
布局布线、接地和旁路	33	AD8334评估板PCB各层	51
多路输入匹配	33	外形尺寸	53
禁用LNA	33	订购指南	55
		删除“AD8331材料清单”部分和表11；重新排序	43
		更改图104	43
		更改图106	45
		更改图107	46
		更改图113	47
		修改图114和“电路板布局”部分	48
		删除“AD8332材料清单”部分和表13；重新排序	48
		更改图115	49
		更改图116	50
		更改图117至图120	51
		更改图121	52
		删除“AD8334材料清单”部分和表15；重新排序	54

修订历史

2010年10月—修订版F至修订版G

更改表1中的“每通道静态电流”参数	6
更改表3中的引脚1	8
更改表4中的引脚1和引脚28、表5中的引脚4和引脚5	9
更改图6和表6	10
更改图33	16
更改图64	22
更改图70	24
更改“低噪声放大器(LNA)”部分和图74	5
更改图94	38
更改“概述”部分、图95标题、表10和“电路板布局”部分	39
更改图96	40
更改图97	41
更改图98和图103	42

2008年4月—修订版E至修订版F

R _{FB} 通篇更改为R _{IZ}	4
更改图1.....	1
更改表1的LNA和VGA特性、输出失调电压、条件.....	4
更改“每通道静态电流”参数和“掉电电流”参数.....	6
更改表2.....	7
更改表3(引脚1的描述).....	8
更改表4(引脚1和引脚28的描述).....	9
更改表5(引脚4和引脚5的描述).....	9
更改表6(引脚2、引脚15和引脚20的描述).....	10
更改表6(引脚61的描述).....	11
更改典型工作特性部分的默认条件.....	12
更改图25.....	15
更改图39.....	17
更改图55至图68.....	20
更改工作原理的概述部分.....	24
更改“低噪声放大器”部分和图74.....	25
更改“有源阻抗匹配”部分、图75和图77.....	26
更改图78.....	27
更改公式6、表7、图81和图82.....	30
更改图83.....	31
更改图88.....	32
调换图89和图90.....	33
更改图89.....	33
更改“超声TGC应用”部分.....	34
纳入AD8331-EVAL数据手册修订版A.....	39
更改“用户提供的可选器件”部分和“测量设置”部分.....	39
更改图95.....	39
更改图97.....	41
增加图98.....	42
纳入AD8332-EVALZ数据手册修订版D.....	44
纳入AD8334-EVAL数据手册修订版0.....	49
更新外形尺寸.....	55
更改订购指南部分.....	57

2006年4月—修订版D至修订版E

增加AD8334.....	通篇
更改图1和图2.....	1
更改表1.....	4
更改表2.....	7
更改图7至图9和图12.....	12
更改图13、图14、图16和图18.....	13

更改图23和图24.....	14
更改图25至图27.....	15
更改图31和图33至图36.....	16
更改图37至图42.....	17
更改图43、图44和图48.....	18
更改图49、图50和图54.....	19
插入图56和图57.....	20
插入图58、图59和图61.....	21
更改图60.....	21
插入图63和图65.....	22
更改图64.....	22
移动“测量考虑”部分.....	23
插入图67和图68.....	23
插入图70和图71.....	24
更改图72.....	24
更改图73和“低噪声放大器”部分.....	25
更改“后置放大器”部分.....	28
更改图80.....	29
更改“LNA—外部器件”部分.....	30
更改“逻辑输入—ENB、MODE和HILO”部分.....	31
更改“输出耦合和过载”部分.....	32
更改“布局布线、接地和旁路”部分.....	33
更改“超声TGC应用”部分.....	34
增加“高密度四通道布局”部分.....	34
插入图94.....	38
更新外形尺寸.....	39
更改订购指南部分.....	40

2006年3月—修订版C至修订版D

格式更新.....	通篇
修改特性和概述部分.....	1
更改表1.....	3
更改表2.....	6
更改订购指南部分.....	34

2003年11月—修订版B至修订版C

新增器件.....	通篇
更改插图.....	通篇
更新外形尺寸.....	32

2003年5月—修订版A至修订版B

编辑订购指南部分.....	32
编辑“超声TGC应用”部分.....	25

AD8331/AD8332/AD8334

技术规格

除非另有说明, $T_A = 25^\circ\text{C}$, $V_S = 5\text{ V}$, $R_L = 500\ \Omega$, $R_S = R_{IN} = 50\ \Omega$, $R_{IZ} = 280\ \Omega$, $C_{SH} = 22\text{ pF}$, $f = 10\text{ MHz}$, $R_{CLMP} = \infty$, $C_L = 1\text{ pF}$, VCM引脚悬空, -4.5 dB 至 $+43.5\text{ dB}$ 增益(HILO = LO), 差分输出电压。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位 ¹
低噪声放大器参数					
增益	单端输入至差分输出		19		dB
	输入至输出(单端)		13		dB
输入电压范围	交流耦合		± 275		mV
输入电阻	$R_{IZ} = 280\ \Omega$		50		Ω
	$R_{IZ} = 412\ \Omega$		75		Ω
	$R_{IZ} = 562\ \Omega$		100		Ω
	$R_{IZ} = 1.13\text{ k}\Omega$		200		Ω
	$R_{IZ} = \infty$		6		k Ω
输入电容			13		pF
输出阻抗	单端, 任一输出		5		Ω
-3 dB小信号带宽	$V_{OUT} = 0.2\text{ V p-p}$		130		MHz
压摆率			650		V/ μs
输入电压噪声	$R_S = 0\ \Omega$, HI或LO增益, $R_{IZ} = \infty$, $f = 5\text{ MHz}$		0.74		nV/ $\sqrt{\text{Hz}}$
输入电流噪声	$R_{IZ} = \infty$, HI或LO增益, $f = 5\text{ MHz}$		2.5		pA/ $\sqrt{\text{Hz}}$
噪声系数	$f = 10\text{ MHz}$, LOP输出				
有源终端匹配	$R_S = R_{IN} = 50\ \Omega$		3.7		dB
终端开路	$R_S = 50\ \Omega$, $R_{IZ} = \infty$		2.5		dB
LOP1或LOP2的谐波失真	$V_{OUT} = 0.5\text{ V p-p}$, 单端, $f = 10\text{ MHz}$				
HD2			-56		dBc
HD3			-70		dBc
输出短路电流	引脚LON、引脚LOP		165		mA
LNA和VGA特性					
-3 dB小信号带宽	$V_{OUT} = 0.2\text{ V p-p}$				
AD8331			120		MHz
AD8332, AD8334			100		MHz
-3 dB大信号带宽	$V_{OUT} = 2\text{ V p-p}$				
AD8331			110		MHz
AD8332, AD8334			90		MHz
压摆率					
AD8331	LO增益		300		V/ μs
	HI增益		1200		V/ μs
AD8332, AD8334	LO增益		275		V/ μs
	HI增益		1100		V/ μs
输入电压噪声	$R_S = 0\ \Omega$, HI或LO增益, $R_{IZ} = \infty$, $f = 5\text{ MHz}$		0.82		nV/ $\sqrt{\text{Hz}}$
噪声系数	$V_{GAIN} = 1.0\text{ V}$				
有源终端匹配	$R_S = R_{IN} = 50\ \Omega$, $f = 10\text{ MHz}$, 实测		4.15		dB
	$R_S = R_{IN} = 200\ \Omega$, $f = 5\text{ MHz}$, 仿真		2.0		dB
终端开路	$R_S = 50\ \Omega$, $R_{IZ} = \infty$, $f = 10\text{ MHz}$, 实测		2.5		dB
	$R_S = 200\ \Omega$, $R_{IZ} = \infty$, $f = 5\text{ MHz}$, 仿真		1.0		dB
折合到输出端噪声					
AD8331	$V_{GAIN} = 0.5\text{ V}$, LO增益		48		nV/ $\sqrt{\text{Hz}}$
	$V_{GAIN} = 0.5\text{ V}$, HI增益		178		nV/ $\sqrt{\text{Hz}}$
AD8332, AD8334	$V_{GAIN} = 0.5\text{ V}$, LO增益		40		nV/ $\sqrt{\text{Hz}}$
	$V_{GAIN} = 0.5\text{ V}$, HI增益		150		nV/ $\sqrt{\text{Hz}}$
输出阻抗, 后置放大器	DC至1 MHz		1		Ω

AD8331/AD8332/AD8334

参数	测试条件/注释	最小值	典型值	最大值	单位 ¹
输出信号范围, 后置放大器	$R_L \geq 500 \Omega$, 无箝位, 任一引脚		$V_{CM} \pm 1.125$		V
差分			4.5		V p-p
输出失调电压					
AD8331	差分, $V_{GAIN} = 0.5 V$	-50	± 5	+50	mV
	共模	-125	-25	+100	mV
AD8332, AD8334	差分, $0.05 V \leq V_{GAIN} \leq 1.0 V$	-20	± 5	+20	mV
	共模	-125	-25	+100	mV
输出短路电流			45		mA
谐波失真	$V_{GAIN} = 0.5 V$, $V_{OUT} = 1 V p-p$, HI增益				
AD8331					
HD2	$f = 1 MHz$		-88		dBc
HD3			-85		dBc
HD2	$f = 10 MHz$		-68		dBc
HD3			-65		dBc
AD8332, AD8334					
HD2	$f = 1 MHz$		-82		dBc
HD3			-85		dBc
HD2	$f = 10 MHz$		-62		dBc
HD3			-66		dBc
输入1 dB压缩点	$V_{GAIN} = 0.25 V$, $V_{OUT} = 1 V p-p$, $f = 1 MHz$ 至10 MHz		1		dBm
双音交调失真(IMD3)					
AD8331	$V_{GAIN} = 0.72 V$, $V_{OUT} = 1 V p-p$, $f = 1 MHz$		-80		dBc
	$V_{GAIN} = 0.5 V$, $V_{OUT} = 1 V p-p$, $f = 10 MHz$		-72		dBc
AD8332, AD8334	$V_{GAIN} = 0.72 V$, $V_{OUT} = 1 V p-p$, $f = 1 MHz$		-78		dBc
	$V_{GAIN} = 0.5 V$, $V_{OUT} = 1 V p-p$, $f = 10 MHz$		-74		dBc
输出三阶交调截点					
AD8331	$V_{GAIN} = 0.5 V$, $V_{OUT} = 1 V p-p$, $f = 1 MHz$		38		dBm
	$V_{GAIN} = 0.5 V$, $V_{OUT} = 1 V p-p$, $f = 10 MHz$		33		dBm
AD8332, AD8334	$V_{GAIN} = 0.5 V$, $V_{OUT} = 1 V p-p$, $f = 1 MHz$		35		dBm
	$V_{GAIN} = 0.5 V$, $V_{OUT} = 1 V p-p$, $f = 10 MHz$		32		dBm
通道间串扰(AD8332、AD8334)	$V_{GAIN} = 0.5 V$, $V_{OUT} = 1 V p-p$, $f = 1 MHz$		-98		dB
过载恢复	$V_{GAIN} = 1.0 V$, $V_{IN} = 50 mV p-p/1 V p-p$, $f = 10 MHz$		5		ns
群延迟偏差	$5 MHz < f < 50 MHz$, 全部增益范围		± 2		ns
精度					
绝对增益误差 ²	$0.05 V < V_{GAIN} < 0.10 V$	-1	+0.5	+2	dB
	$0.10 V < V_{GAIN} < 0.95 V$	-1	± 0.3	+1	dB
	$0.95 V < V_{GAIN} < 1.0 V$	-2	-1	+1	dB
增益法则一致性 ³	$0.1 V < V_{GAIN} < 0.95 V$		± 0.2		dB
通道间增益匹配	$0.1 V < V_{GAIN} < 0.95 V$		± 0.1		dB
增益控制接口(引脚GAIN)					
增益比例系数	$0.10 V < V_{GAIN} < 0.95 V$	48.5	50	51.5	dB/V
增益范围	LO增益		-4.5至+43.5		dB
	HI增益		7.5至55.5		dB
输入电压(V_{GAIN})范围			0至1.0		V
输入阻抗			10		M Ω
响应时间	48 dB增益变化至90%满量程		500		ns
共模接口(PIN VCMx)					
输入电阻 ⁴	电流限值为 $\pm 1 mA$		30		Ω
输出CM失调电压	$V_{CM} = 2.5 V$	-125	-25	+100	mV
电压范围	$V_{OUT} = 2.0 V p-p$		1.5至3.5		V

AD8331/AD8332/AD8334

参数	测试条件/注释	最小值	典型值	最大值	单位 ¹
使能接口 (引脚ENB、引脚ENBL、引脚ENBV) 使能电源的逻辑电平 禁用电源的逻辑电平 输入电阻 上电响应时间	引脚ENB 引脚ENBL 引脚ENBV $V_{INH} = 30 \text{ mV p-p}$ $V_{INH} = 150 \text{ mV p-p}$	2.25 0	25 40 70	5 1.0	V V k Ω k Ω k Ω μs ms
HILO增益范围接口(引脚HILO) 选择HI增益范围的逻辑电平 选择LO增益范围的逻辑电平 输入电阻		2.25 0		5 1.0	V V k Ω
输出箝位接口(引脚RCLMP; HI或LO增益) 精度 HILO = LO HILO = HI	$R_{CLMP} = 2.74 \text{ k}\Omega$, $V_{OUT} = 1 \text{ V p-p}$ (箝位) $R_{CLMP} = 2.21 \text{ k}\Omega$, $V_{OUT} = 1 \text{ V p-p}$ (箝位)		± 50 ± 75		mV mV
模式接口(引脚MODE) 正增益斜率的逻辑电平 负增益斜率的逻辑电平 输入电阻		0 2.25		1.0 5	V V k Ω
电源(引脚VPS1、VPS2、VPSV、VPSL、VPOS) 电源电压 每通道静态电流 AD8331 AD8332 AD8334 每通道功耗 AD8331 AD8332, AD8334 掉电电流 AD8331 AD8332 AD8334 LNA电流 AD8331 (ENBL) AD8332, AD8334 (ENBL) VGA电流 AD8331 (ENBV) AD8332, AD8334 (ENBV) 电源抑制比(PSRR)	无信号 VGA和LNA禁用	4.5 20 22 24	5.0 25 27.5 29.5 125 138	5.5 32 34	V mA mA mA mW mW μA μA μA mA mA mA mA dB

¹ 所有dBm值均参考50 Ω 。

² 绝对增益是指公式1表示的理论增益。

³ 最佳拟合线性dB曲线。

⁴ 电流限值为 $\pm 1 \text{ mA}$ (典型值)。

绝对最大额定值

表2.

参数	额定值
电压	
电源电压(VPSn、VPSV、VPSL、VPOS)	5.5 V
输入电压(INHx)	$V_S + 200 \text{ mV}$
ENB、ENBL、ENBV、HILO电压	$V_S + 200 \text{ mV}$
GAIN电压	2.5 V
功耗	
RU封装 ¹ (AD8332)	0.96 W
CP-32封装(AD8332)	1.97 W
RQ封装 ¹ (AD8331)	0.78 W
CP-64封装(AD8334)	0.91 W
温度	
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+150°C
引脚温度(焊接60秒)	300°C
θ_{JA}	
RU封装 ¹ (AD8332)	68°C/W
CP-32封装 ² (AD8332)	33°C/W
RQ封装 ¹ (AD8331)	83°C/W
CP-64封装 ³ (AD8334)	24.2°C/W

¹ 4层JEDEC板(252P)。² 裸露焊盘焊接到电路板，焊盘中有9个热过孔—JEDEC 4层板J-STD-51-9。³ 裸露焊盘焊接到电路板，焊盘中有25个热过孔—JEDEC 4层板J-STD-51-9。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD8331/AD8332/AD8334

引脚配置和功能描述

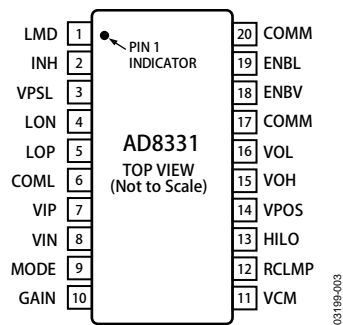


图3. 20引脚QSOP引脚配置(AD8331)

表3. 20引脚QSOP引脚功能描述(AD8331)

引脚编号	引脚名称	说明
1	LMD	LNA中间电源旁路引脚；连接一个电容以旁路中间电源HF
2	INH	LNA输入
3	VPSL	LNA 5 V电源
4	LON	LNA反相输出
5	LOP	LNA同相输出
6	COML	LNA地
7	VIP	VGA同相输入
8	VIN	VGA反相输入
9	MODE	增益斜率逻辑输入
10	GAIN	增益控制电压
11	VCM	共模电压
12	RCLMP	输出箝位电平
13	HILO	增益范围选择(HI或LO)
14	VPOS	VGA 5 V电源
15	VOH	同相VGA输出
16	VOL	反相VGA输出
17	COMM	VGA地
18	ENBV	VGA使能
19	ENBL	LNA使能
20	COMM	VGA地

AD8331/AD8332/AD8334

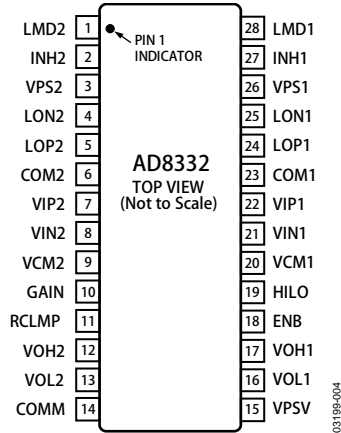


图4. 28引脚TSSOP引脚配置(AD8332)

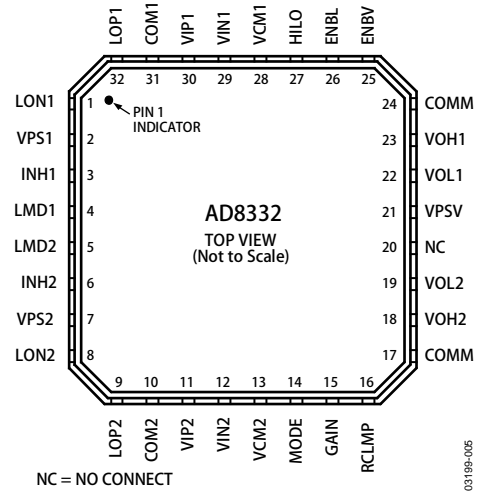


图5. 32引脚LFCSP引脚配置(AD8332)

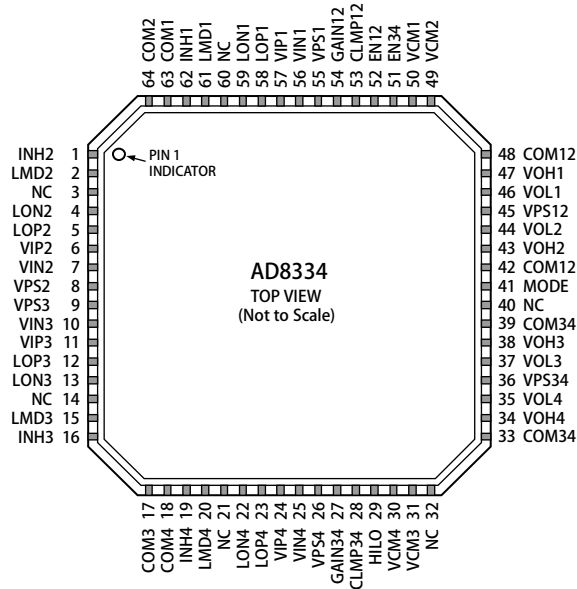
表4. 28引脚TSSOP引脚功能描述(AD8332)

引脚编号	引脚名称	说明
1	LMD2	CH2 LNA中间电源引脚； 连接一个电容以旁路中间电源HF
2	INH2	CH2 LNA输入
3	VPS2	CH2电源LNA 5 V
4	LON2	CH2 LNA反相输出
5	LOP2	CH2 LNA同相输出
6	COM2	CH2 LNA地
7	VIP2	CH2 VGA同相输入
8	VIN2	CH2 VGA反相输入
9	VCM2	CH2共模电压
10	GAIN	增益控制电压
11	RCLMP	输出箝位电阻
12	VOH2	CH2同相VGA输出
13	VOL2	CH2反相VGA输出
14	COMM	VGA地(两个通道)
15	VPSV	VGA电源5 V(两个通道)
16	VOL1	CH1反相VGA输出
17	VOH1	CH1同相VGA输出
18	ENB	使能—VGA/LNA
19	HILO	VGA增益范围选择(HI或LO)
20	VCM1	CH1共模电压
21	VIN1	CH1 VGA反相输入
22	VIP1	CH1 VGA同相输入
23	COM1	CH1 LNA地
24	LOP1	CH1 LNA同相输出
25	LON1	CH1 LNA反相输出
26	VPS1	CH1 LNA电源5 V
27	INH1	CH1 LNA输入
28	LMD1	CH1 LNA中间电源引脚； 连接一个电容以旁路中间电源HF

表5. 32引脚LFCSP引脚功能描述(AD8332)

引脚编号	引脚名称	说明
1	LON1	CH1 LNA反相输出
2	VPS1	CH1 LNA电源5 V
3	INH1	CH1 LNA输入
4	LMD1	CH1 LNA中间电源引脚； 连接一个电容以旁路中间电源HF
5	LMD2	CH2 LNA中间电源引脚； 连接一个电容以旁路中间电源HF
6	INH2	CH2 LNA输入
7	VPS2	CH2 LNA电源5 V
8	LON2	CH2 LNA反相输出
9	LOP2	CH2 LNA同相输出
10	COM2	CH2 LNA地
11	VIP2	CH2 VGA同相输入
12	VIN2	CH2 VGA反相输入
13	VCM2	CH2共模电压
14	MODE	增益斜率逻辑输入
15	GAIN	增益控制电压
16	RCLMP	输出箝位电平输入
17	COMM	VGA地
18	VOH2	CH2同相VGA输出
19	VOL2	CH2反相VGA输出
20	NC	不连接
21	VPSV	VGA电源5 V
22	VOL1	CH1反相VGA输出
23	VOH1	CH1同相VGA输出
24	COMM	VGA地
25	ENBV	VGA使能
26	ENBL	LNA使能
27	HILO	VGA增益范围选择(HI或LO)
28	VCM1	CH1共模电压
29	VIN1	CH1 VGA反相输入
30	VIP1	CH1 VGA同相输入
31	COM1	CH1 LNA地
32	LOP1	CH1 LNA同相输出

AD8331/AD8332/AD8334



- NOTES
1. THE EXPOSED PADDLE MUST BE SOLDERED TO THE PCB GROUND TO ENSURE PROPER HEAT DISSIPATION, NOISE, AND MECHANICAL STRENGTH BENEFITS.
 2. NC = NO CONNECT.

03199-006

图6. 64引脚LFCSP引脚配置(AD8334)

表6. 64引脚LFCSP引脚功能描述(AD8334)

引脚编号	引脚名称	说明
1	INH2	CH2 LNA输入。
2	LMD2	CH2 LNA中间电源引脚；连接一个电容以旁路中间电源HF。
3	NC	未连接。
4	LON2	CH2 LNA反馈输出(用于 R_{12})。
5	LOP2	CH2 LNA正输出。
6	VIP2	CH2 VGA正输入。
7	VIN2	CH2 VGA负输入。
8	VPS2	CH2 LNA电源5V。
9	VPS3	CH3 LNA电源5V。
10	VIN3	CH3 VGA负输入。
11	VIP3	CH3 VGA正输入。
12	LOP3	CH3 LNA正输出。
13	LON3	CH3 LNA反馈输出(用于 R_{12})。
14	NC	未连接。
15	LMD3	CH3 LNA中间电源引脚；连接一个电容以旁路中间电源HF。
16	INH3	CH3 LNA输入。
17	COM3	CH3 LNA地。
18	COM4	CH4 LNA地。
19	INH4	CH4 LNA输入。
20	LMD4	CH4 LNA中间电源引脚；连接一个电容以旁路中间电源HF。
21	NC	未连接。
22	LON4	CH4 LNA反馈输出(用于 R_{12})。
23	LOP4	CH4 LNA正输出。
24	VIP4	CH4 VGA正输入。
25	VIN4	CH4 VGA负输入。
26	VPS4	CH4 LNA电源5V。

引脚编号	引脚名称	说明
27	GAIN34	CH3和CH4的增益控制电压。
28	CLMP34	CH3和CH4的输出箝位电平输入。
29	HILO	后置放大器的增益选择：0 dB或12 dB。
30	VCM4	CH4共模电压—交流旁路。
31	VCM3	CH3共模电压—交流旁路。
32	NC	不连接。
33	COM34	VGA地CH3和CH4。
34	VOH4	CH4正VGA输出。
35	VOL4	CH4负VGA输出。
36	VPS34	VGA电源5 V CH3和CH4。
37	VOL3	CH3负VGA输出。
38	VOH3	CH3正VGA输出。
39	COM34	VGA地CH3和CH4。
40	NC	不连接。
41	MODE	增益控制斜率，逻辑输入，0 = 正。
42	COM12	VGA地CH1和CH2。
43	VOH2	CH2正VGA输出。
44	VOL2	CH2负VGA输出。
45	VPS12	CH2 VGA电源5 V CH1和CH2。
46	VOL1	CH1负VGA输出。
47	VOH1	CH1正VGA输出。
48	COM12	VGA地CH1和CH2。
49	VCM2	CH2共模电压—交流旁路。
50	VCM1	CH1共模电压—交流旁路。
51	EN34	共享LNA/VGA使能CH3和CH4。
52	EN12	共享LNA/VGA使能CH1和CH2。
53	CLMP12	输出箝位电平输入CH1和CH2。
54	GAIN12	增益控制电压CH1和CH2。
55	VPS1	CH1 LNA电源5 V。
56	VIN1	CH1 VGA负输入。
57	VIP1	CH1 VGA正输入。
58	LOP1	CH1 LNA正输出。
59	LON1	CH1 LNA反馈输出(用于 R_{12})。
60	NC	未连接。
61	LMD1	CH1 LNA中间电源引脚；连接一个电容以旁路中间电源HF。
62	INH1	CH1 LNA输入。
63	COM1	CH1 LNA地。
64	COM2	CH2 LNA地。
	EPAD	裸露焊盘必须焊接到PCB地，以确保正常散热，并获得低噪声和机械强度方面的好处。

典型工作特性

除非另有说明, $T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $R_L = 500\ \Omega$, $R_S = R_{IN} = 50\ \Omega$, $R_{IZ} = 280\ \Omega$, $C_{SH} = 22\ \text{pF}$, $f = 10\ \text{MHz}$, $R_{CLMP} = \infty$, $C_L = 1\ \text{pF}$, VCM引脚悬空, $-4.5\ \text{dB}$ 至 $+43.5\ \text{dB}$ 增益(HILO = LO), 差分输出电压。

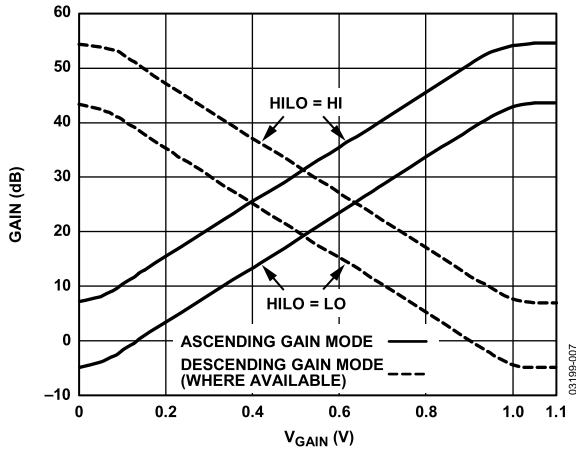


图7. 增益与 V_{GAIN} 和MODE的关系(RU封装提供MODE)

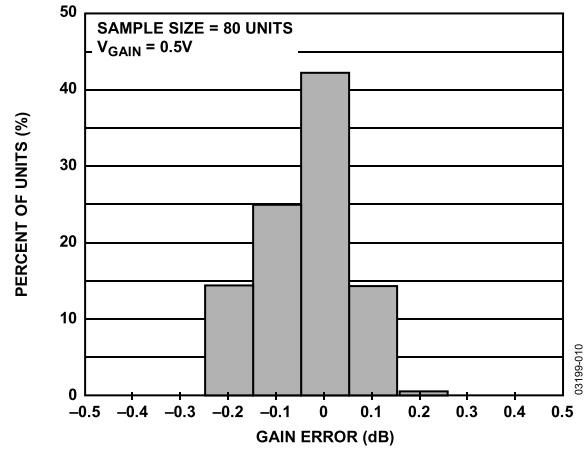


图10. 增益误差直方图

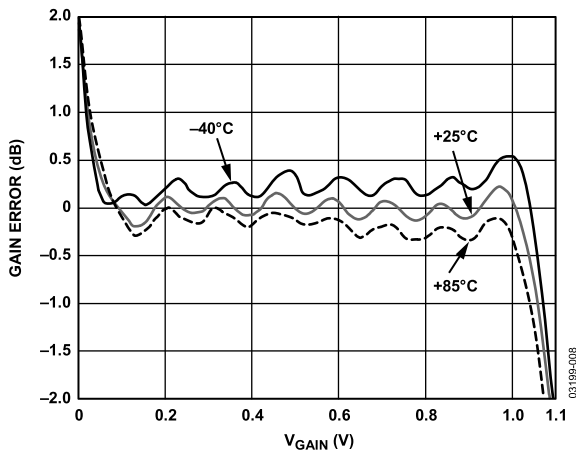


图8. 三种温度下绝对增益误差与 V_{GAIN} 的关系

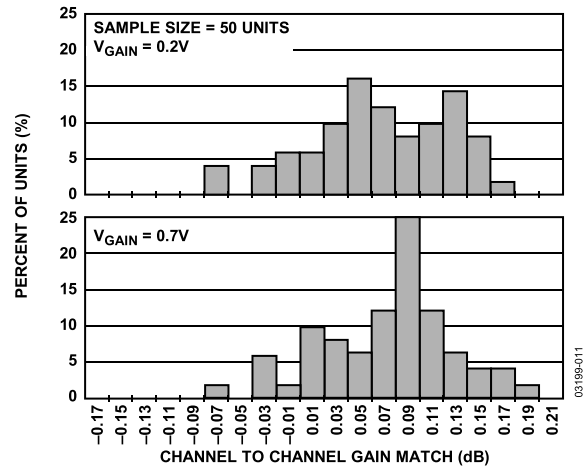


图11. 增益匹配直方图($V_{GAIN} = 0.2\ \text{V}$ 和 $0.7\ \text{V}$)

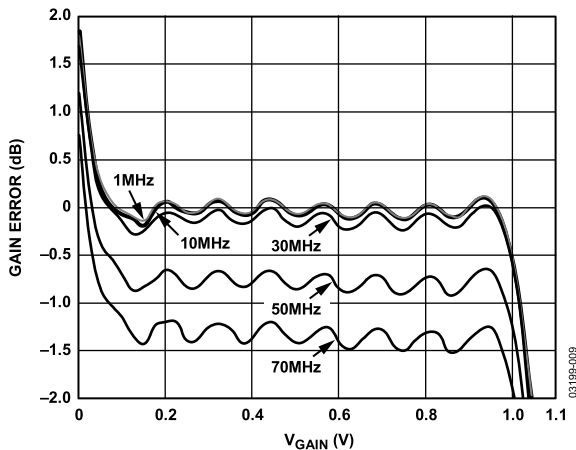


图9. 不同频率下绝对增益误差与 V_{GAIN} 的关系

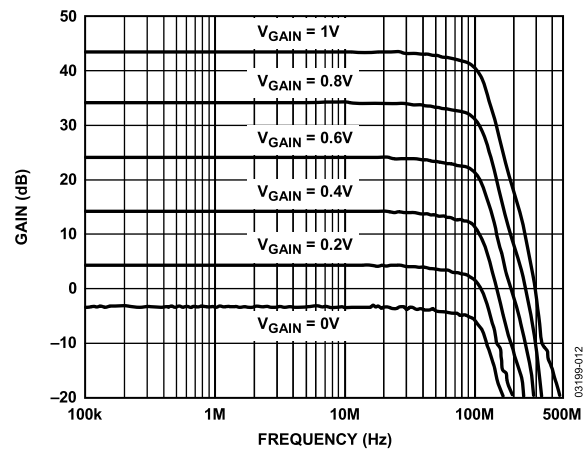


图12. 不同 V_{GAIN} 值下的频率响应

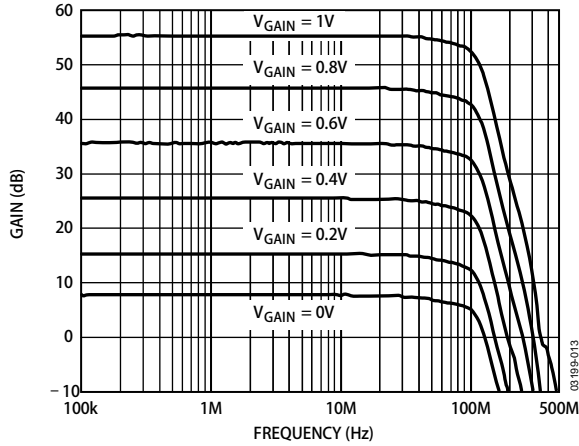


图13. 不同 V_{GAIN} 值下的频率响应(HILO = HI)

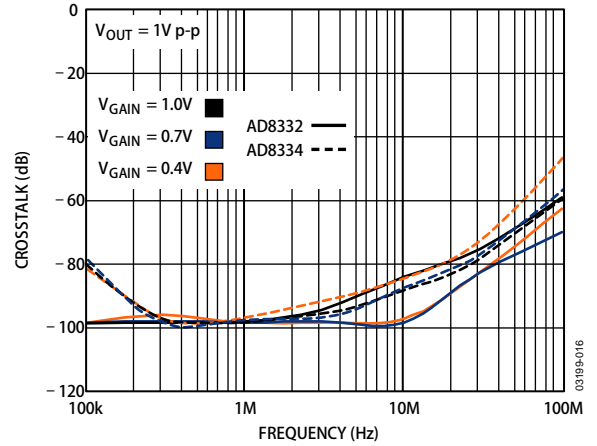


图16. 不同 V_{GAIN} 值下的通道间串扰与频率的关系

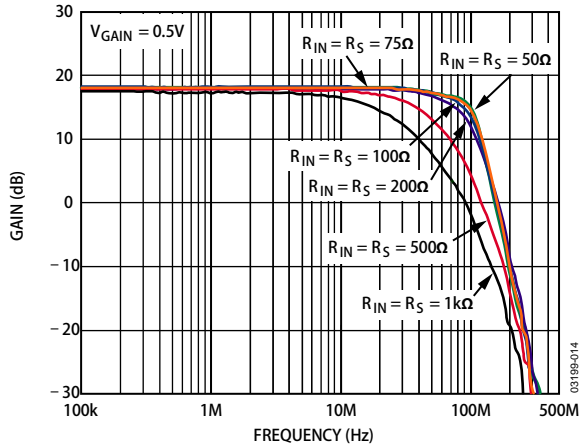


图14. 不同匹配源阻抗下的频率响应

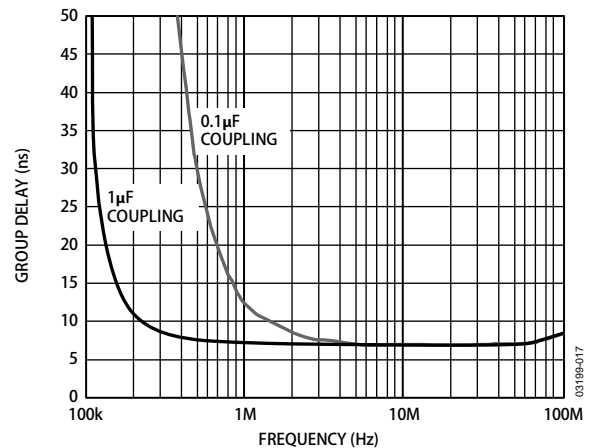


图17. 两个交流耦合值下的群延迟与频率的关系

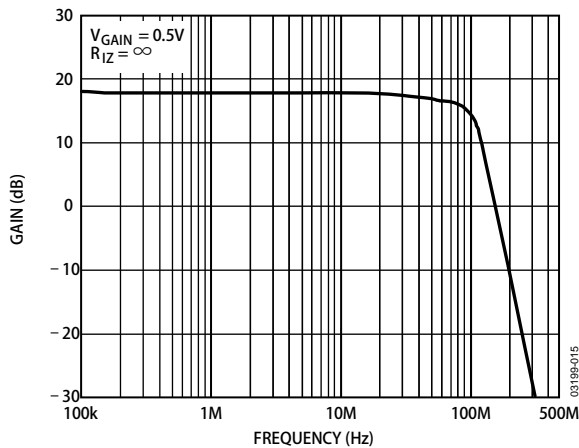


图15. 频率响应(末端接LNA, $R_S = 50\Omega$)

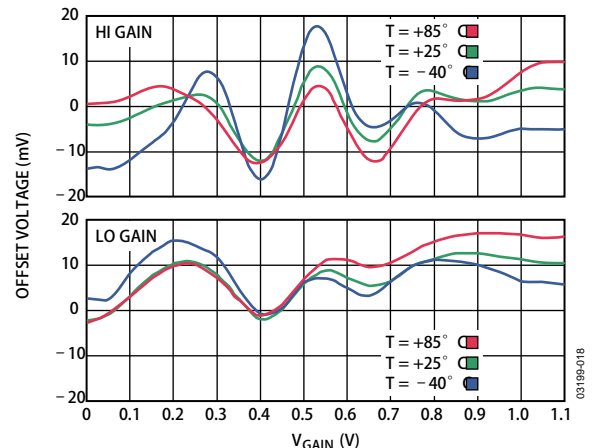


图18. 三种温度下的代表性差分输出失调电压与温度的关系

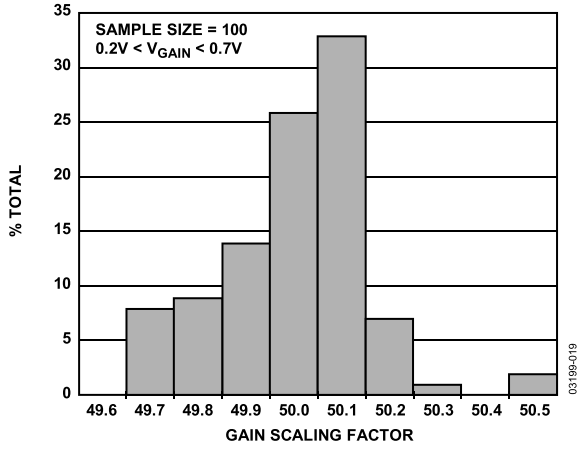


图19. 增益比例系数直方图

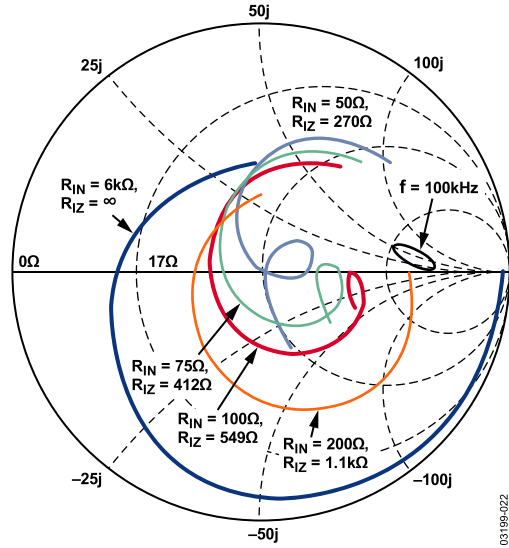


图22. 史密斯图, 不同 R_{IZ} 值下的 S_{11} 与频率的关系(0.1 MHz至200 MHz)

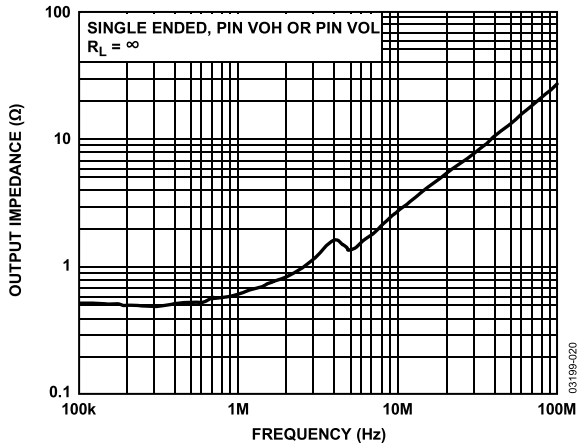


图20. 输出阻抗与频率的关系

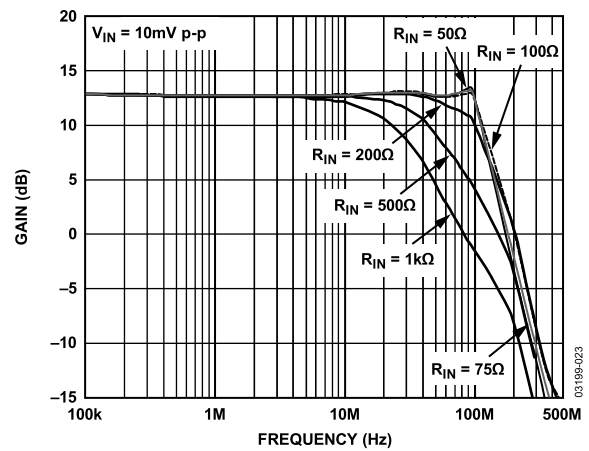


图23. 不同 R_{IN} 值下的LNA频率响应(单端)

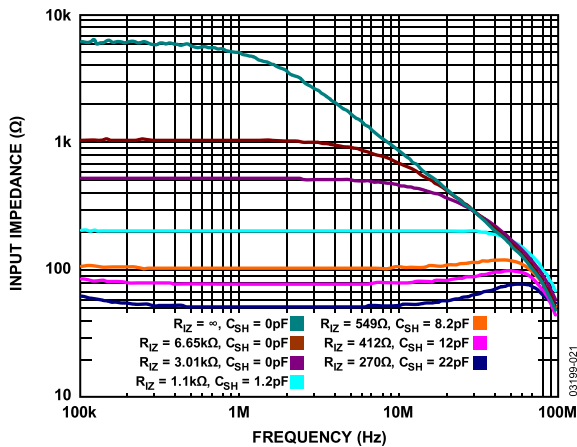


图21. 不同 R_{IZ} 和 C_{SH} 值下的LNA输入阻抗与频率的关系

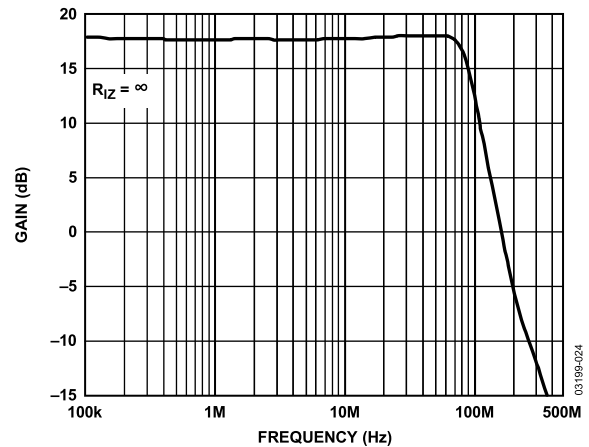


图24. 频率响应(未端接LNA, 单端)

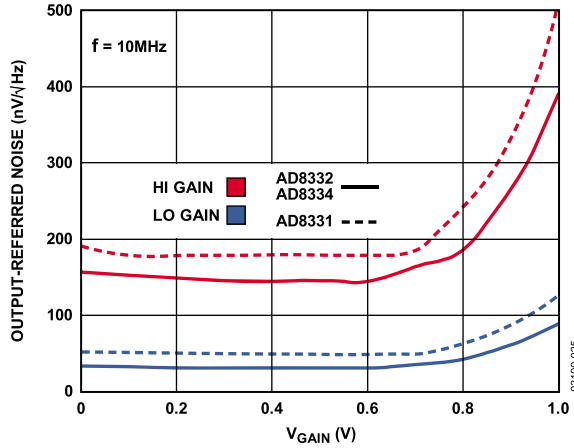


图25. 折合到输出端的噪声与 V_{GAIN} 的关系

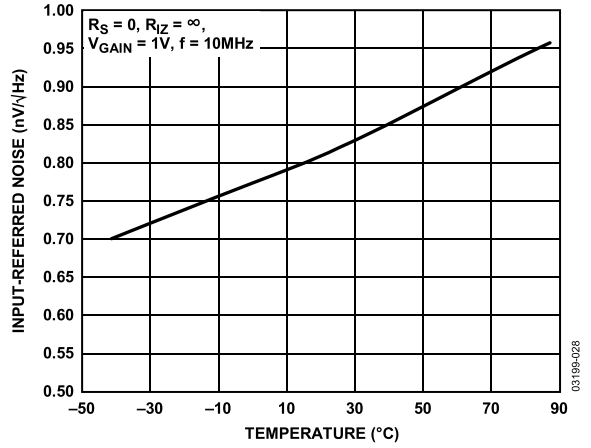


图28. 短路, 折合到输入端的噪声与温度的关系

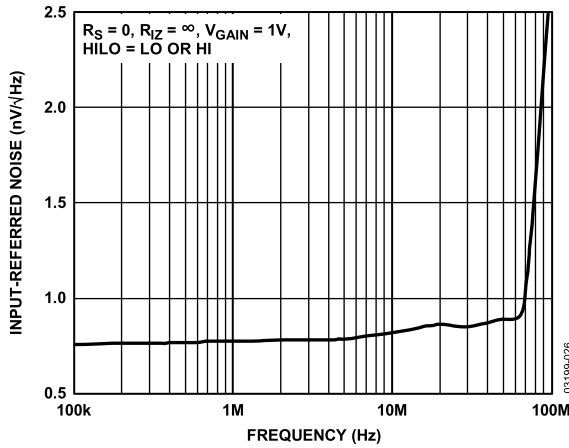


图26. 短路, 折合到输入端的噪声与频率的关系

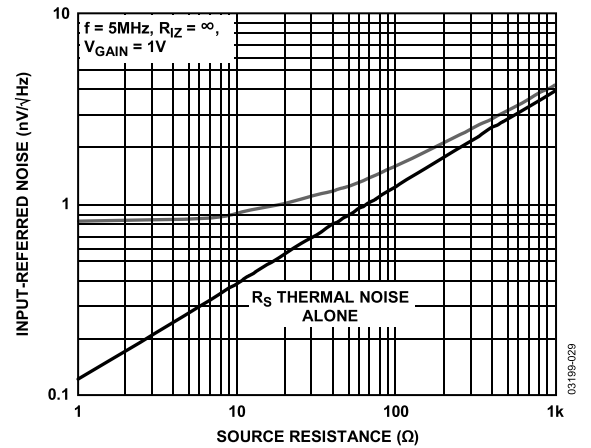


图29. 折合到输入端的噪声与 R_S 的关系

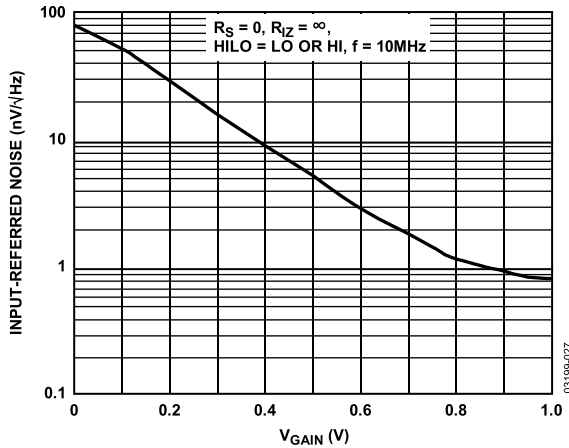


图27. 短路, 折合到输入端的噪声与 V_{GAIN} 的关系

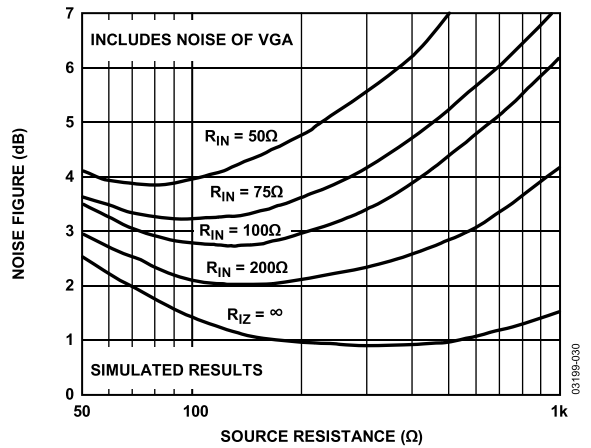


图30. 不同 R_{IN} 值下的噪声系数与 R_S 的关系

AD8331/AD8332/AD8334

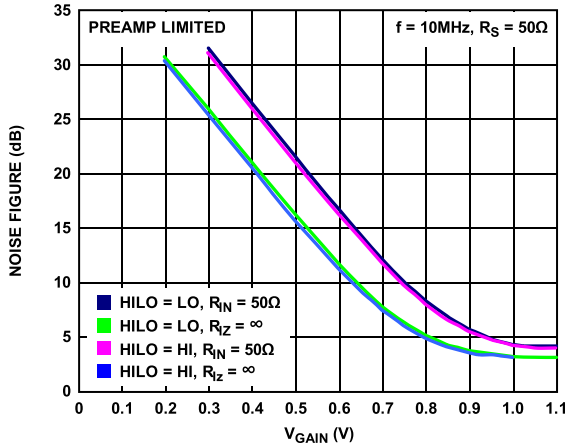


图31. 噪声系数与 V_{GAIN} 的关系

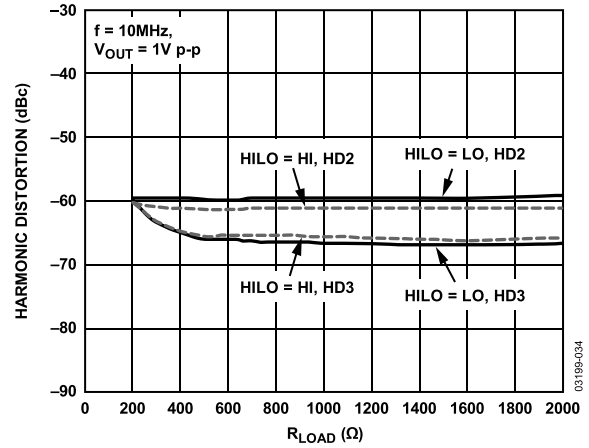


图34. 谐波失真与 R_{LOAD} 的关系

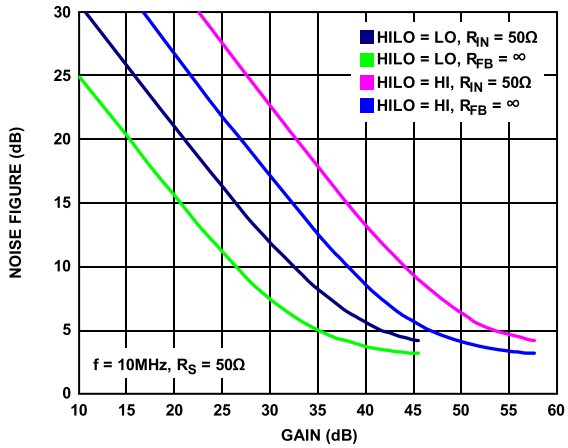


图32. 噪声系数与增益的关系

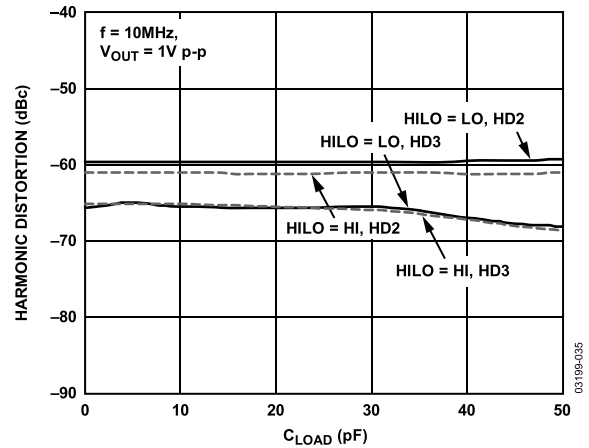


图35. 谐波失真与 C_{LOAD} 的关系

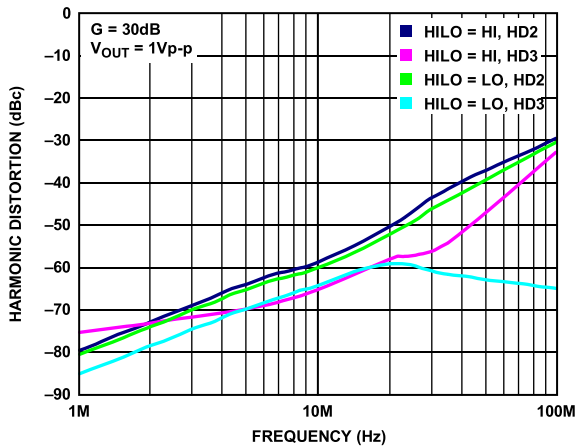


图33. 谐波失真与频率的关系

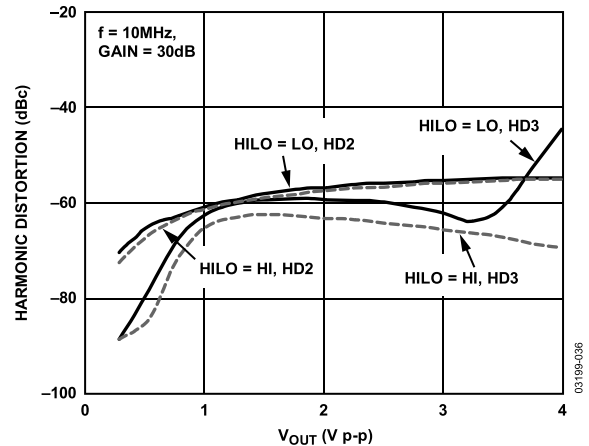


图36. 谐波失真与差分输出电压的关系

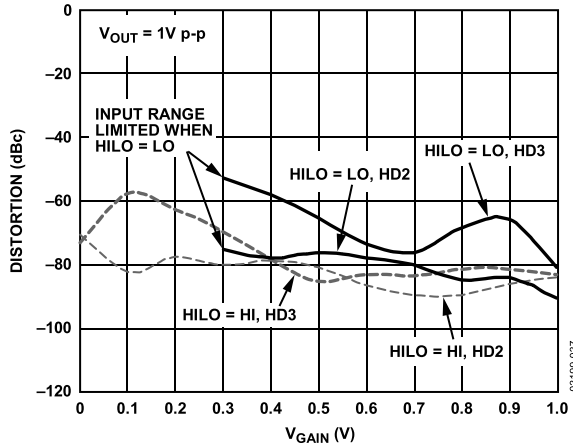


图37. 谐波失真与 V_{GAIN} 的关系 ($f = 1 \text{ MHz}$)

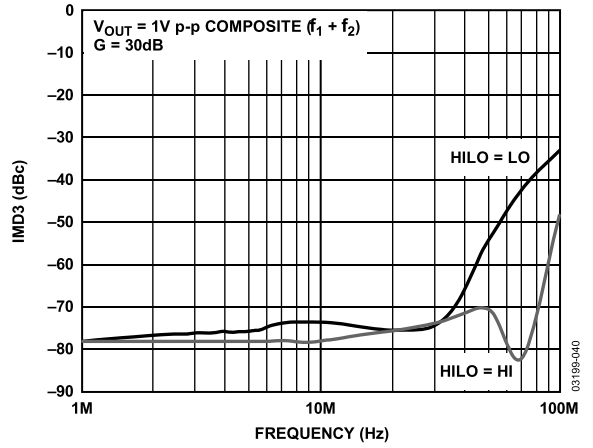


图40. IMD3与频率的关系

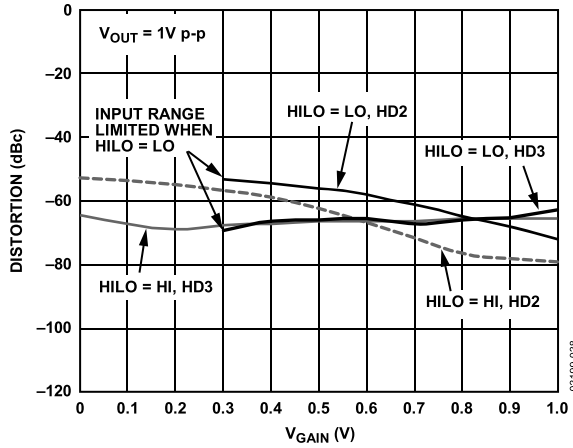


图38. 谐波失真与 V_{GAIN} 的关系 ($f = 10 \text{ MHz}$)

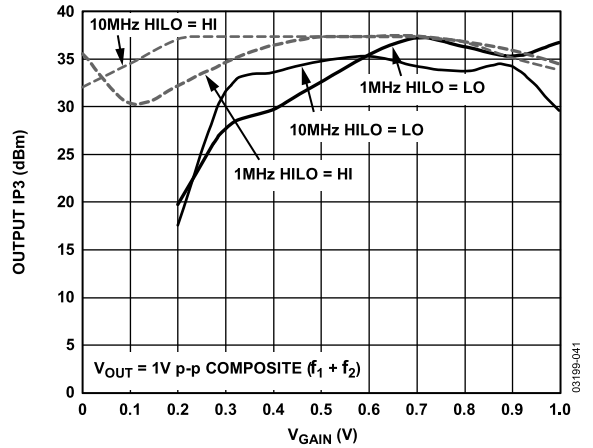


图41. 输出三阶交调截点(IP3)与 V_{GAIN} 的关系

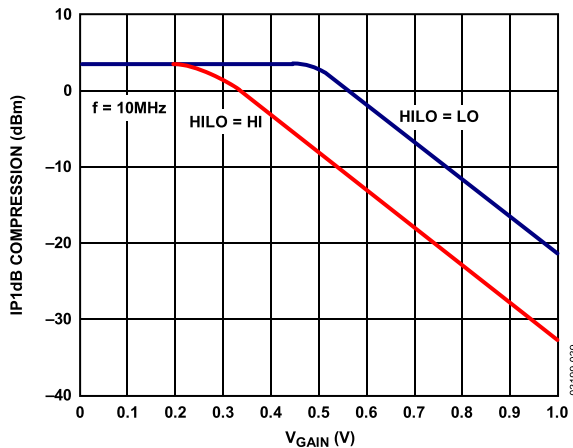


图39. IP1dB压缩与 V_{GAIN} 的关系

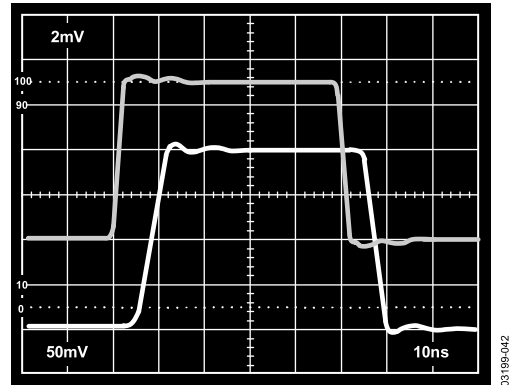


图42. 小信号脉冲响应, $G = 30 \text{ dB}$, 顶部: 输入电压, 底部: 输出电压, HILO = HI或LO

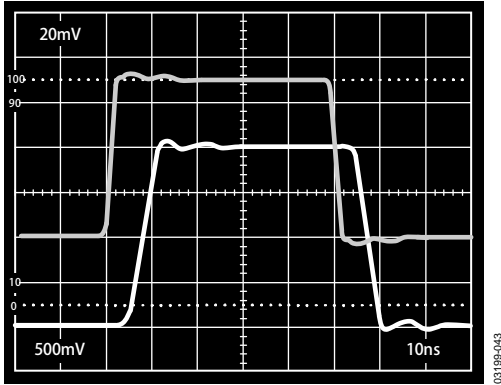


图43. 大信号脉冲响应, $G = 30\text{ dB}$, HILO = HI或LO, 顶部: 输入电压, 底部: 输出电压

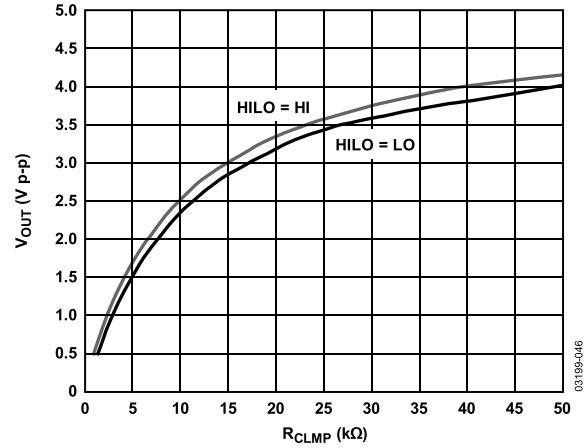


图46. 箝位电平与 R_{CLMP} 的关系

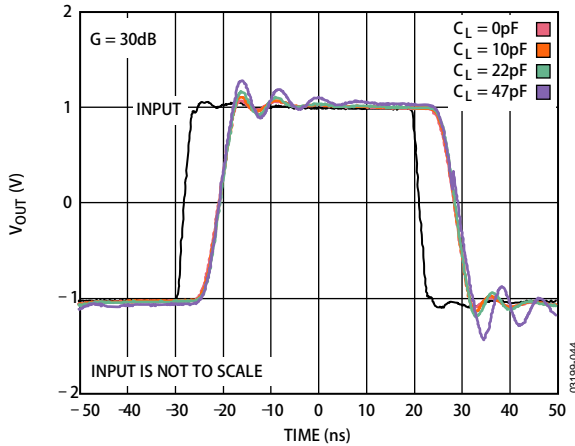


图44. 不同容性负载下的大信号脉冲响应 ($C_L = 0\text{ pF}$ 、 10 pF 、 20 pF 、 50 pF)

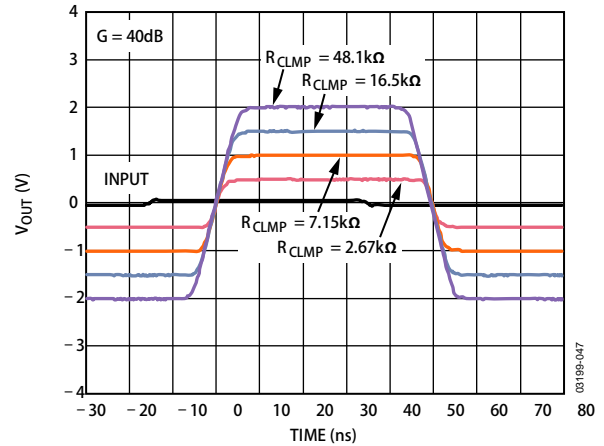


图47. 四个值 R_{CLMP} 下的箝位电平脉冲响应

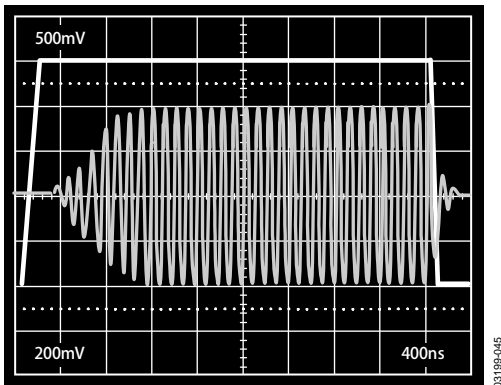


图45. 引脚GAIN瞬变响应, 顶部: V_{GAIN} , 底部: 输出电压

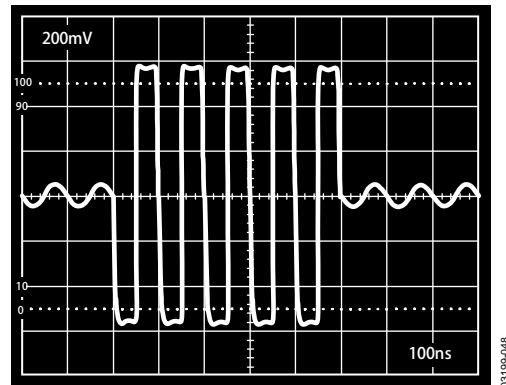


图48. LNA过驱恢复, V_{INH} 0.05 V p-p 至 1 V p-p 突发, 显示 $V_{GAIN} = 0.27\text{ V}$ VGA输出

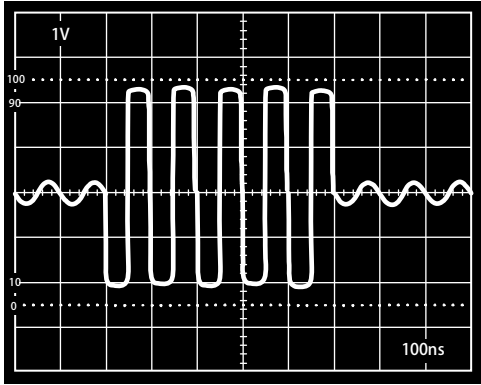


图49. VGA过驱恢复, V_{INH} 4 mV p-p至70 mV p-p突发, 显示 $V_{GAIN} = 1$ V VGA输出, 衰减24 dB

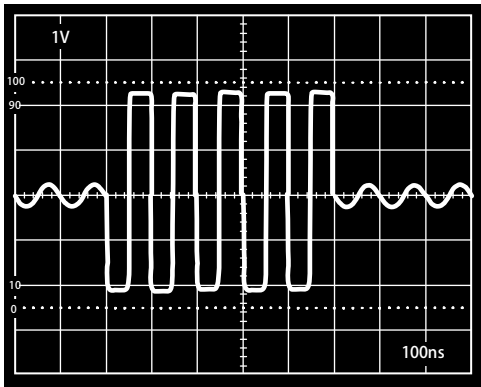


图50. VGA过驱恢复, V_{INH} 4 mV p-p至275 mV p-p突发, 显示 $V_{GAIN} = 1$ V VGA输出, 衰减24 dB

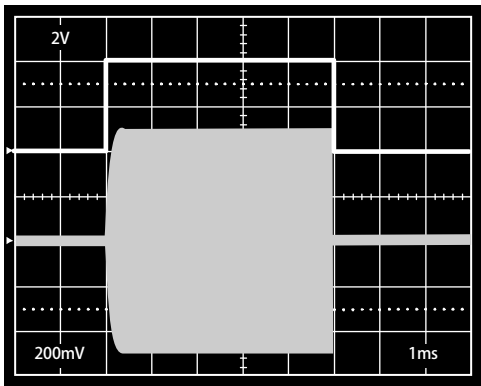


图51. 使能响应, 顶部: V_{ENB} , 底部: V_{OUT} , $V_{INH} = 30$ mV p-p

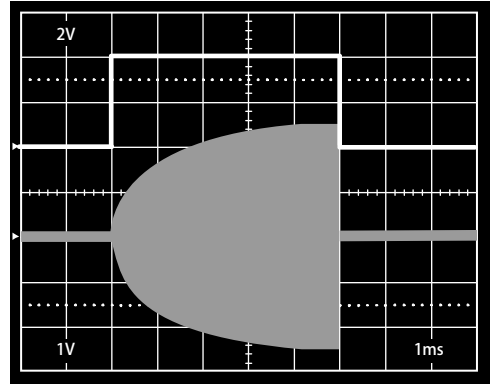


图52. 使能响应, 大信号, 顶部: V_{ENB} , 底部: V_{OUT} , $V_{INH} = 150$ mV p-p

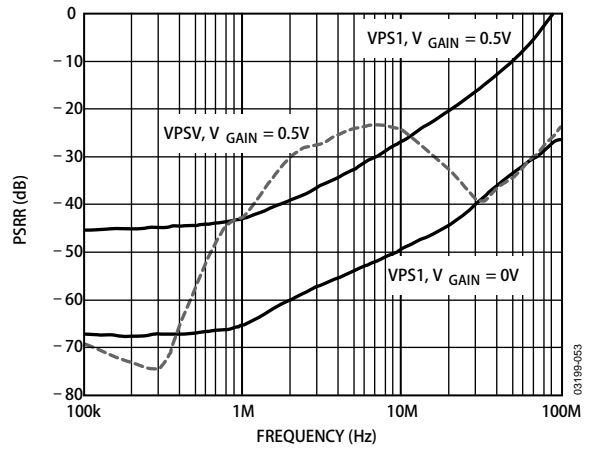


图53. PSRR与频率的关系(无旁路电容)

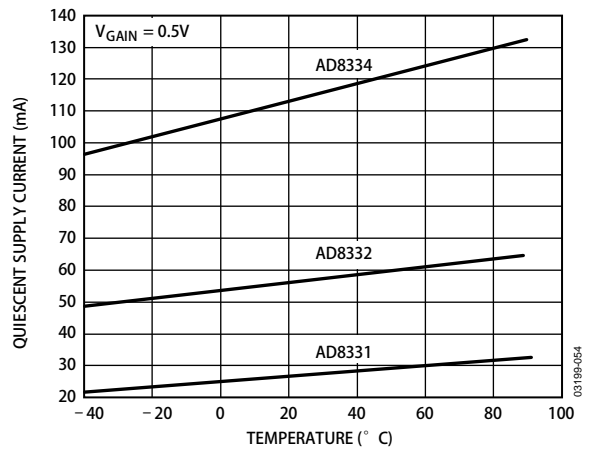


图54. 静态电源电流与温度的关系

测试电路

测量考虑

图55至图68显示了典型的测量配置以及在50 Ω条件下进行测量的适当接口值。

短路输入噪声测量如图62所示。折合到输入端的噪声电平通过如下方法确定：将输出噪声除以A点与B点之间的数值增益，并考虑频谱分析仪的噪底。增益应在各目标频率下利用低信号电平测量，因为50 Ω负载是直接驱动。进行噪声测量时，应移除发生器。

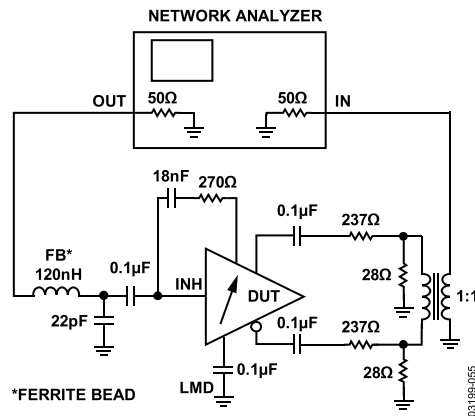


图55. 测试电路—增益和带宽测量

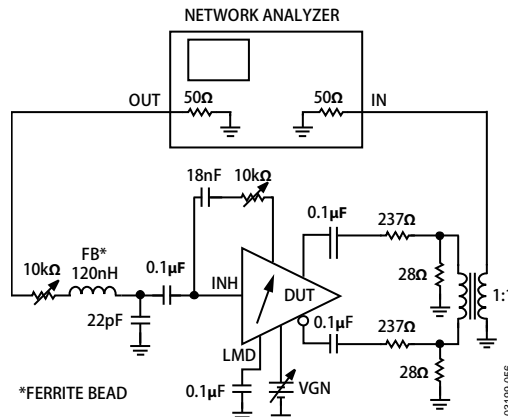


图56. 测试电路—不同匹配源阻抗下的频率响应

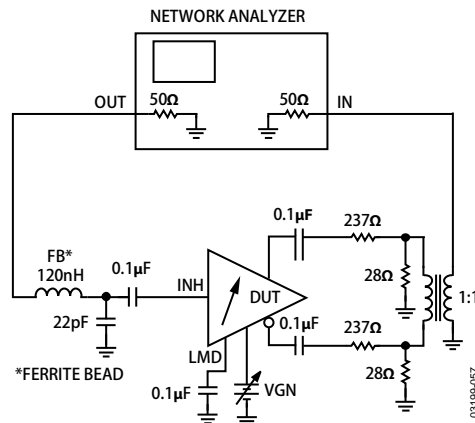


图57. 测试电路—频率响应(未端接LNA, $R_s = 50 \Omega$)

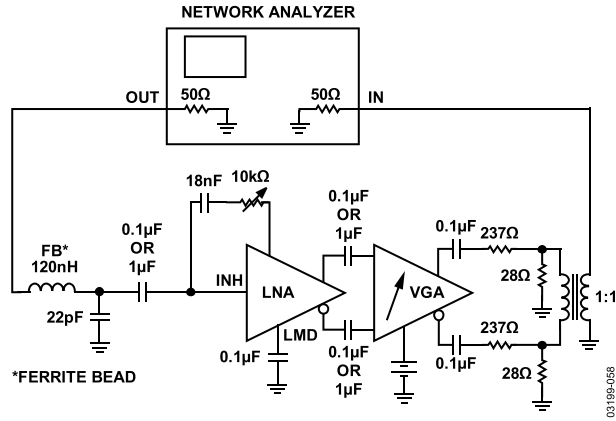


图58. 测试电路—两个交流耦合值下的群延迟与频率的关系

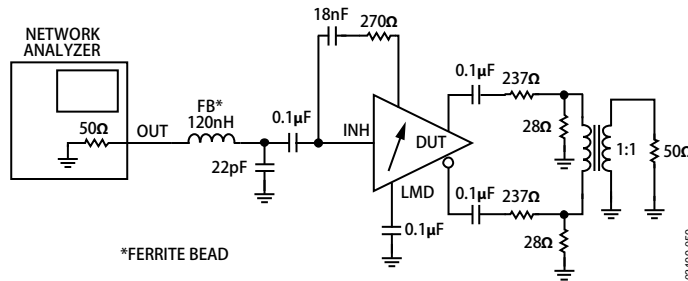


图59. 测试电路—LNA输入阻抗与频率的关系，标准和史密斯图(S11)格式

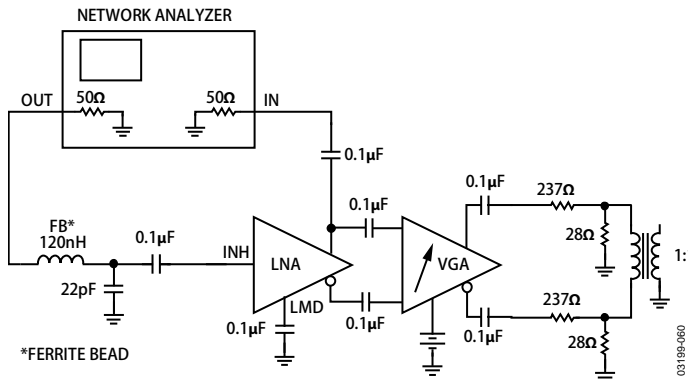


图60. 测试电路—频率响应(未端接LNA，单端)

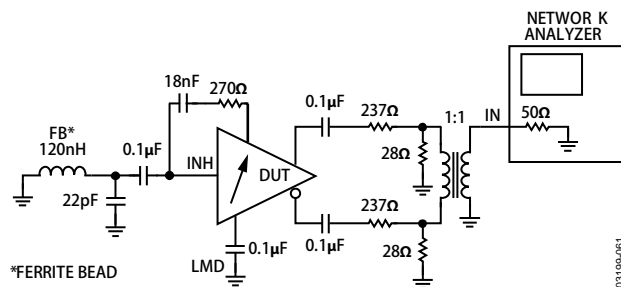


图61. 测试电路—短路，折合到输入端的噪声

AD8331/AD8332/AD8334

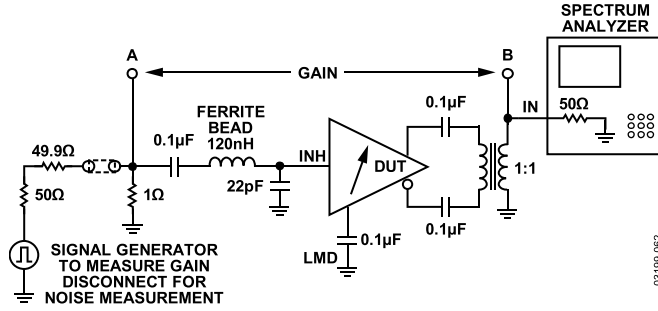


图62. 测试电路—噪声系数

03199-062

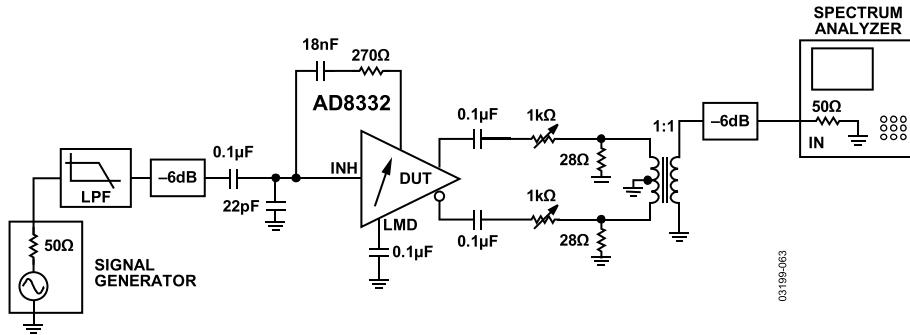


图63. 测试电路—谐波失真与负载电阻的关系

03199-063

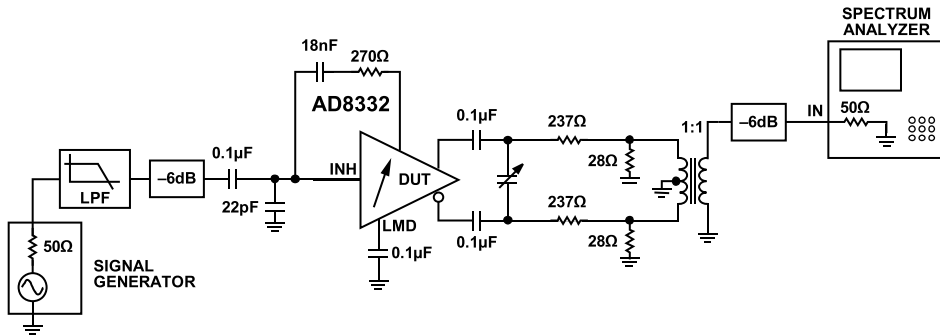
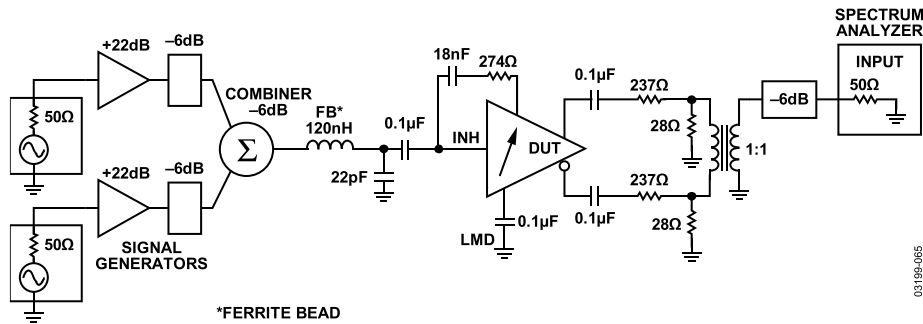


图64. 测试电路—谐波失真与负载电容的关系

03199-114



*FERRITE BEAD

图65. 测试电路—IMD3与频率的关系

03199-065

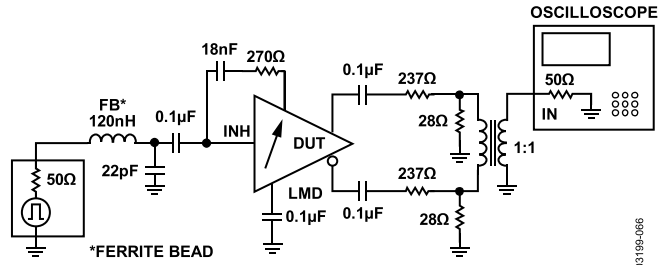


图66. 测试电路—脉冲响应测量

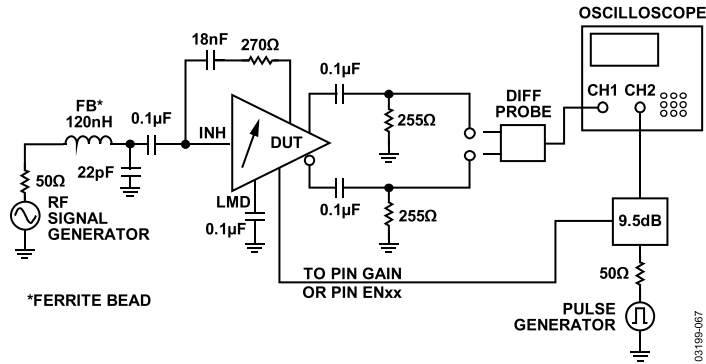


图67. 测试电路—增益和使能瞬变响应

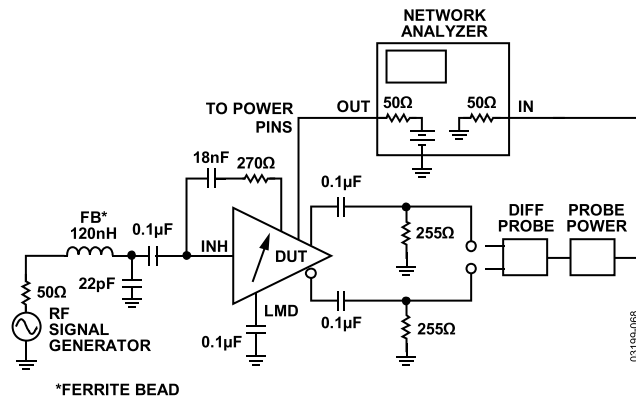


图68. 测试电路—PSRR与频率的关系

AD8331/AD8332/AD8334

工作原理

概述

AD8331/AD8332/AD8334以相同的方式工作。图69、图70和图71是这三款器件的功能框图。

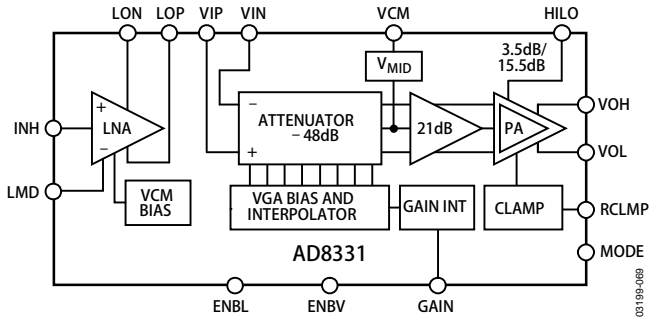


图69. AD8331功能框图

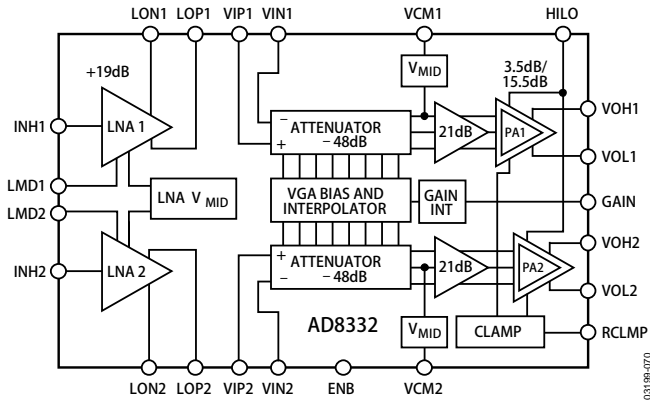


图70. AD8332功能框图

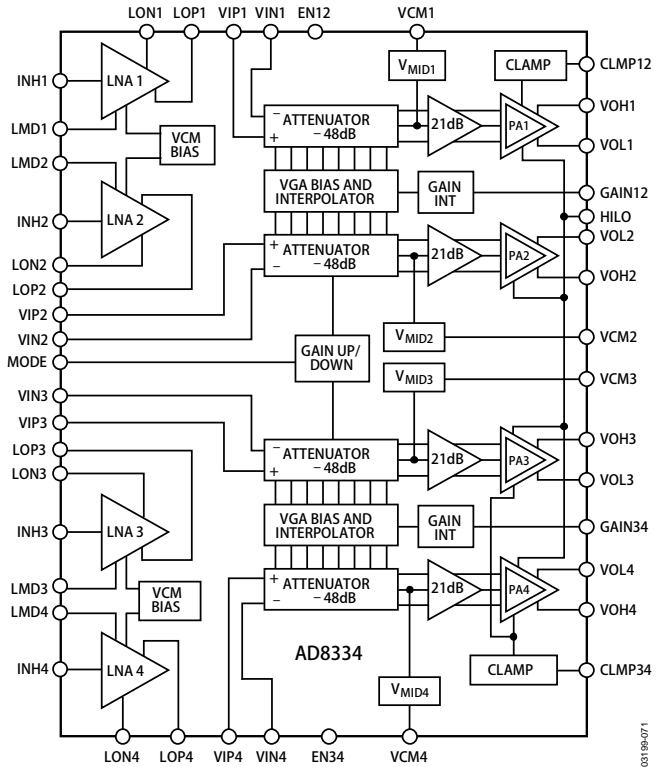


图71. AD8334功能框图

各通道均内置一个LNA，提供用户可调的输入阻抗终端、差分X-AMP VGA、具有可调输出电压限值的可编程增益后置放大器。图72所示为带外部元件的简化功能框图。

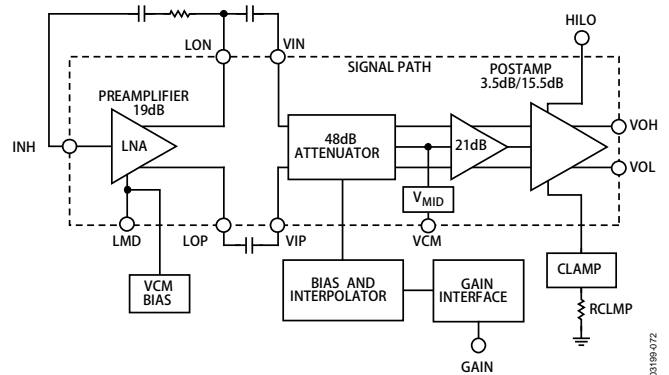


图72. 简化功能框图

线性dB增益控制接口针对斜率和绝对精度进行调整。增益范围为+48 dB，在LO增益模式下是从-4.5 dB到+43.5 dB，在HI增益模式下是从+7.5 dB到+55.5 dB。增益控制接口的斜率为50 dB/V，增益控制范围为40 mV至1 V。公式1和公式2是增益的表达式。

$$GAIN (dB) = 50 (dB/V) \times V_{GAIN} - 6.5 \text{ dB}, (HILO = LO) \quad (1)$$

或者

$$GAIN (dB) = 50 (dB/V) \times V_{GAIN} + 5.5 \text{ dB}, (HILO = HI) \quad (2)$$

理想增益特性如图73所示。

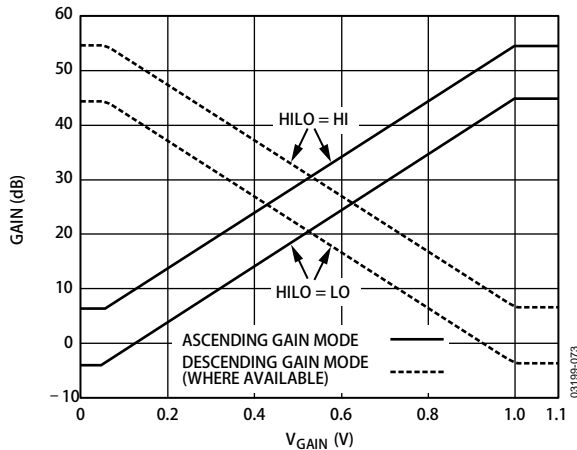


图73. 理想增益控制特性

MODE变为高电平时(如果可用)，增益斜率为负，如下所示：

$$GAIN (dB) = -50 (dB/V) \times V_{GAIN} + 45.5 \text{ dB}, (HILO = LO) \quad (3)$$

或者

$$GAIN (dB) = -50 (dB/V) \times V_{GAIN} + 57.5 \text{ dB}, (HILO = HI) \quad (4)$$

LNA以19 dB的电压增益，将单端输入转换为差分输出。若仅使用一路输出，则增益为13 dB。反相输出用于有源输入阻抗端接。LNA的每路输出端都容性耦合至VGA输入端。VGA内置一个48 dB范围的衰减器，后接一个21 dB增益的放大器，因而净增益范围为-27 dB至+21 dB。X-AMP增益内插法会形成低增益误差和均衡带宽，且差分信号路径将失真降至最低。

最后一级是一个增益为3.5 dB或15.5 dB的逻辑可编程放大器。LO和HI增益模式针对12位和10位ADC应用的折合到输出端噪声和绝对增益范围进行了优化。输出电压限值可由用户编程。

低噪声放大器(LNA)

AD8331/AD8332/AD8334的良好噪声性能依赖于信号链始端的专有超低噪声前置放大器，它可将随后的VGA噪声贡献降至最低。在需要输入匹配的应用中，有源阻抗控制使噪声性能最佳。

LNA的原理示意图见图74。INH容性耦合到信号源。偏置电压发生器产生3.25 V的直流输入偏置电压，将输出共模电平的中心定位于2.5 V。电容 C_{LMD} (其值可以与输入耦合电容 C_{INH} 的值相同)连接在LMD引脚与地之间，用以将LMD引脚去耦。LNA配置为差分输入放大器时，LMD引脚不可用。

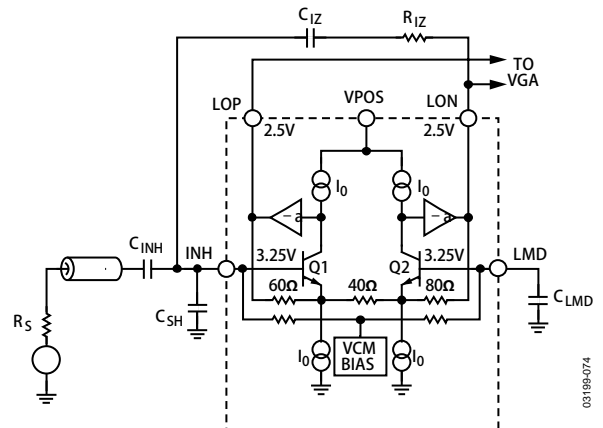


图74. LNA原理示意图

LNA支持高达5 V p-p的差分输出电压，以2.5 V共模电压为中心，正负偏移±1.25 V。差分增益幅度为9，因此衰减前的最大输入信号为±275 mV或+550 mV p-p。过载保护可确保从大输入电压状态下快速恢复。因为输入端都容性耦合至电源电压一半左右的偏置电压，所以无需与ESD保护交互，便可处理大的输入电压。

借助低值反馈电阻和输出级的电流驱动能力，LNA可以实现0.74 nV/√Hz的低折合到输入端电压噪声。所需功耗仅11 mA/通带(55 mW)。片内电阻匹配产生精确的4.5倍单端增益(9倍差分增益)，这对准确控制阻抗很关键。由于采用全差动拓扑和负反馈，失真减至最低。低HD2在二次谐波超声成像应用中尤其重要。差分信号使得每个输出端的摆幅变小，从而进一步降低三阶失真。

有源阻抗匹配

LNA通过引脚LON与引脚INH之间的外部分流反馈电阻支持有源阻抗匹配。输入电阻 R_{IN} 由公式5给出，其中A是单端增益4.5，6 k Ω 是末端接输入阻抗。

$$R_{IN} = \frac{R_{IZ}}{1 + A} \parallel 6 \text{ k}\Omega = \frac{6 \text{ k}\Omega \times R_{IZ}}{33 \text{ k}\Omega + R_{IZ}} \quad (5)$$

C_{IZ} 需要与 R_{IZ} 串联，因为引脚LON和引脚INH的直流电平不相等。根据 R_{IN} 选择 R_{IZ} 以及选择 C_{IZ} 的公式参见“应用信息”部分。 C_{SH} 和铁氧体磁珠可增强高频时(环路增益减小)的稳定性，并防止峰值噪声。LNA的频率响应图见图23和图24。对于50 Ω 至200 Ω 的匹配输入阻抗，带宽约为130 MHz；源阻抗更高时，带宽降低。末端接带宽($R_{IZ} = \infty$ 时)约为80 MHz。

除VGA的100 Ω 输入阻抗(200 Ω 差分)外，各路输出还可驱动低至100 Ω 的外部负载。容性负载最高可达10 pF。所有负载都应交流耦合。通常，引脚LOP输出用作辅助电路的单端驱动器，例如用于多普勒超声成像等。引脚LON驱动 R_{IZ} 。或者，除有源反馈终端外，这两路输出可以驱动一个外部差分电路。无论哪种情况，均应认真对待“应用信息”部分所讨论的稳定性重要考虑因素。

各LNA输出端的阻抗为5 Ω 。驱动VGA时，开路增益降低0.4 dB；输出端增加100 Ω 负载时，开路增益再降低0.8 dB。LNA的差分增益高6 dB。如果某一端的负载低于200 Ω ，则另一输出端建议使用一个补偿负载。

LNA噪声

折合到输入端的电压噪声是系统性能的一个重要限制因素。LNA的短路输入电压噪声0.74 nV/ $\sqrt{\text{Hz}}$ 或0.82 nV/ $\sqrt{\text{Hz}}$ (最大增益时)，包括VGA噪声。开路电流噪声为2.5 pA/ $\sqrt{\text{Hz}}$ 。这些测量值是在无反馈电阻情况下测定，为计算图75所示配置的输入噪声和噪声系数性能提供了基础。图76和图77显示了从这些结果和4.1 dB噪声系数(NF)测量结果得出的仿真，输入有源匹配50 Ω 源阻抗。无端接($R_{IZ} = \infty$)运行达到了最低等效输入噪声和噪声系数。图76显示噪声系数与源电阻的关系， R_S 较低时上升，LNA电压噪声比源噪声大； R_S 较高时再度上升，原因是电流噪声。所有曲线中都包括折合到VGA输入端的电压噪声2.7 nV/ $\sqrt{\text{Hz}}$ 。

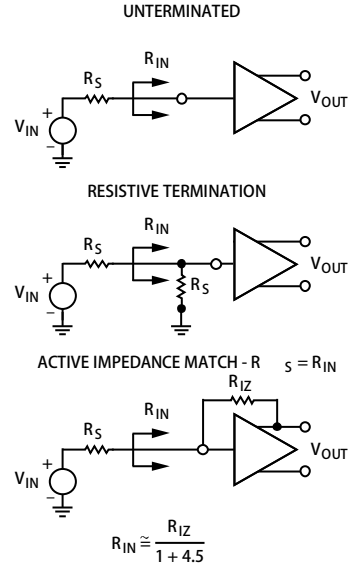


图75. 输入配置

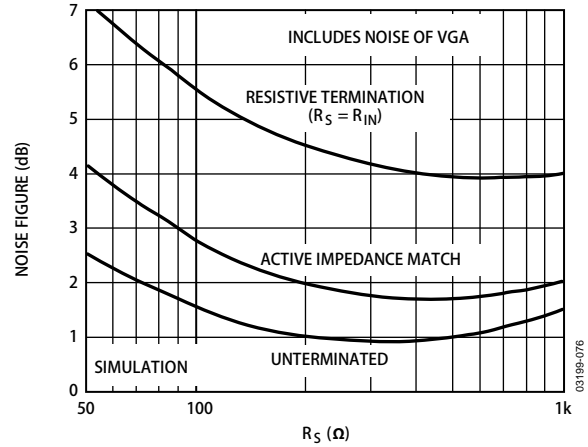


图76. 噪声系数与 R_S 的关系(阻性有源匹配和末端接输入)

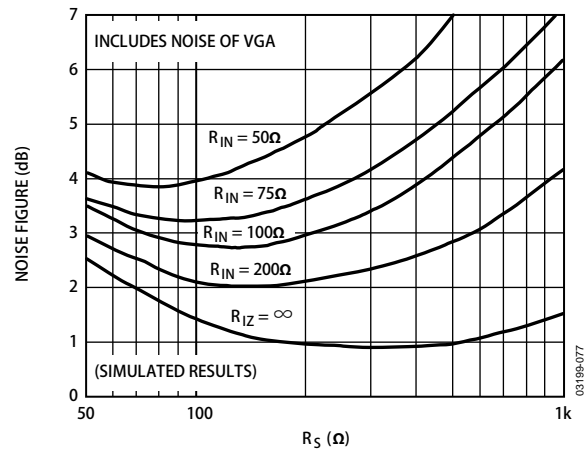


图77. 不同 R_{IN} 固定值下的噪声系数与 R_S 的关系(有源匹配)

输入阻抗匹配主要是为了提高系统的瞬态响应性能。采用阻性端接时，因为匹配电阻的热噪声，以及LNA输入电压噪声发生器的贡献增加，输入噪声增大。不过，采用有源阻抗匹配时，两者的贡献比阻性端接时小 $1/(1 + \text{LNA增益})$ 。图76显示相对噪声系数性能。此图中，输入阻抗被 R_s 扫描以保持每个点的匹配。50 Ω 源阻抗在阻性端接、有源端接和无端接配置时的噪声系数分别为7.1 dB、4.1 dB和2.5 dB。200 Ω 源阻抗的噪声系数分别为4.6 dB、2.0 dB和1.0 dB。

图77显示各种 R_{in} 值时噪声系数与 R_s 的关系，有助于顺利完成设计。有源匹配输入的噪声系数高可消解源阻抗变化。作为对比，一个增益为19 dB且噪声频谱密度为1.0 nV/ $\sqrt{\text{Hz}}$ 的前置放大器与一个3.75 nV/ $\sqrt{\text{Hz}}$ 的VGA相结合，噪声系数劣化大约1.5 dB(对于大多数输入阻抗)，性能显著低于AD8331/AD8332/AD8334。

LNA的等效输入噪声对于单端和差分输出应用是相同的。无VGA噪声时，LNA噪声系数改善到3.5 dB(50 Ω 时)，但这不包括其它连接到LOP的外部电路的噪声贡献。在单独的板上驱动外部电路时，为确保稳定，一般建议使用一个串联输出电阻(参见“应用信息”部分)。在低噪声应用中，铁氧体磁珠更为理想。

可变增益放大器

X-AMP差分VGA提供精确输入衰减和插值，具有2.7 nV/ $\sqrt{\text{Hz}}$ 低折合到输入端噪声和出色的增益线性。简化框图如图78所示。

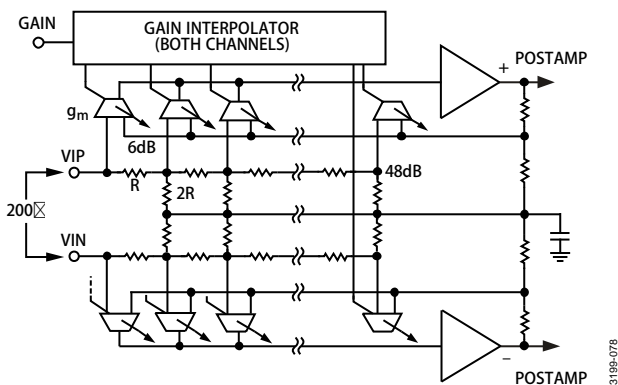


图78. VGA原理示意图

X-AMP VGA

VGA的输入是一个差分R-2R梯形衰减器网络，每级6 dB步进，净输入阻抗为200 Ω 差分。电阻梯由来自LNA的全差分输入信号驱动，不是用于单端操作。LNA输出交流耦合以便降低失调并隔离共模电压。VGA输入通过电阻梯的中心抽头连接偏置到VCM，它一般设置为2.5 V，并从外部旁路以提供干净的交流地。

输入衰减器中相继各级的信号电平以+6 dB步进从0 dB衰减至-48 dB。X-AMP的输入级沿电阻梯分布，一个由增益接口控制的偏置插值器决定输入抽头点。偏置电流存在重叠，相继抽头的信号会合并以提供从0 dB到-48 dB的平滑衰减。这种电路技术可产生出色的线性dB增益法则一致性和低失真水平，仅偏离理想值 ± 0.2 dB或更少。增益斜率相对于控制电压单调无变化，在过程、温度和电源供应发生变化时相对稳定。

X-AMP输入端是12倍增益反馈放大器的一部分，使VGA成为一个完整的器件。其带宽为150 MHz。输入级设计用于降低输出馈通，并确保整个增益设置范围具有出色的频率响应一致性(见图12和图13)。

增益控制

VGA衰减器上的位置由单端模拟控制电压VGAIN控制，其输入范围为40 mV至1.0 V。增益控制比例调整为50 dB/V (20 mV/dB)的斜率。超出控制范围的VGAIN值会饱和到最小或最大增益值。AD8332的两个通道由单个增益接口控制，以便保持匹配。增益可通过公式1和公式2计算。

增益精度非常高，因为比例系数和绝对增益均经过工厂调整。针对温度、工艺、电源电压、插值器增益纹波、调整误差和测试仪限制等方面的差异，相对于理论增益公式的总精度为 ± 1 dB。针对给定的一组条件，相对于最佳拟合线的增益误差典型值为 ± 0.2 dB。通道间的增益匹配优于0.1 dB(图11显示了控制范围中心的增益误差)。当 $V_{\text{GAIN}} < 0.1$ 或 > 0.95 时，增益误差略大。

增益斜率可以反转，如图73所示(AD8332 AR型号除外)。在最小增益至最大增益的全部增益控制范围内，增益以-50 dB/V的斜率降低。此斜率对自动增益控制等应用有用，其中控制电压与实测输出信号幅度成比例。将MODE引脚设置为HI增益模式可选择反向增益模式。

增益控制响应时间小于750 ns，是最小到最大增益变化最终值的10%。

VGA噪声

典型应用中，VGA将宽动态范围输入信号调整至ADC输入范围内。LNA的折合到输入端噪声限制了最小可分辨输入信号；而折合到输出端噪声(主要取决于VGA)限制了任何一个特定增益控制电压下可处理的最大瞬时动态范围。此限值根据ADC的量化噪底设置。

短路输入条件下，折合到输出端和输入端的噪声与VGAIN的关系如图25和图27所示。输入噪声电压等于输出噪声除以控制范围内每一点的测量增益。

在大部分增益范围内，折合到输出端的噪声是平坦的，因为其中主要是VGA的折合到输出端的固定噪声。在LO增益模式下，值为48 nV/ $\sqrt{\text{Hz}}$ ；在HI增益模式下，值为178 nV/ $\sqrt{\text{Hz}}$ 。在增益控制范围的高端部分，主要是LNA的噪声和信号源的噪声。在最大增益控制电压附近，折合到输入端噪声达到最低值，而VGA的折合到输入端的噪声贡献非常小。

较低增益时，折合到输入端的噪声(因而噪声系数)随着增益的下降而增加。但是，系统的瞬时动态范围不会有损失，因为输入容量会随之增加。ADC噪底的贡献具有同样的相关性。重要的是，VGA输出噪底的幅度是相对于ADC的噪底的幅度而言的。

由于折合到输出端的噪声电平非常低，这些器件非常适合驱动低压ADC。每降低2位分辨率，转换器噪底降低12 dB；随着输入满量程电压的降低和采样速率的提高，转换器噪底也会降低。ADC量化噪声在“应用信息”部分中讨论。

上面的噪声性能讨论适用于差分VGA输出信号。在单端和差分应用中，LNA噪声性能相同，但VGA性能则不然。在单端应用中，VGA的噪声高得多，因为其偏置噪声的贡献在差分信号中会被抵消。需要低噪声时，单端应用可以使用变压器。

增益控制噪声在极低噪声应用中值得注意。增益控制接口的热噪声可以调制通道增益。由此产生的噪声与输出信号电平成正比，通常只有出现大信号时才很明显。其影响只能在噪底低得多的LO增益模式下观察到。增益接口包括片上噪声滤波器，该滤波器能显著降低5 MHz以上频率噪声的影响。应注意尽量减少GAIN输入端的噪声冲击。外部RC滤波器可用于去除 V_{GAIN} 源噪声。滤波器带宽应足以满足所需的控制带宽。

共模偏置

连接到中间电源电压的内部偏置网络建立VGA和后置放大器的共模电压。外部旁路的缓冲器维持该电压。旁路电容形成一个重要的交流接地连接，因为VCM网络在内部完成若干重要的连接，包括VGA差分输入衰减器的中央抽头、VGA固定增益放大器的反馈网络、两种增益设置下后置放大器的反馈网络。为获得最佳结果，应将一个1 nF电容和一个0.1 μF 电容并联，并使1 nF电容尽可能靠近VCM引脚。每个通道具有单独的VCM引脚。为了直流耦合到3 V ADC，应通过偏置VCM引脚将输出共模电压调整到1.5 V。

后置放大器

最后一级具有3.5 dB ($\times 1.5$)或15.5 dB ($\times 6$)的可选增益，由HILO逻辑引脚设置。图79是简化功能框图。

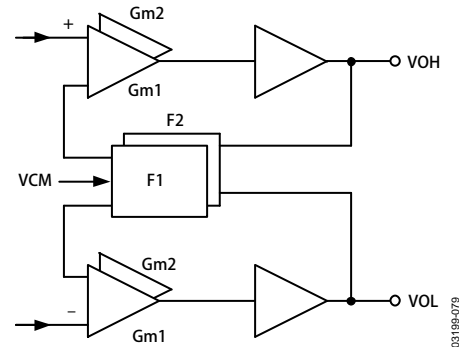


图79. 后置放大器功能框图

这两个增益设置由不同的反馈衰减器实现。这些设置与适当比例的输入级一同选择，以便保持两种增益模式之间的恒定3 dB带宽(~ 150 MHz)。HI增益模式下的压摆率为1200 V/ μs ，LO增益模式下为300 V/ μs 。为调整各通道的绝对增益，HI和LO增益模式的反馈网络经过工厂调整。

噪声

后置放大器的拓扑结构提供恒定的折合到输入端噪声、两种增益设置和可变的折合到输出端噪声。HI增益模式下的折合到输出端噪声(随着增益)提高4倍。在较高噪底下驱动转换器时，建议使用这种设置。额外的增益会相应地提升输出信号电平和噪底。在较低输入噪底下驱动电路时，LO增益模式优化输出动态范围。

虽然ADC的量化噪底取决于多种因素，但48 nV/ $\sqrt{\text{Hz}}$ 和178 nV/ $\sqrt{\text{Hz}}$ 水平适合大多数12位和10位转换器的平均要求。其它技术(如“应用信息”部分所述)可以进一步降低噪底，使其适用于14位ADC。

输出箝位

以2.5 V共模电压工作时，内部限制使输出以4.5 V p-p的差分电平为限。后置放大器通过 R_{CLMP} 与地之间的电阻实现可选的输出箝位。表8提供了一个推荐电阻值列表。

需要时，输出箝位可用于ADC输入过载保护；或者以较低共模电平(如1.5 V)工作时，用于防止后置放大器过载。用户应明白，当输出电平接近箝位电平时，失真产物会提高，用户应相应地调整箝位电阻。更多信息见“应用信息”部分。

在LO或HI模式下，箝位电平的精度约为 $\pm 5\%$ 。图80显示了若干 R_{CLMP} 值对应的输出特性。

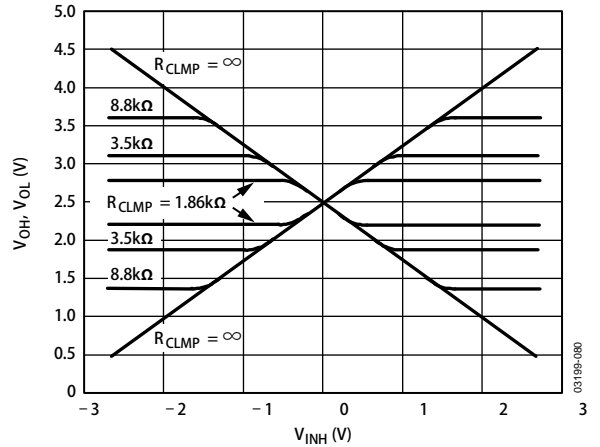


图80. 输出箝位特性

增益输入

GAIN引脚由AD8332的两个通道共用。输入阻抗标称值为10 M Ω ，建议使用100 pF到1 nF的旁路电容。

并联器件可以通过公共电压源或DAC驱动。去耦应使用总分布电容，并考虑驱动波形的任何带宽因素。

如果LO增益模式下的增益控制噪声是一个因素，为了确保噪声性能满意，GAIN引脚的噪声应 ≤ 15 nV/ $\sqrt{\text{Hz}}$ 。低于15 nV/ $\sqrt{\text{Hz}}$ 时，GAIN引脚以内部噪声为主。在HI增益模式下，增益控制噪声可忽略不计。

VCM输入

引脚VCM、VOL和VOH的默认共模电压为2.5 VDC。对于输出交流耦合应用，VCM引脚不端接；但是，它仍然必须在附近旁路，使内部电路实现交流接地。VGA输出可以直流连接到差分负载，如ADC。将所需电压施加于引脚VCM，可以在引脚VOH和VOL上实现1.5 V到3.5 V的共模输出电压。在单独的PCB上驱动负载时，不建议使用直流耦合操作。

VCM引脚上的电压由内部缓冲器提供，其输出阻抗为30 Ω ，默认输出电流为 ± 2 mA(见图83)。如果从外部源驱动VCM引脚，其输出阻抗应远小于30 Ω ，电流驱动能力应远大于2 mA。如果多个器件的VCM引脚并联，外部缓冲器应能承受其输出电流总和。使用2.5 V以外的共模电压时，需要一个限压电阻RCLMP来防止过载。

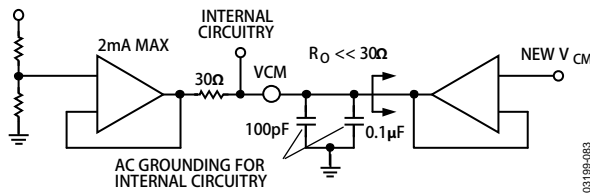


图83. VCM接口

逻辑输入—ENB、MODE和HILO

所有使能引脚的输入阻抗标称值为25 k Ω ，可以上拉到5 V(建议使用一个上拉电阻)或由任何3 V/5 V逻辑系列驱动。使能引脚ENB可关断VGA；拉低时，VGA输出电压接近地。一个公共源可以驱动多个器件。关于使能引脚控制的电路功能，参见表3、表4、表5和表6。

引脚HILO兼容3 V或5 V CMOS逻辑系列。它或者连接到地，或者上拉至5 V，取决于所需的增益范围和输出噪声。

可选输出电压限制

使用无输入过驱保护功能的负载时，RCLMP引脚为用户提供了限制输出电压摆幅的途径。峰峰值限制电压由一个接地电阻调整，表8列出了多种电压和对应的电阻值。不连接时，默认限值为4.5 V p-p。

注意，当波形幅度接近削波时，三次谐波失真会提高。为将失真降低最低，设置的箝位电平应高于转换器输入范围。1 V p-p线性输出范围建议使用1.5 V p-p的箝位电平，2 V p-p范围建议使用2.7 V p-p的箝位电平，0.5 V p-p范围建议使用1 V p-p的箝位电平。最佳设置应通过实验确定。图84显示了2 V p-p输出信号的三次谐波失真与限制电平的关系。在HI增益模式下，可能需要更宽的限制电平。

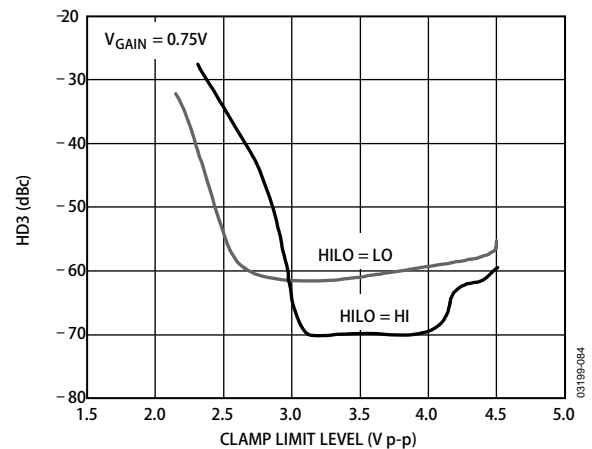


图84. 2 V p-p差分输入下HD3与箝位电平的关系

表8. 箝位电阻值

箝位电平 (V p-p)	箝位电阻值 (k Ω)	
	HILO = LO	HILO = HI
0.5	1.21	
1.0	2.74	2.21
1.5	4.75	4.02
2.0	7.5	6.49
2.5	11	9.53
3.0	16.9	14.7
3.5	26.7	23.2
4.0	49.9	39.2
4.4	100	73.2

输出去耦

驱动大于约10 pF的容性负载或另一电路板上的长电路连接时，由电阻和/或铁氧体磁珠构成的输出网络可用于确保稳定性。这些元件可以集成到一个奈奎斯特滤波器中，如图81所示的滤波器。图81中，电阻值为84.5 Ω 。例如，该系列的所有评估板都包括100 Ω 电阻和一个120 nH并联磁珠。对于负载在附近或增益低于40 dB的应用，可以使用更低的电阻值。这些元件的确切值可凭经验选择。

AD8331/AD8332/AD8334

抗混叠噪声滤波器常常结合ADC一次使用。滤波器要求取决于应用。

当ADC位于另一个电路板时，大部分滤波器元件应放在附近，以便抑制板间的噪声拾取，并减轻ADC输入的电荷反冲。任何超出输出稳定性要求的串联电阻应放在ADC板上。图85所示为一个二阶低通滤波器，带宽为20 MHz。电容结合ADC的10 pF输入电容进行选择。

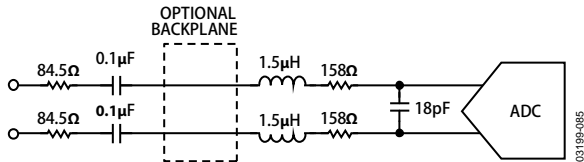


图85. 20 MHz二阶低通滤波器

ADC驱动

输出驱动支持多种多样的ADC。VGA的噪底要求取决于多种应用因素，包括分辨率、采样速率、满量程电压和噪声/抗混叠滤波器的带宽。输出噪底和增益范围可通过选择HI或LO增益模式来调整。

两种增益模式的相对噪声和失真性能比较参见图25和图31至图41。LO增益的48 nV/√Hz噪底适合采样速率或分辨率较高(如12位)的转换器。两种增益模式均可支持高达4 V p-p的ADC满量程电压。输出电压高达4 V p-p时，失真性能仍然很好(参见图36)，因此可以在输出端使用阻性衰减器(或变压器)，以进一步降低折合到输出端的噪声。图86中的电路具有2 V p-p的输出满量程范围、-10.5 dB至+37.5 dB的增益范围和24 nV/√Hz的输出噪底，适合某些14位ADC应用。

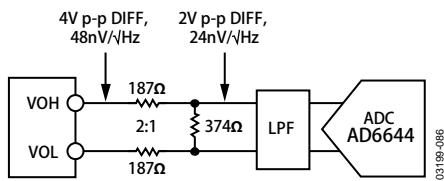


图86. 调整14位ADC的噪底

过载

这些器件可以很好地响应过载其输入级的大信号，以及过载VGA(当增益设置得异常高时)的普通信号。当增益设置或输入幅度降低时，各级均支持干净限幅过载波形和快速恢复。

LNA输入端大于±275 mV的信号会在输入VGA之前削波至5 V p-p差分。图48显示了器件对1 V p-p突发输入的响应。对称过载波形对于CW多普勒超声等应用很重要，这种应用中，过载期间的LNA输出频谱至关重要。输入级还能支持高达±2.5 V的信号，而不会触发慢速建立的ESD输入保护二极管。

VGA的两级均易受过载影响。后置放大器限幅更常见，可产生图49所示的干净限幅输出特性。所有情况下的恢复均非常快。图87总结了各种导致不同类型过载的输入信号和过载的组合。

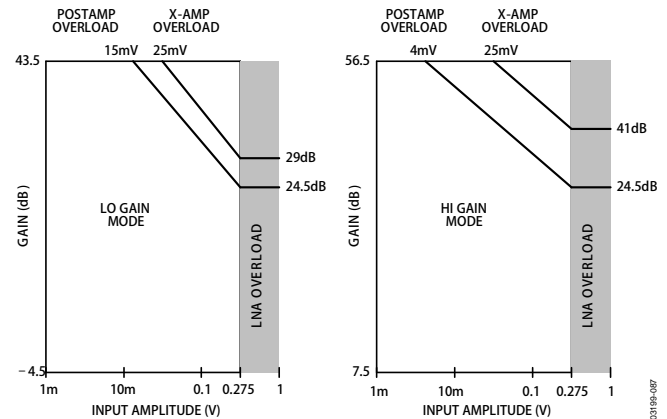


图87. 过载增益和信号条件

“输出箝位”部分提到的箝位接口控制后置放大器的最大输出摆幅及其过载响应。不使用箝位特性时，输出电平默认值约为4.5 V p-p差分，以2.5 V共模电压为中心。当通过VCM引脚设置其它共模电平时，所选的RCLMP值应能很好地处理过载。对于1.5 V或3.5 V共模电平，建议使用8.3 kΩ或更小的值(HI增益模式下7.2 kΩ)。这样，输出摆幅仅略高于2 V p-p差分。

可选输入过载保护

在对LNA输入施加高瞬变的应用中，使用箝位二极管是有利的。一对背靠背肖特基二极管可将这些瞬变降至可管理的水平。图88显示了这种二极管保护方案的连接方式。

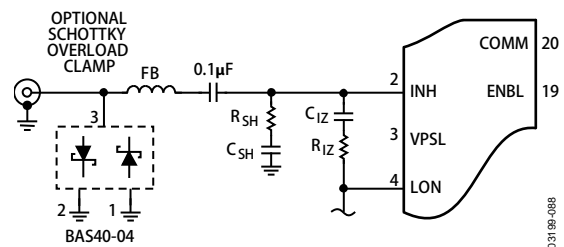


图88. 输入过载箝位

选择过载保护时，重要参数包括正向和反向电压以及 t_{rr} （或 τ_{rr} ）。图88所示的Infineon BAS40-04的 τ_{rr} 为100 ps，1 mA时的 V_F 为310 mV。这些规格的其他值可以在供应商产品目录中找到。

布局布线、接地和旁路

由于其出色的高频特性，这些器件对PCB环境很敏感。要实现期望的性能，必须注意细节，这些细节对良好的高速电路板设计至关重要。

建议使用带电源层和接地层的多层板，信号层中的空白区域填充以接地层。务必连接电源和接地引脚以提供可靠的电源分配。用表贴电容为电源引脚去耦，该电容应尽可能靠近各引脚，使连接到地的阻抗路径最短。用铁氧体磁珠从VGA电源为LNA电源引脚去耦。铁氧体磁珠与电容一起消除不必要的高频成分，而不会降低裕量。对每10到20个芯片，应使用值较大的电容来消除残余低频噪声。为使压降最小，VGA阵列应使用5 V稳压器。

多个关键LNA区域需要特别注意。LON和LOP输出走线在连接到与引脚VIN和VIP相连的耦合电容之前必须尽可能短。 R_{IZ} 也必须置于LON引脚附近。电阻必须尽可能靠近VGA输出引脚VOL和VOH放置，以便减轻相连走线的负载效应。元件值在“输出去耦”部分讨论。

信号走线必须短而直接，避免寄生效应。有互补信号存在的地方，应采用对称布局以保持波形平衡。布设长距离差分信号线时，PCB走线应保持相邻。

多路输入匹配

多个阻抗不同的源可以实现匹配，如图89所示。可以使用继电器和低电源电压模拟开关来选择不同的源及其相关的反馈电阻。本例使用双通道SPDT开关ADG736，但还有其他开关可供使用。关于开关和多路复用器，请参阅ADI公司选型指南。

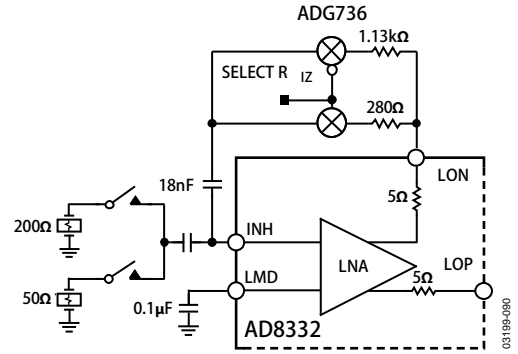


图89. 支持多个源

禁用LNA

在可以接触到的情况下，将LNA使能引脚连接到地会关闭LNA，导致电流降低大约一半。这种模式下，LNA输入和输出引脚可以断开连接。然而，为使电路停止工作，所有电源引脚都必须连接到电源。图90以AD8331为例说明如何连接。

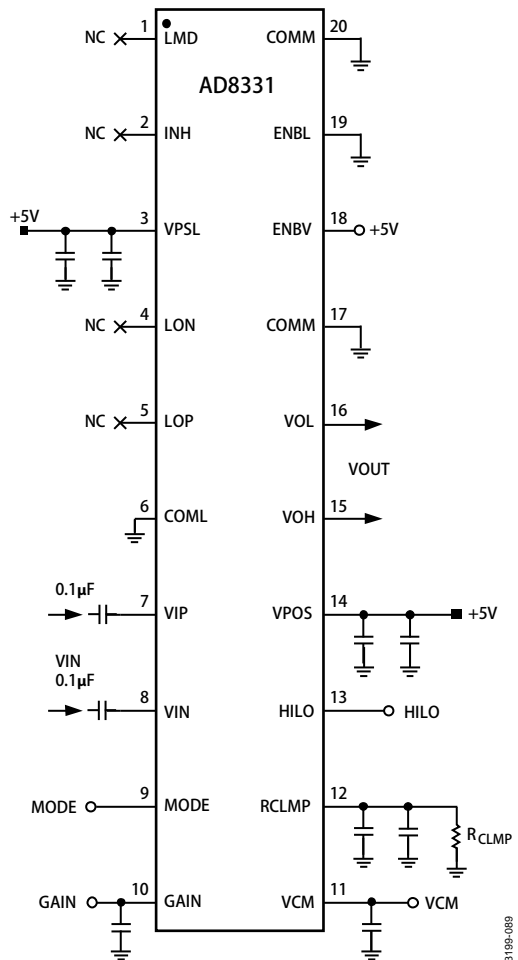


图90. 禁用LNA

AD8331/AD8332/AD8334

超声TGC应用

[AD8332](#)完全满足医疗和工业超声应用的要求。这种应用中，TGC放大器是一个关键子系统，因为它提供反射超声能量的回波定位途径。

图91至图93是双通道全差分系统的原理图，采用[AD8332](#)和12位高速ADC AD9238，转换速度高达65 MSPS。

高密度四通道布局

[AD8334](#)是电路板空间有限的应用的理想解决方案。图94显示四个通道接入接出这一非常紧凑的四通道VGA。注意，任何信号路径都不相交，所有四个通道均隔开以消除串扰。

本例中，所有元件均为0402尺寸；但是，同样的布局也是可行的，代价是板面积略有增加。草图还假设，印刷电路板的两侧均可用于放置元件，电源去耦电路位于电路板的布线侧。

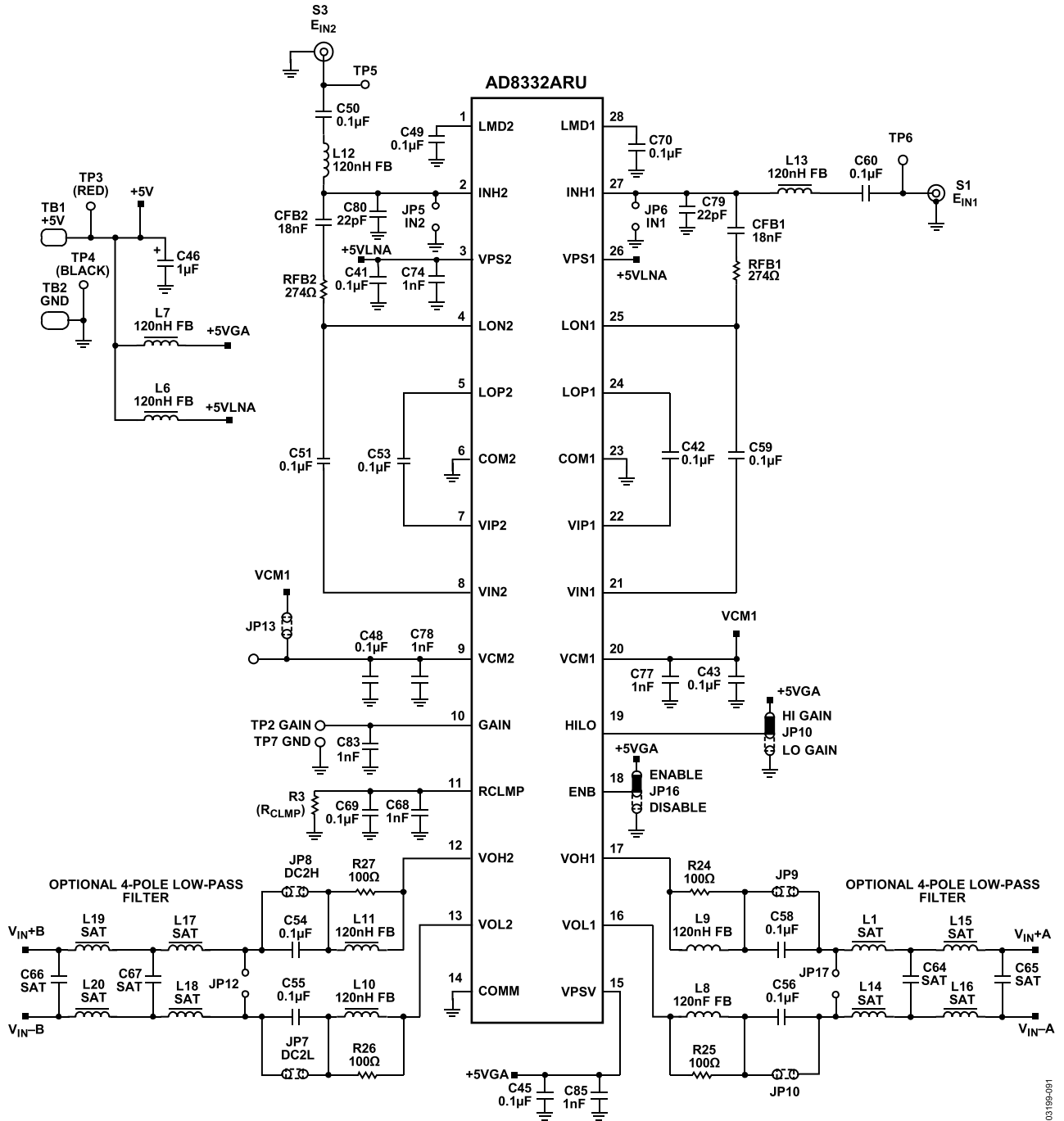


图91. TGC原理图, VGA部分使用AD8332和AD9238

AD8331/AD8332/AD8334

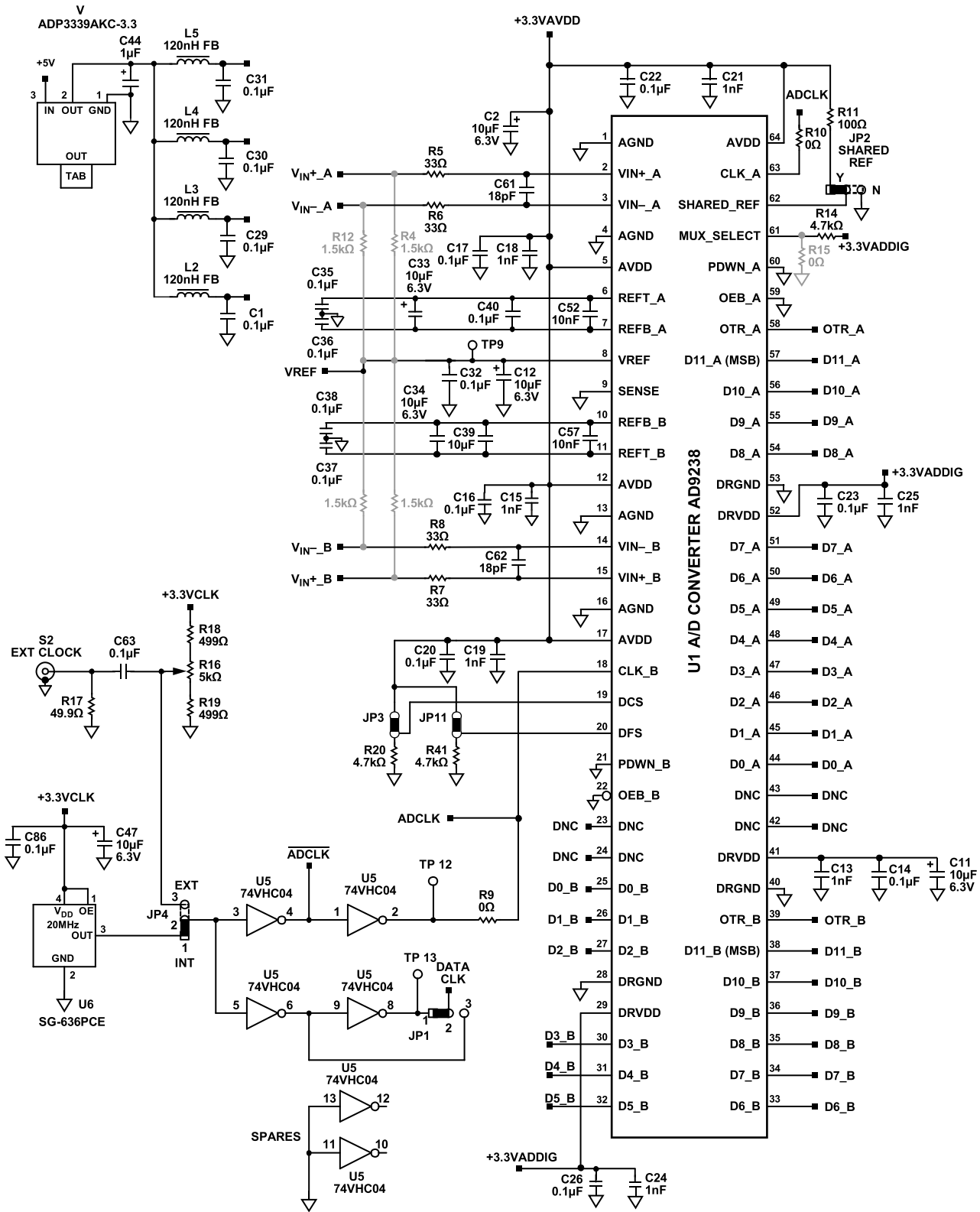


图92. 转换器原理图, TGC使用AD8332和AD9238

AD8331/AD8332/AD8334

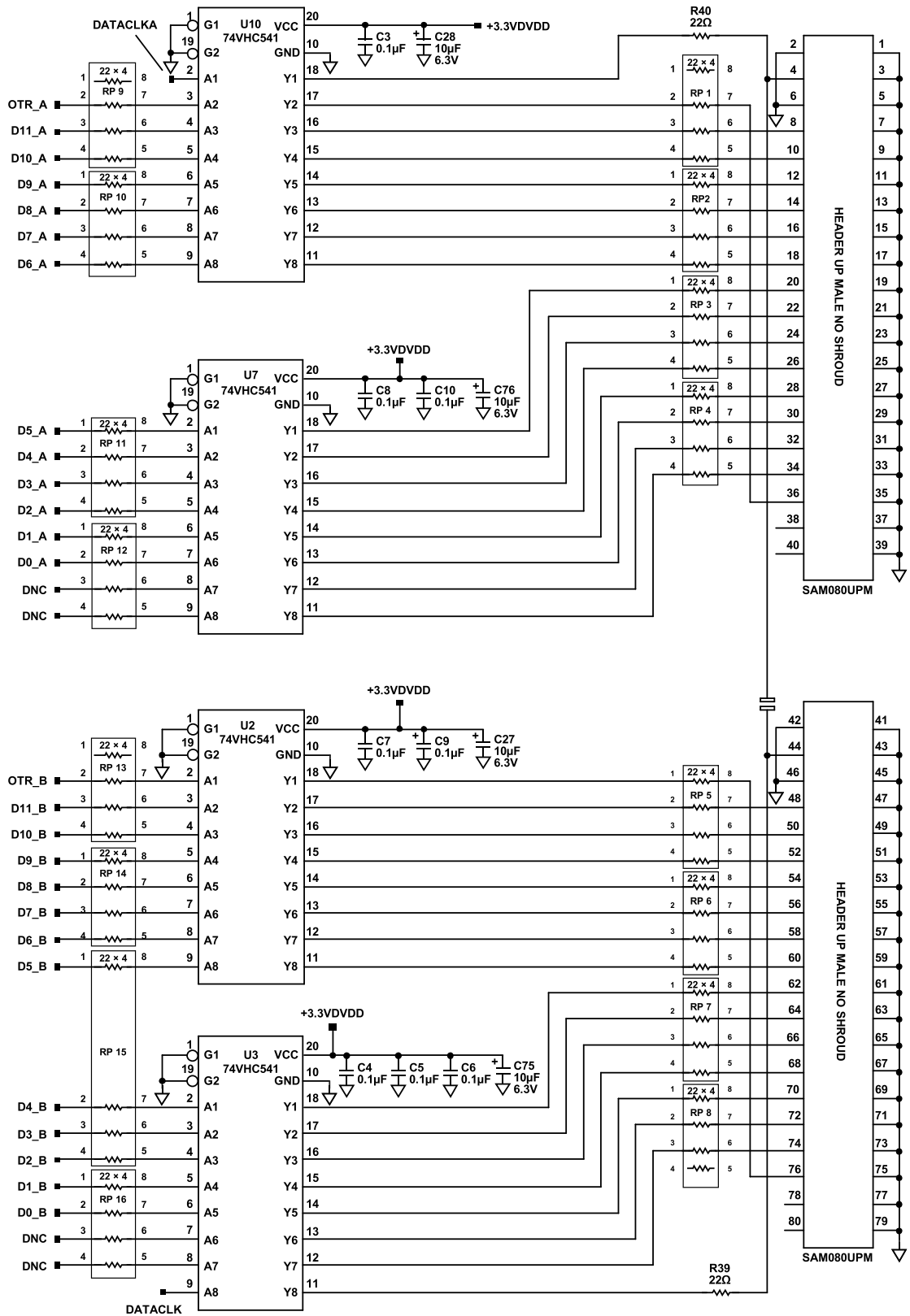


图93. 接口原理图, TGC使用AD8332和AD9238

AD8331/AD8332/AD8334

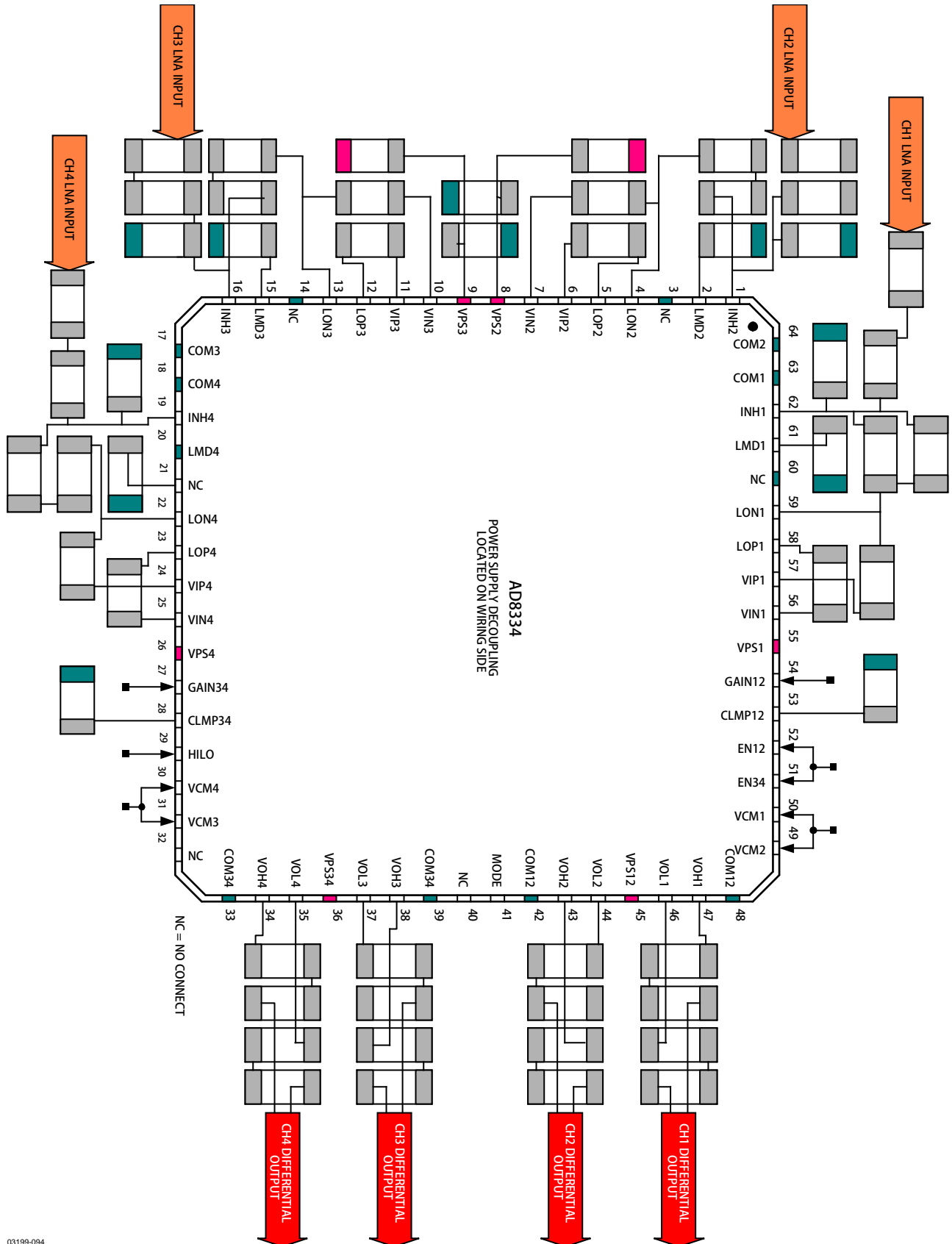


图94. 用于AD8334的紧凑信号路径和电路板布局

03199-094

AD8331评估板

概述

AD8331评估板是一个用于测试和评估可变增益放大器(VGA) AD8331的平台。该评估板配置齐全并经过测试,用户只需连接输入信号、VGAIN源和5 V电源。AD8331-EVALZ为符合RoHS标准的无铅产品。图95为评估板的照片。

用户提供的可选器件

如图96中的原理图所示,评估板为可选器件预留了位置。黑色器件适用于典型操作,灰色器件由用户酌情安装。发货时,AD8331-EVALZ的LNA输入阻抗配置为50 Ω ,以支持大部分信号发生器和网络分析仪。通过更改RFB和CSH的值,可以实现最高6 k Ω 的阻抗。有关此电路特性的详情参见“工作原理”部分。输入阻抗及对应元件的典型值参见表9。

表9. 针对共源阻抗的LNA外部器件值

R_{IN} (Ω)	RFB(Ω , 最接近的1%值)	CSH (pF)
50	274	22
75	412	12
100	562	8
200	1.13 k	1.2
500	3.01 k	无
6 k	∞	无

该评估板针对0603尺寸的表贴元件进行设计。需要时,可以在位置D3安装背靠背二极管。

要将LNA作为独立放大器进行评估,应安装可选的SMA连接器LON、LOP和电容C1、C2,典型值为0.1 μ F或更小。在R4和R8处安装0 Ω 电阻,除非有大于10 pF的容性负载连接到SMA连接器LON和LOP(如同轴电缆)。后一种情况下,R4和R8处必须安装小值电阻(68 Ω 至100 Ω),以确保放大器稳定。

若需要输出箝位功能,可在RCLMP处安装一个电阻。具体数值参见表8。



图95. AD8331-EVALZ照片

测量设置

用于测量带宽的基本电路板连接如图97所示。需要一个5 V、最低100 mA的电源和一个低噪声基准电压源。表10列出了跳线,图97显示了其功能和位置。

首选的信号检测方法是差分探头连接到VO,如图97所示。单端负载可以利用板边缘SMA连接器VOH连接。以这种方式使用评估板时,务必考虑25.8 dB衰减。连接到ADC时,270 Ω 串联电阻可以替换为0 Ω 或其它适当的值。

表10. 跳线功能

开关	功能
LNA_EN	在顶部位置时,使能LNA
VGA_EN	在顶部位置时,使能VGA
W5, W6	将AD8331输出连接到SMA连接器
GN_SLOPE	左 = 增益随 V_{GAIN} 提高而提高 右 = 增益随 V_{GAIN} 提高而降低
GN_HI_LO	左 = 高增益 右 = 低增益

电路板布局

评估板电路采用4个导线层。中间两层接地,所有互连电路位于外层。图99至图102显示了铜结构。

AD8331/AD8332/AD8334

AD8331评估板原理图

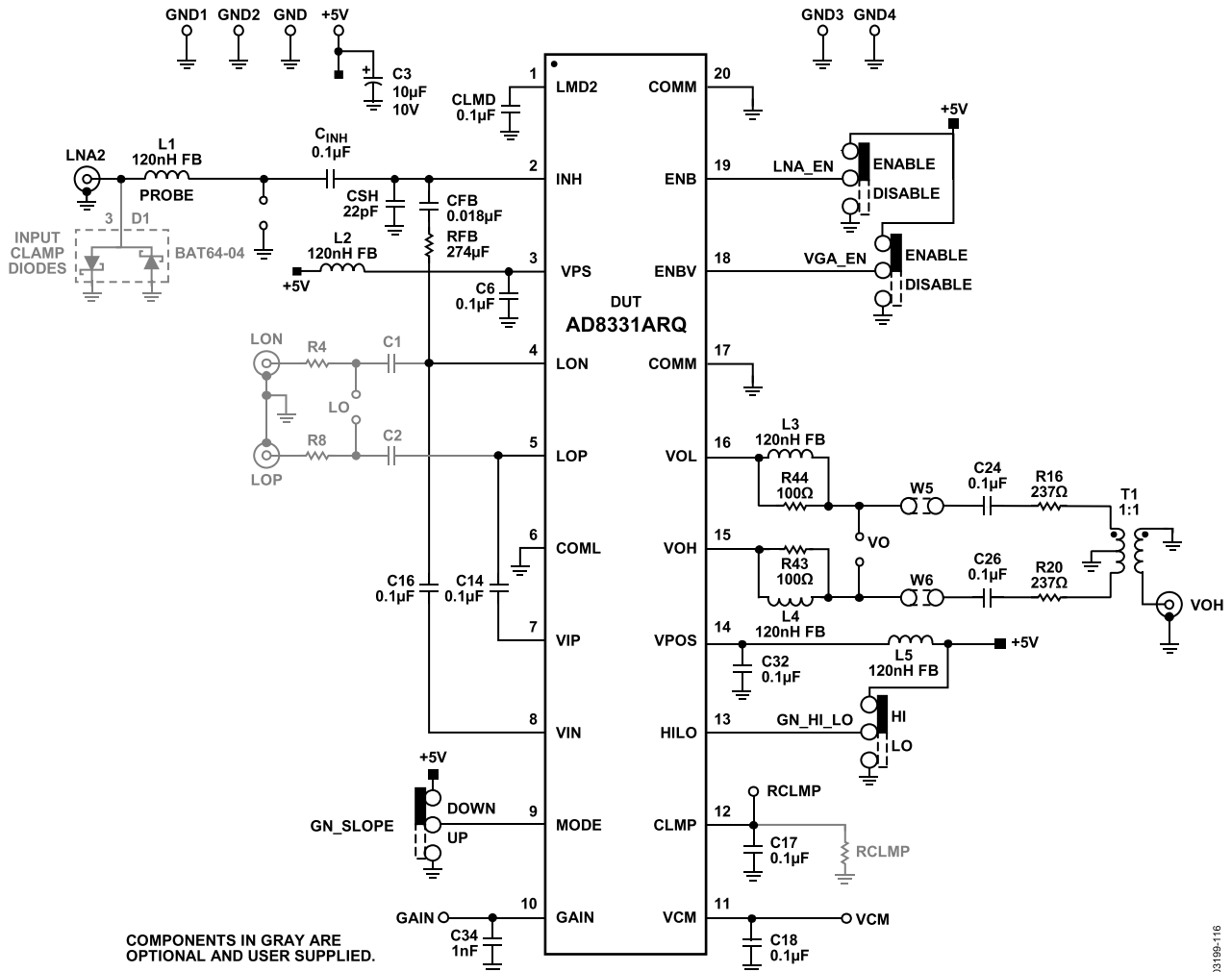


图96. AD8331评估板原理图

03199-116

AD8331/AD8332/AD8334

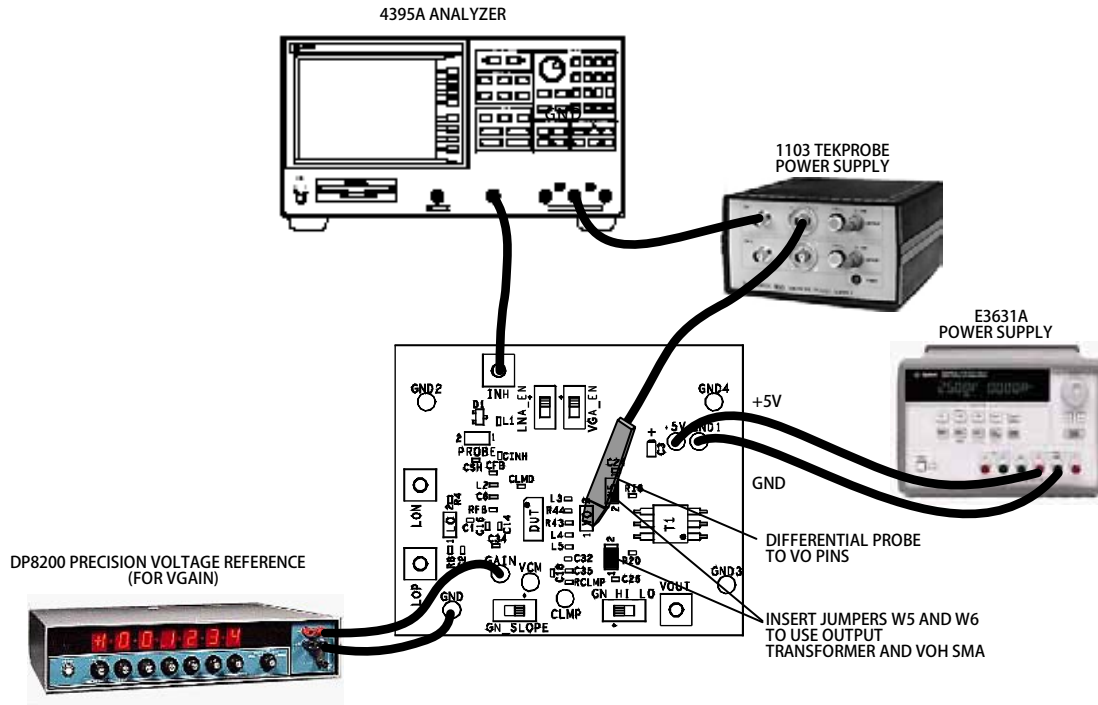


图97. AD8331典型电路板测试连接

03199-117

AD8331/AD8332/AD8334

AD8331评估板PCB各层

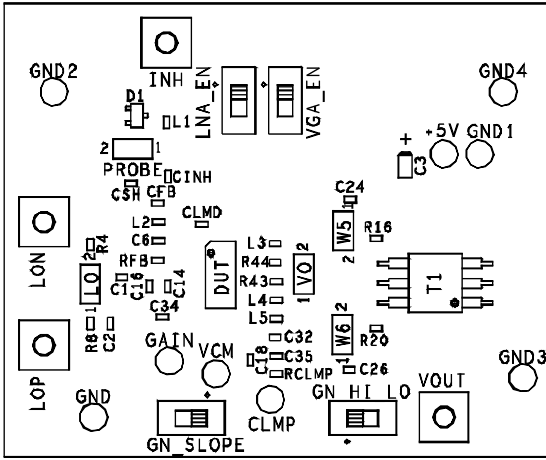


图98. AD8331-EVALZ装配图

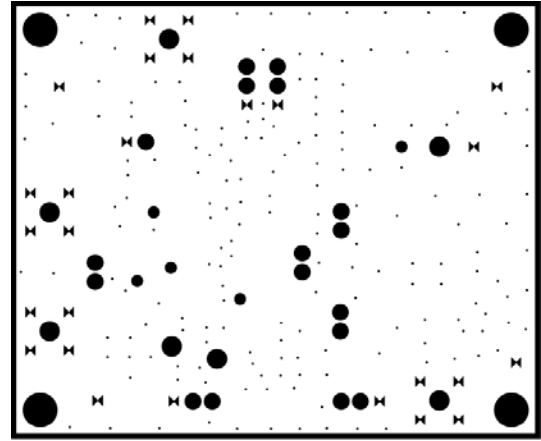


图101. 内层接地

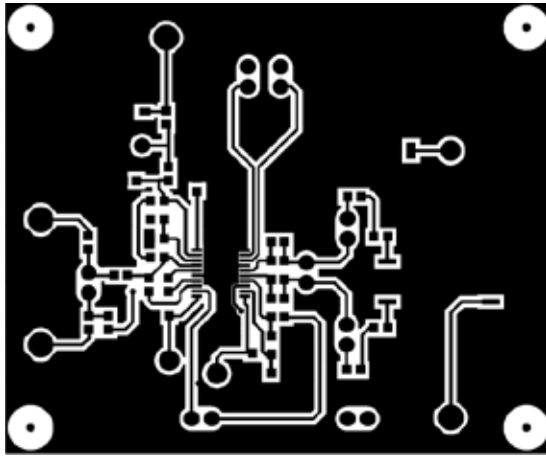


图99. 原边铜结构

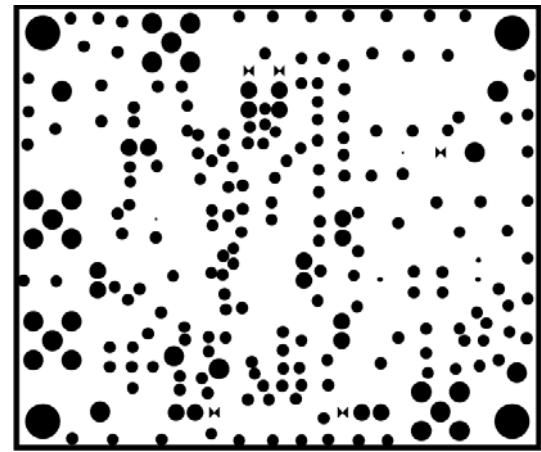


图102. 电源层

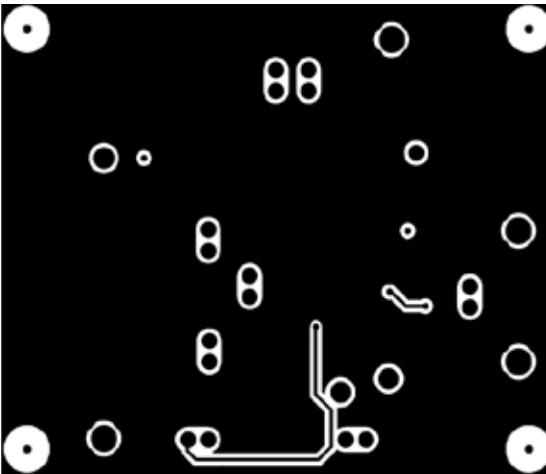


图100. 副边铜结构

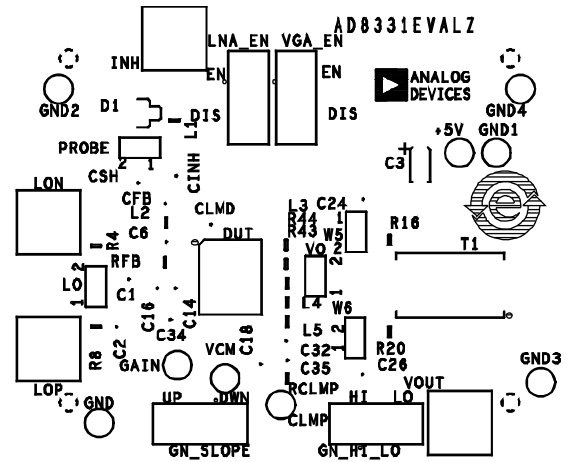


图103. 顶层丝印网图

AD8332评估板

概述

AD8332-EVALZ是一个用于测试和评估可变增益放大器(VGA) AD8332的平台。该评估板已配置就绪并经过测试,用户只需将信号和VGAIN源连接到一个5 V电源。图104是评估板器件侧的照片,图105是原理图。AD8332-EVALZ为符合RoHS标准的无铅产品。

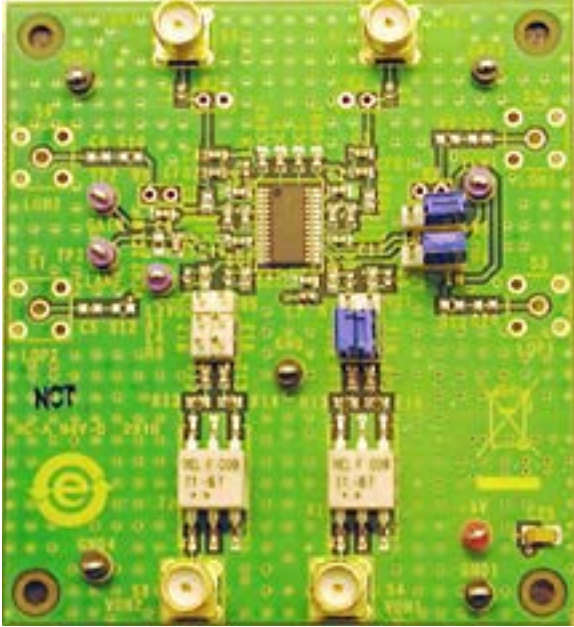


图104. AD8332-EVALZ照片

用户提供的可选器件

该评估板利用图105中显示的黑色器件构建并测试。已为可选元件(灰色)预留了位置,用户可以酌情安装以进行测试。默认LNA输入阻抗为50 Ω ,以便匹配各种信号发生器和网络分析仪。通过更改RFBx和CSHx的值,可以实现最高6 k Ω 的阻抗。作为参考,表11列出了常用输入阻抗值及对应的调整。该评估板针对0603尺寸的表贴元件进行设计。

表11. 针对共源阻抗的LNA外部器件值

R_{IN} (Ω)	RFB1、RFB2(Ω , Std 1%值)	CSH1, CSH2 (pF)
50	274	22
75	412	12
100	562	8
200	1.13 k	1.2
500	3.01 k	无
6 k	∞	无

SMA连接器S2、S3、S6和S7用于接入LNA输出或VGA输入。如果单独使用LNA, C5、C9、C23和C24位置可以安装0.1 μ F去耦电容。如果LNA输出端的负载电容大于约10 pF,可能需要68 Ω 至100 Ω 的电阻。

若需要输出箝位功能,可在RCLMP处安装一个电阻。通过安装表8所列的一个标准1%电阻,可以调整峰峰值箝位电平。

观察VGA输出端波形的首选方法是将高频差分探头连接到2引脚接头VOx。典型设置见图106。单端负载可以利用板边缘SMA连接器直接连接。注意,AD8332输出放大器利用237 Ω 电阻缓冲,因此,若将低阻抗连接到输出SMA,务必补偿衰减。

测量设置

用于测量带宽的基本电路板连接如图106所示。需要一个5 V、最低100 mA的电源, VGAIN需要一个低噪声基准电压源。

电路板布局

评估板电路采用4个导线层。中间两层是电源层和接地层,所有互连电路位于外层。图108至图111显示了铜结构。

AD8331/AD8332/AD8334

评估板原理图

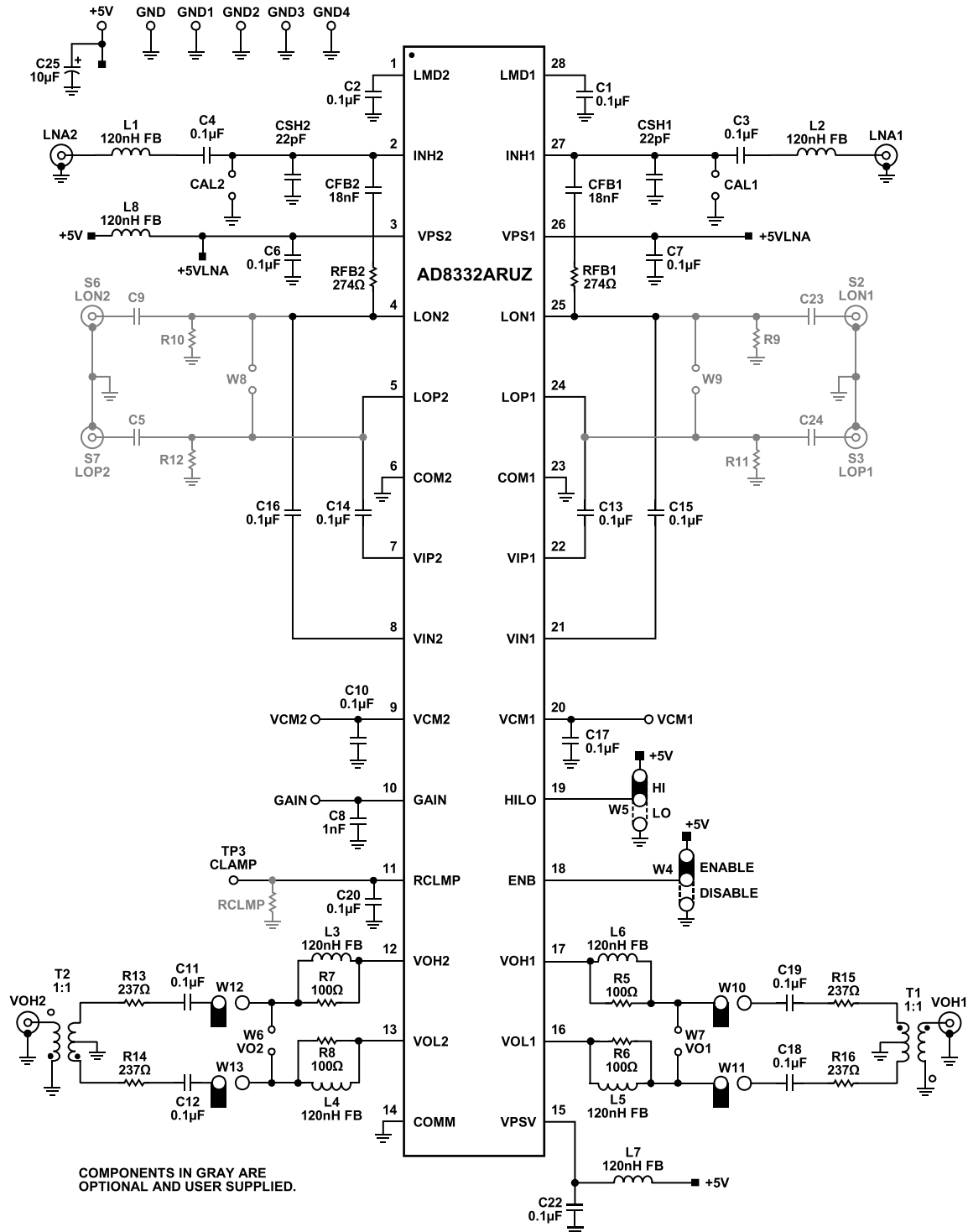


图105. AD8332评估板原理图

031999-096

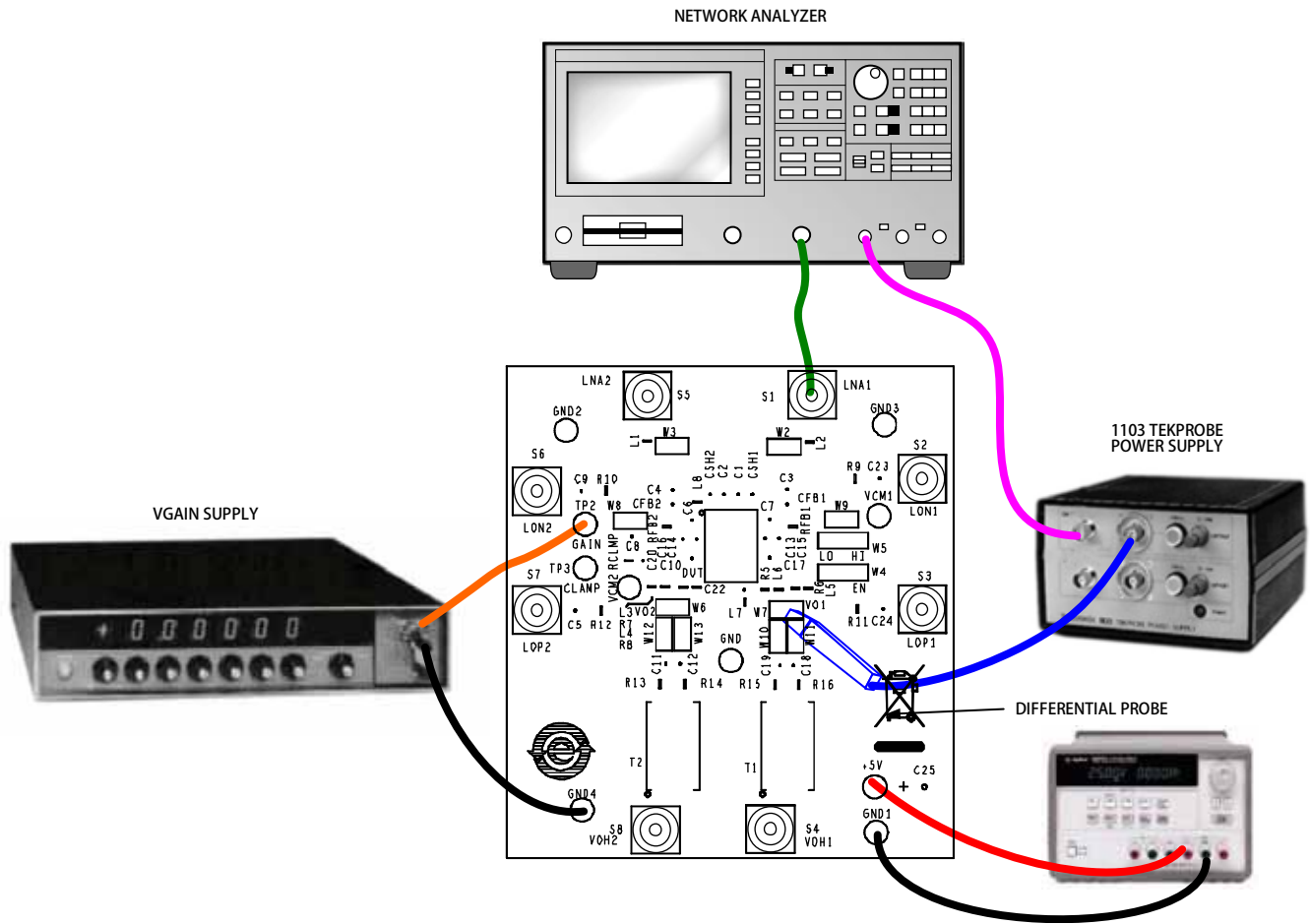


图106. AD8332典型电路板测试连接

03199-120

AD8331/AD8332/AD8334

AD8332评估板PCB各层

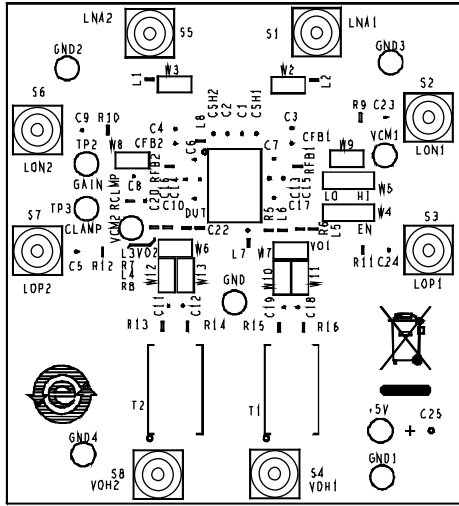


图107. AD8332-EVALZ装配图

03199-121

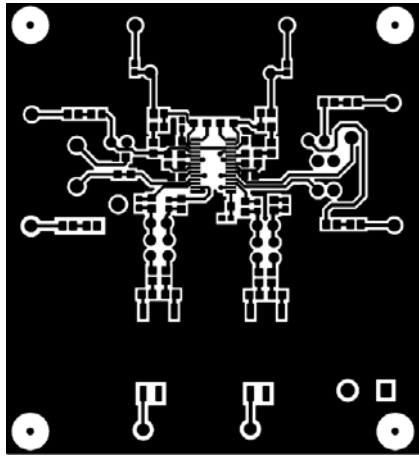
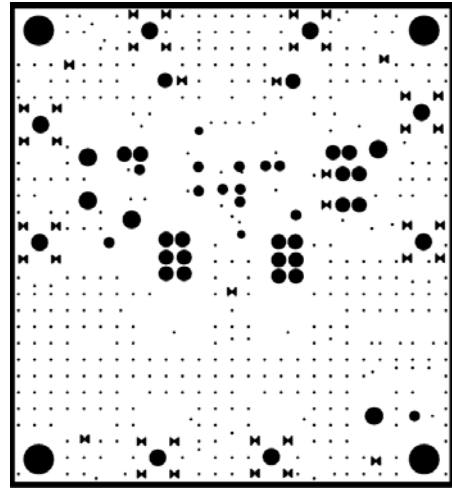


图108. 原边铜结构

03199-099

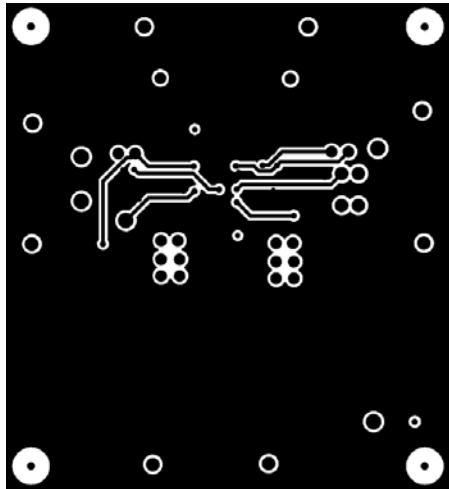


图109. 副边铜结构

03199-100

图110. 接地层

03199-101

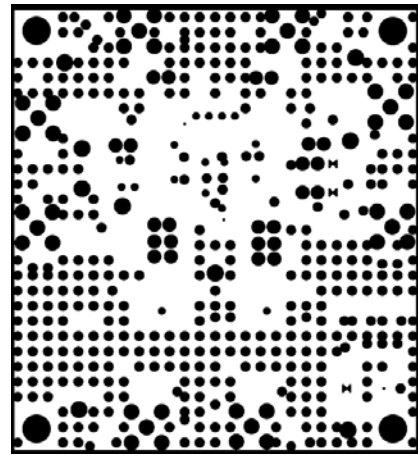


图111. 电源层

03199-102

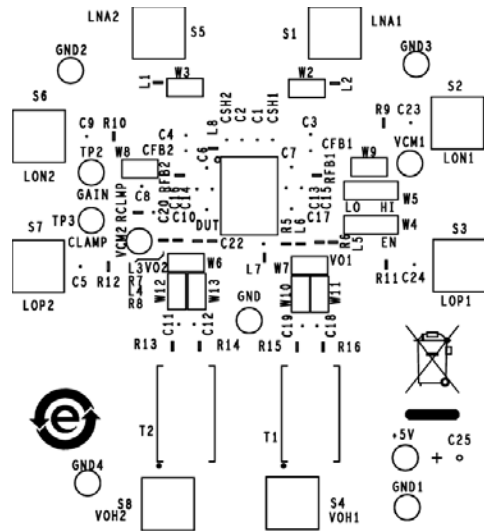


图112. 器件侧丝网图

03199-103

AD8334评估板

概述

AD8334-EVALZ是一个用于测试和评估可变增益放大器(VGA) AD8334的平台。该评估板已配置就绪并经过测试,用户只需连接信号、VGAIN源和一个5 V电源。图113为评估板的照片。AD8334-EVALZ为符合RoHS标准的无铅产品。

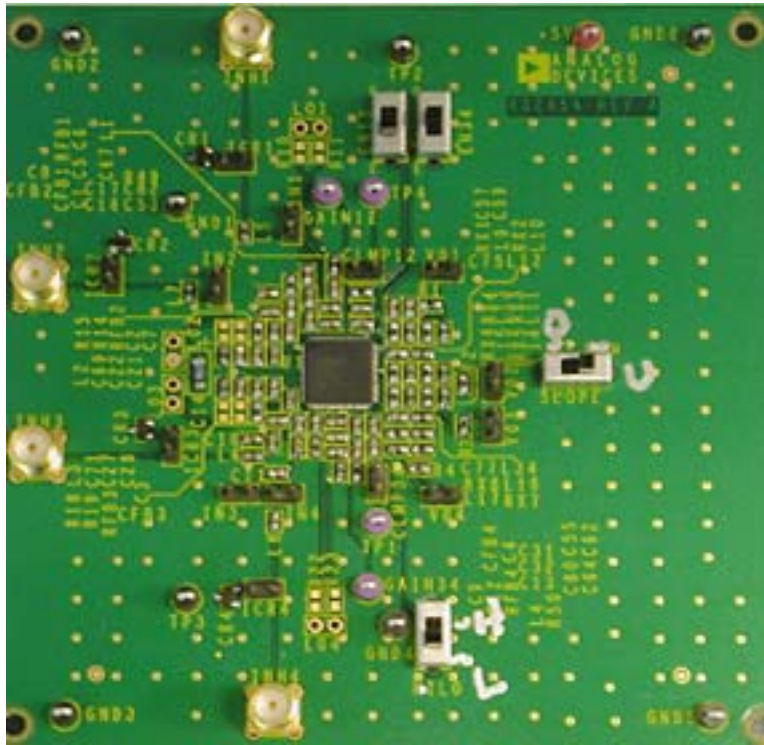


图113. AD8334-EVALZ俯视图

03198-122

AD8331/AD8332/AD8334

配置输入阻抗

该评估板利用图115中显示的黑色器件构建并测试。已为可选元件(灰色)预留了位置,用户可以酌情安装。发货时,低噪声放大器(LNA)的输入阻抗配置为50 Ω,以便匹配大部分信号发生器和网络分析仪的输出阻抗。通过更改反馈电阻RFB1、RFB2、RFB3、RFB4和分流电容C6、C8、C10、C12的值,可以实现最高6 kΩ的输入阻抗。作为参考,表12列出了一些典型输入阻抗值对应的标准1%电阻值。当然,如果用户已确定源阻抗落在这些值之间,则可以相应地计算反馈电阻值。注意,该评估板设计支持0603尺寸的表贴元件。

表12. 针对共源阻抗的LNA外部器件值

R _{IN} (Ω)	RFB1, RFB2, RFB3, RFB4 (Ω, ±1%)	C6, C8, C10, C12 (pF)
50	274	22
75	412	12
100	562	8
200	1.13 k	1.2
500	3.01 k	无电容
6 k	无电阻	无电容

从外部源驱动VGA或利用LNA驱动外部负载

如果用户希望直接从外部源VGA或者评估LNA输出,可以安装相应的元件。如果LNA用于驱动板外负载或电缆,建议使用小值串联电阻(47 Ω至100 Ω)对LNA去耦。这些电阻可以安装在R10、R11、R14、R15、R18、R19、R22和R23位置。

评估板为表贴SMA连接器预留了位置,以便从任一方向进行驱动。如果不使用LNA,建议小心移除电容C16、C17、C21、C22、C26、C27、C31和C32,以免驱动LNA的输出。

使用箝位电路

评估板上用于箝位电路工作的地方没有预装电阻。注意,每对通道共用一个箝位电阻。如果需要输出箝位功能,应在R49和R50处安装电阻。峰峰值箝位电平视应用而定。

观察信号

首选信号检测器是高阻抗差分探头,如Tektronix P6247 1 GHz差分探头,连接到2引脚接头(VO1、VO2、VO3或VO4),如图116所示。这种探头的低电容对任何检测方法检测的器件性能的影响极小。该探头还可用于监视IN1、IN2、IN3或IN4的输入信号。它可用于探测其它电路节点,但应注意,200 kΩ输入阻抗可能影响某些电路。

提供了差分转单端变压器用于单端输出连接。注意,针对50 Ω负载连接到连接器的情况,提供了串联电阻来防止输出意外过载。当然,这些电阻的作用是限制带宽。如果连接到SMA的负载大于500 Ω,则237 Ω串联电阻RX1、RX2、RX3、RX4、RX5、RX6、RX7和RX8可以替换为0 Ω值。

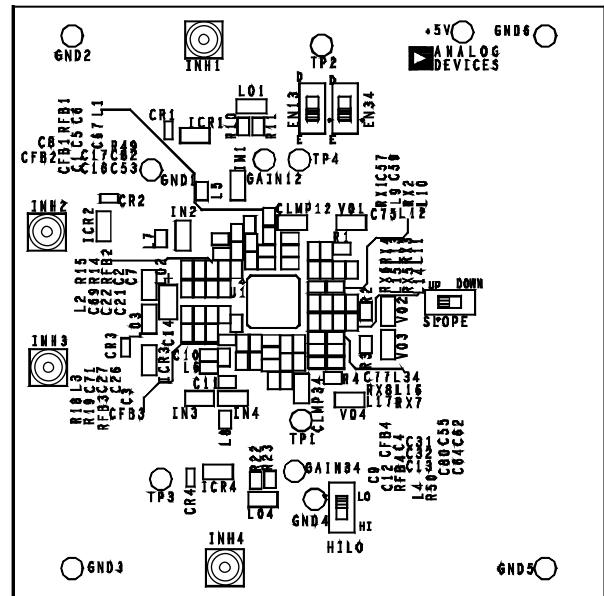


图114. AD8334-EVALZ装配图

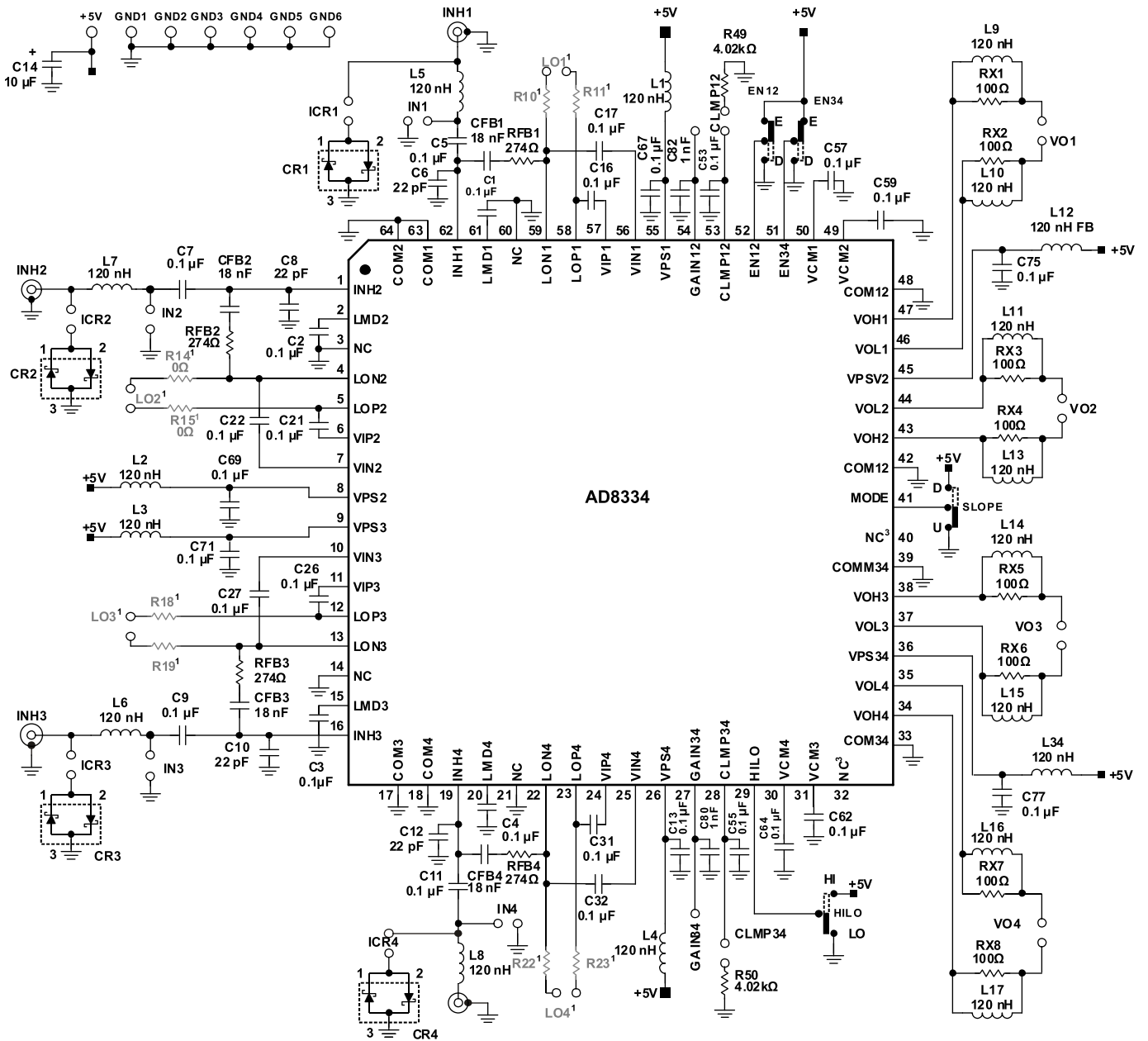
测量设置

用于测量带宽的基本电路板连接如图116所示。需要一个5 V、最低200 mA的电源, VGAIN需要一个低噪声基准电压源。

电路板布局

评估板电路采用4个导线层。中间两层接地,所有互连电路位于外层。图117至图120显示了铜结构。

评估板原理图



NOTES

- 1 COMPONENTS IN GRAY ARE OPTIONAL USER SUPPLIED.
- 2 NC = NO CONNECT.

图115. AD8334-EVALZ原理图

AD8331/AD8332/AD8334

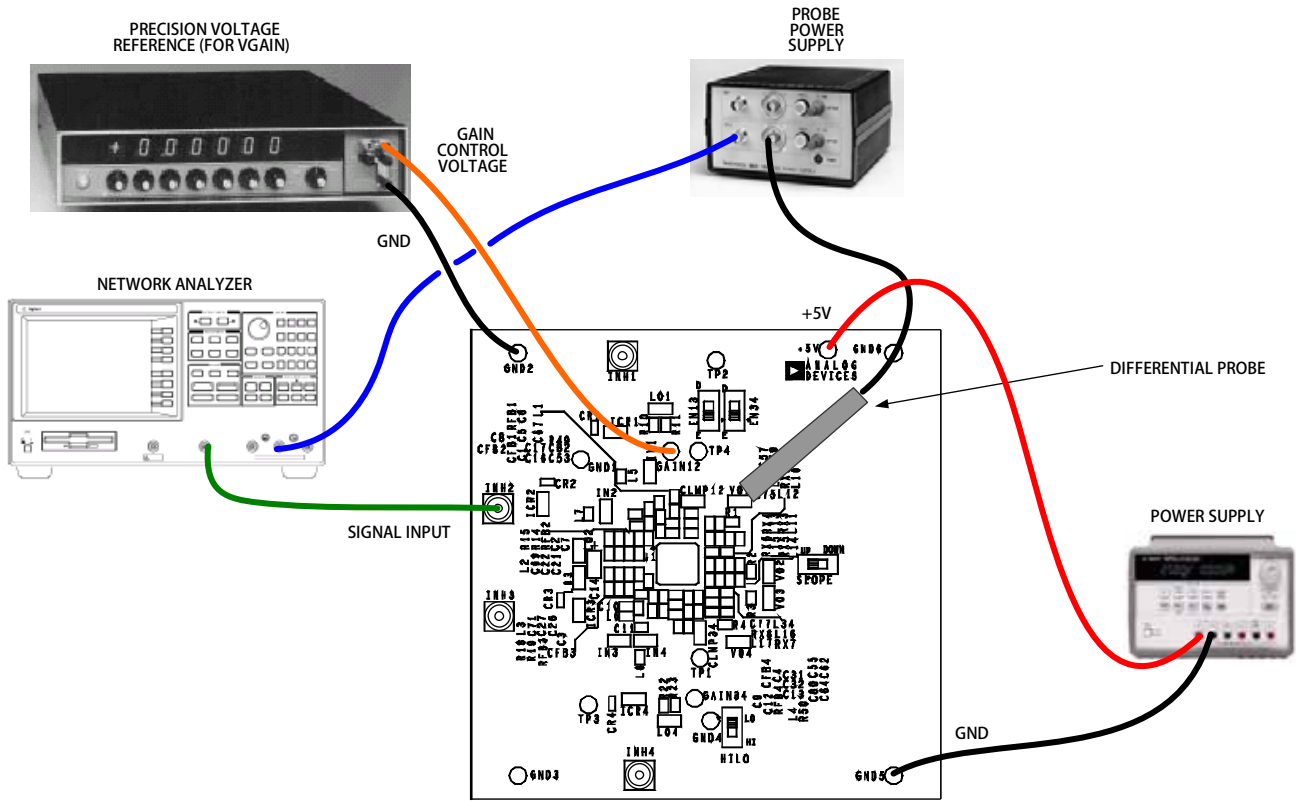


图116. AD8334典型电路板测试连接(仅显示一个通道)

03199-125

AD8334评估板PCB各层

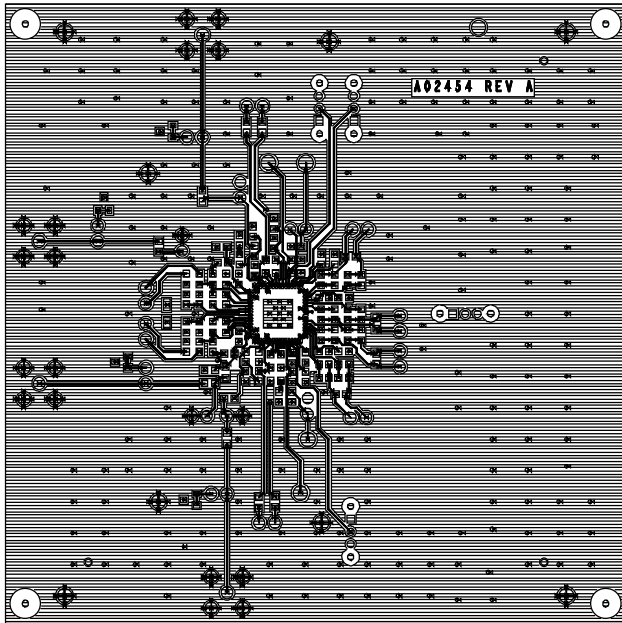


图117. AD8334-EVALZ原边铜结构

03199-126

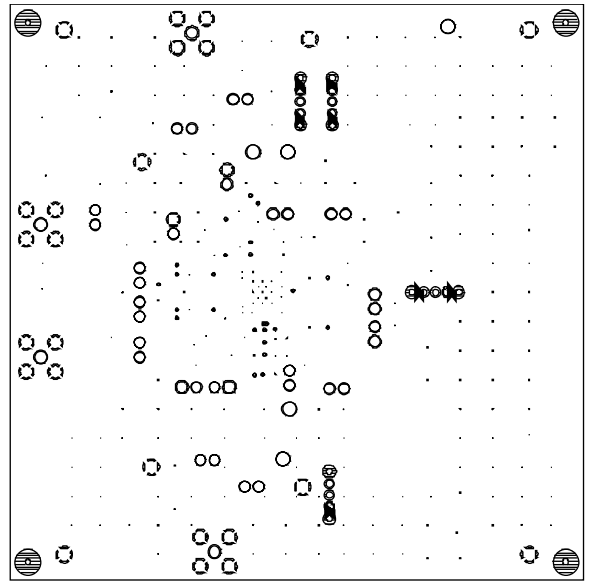


图119. AD8334-EVALZ中间层1铜结构

03199-128

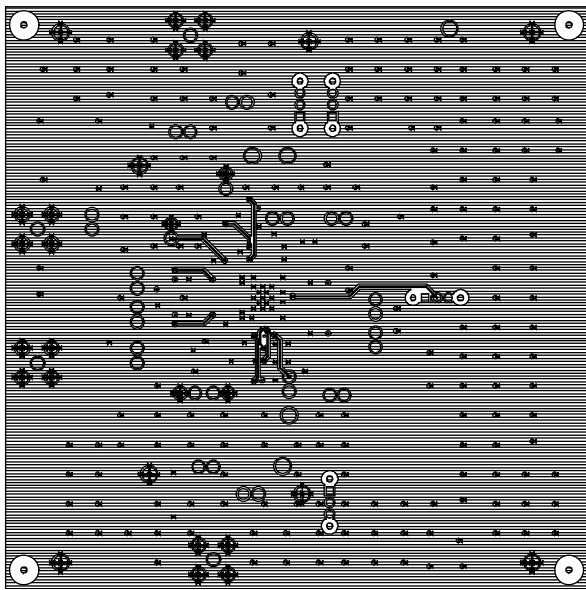


图118. AD8334-EVALZ副边铜结构

03199-127

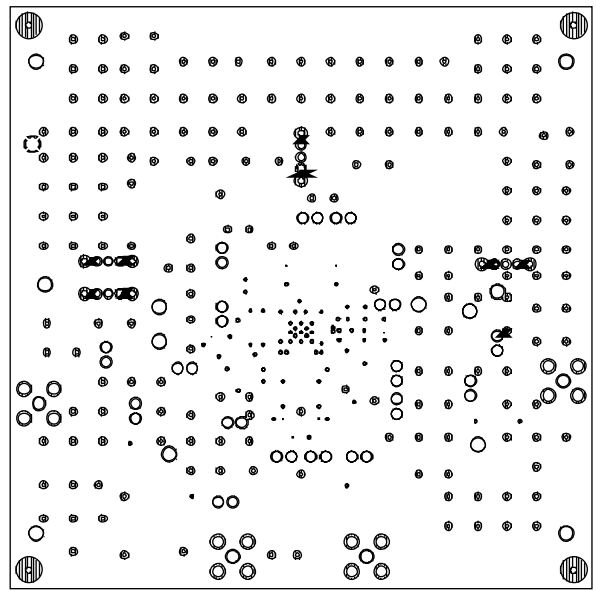
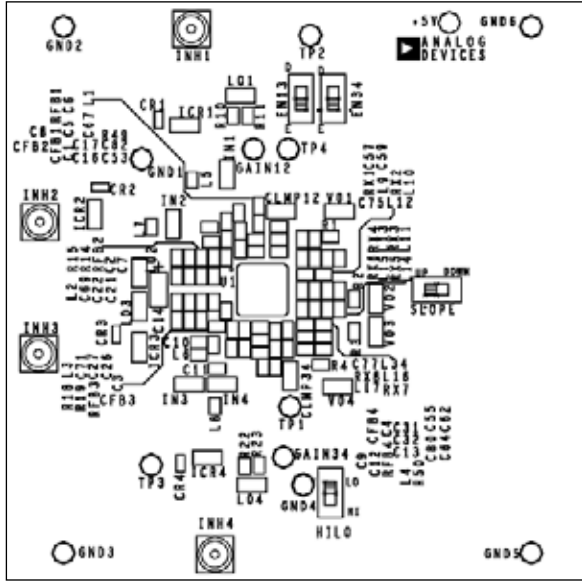


图120. AD8334-EVALZ中间层2铜结构

03199-129

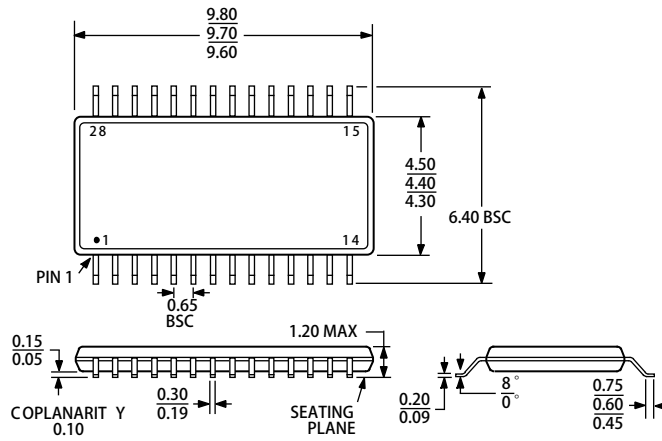
AD8331/AD8332/AD8334



03199-130

图121. AD8334-EVALZ器件侧丝网图

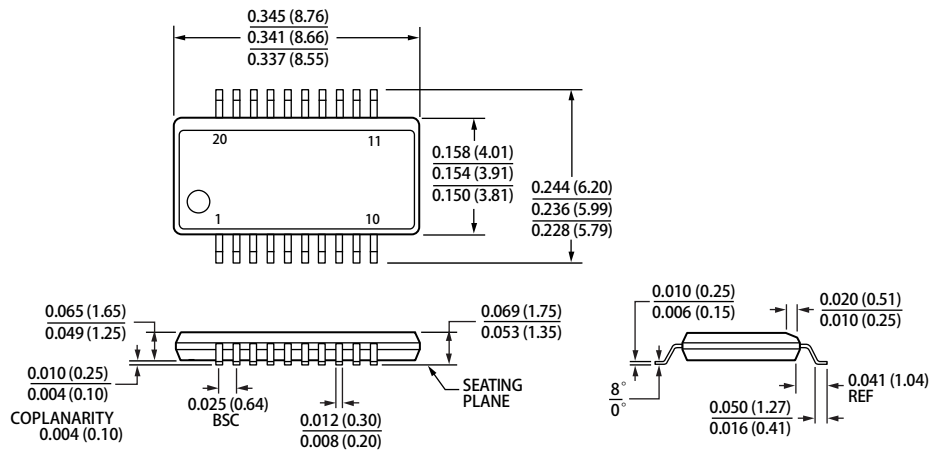
外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-153-AE

图122. 28引脚超薄紧缩小型封装(TSSOP)
(RU-28)

尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MO-137-AD

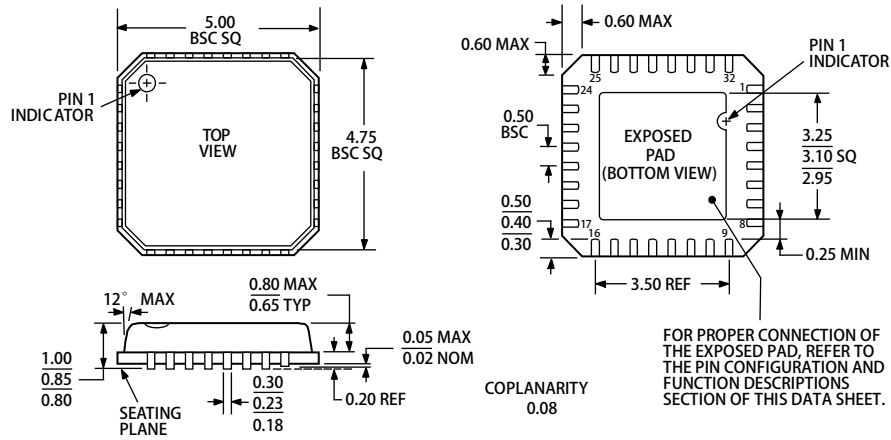
CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETERS DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

图123. 20引脚紧缩小型封装(QSOP)
(RQ-20)

尺寸单位: inch 和(mm)

081908-A

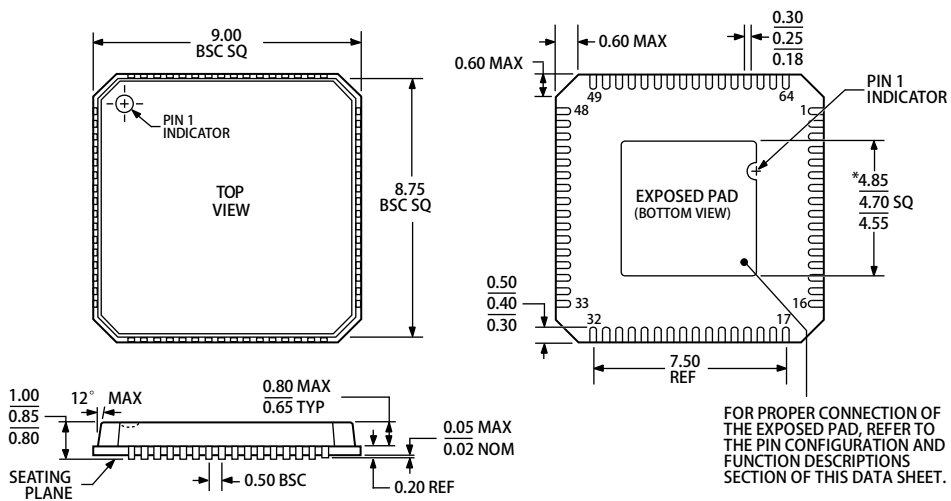
AD8331/AD8332/AD8334



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-2

图124. 32引脚LFCSP_VQ封装,
5 mm x 5 mm超薄体(CP-32-2),
尺寸单位: mm

011708-A



*COMPLIANT TO JEDEC STANDARDS MO-220-VMMD-4
EXCEPT FOR EXPOSED PAD DIMENSION

图125. 64引脚LFCSP_VQ封装,
9 mm x 9 mm超薄体(CP-64-1),
尺寸单位: mm

082908-B

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD8331ARQ	-40°C至+85°C	20引脚紧缩小型封装(QSOP)	RQ-20
AD8331ARQ-REEL	-40°C至+85°C	20引脚紧缩小型封装(QSOP)	RQ-20
AD8331ARQ-REEL7	-40°C至+85°C	20引脚紧缩小型封装(QSOP)	RQ-20
AD8331ARQZ	-40°C至+85°C	20引脚紧缩小型封装(QSOP)	RQ-20
AD8331ARQZ-RL	-40°C至+85°C	20引脚紧缩小型封装(QSOP)	RQ-20
AD8331ARQZ-R7	-40°C至+85°C	20引脚紧缩小型封装(QSOP)	RQ-20
AD8331-EVALZ		集成AD8331ARQ的评估板	
AD8332ACP-R2	-40°C至+85°C	32引脚引脚架构芯片级封装(LFCSP_VQ)	CP-32-2
AD8332ACP-REEL	-40°C至+85°C	32引脚引脚架构芯片级封装(LFCSP_VQ)	CP-32-2
AD8332ACP-REEL7	-40°C至+85°C	32引脚引脚架构芯片级封装(LFCSP_VQ)	CP-32-2
AD8332ACPZ-R2	-40°C至+85°C	32引脚引脚架构芯片级封装(LFCSP_VQ)	CP-32-2
AD8332ACPZ-R7	-40°C至+85°C	32引脚引脚架构芯片级封装(LFCSP_VQ)	CP-32-2
AD8332ACPZ-RL	-40°C至+85°C	32引脚引脚架构芯片级封装(LFCSP_VQ)	CP-32-2
AD8332ARU	-40°C至+85°C	28引脚超薄紧缩小型封装(TSSOP)	RU-28
AD8332ARU-REEL	-40°C至+85°C	28引脚超薄紧缩小型封装(TSSOP)	RU-28
AD8332ARU-REEL7	-40°C至+85°C	28引脚超薄紧缩小型封装(TSSOP)	RU-28
AD8332ARUZ	-40°C至+85°C	28引脚超薄紧缩小型封装(TSSOP)	RU-28
AD8332ARUZ-R7	-40°C至+85°C	28引脚超薄紧缩小型封装(TSSOP)	RU-28
AD8332ARUZ-RL	-40°C至+85°C	28引脚超薄紧缩小型封装(TSSOP)	RU-28
AD8332-EVALZ		集成AD8332ARU的评估板	
AD8334ACPZ	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-1
AD8334ACPZ-REEL	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-1
AD8334ACPZ-REEL7	-40°C至+85°C	64引脚引脚架构芯片级封装(LFCSP_VQ)	CP-64-1
AD8334-EVALZ		集成AD8334ACP的评估板	

¹ Z = 符合RoHS标准的器件。

注释