

产品特性

3.5 GSPS内部时钟速度

集成12位DAC

频率调谐分辨率: 190 pHz

16位相位调谐分辨率

12位幅度调整

可编程模数

自动线性和非线性频率扫描能力

32位并行数据路径接口

8种频率/相位配置

相位噪声: -128 dBc/Hz (1396 MHz时偏移频率为1kHz)

宽带SFDR $< -50 \text{ dBc}$

串行或并行I/O控制

1.8 V/3.3 V电源供电

软件/硬件控制的断电功能

88引脚LFCSP封装

PLL REF CLK乘法器

相位调制功能

幅度调制功能

应用

LO捷变频率合成

可编程时钟发生器

雷达和扫描系统的FM线性调频源

测试与测量设备

声光设备驱动器

极化调制器

快速跳频

功能框图

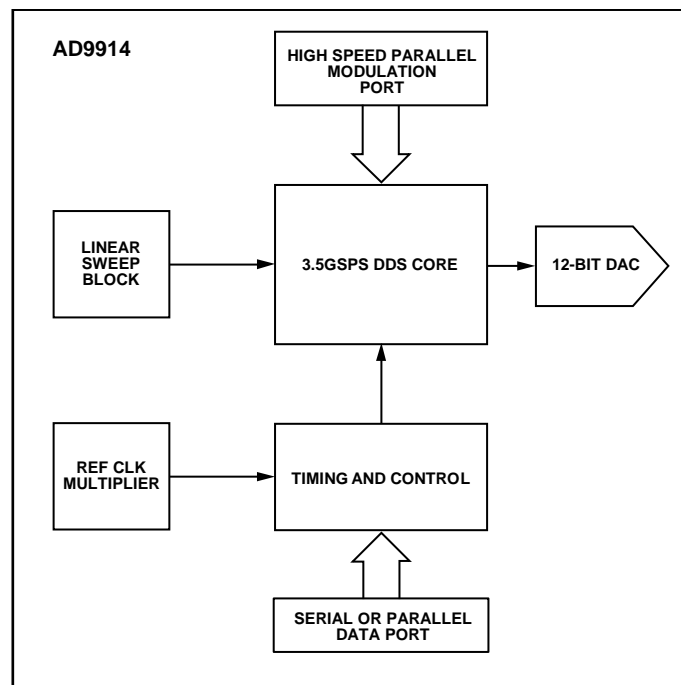


图1.

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

www.analog.com

Fax: 781.461.3113

©2012 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	DDS内核.....	19
应用.....	1	12位DAC输出.....	20
功能框图.....	1	DAC校准输出.....	20
修订历史.....	2	重构滤波器.....	20
概述.....	3	时钟输入(REF_CLK/ $\overline{\text{REF_CLK}}$).....	21
技术规格.....	4	PLL锁定指令.....	22
直流规格.....	4	输出幅度键控(OSK).....	22
交流规格.....	5	数字斜坡发生器(DRG).....	23
绝对最大额定值.....	8	省电控制.....	27
热性能.....	8	编程和功能引脚.....	28
ESD警告.....	8	串行编程.....	31
引脚配置和功能描述.....	9	控制接口——串行I/O.....	31
典型性能参数.....	12	通用串行I/O操作.....	31
等效电路.....	16	指令字节.....	31
工作原理.....	17	串行I/O端口引脚功能描述.....	31
单频调制模式 17		串行I/O时序图.....	32
Profile调制模式.....	17	MSB/LSB传输.....	32
数字斜坡调制模式.....	17	并行编程(8/16位).....	33
并行数据端口调制模式.....	17	寄存器图和位功能描述.....	34
可编程调制模式.....	17	寄存器位功能描述.....	39
模式优先级.....	18	外形尺寸.....	45
功能框图详解.....	19	订购指南.....	45

修订历史

2012年8月—修订版0至修订版A

更改“产品特性”部分.....	1
差分输入电压单位从mV p-p更改为V p-p.....	4
更改表14.....	34
更改表16.....	40
更改表28.....	44
更新“外形尺寸”.....	45

2012年7月—修订版0：初始版

概述

AD9914是一款带12位DAC的直接数字频率合成器(DDS)。该器件采用先进的DDS技术,连同高速、高性能数模转换器,构成数字可编程的完整高频合成器,能够产生高达1.4 GHz的频率捷变模拟输出正弦波。AD9914具有快速跳频和精密调谐分辨率(64位采用可编程模数模式)。这款器件还实现了快速相位与幅度跳跃功能。频率调谐和控制字通过串行或并行I/O端口载入AD9914。它还支持在用户定义线

性扫描模式下工作,可产生频率、相位或幅度的线性扫描波形。AD9914包含一个高速32位并行数据输入端口,可支持极性调制方案的高数据率以及相位、频率和幅度调谐字的快速编程。

AD9914可在扩展的工业温度范围内工作(请参考“绝对最大额定值”部分)。

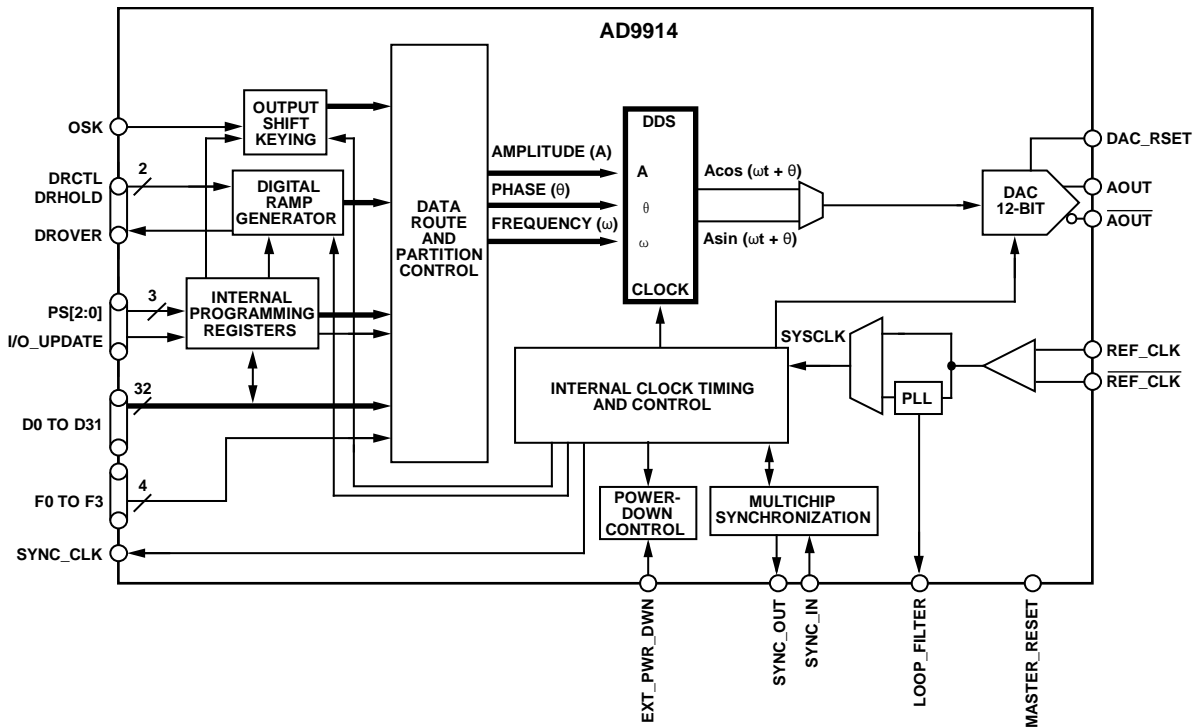


图2. 详细框图

10836-002

技术规格

直流规格

除非另有说明，AVDD (1.8V)和DVDD (1.8V) = 1.8 V ± 5%，AVDD (3.3V)和DVDD_I/O (3.3V) = 3.3 V ± 5%， $T_A = 25^\circ\text{C}$ ， $R_{SET} = 3.3\text{ k}\Omega$ ， $I_{OUT} = 20\text{ mA}$ ，外部参考时钟频率 = 3.5 GHz，旁路参考时钟(REF CLK)乘法器。

表1.

参数	最小值	典型值	最大值	单位	测试条件/注释
电源电压					
DVDD_I/O	3.135	3.30	3.465	V	引脚 16、引脚 83
DVDD	1.71	1.80	1.89	V	引脚 6、引脚 23、引脚 73
AVDD (3.3V)	3.135	3.30	3.465	V	引脚34、引脚36、引脚39、引脚40、引脚43、 引脚47、引脚50、引脚52、引脚53、引脚60
AVDD (1.8V)	1.71	1.80	1.89	V	引脚32、引脚56、引脚57
电源电流					另请参见总功耗规格
$I_{DVDD_I/O}$			20	mA	引脚 16、引脚 83
I_{DVDD}			433	mA	引脚 6、引脚 23、引脚 73
$I_{AVDD(3.3V)}$			640	mA	引脚34、引脚36、引脚39、引脚40、引脚43、 引脚47、引脚50、引脚52、引脚53、引脚60
$I_{AVDD(1.8V)}$			178	mA	引脚32、引脚56、引脚57
总功耗					
基础DDS功率，PLL禁用		2392	3091	mW	3.5 GHz、单音模式、模块禁用、线性扫描禁用、 幅度调节器禁用
基础DDS功率，PLL使能		2237	2627	mW	2.5 GHz、单音模式、模块禁用、线性扫描禁用、 幅度调节器禁用
线性扫描额外功耗		28		mW	
模块额外功耗		20		mW	
幅度调节器额外 功耗		138		mW	手动或自动
完全关断模式		400	616	mW	使用省电和使能寄存器，或 EXT_PWR_DWN引脚
CMOS逻辑输入					
输入高电压(V_{IH})	2.0		DVDD_I/O	V	
输入低电压(V_{IL})			0.8	V	
输入电流(I_{INH} 、 I_{INL})		±60	±200	μA	At $V_{IN} = 0\text{ V}$ 且 $V_{IN} = \text{DVDD_I/O}$
最大输入电容(C_{IN})		3		pF	
CMOS逻辑输出					
输出高电压(V_{OH})	2.7		DVDD_I/O	V	$I_{OH} = 1\text{ mA}$
输出低电压(V_{OL})			0.4	V	$I_{OL} = 1\text{ mA}$
REF CLK输入特性					应始终保持REF CLK输入处于交流耦合 状态(单端和差分)
旁路REF CLK乘法器					
输入电容		1		pF	单端，各引脚
输入电阻		1.4		kΩ	差分
内部产生的直流偏置 电压		2		V	
差分输入电压		0.8	1.5	V p-p	
REF CLK乘法器使能					
输入电容		1		pF	单端，各引脚
输入电阻		1.4		kΩ	差分
内部产生的直流偏置 电压		2		V	
差分输入电压		0.8	1.5	V p-p	

交流规格

除非另有说明，AVDD (1.8V)和DVDD (1.8V) = 1.8 V ± 5%，AVDD3 (3.3V)和DVDD_I/O (3.3V) = 3.3 V ± 5%， $T_A = 25^\circ\text{C}$ ， $R_{SET} = 3.3\text{ k}\Omega$ ， $I_{OUT} = 20\text{ mA}$ ，外部参考时钟频率 = 3.5 GHz，旁路参考时钟(REF CLK)乘法器。

表2.

参数	最小值	典型值	最大值	单位	测试条件/注释
REF CLK输入					输入频率范围
旁路REF CLK乘法器					
输入频率范围	500		3500	MHz	f_{OUT} 最大值为 $0.4 \times f_{SYSCLK}$
占空比	45		55	%	
最小差分输入电平	632			mV p-p	每一侧等效摆幅均为316 mV
系统时钟(SYSCLK) PLL使能					
VCO频率范围	2400		2500	MHz	
VCO增益(K_V)		60		MHz/V	
最大PFD速率			125	MHz	
时钟驱动器					
SYNC_CLK输出驱动器					
频率范围			146	MHz	
占空比	45	50	55	%	
上升/下降时间(20%至80%)		650		ps	
SYNC_OUT输出驱动器					10 pF负载
频率范围			9.1	MHz	
占空比	33		66	%	CFR2寄存器，位9 = 1
上升时间(20%至80%)		1350		ps	10 pF负载
下降时间(20%至80%)		1670		ps	10 pF负载
DAC输出特性					
输出频率范围(1 st 奈奎斯特区)	0		1750	MHz	
输出电阻		50		Ω	单端，各引脚内部端接至AVDD (3.3V)
输出电容		5		pF	
满量程输出电流			20.48	mA	范围取决于DAC R_{SET} 电阻
增益误差	-10		+10	% FS	
输出偏移			0.6	μA	
DAC输出电压范围	AVDD - 0.50		AVDD + 0.50	V	
宽带SFDR					见“典型性能参数”部分
101.1 MHz输出		-66		dBc	0 MHz至1750 MHz
427.5 MHz输出		-65		dBc	0 MHz至1750 MHz
696.5 MHz输出		-57		dBc	0 MHz至1750 MHz
1,396.5 MHz输出		-52		dBc	0 MHz至1750 MHz
窄带SFDR					见“典型性能参数”部分
100.5 MHz输出		-95		dBc	±500 kHz
427.5 MHz输出		-95		dBc	±500 kHz
696.5 MHz输出		-95		dBc	±500 kHz
1,396.5 MHz输出		-92		dBc	±500 kHz
数字时序规格					
进入省电模式所需的时间		45		ns	省电模式会造成DAC/PLL校准设置丢失
离开省电模式所需的时间		250		ns	必须重新校准DAC/PLL
最小主机复位时间	24			SYSCLK周期	
最大DAC校准时间(t_{CAL})			152	μs	$f_{CAL} = f_{SYSCLK}/384$ USR0寄存器，位6 = 0；公式见“DAC校准输出”部分
最大PLL校准时间(t_{REF_CLK})		16		ms	PFD速率 = 25 MHz
		8		ms	PFD速率 = 50 MHz
Profile最大切换速率		1		SYNC_CLK周期	

AD9914

参数	最小值	典型值	最大值	单位	测试条件/注释
并行端口时序					
写入时序					
至 \overline{WR} 有效的地址建立时间	1			ns	
至 \overline{WR} 无效的地址保持时间			0	ns	
至 \overline{WR} 无效的数据建立时间	3.8			ns	
至 \overline{WR} 无效的数据保持时间			0	ns	
\overline{WR} 最小低电平时间			2.1	ns	
\overline{WR} 最小高电平时间			3.8	ns	
最小 \overline{WR} 时间			10.5	ns	
读取时间					
地址保持至数据有效			92	ns	
地址保持至 \overline{RD} 无效			0	ns	
\overline{RD} 保持有效直至数据有效			69	ns	
\overline{RD} 无效直至数据三态			50	ns	
\overline{RD} 最小低电平时间			69	ns	
\overline{RD} 最小高电平时间			50	ns	
串行端口时序					
SCLK时钟速率($1/t_{CLK}$)			80	MHz	SCLK占空比 = 50%
SCLK脉冲宽度高电平, t_{HIGH}	1.5			ns	
SCLK脉冲宽度低电平, t_{LOW}	5.1			ns	
SDIO至SCLK建立时间, t_{DS}	4.9			ns	
SDIO至SCLK保持时间, t_{DH}			0	ns	
SCLK下降沿至有效数据起始时间, SDIO/SDO, t_{DV}			78	ns	
\overline{CS} 至SCLK建立时间, t_s	4			ns	
\overline{CS} 至SCLK保持时间, t_h			0	ns	
\overline{CS} 最短脉冲宽度(高电平), t_{PWH}	4			ns	
数据端口时序					
D[31:0]至SYNC_CLK的建立时间	2			ns	
D[31:0]至SYNC_CLK的保持时间			0	ns	
F[3:0]至SYNC_CLK的建立时间	2			ns	
F[3:0]至SYNC_CLK的保持时间			0	ns	
IO_UPDATE至SYNC_CLK引脚建立时间	2			ns	
IO_UPDATE至SYNC_CLK引脚保持时间			0	ns	
Profile至SYNC_CLK引脚建立时间				ns	
Profile至SYNC_CLK引脚保持时间	2			ns	
DR_CTL/DR_HOLD至SYNC_CLK的建立时间	2		0	ns	
DR_CTL/DR_HOLD至SYNC_CLK的保持时间			0	ns	
数据延迟(流水线延迟)					
单音模式(匹配延迟禁用)					SYSCLK周期 = f_s = 系统时钟频率(GHz)
频率		320		SYSCLK周期	
相位		296		SYSCLK周期	
幅度		104		SYSCLK周期	
单音模式(匹配延迟使能)					
频率		320		SYSCLK周期	
相位		320		SYSCLK周期	
幅度		320		SYSCLK周期	

参数	最小值	典型值	最大值	单位	测试条件/注释
Profile引脚选择模式					
频率		320		SYSClk周期	
相位		296		SYSClk周期	
幅度		104		SYSClk周期	
32引脚并行端口调制模式					
频率		296		SYSClk周期	
相位		272		SYSClk周期	
幅度		80		SYSClk周期	
扫描模式					
频率		392		SYSClk周期	
相位		368		SYSClk周期	
幅度		176		SYSClk周期	

绝对最大额定值

表3.

参数	额定值
AVDD (1.8V)和DVDD (1.8V)电源	2 V
AVDD (3.3V)和DVDD_I/O (3.3V)电源	4 V
数字输入电压	-0.7 V至+4 V
数字输出电流	5 mA
存储温度范围	-65°C至+150°C
工作温度范围	-40°C至+85°C
最高结温	150°C
引脚温度(焊接10秒)	300°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热性能

表4.

符号	描述	值 ¹	单位
θ_{JA}	结至环境热阻(静止空气), 依据JEDEC JESD51-2	24.1	°C/W
θ_{JMA}	结至环境热阻(1.0 m/s气流), 依据JEDEC JESD51-6	21.3	°C/W
θ_{JMA}	结至环境热阻(2.0 m/s气流), 依据JEDEC JESD51-6	20.0	°C/W
θ_{JB}	结至板卡热阻(静止空气), 依据JEDEC JESD51-8	13.3	°C/W
Ψ_{JB}	结至板卡特性参数(静止空气), 依据JEDEC JESD51-6	12.8	°C/W
θ_{JC}	结至外壳热阻	2.21	°C/W
Ψ_{JT}	结至封装顶部特性参数 (静止空气), 依据JEDEC JESD51-2	0.23	°C/W

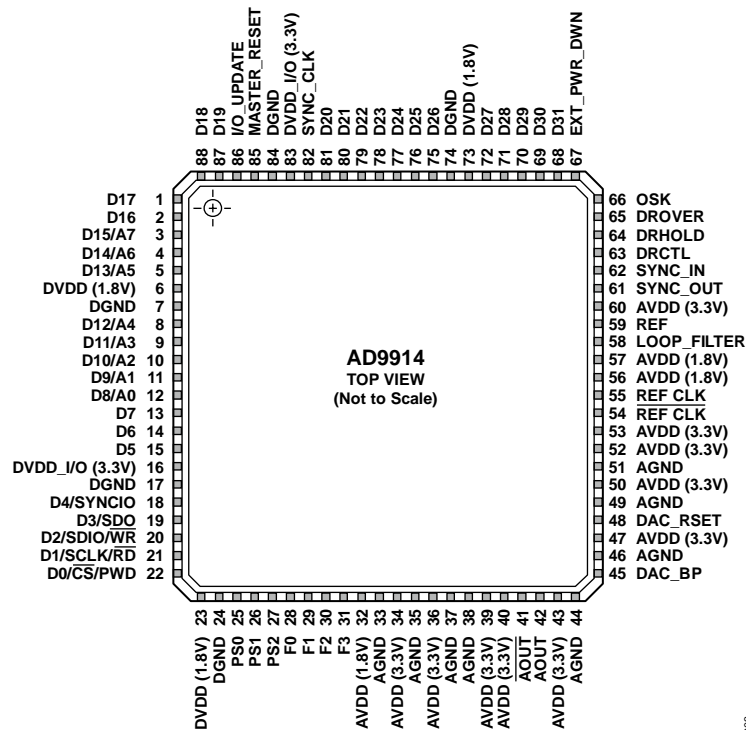
¹ 结果源于仿真。采用JEDEC多层PCB。在确定实际应用的热性能时，要求仔细检查应用的条件，以确定这些条件是否与计算的假设条件相符。

ESD警告

**ESD(静电放电)敏感器件。**

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. THE EPAD MUST BE SOLDERED TO GROUND.

10936-003

图3. 引脚配置

表5. 引脚功能描述

引脚编号	名称	I/O ¹	描述
1, 2, 13 至 15, 68 至 72, 75 至 81, 87, 88	D5 至 D7, D16 至 D31, D27 至 D31	I/O	并行端口引脚。32位并行端口提供内部寄存器的串行或并行编程选项。此外，可将并行端口配置为输出直接FSK、PSK或ASK(或其组合)调制数据。通过4个功能引脚(F0至F3)的状态，可配置32位并行端口。
3	D15/A7	I/O	并行端口引脚/地址线。F0至F3功能引脚的状态决定该引脚是否作为直接FSK、PSK或ASK的数据线使用，或作为地址线用于内部寄存器的编程。
4	D14/A6	I/O	并行端口引脚/地址线。F0至F3功能引脚的状态决定该引脚是否作为直接FSK、PSK或ASK的数据线使用，或作为地址线用于内部寄存器的编程。
5	D13/A5	I/O	并行端口引脚/地址线。F0至F3功能引脚的状态决定该引脚是否作为直接FSK、PSK或ASK的数据线使用，或作为地址线用于内部寄存器的编程。
8	D12/A4	I/O	并行端口引脚/地址线。F0至F3功能引脚的状态决定该引脚是否作为直接FSK、PSK或ASK的数据线使用，或作为地址线用于内部寄存器的编程。
9	D11/A3	I/O	并行端口引脚/地址线。F0至F3功能引脚的状态决定该引脚是否作为直接FSK、PSK或ASK的数据线使用，或作为地址线用于内部寄存器的编程。
10	D10/A2	I/O	并行端口引脚/地址线。多用途引脚，用途取决于功能引脚的状态(F0至F3)。F0至F3功能引脚的状态决定该引脚是否作为直接FSK、PSK或ASK的数据线使用，或作为地址线用于内部寄存器的编程。
11	D9/A1	I/O	并行端口引脚/地址线。多用途引脚，用途取决于功能引脚的状态(F0至F3)。F0至F3功能引脚的状态决定该引脚是否作为直接FSK、PSK或ASK的数据线使用，或作为地址线用于内部寄存器的编程。

AD9914

引脚编号	名称	I/O ¹	描述
12	D8/A0	I/O	并行端口引脚/地址线。F0至F3功能引脚的状态决定该引脚是否作为直接FSK、PSK或ASK的数据线使用，或作为地址线用于内部寄存器的编程。
18	D4/SYNCIO	I	并行端口引脚/串行端口同步引脚。该引脚为D4，用于直接FSK、PSK或ASK数据。若串行模式通过F0至F3激活，则该引脚用于复位串行端口。
19	D3/SDO	I/O	并行端口引脚/串行数据输出。该引脚为D3，用于直接FSK、PSK或ASK数据。若串行模式通过F0至F3激活，则该引脚用于串行操作的回读模式。
20	D2/SDIO/ $\overline{\text{WR}}$	I/O	并行端口引脚/串行数据输入和输出/写输入。该引脚为D2，用于直接FSK、PSK或ASK数据。若串行模式通过F0至F3激活，则该引脚用于串行操作的SDIO。若使能并行模式，则该引脚用于写入数据，改变内部寄存器的数值。
21	D1/SCLK/ $\overline{\text{RD}}$	I	并行端口引脚/串行时钟/读输入。该引脚为D1，用于直接FSK、PSK或ASK数据。若串行模式通过F0至F3激活，则该引脚用于串行操作的SCLK。若使能并行模式，则该引脚用于回读内部寄存器的数值。
22	D0/ $\overline{\text{CS}}$ /PWD	I	并行端口引脚/芯片选择/平行宽度。该引脚为D0，用于直接FSK、PSK或ASK数据。若串行模式通过F0至F3激活，则该引脚用于串行操作的芯片选择。若使能并行模式，该引脚可用于设置8位或16位数据。
6, 23, 73	DVDD (1.8V)	I	数字内核电源(1.8 V)。
7, 17, 24, 74, 84	DGND	I	数字地。
16, 83	DVDD_I/O (3.3V)	I	数字输入/输出电源(3.3 V)。
32, 56, 57	AVDD (1.8V)	I	模拟内核电源(1.8 V)。
33, 35, 37, 38, 44, 46, 49, 51	AGND	I	模拟地。
34, 36, 39, 40, 43, 47, 50, 52, 53, 60	AVDD (3.3V)	I	模拟DAC电源(3.3 V)。
25, 26, 27	PS0至PS2	I	Profile选择引脚。数字输入(高电平有效)。使用此引脚可选择一种DDS相位/频率Profile(共8种)。改变引脚状态，可将所有当前I/O缓冲内容传输到相应寄存器。要改变状态，可设置SYNC_CLK引脚(引脚82)。
28, 29, 30, 31	F0至 F3	I	功能引脚。数字输入。这些引脚的状态决定是否使用串行或并行端口。此外，功能引脚决定32位并行数据字如何根据FSK、PSK或ASK调制模式进行分割。
41	$\overline{\text{AOUT}}$	O	DAC互补输出电流源。模拟输出(电压模式)。通过50 Ω 电阻内连AVDD (3.3V)。
42	AOUT	O	DAC输出电流源。模拟输出(电压模式)。通过50 Ω 电阻内连AVDD (3.3V)。
45	DAC_BP	I	DAC旁路引脚。提供DAC电流源的通用控制节点连接。在该引脚和地之间连接一个电容能改善DAC输出的噪声性能。
48	DAC_RSET	O	模拟基准电压源。此引脚对DAC输出满量程参考电流编程。连接3.3 k Ω 电阻至AGND。
54	$\overline{\text{REF_CLK}}$	I	互补参考时钟输入。模拟输入。
55	REF_CLK	I	参考时钟输入。模拟输入。
58	LOOP_FILTER	O	外部PLL环路滤波器节点。
59	REF	O	本地PLL基准电压源。典型值为2.05 V。
61	SYNC_OUT	O	数字同步输出。用于同步多个芯片。
62	SYNC_IN	I	数字同步输入。用于同步多个芯片。
63	DRCTL	I	斜坡控制。数字输入(高电平有效)。该引脚控制扫描方向(向上/向下)。
64	DRHOLD	I	斜坡保持。数字输入(高电平有效)。当其有效时，暂停扫描。
65	DROVER	O	斜坡结束。数字输出(高电平有效)。当数字斜坡发生器达到最大/最小编程值时，此引脚将切换到逻辑1。
66	OSK	I	输出幅度键控。数字输入(高电平有效)。在手动或自动模式中启用OSK功能时，通过此引脚控制。在手动模式中，此引脚在0(低)和编程幅度比例因子(高)之间切换乘法器。在自动模式中，低电平向下扫描幅度至0，高电平向上扫描幅度至幅度比例因子。

引脚编号	名称	I/O ¹	描述
67	EXT_PWR_DWN	I	外部关断。数字输入(高电平有效)。此引脚高电平会启用当前编程的省电运行模式。
82	SYNC_CLK	O	时钟输出。数字输出。芯片中的很多数字输入(如I/O_UPDATE、PS[2:0]和并行数据端口D0至D31)必须在该信号的上升沿阶段设置。
85	MASTER_RESET	I	主机复位。数字输入(高电平有效)。所有存储元件清0，寄存器设置为默认值。
86	I/O_UPDATE	I	输入/输出更新。数字输入(高电平有效)。此引脚高电平会将I/O缓冲内容传输到相应的内部寄存器。
	EPAD		裸露焊盘。EPAD应焊接接地。

¹I = 输入，O = 输出。

典型工作特性

标称电源电压；除非另有说明，DAC $R_{SET} = 3.3\text{ k}\Omega$ ， $T_A = 25^\circ\text{C}$ 。

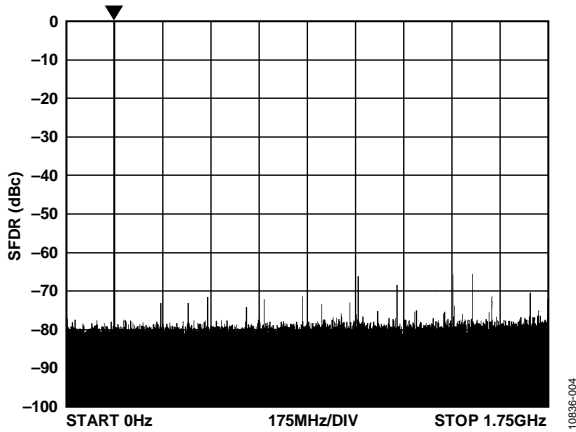


图4. 宽带SFDR, 171.5 MHz,
SYSCLK = 3.5 GHz(旁路SYSCLK PLL)

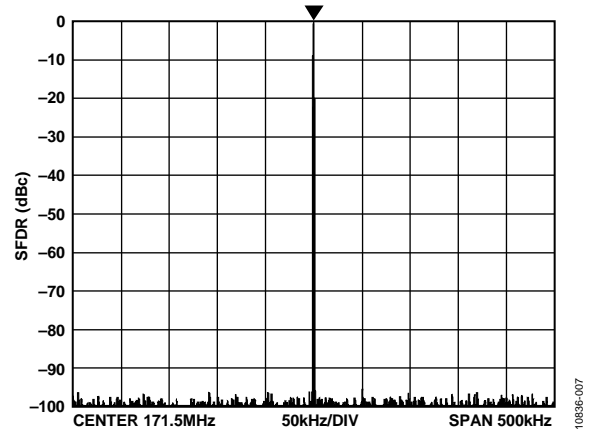


图7. 窄带SFDR, 171.5 MHz,
SYSCLK = 3.5 GHz(旁路SYSCLK PLL)

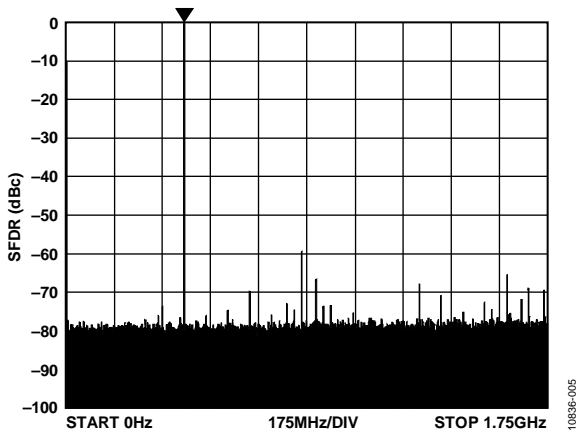


图5. 宽带SFDR, 427.5 MHz,
SYSCLK = 3.5 GHz(旁路SYSCLK PLL)

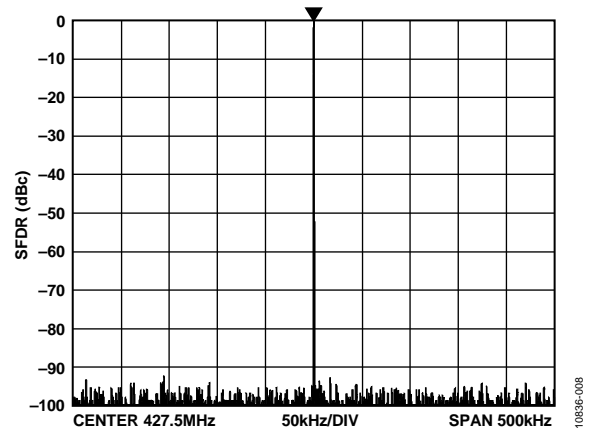


图8. 窄带SFDR, 427.5 MHz,
SYSCLK = 3.5 GHz(旁路SYSCLK PLL)

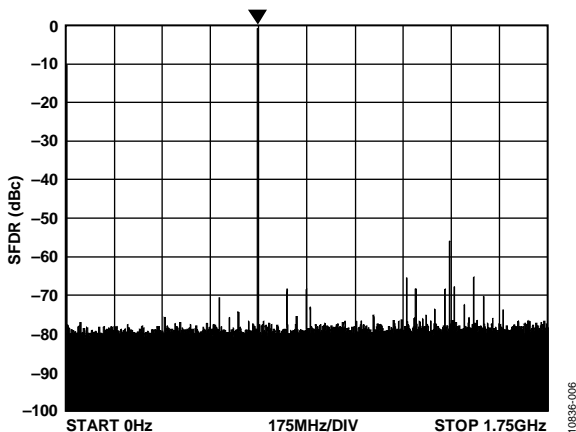


图6. 宽带SFDR, 696.5 MHz,
SYSCLK = 3.5 GHz(旁路SYSCLK PLL)

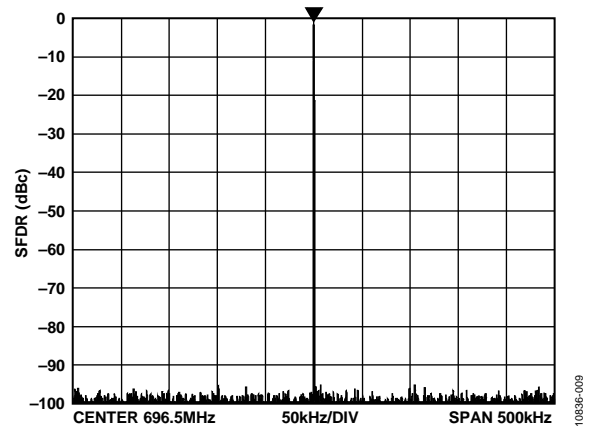


图9. 窄带SFDR, 696.5 MHz,
SYSCLK = 3.5 GHz(旁路SYSCLK PLL)

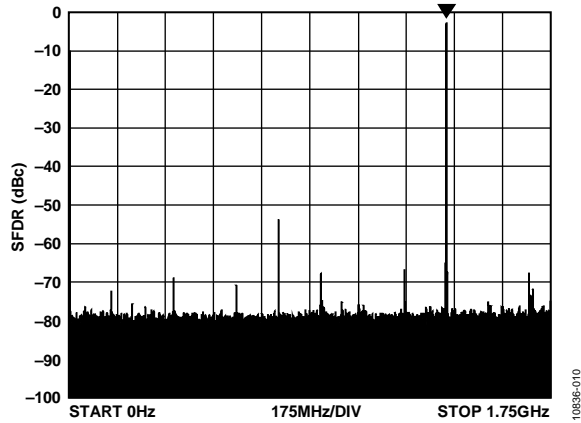


图10. 宽带SFDR, 1,396.5 MHz, SYSCLK = 3.5 GHz(旁路SYSCLK PLL)

1083E-010

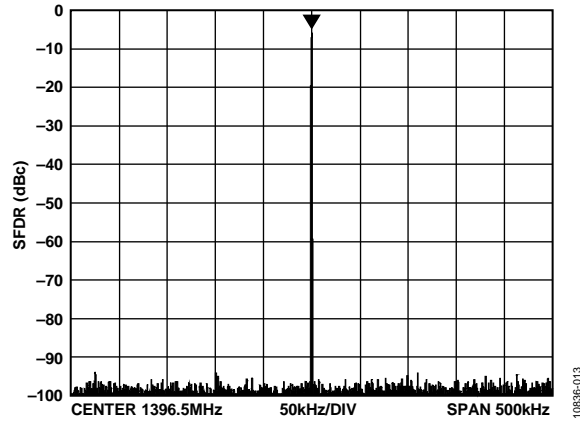


图13. 窄带SFDR, 1,396.5 MHz, SYSCLK = 3.5 GHz(旁路SYSCLK PLL)

1083E-013

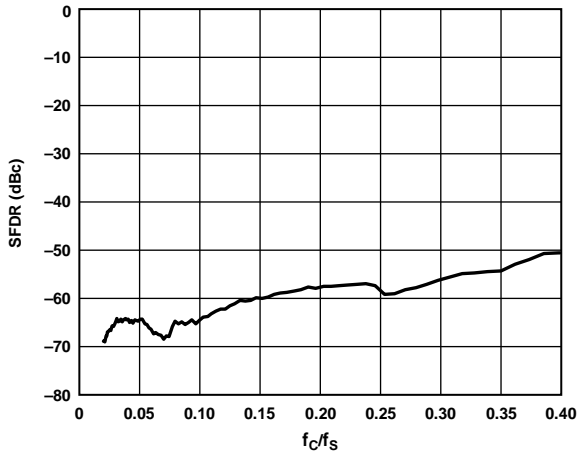


图11. 宽带SFDR与归一化 f_{OUT} 的关系, SYSCLK = 3.5 GHz

1083E-011

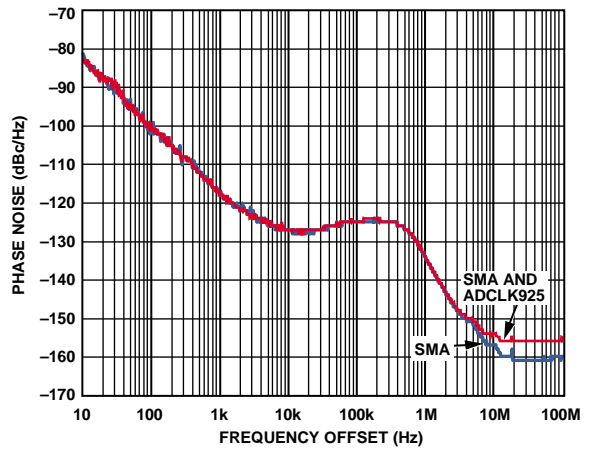


图14. REF CLK源在3.5 GHz下驱动AD9914 Rohde和Schwarz SMA100信号发生器时的绝对相位噪声, 通过ADCLK925系列缓冲

1083E-014

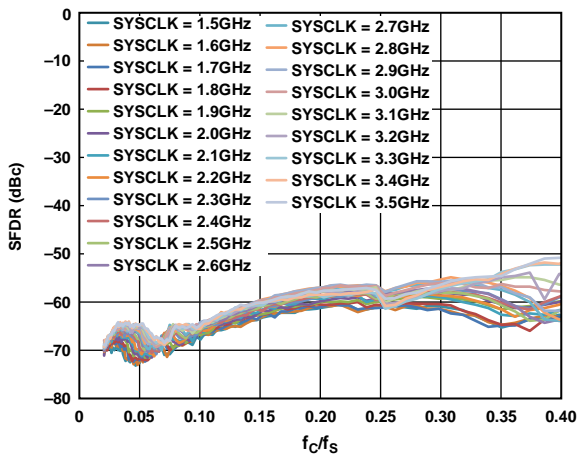


图12. 宽带SFDR与归一化 f_{OUT} 的关系, SYSCLK = 2.5 GHz至3.5 GHz

1083E-012

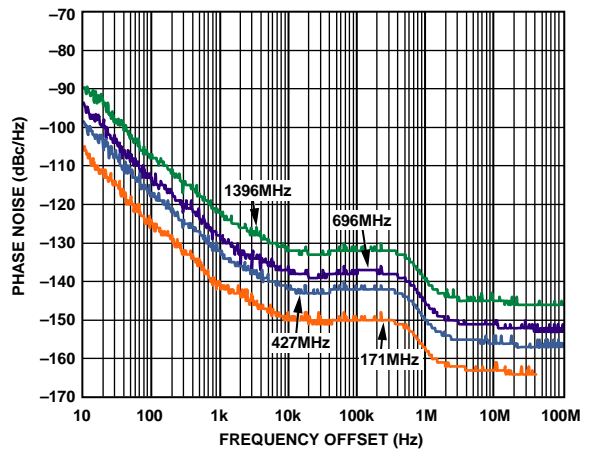


图15. DDS输出在3.5 GHz工作频率下的绝对相位噪声曲线

1083E-015

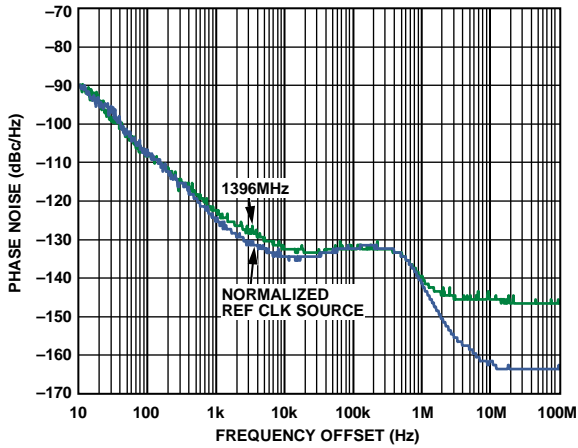


图16. 1396 MHz时, 归一化REF CLK源至DDS输出的绝对相位噪声曲线(SYSCLK = 3.5 GHz)

1083B-016

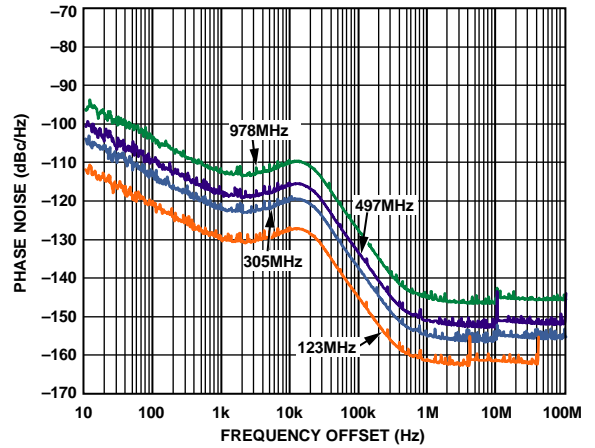


图19. 使用内部PLL、在2.5 GHz工作频率下的DDS输出绝对相位噪声曲线

1083B-019

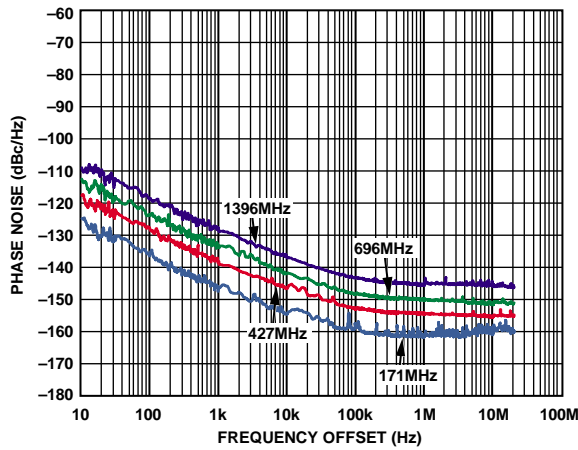


图17. 残余相位噪声

1083B-017

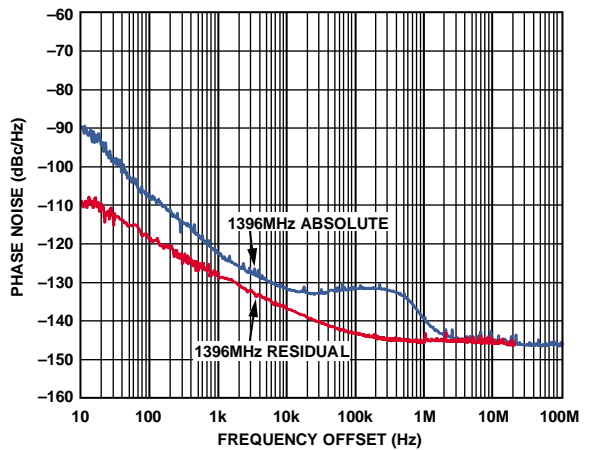


图20. 1396 MHz时, 残留相位噪声与绝对相位噪声的关系曲线

1083B-020

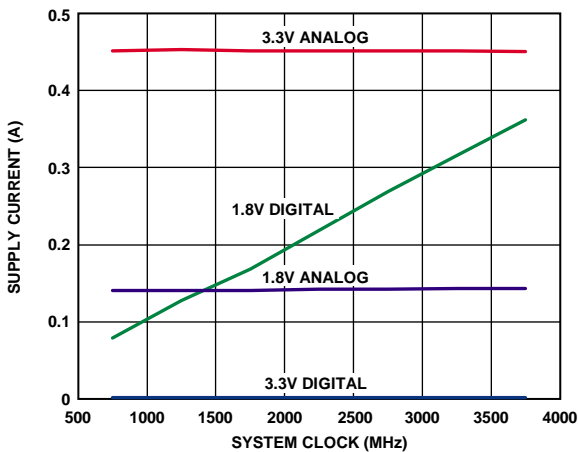


图18. 电源电流与SYSCLK的关系

1083B-018

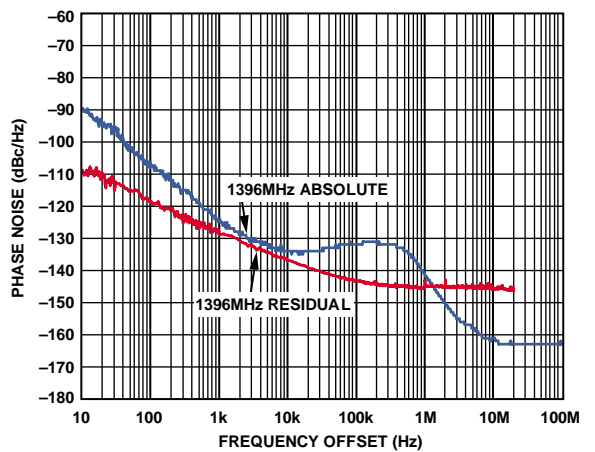


图21. 1396 MHz时, 残留相位噪声与归一化绝对REF CLK源相位噪声的关系

1083B-021

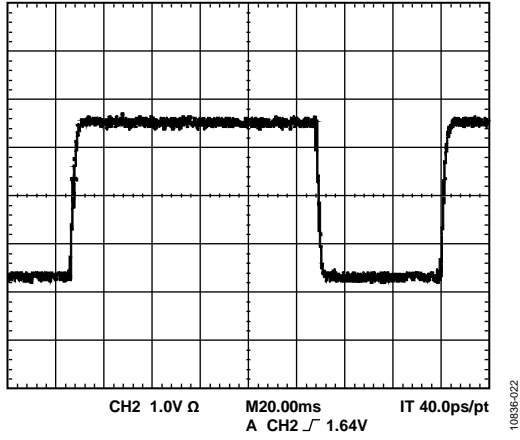


图22. SYNC_OUT ($f_{SYSCLK}/384$)

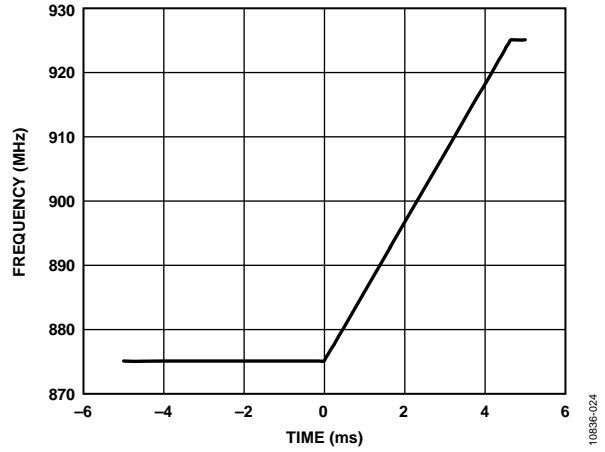


图24. 经过测量的上升线性频率扫描

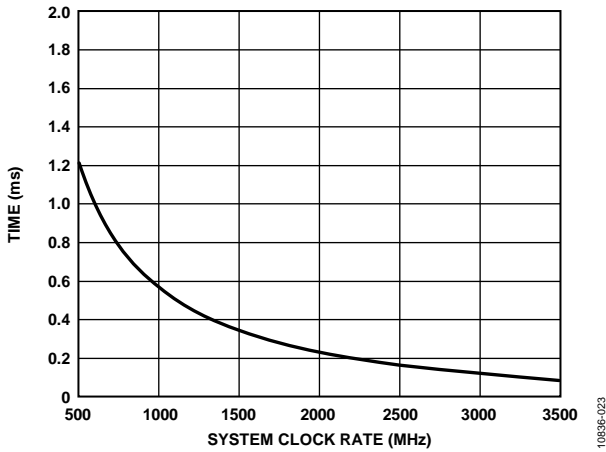


图23. DAC校准时间与SYSCLK速率的关系公式
参见“DAC校准输出”部分

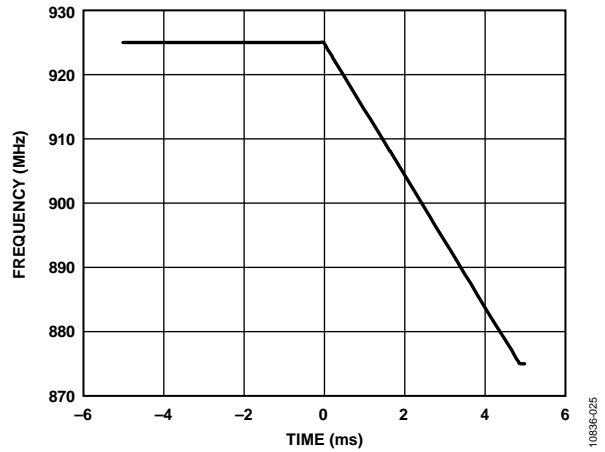


图25. 经过测量的下降线性频率扫描

等效电路

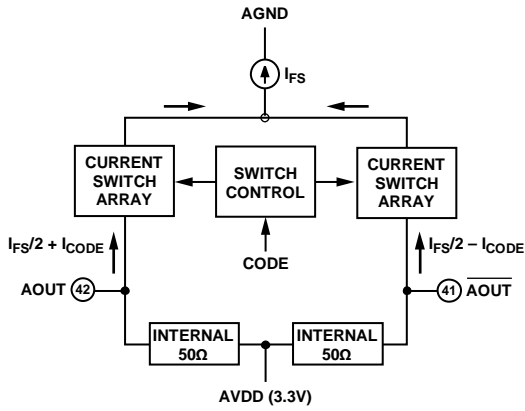


图26. DAC输出

10836-044

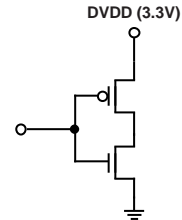


图28. CMOS输入

10836-045

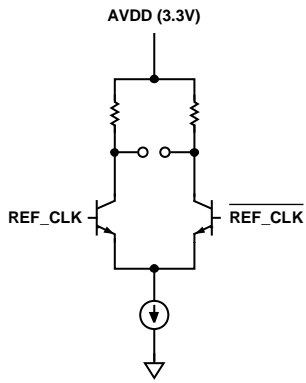


图27. REF CLK输入

10836-048

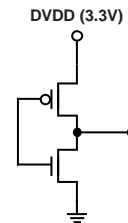


图29. CMOS输出

10836-043

工作原理

AD9914支持五种工作模式。

- 单频模式
- Profile调制
- 数字斜坡调制(线性扫描)
- 并行数据端口调制模式
- 可编程调制模式

模式决定了供给DDS的数据源, 这些数据源控制信号的参数: 频率、相位或幅度。根据模式和/或具体控制位和功能引脚, 将数据按频率、相位和幅度分成不同的组合。

虽然本文会分别介绍各种工作模式, 但实际操作时可以同时启用多种模式。因此, 这为配置复杂调制方案带来了巨大的灵活性。为避免多数据源驱动同一DDS信号控制参数, AD9914确定了内部优先级协议。

在单音模式中, DDS信号控制参数由Profile编程寄存器直接提供。在数字斜坡调制模式中, DDS信号控制参数通过数字斜坡发生器提供。在并行数据端口调制模式中, DDS信号控制参数由并行端口直接控制。

各种调制模式一般只使用一种DDS信号控制参数(极化调制格式通过并行数据端口使用两种参数)。未调制的DDS信号控制参数保存在相应的编程寄存器中, 根据所选工作模式自动传送到DDS。

另外, AD9914还具有独立的输出幅度键控(OSK)功能。通过独立的数字线性斜坡发生器, 只对DDS幅度参数产生作用。与其他数据源相比, OSK功能可以优先驱动DDS幅度参数。因此, 一旦启用OSK功能, 其他数据源将无法驱动DDS幅度。

单频模式

在单频模式中, DDS信号控制参数由Profile编程寄存器直接提供。Profile是一个包括DDS信号控制参数的独立寄存器。AD9914共有8个Profile寄存器, 注意必须使用Profile引脚选择所需的寄存器。

PROFILE调制模式

每个Profile都能单独访问。对于FSK、PSK、或ASK调制, 利用三个外部Profile引脚(PS[2:0])可选择想要的Profile。改变Profile引脚状态将在SYNC_CLK下一上升沿使用所选Profile中指定参数更新DDS。因此, Profile变化必须满足

SYNC_CLK上升沿的建立和保持时间要求。注意幅度控制必须通过CFR1寄存器中的OSK使能位开启(0x00[8])。

数字斜坡调制模式

在数字斜坡调制模式中, 调制的DDS信号控制参数由数字斜坡发生器(DRG)直接提供。斜坡发生参数由串行或并行I/O端口控制。

利用斜坡发生参数, 用户可以控制斜坡的上升和下降斜率。斜坡的上下限值、斜坡上升/下降部分的步长和步率均可编程。

斜坡采用数字化生成, 输出分辨率32位。DRG的32位输出可编程影响频率、相位或幅度。编程频率时, 要用到所有32位。而编程相位或幅度时分别只需用16位和12位MSB。

斜坡方向(上升或下降)通过DRCTL引脚外部控制。用户使用DRHOLD附加引脚还能保持斜坡发生器的当前状态。注意幅度控制必须通过CFR1寄存器中的OSK使能位开启。

并行数据端口调制模式

在并行数据端口调制模式中, 调制的DDS信号的控制参数直接由32位并行数据端口提供。功能引脚定义了32位数据字控制DDS的哪个参数。无论对象是哪一种, 32位数据字都采用无符号二进制格式表示。

并行数据时钟(SYNC_CLK)

AD9914可以在SYNC_CLK引脚上产生一个1/24 DAC采样速率的时钟信号(并行数据端口采样速率)。SYNC_CLK作为并行端口的数据时钟使用。

可编程调制模式

在可编程模块化模式中, DRG作为辅助累加器, 用于改变DDS内核的频率方程, 使得在分母中使用不受2的幂次方限制的小数成为可能。由于相位累加器是一组数据位, 与频率调谐字(FTW)相等, 因此标准DDS作为分母受限于2的幂次方。

在可编程模块化模式中, 频率方程可以表示为:

$$f_o = (f_s)(FTW + A/B)/2^{32}$$

其中: $f_o/f_s < 1/2$, $0 \leq FTW < 2^{31}$, $2 \leq B \leq 2^{32} - 1$, 且 $A < B$ 。

AD9914

该方程表示模数 $B \times 2^{32}$ (而非标准DDS中的 2^{32})。并且, 由于B是可编程的, 则得到可编程模数DDS。

在可编程模数模式中, 32位辅助累加器工作方式为允许在某一数值翻转, 而非完全达到 2^{32} 。也就是说, 它工作时采用修改后的模数, 该模数基于可编程的B数值。随着辅助累加器的每一次翻转, 32位相位累加器的当前累加值都会增加1 LSB的值。这一特性将相位累加器更改为 $B \times 2^{32}$ (而非 2^{32}), 允许其合成所需的 f_o 。

为决定可编程模数模式寄存器FTW、A和B的值, 用户必须先定义 f_o/f_s , 作为相对质数M/N的比值, 即将 f_o 和 f_s 转换为整数M和N, 并消去M/N的公因数, 直到只剩最小项。然后, 让 $M \times 2^{32}$ 除以N。除法运算的整数部分即为FTW的数值(寄存器0x04[31:0])。除法运算的余数Y为:

$$Y = (2^{32} \times M) - (FTW \times N)$$

通过消除Y/N的公因数直到最小项, 便可通过Y值求得A和B。消去公因数后的分子为A(寄存器0x06[31:0]), 分母为B(寄存器0x05[31:0])。

例如, 使用标准DDS, 则无法采用1 GHz的系统时钟合成精确的300 MHz频率。然而, 使用可编程模数则可实现。

首先, 将 f_o/f_s 表述为整数的比:

$$300,000,000/1,000,000,000$$

消去小数只剩最小项, 得到3/10; 因此, $M = 3, N = 10$ 。FTW是 $(M \times 2^{32})/N$ 的整数部分, 或 $(3 \times 2^{32})/10$, 即1,288,490,188 (32位十六进制: 0x4CCCCCCC)。 $(3 \times 2^{32})/10$ 的余数Y等于 $(2^{32} \times 3) - (1,288,490,188 \times 10)$, 即8。因此, $Y/N = 8/10$, 消得4/5。因此, $A = 4, B = 5$ (32位十六进制分别为: 0x00000004和0x00000005)。采用FTW、A和B对AD9914编程, 可获得精确的3/10系统时钟频率。

模式优先级

独立激活这些模式可以实现多种数据源共存, 驱动同一DDS信号控制参数的目的(频率、相位和幅度)。为避免冲突, AD9914确立了一套优先级控制系统。表6给出了每种DDS模式的优先级。表6中的数据源列表示某种DDS信号控制参数的数据源, 按降序排列优先级。例如, 若Profile模式使能和并行数据端口使能位(0x01[23:22])设为逻辑1, 且两位均编程为将频率调谐字传输至DDS输出, Profile调制模式比并行数据端口调制模式具有更高的优先级。

表6. 数据源优先级

优先级	DDS信号控制参数	
	数据源	条件
最高 优先级	可编程模数	若可编程模数模式仅用于输出频率, 则无任何其它数据源可用于控制该模式下的输出频率。注意, DRG与可编程模数模式一同使用; 因此, DRG不可用于扫描可编程模数模式中的相位或幅度。 若需要用到输出相位失调控制, 则使能Profile模式并使用Profile寄存器和Profile引脚分别调节输出相位。 若需要用到输出幅度控制, 则使能Profile模式并使用Profile寄存器和Profile引脚分别调节输出幅度。注意必须设置OSK使能位, 以控制输出幅度。
	DRG	数字斜坡调制模式是次高优先级模式。若使能DRG以扫描输出频率、相位或幅度, 则这两个未被扫描的参数可通过Profile模式单独受控。
最低 优先级	Profiles 并行端口	Profile调制模式是第二高优先级的模式。若需要, Profile模式可用于单独控制全部三个参数。并行数据端口调制具有最低的优先级, 但可以高速率改变任意参数, 具有最佳的灵活性。见“编程和功能引脚”部分。

功能框图详解

DDS内核

直接数字频率合成器(DDS)模块产生参考信号(正弦或余弦取决于使能正弦输出位0x00[16])。参考信号的参数(频率、相位和幅度)由DDS频率、相位偏移和幅度控制输入信号决定,如图30所示。

AD9914的输出频率(f_{OUT})由DDS频率控制输入的频率调谐字(FTW)控制。 f_{OUT} 、FTW和 f_{SYSCLK} 之间的关系可由以下公式表示:

$$f_{OUT} = \left(\frac{FTW}{2^{32}} \right) f_{SYSCLK} \quad (1)$$

其中:FTW是介于0至2,147,483,647 ($2^{31} - 1$)之间的32位整数,表示完整32位变量的低半部。此范围包括从dc至奈奎斯特频率($\frac{1}{2} f_{SYSCLK}$)内的所有频率。

对于给定想要的 f_{OUT} 值,可通过公式1求出FTW,如公式2所示:

$$FTW = \text{round} \left(2^{32} \left(\frac{f_{OUT}}{f_{SYSCLK}} \right) \right) \quad (2)$$

其中:函数round(x)将自变量(x的值)四舍五入为最接近的整数。这是因为FTW必须为一个整数值。例如,如果 $f_{OUT} = 41$ MHz, $f_{SYSCLK} = 122.88$ MHz,那么 $FTW = 1,433,053,867$ (0x556AAAAB)。

如果FTW大于 2^{31} ,编程后会在输出频率中产生混叠镜像,即:

$$f_{OUT} = \left(1 - \frac{FTW}{2^{32}} \right) f_{SYSCLK} \quad (\text{for } FTW \geq 2^{31})$$

DDS信号的相对相位通过16位的相位偏移字(POW)来控制。相位偏移在DDS内核角度幅度转换模块之前产生。相对相位偏移($\Delta\theta$)可由以下公式计算:

$$\Delta\theta = \begin{cases} 2\pi \left(\frac{POW}{2^{14}} \right) \\ 360 \left(\frac{POW}{2^{14}} \right) \end{cases}$$

其中:上部相位偏移值的单位是弧度,下部单位是度数。

对于任意给定的 $\Delta\theta$,可利用上述公式求出POW,再将结果四舍五入即可(方法与计算任意FTW类似)。

DDS信号的相对幅度范围(相对于满量程)可由12位幅度比例因子(ASF)进行数字化控制。幅度范围在DDS内核角度幅度转换模块输出时产生。幅度范围的计算公式为:

$$\text{Amplitude Scale} = \begin{cases} \frac{ASF}{2^{12}} \\ 20 \log \left(\frac{ASF}{2^{12}} \right) \end{cases} \quad (3)$$

其中:上部幅度值以满量程分数表示,下部值以dB表示所占满量程的比重。

对于给定比例因子,可利用公式3求出ASF,将结果四舍五入即可(方法与计算任意FTW类似)。

AD9914编程调制任意DDS信号控制参数时,最大调制采样速率为 $\frac{1}{4} f_{SYSCLK}$ 。也就是说调制信号产生的图像只有 $\frac{1}{4} f_{SYSCLK}$ 的倍频。使用本器件作为调制器时必须考虑这些镜像产生的影响。

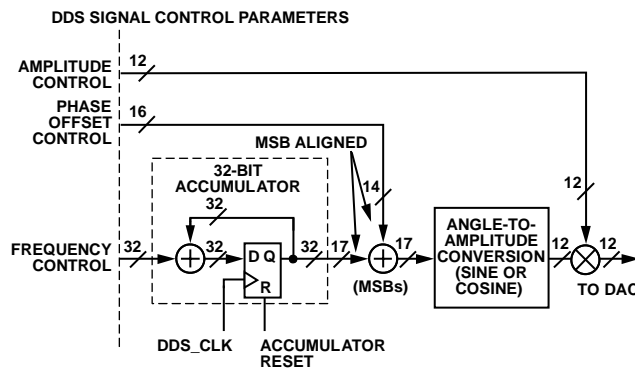


图30. DDS功能框图

12位DAC输出

AD9914内置一个12位电流输出DAC。利用两路输出保证输出电流信号的平衡。平衡输出能够降低DAC输出时潜在的共模噪声，提供更出色的信噪比。在DAC_RSET和AGND引脚之间连接一个外部电阻(R_{SET})建立参考电流。推荐使用3.3 k Ω 外部电阻器(R_{SET})。

应注意负载端接电阻的大小，保证输出电压处于顺从电压规定的范围内；电压超限容易产生过多失真，造成DAC输出电路损坏。

DAC校准输出

CFR4控制寄存器(0x03[24])中的DAC CAL使能位必须手动设置，并且每次上电以及每次REF_CLK或内部系统时钟改变以后需清零。它触发内部校准程序，以优化内部DAC时序的建立和保持时间。校准失败可能降低性能，甚至导致功能故障。校准DAC时钟的时间长度通过下式计算：

$$t_{CAL}(f_s) = \frac{531,840}{f_s}$$

重构滤波器

DAC输出信号在 f_s 端以正弦信号采样的方式出现。正弦信号的频率由DDS输入的频率调谐字(FTW)决定。DAC输出

通常流经外部重构滤波器，其作用是消除采样过程的伪像以及滤波器带宽外的其它杂散。

由于DAC构成采样系统，其输出必须经过滤，以便模拟波形精确代表供应至DAC输入端的数字样本。未经过滤的DAC输出包含所需的基带信号，范围从直流扩展到奈奎斯特频率($f_s/2$)。它还含有基带信号的镜像，理论上可扩展至无穷大。注意奇数序号的镜像(见图31)为基带信号的镜像。此外，DAC输出信号具有采样-保持特性，造成整个DAC输出频谱受 $\sin(x)/x$ 影响。

对于采用DAC输出基频的应用而言，重构滤波器的响应应保留基带信号(镜像0)，同时完全抑制其它镜像。然而，实际的滤波器实施通常表现出相对较为平缓的通带，覆盖所需的输出频率加20%，其滚降尽可能急剧，然后保持剩余镜像的显著(虽然不是完全)抑制。根据干扰杂散与所需信号的接近度，常用的有3阶、5阶或7阶椭圆低通滤波器。

某些应用需要工作在超过奈奎斯特频率的镜像，它们使用带通滤波器而非低通滤波器。重构滤波器的设计对于整个信号性能有非常大的影响。因此，若要获得最佳的抖动性能，良好的滤波器设计和实施技术非常重要。

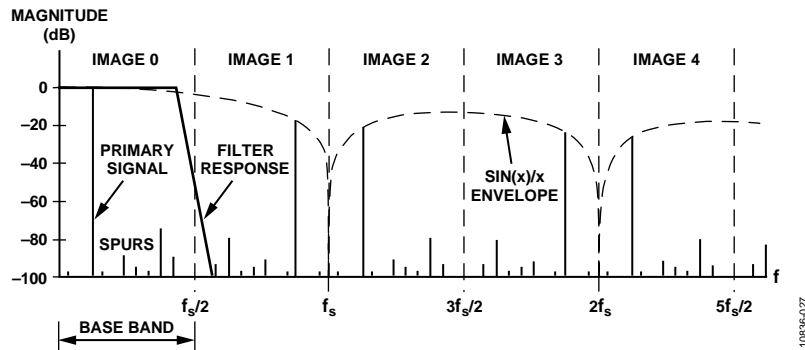


图31. DAC频谱与重构滤波器响应的关系

PLL电荷泵

电荷泵电流值(I_{CP})通过VCO校准过程和存储在CFR3寄存器(0x02[15:8])内反馈分频器N[7:0]中的反馈分频器值($N = 8$ 至255)自动选择。若要手动覆盖充电泵电流值, CFR3 (0x02[6])中的手动 I_{CP} 选择位必须设为逻辑1。

这为用户提供了额外优化PLL性能的灵活性。表7列出了位设置和标称电荷泵电流之间的关系。

表7. PLL电荷泵电流

I_{CP} 位(CFR3[5:3])	电荷泵电流, I_{CP} (μ A)
000	125
001	250
010	375
011	500(默认)
100	625
101	750
110	875
111	1000

表8. N分频器与电荷泵电流的关系

N分频器范围	推荐充电泵电流, I_{CP} (μ A)
8至15	125
16至23	250
24至35	375
36至43	500
44至55	625
56至63	750
64至79	875
80至100	1000

PLL环路滤波器补偿

环路滤波器对设备而言基本属于内部器件, 如图34所示。推荐的外部电容值为560 pF。由于集成了 C_p 和 R_{pz} , 不建议通过外部电容调节环路带宽。更好的方法是调节充电泵电流, 虽然仅是一种粗调。

例如, 假设PLL被手动编程为 $I_{CP} = 375 \mu$ A、 $KV = 60$ MHz/V、 $N = 50$ 。这将产生大致为250 kHz的环路带宽。

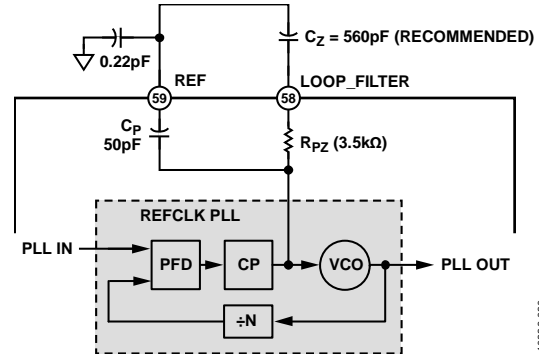


图34. REF CLK PLL外部环路滤波器

PLL锁定指示

使用PLL时, PLL锁定位(0x1B[24])提供高电平有效指示, 表示PLL已锁定REF CLK输入信号。

输出幅度键控(OSK)

OSK功能(参见图35)允许用户控制DDS输出信号的幅度。与任何其他向DDS发送编程幅度数据的模块相比, OSK模块产生的幅度数据优先级最高。因此, OSK数据源使能后, 其控制权优先于所有其他幅度数据源。

OSK功能由两个CFR1寄存器位、OSK使能(0x00[8])和外部OSK使能(0x00[9])、外部OSK引脚、Profile引脚、以及12位幅度比例因子, 存在于8个Profile寄存器中的其中之一。Profile引脚用于选择包含所需幅度比例因子的Profile寄存器。

主要控制OSK模块的是OSK使能位(0x00[8])。OSK功能禁用后, OSK输入控制和OSK引脚会被忽略。

OSK引脚功能取决于外部OSK使能位的状态以及OSK使能位本身。当两个位均设置为逻辑1并且OSK引脚为逻辑0时, 输出幅度强制为0; 否则, 当OSK引脚为逻辑1时, 输出幅度由幅度比例因子决定, 存在于8个Profile寄存器中的其中之一, 具体取决于Profile引脚选择。

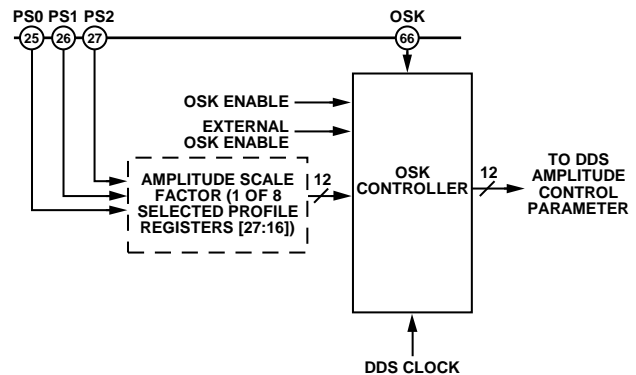


图35. OSK功能框图

数字斜坡发生器(DRG)

DRG概述

AD9914集成了全数字斜坡发生器，可以从编程设定的起点到终点扫描相位、频率和幅度。DRG要用到8个控制寄存器位、3个外部引脚和5个32位寄存器(见图36)。

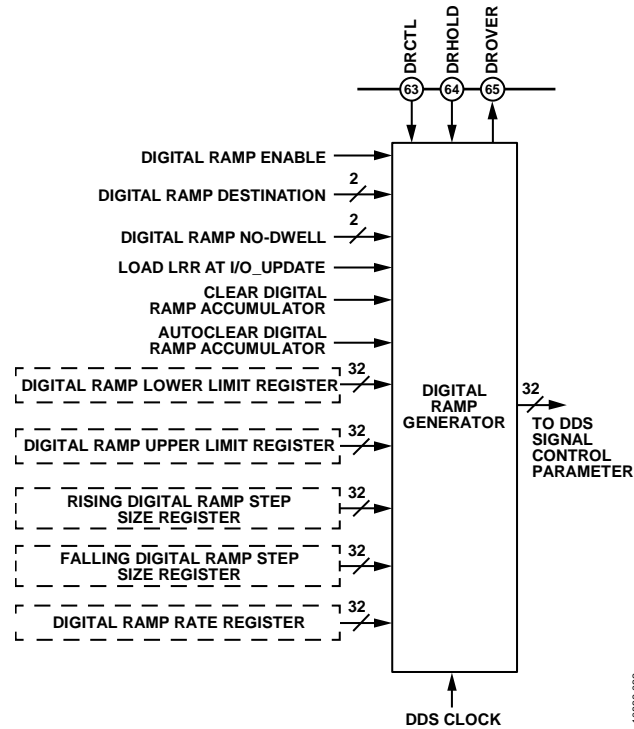


图36. 数字斜坡功能框图

控制DRG的主要是数字斜坡使能位(0x01[19])。禁用该位后，DRG其他的输入控制会被忽略，内部时钟关闭节能。

DRG采用32位无符号数据总线输出，可以与DDS三种信号控制参数中的任意一种连接。DRG由控制功能寄存器2中的两个数字斜坡目的位控制，参见表9。根据目的位定义，32位输出总线可以与32位频率参数、16位相位参数以及12位幅度参数通过MSB对齐。如果目的位是相位或幅度，未使用的LSB会被忽略。

表9. 数字斜坡目的位控制

数字斜坡目的位 (CFR2[21:20])	DDS信号控制参数	DDS参数指定位
00	频率	31:0
01	相位	31:18
1x ¹	幅度	31:20

¹x = 无关位。

DRG的斜坡特性参数可完全编程。包括：斜坡上下限值、正/负斜率斜坡的步长和步率单独控制。DRG详细框图如图37所示。

斜坡方向由DRCTL引脚控制。此引脚上逻辑0可使DRG生成负斜率斜坡，逻辑1产生正斜率斜坡。

另外，DRG还支持由DRHOLD引脚控制的保持功能。当此引脚设为逻辑1时，DRG停留在最后的状态中；否则，DRG会正常工作。非DRG目的位定义的DDS信号控制参数取自有效profile。

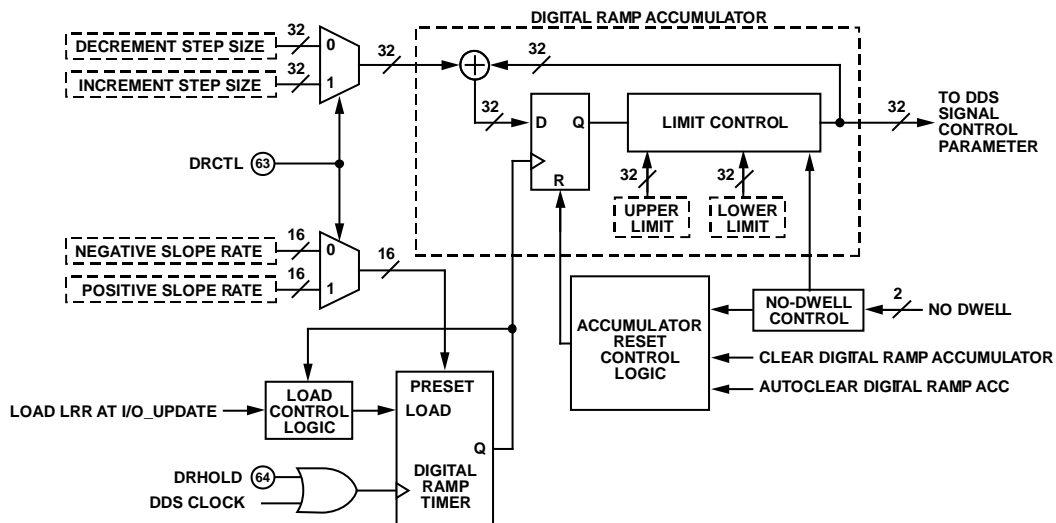


图37. 数字斜坡发生器详图

DRG斜率控制

DRG的内核是以可编程定时器为时钟的32位累加器。而定时器的时间参考是DDS时钟，工作在 $1/24 f_{\text{SYSCLK}}$ 频率。定时器用于建立累加器两个连续更新之间的时间间隔。正斜率步进间隔($+\Delta t$)和负斜率步进间隔($-\Delta t$)都能独立编程控制，计算公式为：

$$+\Delta t = \frac{24P}{f_{\text{SYSCLK}}}$$

$$-\Delta t = \frac{24N}{f_{\text{SYSCLK}}}$$

其中： P 和 N 是保存在32位数字斜坡率寄存器中的两个16位数值，用于控制步进间隔。 N 指负斜率斜坡的步进间隔。 P 指正斜率斜坡步进间隔。

正斜率斜坡步长(STEP_P)和负斜率斜坡步长(STEP_N)采用32位数值，由32位上升和下降数字斜坡步长寄存器编程控制(0x06和0x07)。每一步长的编程值是无符号整数(硬件会自动将 STEP_N 看作负值)。32位步长值和频率、相位以及幅度单位之间的关系取决于数字斜坡目的位。用 STEP_N 或 STEP_P 替换下列公式中的 M ，可以计算实际频率、相位和幅度步长：

$$\text{频率步长} = \left(\frac{M}{2^{32}}\right) f_{\text{SYSCLK}}$$

$$\text{相位步长} = \frac{\pi M}{2^{31}} \quad (\text{弧度})$$

$$\text{相位步长} = \frac{45M}{2^{29}} \quad (\text{度})$$

$$\text{幅度步长} = \left(\frac{M}{2^{32}}\right) I_{\text{FS}}$$

注意频率单位与 f_{SYSCLK} 使用的单位保持一致(例如：MHz)。幅度单位与DAC满量程输出电流 I_{FS} 使用的单位保持一致(例如：mA)。

相位和幅度步长公式计算的结果是平均步长。虽然步长累加精度可达32位，相位和幅度分别只用到16位或12位。因此，实际相位或幅度步长会根据目的控制位将累加的32位值截取为16位或12位结果。

根据前文所述，步进间隔由16位可编程定时器控制。有三种情况会造成定时器超时前重载。第一种情况是数字斜坡使能位由0变为1，随后进行I/O更新。第二种情况是DRCTL引脚状态发生改变。第三种情况是在I/O更新位中加载LRR(0x00[15])。

DRG限值控制

斜坡累加器后设有限值控制逻辑，可以强制设定斜坡发生器输出信号的上下边界。在任何情况下，DRG使能后的输出信号都不会超过编程设定的限值。上下限值由64位数字斜坡限值寄存器控制。注意上限值要大于下限值，才能保证DRG正常运行。

DRG累加器清零

通过编程控制可以使斜坡累加器清0(即复位至0)。斜坡累加器清0后，会强制DRG按数字斜坡限值寄存器中编程设定的下限值输出。

通过将限值控制模块嵌入累加器反馈路径中，复位累加器即相当于将其预置为下限值。

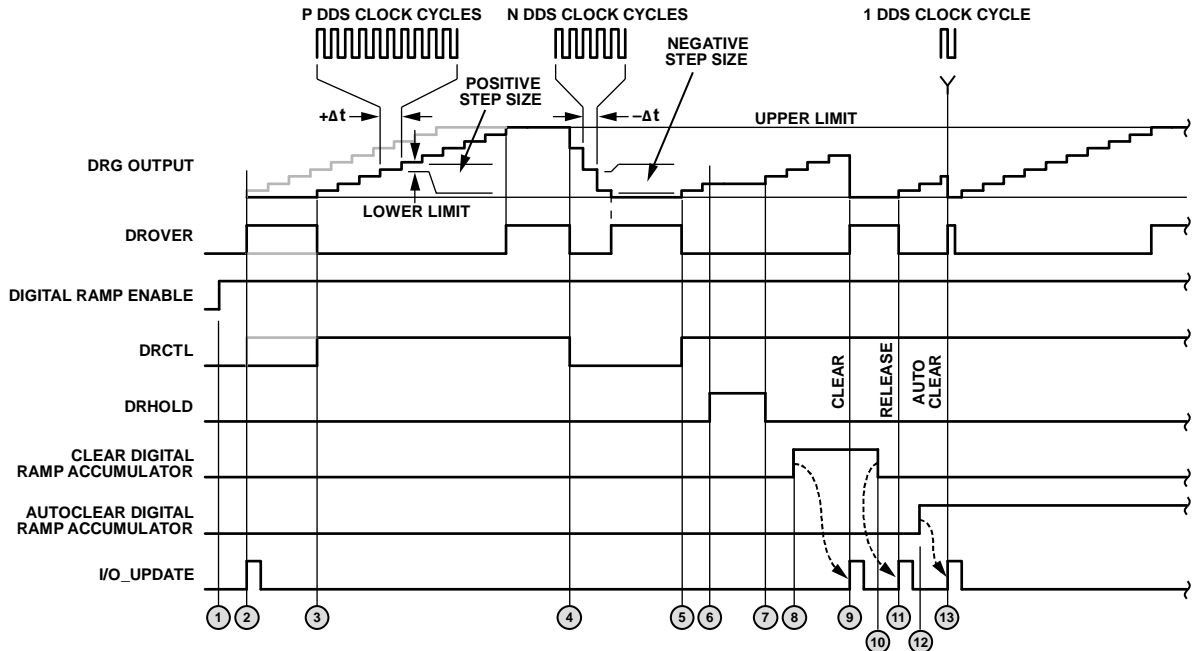


图38. 正常斜坡发生

正常斜坡发生

正常斜坡发生指两个非驻留位全部清0(详情请参见“非驻留斜坡发生”部分)。在图38中, 给出了一个斜坡波形例子及其所需控制信号: 最上面的图线为DRG输出; 下一条图线是DROVER输出引脚状态(假定DRG过输出使能位已设置); 剩余轨迹为控制位和控制引脚; 另外, 相关斜坡参数也予以了标注(上下限值、步长和正负斜率斜坡的 Δt)。在图的底部, 带圆圈数字标明了各种具体事件。不同数字编号表示的事件(事件1, 等等), 将在下面的段落进行说明。

在本例中, 为了显示DRG的灵活性, 斜坡的正负斜率对是不同的。正负两种斜率参数可以编程为相同值。

事件1—数字斜坡使能位置1, 由于该位必须在一个I/O更新后才有效, 因此不会影响DRG输出。

事件2—I/O更新记录该数字斜坡使能位。如果此时DRCTL = 1有效(DRCTL图线灰色部分), 那么DRG输出会立即变成正斜率(DRG输出图线灰色部分)。否则, 如果DRCTL = 0, DRG输出会被初始化为下限值。

事件3—DRCTL引脚转换成逻辑1, 启动DRG正斜率输出。在本例中, DRCTL引脚状态保持时间足够长, 以使DRG达到其编程设定的上限值。在斜坡累加器清零, DRCTL = 0, 或者重新将上限值编程设定为更高值之前, DRG始终保持上限值输出。对于后一种情况, DRG会立即恢复之前的正斜率曲线。

事件4—DRCTL引脚转换成逻辑0, 启动DRG负斜率输出。在本例中, DRCTL引脚状态保持时间足够长, 以使DRG达到其编程设定的下限值。在DRCTL = 1或者下限值重新编程获得更低值之前, DRG始终保持下限值输出。对于后一种情况, DRG会立即恢复之前的负斜率曲线。

事件5—DRCTL引脚第二次转换成逻辑1, 启动第二次正斜率输出。

事件6—DRHOLD引脚转换为逻辑1, 正斜率曲线输出中断。这使得斜坡累加器停止运算, 并将DRG输出冻结在最后的输出值上。

事件7—DRHOLD引脚转换为逻辑0, 释放斜坡累加器, 恢复之前的正斜率曲线输出。

事件8—清除数字斜坡累加器位置1, 由于该位必须在I/O更新触发后才有效, 因此不会影响DRG输出。

事件9—I/O更新记录了清除数字斜坡累加器位已置1, 对斜坡累加器复位, 强制将DRG输出限定为编程设定的下限值。在清除条件移除前, DRG输出始终保持下限值。

事件10—清除数字斜坡累加器位已清0, 由于该位必须在I/O更新触发后才有效, 因此不会影响DRG输出。

事件11—I/O更新记录了清除数字斜坡累加器位已清0, 释放斜坡累加器, 重新恢复之前的正斜率曲线。

事件12—自动清除数字斜坡累加器位已置1，由于该位必须在I/O更新触发后才有效，因此不会影响DRG输出。

事件13—I/O更新记录了自动清除数字斜坡累加器位已置1，重置斜坡累加器。注意，使用自动清除，斜坡累加器只在一个DDS时钟周期内保持重置状态。这将使DRG以下限值输出，但斜坡累加器会立即恢复正常运行。在本例中，DRCTL引脚保持逻辑1；因此，DRG输出重新恢复之前的正斜率曲线。

非驻留斜坡发生

CFR2中的非驻留高位和非驻留低位(0x01[18:17])增大了DRG的应用灵活性。在正常斜坡发生过程中，当DRG输出达到编程设定的上限值或下限值时，如果工作参数不发生变化，DRG会始终保持该限值输出。不过，在非驻留操作中，DRG输出不一定保持在上下限值。例如，设置数字斜坡非驻留高位，则当达到上限值时，DRG会自动(立即)跳到下限值(这一过程并非以斜坡方式返回下限值，而是直接跳至下限值)。类似的，数字斜坡非驻留低位置1后，当DRG达到下限值时，DRG会自动(立即)跳到上限值。

在非驻留操作期间，仅监控DRCTL引脚的状态变化；也就是说，静态逻辑电平不会产生影响。

在非驻留高位操作期间，DRCTL引脚正向转换时，会启动正斜率斜坡，在达到上限值之前会始终以正斜率斜坡输出(不受任何DRCTL引脚活动影响)。

在非驻留低位操作期间，DRCTL引脚负向转换时，会启动负斜率斜坡，在达到下限值之前会始终以负斜率斜坡输出(不受任何DRCTL引脚活动影响)。

设置两个非驻留位会调用连续斜坡运行模式；也就是说，DRG通过编程斜率参数自动在两个限值之间振荡输出。另外，DRCTL引脚功能也略有不同。由原来控制斜坡序列初始化变成只改变斜坡方向；也就是说，当DRG输出处于正斜率斜坡中间时，DRCTL引脚从逻辑1变成逻辑0，那么

DRG会立即切换成负斜率参数，恢复在两个限值之间振荡输出。类似的，如果DRG输出处于负斜率斜坡中间，DRCTL引脚由逻辑0变为逻辑1，那么DRG会立即切换成正斜率参数，恢复在两个限值之间振荡输出。

当两个非驻留位同时设置时，每次DRG输出达到编程设定的上限值或下限值后(假定DRG过输出使能位(0x01[13])已设置)，DROVER信号会产生一个正脉冲(两个DDS时钟周期)。

图39给出了非驻留高位DRG输出波形。该波形图假定数字斜坡非驻留高位已置1，并由I/O更新记录。另外，图中还给出DROVER引脚的状态(假定DRG过输出使能有效位已设置)。

图39中带圆圈数字表示不同事件，具体含义如下：

事件1—表示I/O更新记录了已设置的数字斜坡使能位。

事件2—DRCTL引脚转换成逻辑1，启动DRG正斜率输出。

事件3—DRCTL引脚转换成逻辑0，不会影响DRG输出。

事件4—由于数字斜坡非驻留高位已置1，当DRG输出达到上限值时，会立即切换到下限值，在DRCTL从逻辑0变成逻辑1之前，始终保持下限值输出。

事件5—DRCTL由逻辑0转换成逻辑1，重新输出正斜率斜坡。

事件6和事件7—在DRG输出达到编程上限值之前，忽略DRCTL引脚逻辑变化。

事件8—由于数字斜坡非驻留高位已置1，当DRG输出达到上限值时，会立即切换到下限值，在DRCTL从逻辑0变成逻辑1之前，始终保持下限值输出。

数字斜坡非驻留低位与数字斜坡非驻留高位设置情况很相似，不同之处在于DRCTL引脚从逻辑1变成逻辑0时，DRG以负斜率斜坡输出，并在达到下限值时，立刻切换到上限值。

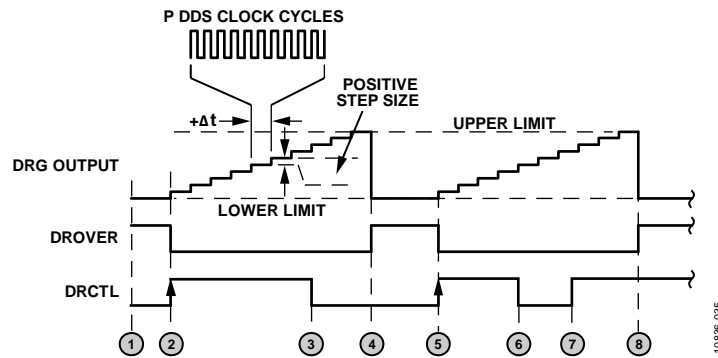


图39. 非驻留高位斜坡发生

DROVER引脚

DROVER引脚提供外部信号表示DRG状态。具体来看，当DRG输出处于上限值/下限值时，DROVER引脚为逻辑1；除此之外，都为逻辑0。对于两个非驻留位都设置的特殊情况，每次DRG输出达到编程设定的任意限值时，DROVER引脚产生一个正脉冲，脉冲宽度为两个DDS时钟周期会。

DRG模式下的跳频能力

AD9914的另一项特性是允许用户在器件正常扫描时跳过一段范围预置的频率。CFR2 (0x01[14])中的跳频使能位负责使能这一功能。当设置该位后，扫描逻辑便监控瞬时频率。当在下一个累计周期达到最低跳频寄存器(0x09)定义的频率点时，它会直接跳至最高跳频寄存器(0x0A)中设置的频率值(反之亦然)，而不会像正常扫描时那样累计增量调谐字。图40显示了该特性是如何工作的。

若跳频寄存器在扫描完成前重新编程，则允许第二个跳频。

当使能该功能时，应满足如下条件：

- 跳频值必须位于频率扫描范围的最低和最高限值之间。
- 最低跳频寄存器值必须低于最高跳频寄存器值。

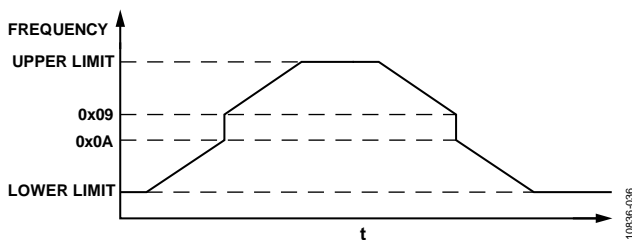


图40. 频率与时间的关系

省电控制

AD9914可以分别对器件的三个具体模块进行省电控制。省电功能适用的具体模块包括：

- 数字内核
- DAC
- 输入REF CLK时钟电路

数字内核省电模式会禁用串行/并行I/O端口更新。但是，数字省电控制位(0x00[7])仍能被清零，以防出现无法恢复正常工作状态的情况。

软件省电功能通过CFR1中的三个独立省电控制位来管理。软件省电控制需要将EXT_PWR_DWN引脚状态强制设为逻辑0。在这种情况下，通过串行I/O端口设置相应的省电控制位(0x00[7:5])可对相应模块实施省电控制，控制位清0可以恢复正常工作状态。

或者，通过EXT_PWR_DWN引脚利用外部硬件控制可以使三个功能模块同时进入省电模式。当此引脚强制设为逻辑1时，无论省电控制位状态如何，四个电路模块都会进入省电模式；也就是说，当EXT_PWR_DWN为逻辑1时，CFR1中的独立省电控制位会被忽略且覆盖。

根据外部省电控制位的状态，EXT_PWR_DWN引脚可以采用完全省电模式或者快速恢复省电模式。快速恢复省电模式保持对DAC偏置电路、PLL、VCO和输入时钟电路供电。虽然快速恢复省电模式节能效果不如完全省电模式，但可以实现器件从省电状态快速恢复正常运行。

编程和功能引脚

AD9914配备32位并行端口。该32位端口用于对器件的内部寄存器编程，支持串行模式和并行模式，并且允许频率(FTW)、相位(POW)和幅度(AMP)的直接调制控制。外部功能引脚的状态(F0至F3)决定了32位并行端口的配置方

式。引脚28至引脚31为功能引脚。支持的配置见表10。

注意必须置位OSK使能位CFR1[8]，以便使能幅度控制，如表10所示。

表10. 并行端口配置

功能引脚, F[3:0] ¹	模式描述	32位并行端口引脚分配			
		位[31:24] ²	位[23:16] ³	位[15:8] ⁴	位[7:0] ⁵
0000	并行编程模式	数据[15:8] (可选)	数据[7:0]	地址[7:0]	用于控制读、写和8位/16位数据字。详情参考“并行编程”部分。
0001	串行编程模式	未使用	未使用	未使用	用于控制SCLK、SDIO、SDO、CS、和SYNCIO。详情参考“串行编程”部分。
0010	全32位直接频率调谐字控制。MSB和LSB对齐并行端口引脚	FTW[31:24]	FTW[23:16]	FTW[15:8]	FTW[7:0]
0011	全32位直接频率调谐字控制，并行端口引脚分配不同	FTW[15:8]	FTW[7:0]	FTW[31:24]	FTW[23:16]
0100	全16位直接相位失调控制和全12位直接幅度控制	POW[15:8]	POW[7:0]	AMP[11:8]	AMP[7:0]
0101	全12位直接幅度控制和全16位直接相位失调控制	AMP[11:8]	AMP[7:0]	POW[15:8]	POW[7:0]
0110	24位部分FTW控制和8位部分幅度控制	FTW[31:24]	FTW[23:16]	FTW[15:8]	AMP[15:8]
0111	24位部分FTW控制和8位部分相位失调控制	FTW[31:24]	FTW[23:16]	FTW[15:8]	POW[15:8]
1000	24位部分FTW控制和8位部分幅度控制	FTW[31:24]	FTW[23:16]	FTW[15:8]	AMP[7:0]
1001	24位部分FTW控制和8位部分相位失调控制	FTW[31:24]	FTW[23:16]	FTW[15:8]	POW[7:0]
1010	24位部分FTW控制和8位部分幅度控制	FTW[23:16]	FTW[15:8]	FTW[7:0]	AMP[15:8]
1011	24位部分FTW控制和8位部分相位失调控制	FTW[23:16]	FTW[15:8]	FTW[7:0]	POW[15:8]
1100	24位部分FTW控制和8位部分幅度控制	FTW[23:16]	FTW[15:8]	FTW[7:0]	AMP[7:0]
1101	24位部分FTW控制和8位部分相位失调控制	FTW[23:16]	FTW[15:8]	FTW[7:0]	POW[7:0]
1110		未使用	未使用	未使用	未使用
1111		未使用	未使用	未使用	未使用

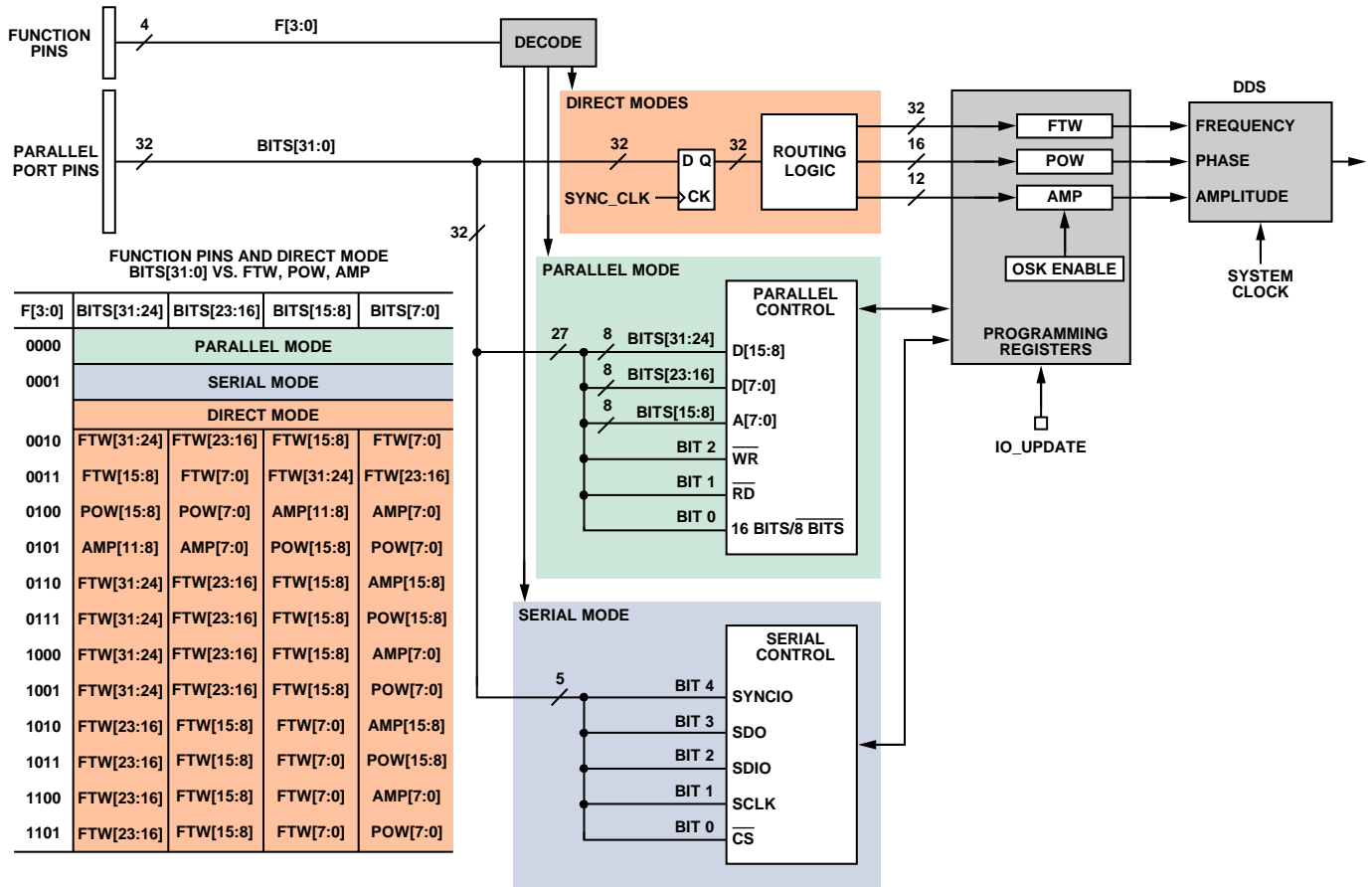
¹ 引脚31至引脚28。

² 引脚68至Pin 72，引脚75至77。

³ 引脚78至Pin 81，引脚87、引脚88、引脚1、引脚2。

⁴ 引脚3至引脚5、引脚8至引脚12。

⁵ 引脚13至引脚15、引脚18至引脚22。



NOTES

1. AMP[11:0] CONTROLS AMPLITUDE. AMP[15:12] UNUSED.

图41. 并行端口功能框图

AD9914的32引脚并行端口与一组4个独立的功能引脚协同工作，这些功能引脚控制并行端口的功能。该32引脚并行端口组成一个32位字，以位[31:0]表示(31表示最高有效位(MSB)，0表示最低有效位(LSB))，4个功能引脚以F[3:0]表示。图41表示功能引脚、32引脚并行端口、内部编程寄存器以及DDS控制参数(频率、相位和幅度)的相互关系。注意并行端口可采用三种不同的模式工作，由功能引脚定义。

当施加在功能引脚上的逻辑电平为F[3:0] = 0000时，并行模式有效。这样便可允许并行端口以并行接口的方式工作，为所有器件的编程寄存器提供访问。在并行模式中，32引脚端口(位[31:0])分为3组，它们分别是：由16个数据位组成的位[31:16]、由8个地址位组成的位[15:8]、以及由3个控制位组成的位[2:0]。地址位指向特定的器件寄存器，数据位存储寄存器的内容。控制位控制读写功能并设置数据总线的宽度；也就是说，用户可以选择数据总线宽度是否为16位(位[31:16])或8位(位[23:16])。并行模式允许用户以最

高200 MBps的速率、使用16位数据(或100 MBps，使用8位数据)写入器件寄存器。

当施加在功能引脚上的逻辑电平为F[3:0] = 0001时，串行模式有效。这样便可允许并行端口以串行接口的方式工作，为所有器件的编程寄存器提供访问。在该模式下，32引脚并行端口中仅有5个引脚工作(位[4:0])。这些引脚提供芯片选择(\overline{CS})、串行时钟(SCLK)、以及I/O同步(SYNCIO)功能，用于串行接口以及两条串行数据线(SDO和SDIO)。串行模式支持最高80 Mbps的数据速率。

当施加到功能引脚上的逻辑电平为F[3:0] = 0010至1101(注意1110和1111未使用时，并行端口用作访问DDS内核中32位频率、16位相位、以及12位幅度参数的高速接口。图41中的表格使用DDS的频率(FTW[31:0])、相位(POW[15:0])和幅度(AMP[15:0])参数识别位[31:0]，从而显示32引脚并行端口的分段。注意，虽然AMP[15:0]表示16位分辨率，但实际的幅度分辨率为12位。因此，仅AMP[11:0]提供幅度控制(也就是说，未使用AMP[15:12])。

AD9914

此外，为确保幅度控制，用户必须将CFR1寄存器(0x00[8])中的OSK使能位置位为逻辑1。

通过允许用户直接控制DDS参数(频率、相位、幅度或这些参数的不同组合)，F[3:0]引脚和位[31:0]一同为AD9914提供了无与伦比的调制能力。除此之外，并行端口以等同于1/24的系统采样时钟的采样速率运行。这允许DDS参数以最高145 MSPS(假定系统时钟为3.5 GHz)的速率更新，以便AD9914满足宽带调制应用的需求。

注意：并行端口的频率、相位和幅度变化将会通过不同的路径传达给DDS内核，导致不同的传播时间(延迟)。因此，调制多于一个的DDS参数需要对器件CFR2寄存器(0x01[15])的匹配延迟使能位进行置位，以便均衡从并行端口传播到DDS内核的每个DDS参数。注意高速调制要求使用一个DAC重构滤波器，它必须具有足够的带宽，以满足瞬态时域转换的要求。

由于可通过FTW、POW和AMP寄存器进行直接DDS参数访问，IO_UPDATE引脚(见图41)便有了另一层灵活性。为支持这一功能，AD9914提供了一个寄存器控制位：并行端口数据流使能(0x00[17])。当该位置位为逻辑1时，并行端

口无需I/O更新即可工作。然而，当该位为逻辑0时，器件会将并行端口数据发送到相应的寄存器(FTW、POW、AMP)，但不会发送给DDS内核。直到用户对IO_UPDATE引脚进行置位，数据才会发送到DDS内核。

例如，假定某应用需要以全32位频率分辨率和全12位幅度分辨率对频率和幅度进行调制。注意所有F[3:0]引脚组合都不直接支持这类调制能力。解决该问题的方法是，将并行端口数据流使能位(0x00[17])置位为逻辑0。这将允许使用32引脚并行端口的两个直接模式周期，每个周期都有不同的功能引脚设置，不会对DDS内核造成影响，直至IO_UPDATE引脚置位。也就是说，在第一个直接模式周期中，将功能引脚设置为F[3:0] = 0010，以便将全部32位路由至FTW寄存器(频率寄存器)。在第二个直接模式周期中，将功能引脚设置为F[3:0] = 0100，为AMP寄存器(幅度)提供全12位访问。然而，需要注意的是，这样做也会提供针对POW寄存器(相位寄存器)的访问；因此，请确保相位位保持静态。下一步是切换IO_UPDATE引脚，可将新频率和相位值从FTW和POW寄存器同步传输至DDS内核。该操作模式降低了两倍的整体调制速率，因为它需要在并行端口上完成两个独立的操作。然而，调制采样速率仍然可高达72.5 MSPS。

串行编程

若要使能SPI操作，则将引脚28 (F0)置位为逻辑高电平、引脚29至引脚31(F1至F3)置位为逻辑低电平。若要通过并行接口编程AD9914，请参见“并行编程”部分。

控制接口—串行I/O

AD9914串行端口是一种灵活的同步串行通讯端口，可以很方便地与多种工业用微控制器和微处理器接口。此串行I/O端口支持大多数同步传输格式。

此接口可进行读/写操作，访问所有AD9914配置寄存器。支持MSB优先和LSB优先传输格式。另外，串行接口端口还能配置为单引脚输入/输出(SDIO)，作为2-线式接口使用；或者，也可配置为两个单向输入/输出引脚(SDIO和SDO)，作为3线接口使用。两个可选引脚(I/O_SYNC和 \overline{CS})可以提高采用AD9914的设计系统灵活性。

表11. 串行I/O引脚描述

引脚编号	名称	串行I/O描述
18	D4/SYNCIO	SYNCIO
19	D3/SDO	SDO
20	D2/SDIO/ \overline{WR}	SDIO
21	D1/SCLK/ \overline{RD}	SCLK
22	D0/ \overline{CS} /PWD	\overline{CS} —芯片选择

通用串行I/O操作

串行通信周期可分为两个阶段。第一个是指令阶段，将指令字节写入AD9914。指令字节包含要访问的寄存器地址，以及定义即将进行的数据传输是读操作还是写操作。

第二阶段写入周期指从串行端口控制器向串行端口缓冲器传输数据。传输的字节数取决于访问的寄存器。例如，如果访问控制功能寄存器2(地址0x01)，第2阶段需要传输4个字节。数据每一位都寄存在SCLK的相应上升沿。串行端口控制器需要访问寄存器的所有字节；否则，串行端口控制器将在下一个通信周期退出工作时序。不过，有一个方法可以写入少量的字节，即使用SYNCIO引脚功能。利用SYNCIO引脚功能取消I/O操作，对串行端口控制器指针复位。SYNCIO之后，下一字节是指令字节。注意在SYNCIO前每个已完全写入的字节都会保存在串行端口缓冲器中。有部分写入的字节未保存。在任一通信周期结束后，AD9914串行端口都将接下来的8个SCLK上升沿用于写入指令字节，开始下一个通信周期。

写入周期结束后，编程数据驻留在串行端口缓冲器中，处于无效状态。I/O_UPDATE将串行端口缓冲器中的数据传输到有效寄存器。I/O更新可以在每完成一个通信周期后进行，也可以在所有串行操作结束后进行。另外，改变一次Profile引脚状态可以启动一次I/O更新。

对于读取周期，第2阶段与写入周期一致，不同之处在于：从有效寄存器读取数据，而非串行端口缓冲器，数据在SCLK下降沿输出。

注意：要回读任何Profile寄存器(0x0B至0x1A)，必须使用三个外部Profile引脚。例如，如果Profile寄存器是Profile 5 (0x15)，那么PS[0:2]引脚必须等于101。这不需要写入Profile寄存器。

指令字节

指令字节包含如下信息，详见指令字节信息位图。

指令字节信息位图

MSB						LSB	
I7	I6	I5	I4	I3	I2	I1	I0
R/ \overline{W}	X	A5	A4	A3	A2	A1	A0

R/ \overline{W} —指令字节位7决定指令字节写周期结束后是进行读还是写操作。逻辑1表示读操作。逻辑0表示写操作。

X—指令字节位6是无关位。

A5、A4、A3、A2、A1、A0—指令字节的位5、位4、位3、位2、位1和位0决定通信周期中数据传输期间访问哪一个寄存器。

串行I/O端口引脚功能描述

SCLK—串行时钟

串行时钟引脚用于同步输入/输出AD9914的数据，运行内部状态机。

\overline{CS} —片选信号

\overline{CS} 是低电平有效，被用于在同一条串行通信线路上连接多个器件。当此输入高电平时，SDO和SDIO引脚会进入高阻抗状态。如果在任何通信周期内出现高电平，则此通信周期将暂停，直到 \overline{CS} 重新被低电平激活。片选信号(\overline{CS})可以在系统中被拉低，以保证对SCLK的控制有效。

串行数据输入/输出(SDIO)

向AD9914写入数据必须通过此引脚进行。不过，该引脚也能作为双向数据线使用。CFR1 (0x00)的位1控制此引脚配置。默认为逻辑0，将SDIO引脚配置为双向数据线。

串行数据输出(SDO)

如果协议选择用不同的通信线来发送和接收数据，那么数据是从该引脚读出的。当AD9914以单独的双向I/O模式运行时，此引脚不会输出数据，并置为高阻抗状态。

SYNCIO—输入/输出复位

SYNCIO可以同步I/O端口状态机，不会影响可寻址寄存器的内容。SYNCIO引脚输入有效高电平，可以使当前通信周期中止。在SYNCIO返回低电平后(逻辑0)，另一个通信周期才能开始，首先是指令字节写。

输入/输出更新(I/O_UPDATE)

I/O更新用于将串行或并行I/O端口缓冲器中写入的数据传输到有效寄存器。I/O_UPDATE在上升沿有效，脉冲宽度必须大于1个SYNC_CLK周期。

串行I/O时序图

图42至图45给出了一些基本示例，描述串行I/O端口各种控制信号之间的时序关系。在I/O更新置位前，寄存器图中的大多数位都不会传输到其内部目的地址，这一点并未在下列时序中反映出来。

注意图42至图45中，指令字节周期和数据传输周期之间的SCLK停止条件是不需要的。

MSB/LSB传输

AD9914串行端口支持最高有效位(MSB)优先和最低有效位(LSB)优先两种数据格式。此功能由CFR1 (0x00)中的位0控制。默认格式是MSB优先。如果LSB优先有效，所有数据，包括指令字节，必须遵循LSB优先原则。注意每个寄存器位域列中的最大数是MSB，最小数是该寄存器的LSB。

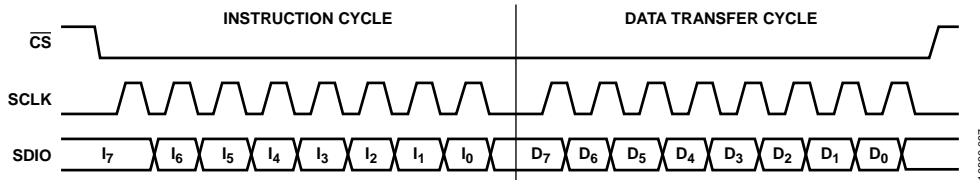


图42. 串行端口写入时序，时钟空闲为低

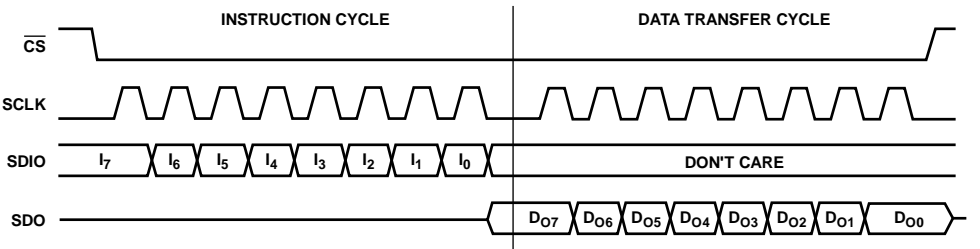


图43. 三线式串行端口读取时序，时钟空闲为低

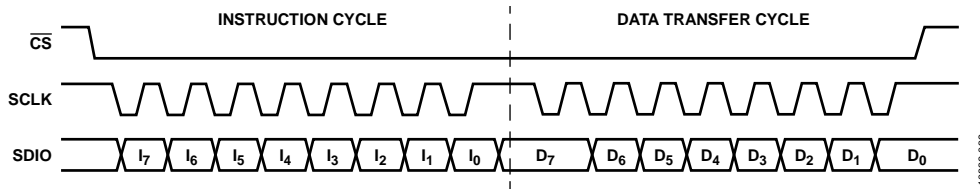


图44. 串行端口写入时序，时钟空闲为高

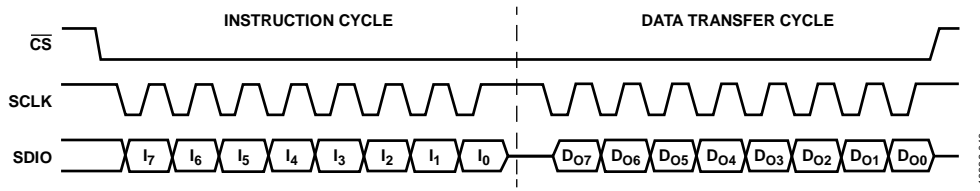


图45. 双线式串行端口读取时序，时钟空闲为高

并行编程(8/16位)

外部功能引脚的状态(F0至F3)决定了AD9914所用接口的类型。引脚28至引脚31是专用的功能引脚。若要使能并行模式接口,可将引脚28至引脚31置位为逻辑低电平。

并行编程通过8个地址线和用于读/写操作的8或16个双向数据线完成。引脚22上的逻辑状态决定了所用数据线的宽度。引脚22上的逻辑低电平将数据宽度设为8位,并且逻辑高电平将数据宽度设为16位。此外,并行模式还有专用的写/读控制输入。若使用了16位模式,则高位字节(位[15:8])传送至寻址的寄存器,且低位字节(位[7:0])传送至相邻的低位地址。

并行I/O运行允许单次I/O操作内针对任意寄存器每一字节的写操作。AD9914为每个寄存器提供回读兼容性,以简化设计。

表12. 并行端口读取时序(见图46)

参数	值	单位	测试条件/注释
t_{ADV}	92	(最大值)	地址保持至数据有效的时间
t_{AHD}	0	(最小值)	至 \overline{RD} 信号无效的地址保持时间
t_{RDLOV}	69	(最大值)	\overline{RD} 低电平到数据有效
t_{RDHOZ}	50	(最大值)	\overline{RD} 高电平到数据三态
t_{RDLOW}	69	(最大值)	\overline{RD} 信号最短低电平时间
t_{RDHIGH}	50	(最大值)	\overline{RD} 信号最短高电平时间

表13. 并行端口写入时序(见图47)

参数	值	单位	测试条件/注释
t_{ASU}	1	ns	至 \overline{WR} 信号有效的地址建立时间
t_{DSU}	3.8	ns	至 \overline{WR} 信号有效的数据建立时间
t_{AHD}	0	ns	至 \overline{WR} 信号无效的地址保持时间
t_{DHD}	0	ns	至 \overline{WR} 信号无效的数据保持时间
t_{WRLOW}	2.1	ns	\overline{WR} 信号最短低电平时间
t_{WRHIGH}	3.8	ns	\overline{WR} 信号最短高电平时间
t_{WR}	10.5	ns	最短写入时间

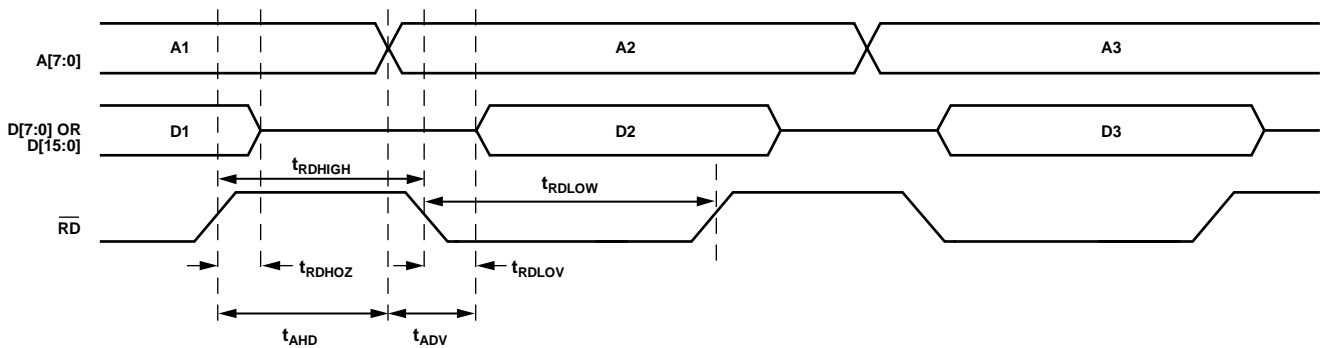


图46. 并行端口读取时序图

10836-041

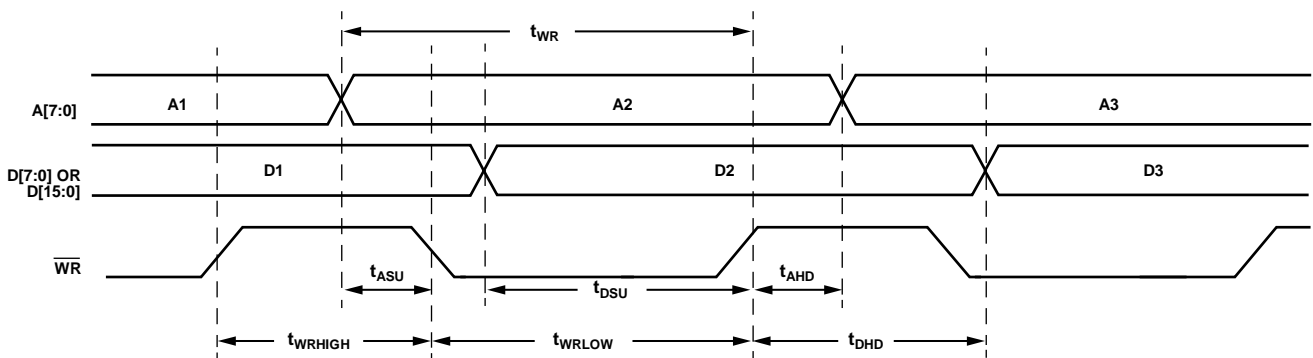


图47. 并行端口写入时序图

10836-042

寄存器存储区分配图和位功能描述

表14. 寄存器映射

寄存器名称 (串行地址)	位范围 (并行地址)	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制) ¹
CFR1— 控制功能寄存器1 (0x00)	[7:0] (0x00)	数字部分关电	DAC关电	REF CLK输入掉电	开路	外部省电控制	开路	仅适用于SDIO输入	LSB优先模式	0x08
	[15:8] (0x01)	加载LRR(I/O更新)	自动清零数字斜坡累加器	自动清零相位累加器	清零数字斜坡累加器	清零相位累加器	开路	外部OSK使能	OSK使能	0x00
	[23:16] (0x02)	开路						并行端口数据流使能	使能正弦输出	0x01
	[31:24] (0x03)	开路							VCO校准使能	0x00
CFR2— 控制功能寄存器2 (0x01)	[7:0] (0x04)	开路								0x00
	[15:8] (0x05)	延迟匹配使能	跳频使能	DRG过输出使能	开路	SYNC_CLK使能	SYNC_CLK反转	保留	开路	0x09
	[23:16] (0x06)	Profile模式使能	并行数据端口使能	数字斜坡目的地址		数字斜坡使能	数字斜坡非驻留高位	数字斜坡非驻留低位	编程模块使能	0x00
	[31:24] (0x07)	开路								0x00
CFR3— 控制功能寄存器3 (0x02)	[7:0] (0x08)	开路	手动 _{CP} 选择	I _{CP} [2:0]			锁定检测使能	最小LDW[1:0]		0x1C
	[15:8] (0x09)	反馈分频器N[7:0]								0x19
	[23:16] (0x0A)	开路	输入分频器复位	输入分频器[1:0]		倍频器使能	PLL使能	PLL参考禁用	倍频器时钟边沿	0x00
	[31:24] (0x0B)	开路								0x00
CFR4— 控制功能寄存器4 (0x03)	[7:0] (0x0C)	需要设置寄存器默认值(0x20)								0x20
	[15:8] (0x0D)	需要设置寄存器默认值(0x31)								0x31
	[23:16] (0x0E)	需要设置寄存器默认值(0x05)								0x05
	[31:24] (0x0F)	开路					辅助分频器掉电	DAC CAL时钟掉电	DAC CAL使能 ²	0x00
数字斜坡下限值寄存器 (0x04)	[7:0] (0x10)	数字斜坡下限值[7:0]								0x00
	[15:8] (0x11)	数字斜坡下限值[15:8]								0x00
	[23:16] (0x12)	数字斜坡下限值[23:16]								0x00
	[31:24] (0x13)	数字斜坡下限值[31:24]								0x00

寄存器名称 (单行地址)	位范围 (并行地址)	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制) ¹
数字斜坡 上限 值寄 存器 (0x05)	[7:0] (0x14)	数字斜坡上限值[7:0]								0x00
	[15:8] (0x15)	数字斜坡上限值[15:8]								0x00
	[23:16] (0x16)	数字斜坡上限值[23:16]								0x00
	[31:24] (0x17)	数字斜坡上限值[31:24]								0x00
上升数字 斜坡 步长 寄存器 (0x06)	[7:0] (0x18)	上升数字斜坡递增步长[7:0]								不适用
	[15:8] (0x19)	上升数字斜坡递增步长[15:8]								不适用
	[23:16] (0x1A)	上升数字斜坡递增步长[23:16]								不适用
	[31:24] (0x1B)	上升数字斜坡递增步长[31:24]								不适用
下降数字 斜坡 步长 寄存器 (0x07)	[7:0] (0x1C)	下降数字斜坡递减步长[7:0]								不适用
	[15:8] (0x1D)	下降数字斜坡递减步长[15:8]								不适用
	[23:16] (0x1E)	下降数字斜坡递减步长[23:16]								不适用
	[31:24] (0x1F)	下降数字斜坡递减步长[31:24]								不适用
数字斜坡 速率 寄存器 (0x08)	[7:0] (0x20)	数字斜坡负斜率[7:0]								不适用
	[15:8] (0x21)	数字斜坡负斜率[15:8]								不适用
	[23:16] (0x22)	数字斜坡负斜率[7:0]								不适用
	[31:24] (0x23)	数字斜坡负斜率[15:8]								不适用
最低 跳频 寄 存器 (0x09)	[7:0] (0x24)	最低跳频点[7:0]								0x00
	[15:8] (0x25)	最低跳频点[15:8]								0x00
	[23:16] (0x26)	最低跳频点[23:16]								0x00
	[31:24] (0x27)	最低跳频点[31:24]								0x00
最高 跳 频 寄 存器 (0x0A)	[7:0] (0x28)	最高跳频点[7:0]								0x00
	[15:8] (0x29)	最高跳频点[15:8]								0x00
	[23:16] (0x2A)	最高跳频点[23:16]								0x00
	[31:24] (0x2B)	最高跳频点[31:24]								0x00
Profile 0 (P0) 频率 调谐 字0 寄 存器 (0x0B)	[7:0] (0x2C)	频率调谐字0[7:0]								0x00
	[15:8] (0x2D)	频率调谐字0[15:8]								0x00
	[23:16] (0x2E)	频率调谐字0[23:16]								0x00
	[31:24] (0x2F)	频率调谐字0[31:24]								0x00

AD9914

寄存器名称 (串行地址)	位范围 (并行地址)	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制) ¹
Profile 0 (P0) 相位/ 幅度 寄存器 (0x0C)	[7:0] (0x30)	相位偏移字0[7:0]								0x00
	[15:8] (0x31)	相位偏移字0[15:8]								0x00
	[23:16] (0x32)	幅度比例因子0[7:0]								0x00
	[31:24] (0x33)	开路				幅度比例因子0[11:8]				0x00
Profile 1 (P1) 频率 调谐 字1 寄存器 (0x0D)	[7:0] (0x34)	频率调谐字1[7:0]								不适用
	[15:8] (0x35)	频率调谐字1[15:8]								不适用
	[23:16] (0x36)	频率调谐字1[23:16]								不适用
	[31:24] (0x37)	频率调谐字1[31:24]								不适用
Profile 1 (P1) 相位/ 幅度 寄存器 (0x0E)	[7:0] (0x38)	相位偏移字1[7:0]								不适用
	[15:8] (0x39)	相位偏移字1[15:8]								不适用
	[23:16] (0x3A)	幅度比例因子1[7:0]								不适用
	[31:24] (0x3B)	开路				幅度比例因子1[11:8]				不适用
Profile 2 (P2) 频率 调谐 字2 寄存器 (0x0F)	[7:0] (0x3C)	频率调谐字2[7:0]								不适用
	[15:8] (0x3D)	频率调谐字2[15:8]								不适用
	[23:16] (0x3E)	频率调谐字2[23:16]								不适用
	[31:24] (0x3F)	频率调谐字2[31:24]								不适用
Profile 2 (P2) 相位/ 幅度 寄存器 (0x10)	[7:0] (0x40)	相位偏移字2[7:0]								不适用
	[15:8] (0x41)	相位偏移字2[15:8]								不适用
	[23:16] (0x42)	幅度比例因子2[7:0]								不适用
	[31:24] (0x43)	开路				幅度比例因子2[11:8]				不适用
Profile 3 (P3) 频率 调谐 字3 寄存器 (0x11)	[7:0] (0x44)	频率调谐字3[7:0]								不适用
	[15:8] (0x45)	频率调谐字3[15:8]								不适用
	[23:16] (0x46)	频率调谐字3[23:16]								不适用
	[31:24] (0x47)	频率调谐字3[31:24]								不适用
Profile 3 (P3) 相位/ 幅度 寄存器 (0x12)	[7:0] (0x48)	相位偏移字3[7:0]								不适用
	[15:8] (0x49)	相位偏移字3[15:8]								不适用
	[23:16] (0x4A)	幅度比例因子3[7:0]								不适用
	[31:24] (0x4B)	开路				幅度比例因子3[11:8]				不适用

寄存器名称(串行地址)	位范围(并行地址)	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值(十六进制) ¹
Profile 4 (P4) 频率调谐字4寄存器 (0x13)	[7:0] (0x4C)	频率调谐字4[7:0]								不适用
	[15:8] (0x4D)	频率调谐字4[15:8]								不适用
	[23:16] (0x4E)	频率调谐字4[23:16]								不适用
	[31:24] (0x4F)	频率调谐字4[31:24]								不适用
Profile 4 (P4) 相位/幅度寄存器 (0x14)	[7:0] (0x50)	相位偏移字4[7:0]								不适用
	[15:8] (0x51)	相位偏移字4[15:8]								不适用
	[23:16] (0x52)	幅度比例因子4[7:0]								不适用
	[31:24] (0x53)	开路				幅度比例因子4[11:8]				不适用
Profile 5 (P5) 频率调谐字5寄存器 (0x15)	[7:0] (0x54)	频率调谐字5[7:0]								不适用
	[15:8] (0x55)	频率调谐字5[15:8]								不适用
	[23:16] (0x56)	频率调谐字5[23:16]								不适用
	[31:24] (0x57)	频率调谐字5[31:24]								不适用
Profile 5 (P5) 相位/幅度寄存器 (0x16)	[7:0] (0x58)	相位偏移字5[7:0]								不适用
	[15:8] (0x59)	相位偏移字5[15:8]								不适用
	[23:16] (0x5A)	幅度比例因子5[7:0]								不适用
	[31:24] (0x5B)	开路				幅度比例因子5[11:8]				不适用
Profile 6 (P6) 频率调谐字6寄存器 (0x17)	[7:0] (0x5C)	频率调谐字6[7:0]								不适用
	[15:8] (0x5D)	频率调谐字6[15:8]								不适用
	[23:16] (0x5E)	频率调谐字6[23:16]								不适用
	[31:24] (0x5F)	频率调谐字6[31:24]								不适用
Profile 6 (P6) 相位/幅度寄存器 (0x18)	[7:0] (0x60)	相位偏移字6[7:0]								不适用
	[15:8] (0x61)	相位偏移字6[15:8]								不适用
	[23:16] (0x62)	幅度比例因子6[7:0]								不适用
	[31:24] (0x63)	开路				幅度比例因子6[11:8]				不适用
Profile 7 (P7) 频率调谐字7寄存器 (0x19)	[7:0] (0x64)	频率调谐字7[7:0]								不适用
	[15:8] (0x65)	频率调谐字7[15:8]								不适用
	[23:16] (0x66)	频率调谐字7[23:16]								不适用
	[31:24] (0x67)	频率调谐字7[31:24]								不适用

AD9914

寄存器名称(串行地址)	位范围(并行地址)	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值(十六进制) ¹
Profile 7 (P7) 相位/ 幅度 寄存器 (0x1A)	[7:0] (0x68)	相位偏移字7[7:0]								不适用
	[15:8] (0x69)	相位偏移字7[15:8]								不适用
	[23:16] (0x6A)	幅度比例因子7[7:0]								不适用
	[31:24] (0x6B)	开路				幅度比例因子7[11:8]				不适用
USR0 (0x1B)	[7:0] (0x6C)	需要设置寄存器默认值(0x00)								0x00
	[15:8] (0x6D)	需要设置寄存器默认值(0x08)								0x08
	[23:16] (0x6E)	需要设置寄存器默认值(0x00)								0x00
	[31:24] (0x6F)	开路							PLL锁定	只 only

¹ 上电后需要进行主机复位。主机复位可将内部寄存器返回至默认值。

² DAC CAL使能位必须手动设置，并且每次上电以及每次REF CLK或内部系统时钟改变以后需清零。它触发内部校准程序，以优化内部DAC时序的建立和保持时间。校准失败会降低交流性能或使器件出现故障。

寄存器位功能描述

串行I/O端口寄存器地址范围从0至27(十六进制: 0x00至0x1B), 共有28个独立的串行寄存器。若采用并行模式编程, 则并行寄存器的数目增加到112个独立的并行寄存器。另外, 寄存器主要根据其功能命名。有时候寄存器会基于方便记忆的原则命名。例如, 串行地址0x00的寄存器命名为控制功能寄存器1, 表示为容易记忆的CFR1。

下文详细介绍了AD9914寄存器映射中的每一个位的功能。对于由多个位共同实现某一特定功能的情况, 整个位组将视为一个二进制字, 集中加以说明。

本节内容按寄存器串行地址顺序组织。每个副标题由寄存器名称和可选的寄存器简称(括号内)组成。另外, 还列出了寄存器的十六进制格式串行地址和的字节数。

每个副标题后都列有一张表, 详细说明该寄存器中各个位的功能作用。寄存器中位的具体位置由单个数字, 或两个由冒号隔开的数字表示; 两个隔开的数字(如: A:B)表示从最高有效位(A)到最低有效位(B)的位范围。例如, [5:2]表示从位5至位2, 包括由位0表示寄存器的LSB。

除另有说明, 在I/O_UPDATE引脚置位或者profile引脚更改之前, 已编程位不会传输到内部目的位置。

控制功能寄存器1 (CFR1)—地址0x00

表 15. CFR1的位分配

位	名称	描述
[31:25]	开路	
24	VCO校准使能	1 = 进行自动内部PLL校准。若需使用PLL提供内部系统时钟, 则需要校准。在进行另一次校准之前, 必须首先复位至逻辑0。
[23:18]	开路	未决。
17	并行端口数据流使能	0 = 32位并行端口需要执行I/O更新, 以便激活或对寄存器写入任意32位并行端口的FTW、POW或AMP数据。 1 = 并行端口通过SYNC_CLK对32个输入引脚上的数据进行持续采样, 并根据F0至F3引脚的配置对相应的FTW/POW/AMP值进行乘法运算, 无需I/O更新。数据必须满足SYNC_CLK上升沿的建立和保持时间。若动态使用功能引脚以改变参数间的数据, 它们必须同时满足SYNC_CLK边沿的时间要求。
16	使能正弦输出	0 = 选择DDS余弦输出。 1 = 选择DDS正弦输出(默认)。
15	加载LRR(I/O更新)	仅在CFR2[19] = 1时有效 0 = 数字斜坡定时器正常操作(默认)。 1 = 任意时刻只要I/O_UPDATE发生置位或PS[2:0]改变, 就中断数字斜坡定时器操作, 加载新的线性斜坡速率(LRR)。
14	自动清零数字斜坡累加器	0 = DRG累加器正常工作(默认)。 1 = 经过一个DDS时钟周期后(SYNC_CLK), 数字斜坡累加器复位, 随后累加器自动恢复正常操作。只要此位保持设置, 每次I/O更新置位或者PS[2:0]更改后, 斜坡累加器都会暂时复位。此位与I/O更新或PS[2:0]更改在SYNC_CLK下一个上升沿同步。
13	自动清零相位累加器	0 = DDS相位累加器正常工作(默认)。 1 = 在I/O_UPDATE置位或者Profile更改后, 同步复位DDS相位累加器。
12	清零数字斜坡累加器	0 = 数字斜坡发生器正常操作(默认)。 1 = DRG累加器异步, 静态复位。只要此位置1, 斜坡累加器将始终保持复位状态。此位与I/O更新或PS[2:0]更改在SYNC_CLK下一个上升沿同步。
11	清零相位累加器	0 = DDS相位累加器正常工作(默认)。 1 = 只要设置此位, DDS相位累加器就会异步、静态复位。此位与I/O更新或PS[2:0]更改在SYNC_CLK下一个上升沿同步。
10	开路	未决。

AD9914

位	名称	描述
9	外部OSK使能	0 = 手动OSK使能(默认)。 1 = 自动OSK使能。 仅在CFR1[8] = 1时有效。
8	OSK使能	0 = OSK禁用(默认)。 1 = OSK使能。若要通过32位并行端口、OSK引脚使用DRG、profile、或直接模式对数字幅度进行调节, 则必须设置此位。
7	数字部分关电	此位无需I/O更新即可生效。 0 = 数字内核时钟信号有效(默认)。 1 = 数字内核时钟信号禁用。
6	DAC关电	0 = DAC时钟信号和偏置电路有效(默认)。 1 = DAC时钟信号和偏置电路禁用。
5	REFCLK输入关电	此位无需I/O更新即可生效。 0 = REFCLK输入电路和PLL有效(默认)。 1 = REFCLK输入电路和PLL禁用。
4	开路	未决。
3	外部省电控制	0 = EXT_PWR_DWN引脚置位实现省电(默认)。 1 = EXT_PWR_DWN引脚置位影响快速恢复省电模式。
2	开路	未决。
1	仅适用于SDIO输入	0 = 配置SDIO引脚进行双向操作; 2线式串行编程模式(默认)。 1 = 将串行数据I/O引脚(SDIO)仅配置为输入引脚, 3线式串行编程模式。
0	LSB优先模式	0 = 配置串行I/O端口为MSB优先格式(默认)。 1 = 配置串行I/O端口为LSB优先格式。

控制功能寄存器2 (CFR2)—地址0x01

表 16. CFR2的位分配

位	名称	描述
[31:24]	开路	未决。
23	Profile模式使能	0 = Profile模式功能禁用(默认)。 1 = 使能Profile模式功能。Profile引脚用于选择所需的Profile。
22	并行数据端口使能	详情请参见“并行数据端口调制模式”部分。 0 = 并行数据端口调制功能禁用(默认)。 1 = 并行数据端口调制功能使能。
[21:20]	数字斜坡目的地址	详情参见表9。默认为00。详情参见“数字斜坡发生器(DRG)”部分。
19	数字斜坡使能	0 = 数字斜坡发生器功能禁用(默认)。 1 = 数字斜坡发生器功能使能。
18	数字斜坡非驻留高位	详情请参见“数字斜坡发生器(DRG)”部分。 0 = 非驻留高位功能禁用(默认)。 1 = 非驻留高位功能使能。
17	数字斜坡非驻留低位	详情请参见“数字斜坡发生器(DRG)”部分。 0 = 非驻留低位功能禁用(默认)。 1 = 非驻留低位功能使能。
16	可编程模块使能	0 = 禁用可编程模块。 1 = 使能可编程模块。
15	延迟匹配使能	0 = DDS幅度、相位和频率变化同步应用按表2中的数据延迟顺序输出(管线延迟)(默认)。 1 = DDS幅度、相位和频率变化同步应用同步输出。
14	跳频使能	0 = 禁用跳频。 1 = 使能跳频模式。必须使能数字发生器DRG, 才可使用该功能。
13	DRG过输出使能	0 = 禁用DROVER输出。 1 = 使能DROVER输出。

位	名称	描述
12	开路	未决。
11	SYNC_CLK使能	0 = SYNC_CLK引脚禁用，并强制为静态逻辑0；内部时钟信号会连续运行，为数据汇编器提供时序。 1 = SYNC_CLK引脚上产生SYNC_CLK信号(默认)。
10	SYNC_CLK反转	0 = SYNC_CLK正常极性；Q数据与逻辑1有关；I数据与逻辑0有关(默认)。 1 = 反转SYNC_CLK极性。
9	保留	保持逻辑电平0。
[8:0]	开路	未决。

控制功能寄存器3 (CFR3)—地址0x02

表 17. CFR3的位分配

位	名称	描述
[31:23]	开路	未决。
22	输入分频器复位	0 = 禁用输入分频器复位功能。 1 = 发起输入分频器复位。
[21:20]	输入分频器	以四个数值中的一个(1、2、4、8)分割输入REF CLK信号。
19	倍频器使能	0 = 禁用倍频器特性。 1 = 使能倍频器特性。使用该特性必须将倍频器时钟边沿位设置为逻辑1。
18	PLL使能	0 = 禁用内部PLL。 1 = 使能内部PLL，且输出产生系统时钟。通过寄存器CFR1的VCO校准位24使能PLL的同时必须对PLL进行校准。
17	PLL参考禁用	该位应保留为逻辑0(默认)。
16	倍频器时钟边沿	0 = 禁用内部倍频器电路。 1 = 使能倍频器电路。使用该特性必须将倍频器使能位设置为逻辑1。
[15:8]	反馈分频器N	设置PLL的反馈分频器。分频器范围为8×至255×。 位[15:8] = 0000 = 8×、0001 = 9× ... 1111 = 255×
7	开路	未决
6	手动I _{CP} 选择	0 = VCO校准操作时，内部充电泵电流自动选择(默认)。 1 = 根据表7，手动设置内部充电泵。
[5:3]	I _{CP}	手动选择充电泵电流。参见表7。
2	锁定检测使能	0 = 禁用PLL时钟检测。 1 = 使能PLL时钟检测。
[1:0]	最小LDW	选择REF CLK周期数，相位误差(PFD输入端)必须保留至可通过寄存器0x00中的位24回读PLL锁定条件。 00 = 128 REF CLK周期 01 = 256 REF CLK周期 10 = 512 REF CLK周期 11 = 1024 REF CLK周期

AD9914

控制功能寄存器4 (CFR4)—地址0x03

表18. DAC的位功能描述

位	名称	描述
[31:27]	开路	开路。
26	辅助分频器掉电	0 = 使能SYNC OUT电路。 1 = 禁用SYNC OUT电路。
25	DAC CAL时钟掉电	0 = 若寄存器0x03中的位26为逻辑0, 则使能DAC CAL时钟。 1 = 禁用DAC CAL时钟。
24	DAC CAL使能	1 = 触发自动DAC校准。要求在上电和任意内部系统时钟改变的 时刻校准DAC CAL。
[23:0]	(见功能描述)	这些位必须始终采用表14中的默认值进行编程。

数字斜坡下限值寄存器—地址0x04

该寄存器仅在CFR2寄存器(0x01[19])中的数字斜坡使能位为1时有效。详见“数字斜坡发生器(DRG)”部分。

表19. 数字斜坡下限值寄存器位分配

位	名称	描述
[31:0]	数字斜坡下限值	32位数字斜坡下限值。

数字斜坡上限值寄存器—地址0x05

该寄存器仅在CFR2寄存器(0x01[19])中的数字斜坡使能位为1时有效。详见“数字斜坡发生器(DRG)”部分。

表20. 数字斜坡限值寄存器位分配

位	名称	描述
[31:0]	数字斜坡上限值	32位数字斜坡上限值。

上升数字斜坡步长寄存器—地址0x06

该寄存器仅在CFR2寄存器(0x01[19])中的数字斜坡使能位为1时有效。详见“数字斜坡发生器(DRG)”部分。

表21. 上升数字斜坡限值步长寄存器位分配

位	名称	描述
[31:0]	上升数字斜坡递增步长	32位数字斜坡递增步长值。

下降数字斜坡步长寄存器—地址0x07

该寄存器仅在CFR2寄存器(0x01[19])中的数字斜坡使能位为1时有效。详见“数字斜坡发生器(DRG)”部分。

表22. 下降数字斜坡限值步长寄存器位分配

位	名称	描述
[31:0]	下降数字斜坡递减步长	32位数字斜坡递减步长值。

数字斜坡速率寄存器—地址0x08

该寄存器仅在CFR2寄存器(0x01[19])中的数字斜坡使能位为1时有效。详见“数字斜坡发生器(DRG)”部分。

表23. 数字斜坡速率寄存器位分配

位	名称	描述
[31:16]	数字斜坡负斜率	此16位数字斜坡负斜率值定义两个递减值之间的时间间隔。
[15:0]	数字斜坡正斜率	此16位数字斜坡正斜率值定义两个递增值之间的时间间隔。

最低跳频寄存器—地址0x09

该寄存器仅在数字斜坡使能位(0x01[19]) = 1以及CFR2寄存器中的跳频使能位(0x01[14]) = 1时有效。详情请参见“数字斜坡发生器(DRG)”部分。

表24. 最低跳频寄存器位分配

位	名称	描述
[31:0]	最低跳频点	32位数字最低跳频值。在频率扫描的任意时刻，只要达到最低跳频值，输出频率就会同时跳到最高频率值，并以相位连续的方式继续进行频率扫描。

最高跳频寄存器—地址0x0A

该寄存器仅在数字斜坡使能位(0x01[19]) = 1以及CFR2寄存器中的跳频使能位(0x01[14]) = 1时有效。详情请参见“数字斜坡发生器(DRG)”部分。

表25. 最高跳频寄存器位分配

位	名称	描述
[31:0]	最高跳频点	32位数字最高跳频值。在频率扫描的任意时刻，只要达到最高跳频值，输出频率就会同时跳到最低频率值，并以相位连续的方式继续进行频率扫描。

AD9914

Profile寄存器

器件的Profile共使用16个串行I/O地址(地址0x0B至地址0x01A)。16个Profile中的8个组成8个单频频率。其余8个Profile含有各自profile引脚的相位失调和幅度参数设置。若

要使能Profile模式,将CFR2 (0x01[23])中的Profile模式使能位设置为1。使用外部PS[2:0]引脚选择有效Profile寄存器。

Profile 0至Profile 7、单频寄存器—0x0B、0x0D、0x0F、0x11、0x13、0x15、0x17、0x19

每个寄存器分配了四个字节。

表26. Profile 0至Profile 7单频寄存器位分配

位	名称	描述
[31:0]	频率调谐字	此32位数控制DDS频率。

Profile 0至Profile 7、相位失调和幅度寄存器—0x0C、0x0E、0x10、0x12、0x14、0x16、0x18、0x1A

每个寄存器分配了四个字节。

表27. Profile 0至Profile 7相位失调和幅度寄存器位分配

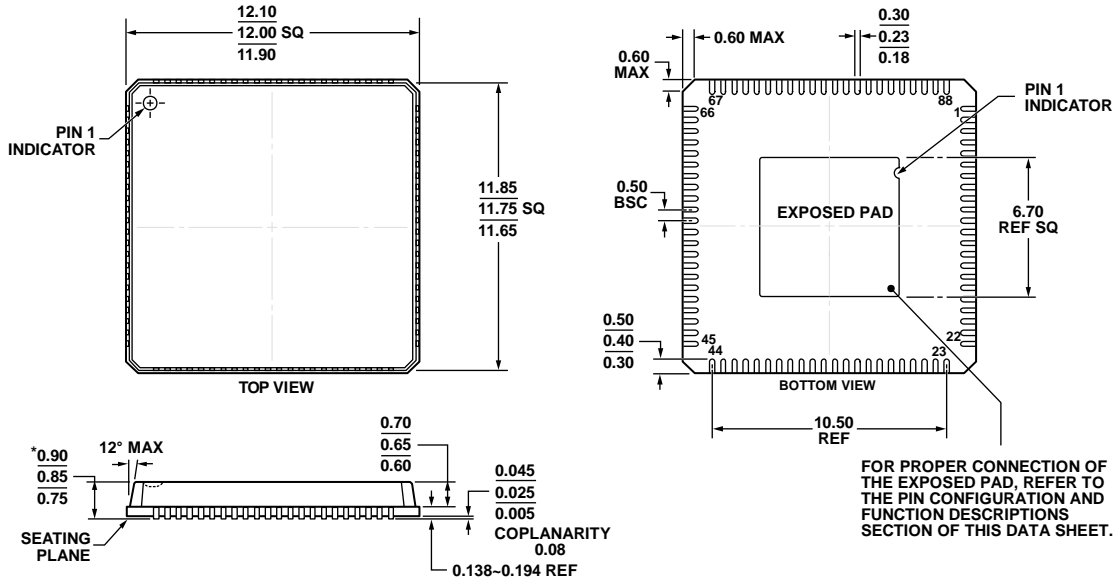
位	名称	描述
[31:28]	开路	未决。
[27:16]	幅度比例因子	此12位字控制DDS频率。注意必须设置OSK使能位(0x00[8])为逻辑高电平,以便调节幅度。
[15:0]	相位偏移字	此16位字控制DDS频率。

USR0寄存器—地址0x1B

表28. USR0寄存器位分配

位	名称	描述
[31:25]	开路	
24	PLL锁定	此位只可回读。若回读逻辑1,则锁定PLL。逻辑0表示失锁状态。
[23:0]	(见功能描述)	这些位必须始终采用表14中的默认值进行编程。

外形尺寸



*COMPLIANT TO JEDEC STANDARDS MO-220-VRRD EXCEPT FOR MINIMUM THICKNESS AND LEAD COUNT.

图48. 88引脚引脚架构芯片级封装[LFCSP_VQ]
12 mm × 12 mm, 超薄体
(CP-88-5)
图示尺寸单位: mm

07-022012-B

订购指南

参数 ¹	温度范围	封装描述	封装选项
AD9914BCPZ	-40°C至+85°C	88引脚引脚架构芯片级封装[LFCSP_VQ]	CP-88-5
AD9914BCPZ-REEL7	-40°C至+85°C	88引脚引脚架构芯片级封装[LFCSP_VQ]	CP-88-5
AD9914/PCBZ		评估板	

¹ Z = 符合RoHS标准的器件。

AD9914

注释

注释

注释