

产品特性**高度集成的四通道DAC****片内4096 × 12位模式存储器****片内DDS****功耗(3.3 V、4 mA输出)****315 mW(180 MSPS)****休眠模式: < 5 mW (3.3 V)****电源电压: 1.8 V至3.3 V****SFDR(至奈奎斯特频率)****86 dBc(1 MHz输出)****85 dBc(10 MHz输出)****相位噪声(1 kHz偏移、180 MSPS、8 mA): -140 dBc/Hz****差分电流输出: 8 mA(最大值, 3.3 V)****小尺寸、32引脚、5 mm × 5 mm LFCSP封装, 带3.5 mm ×****3.6mm 裸露焊盘****无铅封装****应用****医疗仪器****超声传感器激励****便携式仪器仪表****信号发生器、任意波形发生器****概述**

AD9106 TxDAC®和波形发生器是高性能四通道DAC, 集成片上模式存储器, 用于复杂波形生成, 具有直接数字频率合成器(DDS)。该DDS是一个12位输出、最高180 MHz的主机时钟正弦波发生器, 带24位调谐字, 支持10.8 Hz/LSB的频率分辨率。该DDS具有针对全部四个DAC的单路频率输出, 以及针对每个DAC的独立可编程相移输出。

SRAM数据可包含直接生成的存储波形、施加于DDS输出或DDS频率调谐字的幅度调制模式。

内置模式控制状态机允许用户对全部四个DAC的模式周期以及每个DAC通道信号输出的周期内起始延迟进行编程。

SPI接口用于配置数字波形发生器, 并将模式载入SRAM。

在数字信号传送至四个DAC的过程中对信号进行增益调节和失调调节。

AD9106提供出色的交流和直流性能, 并支持高达180 MSPS的DAC采样率。**AD9106**具有灵活的工作电源范围(1.8 V至3.3 V)和低功耗, 非常适合便携式和低功耗应用。

Rev. A

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2012–2013 Analog Devices, Inc. All rights reserved.
[Technical Support](#) www.analog.com

ADI中文数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	模拟电流输出.....	22
应用.....	1	设置 I_{OUTFSx} 、DAC增益.....	22
概述.....	1	I_{OUTFSx} 自动校准.....	23
修订历史.....	2	时钟输入.....	23
功能框图.....	3	DAC输出时钟边沿.....	24
技术规格.....	4	产生信号模式.....	24
直流规格(3.3 V).....	4	模式发生器编程.....	25
直流规格(1.8 V).....	5	DACx输入数据路径.....	25
数字时序规格(3.3 V).....	6	DOUT功能.....	26
数字时序规格(1.8 V).....	6	直接数字频率合成器(DDS).....	26
输入/输出信号规格.....	7	SRAM.....	27
交流规格(3.3 V).....	8	锯齿发生器.....	27
交流规格(1.8 V).....	8	伪随机信号发生器.....	27
电源电压输入和功耗.....	9	直流量数.....	27
绝对最大额定值.....	10	电源须知.....	27
热阻.....	10	省电功能.....	27
ESD警告.....	10	应用信息.....	28
引脚配置和功能描述.....	11	信号产生示例.....	28
典型性能参数.....	13	寄存器映射.....	30
术语.....	19	寄存器描述.....	33
工作原理.....	20	外形尺寸.....	48
SPI端口.....	21	订购指南.....	48
DAC传递函数.....	22		

修订历史

2013年2月—修订版0至修订版A

更新格式.....	通篇
更改“产品特性”部分.....	1
更改图1.....	3
删除图20；重新排序.....	16
更改图31.....	20
更改表13.....	22
删除“使用外部基准电压源时的建议”部分.....	23

2012年11月—修订版0：初始版

功能框图

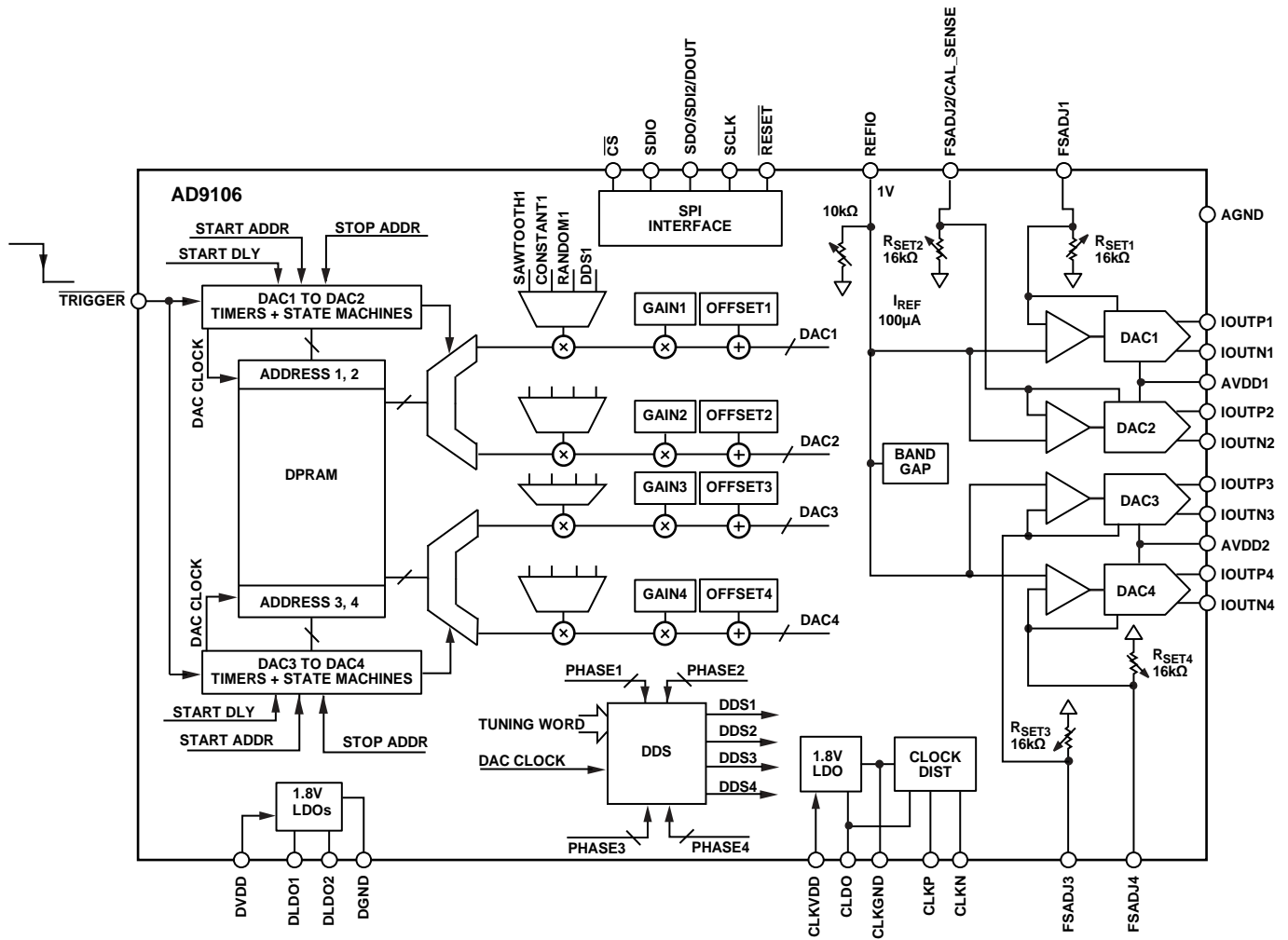


图1.

AD9106

技术规格

直流规格(3.3 V)

除非另有说明, T_{MIN} 至 T_{MAX} ; AVDD = 3.3 V; DVDD = 3.3 V; CLKVDD = 3.3 V; 内部CLDO、DLDO1和DLDO2;
 $I_{OUTFS} = 4$ mA; 最大采样速率。

表1.

参数	最小值	典型值	最大值	单位
分辨率		12		Bits
3.3 V时精度				
差分非线性(DNL)		±0.4		LSB
积分非线性(INL)		±0.5		LSB
DAC输出				
失调误差		±0.0025		% of FSR
增益误差(内部基准电压源—无 I_{OUTFS} 自动校准)	-1.0		+1.0	% of FSR
3.3 V时满量程输出电流 ¹	2	4	8	mA
输出电阻		200		MΩ
输出顺从电压	-0.5		+1.0	V
DAC间串扰($f_{OUT} = 10$ MHz)		96		dBc
DAC间串扰($f_{OUT} = 60$ MHz)		82		dBc
DAC温度漂移				
增益(使用内部基准电压源)		±251		ppm/°C
内部基准电压		±119		ppm/°C
基准输出				
内部基准电压(AVDD = 3.3 V)	0.8	1.0	1.2	V
输出电阻		10		kΩ
基准输入				
顺从电压	0.1		1.25	V
输入电阻(外部基准电压源模式)		1		MΩ
DAC匹配				
增益匹配—无 I_{OUTFS} 自动校准		±0.75		% of FSR

¹ 使用8 kΩ外部 xR_{SET} 电阻。

直流规格(1.8 V)

除非另有说明, T_{MIN} 至 T_{MAX} ; AVDD = 1.8 V; DVDD = DLDO1 = DLDO2 = 1.8 V; CLKVDD = CLDO = 1.8 V; $I_{OUTFS} = 4$ mA; 最大采样速率。

表2.

参数	最小值	典型值	最大值	单位
分辨率		12		位
1.8 V时精度				
差分非线性(DNL)		±0.4		LSB
积分非线性(INL)		±0.4		LSB
DAC输出				
失调误差		±0.0025		% of FSR
增益误差(内部基准电压源—无 I_{OUTFS} 自动校准)	-1.0		+1.0	% of FSR
1.8 V时满量程输出电流 ¹	2	4	4	mA
输出电阻		200		MΩ
输出顺从电压	-0.5		+1.0	V
DAC间串扰($f_{OUT} = 30$ MHz)		94		dB
DAC间串扰($f_{OUT} = 60$ MHz)		78		dB
DAC温度漂移				
增益		±228		ppm/°C
基准电压		±131		ppm/°C
基准输出				
内部基准电压(AVDD = 1.8 V)	0.8	1.0	1.2	V
输出电阻		10		kΩ
基准输入				
顺从电压	0.1		1.25	V
输入电阻(外部基准电压源模式)		1		MΩ
DAC匹配				
增益匹配—无 I_{OUTFS} 自动校准		±0.75		% of FSR

¹ 使用8 kΩ外部 R_{SET} 电阻。

AD9106

数字时序规格(3.3 V)

除非另有说明, T_{MIN} 至 T_{MAX} ; AVDD = 3.3 V; DVDD = 3.3 V; CLKVDD = 3.3 V; 内部CLDO、DLDO1和DLDO2;
 $I_{\text{OUTFS}} = 4 \text{ mA}$; 最大采样速率。

表3.

参数	最小值	典型值	最大值	单位
DAC时钟输入(CLKIN)				
最大时钟速率	180			MSPS
串行外设接口				
最大时钟速率(SCLK)	80			MHz
高电平最小脉冲宽度		6.25		ns
低电平最小脉冲宽度		6.25		ns
SDIO到SCLK建立时间	4.0			ns
SDIO到SCLK保持时间	5.0			ns
输出数据有效SCLK到SDO或SDIO		6.2		ns
CS到SCLK建立时间	4.0			ns

数字时序规格(1.8 V)

除非另有说明, T_{MIN} 至 T_{MAX} ; AVDD = 1.8 V; DVDD = DLDO1 = DLDO2 = 1.8 V; CLKVDD = CLDO = 1.8 V; $I_{\text{OUTFS}} = 4 \text{ mA}$;
最大采样速率。

表4.

参数	最小值	典型值	最大值	单位
DAC时钟输入(CLKIN)				
最大时钟速率	180			MSPS
串行外设接口				
最大时钟速率(SCLK)	80			MHz
高电平最小脉冲宽度		6.25		ns
低电平最小脉冲宽度		6.25		ns
SDIO到SCLK建立时间	4.0			ns
SDIO到SCLK保持时间	5.0			ns
输出数据有效SCLK到SDO或SDIO		8.8		ns
CS到SCLK建立时间	4.0			ns

输入/输出信号规格

表5.

参数	测试条件/注释	最小值	典型值	最大值	单位
CMOS输入逻辑电平(SCLK、 \overline{CS} 、SDIO、SDO/SDI2/DOUT、RESET、TRIGGER) 输入 V_{IN} 逻辑高电平	DVDD = 1.8 V	1.53			V
	DVDD = 3.3 V	2.475			V
	DVDD = 1.8 V			0.27	V
	DVDD = 3.3 V			0.825	V
CMOS输出逻辑电平(SDIO、SDO/SDI2/DOUT) 输出 V_{OUT} 逻辑高电平	DVDD = 1.8 V	1.79			V
	DVDD = 3.3 V	3.28			V
	DVDD = 1.8 V			0.25	V
	DVDD = 3.3 V			0.625	V
DAC时钟输入(CLKP、CLKN) 最小峰峰值差分输入电压, V_{CLKP}/V_{CLKN} V_{CLKP} 或 V_{CLKN} 的最大电压 V_{CLKP} 或 V_{CLKN} 的最小电压 芯片产生的共模电压			150		mV
			V_{DVDD}		V
			V_{DGND}		V
			0.9		V

AD9106

交流规格(3.3 V)

除非另有说明, T_{MIN} 至 T_{MAX} ; AVDD = 3.3 V; DVDD = 3.3 V; CLKVDD = 3.3 V; 内部CLDO、DLDO1和DLDO2; $I_{\text{OUTFS}} = 4 \text{ mA}$; 最大采样速率。

表6.

参数	最小值	典型值	最大值	单位
无杂散动态范围(SFDR)				
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 10 \text{ MHz}$		86		dBc
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 50 \text{ MHz}$		73		dBc
双音交调失真(IMD)				
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 10 \text{ MHz}$		92		dBc
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 50 \text{ MHz}$		77		dBc
NSD				
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 50 \text{ MHz}$		-167		dBm/Hz
相位噪声(1 kHz时, 来自载波)				
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 10 \text{ MHz}$		-135		dBc/Hz
动态性能				
输出建立时间, 满量程输出步进(至0.1%) ¹		31.2		ns
触发至输出延迟, $f_{\text{DAC}} = 180 \text{ MSPS}$ ²		96		ns
上升时间, 满量程摆幅 ¹		3.25		ns
下降时间, 满量程摆幅 ¹		3.26		ns

¹ 基于85 Ω 电阻(从DAC输出端到地)。

² 起始延迟 = 0 f_{DAC} 时钟周期。

交流规格(1.8 V)

除非另有说明, T_{MIN} 至 T_{MAX} ; AVDD = 1.8 V; DVDD = DLDO1 = DLDO2 = 1.8 V; CLKVDD = CLDO = 1.8 V; $I_{\text{OUTFS}} = 4 \text{ mA}$; 最大采样速率。

表7.

参数	最小值	典型值	最大值	单位
无杂散动态范围(SFDR)				
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 10 \text{ MHz}$		83		dBc
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 50 \text{ MHz}$		74		dBc
双音交调失真(IMD)				
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 10 \text{ MHz}$		91		dBc
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 50 \text{ MHz}$		83		dBc
NSD				
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 50 \text{ MHz}$		-163		dBm/Hz
相位噪声(1 kHz时, 来自载波)				
$f_{\text{DAC}} = 180 \text{ MSPS}, f_{\text{OUT}} = 10 \text{ MHz}$		-135		dBc/Hz
动态性能				
输出建立时间(至0.1%) ¹		31.2		ns
触发至输出延迟, $f_{\text{DAC}} = 180 \text{ MSPS}$ ²		96		ns
上升时间 ¹		3.25		ns
下降时间 ¹		3.26		ns

¹ 基于85 Ω 电阻(从DAC输出端到地)。

² 起始延迟 = 0 f_{DAC} 时钟周期。

电源电压输入和功耗

表8.

参数	测试条件/注释	最小值	典型值	最大值	单位
模拟电源电压					
AVDD1, AVDD2		1.7		3.6	V
CLKVDD		1.7		3.6	V
CLDO	未使用片内LDO	1.7		1.9	V
数字电源电压					
DVDD		1.7		3.6	V
DLDO1, DLDO2	未使用片内LDO	1.7		1.9	V
功耗	AVDD = 3.3 V, DVDD = 3.3 V, CLKVDD = 3.3 V, 内部CLDO、DLDO1和DLDO2 12.5 MHz(仅DDS), 所有4个DAC		315.25		mW
$f_{DAC} = 180$ MSPS, 纯CW正弦波			28.51		mA
I_{AVDD}					
I_{DVDD}					
仅DDS	CW正弦波输出		60.3		mA
仅RAM	50%占空比FS脉冲输出		27.1		mA
仅DDS和RAM	50%占空比正弦波输出		39.75		mA
I_{CLKVDD}			6.72		mA
掉电模式	REF_PDN = 0, DAC休眠, CLK掉电, 外部CLK, 电源开启		4.73		mW
功耗	AVDD = 1.8 V, DVDD = DLDO1 = DLDO2 = 1.8 V, CLKVDD = CLDO = 1.8 V 12.5 MHz(仅DDS)		167		mW
$f_{DAC} = 180$ MSPS, 纯CW正弦波			28.14		mA
I_{AVDD}			0.151		mA
I_{DVDD}					
I_{DLDO2}					
仅DDS	CW正弦波输出		53.75		mA
仅RAM	50%占空比FS脉冲输出		17.78		mA
仅DDS和RAM—50%占空比正弦波输出			35.4		mA
I_{DLDO1}			4.0		mA
I_{CLKVDD}			0.0096		mA
I_{CLDO}			6.6		mA
掉电模式	REF_PDN = 0, DAC休眠, CLK掉电, 外部CLK, 电源开启		1.49		mW

绝对最大额定值

表9.

参数	额定值
AVDD1, AVDD2, DVDD 至 AGND, DGND, CLKGND	-0.3 V 至 +3.9 V
CLKVDD 至 AGND, DGND, CLKGND	-0.3 V 至 +3.9 V
CLDO, DLDO1, DLDO2 至 AGND, DGND, CLKGND	-0.3 V 至 +2.2 V
AGND 至 DGND, CLKGND	-0.3 V 至 +0.3 V
DGND 至 AGND, CLKGND	-0.3 V 至 +0.3 V
CLKGND 至 AGND, DGND	-0.3 V 至 +0.3 V
CS, SDIO, SCLK, SDO/SDI2/DOOUT, RESET, TRIGGER 至 DGND	-0.3 V 至 DVDD + 0.3 V
CLKP, CLKN 至 CLKGND	-0.3 V 至 CLKVDD + 0.3 V
REFIO 至 AGND	-1.0 V 至 AVDD + 0.3 V
IOUTP1, IOUTN1, IOUTP2, IOUTN2, IOUTP3, IOUTN3, IOUTP4, IOUTN4 至 AGND	-0.3 V 至 DVDD + 0.3 V
FSADJ1, FSADJ2/CAL_SENSE, F4DJ3, FSADJ4 至 AGND	-0.3 V 至 AVDD + 0.3 V
结温	125°C
存储温度	-65°C 至 +150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即器件焊接在标准电路板上以实现表贴封装。 θ_{JC} 是从封装的焊接侧(底部)测量。

表10. 热阻

封装类型	θ_{JA}	θ_{JB}	θ_{JC}	单位
32引脚LFCSP (带裸露焊盘)	30.18	6.59	3.84	°C/W

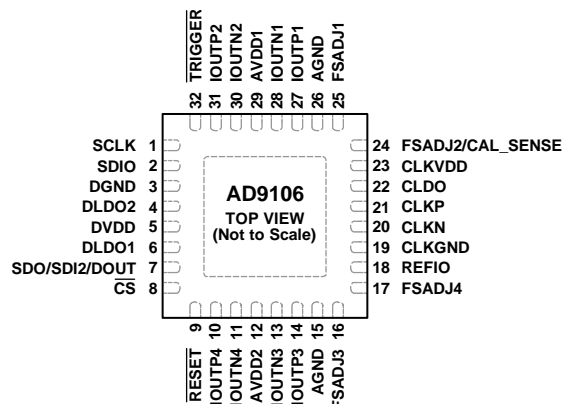
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. THE EXPOSED PAD MUST BE CONNECTED TO DGND.

11121-002

图2. 引脚配置

表11. 引脚功能描述

引脚编号	引脚名称	描述
1	SCLK	SPI时钟输入。
2	SDIO	SPI数据输入/输出。SPI端口的主要双向数据线。
3	DGND	数字地。
4	DLDO2	1.8 V内部数字LDO1输出。当内部数字LDO1使能时，应通过0.1 μ F电容旁路此引脚。
5	DVDD	3.3 V外部数字电源。DVDD定义AD9106数字接口(SPI接口)的电平。
6	DLDO1	1.8 V内部数字LDO2输出。当内部数字LDO2使能时，应通过0.1 μ F电容旁路此引脚。
7	SDO/SDI2/DOUT	数字I/O引脚。 4线SPI模式下，此引脚用于从SPI输出数据。 双SPI模式下，此引脚是SPI端口的第二数据输入线(SDI2)，用于写入SRAM。 数据输出模式下，此引脚是可编程脉冲输出。
8	$\overline{\text{CS}}$	SPI端口片选，低电平有效。
9	$\overline{\text{RESET}}$	低电平有效复位引脚。将寄存器复位至默认值。
10	IOUTP4	DAC4输出电流，正极。
11	IOUTN4	DAC4输出电流，负极。
12	AVDD2	DAC3和DAC4的1.8 V至3.3 V电源输入。
13	IOUTN3	DAC3输出电流，负极。
14	IOUTP3	DAC3输出电流，正极。
15	AGND	模拟地。
16	FSADJ3	DAC3的外部满量程电流输出调整。
17	FSADJ4	DAC4的外部满量程电流输出调整。
18	REFIO	DAC基准电压输入/输出。
19	CLKGND	时钟地。
20	CLKN	时钟输入，负极。
21	CLKP	时钟输入，正极。
22	CLDO	时钟电源输出(使用内部稳压器)，时钟电源输入(旁路内部稳压器)。
23	CLKVDD	时钟电源输入引脚。
24	FSADJ2/CAL_SENSE	DAC2的外部满量程电流输出调整，或用于 I_{OUTFS} 自动校准的检测输入。
25	FSADJ1	DAC1的外部满量程电流输出调整，或用于 I_{OUTFS} 自动校准的满量程电流输出调整基准。
26	AGND	模拟地。
27	IOUTP1	DAC1输出电流，正极。

AD9106

引脚编号	引脚名称	描述
28	IOUTN1	DAC1输出电流，负极。
29	AVDD1	DAC1和DAC2的1.8 V至3.3 V电源输入。
30	IOUTN2	DAC2输出电流，负极。
31	IOUTP2	DAC2输出电流，正极。
32	TRIGGER	模式触发器输入。
	EPAD	裸露焊盘。裸露焊盘必须连接到DGND。

典型性能参数

AVDD = 3.3 V, DVDD = 3.3 V, CLKVDD = 3.3 V, 内部CLDO、DLDO1和DLDO2。

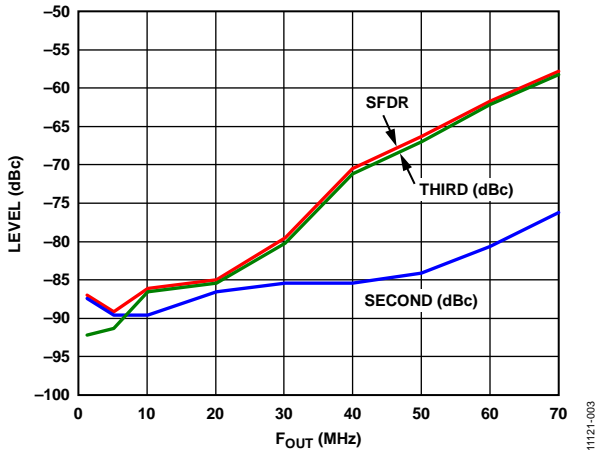


图3. SFDR、二次和三次谐波($I_{OUTFS} = 8\text{ mA}$)与 F_{OUT} 的关系

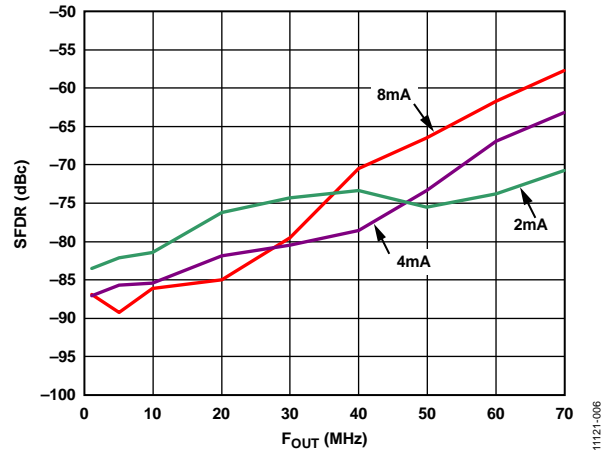


图6. 三种 I_{OUTFS} 下的SFDR与 F_{OUT} 的关系

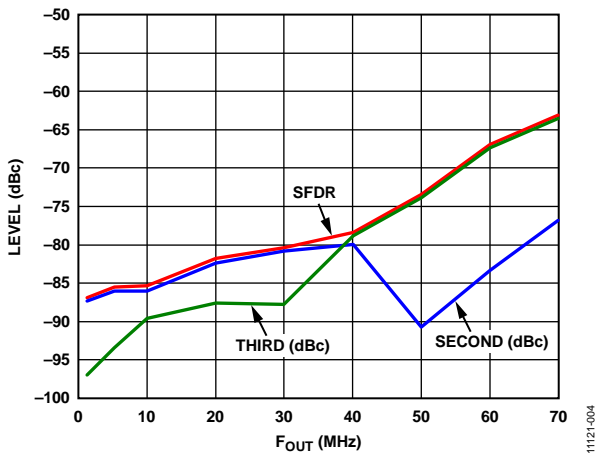


图4. SFDR、二次和三次谐波($I_{OUTFS} = 4\text{ mA}$)与 F_{OUT} 的关系

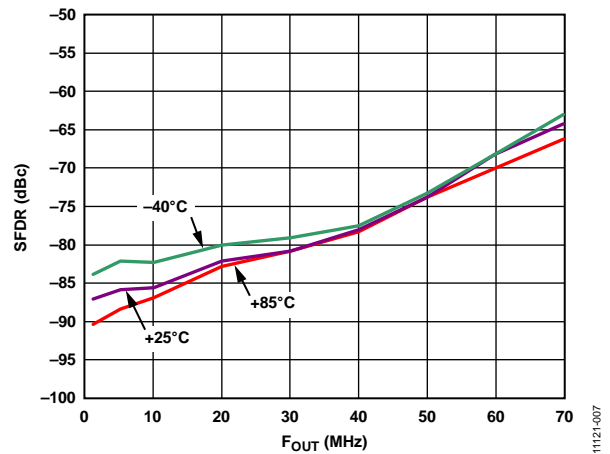


图7. 三种温度下的SFDR与 F_{OUT} 的关系

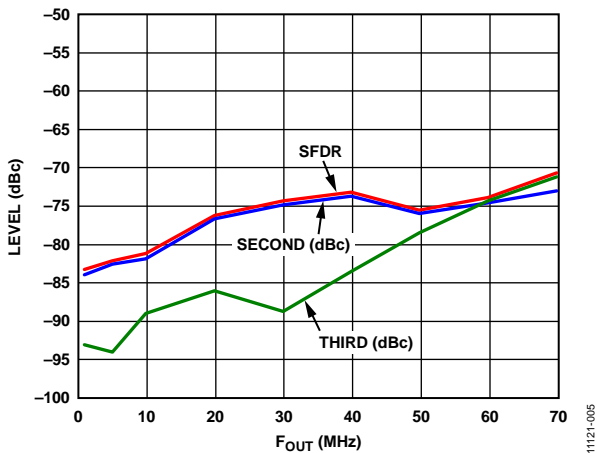


图5. SFDR、二次和三次谐波($I_{OUTFS} = 2\text{ mA}$)与 F_{OUT} 的关系

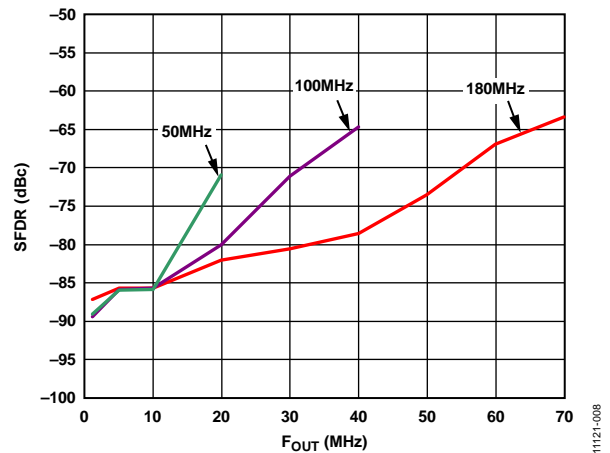


图8. 三种 F_{DAC} 下的SFDR与 F_{OUT} 的关系

AD9106

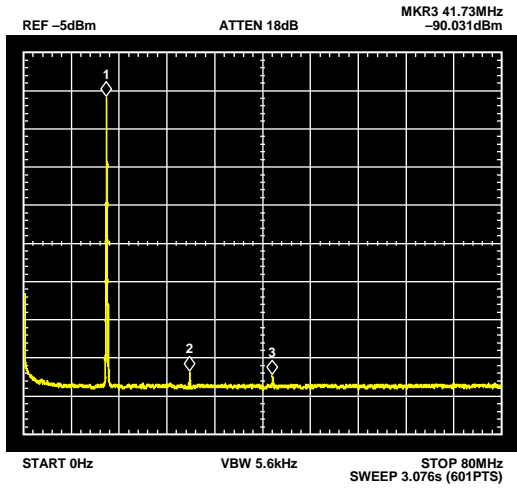


图9. 输出频谱, $F_{OUT} = 13.87$ MHz

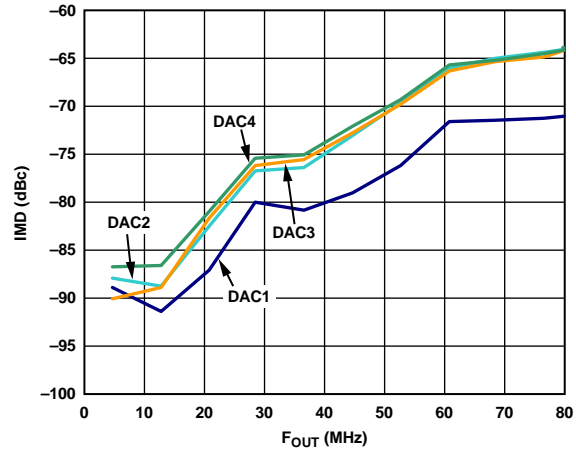


图12. 所有四个DAC的IMD与 F_{OUT} 的关系

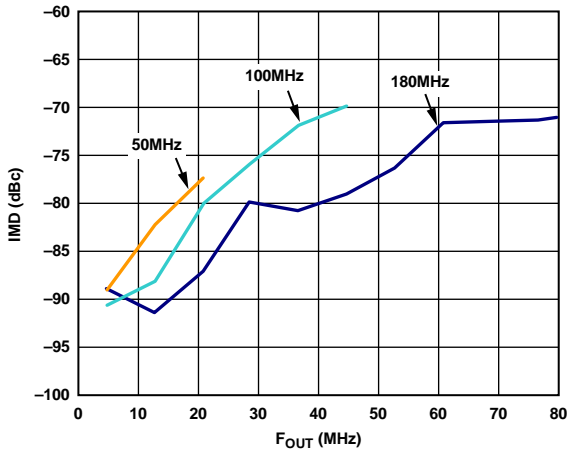


图10. 三个 F_{DAC} 值下的IMD与 F_{OUT} 的关系

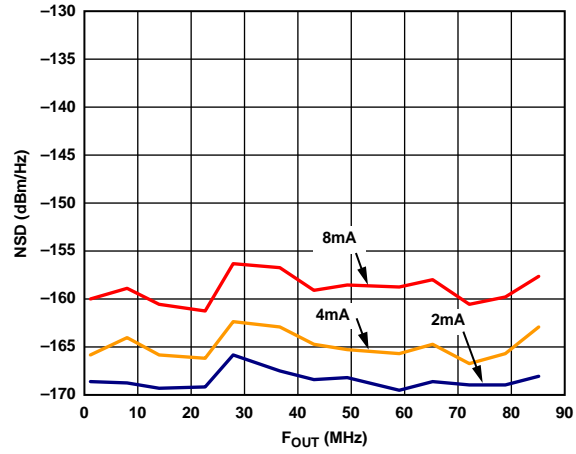


图13. 三个 I_{OUTFS} 值下的NSD与 F_{OUT} 的关系

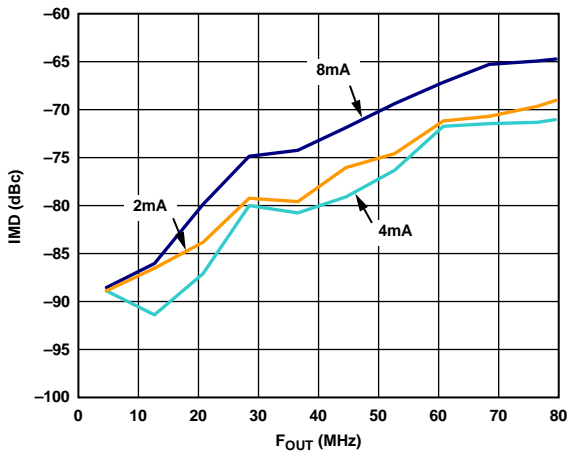


图11. 三个 I_{OUTFS} 值下的IMD与 F_{OUT} 的关系

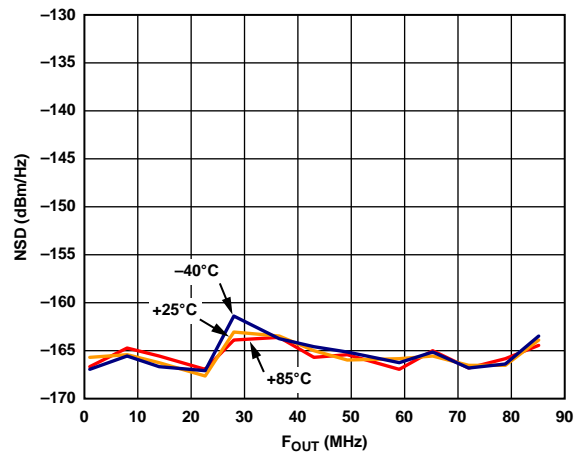
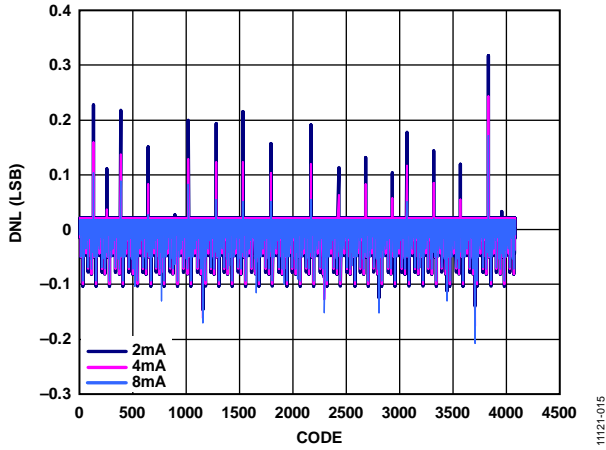
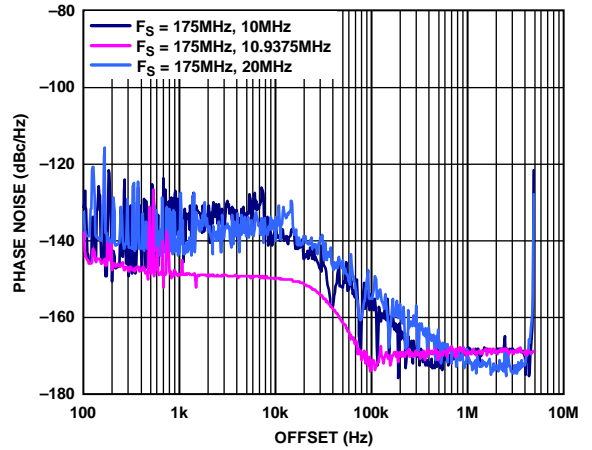


图14. 三种温度下的NSD与 F_{OUT} 的关系



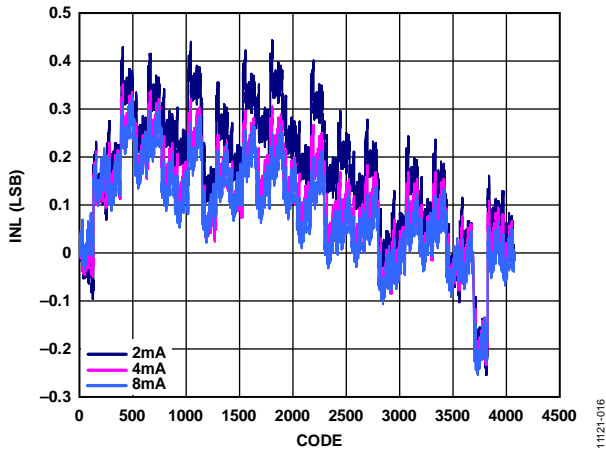
11121-015

图15. 三个 I_{OUTFS} 值下的DNL



11121-017

图17. 相位噪声



11121-016

图16. 三个 I_{OUTFS} 值下的INL

AD9106

AVDD = 1.8 V, DVDD = DLDO1 = DLDO2 = 1.8 V, CLKVDD = CLDO = 1.8 V.

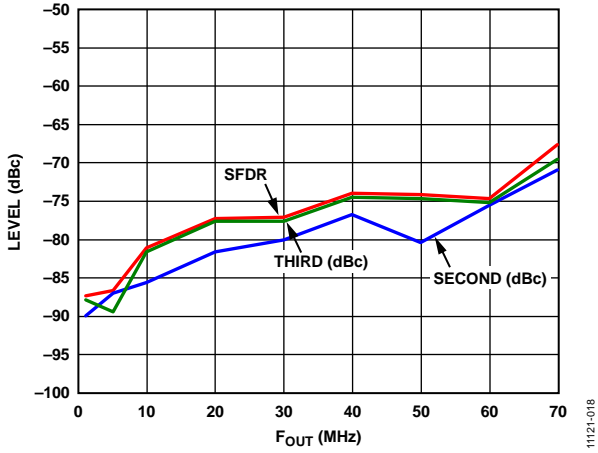


图18. SFDR、二次和三次谐波 ($I_{OUTFS} = 4 \text{ mA}$) 与 F_{OUT} 的关系

11121-018

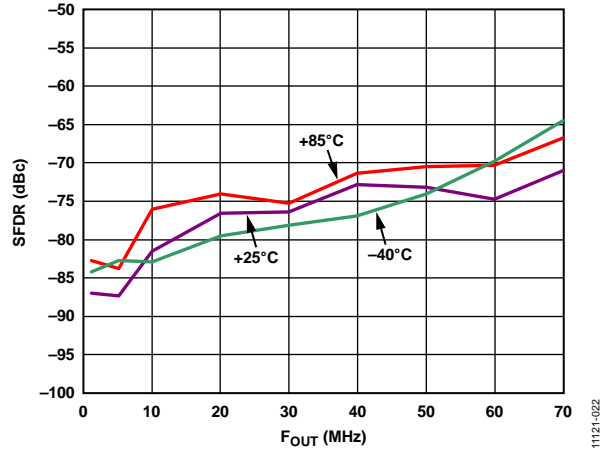


图21. 三种温度下的SFDR与 F_{OUT} 的关系

11121-022

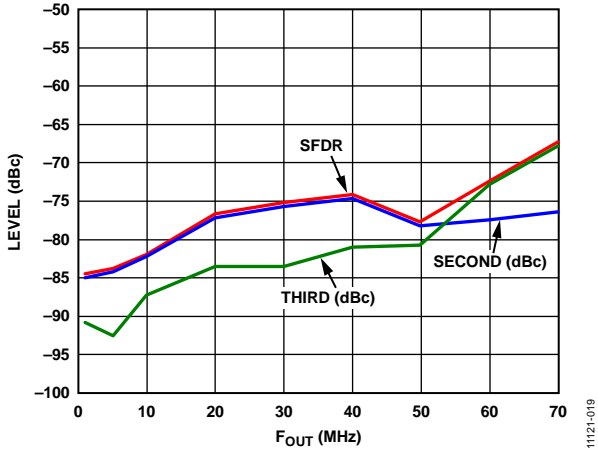


图19. SFDR、二次和三次谐波 ($I_{OUTFS} = 2 \text{ mA}$) 与 F_{OUT} 的关系

11121-019

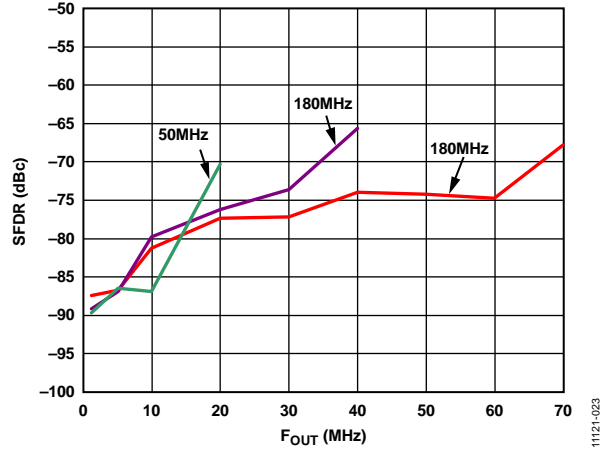


图22. 三种 F_{DAC} 下的SFDR与 F_{OUT} 的关系

11121-023

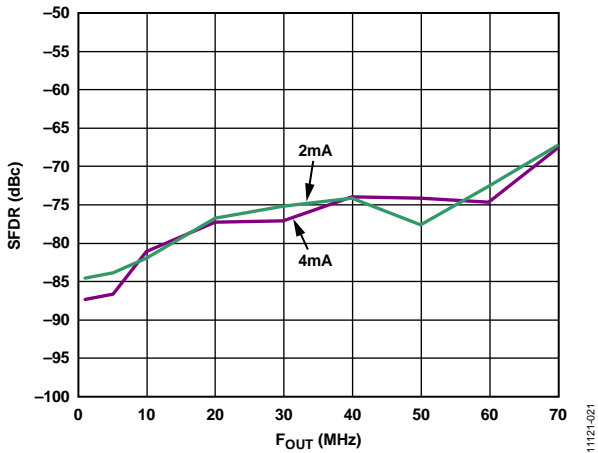


图20. 两种 I_{OUTFS} 下的SFDR与 F_{OUT} 的关系

11121-021

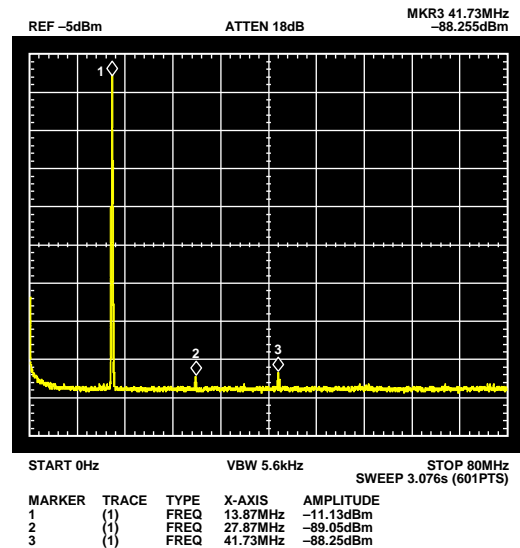


图23. 输出频谱, $F_{OUT} = 13.87 \text{ MHz}$

11121-024

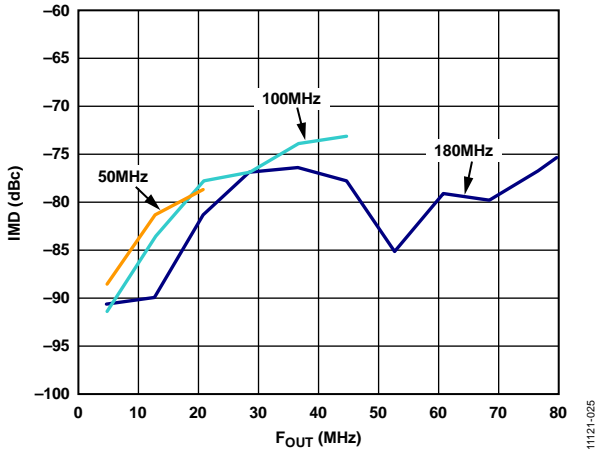


图24. 三个 F_{OUT} 值下的IMD与 F_{OUT} 的关系

11121-025

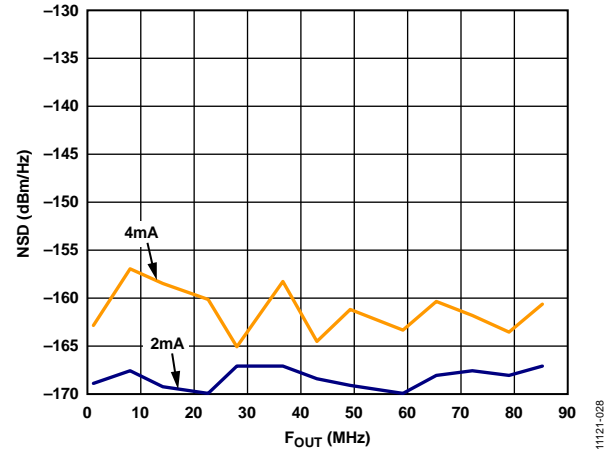


图27. 两个 I_{OUTS} 值下的NSD与 F_{OUT} 的关系

11121-028

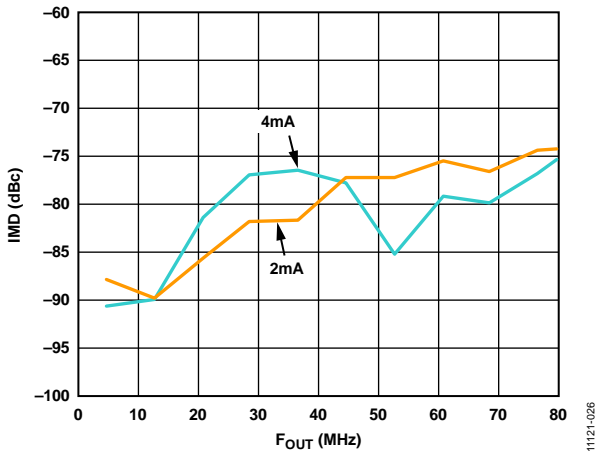


图25. 两个 I_{OUTS} 值下的IMD与 F_{OUT} 的关系

11121-026

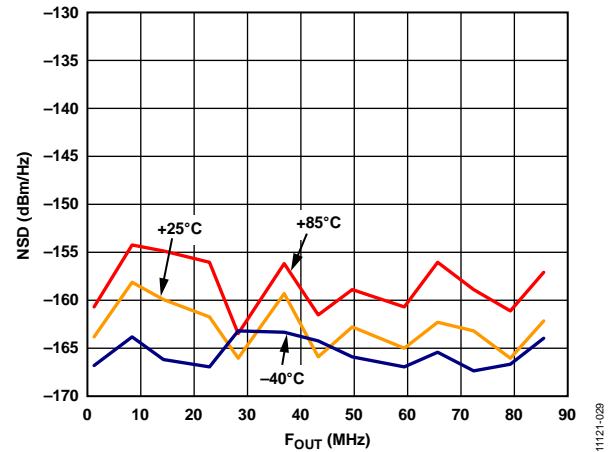


图28. 三种温度下的NSD与 F_{OUT} 的关系

11121-029

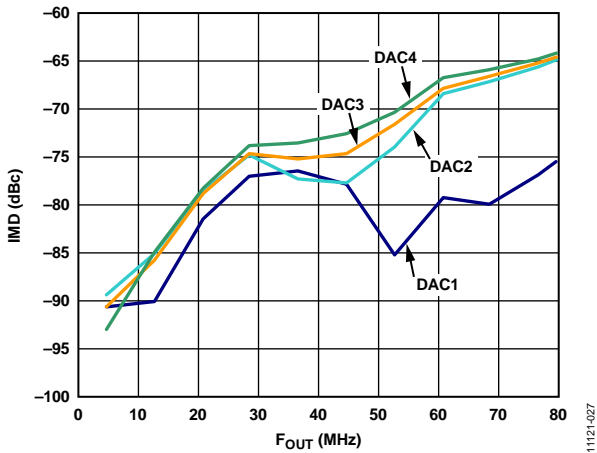


图26. 所有四个DAC的IMD与 F_{OUT} 的关系

11121-027

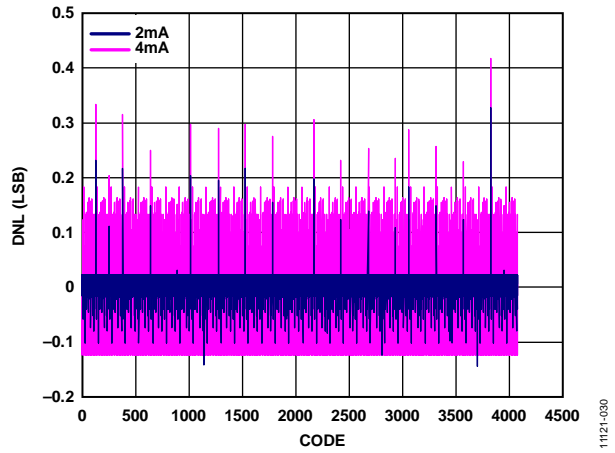
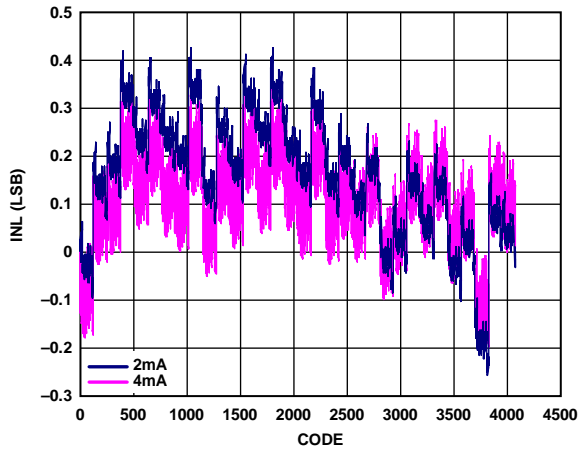


图29. 三个 I_{OUTS} 值下的DNL

11121-030

AD9106



1121-031

图30. 两个 I_{OUTFS} 值下的INL

术语

线性误差(积分非线性或INL)

INL指实际模拟输出与理想输出的最大偏差，理想输出由从零电平到满量程所画的直线确定。

差分非线性(DNL)

DNL用于衡量数字输入代码改变1 LSB时模拟值(用满量程归一化)的变化。

单调性

如果一个数模转换器(DAC)的输出随着数字输入的增加而增加，或者保持不变，则认为该DAC是单调的。

失调误差

失调误差指输出电流与理想0值的偏差。对于IOUTPx，当所有输入均置0时，预期输出为0 mA。对于IOUTNz，当所有输入均置1时，预期输出为0 mA。

增益误差

增益误差指实际输出范围与理想输出范围的差异。所有输入均置1时的输出减去所有输入均置0时的输出便得到实际范围。理想增益利用实测VREF计算。因此，增益误差不包括基准源的影响。

输出顺从电压

输出顺从电压范围指电流输出DAC输出端的容许电压范围。超出最大限值工作可能会引起输出级饱和或击穿，导致非线性性能。

温度漂移

温度漂移衡量环境温度(25°C)值与 T_{MIN} 或 T_{MAX} 值之间的最大变化范围。失调和增益漂移用每摄氏度(°C)满量程范围(FSR)的ppm表示。基准电压漂移用每摄氏度ppm表示(ppm/°C)。

电源抑制

电源抑制衡量电源从最小额定电压变为最大额定电压时，满量程输出的最大变化。

建立时间

建立时间指输出达到并保持在以最终值为中心的规定误差范围内所需的时间，从输出跃迁开始时测量。

毛刺脉冲

DAC的非对称开关时间会产生不良输出瞬变，该瞬变用毛刺脉冲予以量化，定义为毛刺的面积，用pV-s表示。

无杂散动态范围(SFDR)

SFDR表示指定带宽内输出信号与峰值杂散信号的均方根幅值之差，用分贝(dB)表示。

噪声谱密度(NSD)

噪声谱密度是指DAC执行转换并产生输出信号音时，归一化到1 Hz带宽的平均噪声功率。

工作原理

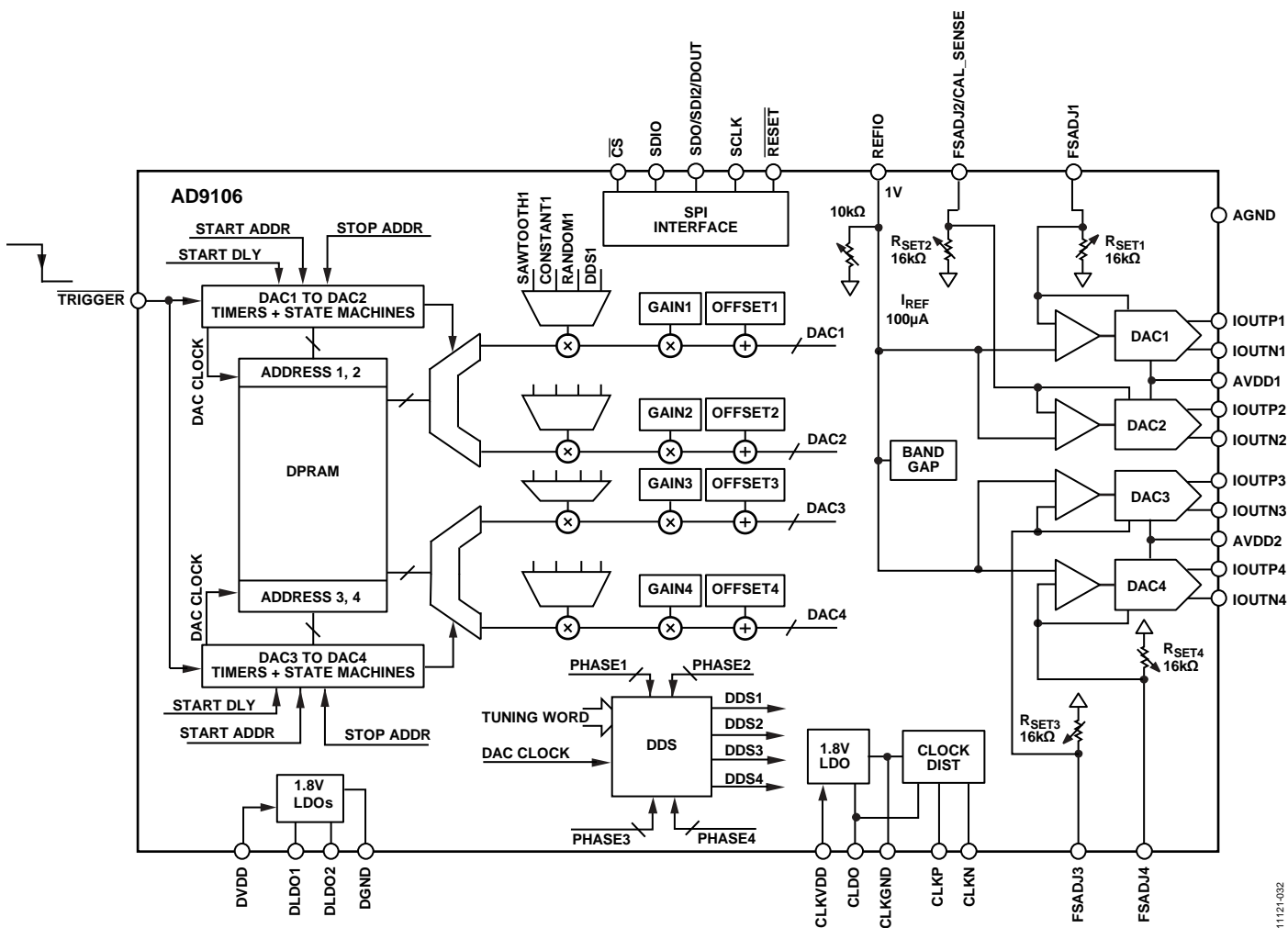


图31. AD9106功能框图

图31为AD9106的功能框图。AD9106有四个12位电流输出DAC。

这些DAC使用同一基准电压源。芯片内置一个带隙基准电压源。当然，也可以使用片外基准电压源。满量程DAC输出电流(也称为增益)受电流 I_{REF} 控制。 I_{REF} 是流经各 I_{REF} 电阻的电流。每个DAC都有自己的 I_{REF} 设置电阻。这些电阻可以在片内或片外，由用户酌情决定。使用片内 R_{SET} 电阻时，可以利用产品内置自动增益校准功能来提高DAC增益精度。自动校准可以采用片内基准电压源或外部REFIO电压工作。自动增益校准的程序见本部分的说明。

AD9106有如下电源轨：AVDD用于模拟电路，CLKVDD/CLDO用于时钟输入接收器，DVDD/DLDO1/DLDO2用于数字I/O和片内数字数据路径。AVDD、DVDD和CLKVDD的标称值可以介于1.8 V到3.3 V。DLDO1、DLDO2和CLDO以1.8 V工作。如果DVDD = 1.8 V，则DLDO1和DLDO2均应

连接到DVDD，并禁用片内LDO。这种情况下，所有三个电源均由外部提供。如果CLKVDD = 1.8 V，这也适用于CLKVDD和CLDO。

4个DAC的数字信号输入由片内数字波形发生源产生。12位样本以CLKP/CLKN采样速率从专用数字数据路径输入各DAC。各DAC的数据路径包括增益和失调校正以及数字波形源选择复用器。波形源包括：SRAM、直接数字频率合成器(DDS)、由SRAM数据调制的DDS输出幅度、锯齿发生器、直流常数和伪随机序列发生器。源选择复用器输出的波形具有可编程模式特性。波形可以设置为连续式、连续脉冲式(固定模式周期，每个模式周期具有固定的起始延迟)或有限脉冲式(输出指定数量的模式周期，然后模式停止)。

脉冲式波形(有限或连续)具有编程设定的模式周期和起始延迟。波形在各脉冲周期的全局(适用于所有4个DAC)编程模式周期开始和各DAC的起始延迟之后提供。

通过SPI端口将数据载入SRAM，以及对器件内部的所有控制寄存器进行编程。

SPI端口

AD9106提供一个灵活的同步串行通信(SPI)端口，可以很方便地与ASIC、FPGA、工业标准微控制器接口。此接口可进行读/写操作，访问所有AD9106配置寄存器和片内SRAM。其数据速率可以达到表3和表4显示的SCLK时钟速度。

SPI接口用作标准同步串行通信端口。 \overline{CS} 是低电平有效片选信号。当 \overline{CS} 变为有效时，SPI地址和数据传输即开始。SPI主器件通过SDIO提供的第一位是读写指示位(高电平表示读操作，低电平表示写操作)。如果 \overline{CS} 在第一个数据字之后仍然保持低电平，后续15位就是初始寄存器地址，允许写入或读取一组连续地址。

表12. 命令字

MSB				LSB			
DB15	DB14	DB13	DB12	...	DB2	DB1	DB0
R/W	A14	A13	A12	...	A2	A1	A0

当此命令字节的第一位是逻辑低电平(R/\overline{W} 位 = 0)时，SPI命令为写操作。这种情况下，SDIO仍为输入(参见图32)。

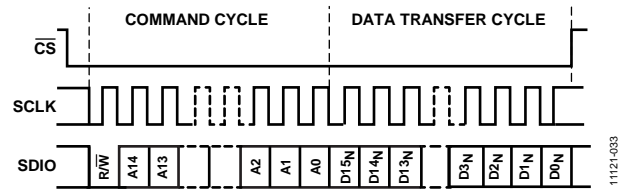


图32. 串行寄存器接口时序(MSB优先写操作, 3线SPI)

当此命令字节的第一位是逻辑高电平(R/\overline{W} 位 = 1)时，SPI命令为读操作。这种情况下，数据从SPI端口输出，如图33和图34所示。 \overline{CS} 引脚变为高电平后，SPI通信结束。

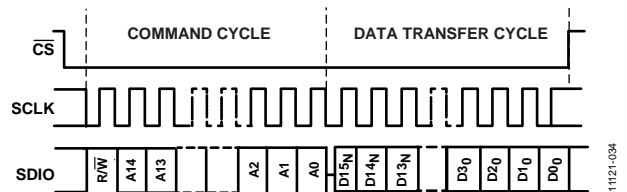


图33. 串行寄存器接口时序(MSB优先读操作, 3线SPI)

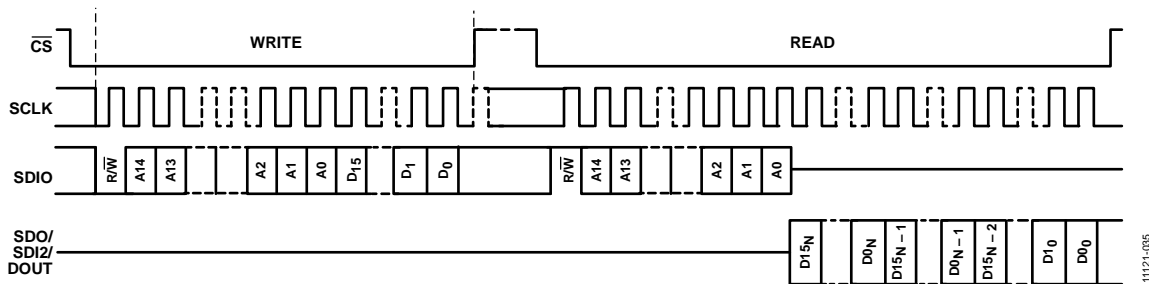


图34. 串行寄存器接口时序(MSB优先读操作, 4线SPI)

AD9106

写入片内SRAM

AD9106内置一个4096 × 12 SRAM。SRAM地址空间是AD9106 SPI地址映射的0x6000至0x6FFF。

双SPI写入SRAM

利用图35所示的SPI访问模式，写入数据到整个SRAM的时间可以减半。SDO/SDI2/DOOUT线变成第二串行数据输入线，使得片内SRAM的更新速率可以加倍。这种模式下，SDO/SDI2/DOOUT是只读线。写入整个SRAM所需的时间为 $(2 + 2 \times 4096) \times 8 / (2 \times F_{SCLK})$ 秒。

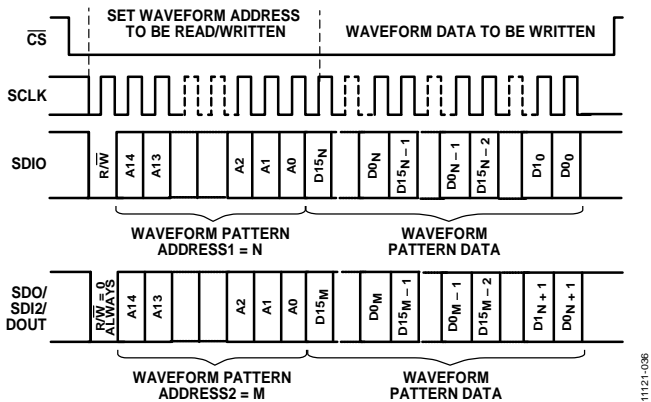


图35. 双SPI写入SRAM

配置寄存器更新程序

大部分SPI可访问寄存器是双缓冲型。在模式产生期间，一个有效寄存器集控制AD9106的操作。一组阴影寄存器存储更新的寄存器值。寄存器更新可以随时写入；配置更新完成时，用户写入1到RAMUPDATE寄存器的UPDATE位。UPDATE位指示该寄存器集准备好将阴影寄存器内容传输到有效寄存器。AD9106在下次模式发生器关闭时自动执行此传输。该程序不适用于4K × 12 SRAM。SRAM更新程序参见SRAM部分。

DAC传递函数

AD9106 DAC提供4路差分电流输出：IOUTP1/IOUTN1、IOUTP2/IOUTN2、IOUTP3/IOUTN3和IOUTP4/IOUTN4。

DAC输出电流通过下式计算：

$$I_{OUTPx} = I_{OUTFSx} \times xDAC INPUT CODE / 2^{12} \quad (1)$$

$$I_{OUTNx} = I_{OUTFSx} \times ((2^{12} - 1) - xDAC INPUT CODE) / 2^{12} \quad (2)$$

其中：

$xDAC INPUT CODE = 0$ 至 $2^{12} - 1$ 。

I_{OUTFSx} = 各DAC独立设置的满量程电流或DAC增益。

$$I_{OUTFSx} = 32 \times I_{REFx} \quad (3)$$

其中：

$$I_{REFx} = V_{REFIO} / xR_{SET} \quad (4)$$

I_{REFx} 是流经各 I_{REFx} 电阻的电流。每个DAC都有自己的 I_{REF} 设置电阻。 I_{REF} 电阻可以在片内或片外，由用户酌情决定。使用片内 xR_{SET} 电阻时，可以利用产品内置自动增益校准功能来提高DAC增益精度。

模拟电流输出

DAC输出以差分方式连接到放大器或变压器时，可实现最佳线性度和噪声性能。这种配置可抑制DAC输出端的共模信号。

要达到表1和表2给出的性能标准，必须遵守这些表格中列出的输出顺从电压要求。

设置 I_{OUTFSx} DAC增益

如公式3和公式4所示，DAC增益(I_{OUTFSx})是各DAC的REFIO端基准电压和 xR_{SET} 的函数。

基准电压源

AD9106内置一个标称值1.0 V带隙基准电压源。既可以使用该内部基准电压源，也可以用更精确的片外基准电压源取而代之。外部基准电压源可以提供比片内带隙基准电压源更严格的基准电压误差和/或更低的温漂。

默认情况下，片内基准电压源上电且可用。使用片内基准电压源时，REFIO端需要利用0.1 μF电容去耦到AGND，如图36所示。

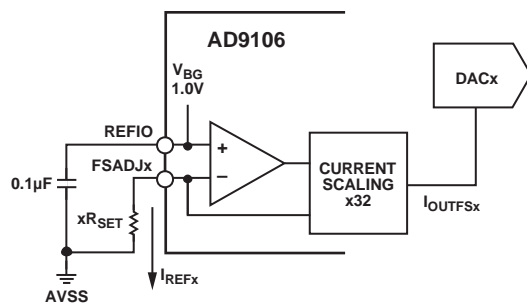


图36. 片内基准电压源和外部 xR_{SET} 电阻

表13总结了基准电压源连接和编程。

表13. 基准电压源操作

基准模式	REFIO引脚
内部	连接0.1 μF电容
外部	连接片外基准电压源

内部 V_{REFIO} 编程

内部REFIO电平可编程。

使用内部基准电压源时，寄存器0x03的低6位BGDR域用于调整 V_{REFIO} 电平，将REFIO上的标称带隙电压增加或减少20%。FSADJx电阻上的电压会跟踪此变化。因此， I_{REFx} 也会产生同样的变化。图37显示 V_{REFIO} 与BGDR码之间的关系，片内基准电压源的默认电压(BGDR = 0x00)为1.04 V。

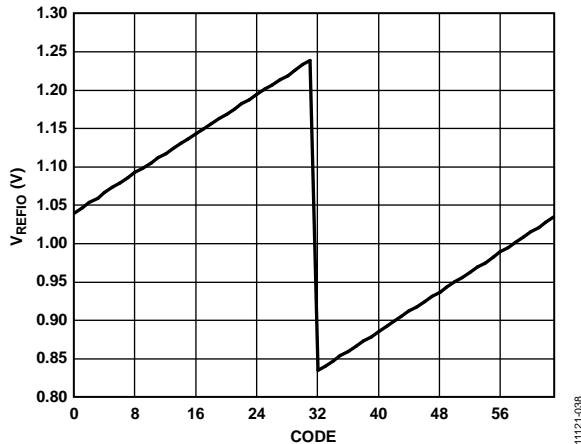


图37. V_{REFIO} 电压典型值与BGDR的关系

xR_{SET} 电阻

公式4中各DAC的 xR_{SET} 既可以是内部电阻，也可以是用户选择的板级电阻，连接到适当的FSADJx引脚。

为使用片内 xR_{SET} 电阻，分别对应于DAC1、DAC2、DAC3和DAC4的寄存器0x0C、0x0B、0x0A和0x09的第15位应设置为逻辑1。寄存器0x0C、0x0B、0x0A和0x09的位[4:0]分别用于手动设置DAC1、DAC2、DAC3和DAC4的片内 xR_{SET} 。

I_{OUTFSx} 自动校准

许多应用要求严格的DAC增益控制。AD9106提供一个 I_{OUTFSx} 自动校准程序，它只能与片内 xR_{SET} 电阻一起使用。基准电压 V_{REFIO} 可以是片内或片外基准电压。自动校准程序对各内部 xR_{SET} 值和各电流 I_{REFx} 进行精密调整。

使用自动校准时，需要下列板级连接：

1. 将FSADJ1和FSADJ2/CAL_SENSE连接在一起。
2. FSADJ2/ CAL_SENSE与地之间应安装一个电阻。此电阻的值应为 $R_{CAL_SENSE} = 32 \times V_{REFIO} / I_{OUTFS}$ ，其中 I_{OUTFS} 是所有四个DAC的目标满量程电流。

自动校准使用内部时钟。此校准时钟等于DAC时钟除以寄存器0x0D的CAL_CLK_DIV位所选择的分频系数。每个校准

周期介于4到512个DAC时钟周期之间，具体取决于CAL_CLK_DIV[2:0]的值。校准时钟的频率应小于500 kHz。

要执行自动校准，请遵循以下步骤：

1. 将寄存器0x08[7:0]和0x0D[5:4]中的校准范围设置为最小值，以便获得最佳校准。
2. 使能寄存器0x0D中的校准时钟位CAL_CLK_EN。
3. 设置寄存器0x0D中的校准时钟分频比位CAL_CLK_DIV[2:0]。默认值为512。
4. 将寄存器0x0D的CAL_MODE_EN位设置为逻辑1。
5. 将寄存器0x000E的START_CAL位设置为逻辑1。随即开始校准比较器、xRSET和增益。
6. 器件校准时，寄存器0x000D中的CAL_MODE标志位变为逻辑1。校准完成时，寄存器0x0E中的CAL_FIN标志位变为逻辑1。
7. 将寄存器0x0E的START_CAL位设置为逻辑0。
8. 校准完成后，验证寄存器0x0D中的上溢和下溢标志位未置1(位[14:8])。如果有标志位置1，应将相应的校准范围更改为下一个较大的范围，并从步骤5重新开始。
9. 若无标志位置1，则分别读取DACxRSET[12:8]和DACxGAIN[14:8]寄存器中的DACx_RSET_CAL和DACx_AGAIN_CAL值，并将其写入对应的DACxRSET和DACxAGAIN寄存器。
10. 将寄存器0x0D的CAL_MODE_EN位和校准时钟位CAL_CLK_EN复位至逻辑0，禁用校准时钟。
11. 将寄存器0x0D的CAL_MODE_EN位设置为逻辑0。这将把RSET和增益控制复用器设置为指向常规寄存器。
12. 禁用寄存器0x0D中的校准时钟位CAL_CLK_EN。

要复位校准，可发送脉冲使寄存器0x0D的CAL_RESET位先变为逻辑1再变为逻辑0，发送脉冲至RESET引脚，或发送脉冲至SPICONFIG寄存器的RESET位。

时钟输入

为实现最佳DAC性能，AD9106时钟输入信号对(CLKP/CLKN)应是极低抖动、快速上升时间的差分信号。时钟接收器产生自己的共模电压，要求这两个输入交流耦合。

图38显示了能够很好地与AD9106协作的多种ADI LVDS时钟驱动器的建议接口。使用一个100 Ω 终端电阻和两个0.1 μ F耦合电容。图40显示了与ADI差分PECL驱动器的接口。图41显示了使用巴伦驱动CLKP/CLKN的单端转差分转换器，这是为AD9106提供时钟的首选方法。

AD9106

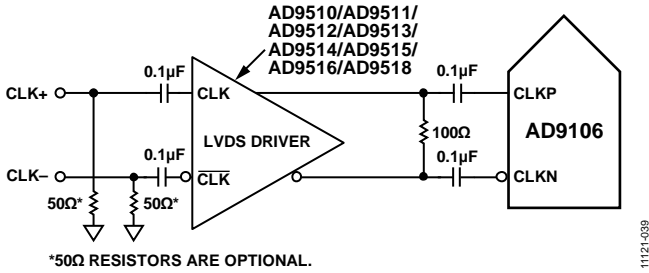


图38. 差分LVDS时钟输入

在模拟输出信号频率较低的应用中，AD9106时钟输入可以利用单端CMOS信号驱动。图39显示了这种接口。CLKP引脚直接由CMOS门电路驱动，CLKKN引脚则通过与39 kΩ电阻并联的0.1 µF电容旁路至地。可选电阻为串联端接电阻。

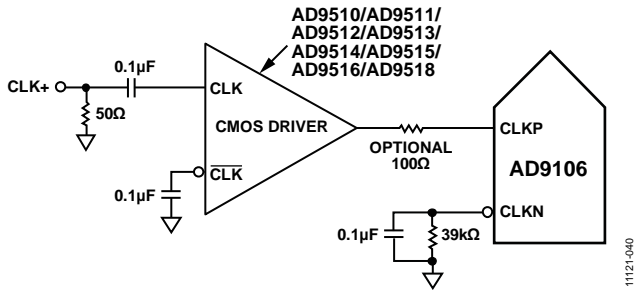


图39. 单端1.8 V CMOS采样时钟

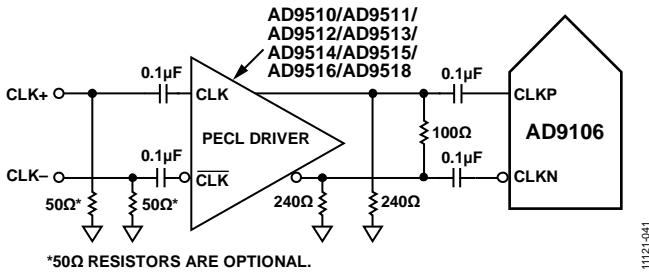


图40. 差分PECL采样时钟

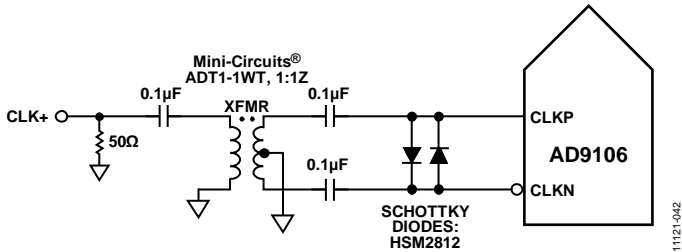


图41. 变压器耦合时钟

DAC输出时钟沿

通过配置CLOCKCONFIG寄存器的DACx_INV_CLK位，可以独立配置各DAC在CLKP/CLKN时钟输入的上升沿或下降沿输出样本。此功能将DAC输出时序分辨率设置为 $1/(2 \times F_{CLKP/CLKN})$ 。

产生信号模式

在可编程模式发生器的控制下，AD9106可以产生三类信号模式。

- 连续波形
- 无限重复的周期性脉冲串波形
- 重复有限次数的周期性脉冲串波形

RUN位

将PAT_STATUS寄存器的RUN位置1，AD9106即准备产生模式。此位清0将关断模式发生器，如图45所示。

触发引脚

触发引脚上的下降沿启动模式产生。如果RUN置1，则触发脉冲的下降沿启动模式产生。如图43所示，在触发引脚下降沿之后的若干CLKP/CLKN时钟周期，模式发生器进入“模式开启”状态。此延迟通过PATTERN_DELAY位域设置。

触发引脚的上升沿请求终止模式产生(见图44)。

PATTERN位(只读)

当PAT_STATUS寄存器的只读位PATTERN置1时，表示模式发生器处于“模式开启”状态。0表示模式发生器处于“模式关闭”状态。

模式类型

- 在模式发生器的模式开启状态期间，某些或所有DACx输出连续波形。连续波形忽略模式周期。
- 无限重复的周期性脉冲串是在各模式周期期间输出的一次性波形。只要模式发生器处于模式开启状态，模式周期就会一个接一个出现。
- 重复有限次数的周期性脉冲串与无限重复的脉冲串大致相同，区别在于波形是在有限数量的连续模式周期中输出。

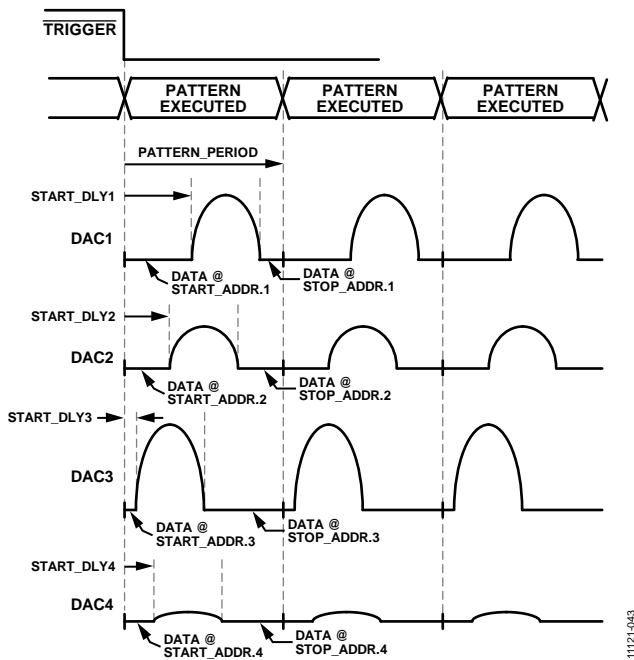


图42. 所有DACx的周期性脉冲串输出

模式发生器编程

图44显示各DACx输出端观察到的周期性脉冲串波形。四个波形在各模式周期中产生。各DACx都有自己的起始延迟($START_DLY_x$)，即指各模式周期的开始与波形的开始之间的延迟时间。四个DACx波形是同一数字信号，存储在SRAM中，并乘以DACx数字增益系数。SRAM数据利用各DACx地址计数器同步读取。

设置模式周期

使用两个寄存器位域来设置模式周期。PAT_TIMEBASE寄存器的PAT_PERIOD_BASE域设置每个PATTERN_PERIOD LSB的CLKP/N时钟数。PATTERN_PERIOD通过PAT_PERIOD寄存器设置。最长模式周期为 $65535 \times 16/F_{CLKP/CLKN}$ 。

设置波形起始延迟基数

波形起始延迟基数通过PAT_TIMEBASE寄存器的START_DELAY_BASE域设置。各DACx都有一个START_DLYx寄存器，如DACx输入数据路径部分所述。起始延迟基数决定每个START_DELAYx LSB有多少CLKP/CLKN时钟周期。

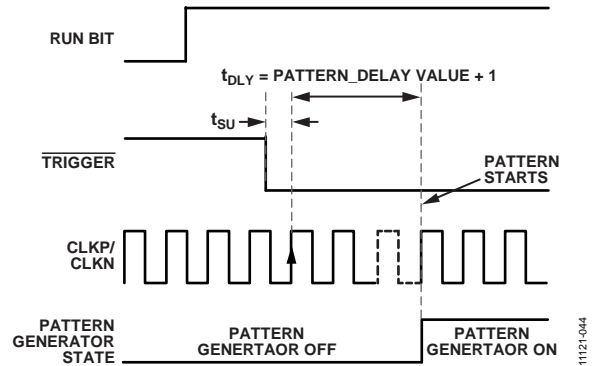


图43. 触发驱动的模式开始和模式延迟

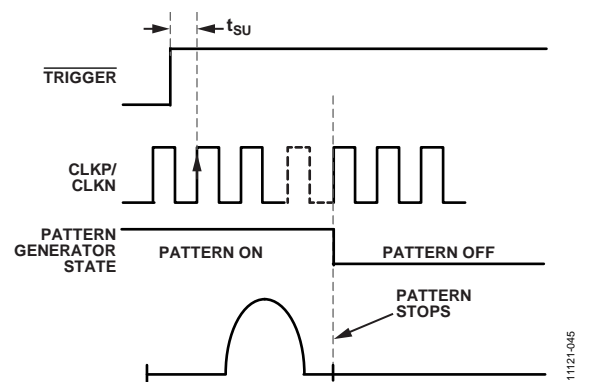


图44. 触发上升沿驱动的模式停止

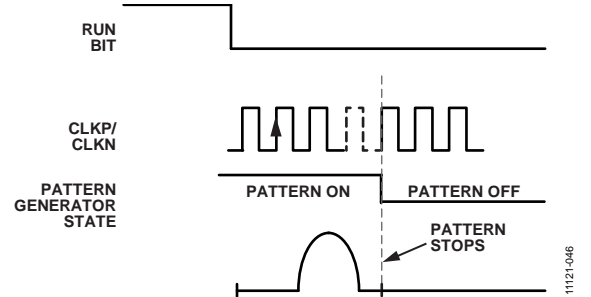


图45. RUN位驱动的模式停止

DACx输入数据路径

四个DACx各自都有数字数据路径。DACx数据路径的时序由模式发生器控制。各DACx数据路径包括波形选择器、波形重复控制器、RAM输出和DDS输出乘法器(RAM输出可以对DDS输出进行幅度调制)、DDSx周期计数器、DACx数字增益乘法器和DACx数字偏移加法器。

DACx数字增益乘法器

样本在前往各DACx的路上，会乘以一个范围为 ± 2.0 的12位增益系数。这些增益值通过DACx_DGAIN寄存器设置。

DACx数字偏移加法器

DACx输入样本还会与一个12位直流偏移值相加。该直流偏移值通过DACxDOF寄存器设置。

DACx波形选择器

波形选择器输入包括：

- DACx锯齿发生器输出
- DACx伪随机序列发生器输出
- DACx直流常数发生器输出
- DACx脉冲式相移DDS正弦波输出
- RAM输出
- DACx脉冲式相移DDS正弦波输出幅度，由RAM输出调制

各DACx的波形选择通过设置WAVEx_yCONFIG寄存器实现。

DACx模式周期重复控制器

PAT_TYPE寄存器的PATTERN_RPT位控制模式输出是自动重复(无限周期性脉冲串重复)，还是连续重复一定的次数(由DACx_REPEAT_CYCLE域指定)。后者是重复有限次数的周期性脉冲串。

DACx DDS周期数

各DACx输入数据路径用正弦波周期数确定同一DDS输出正弦波的脉冲宽度。该周期数通过DDS_CYCx寄存器设置。

DACx DDS相移

各DACx输入数据路径可以使同一DDS的输出发生相移。该相移通过DDSx_PHASE域设置。

DOUT功能

在AD9106 DAC驱动高压放大器(例如超声传感器阵列元件驱动器信号链)的应用中，可能需要在相对于AD9106 DAC输出波形的精确时间点开启和关闭各放大器。SDO/SDI2/DOUT引脚可用来实现此功能。一个放大器开关选通信号可用于所有四个DAC。

SPI接口需要配置为3线模式(见图32和图33)，这可通过设置SPICONFIG寄存器的SPI3WIRE或SPI3WIREM位来实现。当SPICONFIG寄存器的SPI_DRV或SPI_DRVM设为逻辑1时，SDO/SDI2/DOUT引脚提供DOUT功能。

手动控制DOUT

如果DOUT_CONFIG寄存器的DOUT_MODE = 0，就可以使用该寄存器的DOUT_VAL位开启或关闭DOUT。

模式发生器控制DOUT

图46显示模式发生器控制的DOUT脉冲的上升沿。图47显示下降沿。模式发生器控制DOUT通过设置DOUT_MODE = 1来设置。然后，通过DOUT_START_DLY寄存器设置起始延迟，并通过DOUT_CONFIG寄存器的DOUT_STOP域设置停止延迟。

在输入触发引脚的信号下降沿之后的DOUT_START[15:0]个CLKP/CLKN周期后，DOUT变为高电平。只要模式一直产生，DOUT就会保持高电平。在导致模式产生停止的时钟沿之后的DOUT_STOP[3:0]个CLKP/CLKN周期后，DOUT变为低电平。

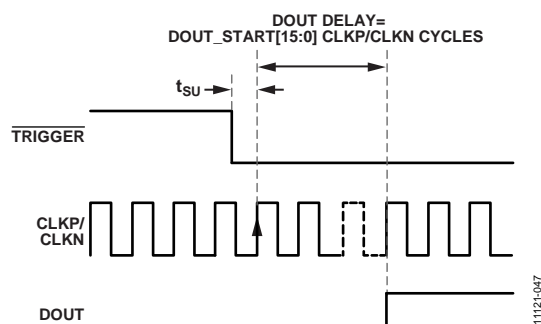


图46. DOUT启动序列

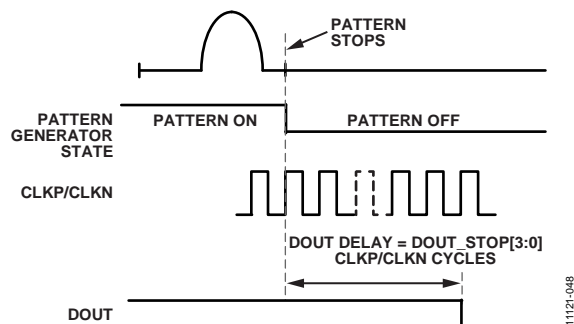


图47. DOUT停止序列

直接数字频率合成器(DDS)

直接数字频率合成器产生一个正弦波，它可通过任意DACx输出。DDS是一个全局共享的信号源，它以其调谐字输入决定的频率产生正弦波。该调谐字为24位宽。DDS调谐分辨率为 $F_{CLKP/CLKN}/2^{24}$ 。DDS输出频率为 $DDS_TW \times F_{CLKP/CLKN}/2^{24}$ 。

DDS调谐字可通过两种方法设置。对于固定频率，DDSTW_MSB和DDSTW_LSB设置为常数。如果DDS的频率需要在各模式周期内改变，则SRAM中存储的一系列值与选择的DDSTW_MSB位组合成调谐字。

SRAM

AD9106 4K × 12 SRAM可以包含信号样本、幅度调制模式、DDS调谐字列表或DDS输出相位偏移字列表。只要SRAM未积极参与模式产生(RUN = 0), 就可以通过SPI端口写入和读出存储器数据。要写入SRAM, 请按如下方式设置PAT_STATUS寄存器:

- BUF_READ = 0
- MEM_ACCESS = 1
- RUN = 0

要从SRAM读出数据, 请按如下方式设置PAT_STATUS:

- BUF_READ = 1
- MEM_ACCESS = 1
- RUN = 0

用于SRAM的SPI端口地址空间为0x6000至0x6FFF。

可以利用图32至图35所示的任意SPI工作模式访问SRAM。使用图33和图34所示的SPI工作模式, 可以在 $(2 + 2 \times 4096) \times 8/F_{SCLK}$ 秒内写入整个SRAM。SRAM是一个共享的信号产生资源。来自这一个4K × 12存储器的数据可以用于为所有四个DAC产生信号。

当PAT_STATUS寄存器RUN位 = 1(模式产生使能)时, 各DACx数据路径都有自己的SRAM地址计数器。每个地址计数器都有自己的START_ADDRx和STOP_ADDRx。在各模式周期, 数据在START_DELAYx时间之后从RAM读出, 同时各地址计数器递增。SRAM由所有四个DACx数据路径同时读取。

递增模式产生模式SRAM地址计数器

各SRAM地址计数器可以设置为由CLKP/CLKN(默认)或DDSx MSB上升沿递增。DDSx[11:0]是给定DACx的DDS输出样本。具体选择由DDSx_CONFIG寄存器的DDS_MSB_Enx位决定。

例如, 当利用SRAM中的一组调谐字从DDS产生线性跳频(chirp)波形时, 可以利用DDSx MSB为地址计数器提供时钟。每个频率设置驻留一个DDS输出正弦波周期。

锯齿发生器

各DACx都有一个独立的锯齿信号发生器。通过WAV4_3CONFIG或WAV2_1CONFIG寄存器的任意PRESTORE_SELx域选择锯齿时, 相应的锯齿发生器连接到所需的DACx数字数据路径。

锯齿类型如图48所示, 通过SAWx_yCONFIG寄存器的SAW_TYPEx域选择。锯齿波形每一步的样本数通过SAW_STEPx域设置。

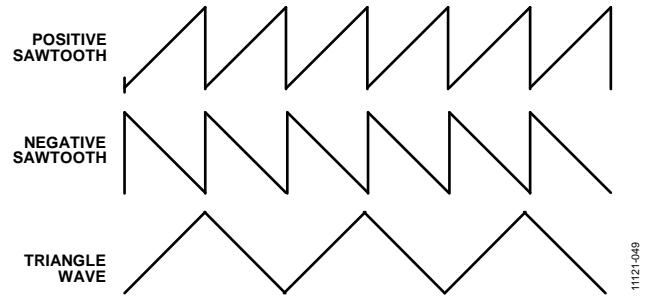


图48. 锯齿模式

伪随机信号发生器

当WAV4_3CONFIG或WAV2_1CONFIG寄存器的任意PRESTORE_SELx域选择“伪随机序列”时, 伪随机噪声发生器在各DACx输出产生一个噪声信号。伪随机噪声信号只能以连续波形形式产生。

直流常数

当WAV4_3CONFIG或WAV2_1CONFIG寄存器的任意PRESTORE_SELx域选择“常数值”时, 各DACx输出可产生0.0到 I_{OUTFSx} 之间的可编程直流电流。直流常数电流只能以连续波形形式产生。直流电流值通过写入相应DACx_CST寄存器的DACx_CONST域来设置。

电源须知

AD9106电源轨要求参见表9。AD9106包括三个片内线性稳压器。这些稳压器驱动电源轨以1.8 V工作。这些稳压器有如下两条使用规则需要注意:

- 当CLKVDD为2.5 V或更高时, 可以使用1.8 V片内CLDO稳压器。如果CLKVDD = 1.8 V, 必须将POWERCONFIG寄存器的PDN_LDO_CLK位置1以禁用CLDO稳压器。CLKVDD和CLDO连接在一起。
- 当DVDD为2.5 V或更高时, 可以使用1.8 V片内DLDO1和DLDO2稳压器。如果DVDD = 1.8 V, 必须将POWERCONFIG寄存器的PDN_LDO_DIG1位和PDN_LDO_DIG2位置1以禁用DLDO1和DLDO2稳压器。DVDD、DLDO1和DLDO2连接在一起。

省电功能

利用POWERCONFIG寄存器, 用户可以在CLKP/CLKN输入运行且电源开启的同时, 将AD9106置于低功耗状态。通过将POWERCONFIG寄存器的DACx_SLEEP位置1, 可以将DAC1、DAC2、DAC3和DAC4置于休眠状态。

通过设置CLOCKCONFIG寄存器的CLK_PDn位, 可以关闭波形发生器及DAC的时钟。采取这些措施将使AD9106进入省电模式, 详见表8。

应用信息

信号产生示例

本部分提供AD9106波形和模式产生示例。

图49显示各DACx产生的不同波形。这些波形全都存储在4K × 12 SRAM的不同区段中。DACx路径地址计数器同时访问SRAM。各波形在各模式周期中重复一次。在每个模式周期中，经过起始延迟后，从SRAM读出模式。

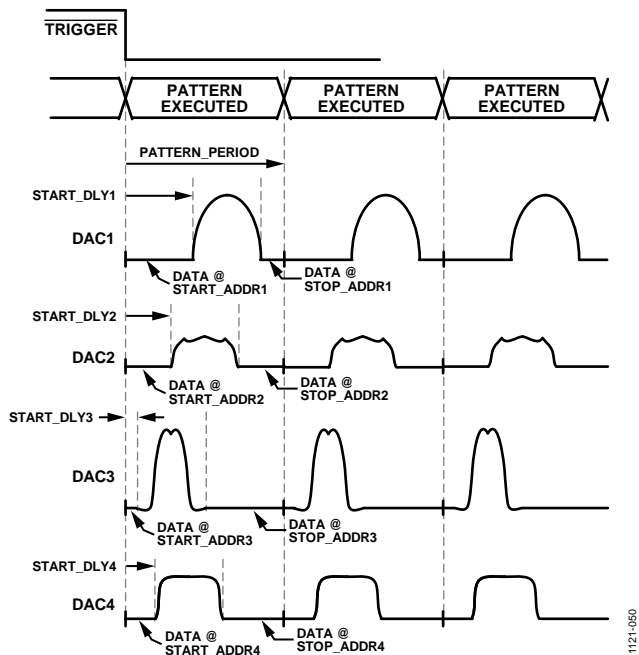


图49. 使用SRAM中存储的不同波形的模式

图50显示各DACx产生的脉冲式正弦波。DDS以设定的频率产生正弦波。各DACx通道的起始延迟和要输出的正弦波周期数通过编程设置。

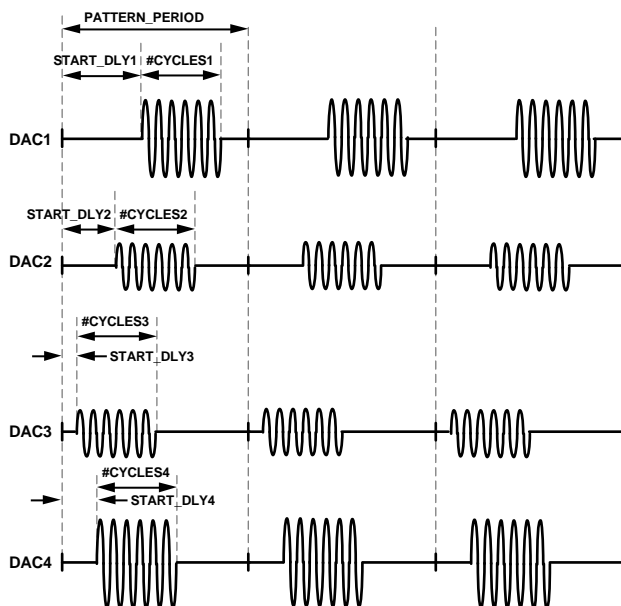


图50. 模式周期中的脉冲式正弦波

图51显示在含起始延迟的连续模式周期中，DAC1产生脉冲式正弦波，DAC2、DAC3和DAC4各产生一个锯齿波形（共有三个可用）。

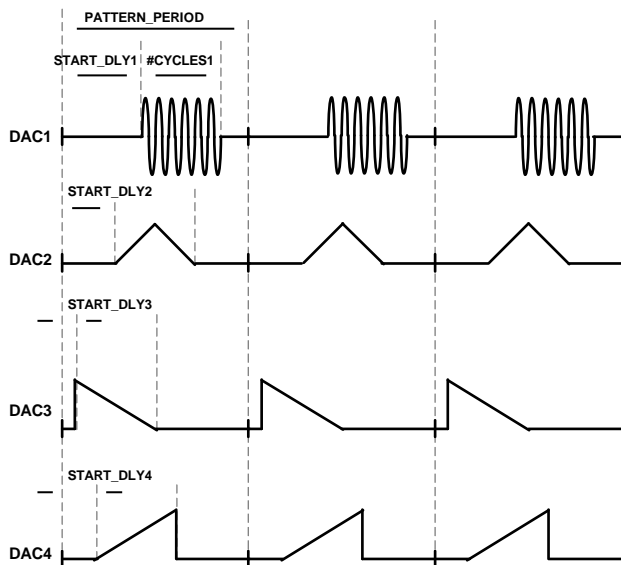


图51. 模式周期中的脉冲式正弦波和锯齿波形

图52显示所有DACx输出由幅度包络调制的正弦波。正弦波由DDS产生，幅度包络存储在SRAM中。各DACx输入数据路径应用不同的起始延迟和数字增益系数。

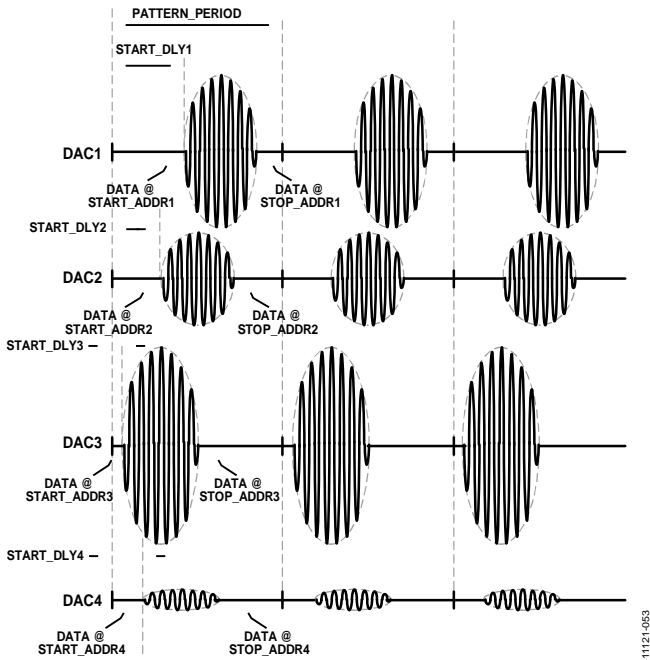


图52. 由RAM包络调制的DDS输出幅度

图53和图54显示四个DAC产生连续波形。一个有起始延迟，一个没有。

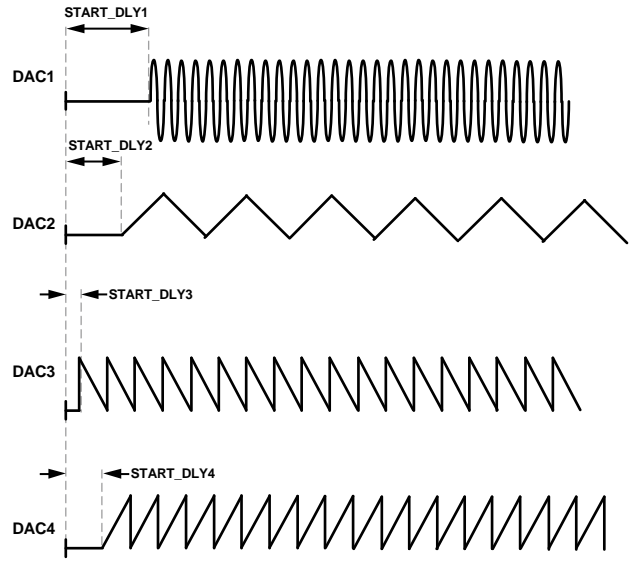


图53. 具有起始延迟的波形

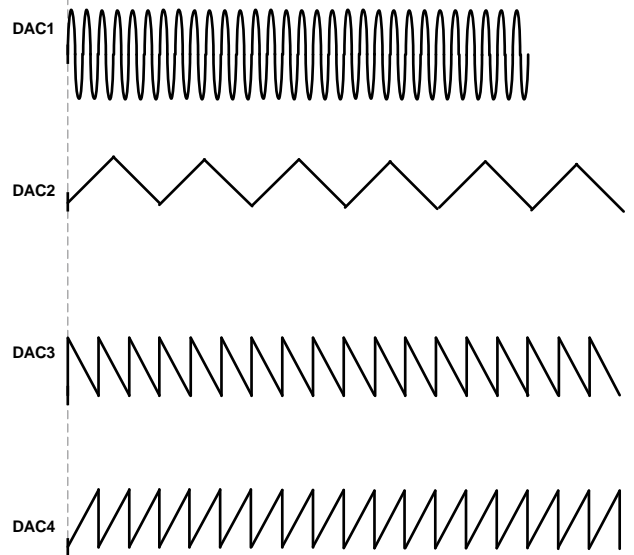


图54. 无起始延迟的波形

AD9106

寄存器映射

表 14. 寄存器小结

地址(十六进制)	寄存器名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW		
0x00	SPICONFIG	[15:8]	LSBFIRST	SPI3WIRE	复位	DOUBLESPI	SPI_DRV	DOUT_EN	RESERVED[3:2]			0x00	RW	
		[7:0]	RESERVED[1:0]		DOUT_ENM	SPI_DRVM	DOUBLESPIM	RESETM	SPI3WIREM	LSBFIRSTM				
0x01	POWERCONFIG	[15:8]	保留				CLK_LDO_STAT	DIG1_LDO_STAT	DIG2_LDO_STAT	PDN_LDO_CLK		0x00	RW	
		[7:0]	PDN_LDO_DIG1	PDN_LDO_DIG2	REF_PDN	REF_EXT	DAC1_SLEEP	DAC2_SLEEP	DAC3_SLEEP	DAC4_SLEEP				
0x02	CLOCKCONFIG	[15:8]	保留[15:12]				DIS_CLK1	DIS_CLK2	DIS_CLK3	DIS_CLK4		0x00	RW	
		[7:0]	DIS_DCLK	CLK_SLEEP	CLK_PDN	EPS	DAC1_INV_CLK	DAC2_INV_CLK	DAC3_INV_CLK	DAC4_INV_CLK				
0x03	REFADJ	[15:8]	保留[9:2]									0x00	RW	
		[7:0]	保留[1:0]			BGDR								
0x04	DAC4AGAIN	[15:8]	保留	DAC4_GAIN_CAL									0x00	RW
		[7:0]	DAC4_GAIN											
0x05	DAC3AGAIN	[15:8]	保留	DAC3_GAIN_CAL									0x00	RW
		[7:0]	DAC3_GAIN											
0x06	DAC2AGAIN	[15:8]	保留	DAC2_GAIN_CAL									0x00	RW
		[7:0]	DAC2_GAIN											
0x07	DAC1AGAIN	[15:8]	保留	DAC1_GAIN_CAL									0x00	RW
		[7:0]	DAC1_GAIN											
0x08	DACxRANGE	[15:8]	保留									0x00	RW	
		[7:0]	DAC4_GAIN_RNG		DAC3_GAIN_RNG		DAC2_GAIN_RNG		DAC1_GAIN_RNG					
0x09	DAC4RSET	[15:8]	DAC4_RSET_EN	保留			DAC4_RSET_CAL				0x000A	RW		
		[7:0]	保留			DAC4_RSET								
0x0A	DAC3RSET	[15:8]	DAC3_RSET_EN	保留			DAC3_RSET_CAL				0x000A	RW		
		[7:0]	保留			DAC3_RSET								
0x0B	DAC2RSET	[15:8]	DAC2_RSET_EN	保留			DAC2_RSET_CAL				0x000A	RW		
		[7:0]	保留			DAC2_RSET								
0x0C	DAC1RSET	[15:8]	DAC1_RSET_EN	保留			DAC1_RSET_CAL				0x000A	RW		
		[7:0]	保留			DAC1_RSET								
0x0D	CALCONFIG	[15:8]	保留	COMP_OFFSET_OF	COMP_OFFSET_UF	RSET_CAL_OF	RSET_CAL_UF	GAIN_CAL_OF	GAIN_CAL_UF	CAL_RESET		0x00	RW	
		[7:0]	CAL_MODE	CAL_MODE_EN	COMP_CAL_RNG		CAL_CLK_EN	CAL_CLK_DIV						
0x0E	COMPOFFSET	[15:8]	保留	COMP_OFFSET_CAL									0x00	RW
		[7:0]	保留						CAL_FIN	START_CAL				
0x1D	RAMUPDATE	[15:8]	保留[14:7]									0x00	RW	
		[7:0]	保留[6:0]							RAMUPDATE				
0x1E	PAT_STATUS	[15:8]	保留[12:5]									0x00	RW	
		[7:0]	保留[3:0]			BUF_READ	MEM_ACCESS	PATTERN	RUN					
0x1F	PAT_TYPE	[15:8]	保留[14:7]									0x00	RW	
		[7:0]	保留[6:0]							PATTERN_RPT				
0x20	PATTERN_DLY	[15:8]	PATTERN_DELAY[15:8]									0x000E	RW	
		[7:0]	PATTERN_DELAY[7:0]											
0x22	DAC4DOF	[15:8]	DAC4_DIG_OFFSET[11:4]									0x00	RW	
		[7:0]	DAC4_DIG_OFFSET[3:0]			保留								
0x23	DAC3DOF	[15:8]	DAC3_DIG_OFFSET[11:4]									0x00	RW	
		[7:0]	DAC3_DIG_OFFSET[3:0]			保留								
0x24	DAC2DOF	[15:8]	DAC2_DIG_OFFSET[11:4]									0x00	RW	
		[7:0]	DAC2_DIG_OFFSET[3:0]			保留								
0x25	DAC1DOF	[15:8]	DAC1_DIG_OFFSET[11:4]									0x00	RW	
		[7:0]	DAC1_DIG_OFFSET[3:0]			保留								
0x26	WAV4_3CONFIG	[15:8]	保留	PRESTORE_SEL4			保留			WAVE_SEL4		0000	RW	
		[7:0]	保留	PRESTORE_SEL3			保留			WAVE_SEL3				
0x27	WAV2_1CONFIG	[15:8]	保留	PRESTORE_SEL2		MASK_DAC4	CH2_ADD	WAVE_SEL2			0x00	RW		
		[7:0]	保留	PRESTORE_SEL1		MASK_DAC3	CH1_ADD	WAVE_SEL1						

地址(十六进制)	寄存器名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW		
0x28	PAT_TIMEBASE	[15:8]	保留				保持				0x0111	RW		
		[7:0]	PAT_PERIOD_BASE				START_DELAY_BASE							
0x29	PAT_PERIOD	[15:8]	PATTERN_PERIOD[15:8]										0x8000	RW
		[7:0]	PATTERN_PERIOD[7:0]											
0x2A	DAC4_3PATx	[15:8]	DAC4_REPEAT_CYCLE										0x0101	RW
		[7:0]	DAC3_REPEAT_CYCLE											
0x2B	DAC2_1PATx	[15:8]	DAC2_REPEAT_CYCLE										0x0101	RW
		[7:0]	DAC1_REPEAT_CYCLE											
0x2C	DOUT_START_DLY	[15:8]	DOUT_START[15:8]										0x0003	RW
		[7:0]	DOUT_START[7:0]											
0x2D	DOUT_CONFIG	[15:8]	保留[9:2]										0x00	RW
		[7:0]	保留[1:0]	DOUT_VAL	DOUT_MODE	DOUT_STOP								
0x2E	DAC4_CST	[15:8]	DAC4_CONST[11:4]										0x00	RW
		[7:0]	DAC4_CONST[3:0]					保留						
0x2F	DAC3_CST	[15:8]	DAC3_CONST[11:4]										0x00	RW
		[7:0]	DAC3_CONST[3:0]					保留						
0x30	DAC2_CST	[15:8]	DAC2_CONST[11:4]										0x00	RW
		[7:0]	DAC2_CONST[3:0]					保留						
0x31	DAC1_CST	[15:8]	DAC1_CONST[11:4]										0x00	RW
		[7:0]	DAC1_CONST[3:0]					保留						
0x32	DAC4_DGAIN	[15:8]	DAC4_DIG_GAIN[11:4]										0x00	RW
		[7:0]	DAC4_DIG_GAIN[3:0]					保留						
0x33	DAC3_DGAIN	[15:8]	DAC3_DIG_GAIN[11:4]										0x00	RW
		[7:0]	DAC3_DIG_GAIN[3:0]					保留						
0x34	DAC2_DGAIN	[15:8]	DAC2_DIG_GAIN[11:4]										0x00	RW
		[7:0]	DAC2_DIG_GAIN[3:0]					保留						
0x35	DAC1_DGAIN	[15:8]	DAC1_DIG_GAIN[11:4]										0x00	RW
		[7:0]	DAC1_DIG_GAIN[3:0]					保留						
0x36	SAW4_3CONFIG	[15:8]	SAW_STEP4					SAW_TYPE4					0x00	RW
		[7:0]	SAW_STEP3					SAW_TYPE3						
0x37	SAW2_1CONFIG	[15:8]	SAW_STEP2					SAW_TYPE2					0x00	RW
		[7:0]	SAW_STEP1					SAW_TYPE1						
0x38 to 0x3D	RESERVED		保留											
0x3E	DDS_TW32	[15:8]	DDSTW_MSB[15:8]										0x00	RW
		[7:0]	DDSTW_MSB[7:0]											
0x3F	DDS_TW1	[15:8]	DDSTW_LSB										0x00	RW
		[7:0]	保留											
0x40	DDS4_PW	[15:8]	DDS4_PHASE[15:8]										0x00	RW
		[7:0]	DDS4_PHASE[7:0]											
0x41	DDS3_PW	[15:8]	DDS3_PHASE[15:8]										0x00	RW
		[7:0]	DDS3_PHASE[7:0]											
0x42	DDS2_PW	[15:8]	DDS2_PHASE[15:8]										0x00	RW
		[7:0]	DDS2_PHASE[7:0]											
0x43	DDS1_PW	[15:8]	DDS1_PHASE[15:8]										0x00	RW
		[7:0]	DDS1_PHASE[7:0]											
0x44	TRIG_TW_SEL	[15:8]	RESERVED[13:6]										0x00	RW
		[7:0]	保留[5:0]							TRIG_DELAY_EN	保留			
0x45	DDStx_CONFIG	[15:8]	DDS_COS_EN4	DDS_MSB_EN4	保留			DDS_COS_EN3	DDS_MSB_EN3	保留			0x00	RW
		[7:0]	DDS_COS_EN2	DDS_MSB_EN2	保留			DDS_COS_EN1	DDS_MSB_EN1	保留	TW_MEM_EN			
0x47	TW_RAM_CONFIG	[15:8]	保留					保留					0x00	RW
		[7:0]	保留					TW_MEM_SHIFT						

AD9106

地址(十六进制)	寄存器名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW	
0x50	START_DLY4	[15:8]	START_DELAY4[15:8]								0x00	RW	
		[7:0]	START_DELAY4[7:0]										
0x51	START_ADDR4	[15:8]	START_ADDR4[11:4]								0x00	RW	
		[7:0]	START_ADDR4[3:0]				保留						
0x52	STOP_ADDR4	[15:8]	STOP_ADDR4[11:4]								0x00	RW	
		[7:0]	STOP_ADDR4[3:0]				保留						
0x53	DDS_CYC4	[15:8]	DDS_CYC4[15:8]								0x0001	RW	
		[7:0]	DDS_CYC4[7:0]										
0x54	START_DLY3	[15:8]	START_DELAY3[15:8]								0x00	RW	
		[7:0]	START_DELAY3[7:0]										
0x55	START_ADDR3	[15:8]	START_ADDR3[11:4]								0x00	RW	
		[7:0]	START_ADDR3[3:0]				保留						
0x56	STOP_ADDR3	[15:8]	STOP_ADDR3[11:4]								0x00	RW	
		[7:0]	STOP_ADDR3[3:0]				保留						
0x57	DDS_CYC3	[15:8]	DDS_CYC3[15:8]								0x0001	RW	
		[7:0]	DDS_CYC3[7:0]										
0058	START_DLY2	[15:8]	START_DELAY2[15:8]								0x00	RW	
		[7:0]	START_DELAY2[7:0]										
0x59	START_ADDR2	[15:8]	START_ADDR2[11:4]								0x00	RW	
		[7:0]	START_ADDR2[3:0]				保留						
0x5A	STOP_ADDR2	[15:8]	STOP_ADDR2[11:4]								0x00	RW	
		[7:0]	STOP_ADDR2[3:0]				保留						
0x5B	DDS_CYC2	[15:8]	DDS_CYC2[15:8]								0x0001	RW	
		[7:0]	DDS_CYC2[7:0]										
0x5C	START_DLY1	[15:8]	START_DELAY1[15:8]								0x00	RW	
		[7:0]	START_DELAY1[7:0]										
0x5D	START_ADDR1	[15:8]	START_ADDR1[11:4]								0x00	RW	
		[7:0]	START_ADDR1[3:0]				保留						
0x5E	STOP_ADDR1	[15:8]	STOP_ADDR1[11:4]								0x00	RW	
		[7:0]	STOP_ADDR1[3:0]				保留						
005F	DDS_CYC1	[15:8]	DDS_CYC1[15:8]								0x0001	RW	
		[7:0]	DDS_CYC1[7:0]										
0060	CFG_ERROR	[15:8]	ERROR_CLEAR	CFG_ERROR[8:2]								0x00	R
		[7:0]	CFG_ERROR[1:0]	DOUT_START_LG_ERR	PAT_DLY_SHORT_ERR	DOUT_START_SHORT_ERR	PERIOD_SHORT_ERR	ODD_ADDR_ERR	MEM_READ_ERR				
0x6000 to 0x6FFF	SRAM_DATA	[15:8]	保留				SRAM_DATA[11:8]				N/A	RW	
		[7:0]	SRAM_DATA[7:0]										

寄存器描述

SPI控制寄存器(SPICONFIG, 地址0x00)

表15. SPICONFIG的位功能描述

位	位域名称	设置	描述	复位	访问类型
15	LSBFIRST	0 1	选择LSB优先。 符合SPI标准的MSB优先(默认)。 符合SPI标准的LSB优先。	0	RW
14	SPI3WIRE	0 1	选择SPI使用3线还是4线接口。 4线SPI。 3线SPI。	0	RW
13	复位	0 1	执行SPI和控制器的软件复位, 重新加载默认寄存器值, 寄存器0x00除外。 正常状态。 复位寄存器0x00之外的寄存器映射。	0	RW
12	DOUBLESPI	0 1	双SPI数据线。 SPI端口只有1条数据线, 可用作3线或4线接口。 SPI端口有2条双向数据线, 定义一个伪双3线接口, 其中CS和SCLK由两个端口共享。 此模式仅用于RAM数据读取或写入。	0	RW
11	SPI_DRV	0 1	SPI输出的驱动能力加倍。 单倍SPI输出驱动能力。 双倍SPI输出驱动能力。	0	RW
10	DOUT_EN	0 1	使能SDO/SDI2/DOUT引脚的DOUT信号。 SDO/SDI2功能输入/输出。 DOUT功能输出。	0	RW
[9:6]	保留				RW
5	DOUT_ENM ¹		使能SDO/SDI2/DOUT引脚的DOUT信号。		RW
4	SPI_DRVM ¹		SPI输出的驱动能力加倍。	0	RW
3	DOUBLESPIM ¹		双SPI数据线。	0	RW
2	RESETM ¹		执行SPI和控制器的软件复位, 重新加载默认寄存器值, 寄存器0x00除外。	0	RW
1	SPI3WIRESM ¹		选择SPI使用3线还是4线接口。	0	RW
0	LSBFIRSTM ¹		选择LSB优先。	0	RW

¹ SPICONFIG[10:15]必须设置为SPICONFIG[5:0]的镜像, 以便在LSBFIRST位设置错误时能够轻松恢复SPI操作。Bit[15] = Bit[0], Bit[14] = Bit[1], Bit[13] = Bit[2], Bit[12] = Bit[3], Bit[11] = Bit[4], Bit[10] = Bit[5]。

AD9106

电源状态寄存器(POWERCONFIG, 地址0x01)

表16. POWERCONFIG的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:12]	保留			0x00	RW
11	CLK_LDO_STAT		表示CLKVDD_1P8 LDO开启的只读标志。	0	R
10	DIG1_LDO_STAT		表示DVDD1 LDO开启的只读标志。	0	R
9	DIG2_LDO_STAT		表示DVDD2 LDO开启的只读标志。	0	R
8	PDN_LDO_CLK		禁用CLKVDD_1P8 LDO。需要外部电源。	0	RW
7	PDN_LDO_DIG1		禁用DVDD1 LDO。需要外部电源。	0	RW
6	PDN_LDO_DIG2		禁用DVDD2 LDO。需要外部电源。	0	RW
5	REF_PDN		禁用产生REFIO电压的10 kΩ电阻。用户可以利用外部电压驱动或提供外部BG电阻。	0	RW
4	REF_EXT		关断主BG基准电压源, 包括DAC偏置。	0	RW
3	DAC1_SLEEP		禁用DAC1输出电流。	0	RW
2	DAC2_SLEEP		禁用DAC2输出电流。	0	RW
1	DAC3_SLEEP		禁用DAC3输出电流。	0	RW
0	DAC4_SLEEP		禁用DAC4输出电流。	0	RW

时钟控制寄存器(CLOCKCONFIG, 地址0x02)

表17. CLOCKCONFIG的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:12]	保留			0x000	RW
11	DIS_CLK1		禁用时钟分配模块的DAC1输出的模拟时钟。	0	RW
10	DIS_CLK2		禁用时钟分配模块的DAC2输出的模拟时钟。	0	RW
9	DIS_CLK3		禁用时钟分配模块的DAC3输出的模拟时钟。	0	RW
8	DIS_CLK4		禁用时钟分配模块的DAC4输出的模拟时钟。	0	RW
7	DIS_DCLK		禁用内核数字模块的时钟。	0	RW
6	CLK_SLEEP		使能极低功耗时钟模式。	0	RW
5	CLK_PDN		禁用并关断主时钟接收器。器件中无任何时钟有效。	0	RW
4	EPS		启用省电(EPS)可使能时钟接收器的低功耗选项, 但DAC时钟上升沿仍保持低抖动性能。DAC时钟下降沿的性能明显降低。	0	RW
3	DAC1_INV_CLK		使用此位时无法使用EPS。反转DAC内核1中的时钟时, DAC1更新时序发生180°相移。	0	RW
2	DAC2_INV_CLK		使用此位时无法使用EPS。反转DAC内核2中的时钟时, DAC2更新时序发生180°相移。	0	RW
1	DAC3_INV_CLK		使用此位时无法使用EPS。反转DAC内核3中的时钟时, DAC3更新时序发生180°相移。	0	RW
0	DAC4_INV_CLK		使用此位时无法使用EPS。反转DAC内核4中的时钟时, DAC4更新时序发生180°相移。	0	RW

基准电阻寄存器(REFADJ, 地址0x03)

表18. REFADJ的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:6]	保留			0x000	RW
[5:0]	BGDR		将BG 10 kΩ电阻(标称值)调整为8 kΩ到12 kΩ, BG电压相应地更改为800 mV到1.2 V。	0x00	RW

DAC4模拟增益寄存器(DAC4AGAIN, 地址0x04)**表19. DAC4AGAIN的位功能描述**

位	位域名称	设置	描述	复位	访问类型
15	保留			0	R \overline{W}
[14:8]	DAC4_GAIN_CAL		DAC4模拟增益校准输出；只读。	0x00	R
7	保留			0	R \overline{W}
[6:0]	DAC4_GAIN		非校准模式下的DAC4模拟增益控制，二进制补码。	0x00	R \overline{W}

DAC3模拟增益寄存器(DAC3AGAIN, 地址0x05)**表20. DAC3AGAIN的位功能描述**

位	位域名称	设置	描述	复位	访问类型
15	保留			0	R \overline{W}
[14:8]	DAC3_GAIN_CAL		DAC3模拟增益校准输出；只读。	0x00	R
7	保留			0	R \overline{W}
[6:0]	DAC3_GAIN		非校准模式下的DAC3模拟增益控制，二进制补码。	0x00	R \overline{W}

DAC2模拟增益寄存器(DAC2AGAIN, 地址0x06)**表21. DAC2AGAIN的位功能描述**

位	位域名称	设置	描述	复位	访问类型
15	保留			0	R \overline{W}
[14:8]	DAC2_GAIN_CAL		DAC2模拟增益校准输出；只读。	0x00	R
7	保留			0	R \overline{W}
[6:0]	DAC2_GAIN		非校准模式下的DAC2模拟增益控制，二进制补码。	0x00	R \overline{W}

DAC1模拟增益寄存器(DAC1AGAIN, 地址0x07)**表22. DAC1AGAIN的位功能描述**

位	位域名称	设置	描述	复位	访问类型
15	保留			0	R \overline{W}
[14:8]	DAC1_GAIN_CAL		DAC1模拟增益校准输出；只读。	0x00	R
7	保留			0	R \overline{W}
[6:0]	DAC1_GAIN		非校准模式下的DAC1模拟增益控制，二进制补码。	0x00	R \overline{W}

DAC模拟增益范围寄存器(DACxRANGE, 地址0x08)**表23. DACxRANGE的位功能描述**

位	位域名称	设置	描述	复位	访问类型
[15:8]	保留			0x00	R \overline{W}
[7:6]	DAC4_GAIN_RNG		DAC4增益范围控制。	0x0	R \overline{W}
[5:4]	DAC3_GAIN_RNG		DAC3增益范围控制。	0x0	R \overline{W}
[3:2]	DAC2_GAIN_RNG		DAC2增益范围控制。	0x0	R \overline{W}
[1:0]	DAC1_GAIN_RNG		DAC1增益范围控制。	0x0	R \overline{W}

AD9106

FSADJ4寄存器(DAC4RSET, 地址0x09)

表24. DAC4RSET的位功能描述

位	位域名称	设置	描述	复位	访问类型
15	DAC4_RSET_EN		要写入, 使能DAC4的内部R _{SET} 电阻; 要读取, 在校准模式下使能DAC4的R _{SET} 。	0x00	RW
[14:13]	保留			0x00	RW
[12:8]	DAC4_RSET_CAL		校准后DAC4的R _{SET} 电阻的数字控制值; 只读。	0x00	R
[7:5]	保留			0x00	RW
[4:0]	DAC4_RSET		设置DAC4中R _{SET} 电阻值的数字控制。	0x0A	RW

FSADJ3寄存器(DAC3RSET, 地址0x0A)

表25. DAC3RSET的位功能描述

位	位域名称	设置	描述	复位	访问类型
15	DAC3_RSET_EN		要写入, 使能DAC3的内部R _{SET} 电阻; 要读取, 在校准模式下使能DAC3的R _{SET} 。	0	RW
[14:13]	保留			0x0	RW
[12:8]	DAC3_RSET_CAL		校准后DAC3的R _{SET} 电阻的数字控制值; 只读。	0x00	R
[7:5]	保留			0x0	RW
[4:0]	DAC3_RSET		设置DAC3中R _{SET} 电阻值的数字控制。	0x0A	RW

FSADJ2寄存器(DAC2RSET, 地址0x0B)

表26. DAC2RSET的位功能描述

位	位域名称	设置	描述	复位	访问类型
15	DAC2_RSET_EN		要写入, 使能DAC2的内部R _{SET} 电阻; 要读取, 在校准模式下使能DAC2的R _{SET} 。	0	RW
[14:13]	保留			0x0	RW
[12:8]	DAC2_RSET_CAL		校准后DAC2的R _{SET} 电阻的数字控制值; 只读。	0x00	R
[7:5]	保留			0x0	RW
[4:0]	DAC2_RSET		设置DAC2中R _{SET} 电阻值的数字控制。	0xA	RW

FSADJ1寄存器(DAC1RSET, 地址0x0C)

表27. DAC1RSET的位功能描述

位	位域名称	设置	描述	复位	访问类型
15	DAC1_RSET_EN		要写入, 使能DAC1的内部R _{SET} 电阻; 要读取, 在校准模式下使能DAC1的R _{SET} 。	0x00	RW
[14:13]	保留			0x00	RW
[12:8]	DAC1_RSET_CAL		校准后DAC1的R _{SET} 电阻的数字控制值; 只读。	0x00	R
[7:5]	保留			0x0	RW
[4:0]	DAC1_RSET		设置DAC1中R _{SET} 电阻值的数字控制。	0x0A	RW

校准寄存器(CALCONFIG, 地址0x0D)

表28. CALCONFIG的位功能描述

位	位域名称	设置	描述	复位	访问类型
15	保留			0	R \overline{W}
14	COMP_OFFSET_OF		补偿失调校准值上溢。	0	R
13	COMP_OFFSET_UF		补偿失调校准值下溢。	0	R
12	RSET_CAL_OF		R _{SET} 校准值上溢。	0	R
11	RSET_CAL_UF		R _{SET} 校准值下溢。	0	R
10	GAIN_CAL_OF		增益校准值上溢。	0	R
9	GAIN_CAL_UF		增益校准值下溢。	0	R
8	CAL_RESET		发送脉冲使此位先变为高电平再变为低电平, 将复位校准结果。	0	R \overline{W}
7 ¹	CAL_MODE		表示正在使用校准的只读标志。	0	R
6 ¹	CAL_MODE_EN		使能增益校准电路。	0	R \overline{W}
[5:4]	COMP_CAL_RNG		失调校准范围。	0x0	R \overline{W}
3	CAL_CLK_EN		使能校准电路的校准时钟。	0	R \overline{W}
[2:0]	CAL_CLK_DIV		设置从DAC时钟到校准时钟的分频器。	0x0	R \overline{W}

¹位置变更

补偿失调寄存器(COMPOFFSET, 地址0x0E)

表29. COMPOFFSET的位功能描述

位	位域名称	设置	描述	复位	访问类型
15	保留			0x00	R \overline{W}
[14:8]	COMP_OFFSET_CAL		比较器的失调校准结果。	0x00	R
[7:2]	保留			0x00	R \overline{W}
1	CAL_FIN		表示校准已完成的只读标志。	0x00	R
0	START_CAL		启动校准周期。	0x00	R \overline{W}

更新模式寄存器(RAMUPDATE, 地址0x1D)

表30. RAMUPDATE的位功能描述

位	位的名称	设置	描述	复位	访问类型
[15:1]	保留			0x00	R \overline{W}
0	RAMPUPDATE		用新配置更新所有SPI设置(自清零)。	0	R \overline{W}

命令/状态寄存器(PAT_STATUS, 地址0x1E)

表31. PAT_STATUS的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	保留			0x000	R \overline{W}
3	BUF_READ		回读更新缓冲器。	0	R \overline{W}
2	MEM_ACCESS		使能存储器SPI访问。	0	R \overline{W}
1	PATTERN		正在播放的模式的状态, 只读。	0	R
0	RUN		允许产生模式, 触发后停止模式。	0	R \overline{W}

AD9106

命令/状态寄存器(PAT_TYPE, 地址0x1F)

表32. PAT_TYPE的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:1]	保留			0x0000	RW
0	PATTERN_RPT	0 1	此位置1时, 模式重复DAC4_3PATx和DAC2_1PATx所定义的次数。 模式连续运行。 模式重复DAC4_3PATx和DAC2_1PATx所定义的次数。	0	RW

触发开始至真正模式延迟寄存器(PATTERN_DLY, 地址0x20)

表33. PATTERN_DLY的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:0]	PATTERN_DELAY		触发低电平到模式开始的时间, 表示为DAC时钟周期数+1。	0x000E	RW

DAC4数字偏移寄存器(DAC4DOF, 地址0x22)

表34. DAC4DOF的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	DAC4_DIG_OFFSET		DAC4数字偏移。	0x000	RW
[3:0]	保留			0x00	RW

DAC3数字偏移寄存器(DAC3DOF, 地址0x23)

表35. DAC3DOF的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	DAC3_DIG_OFFSET		DAC3数字偏移。	0x000	RW
[3:0]	保留			0x0	RW

DAC2数字偏移寄存器(DAC2DOF, 地址0x24)

表36. DAC2DOF的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	DAC2_DIG_OFFSET		DAC2数字偏移。	0x000	RW
[3:0]	保留			0x00	RW

DAC1数字偏移寄存器(DAC1DOF, 地址0x25)

表37. DAC1DOF的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	DAC1_DIG_OFFSET		DAC1数字偏移。	0x000	RW
[3:0]	保留			0x00	RW

Wave3/Wave4选择寄存器(WAV4_3CONFIG, 地址0x26)**表38. WAV4_3CONFIG的位功能描述**

位	位域名称	设置	描述	复位	访问类型
[15:14]	保留			0x00	RW
[13:12]	PRESTORE_SEL4	0 1 2 3	DAC4常数值MSB/LSB寄存器中保存的常数值。 DAC4锯齿配置寄存器(SAW4_3CONFIG)定义的锯齿。 伪随机序列。 DDS4输出。	0x00	RW
[11:10]	保留			0x00	RW
[9:8]	WAVE_SEL4	0 1 2 3	从RAM的START_ADDR4到STOP_ADDR4部分读取的波形。 预存波形。 预存波形, 使用START_DELAY4和PATTERN_PERIOD。 预存波形, 由来自RAM的波形调制。	0x1	RW
[7:6]	保留			0x00	RW
[5:4]	PRESTORE_SEL3	0 1 2 3	DAC3常数值MSB/LSB寄存器中保存的常数值。 DAC3锯齿配置寄存器(SAW4_3CONFIG)定义的锯齿。 伪随机序列。 DDS3输出。	0x00	RW
[3:2]	保留			0x00	RW
[1:0]	WAVE_SEL3	0 1 2 3	从RAM的START_ADDR3到STOP_ADDR3部分读取的波形。 预存波形。 预存波形, 使用START_DELAY3和PATTERN_PERIOD。 预存波形, 由来自RAM的波形调制。	0x1	RW

Wave1/Wave2选择寄存器(WAV2_1CONFIG, 地址0x27)**表39. WAV2_1CONFIG的位功能描述**

位	位域名称	设置	描述	复位	访问类型
[15:14]	保留			0x0	RW
[13:12]	PRESTORE_SEL2	0 1 2 3	DAC2常数值MSB/LSB寄存器中保存的常数值。 DAC2锯齿配置寄存器(SAW2_1CONFIG)定义的锯齿。 伪随机序列。 DDS2输出。	0x0	RW
11	MASK_DAC4		屏蔽DAC4到DAC4_CONST值。	0	RW
10	CH2_ADD	0 1	增加DAC2和DAC4, 通过DAC2输出。 DAC2/DAC4正常工作。 增加DAC2和DAC4, 通过DAC2输出。	0	RW
[9:8]	WAVE_SEL2	0 1 2 3	从RAM的START_ADDR2到STOP_ADDR2部分读取的波形。 预存波形。 预存波形, 使用START_DELAY2和PATTERN_PERIOD。 预存波形, 由来自RAM的波形调制。	0x1	RW
[7:6]	保留			0x0	RW

AD9106

位	位域名称	设置	描述	复位	访问类型
[5:4]	PRESTORE_SEL1	0 1 2 3	DAC1常数值MSB/LSB寄存器中保存的常数值。 DAC1锯齿配置寄存器(SAW2_1CONFIG)定义的锯齿。 伪随机序列。 DDS1输出。	0x0	RW
3	MASK_DAC3		屏蔽DAC3到DAC3_CONST值。	0	RW
2	CH1_ADD	0 1	增加DAC1和DAC3，通过DAC1输出。 DAC1/DAC3正常工作。 增加DAC1和DAC3，通过DAC1输出。在这种start_delay情况下，DAC3输出保持不变。	0	RW
[1:0]	WAVE_SEL1	0 1 2 3	从RAM的START_ADDR1到STOP_ADDR1部分读取的波形。 预存波形。 预存波形，使用START_DELAY1和PATTERN_PERIOD。 预存波形，由来自RAM的波形调制。	0x1	RW

DAC时间控制寄存器(PAT_TIMEBASE, 地址0x28)

表40. PAT_TIMEBASE的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:12]	保留			0x00	RW
[11:8]	保持		DAC值保持样本的次数(0 = DAC保持1个样本)。	0x1	RW
[7:4]	PAT_PERIOD_BASE		每个PATTERN_PERIOD LSB的DAC时钟周期数 (0 = PATTERN_PERIOD LSB = 1 DAC时钟周期)。	0x1	RW
[3:0]	START_DELAY_BASE		每个START_DELAYx LSB的DAC时钟周期数 (0 = START_DELAYx LSB = 1 DAC时钟周期)。	0x1	RW

模式周期寄存器(PAT_PERIOD, 地址0x029)

表41. PAT_PERIOD的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:0]	PATTERN_PERIOD		模式周期寄存器。	0x8000	RW

DAC3/DAC4模式重复周期寄存器(DAC4_3PATx, 地址0x2A)

表42. DAC4_3PATx的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:8]	DAC4_REPEAT_CYCLE		DAC4模式重复周期数 + 1, (0 → 模式重复1次)。	0x01	RW
[7:0]	DAC3_REPEAT_CYCLE		DAC3模式重复周期数 + 1, (0 → 模式重复1次)。	0x01	RW

DAC1/DAC2模式重复周期寄存器(DAC2_1PATx, 地址0x2B)

表43. DAC2_1PATx的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:8]	DAC2_REPEAT_CYCLE		DAC2模式重复周期数 + 1, (0 → 模式重复1次)。	0x01	RW
[7:0]	DAC1_REPEAT_CYCLE		DAC1模式重复周期数 + 1, (0 → 模式重复1次)。	0x01	RW

触发开始至DOUT信号寄存器(DOUT_START_DLY, 地址0x2C)**表44. DOUT_START_DLY的位功能描述**

位	位域名称	设置	描述	复位	访问类型
[15:0]	DOUT_START		触发低电平到DOUT信号变为高电平的时间，表示为DAC时钟周期数。	0x0003	RW

DOUT配置寄存器(DOUT_CONFIG, 地址0x2D)**表45. DOUT_CONFIG的位功能描述**

位	位域名称	设置	描述	复位	访问类型
[15:6]	保留			0x0000	RW
5	DOUT_VAL		手动设置DOUT信号值；仅当DOUT_MODE = 0(手动模式)时有效。	0	RW
4	DOUT_MODE	0x0 0x1	DOUT引脚是SDO/SDI2/DOUT引脚的输出，由位5手动控制；要使用此功能，必须将寄存器0x00的DOUT_EN置1。 DOUT引脚是SDO/SDI2/DOUT的输出。此引脚由DOUT_START和DOUT_STOP控制。要使用此功能，必须将寄存器0x00的DOUT_EN置1。	0	RW
[3:0]	DOUT_STOP		模式结束到DOUT信号变为低电平的时间，表示为DAC时钟周期数。	0x0	RW

DAC4常数值寄存器(DAC4_CST, 地址0x2E)**表46. DAC4_CST的位功能描述**

位	位域名称	设置	描述	复位	访问类型
[15:4]	DAC4_CONST		DAC4常数值的最有效字节。	0x000	RW
[3:0]	保留			0x0	RW

DAC3常数值寄存器(DAC3_CST, 地址0x2F)**表47. DAC3_CST的位功能描述**

位	位域名称	设置	描述	复位	访问类型
[15:4]	DAC3_CONST		DAC3常数值的最有效字节。	0x000	RW
[3:0]	保留			0x0	RW

DAC2常数值寄存器(DAC2_CST, 地址0x30)**表48. DAC2_CST的位功能描述**

位	位域名称	设置	描述	复位	访问类型
[15:4]	DAC2_CONST		DAC2常数值的最有效字节。	0x000	RW
[3:0]	保留			0x0	RW

DAC1常数值寄存器(DAC1_CST, 地址0x31)**表49. DAC1_CST的位功能描述**

位	位域名称	设置	描述	复位	访问类型
[15:4]	DAC1_CONST		DAC1常数值的最有效字节。	0x000	RW
[3:0]	保留			0x0	RW

AD9106

DAC4数字增益寄存器(DAC4_DGAIN, 地址0x32)

表50. DAC4_DGAIN的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	DAC4_DIG_GAIN		DAC4数字增益。范围是+2到-2。	0x000	RW
[3:0]	保留			0x0	RW

DAC3数字增益寄存器(DAC3_DGAIN, 地址0x33)

表51. DAC3_DGAIN的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	DAC3_DIG_GAIN		DAC3数字增益。范围是+2到-2。	0x000	RW
[3:0]	保留			0x0	RW

DAC2数字增益寄存器(DAC2_DGAIN, 地址0x34)

表52. DAC2_DGAIN的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	DAC2_DIG_GAIN		DAC2数字增益。范围是+2到-2。	0x000	RW
[3:0]	保留			0x0	RW

DAC1数字增益寄存器(DAC1_DGAIN, 地址0x35)

表53. DAC1_DGAIN的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	DAC1_DIG_GAIN		DAC1数字增益。范围是+2到-2。	0x000	RW
[3:0]	保留			0x0	RW

DAC3/4锯齿配置寄存器(SAW4_3CONFIG, 地址0x36)

表54. SAW4_3CONFIG的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:10]	SAW_STEP4		DAC4每一步的样本数。	0x01	RW
[9:8]	SAW_TYPE4	0 1 2 3	DAC4的锯齿类型(正、负或三角)。 上斜坡锯齿波。 下斜坡锯齿波。 三角锯齿波。 无波, 零。	0x0	RW
[7:2]	SAW_STEP3		DAC3每一步的样本数。	0x01	RW
[1:0]	SAW_TYPE3	0 1 2 3	DAC3的锯齿类型(正、负或三角)。 上斜坡锯齿波。 下斜坡锯齿波。 三角锯齿波。 无波, 零。	0x0	RW

DAC1/2锯齿配置寄存器(SAW2_1CONFIG, 地址0x37)

表55. SAW2_1CONFIG的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:10]	SAW_STEP2		DAC2每一步的样本数。	0x01	RW
[9:8]	SAW_TYPE2	0 1 2 3	DAC2的锯齿类型(正、负或三角)。 上斜坡锯齿波。 下斜坡锯齿波。 三角锯齿波。 无波, 零。	0x0	RW

位	位域名称	设置	描述	复位	访问类型
[7:2]	SAW_STEP1		DAC1每一步的样本数。	0x01	RW
[1:0]	SAW_TYPE1	0 1 2 3	DAC1的锯齿类型(正、负或三角)。 上斜坡锯齿波。 下斜坡锯齿波。 三角锯齿波。 无波, 零。	0x0	RW

DDS调谐字MSB寄存器(DDS_TW32, 地址0x3E)

表56. DDS_TW32的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:0]	DDSTW_MSB		DDS调谐字MSB。	0x0000	RW

DDS调谐字LSB寄存器(DDS_TW1, 地址0x3F)

表57. DDS_TW1的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:8]	DDSTW_LSB		DDS调谐字LSB。	0x00	RW
[7:0]	保留			0x00	RW

DDS4相位偏移寄存器(DDS4_PW, 地址0x40)

表58. DDS4_PW的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:0]	DDS4_PHASE		DDS4相位偏移。	0x0000	RW

DDS3相位偏移寄存器(DDS3_PW, 地址0x41)

表59. DDS3_PW的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:0]	DDS3_PHASE		DDS3相位偏移。	0x0000	RW

DDS2相位偏移寄存器(DDS2_PW, 地址0x42)

表60. DDS2_PW的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:0]	DDS2_PHASE		DDS2相位偏移。	0x0000	RW

DDS1相位偏移寄存器(DDS1_PW, 地址0x43)

表61. DDS1_PW的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:0]	DDS1_PHASE		DDS1相位偏移。	0x0000	RW

AD9106

模式控制1寄存器(TRIG_TW_SEL, 地址0x44)

表62. TRIG_TW_SEL的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:2]	保留			0x0000	RW
1	TRIG_DELAY_EN	0 1	使能起始延迟作为所有4个通道的触发延迟。 对所有模式重复延迟。 延迟仅应用于第一个模式的开始。	0	RW
0	保留			0	RW

模式控制2寄存器(DDsx_CONFIG, 地址0x45)

表63. DDSx_CONFIG的位功能描述

位	位域名称	设置	描述	复位	访问类型
15	DDS_COS_EN4		使能DDS的DDS4余弦输出, 而非正弦波。	0	RW
14	DDS_MSB_EN4		使能RAM地址的时钟。递增来自DDS4 MSB。默认来自DAC时钟。	0	RW
13	保留			0	RW
12	保留			0	RW
11	DDS_COS_EN3		使能DDS的DDS3余弦输出, 而非正弦波。	0	RW
10	DDS_MSB_EN3		使能RAM地址的时钟。递增来自DDS3 MSB。默认来自DAC时钟。	0	RW
9	PHASE_MEM_EN3		使能来自RAM的DDS3相位偏移输入, 使用START_ADDR3读取。 相位字为8位, RAM数据为14位, 因此仅考虑RAM的8个MSB。 默认来自SPI映射DDS3_PHASE。	0	RW
8	保留			0	RW
7	DDS_COS_EN2		使能DDS的DDS2余弦输出, 而非正弦波。	0	RW
6	DDS_MSB_EN2		使能RAM地址的时钟。递增来自DDS2 MSB。默认来自DAC时钟。	0	RW
5	保留			0	RW
4	保留			0	RW
3	DDS_COS_EN1		使能DDS的DDS1余弦输出, 而非正弦波。	0	RW
2	DDS_MSB_EN1		使能RAM地址的时钟。递增来自DDS1 MSB。默认来自DAC时钟。	0	RW
1	保留			0	RW
0	TW_MEM_EN		使能来自RAM的DDS调谐字输入, 使用START_ADDR1读取。 调谐字为24位, RAM数据为14位, 因此10位设置为0, 具体取决于TW_RAM_CONFIG寄存器中的TW_MEM_SHIFT位的值。 默认来自SPI映射DDSTW。	0	RW

TW_RAM_CONFIG寄存器(TW_RAM_CONFIG, 地址0x47)

表64. TW_RAM_CONFIG的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:5]	保留			0x000	RW
[4:0]	TW_MEM_SHIFT	0x00 0x01 0x02 0x03 0x04 0x05 0x06	要使用此位域, TW_MEM_EN1必须设置为1。 DDS1TW = {RAM[11:0],12'b0} DDS1TW = {DDS1TW[23],RAM[11:0],11'b0} DDS1TW = {DDS1TW[23:22],RAM[11:0],10'b0} DDS1TW = {DDS1TW[23:21],RAM[11:0],9'b0} DDS1TW = {DDS1TW[23:20],RAM[11:0],8'b0} DDS1TW = {DDS1TW[23:19],RAM[11:0],7'b0} DDS1TW = {DDS1TW[23:18],RAM[11:0],6'b0}	0x00	RW

位	位域名称	设置	描述	复位	访问类型
		0x07	DDS1TW = {DDS1TW[23:17],RAM[11:0],5'b0}		
		0x08	DDS1TW = {DDS1TW[23:16],RAM[11:0],3'b0}		
		0x09	DDS1TW = {DDS1TW[23:15],RAM[11:0],4'b0}		
		0x0A	DDS1TW = {DDS1TW[23:14],RAM[11:0],2'b0}		
		0x0B	DDS1TW = {DDS1TW[23:13],RAM[11:0],1'b0}		
		0x0C	DDS1TW = {DDS1TW[23:12],RAM[11:0]}		
		0x0D	DDS1TW = {DDS1TW[23:11],RAM[11:1]}		
		0x0E	DDS1TW = {DDS1TW[23:10],RAM[11:2]}		
		0x0F	DDS1TW = {DDS1TW[23:9],RAM[11:3]}		
		0x10	DDS1TW = {DDS1TW[23:8],RAM[11:4]}		
		x	保留		

起始延迟4寄存器(START_DLY4, 地址0x50)

表65. START_DLY4的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	START_DELAY4		DAC4的起始延迟。	0x0000	RW

起始地址4寄存器(START_ADDR4, 地址0x51)

表66. START_ADDR4的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	START_ADDR4		DAC4开始读取波形的RAM地址。	0x000	RW
[3:0]	保留			0x00	RW

停止地址4寄存器(STOP_ADDR4, 地址0x52)

表67. STOP_ADDR4的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	STOP_ADDR4		DAC4停止读取波形的RAM地址。	0x000	RW
[3:0]	保留			0x00	RW

DDS周期数4寄存器(DDS_CYC4, 地址0x53)

表68. DDS_CYC4的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:0]	DDS_CYC4		DAC4输出选择DDS预存的具有起始和停止延迟的波形时的正弦波周期数。	0x0001	RW

起始延迟3寄存器(START_DLY3, 地址0x54)

表69. START_DLY3的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:0]	START_DELAY3		DAC3的起始延迟。	0x0000	RW

起始地址3寄存器(START_ADDR3, 地址0x55)

表70. START_ADDR3的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	START_ADDR3		DAC3开始读取波形的RAM地址。	0x000	RW
[3:0]	保留			0x0	RW

AD9106

停止地址3寄存器(STOP_ADDR3, 地址0x56)

表71. STOP_ADDR3的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	STOP_ADDR3		DAC3停止读取波形的RAM地址。	0x0000	RW
[3:0]	保留			0x0	RW

DDS周期数3寄存器(DDS_CYC3, 地址0x57)

表72. DDS_CYC3的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:0]	DDS_CYC3		DAC3输出选择DDS预存的具有起始和停止延迟的波形时的正弦波周期数。	0x0001	RW

起始延迟2寄存器(START_DLY2, 地址0x58)

表73. START_DLY2的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:0]	START_DELAY2		DAC2的起始延迟。	0x0000	RW

起始地址2寄存器(START_ADDR2, 地址0x59)

表74. START_ADDR2的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	START_ADDR2		DAC2开始读取波形的RAM地址。	0x000	RW
[3:0]	保留			0x0	RW

停止地址2寄存器(STOP_ADDR2, 地址0x5A)

表75. STOP_ADDR2的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	STOP_ADDR2		DAC2停止读取波形的RAM地址。	0x000	RW
[3:0]	保留			0x0	RW

DDS周期数2寄存器(DDS_CYC2, 地址0x5B)

表76. DDS_CYC2的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:0]	DDS_CYC2		DAC2输出选择DDS预存的具有起始和停止延迟的波形时的正弦波周期数。	0x0001	RW

起始延迟1寄存器(START_DLY1, 地址0x5C)

表77. START_DLY1的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:0]	START_DELAY1		DAC1的起始延迟。	0x0000	RW

起始地址1寄存器(START_ADDR1, 地址0x5D)

表78. START_ADDR1的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	START_ADDR1		DAC1开始读取波形的RAM地址。	0x000	RW
[3:0]	保留			0x0	RW

停止地址1寄存器(STOP_ADDR1, 地址0x5E)

表79. STOP_ADDR1的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:4]	STOP_ADDR1		DAC1停止读取波形的RAM地址。	0x000	RW
[3:0]	保留			0x0	RW

DDS周期数1寄存器(DDS_CYC1, 地址0x5F)

表80. DDS_CYC1的位功能描述

位	位域名称	设置	描述	复位	访问类型
[15:0]	DDS_CYC1		DAC1输出选择DDS预存的具有起始和停止延迟的波形时的正弦波周期数。	0x0001	RW

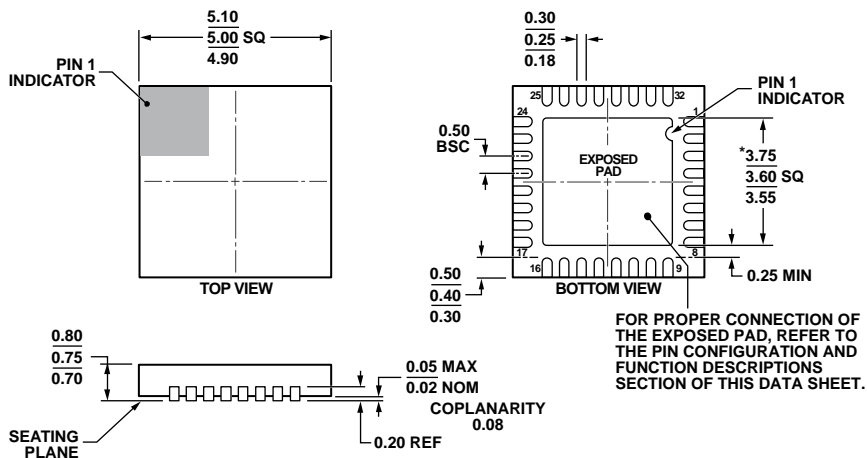
配置错误寄存器(CFG_ERROR, 地址0x60)

表81. CFG_ERROR的位功能描述

位	位域名称	设置	描述	复位	访问类型
15	ERROR_CLEAR		写入此位将清除所有错误。	0	R
[14:6]	CFG_ERROR			0x00	R
5	DOUT_START_LG_ERR		当DOUT_START值大于模式延迟时, 此错误置位。	0	R
4	PAT_DLY_SHORT_ERR		当模式延迟值小于默认值时, 此错误置位。	0	R
3	DOUT_START_SHORT_ERR		当DOUT_START值小于默认值时, 此错误置位。	0	R
2	PERIOD_SHORT_ERR		当周期寄存器设置值小于模式播放周期时, 此错误置位。	0	R
1	ODD_ADDR_ERR		在触发延迟模式下, 当存储器模式播放长度不均时, 此错误标志置位。	0	R
0	MEM_READ_ERR		存在存储器读取冲突时, 此错误标志置位。	0	R

AD9106

外形尺寸



*COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5 WITH EXCEPTION TO EXPOSED PAD DIMENSION.

图55. 32引脚引脚架芯片级封装[LFCSP_WQ]
5 mm × 5 mm, 超薄体
(CP-32-12)
尺寸单位: mm

08-16-2010-B

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9106BCPZ	-40°C至+85°C	32引脚 LFCSP_WQ	CP-32-12
AD9106BCPZRL7	-40°C至+85°C	32引脚 LFCSP_WQ	CP-32-12
AD9106-EBZ		评估板	

¹ Z = 符合RoHS标准的器件。