

产品特性

JESD204B Subclass 0或Subclass 1编码串行数字输出
 信噪比(SNR): 71.9 dBFS(185 MHz AIN, 250 MSPS, NSR设置为33%)
 无杂散动态范围(SFDR): 88 dBc(185 MHz AIN, 250 MSPS)
 总功耗: 707 mW(250 MSPS)
 1.8 V电源电压
 1至8整数输入时钟分频器
 采样速率最高达250 MSPS
 中频采样频率最高达400 MHz
 模数转换器(ADC)内置基准电压源
 灵活的模拟输入范围
 1.4 V p-p至2.0 V p-p(标称值1.75 V p-p)
 ADC时钟占空比稳定器(DCS)
 95 dB通道隔离/串扰
 串行端口控制
 节能的掉电模式
 用户可配置的内置自测(BIST)功能

应用

通信

分集无线电和智能天线(MIMO)系统
 多模式数字接收机(3G)

TD-SCDMA、WiMAX、WCDMA、
 CDMA2000、GSM、EDGE、LTE

I/Q解调系统

通用软件无线电

功能框图

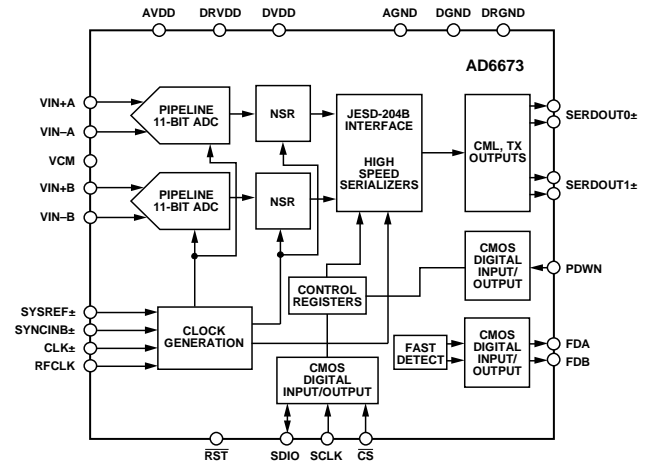


图1.

产品特色

1. 集成锁相环(PLL)的可配置JESD204B输出模块, 支持每通道最高5 Gbps的采样速率(最多两个通道)。
2. 中频接收机包括两个11位250 MSPS ADC, ADC具有可编程的噪声整形再量化器(NSR)功能, 当带宽降低至采样速率的22%或33%时, 它能提高信噪比。
3. 支持可选RF时钟输入以简化系统板设计。
4. 取得专利的差分输入在最高至400 MHz的输入频率下仍保持出色的信噪比(SNR)性能。
5. 片内1至8整数输入时钟分频器和SYNC输入支持多器件同步。
6. 采用1.8 V单电源供电。
7. 标准串行端口接口(SPI)支持各种产品特性和功能, 例如: 控制时钟DCS、关断模式、测试模式、基准电压模式、超量程快速检测以及串行输出配置等。

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2012 Analog Devices, Inc. All rights reserved.
 Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	33%带宽模式(184.32 MSPS时>60 MHz).....	23
应用.....	1	数字输出.....	24
功能框图.....	1	ADC超量程与增益控制.....	30
产品特点.....	1	ADC超量程(OR).....	30
修订历史.....	2	增益开关.....	30
概述.....	3	直流校正.....	31
技术规格.....	4	直流校正带宽.....	31
ADC直流规格.....	4	直流校正回读.....	31
ADC交流规格.....	5	直流校正冻结.....	31
数字规格.....	6	直流校正(DCC)使能位.....	31
开关规格.....	8	内置自测(BIST)和输出测试.....	32
时序规格.....	9	内置自测.....	32
绝对最大额定值.....	10	串行端口接口(SPI).....	33
热特性.....	10	使用SPI的配置.....	33
ESD警告.....	10	硬件接口.....	33
引脚配置和功能描述.....	11	SPI访问特性.....	34
典型性能参数.....	13	存储器映射.....	35
等效电路.....	15	读取存储器映射寄存器表.....	35
工作原理.....	16	存储器映射寄存器表.....	36
ADC架构.....	16	存储器映射寄存器描述.....	40
模拟输入考虑.....	16	应用信息.....	41
基准电压源.....	18	设计指南.....	41
时钟输入考虑.....	18	外形尺寸.....	42
功耗和待机模式.....	21	订购指南.....	42
噪声整形再量化器.....	22		
22%带宽模式(184.32 MSPS时>40 MHz).....	22		

修订历史

2012年10月—修订版0至修订版A

更改“应用”部分和图1..... 1

2012年10月—修订版0：初始版

概述

AD6673是一款11位、250 MSPS、双通道中频(IF)接收机，专门针对要求高动态范围性能、低功耗和小尺寸的电信应用中支持多天线系统而设计。

该器件包括两个高性能模数转换器(ADC)和噪声整形再量化器(NSR)数字模块。每个ADC由多级、差分流水线架构组成，并集成了输出纠错逻辑，每个ADC差分流水线的第一级包含一个宽带宽开关电容采样网络。集成基准电压源可简化设计。占空比稳定器(DCS)补偿ADC时钟占空比的波动，使转换器保持出色的性能。

各ADC的输出内部连接到NSR模块。集成NSR电路能够提高奈奎斯特带宽内较小频段的信噪比(SNR)性能。该器件支持两种不同的输出模式，可通过SPI选择。如果使能NSR特性，则在处理ADC的输出时，AD6673可以在有限的部分奈奎斯特带宽内实现更高的SNR性能，同时保持11位输出分辨率。

可以对NSR模块进行编程，以提供采样时钟22%或33%的带宽。例如，当采样时钟速率为250 MSPS时，在22%模式下，AD6673可以在55 MHz带宽内实现最高76.3 dBFS的SNR；在33%模式下，它可以在82 MHz带宽内实现最高73.5 dBFS的SNR。

禁用NSR模块时，ADC数据直接以11位的分辨率提供给输出端。这种工作模式下，AD6673能够在整个奈奎斯特带宽内实现最高65.9 dBFS的SNR。因此，AD6673可以用于电信应用，例如要求更宽带宽的数字预失真观测路径。

默认情况下，ADC输出数据可以直接路由至两个外部JESD204B串行输出通道，这些输出设置为电流模式逻辑(CML)电平。支持两种模式，使得输出编码数据可通过一个或两个通道发送(L = 1; F = 4或L = 2; F = 2)。单通道操作支持最高125 MSPS的转换器速率。器件提供同步输入控制(SYNCINB±和SYSREF±)。

AD6673接收机能够对很宽的中频频谱进行数字化处理。各接收机设计用于同步接收不同的天线。该IF采样架构与传统的模拟技术或较低集成度的数字方法相比，能大幅度降低器件的成本和复杂度。

需要时，灵活的关断选项可以明显降低功耗。每个通道通过专用快速检测引脚支持可编程超量程电平检测。

器件设置与控制的编程利用三线式SPI兼容型串行接口来完成；该接口提供多种工作模式，支持电路板级系统测试。

AD6673采用48引脚LFCSP封装，额定温度范围为-40°C至+85°C工业温度范围。该产品受美国专利保护。

技术规格

ADC直流规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、DVDD = 1.8 V、速度等级采用最大采样速率、VIN = -1.0 dBFS差分输入、1.75 V p-p满量程输入范围、使能DCS、链路参数为M = 2和L = 2。

表1.

参数	温度	最小值	典型值	最大值	单位
分辨率	全温度范围	11			位
精度			保证		
无失码	全温度范围				
失调误差	全温度范围	-16		+16	mV
增益误差	全温度范围	-6		+2.5	%FSR
差分非线性(DNL)	全温度范围			±0.6	LSB
	25°C		±0.25		LSB
积分非线性(INL) ¹	全温度范围			±0.7	LSB
	25°C		±0.3		LSB
匹配特性					
失调误差	全温度范围	-15		+15	mV
增益误差	全温度范围	-2		+3	%FSR
温度漂移					
失调误差	全温度范围		±2		ppm/°C
增益误差	全温度范围		±50		ppm/°C
输入端参考噪声					
VREF = 1.0 V	25°C		0.32		LSB rms
模拟输入					
输入范围	全温度范围		1.75		V p-p
输入电容 ²	全温度范围		2.5		pF
输入电阻 ³	全温度范围		20		kΩ
输入共模电压	全温度范围		0.9		V
电源					
电源电压					
AVDD	全温度范围	1.7	1.8	1.9	V
DRVDD	全温度范围	1.7	1.8	1.9	V
DVDD	全温度范围	1.7	1.8	1.9	V
电源电流					
IAVDD	全温度范围		254	282	mA
IDRVDD + IDVDD	全温度范围				mA
NSR禁用	全温度范围		139	150	mA
NSR使能, 22%模式	全温度范围		187		mA
NSR使能, 33%模式	全温度范围		211		mA
功耗					
正弦波输入					
NSR禁用	全温度范围		707		mW
NSR使能, 22%模式	全温度范围		794		mW
NSR使能, 33%模式	全温度范围		837		mW
待机功耗 ⁴	全温度范围		334		mW
掉电模式的功耗	全温度范围		9		mW

¹ 测量条件为：采用低输入频率的满量程正弦波。

² 输入电容指一个差分输入引脚与其(-)引脚之间的有效电容。

³ 输入电阻指一个差分输入引脚与其(-)引脚之间的有效电阻。

⁴ 待机功耗的测量条件为：直流输入且CLK±引脚有效。

ADC交流规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、DVDD = 1.8 V、速度等级采用最大采样速率、VIN = -1.0 dBFS差分输入、1.75 V p-p满量程输入范围、使能DCS、链路参数为M = 2和L = 2。

表2.

参数 ¹	温度	最小值	典型值	最大值	单位
信噪比(SNR)					
NSR禁用					
$f_{IN} = 30$ MHz	25°C		66.6		dBFS
$f_{IN} = 90$ MHz	25°C		66.2		dBFS
$f_{IN} = 140$ MHz	25°C		66.4		dBFS
$f_{IN} = 185$ MHz	25°C		66.2		dBFS
	全温度范围	65.6			dBFS
$f_{IN} = 220$ MHz	25°C		65.9		dBFS
NSR使能，22%带宽模式					
$f_{IN} = 30$ MHz	25°C		76.3		dBFS
$f_{IN} = 90$ MHz	25°C		75.7		dBFS
$f_{IN} = 140$ MHz	25°C		74.8		dBFS
$f_{IN} = 185$ MHz	25°C		74.2		dBFS
	全温度范围	72.6			dBFS
$f_{IN} = 220$ MHz	25°C		73.6		dBFS
NSR使能，33%带宽模式					
$f_{IN} = 30$ MHz	25°C		73.5		dBFS
$f_{IN} = 90$ MHz	25°C		72.1		dBFS
$f_{IN} = 140$ MHz	25°C		72.6		dBFS
$f_{IN} = 185$ MHz	25°C		71.9		dBFS
	全温度范围	70.0			dBFS
$f_{IN} = 220$ MHz	25°C		71.4		dBFS
信纳比(SINAD)					
$f_{IN} = 30$ MHz	25°C		65.5		dBFS
$f_{IN} = 90$ MHz	25°C		65.4		dBFS
$f_{IN} = 140$ MHz	25°C		65.2		dBFS
$f_{IN} = 185$ MHz	25°C		65.1		dBFS
	全温度范围	64.5			dBFS
$f_{IN} = 220$ MHz	25°C		64.7		dBFS
有效位数(ENOB)					
$f_{IN} = 30$ MHz	25°C		10.6		位
$f_{IN} = 90$ MHz	25°C		10.6		位
$f_{IN} = 140$ MHz	25°C		10.5		位
$f_{IN} = 185$ MHz	25°C		10.5		位
$f_{IN} = 220$ MHz	25°C		10.5		位
最差的二次或三次谐波					
$f_{IN} = 30$ MHz	25°C		-90		dBc
$f_{IN} = 90$ MHz	25°C		-87		dBc
$f_{IN} = 140$ MHz	25°C		-86		dBc
$f_{IN} = 185$ MHz	25°C		-88		dBc
	全温度范围			-80	dBc
$f_{IN} = 220$ MHz	25°C		-86		dBc

AD6673

参数 ¹	温度	最小值	典型值	最大值	单位
无杂散动态范围(SFDR)					
$f_{IN} = 30 \text{ MHz}$	25°C		90		dBc
$f_{IN} = 90 \text{ MHz}$	25°C		87		dBc
$f_{IN} = 140 \text{ MHz}$	25°C		86		dBc
$f_{IN} = 185 \text{ MHz}$	25°C		88		dBc
	全温度范围	80			dBc
$f_{IN} = 220 \text{ MHz}$	25°C		86		dBc
最差其它谐波或杂散					
$f_{IN} = 30 \text{ MHz}$	25°C		-96		dBc
$f_{IN} = 90 \text{ MHz}$	25°C		-94		dBc
$f_{IN} = 140 \text{ MHz}$	25°C		-94		dBc
$f_{IN} = 185 \text{ MHz}$	25°C		-94		dBc
	全温度范围			-80	dBc
$f_{IN} = 220 \text{ MHz}$	25°C		-91		dBc
双音无杂散动态范围(SFDR)					
$f_{IN} = 184.12 \text{ MHz} (-7 \text{ dBFS}), 187.12 \text{ MHz} (-7 \text{ dBFS})$	25°C		88		dBc
串扰 ²	全温度范围		95		dB
全功率带宽 ³	25°C		1000		MHz

¹ 如需了解完整的定义, 请参阅应用笔记AN-835: “了解高速ADC测试和评估”。

² 串扰的测量条件: 一个通道参数为-1.0 dBFS、100 MHz且另一个通道上无输入信号。

³ 全功率带宽指基频频谱功率降低3 dB时的工作带宽。

数字规格

除非另有说明, AVDD = 1.8 V、DRVDD = 1.8 V、DVDD = 1.8 V、速度等级采用最大采样速率、VIN = -1.0 dBFS差分输入、1.75 V p-p满量程输入范围、使能DCS、链路参数为M = 2和L = 2。

表3.

参数	温度	最小值	典型值	最大值	单位
差分时钟输入(CLK+、CLK-)					
输入CLK±时钟速率	全温度范围	40		625	MHz
逻辑兼容			CMOS/LVDS/LVPECL		
内部共模偏置	全温度范围		0.9		V
差分输入电压	全温度范围	0.3		3.6	V p-p
输入电压范围	全温度范围	AGND		AVDD	V
输入共模范围	全温度范围	0.9		1.4	V
高电平输入电流	全温度范围	0		+60	μA
低电平输入电流	全温度范围	-60		0	μA
输入电容	全温度范围		4		pF
输入电阻	全温度范围	8	10	12	kΩ
RF时钟输入(RFCLK)					
输入CLK±时钟速率	全温度范围	650		1500	MHz
逻辑兼容			CMOS/LVDS/LVPECL		
内部偏置	全温度范围		0.9		V
输入电压范围	全温度范围	AGND		AVDD	V
输入电压电平					
高电平	全温度范围	1.2		AVDD	V
低电平	全温度范围	AGND		0.6	V
高电平输入电流	全温度范围	0		+150	μA
低电平输入电流	全温度范围	-150		0	μA
输入电容	全温度范围		1		pF
输入电阻(交流耦合)	全温度范围	8	10	12	kΩ

参数	温度	最小值	典型值	最大值	单位
SYNCIN输入(SYNCINB+, SYNCINB-)					
逻辑兼容			LVDS		
内部共模偏置	全温度范围		0.9		V
差分输入电压范围	全温度范围	0.3		3.6	V p-p
输入电压范围	全温度范围	AGND		DVDD	V
输入共模范围	全温度范围	0.9		1.4	V
高电平输入电流	全温度范围	-5		+5	μA
低电平输入电流	全温度范围	-5		+5	μA
输入电容	全温度范围		1		pF
输入电阻	全温度范围	12	16	20	kΩ
SYSREF输入(SYSREF+/SYSREF-)					
逻辑兼容			LVDS		
内部共模偏置	全温度范围		0.9		V
差分输入电压范围	全温度范围	0.3		3.6	V p-p
输入电压范围	全温度范围	AGND		AVDD	V
输入共模范围	全温度范围	0.9		1.4	V
高电平输入电流	全温度范围	-5		+5	μA
低电平输入电流	全温度范围	-5		+5	μA
输入电容	全温度范围		4		pF
输入电阻	全温度范围	8	10	12	kΩ
逻辑输入(RST、CS) ¹					
高电平输入电压	全温度范围	1.22		2.1	V
低电平输入电压	全温度范围	0		0.6	V
高电平输入电流	全温度范围	-5		+5	μA
低电平输入电流	全温度范围	-100		-45	μA
输入电阻	全温度范围		26		kΩ
输入电容	全温度范围		2		pF
逻辑输入(SCLK、PDWN) ²					
高电平输入电压	全温度范围	1.22		2.1	V
低电平输入电压	全温度范围	0		0.6	V
高电平输入电流	全温度范围	45		100	μA
低电平输入电流	全温度范围	-10		+10	μA
输入电阻	全温度范围		26		kΩ
输入电容	全温度范围		2		pF
逻辑输入(SDIO) ²					
高电平输入电压	全温度范围	1.22		2.1	V
低电平输入电压	全温度范围	0		0.6	V
高电平输入电流	全温度范围	-10		+10	μA
低电平输入电流	全温度范围	-100		-45	μA
输入电阻	全温度范围		26		kΩ
输入电容	全温度范围		5		pF
数字输出(SERDOUT0±、SERDOUT1±)					
逻辑兼容	全温度范围		CML		
差分输出电压(V _{OD})	全温度范围	400	600	750	mV
输出失调电压(V _{OS})	全温度范围	0.75	DRVDD/2	1.05	V

AD6673

参数	温度	最小值	典型值	最大值	单位
串行输出(SDIO、FDA、FDB)					
高电平输出电压(V_{OH})	全温度范围				
$I_{OH} = 50 \mu A$	全温度范围	1.79			V
$I_{OH} = 0.5 mA$	全温度范围	1.75			V
低电平输出电压(V_{OL})	全温度范围				
$I_{OL} = 1.6 mA$	全温度范围			0.2	V
$I_{OL} = 50 \mu A$	全温度范围			0.05	V

¹ 上拉。

² 下拉。

开关规格

表4.

参数	符号	温度	最小值	典型值	最大值	单位
时钟输入参数						
转换速率 ¹	f_S	全温度范围	40		250	MSPS
SYSREF \pm 建立时间到CLK \pm 上升沿	t_{REFS}	全温度范围		0.75		ns
从CLK \pm 上升沿开始的SYSREF \pm 保持时间	t_{REFH}	全温度范围		0		ns
CLK \pm 脉冲高电平宽度	t_{CH}					
一分频模式, DCS使能		全温度范围	1.8	2.0	2.2	ns
一分频模式, DCS禁用		全温度范围	1.9	2.0	2.1	ns
二分频至八分频模式		全温度范围	0.8			ns
孔径延迟	t_A	全温度范围		1.0		ns
孔径不确定(抖动)	t_j	全温度范围		0.16		ps rms
数据输出参数						
数据输出周期或单位间隔(UI)		全温度范围		$L/(20 \times M \times f_S)$		秒
数据输出占空比		25°C		50		%
数据有效时间		25°C		0.78		UI
PLL锁定时间(t_{LOCK})		25°C		25		μs
唤醒						
时间(待机)		25°C		10		μs
ADC时间(省电模式) ³		25°C		250		ms
输出时间(省电模式) ⁴		25°C		50		ms
SYNCINB \pm 下降沿至K.28首字符		全温度范围	4			多帧
CGS阶段的K.28字符持续时间		全温度范围	1			多帧
流水线延迟						
JESD204B M1、L1模式(延迟)		全温度范围		36		周期 ⁵
JESD204B M1、L2模式(延迟)		全温度范围		59		周期
JESD204B M2、L1模式(延迟)		全温度范围		25		周期
JESD204B M2、L2模式(延迟)		全温度范围		36		周期
NSR使能时的额外流水线延迟		全温度范围		2		周期
快速检测(延迟)		全温度范围		7		周期
每通道的数据速率		25°C			5.0	Gbps
不相关有界高概率(UBHP)抖动		25°C		8		ps
5.0 Gbps时随机抖动		25°C		1.7		ps rms
输出上升/下降时间		25°C		60		ps
差分端接电阻		25°C		100		Ω
超范围恢复时间		全温度范围		3		周期

¹ 转换速率指分频之后的时钟速率。

² 时序图参见图3。

³ ADC唤醒时间指ADC从掉电模式返回正常工作模式所需的时间。

⁴ 输出唤醒时间指JESD204B输出从掉电模式返回正常工作模式所需的时间。

⁵ 周期指ADC转换速率周期。

时序规格

表5.

参数	测试条件/注释	最小值 典型值 最大值	单位
SPI时序要求(见图55)			
t_{DS}	数据与SCLK上升沿之间的建立时间	2	ns
t_{DH}	数据与SCLK上升沿之间的保持时间	2	ns
t_{CLK}	SCLK周期	40	ns
t_S	\overline{CS} 与SCLK之间的建立时间	2	ns
t_H	\overline{CS} 与SCLK之间的保持时间	2	ns
t_{HIGH}	SCLK应处于逻辑高电平状态的最短时间	10	ns
t_{LOW}	SCLK应处于逻辑低电平状态的最短时间	10	ns
t_{EN_SDIO}	相对于SCLK下降沿, SDIO引脚从输入状态切换到输出状态所需的时间(图中未显示)	10	ns
t_{DIS_SDIO}	相对于SCLK上升沿, SDIO引脚从输出状态切换到输入状态所需的时间(图中未显示)	10	ns
t_{SPL_RST}	硬件复位或软件复位到SPI允许访问所需的时间(图中未显示)	500	μ s

时序图

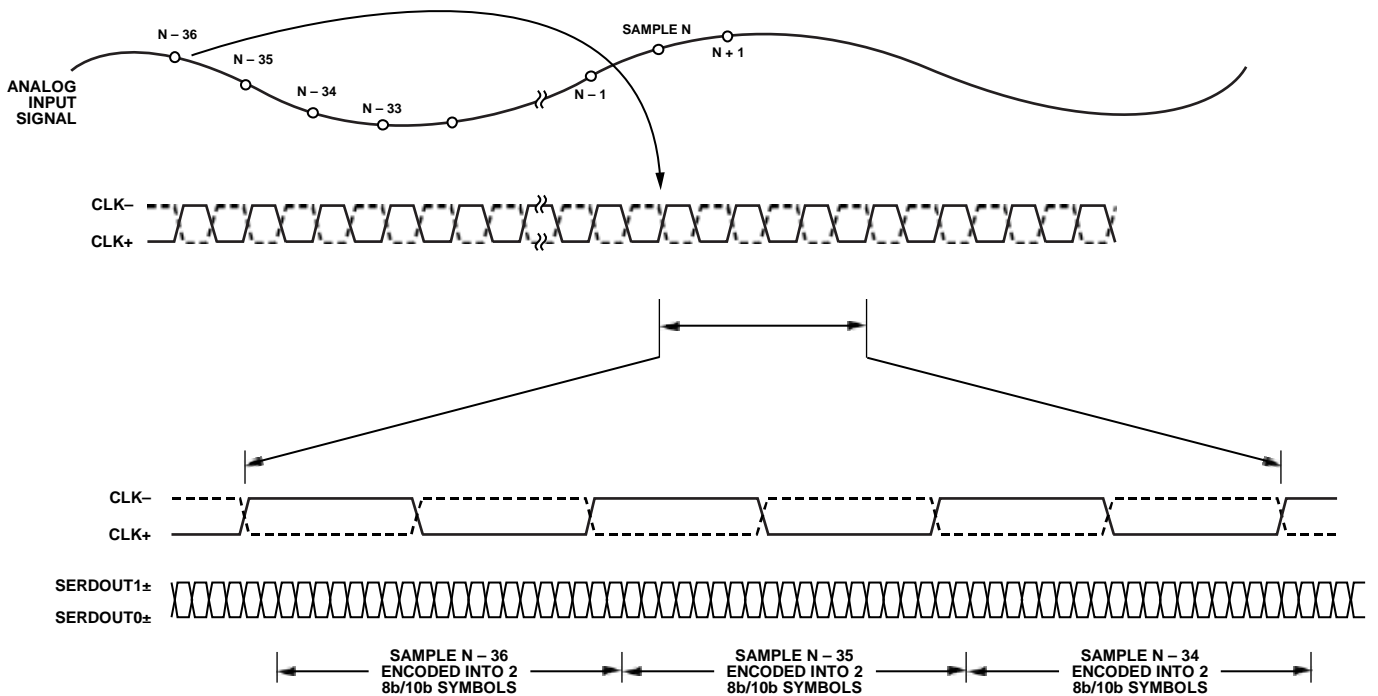


图2. 数据输出时序

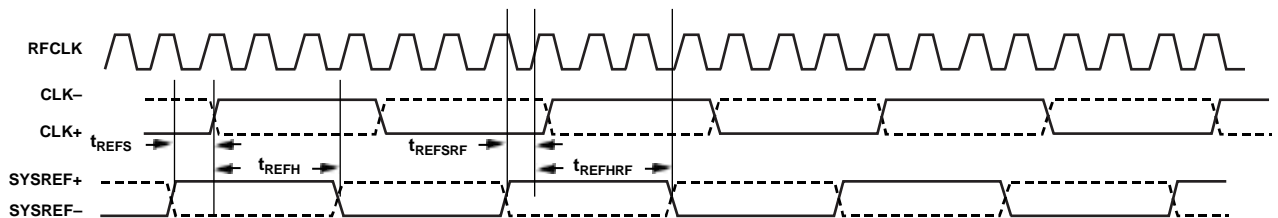


图3. SYSREF±建立和保持时间

绝对最大额定值

表6.

参数	额定值
电气参数	
AVDD至AGND	-0.3 V至+2.0 V
DRVDD至AGND	-0.3 V至+2.0 V
DVDD至 DGND	-0.3 V至+2.0 V
VIN+A/VIN+B, VIN-A/VIN-B至AGND	-0.3 V至AVDD + 0.2 V
CLK+, CLK-至AGND	-0.3 V至AVDD + 0.2 V
RFCLK至AGND	-0.3 V至AVDD + 0.2 V
VCM至AGND	-0.3 V至AVDD + 0.2 V
\overline{CS} , PDWN至AGND	-0.3 V至AVDD + 0.3 V
SCLK至AGND	-0.3 V至AVDD + 0.3 V
SDIO至AGND	-0.3 V至AVDD + 0.3 V
\overline{RST} 至DGND	-0.3 V至DVDD + 0.3 V
FDA、FDB至DGND	-0.3 V至DVDD + 0.3 V
SERDOUT0+, SERDOUT0-, SERDOUT1+, SERDOUT1-至AGND	-0.3 V至DRVDD + 0.3 V
SYNCINB+, SYNCINB-至DGND	-0.3 V至DVDD + 0.3 V
SYSREF+, SYSREF-至AGND	-0.3 V至AVDD + 0.3 V
环境参数	
工作温度范围(环境)	-40°C至+85°C
偏置条件下的最大结温	150°C
存储温度范围(环境)	-65°C至+125°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

LFCSP封装的裸露焊盘必须焊接到接地层。这样可提高焊点可靠性，从而最大限度发挥封装的热性能。

表7. 热阻

封装类型	气流速度 (m/s)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	单位
48引脚LFCSP	0	25	2	14	°C/W
7 mm × 7 mm (CP-48-13)	1.0	22			°C/W
	2.5	20			°C/W

¹ 按照JEDEC 51-7，加上JEDEC 25-5 2S2P测试板。

² 按照JEDEC JESD51-2(静止空气)或JEDEC JESD51-6(流动空气)。

³ 按照MIL-STD-883、方法1012.1。

⁴ 按照JEDEC JESD51-8(静止空气)。

θ_{JA} 典型值的测试条件为带实接地层的4层印刷电路板(PCB)。如表7所示，气流可改善散热，从而降低 θ_{JA} 。另外，直接与封装引脚接触的金属，包括金属走线、通孔、接地层、电源层，可降低 θ_{JA} 。

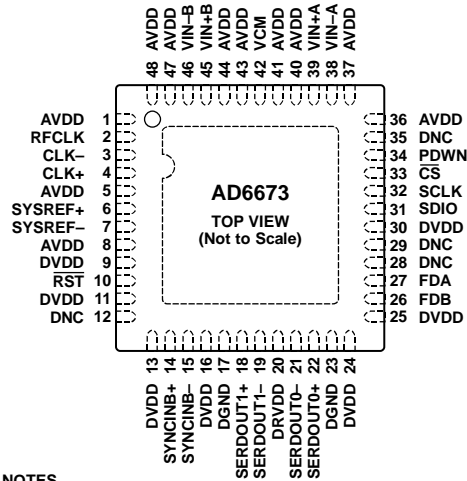
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED THERMAL PADDLE ON THE BOTTOM OF THE PACKAGE PROVIDES THE GROUND REFERENCE FOR DRVDD AND AVDD. THIS EXPOSED PADDLE MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

10832-004

图4. 引脚配置(顶视图)

表8. 引脚功能描述

引脚编号	引脚名称	类型	描述
ADC电源			
1, 5, 8, 36, 37, 40, 41, 43, 44, 47, 48	AVDD	电源	模拟电源(标称值1.8 V)。
9, 11, 13, 16, 24, 25, 30	DVDD	电源	数字电源(标称值为1.8 V)。
12, 28, 29, 35	DNC		不连接。
17, 23	DGND		DVDD的接地基准。
20	DRVDD	电源	JESD204B PHY串行输出驱动器电源(标称值1.8 V)。 注意, DRVDD电源以AGND层为基准。
裸露焊盘	AGND/DRGND	地	封装底部的裸露热焊盘为DRVDD和AVDD提供接地基准。 该焊盘必须与地相连, 才能正常工作。
ADC模拟			
2	RFCLK	输入	ADC RF时钟输入。
3	CLK-	输入	ADC奈奎斯特时钟输入—补码。
4	CLK+	输入	ADC奈奎斯特时钟输入—真值。
38	VIN-A	输入	通道A的差分模拟输入引脚(-)。
39	VIN+A	输入	通道A的差分模拟输入引脚(+)
42	VCM	输出	模拟输入的共模电平偏置输出。 利用一个0.1 μ F电容将此引脚去耦至地。
45	VIN+B	输入	通道B的差分模拟输入引脚(+)
46	VIN-B	输入	通道B的差分模拟输入引脚(-)。
ADC快速检测输出			
26	FDB	输出	通道B快速检测指示器(CMOS电平)。
27	FDA	输出	通道A快速检测指示器(CMOS电平)。
数字输入			
6	SYSREF+	输入	JESD204B LVDS SYSREF低电平有效输入—真值。
7	SYSREF-	输入	JESD204B LVDS SYSREF低电平有效输入—补码。
14	SYNCINB+	输入	JESD204B LVDS SYNC低电平有效输入—真值。
15	SYNCINB-	输入	JESD204B LVDS SYNC低电平有效输入—补码。

AD6673

引脚编号	引脚名称	类型	描述
数据输出			
18	SERDOUT1+	输出	通道B CML输出数据—真值。
19	SERDOUT1-	输出	通道B CML输出数据—补码。
21	SERDOUT0-	输出	通道A CML输出数据—补码。
22	SERDOUT0+	输出	通道A CML输出数据—真值。
DUT控制			
10	$\overline{\text{RST}}$	输入	数字复位(低电平有效)。
31	SDIO	输入/输出	SPI串行数据I/O。
32	SCLK	输入	SPI串行时钟。
33	$\overline{\text{CS}}$	输入	SPI片选(低电平有效)。
34	PDWN	输入	掉电输入(高电平有效)。此引脚的操作取决于SPI模式,可配置为掉电或待机(参见表17)。

典型性能参数

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、DVDD = 1.8 V、采样速率为250 MSPS、DCS使能、1.75 V p-p差分输入、VIN = -1.0 dBFS、32k采样、 $T_A = 25^\circ\text{C}$ 、链路参数为M = 2和L = 2。

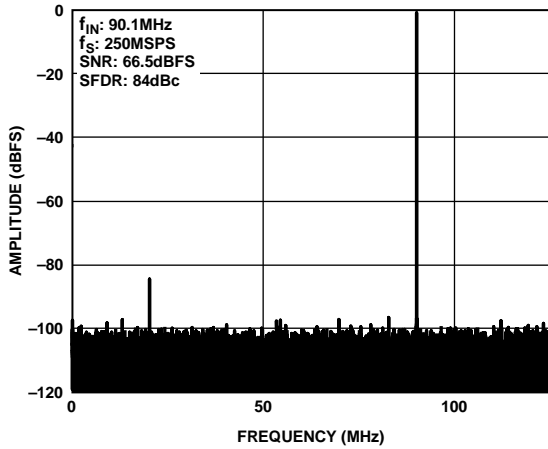


图5. AD6673-250单音FFT ($f_{IN} = 90.1 \text{ MHz}$)

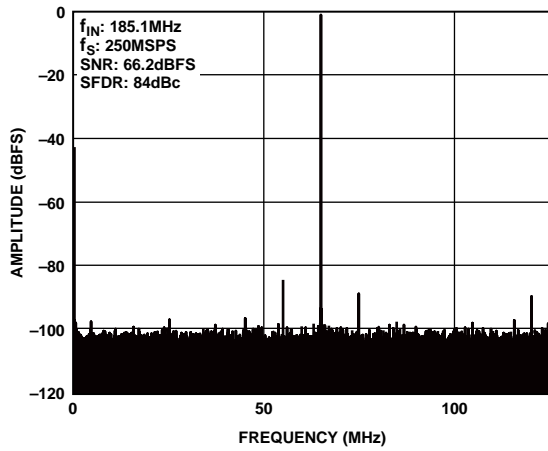


图6. AD6673-250单音FFT ($f_{IN} = 185.1 \text{ MHz}$)

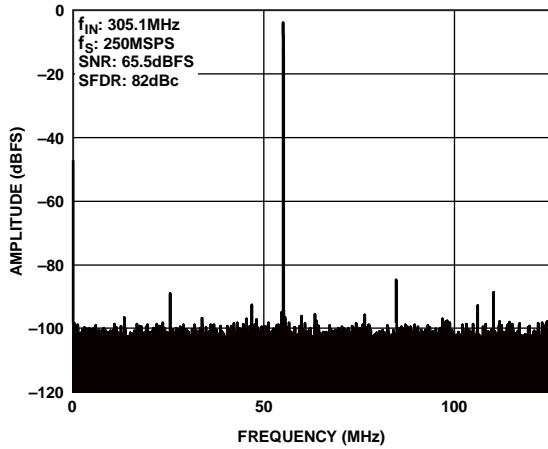


图7. AD6673-250单音FFT ($f_{IN} = 305.1 \text{ MHz}$)

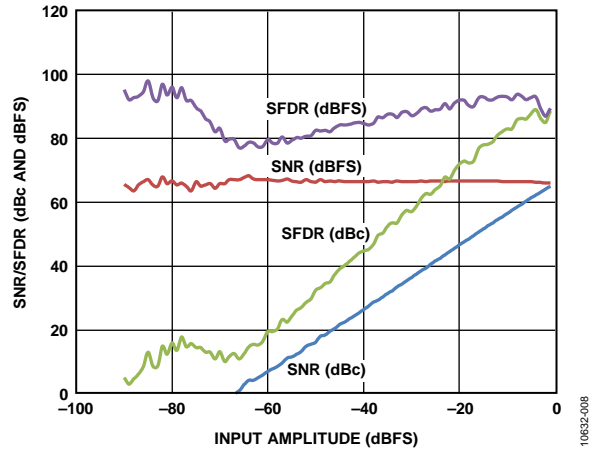


图8. AD6673-250单音SNR/SFDR与输入幅度(A_{IN})的关系 ($f_{IN} = 185.1 \text{ MHz}$)

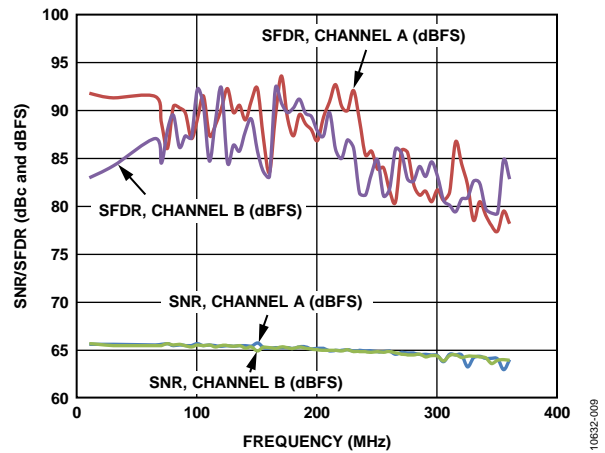


图9. AD6673-250单音SNR/SFDR与输入频率(f_{IN})的关系

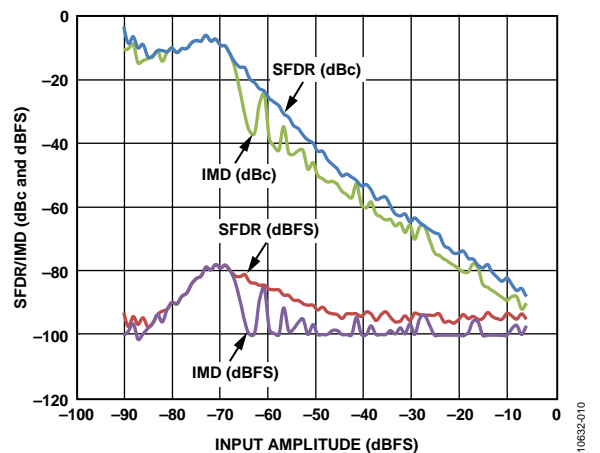


图10. AD6673-250双音SFDR/IMD3与输入幅度(A_{IN})的关系 ($f_{IN1} = 89.12 \text{ MHz}$, $f_{IN2} = 92.12 \text{ MHz}$)

AD6673

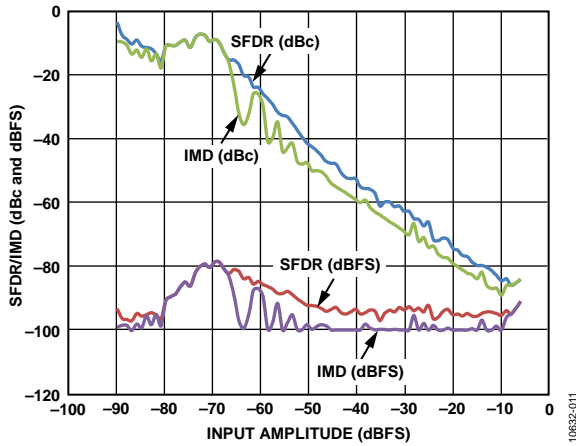


图11. AD6673-250双音SFDR/IMD3与输入幅度(A_{IN})的关系 ($f_{IN1} = 184.12 \text{ MHz}$, $f_{IN2} = 187.12 \text{ MHz}$)

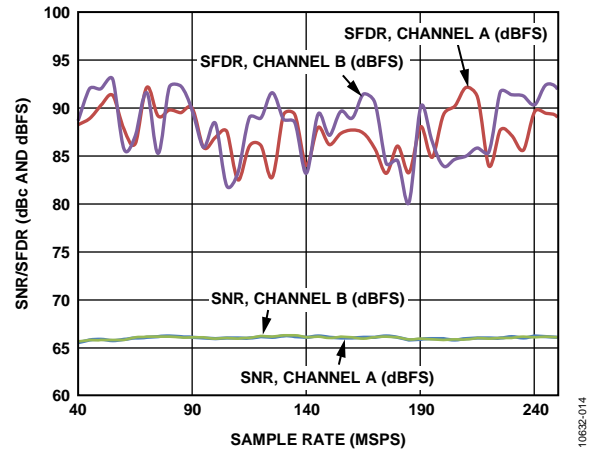


图14. AD6673-250单音SNR/SFDR与采样率(f_s)的关系($f_{IN} = 90.1 \text{ MHz}$)

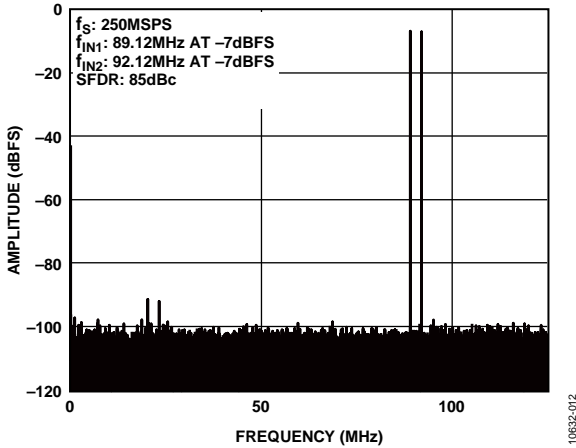


图12. AD6673-250双音FFT ($f_{IN1} = 89.12 \text{ MHz}$, $f_{IN2} = 92.12 \text{ MHz}$)

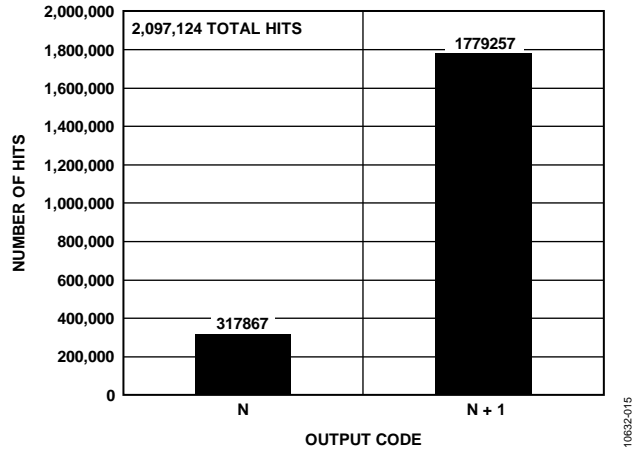


图15. AD6673-250接地输入直方图

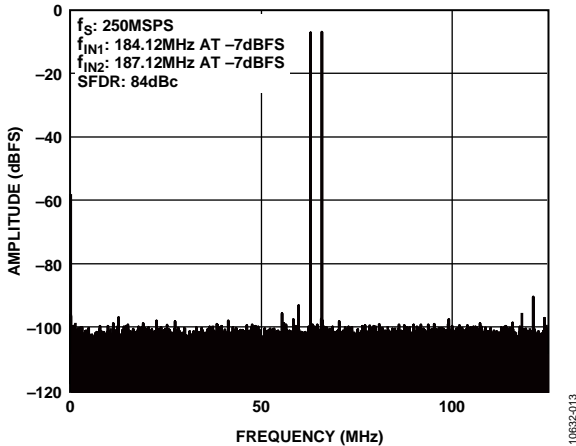


图13. AD6673-250双音FFT ($f_{IN1} = 184.12 \text{ MHz}$, $f_{IN2} = 187.12 \text{ MHz}$)

等效电路

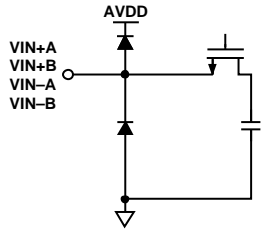


图16. 等效模拟输入电路

10632-016

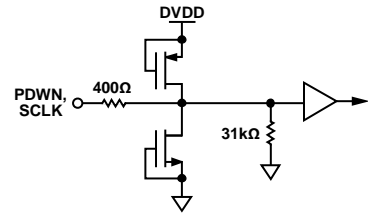


图21. 等效SCLK或PDWN输入电路

10632-021

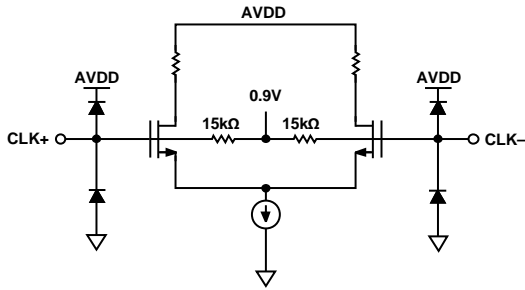


图17. 等效时钟输入电路

10632-017

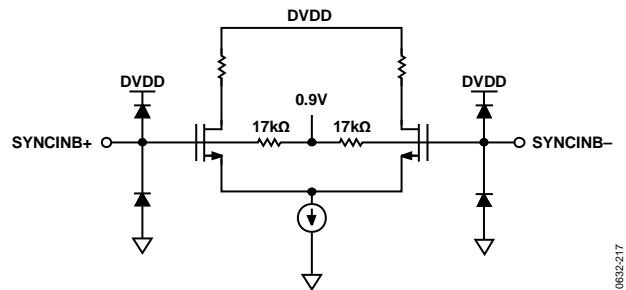


图22. 等效SYNCINB±输入电路

10632-217

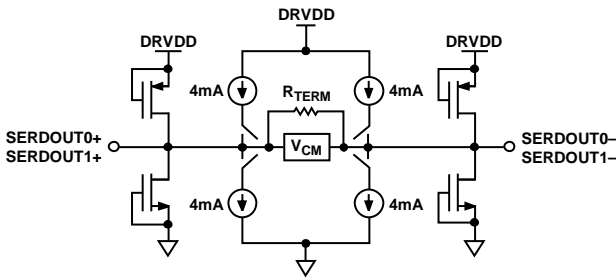


图18. 数字CML输出电路

10632-019

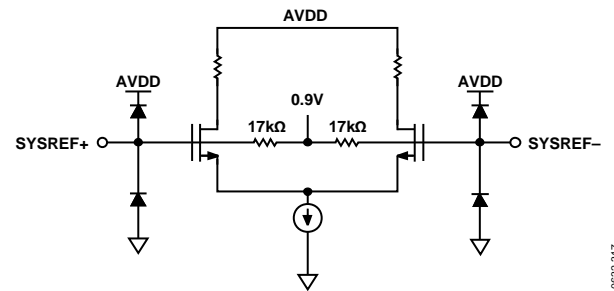


图23. 等效SYSREF±输入电路

10632-317

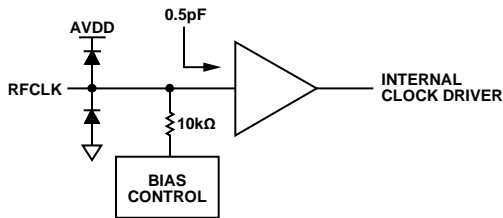


图19. 等效RF时钟输入电路

10632-018

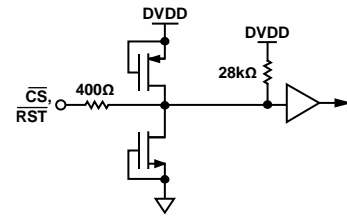


图24. 等效CS或RST输入电路

10632-020

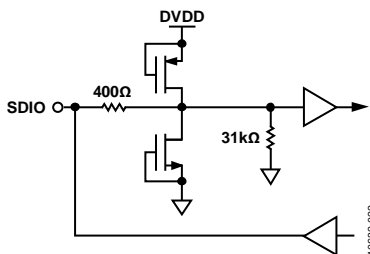


图20. 等效SDIO电路

10632-022

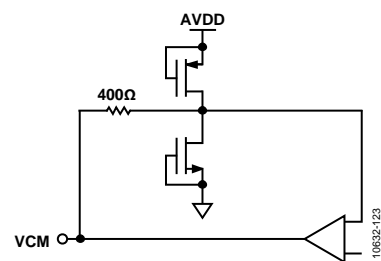


图25. 等效VCM电路

10632-123

工作原理

AD6673具有两个模拟输入通道和两个JESD204B输出通道。信号需要经过多级才能出现在输出端口。

双ADC设计可用于信号分集接收；两个ADC以相同方式处理来自两个独立天线的相同载波。另外，两个ADC还可处理相互独立的模拟输入信号。用户能够借助ADC输入端的低通滤波器或带通滤波器，对从直流到300 MHz频率范围内的信号进行采样，且不会明显降低ADC的性能。ADC可对400 MHz模拟输入信号进行处理，但这会加大ADC的噪声和失真。

同步功能用于多个器件之间的同步定时。

借助一个三线型SPI兼容的串行接口，可对AD6673进行编程和控制。

ADC架构

AD6673架构由一个双前端采样保持电路和其后的流水线型开关电容ADC组成。各个级的量化输出组合在一起，在数字校正逻辑中最终形成一个11位转换结果。或者，将11位结果发送至数字校正逻辑前可通过NSR模块予以处理。

流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。

除最后一级以外，流水线的每一级都包括一个低分辨率Flash型ADC、一个开关电容数模转换器(DAC)和一个级间余量放大器(MDAC)。MDAC用于放大重构DAC输出与闪存型输入之间的差，以用于流水线的下一级。为了便于实现Flash误差的数字校正，每一级设定了一位冗余量。最后一级仅由一个闪存型ADC组成。

每个通道的输入级包含一个差分采样电路，可在差分或单端模式下完成交流耦合或直流耦合。输出级模块能够实现数据对准、错误校正，且能将数据传输到输出缓冲器。输出缓冲器需要单独供电，以便将数字输出噪声与模拟内核隔离。

AD6673双通道中频接收机可同时数字化两个通道，非常适合电信系统中的分集接收和数字预失真(DPD)观测路径。双通道中频接收机设计可用于信号分集接收；两个ADC以相同方式处理来自两个独立天线的相同载波。另外，两个ADC还可处理相互独立的模拟输入信号。用户能够借助ADC输入端的低通滤波器或带通滤波器，输入从直流到300 MHz频率的信号，且不会明显降低ADC的性能。ADC可对400 MHz模拟输入信号进行处理，但这会加大ADC的噪声

和失真。同步功能用于多个器件之间的同步定时。借助一个三线型SPI兼容的串行接口，可对AD6673进行编程和控制。

模拟输入考虑

AD6673的模拟输入端是一个差分开关电容电路，其处理差分输入信号的性能极佳。

输入根据时钟信号，在采样模式和保持模式之间切换(参见图26所示配置)。当输入切换到采样模式时，信号源必须能够对采样电容充电，且在半个时钟周期内完成建立。

每个输入端都串联一个小电阻，可以降低驱动源输出级所需的峰值瞬态电流。在两个输入端之间可配置一个并联电容，以提供动态充电电流。此无源网络能在ADC输入端形成低通滤波器；因此，模数转换的精度取决于应用。

在中频(IF)欠采样应用中，需要去掉并联电容。因为并联电容与驱动源阻抗共同作用，会限制输入带宽。关于此话题的更多信息，请参阅应用笔记AN-742：“开关电容ADC的频域响应”、应用笔记AN-827：“放大器与开关电容ADC接口的谐振匹配方法”和Analog Dialogue的文章：“用于宽带模数转换器的变压器耦合前端”。

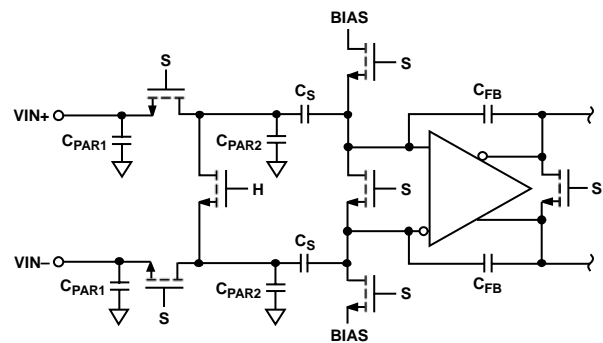


图26. 开关电容输入

为实现最佳动态性能，必须保证驱动VIN+的源阻抗与驱动VIN-的源阻抗相匹配，并且使输入保持差分平衡。

输入共模

AD6673的模拟输入端无内部直流偏置。在交流耦合应用中，用户必须提供外部偏置。建议将器件设置成 $V_{CM} = 0.5 \times AVDD$ (或0.9 V)，以实现最佳性能。芯片通过VCM引脚提供板上共模基准电压。建议使用VCM输出设置输入共模。通过VCM引脚提供模拟输入共模电压(典型值为 $0.5 \times AVDD$)时，可实现芯片的最佳性能。必须用一个0.1 μ F电容对VCM引脚去耦到地，如“应用信息”部分所述。将该去耦电容放在该引脚附近，以便将器件与该电容间的串联电阻和电感降至最低。

差分输入配置

通过差分输入配置驱动AD6673时，可实现芯片的最佳性能。在基带应用中，AD8138、ADA4937-2、ADA4938-2和ADA4930-2差分驱动器能够为ADC提供出色的性能和灵活的接口。

通过AD6673的VCM引脚，可以方便地设置ADA4930-2的输出共模电压(见图27)；驱动器可以配置为Sallen-Key滤波器拓扑电路结构，从而对输入信号进行带宽限制。

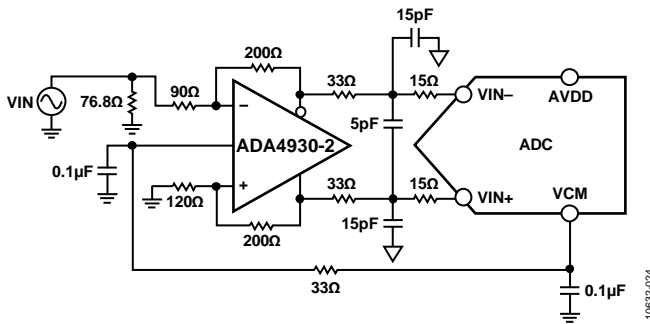


图27. 利用ADA4930-2进行差分输入配置

在SNR为关键参数的基带应用中，建议使用的输入配置是差分变压器耦合，实例如图28所示。为实现模拟输入偏置，可将VCM电压连接到变压器次级绕组的中心抽头处。

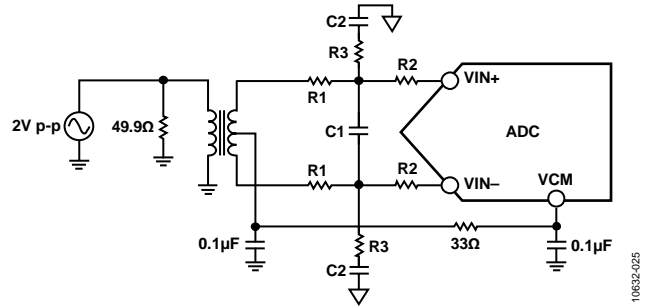


图28. 差分变压器耦合配置

选择变压器时，需考虑其信号特性。大多数射频变压器在工作频率低于几兆赫兹时，产生饱和现象。信号功率过大也可导致磁芯饱和，从而导致失真。

当输入频率处于第二或更高奈奎斯特区域时，大多数放大器的噪声性能无法满足要求以达到AD6673真正的SNR性能。在SNR为关键参数的应用中，建议使用的输入配置是差分双巴伦耦合(见图29)。在这种配置中，输入交流耦合，VCM电压通过一个33 Ω 电阻提供给各输入。这些电阻补偿输入巴伦的损耗，向驱动器提供50 Ω 阻抗。

在双巴伦和变压器配置中，输入电容和电阻的值取决于输入频率和源阻抗。基于这些参数，可能需要调整输入电阻和电容值，或者需要移除一些元件。表9列出了不同输入频率范围下设置RC网络的建议值。不过，这些值取决于输入信号和带宽，且只能用作初始参考。请注意，表9中给出的值分别用于图28和图29中的R1、R2、C1、C2和R3元件。

表9. RC网络示例

频率范围 (MHz)	串联电阻 R1 (Ω)	差分电容 C1 (pF)	串联电阻 R2 (Ω)	并联电容 C2 (pF)	并联电阻 R3 (Ω)
0至100	33	8.2	0	15	49.9
100至300	15	3.9	0	8.2	49.9

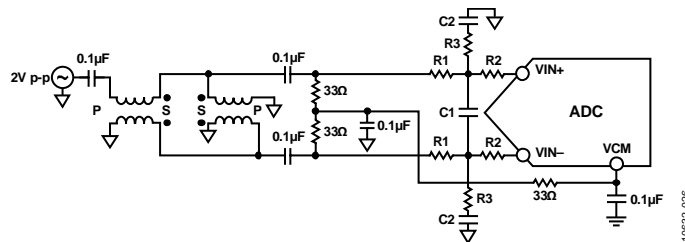
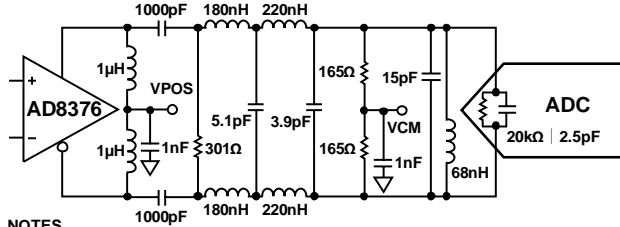


图29. 差分双巴伦输入配置

AD6673

频率在第二奈奎斯特区域内的时候，除了使用变压器耦合输入外，还可以使用可变增益放大器。数字可变增益放大器(DVGA) AD8375或AD8376具备驱动AD6673所需的良好性能。图30显示了一个由AD8376通过一个带通抗混叠滤波器驱动AD6673的例子。



- NOTES
1. ALL INDUCTORS ARE COILCRAFT® 0603CS COMPONENTS WITH THE EXCEPTION OF THE 1μH CHOKE INDUCTORS (COILCRAFT 0603LS).
 2. FILTER VALUES SHOWN ARE FOR A 20MHz BANDWIDTH FILTER CENTERED AT 140MHz.

图30. 利用AD8376进行差分输入配置

基准电压源

AD6673内置稳定、精确的基准电压源。可通过用SPI改变基准电压来调整满量程输入范围。ADC输入范围跟随基准电压呈线性变化。

时钟输入考虑

AD6673可通过两种方式产生输入采样时钟，一种是差分奈奎斯特采样时钟输入，另一种是RF时钟输入(在内部进行4分频)。时钟输入可通过寄存器0x09选择，默认配置为奈奎斯特时钟输入。为了充分发挥芯片的性能，应利用一个差分信号作为AD6673奈奎斯特采样时钟输入端(CLK+和CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到CLK+和CLK-引脚内。CLK+和CLK-引脚有内部偏置(见图31)，无需外部偏置。如果这些时钟输入悬空，应拉低CLK-，使其略低于CLK+，以防止杂散时钟。

奈奎斯特时钟输入选项

AD6673奈奎斯特时钟输入支持40 MHz至625 MHz的差分时钟。时钟输入结构支持的差分输入电压范围为0.3 V至3.6 V，因此兼容多种逻辑系列的输入，如CMOS、LVDS和LVPECL。它还支持正弦波输入，但通常较高的压摆率可提供更佳的性能。如“抖动考虑”部分所述，时钟源的抖动是影响性能的重要参数。如果这些输入悬空，应将CLK-引脚拉低以防止杂散时钟。

奈奎斯特时钟输入引脚(CLK+和CLK-)内部偏置为0.9 V，与10 kΩ并联时典型输入阻抗为4 pF(见图31)。通常，输入时钟与CLK+和CLK-交流耦合。图32至35显示一些典型的时钟驱动电路，供参考。

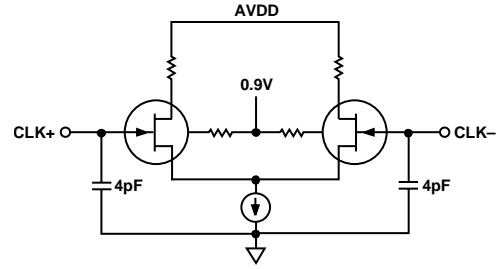


图31. 等效奈奎斯特时钟输入电路

对于单端低抖动时钟为40 MHz至200 MHz之间的应用，建议使用RF变压器。图32表示在时钟网络中使用RF变压器的实例。对于超出200 MHz的频率，建议使用RF巴伦，如图33所示。跨接在变压器次级上的背对背肖特基二极管可以将输入到AD6673中的时钟信号限制为约差分0.8 V峰峰值。这样，既可以防止时钟的大电压摆幅馈通至AD6673的其它部分，还可以保留时钟信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。

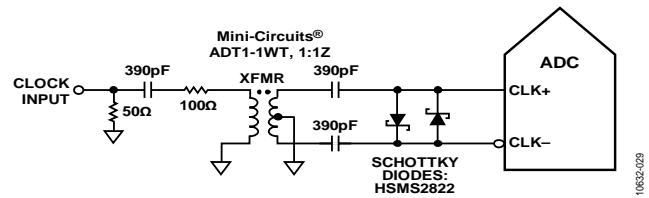


图32. 变压器耦合差分时钟(频率可达200 MHz)

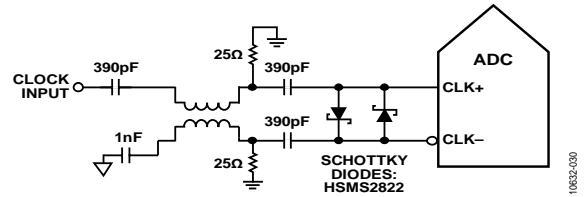


图33. 巴伦耦合差分时钟(频率可达625 MHz)

某些情况下，需要从单个信号源缓冲或产生多个时钟信号。ADI公司提供的时钟驱动器具有良好的抖动性能，可满足这些情况的应用。图34表示典型的PECL驱动器电路，它使用诸如AD9510、AD9511、AD9512、AD9513、AD9514、AD9515、AD9516、AD9517、AD9518、AD9520、AD9522、AD9523、AD9524、ADCLK905、ADCLK907和ADCLK925等PECL驱动器。

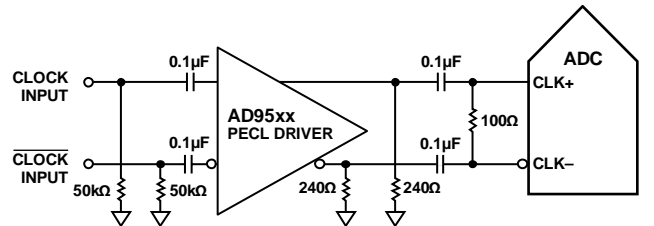


图34. 差分PECL采样时钟(频率可达625 MHz)

此外，ADI公司还提供LVDS时钟驱动器，具有良好的抖动性能。图35显示使用AD9510、AD9511、AD9512、AD9513、AD9514、AD9515、AD9516、AD9517、AD9518、AD9520、AD9522、AD9523和AD9524等LVDS驱动器的典型电路。

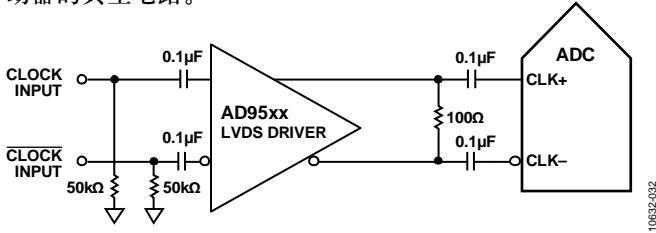


图35. 差分LVDS采样时钟(频率可达625 MHz)

RF时钟输入选项

AD6673 RF时钟输入支持625 GHz至1.5 GHz的单端时钟。图36显示等效RF时钟输入电路。该输入自偏置到0.9 V，并且通常交流耦合。与1 pF并联时，其RFCLK引脚上的典型输入阻抗为10 kΩ。

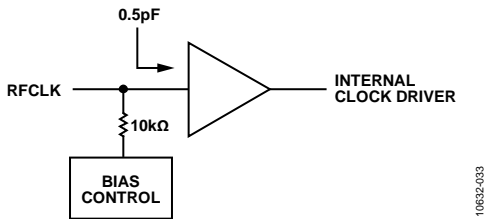


图36. 等效RF时钟输入电路

建议通过PECL或正弦波信号，以最低600 mV p-p的信号幅度驱动AD6673的RF时钟输入。无论采用哪种信号，都必须考虑到时钟源抖动(见抖动考虑部分说明)。图37显示AD6673使用RF时钟输入的首选方法。由于信号固有的高频特性，建议使用一个50 Ω的传输线，以便将时钟信号路由至AD6673的RF时钟输入；同时，将传输线端接到RF时钟输入的附近。

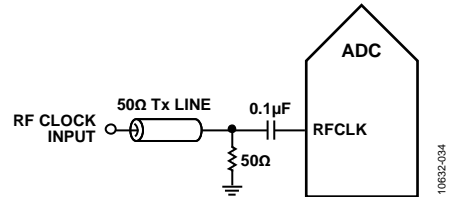


图37. 典型RF时钟输入电路

图38显示AD9515的LVPECL输出驱动AD6673的RF时钟输入。使用RF巴伦或RF变压器，可将来自AD9515的差分LVPECL输出信号转换为单端信号。建议与RF时钟输入相关的时钟频率采用该RF巴伦配置。

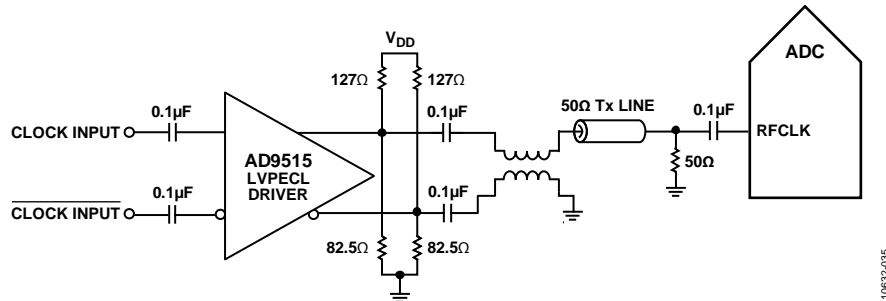


图38. 差分PECL RF时钟输入电路

AD6673

输入时钟分频器

AD6673内置一个输入时钟分频器，可对奈奎斯特输入时钟进行1至8整数倍分频。RF时钟输入通过片内预分频器，在信号到达1至8倍分频器之前，对其进行四分频。这使得RF时钟输入可达到较高的输入频率。可通过寄存器0x09和0x0B选择分频倍数。寄存器0x09用于RF时钟输入的设置，寄存器0x0B可设置1至8倍分频器的分频倍数，用于RF时钟输入和奈奎斯特时钟输入。当分频倍数不为1时，则自动使能占空比稳定器。

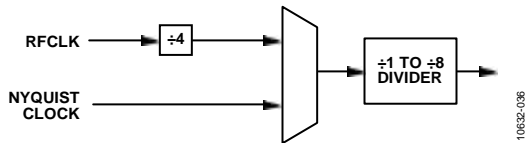


图39. AD6673时钟分频器电路

利用外部SYSREF输入信号，可同步AD6673时钟分频器。通过对寄存器0x3A的位1和位2进行写操作，可以设置每次收到SYSREF信号或者仅第一次收到信号后，对时钟分频器再同步。有效SYSREF可使时钟分频器复位至初始状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

时钟占空比

典型的高速ADC利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。通常，为保持ADC的动态性能，时钟占空比容差应为±5%。

AD6673内置一个DCS，可对非采样边沿(下降沿)进行重新定时，并提供标称占空比为50%的内部时钟信号。因此，用户可提供的时钟输入占空比范围非常广，且不会影响AD6673的性能。

输入时钟上升沿的抖动依然非常重要，且无法借助占空比稳定器降低这种抖动。当时钟速率低于40 MHz(标称值)时，占空比控制环路不起作用。当时钟速率产生动态变化时，必须考虑与环路相关的时间常量。在DCS环路重新锁定输入信号前，都需要等待1.5 μs至5 μs的时间。在环路处于非锁定状态时，DCS环路被旁路，内部器件定时取决于输入时钟信号的占空比。在此类应用中，建议禁用占空比稳定器。在所有其它应用中，建议使能DCS电路，以便获得最佳交流性能。

抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率(f_{IN})下，由于抖动(t_{jRMS})造成的信噪比(SNR)下降计算公式如下：

$$SNR_{HF} = -10 \log[(2\pi \times f_{IN} \times t_{jRMS})^2 + 10^{-SNR_{LF}/10}]$$

公式中，均方根孔径抖动表示所有抖动源(包括时钟输入信号和模拟输入信号和ADC孔径抖动规格)的均方根。中频欠采样应用对抖动尤其敏感(如图40所示)。

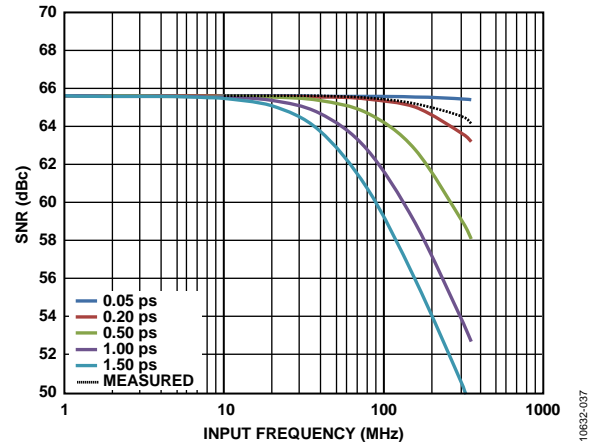


图40. AD6673-250信噪比与输入频率和抖动的关系

当孔径抖动可能影响AD6673的动态范围时，应将时钟输入信号视为模拟信号。将时钟驱动器电源与ADC输出驱动器电源分离，以免在时钟信号内混入数字噪声。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法)，则需要在最后一步中利用原始时钟进行重定时。

如需了解更多与ADC相关的抖动性能信息，请参阅应用笔记AN-501：“孔径不确定性与ADC系统性能”和应用笔记AN-756：“采样系统与时钟相位噪声和抖动的影响”。

功耗和待机模式

如图41所示，AD6673的功耗与其采样速率成比例关系。图41中的数据是采用与“典型性能参数”部分相同的工作条件得出。

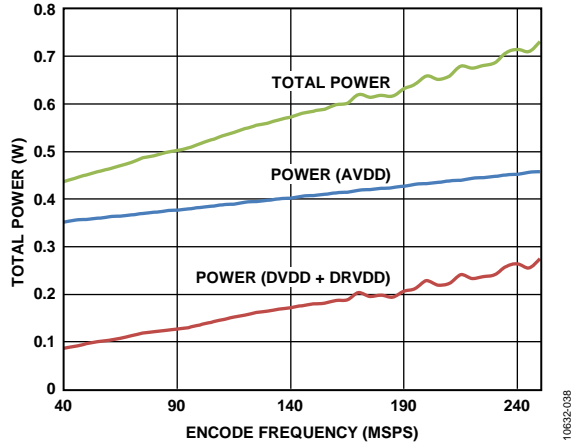


图41. AD6673-250功率与编码速率的关系

置位PDWN(通过SPI端口或将PDWN引脚置位高电平),可使AD6673进入掉电模式。在这种状态下,ADC的典型功耗约为9 mW。将PDWN引脚置位低电平后,AD6673返回正常工作模式。

在掉电模式下,通过关闭基准电压、基准电压缓冲器、偏置网络以及时钟,可实现低功耗。进入掉电模式时,内部电容放电;返回正常工作模式时,内部电容必须重新充电。因此,唤醒时间与处于掉电模式的时间有关;处于掉电模式的时间越短,则相应的唤醒时间越短。

使用SPI端口接口时,用户可将ADC置于掉电模式或待机模式。如需较短的唤醒时间,可以使用待机模式,该模式下内部基准电压电路处于通电状态。欲了解更多信息,请参阅“存储器映射寄存器描述”部分或应用笔记AN-877:“通过SPI与高速ADC接口”。

噪声整形再量化器

AD6673具有NSR，可在奈奎斯特频带子集内维持高于11位的SNR。接收机的谐波性能不受NSR特性影响。使能时，NSR给输入信号带来0.6 dB的额外损耗，使得输出引脚上的0 dBFS输入降至-0.6 dBFS。

NSR特性可针对每一通道通过SPI独立控制。

同时提供两种不同的带宽模式；可通过SPI端口选择。每种模式下，频带的中心频率可调谐，使IF可以是奈奎斯特频带范围内的任何频率。

22%带宽模式(184.32 MSPS时>40 MHz)

第一种带宽模式在22%的ADC采样速率下(奈奎斯特频带的44%)提供极佳的噪声性能，并可通过将NSR控制寄存器的NSR模式位(地址0x3C)设为0来确定中心。在此模式下，可使用NSR调谐寄存器中的6位调谐字(地址0x3E)设置有用的频率范围。共有57个可能调谐字(TW)，每步为ADC采样速率的0.5%。以下三个公式分别描述左频带边沿(f_0)、通道中心(f_{CENTER})和右频带边沿(f_1)：

$$f_0 = f_{ADC} \times .005 \times TW$$

$$f_{CENTER} = f_0 + 0.11 \times f_{ADC}$$

$$f_1 = f_0 + 0.22 \times f_{ADC}$$

图42至图44显示AD6673在三个不同调谐字、22%带宽模式下可以获得的典型频谱。

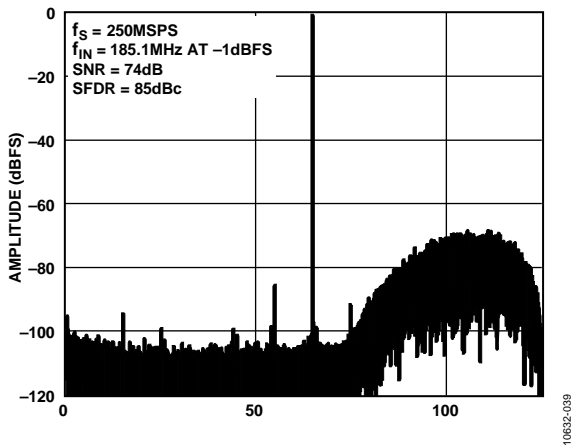


图42. 22%带宽模式，调谐字 = 13

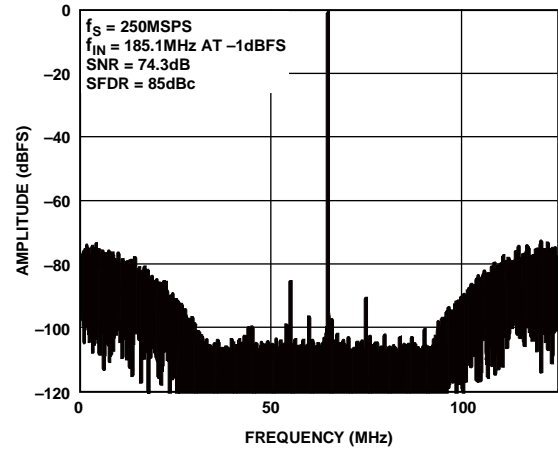


图43. 22%带宽模式，调谐字 = 28($f_s/4$ 调谐)

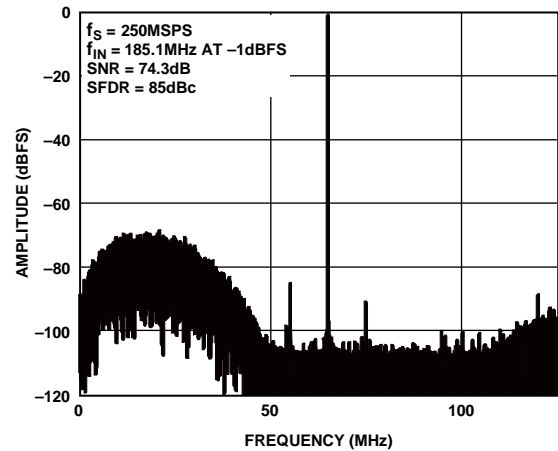


图44. 22%带宽模式，调谐字 = 41

33%带宽模式(184.32 MSPS时>60 MHz)

第二种带宽模式在33%的ADC采样速率下(奈奎斯特频带的66%)提供极佳的噪声性能, 并可通过将NSR控制寄存器的NSR模式位(地址1x3C)设为0来确定中心。在此模式下, 可使用NSR调谐寄存器中的6位调谐字(地址0x3E)设置有用的频率范围。共有57个可能调谐字(TW); 每步为ADC采样速率的0.5%。以下三个公式分别描述左频带边沿(f_0)、通道中心(f_{CENTER})和右频带边沿(f_1):

$$f_0 = f_{ADC} \times .005 \times TW$$

$$f_{CENTER} = f_0 + 0.165 \times f_{ADC}$$

$$f_1 = f_0 + 0.33 \times f_{ADC}$$

图45至图47显示AD6673在三个不同调谐字、33%带宽模式下可以获得的典型频谱。

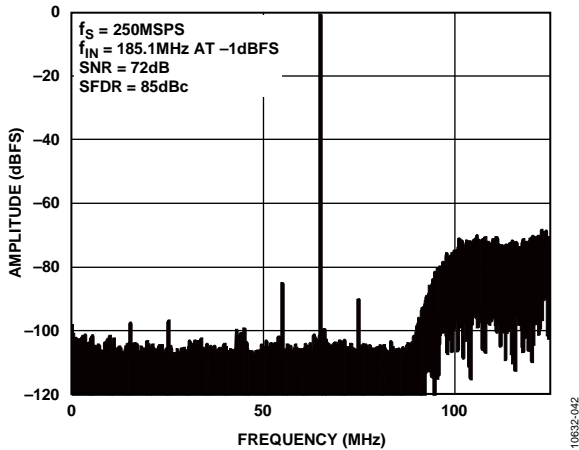


图45. 33%带宽模式, 调谐字 = 5

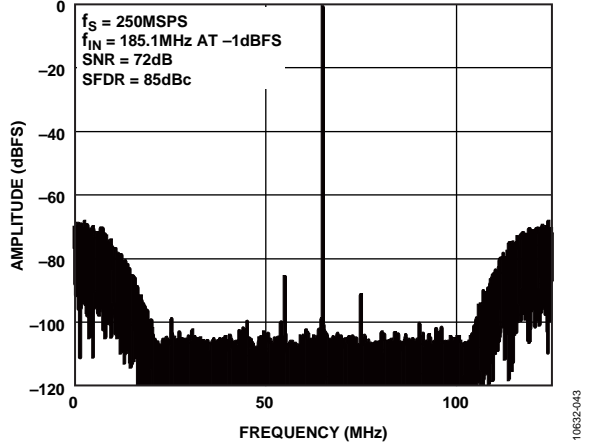


图46. 33%带宽模式, 调谐字 = 17($f_s/4$ 调谐)

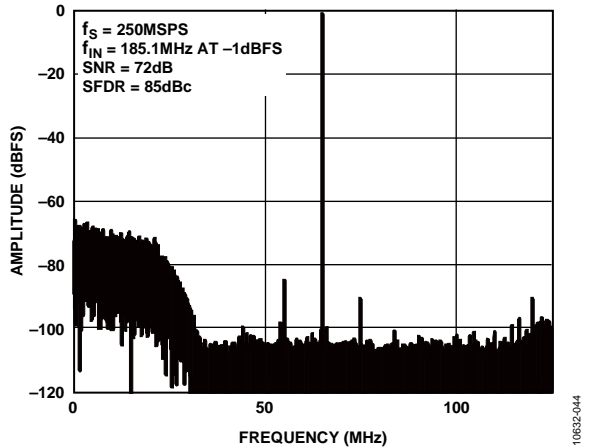


图47. 33%带宽模式, 调谐字 = 27

数字输出

JESD204B发送顶层描述

AD6673数字输出采用JEDEC标准(标准号: JESD204B, 数据转换器串行接口)。JESD204B是AD6673通过串行接口(最高5 Gbps链路速度, 11位ADC数据速率为2.75 Gbps)连接数字处理设备的协议。JESD204B接口的优势包括: 数据接口路由所需电路板空间更少, 以及转换器和逻辑器件的封装更小。AD6673支持单通道和双通道接口。

JESD204B概述

JESD204B数据发送模块可将来自ADC的并行数据组合成数据帧, 并使用8b/10b编码以及可选数据加扰技术, 输出串行数据。在初始链路的建立过程中, 使用特殊字符可支持通道同步; 而额外的同步则在随后的数据流中实现。需要使相匹配的外部接收机锁定在串行数据流上, 并恢复数据和时钟。更多有关JESD204B接口的详细信息, 请参见JESD204B标准。

AD6673 JESD204B发送模块将两个ADC的输出映射到链路上。链路可配置为使用单路或双路串行差分输出, 称为通道。JESD204B规格表示多个定义链路的参数, 并且这些参数必须使JESD204B发射机(AD6673的输出)和接收机相匹配。

JESD204B链路可通过下列参数描述:

- S = 传送的样本/单个转换器/帧周期(AD6673的数值为1)
- M = 转换器数/转换器(AD6673的数值为2)
- L = 通道数/转换器(AD6673的数值为1或2)
- N = 转换器分辨率(AD6673的数值为11)
- N' = 每样本的总位数(AD6673的数值为16)
- CF = 控制字的位数/帧时钟周期/转换器(AD6673的数值为0)
- CS = 控制位的位数/转换样本数(可在AD6673上配置为最高2位)
- K = 每个多帧的帧数(可在AD6673上配置)
- HD = 高密度模式(AD6673的数值为0)
- F = 8位字/帧(AD6673的数值为2或4, 取决于相应L的值为2或1)
- C = 控制位(超量程、上溢、下溢, AD6673提供这些特性)
- T = 结束位(AD6673提供该特性)
- SCR = 加扰器使能/禁用(可在AD6673上配置)
- FCHK = JESD204B参数的校验和(自动计算并存储在寄存器映射中)

图48显示AD6673 JESD204B链路的简化框图。AD6673默认配置为使用两个转换器和两个通道。转换器A的数据输出至SERDOUT0+/SERDOUT0-, 转换器B的数据输出至SERDOUT1+/SERDOUT1-。AD6673支持其它配置, 如将两个转换器的输出组合成单通道, 或改变A和B数字输出路径的映射。这些模式可通过SPI寄存器映射中的快速配置寄存器进行设置, 并且提供额外的自定义选项。

默认情况下, 每个AD6673转换器的11位转换器字都被分为两个8位字(数据位为8位)。第一个8位字包括位0(MSB)到位7。第二个8位字包括位8到位10(LSB)、3个可通过编程设置为0或伪随机数字的位, 以及2个结束位。结束位可以配置为0、伪随机数字序列, 或指示超量程、欠量程以及有效数据条件的控制位。

可对生成的两个8位字进行加扰。加扰为可选; 该选项可在传输相似的数字数据模式时避免频谱尖峰。加扰器采用自同步、基于多项式的算法, 由方程 $1 + x^{14} + x^{15}$ 定义。接收机中的解扰器也应使用加扰器多项式的自同步版本。

之后, 这两个8位字通过8b/10b编码器进行编码。8b/10b编码器将8个数据位(1个8位字)编码为一个10位的符号。图49显示11位的数据是如何从ADC中取出、结束位如何添加、两个8位字如何加扰, 以及8位字如何被编码为两个10位符号。图49显示了默认的数据格式。

在数据链路层, 除8b/10b编码时, 都进行了字符替换, 以便接收机监控帧对齐。字符替换发生在帧和多帧的边界处, 并且它的实现取决于该过程发生在哪个边界上, 以及是否使能了加扰。

若禁用了加扰, 则采用以下措施。如果多帧中最后一帧的最后一个加扰8位字等于上一帧的最后一个8位字, 则发射机以控制字符/A/ = /K28.3/替换最后那个8位字。对于多帧中的其它帧而言, 如果帧内的最后一个8位字等于上一帧的最后一个8位字, 则发射机以控制字符/F/ = /K28.7/替换最后那个8位字。

若使能了加扰, 则采用以下措施。如果多帧中最后一帧的最后一个8位字等于0x7C, 则发射机以控制字符/A/ = /K28.3/替换最后那个8位字。对于多帧中的其它帧而言, 如果最后一个8位字等于0xFC, 则发射机以控制字符/F/ = /K28.7/替换最后那个8位字。

有关JESD204B接口的更多信息，请参见JEDEC标准(标准号：204B, 2011年7月)。5.1部分的内容包括传输层和数据格式的详细信息；5.2部分的内容包括加扰和解扰。

JESD204B同步详解

AD6673是一款JESD204B Subclass 1器件，可通过两个控制信号(SYSREF和SYNC)和一个常用器件时钟实现链路同步。SYSREF和SYNC是所有转换器实现系统级对齐的常用信号。

同步过程分三个阶段完成：代码组同步(CGS)、初始化通道对齐序列(ILAS)和数据传输。若使能加扰，则在数据传输阶段之前，数据位都不会真正进行加扰，CGS和ILAS阶段都不执行加扰。

CGS阶段

在CGS阶段，JESD204B的传送模块将传送/K28.5/字符。接收机(外部逻辑器件)必须使用时钟和数据恢复(CDR)技术，在输入数据流中定位K28.5字符。

一旦在链路通道上检测到数个连续的K28.5字符，接收机便产生一个SYSREF边沿信号，以便AD6673的传输数据建立内部的本地多帧时钟(LMFC)信号。

SYSREF边沿还可复位ADC的任意采样边沿，以使采样实例与LMFC同步。这对于在多个器件之间保持同步而言非常重要。

接收机或逻辑器件对SYNC~信号(SYNCINB±)进行去置位，并且发射机模块开始执行ILAS阶段。

ILAS阶段

在ILAS阶段中，发射机发送已知模式，接收机对齐所有通道链路并验证链路参数。

完成SYNC~的去置位后(变为高电平)，便进入ILAS阶段。发送模块开始发送4个多帧。在所需的字符中插入伪采样，以便传送完整的多帧。4个多帧包括：

- 多帧1：以/R/字符[K28.0]开始，以/A/字符[K28.3]结束。
- 多帧2：以/R/字符开始，后接/Q/[K28.4]字符，然后是14个配置8位字的链路配置参数(见表10)，最后以/A/字符结束。
- 多帧3：与多帧1相同。
- 多帧4：与多帧1相同。

数据传输阶段

在数据传输阶段，通过控制字符监控帧对齐。在帧的结尾处执行了字符替换。出现下列情况，会对发射机执行字符替换：

- 若禁用了加扰，并且帧或多帧的最后一个8位字等于上一帧的8位字
- 若使能了加扰，并且多帧的最后一个8位字等于0x7C，或帧的最后一个8位字等于0xFC

表10. ILAS阶段的14种配置8位字

编号	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)
0	DID[7:0]							
1					BID[3:0]			
2					LID[4:0]			
3	SCR				L[4:0]			
4	F[7:0]							
5					K[4:0]			
6	M[7:0]							
7	CS[1:0]				N[4:0]			
8	SUBCLASS[2:0]				N'[4:0]			
9	JESDV[2:0]				S[4:0]			
10					CF[4:0]			
11	保留，无关位							
12	保留，无关位							
13	FCHK[7:0]							

链路设置参数

以下内容展示了如何配置AD6673 JESD204B接口。配置输出的步骤包括：

1. 更改配置前先禁用通道
2. 选择快速配置选项
3. 配置详细选项
4. 检查JESD204B接口参数的校验和FCHK
5. 设置其它数字输出配置选项
6. 再次使能通道

更改配置前先禁用通道

在改变JESD204B的链路参数前，先禁用链路并保持在复位寄存器。通过向寄存器0x5F(位[0])写入逻辑1，可完成此设置。

选择快速配置选项

写入寄存器0x5E(204B快速配置寄存器)以便选择配置选项。配置选项及对应的JESD204B参数值见表13。

- 0x11 = 1个转换器，1个通道
- 0x12 = 1个转换器，2个通道
- 0x21 = 2个转换器，1个通道
- 0x22 = 2个转换器，2个通道

配置详细选项

配置结束位和控制位。

- 由于 $N' = 16$ 并且 $N = 11$ ，每个样本都有2个数据位可用于通过JESD204B链路传输额外信息。可选择结束位或控制位。默认使用数值为0b00的结束位。
- 结束位是伪数据位，通过链路发送，以使两个8位字完整；它不传送有关输入信号的任何信息。结束位可以是固定的零值(默认)，或伪随机数字(寄存器0x5F，位[6])。
- 除了结束位，还可通过寄存器0x72(位[7:6])使用一个或两个控制位。可通过寄存器0x14(位[7:5])设置结束位。

设置通道标识值。

- JESD204B支持以参数标识器件和通道。这些参数在ILAS阶段时传送，并且可通过内部寄存器访问。
- 有三个标识值：器件标识(DID)、模块标识(BID)和通道标识(LID)。DID和BID属于器件专有标识，因此可用于标识电路。

K用于设置每个多帧的帧数目。

- 根据JESD204B规格，多帧定义为一组K个连续帧，K取值范围为1至32，并且要求8位字的数量位于17至1024之间。寄存器0x70(位[7:0])默认将K值设为32。注意，K值为寄存器值加1。
- K值可更改，但必须满足一定条件。基于JESD204B快速配置中的设定，针对每一帧[F]，AD6673采用固定的8位字数值。K还必须是4的倍数，同时满足下列方程：

$$32 \geq K \geq \text{Ceil}(17/F)$$

- JESD204B规格还指定了每个多帧的8位字的个数，即 $(K \times F)$ 的范围为17至1024。F值通过快速配置设定为固定值，以确保该关系式为真。

表11. JESD204B可配置标识值

DID值	寄存器, 位	取值范围
LID(通道0)	0x67, [4:0]	0...31
LID(通道1)	0x68, [4:0]	0...31
DID	0x64, [7:0]	0...255
BID	0x65, [3:0]	0...15

加扰、SCR。

- 可通过寄存器0x6E(Bit[7])使能或禁用加扰。默认使能加扰。根据JESD204B协议，加扰仅在通道完成同步后有效。

选择通道同步选项。

大部分JESD204B接口的同步功能均默认使能，以利于典型应用。可通过以下方式，在某些情况下禁用或更改这些特性：

- 寄存器0x5F(位[3:2])可使能ILAS，默认为使能。另外，为了支持某些特定接口(如NMCD A-SL)，JESD204B接口可编程设置为禁用ILAS序列或连续重复ILAS序列。

AD6673具有某些固定的JESD204B接口参数值，具体如下：

- $[N] = 11$ ：每个寄存器的位数为11(寄存器0x72，位[3:0])
- $[N'] = 16$ ：每个样本的位数为16(寄存器0x73，位[3:0])
- $[CF] = 0$ ：控制字/帧时钟周期/转换器数为0(寄存器0x75，位[4:0])

验证只读数值：每个链路的通道数(L)、每一帧的8位字数(F)、转换器数(M)和每个转换器每一帧的样本数(S)。AD6673基于其它设置(特别是快速配置寄存器的选项)计算某些JESD204B的参数值。此处寄存器映射中的只读数值用于验证。

- $[L]$ = 每个链路的通道数可以是1或2，从寄存器0x6E(位[0])读取该值
- $[F]$ = 每一帧的8位字数可以是1、2或4，从寄存器0x6F(位[7:0])读取该值
- $[HD]$ = 高密度模式可以是0或1，从寄存器0x75(位[7])读取该值
- $[M]$ = 每个链路的转换器数可以是1或2，从寄存器0x71(位[7:0])读取该值
- $[S]$ = 每个转换器每一帧的样本数可以是1或2，从寄存器0x74(位[4:0])读取该值

检查JESD204B接口参数的校验和FCHK

JESD204B参数可通过JESD204B接口参数的校验和[FCHK]验证。每个链路都有各自相应的FCHK值。FCHK值在ILAS的第二个多帧时传送，并可通过内部寄存器读取。

校验和是表12的“编号”列中所列参数的模256求和值。校验和通过如下方式计算：在参数字段如表12所示被封装入8位字之前，将其相加。

可从寄存器0x79中读取FCHK，它用于将链路配置为从通道0输出数据。与此类似，可从寄存器0x7A中读取FCHK，它用于将链路配置为从通道1输出数据。

表12. 用于ILAS和校验和计算的JESD204B配置表

编号	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)
0	DID[7:0]							
1					BID[3:0]			
2				LID[4:0]				
3	SCR			L[4:0]				
4	F[7:0]							
5				K[4:0]				
6	M[7:0]							
7	CS[1:0]			N[4:0]				
8	SUBCLASS[2:0]			N'[4:0]				
9	JESDV[2:0]			S[4:0]				
10				CF[4:0]				

其它数字输出配置选项

其它数据格式控制包括：

- 串行输出数据极性反转：寄存器0x60，位[1]
- ADC数据格式(偏移二进制、二进制补码、格雷码)：寄存器0x14的位[1:0]；
- 解读SYSREF±和SYNCINB±上信号的选项：寄存器0x3A
- 重映射转换器和通道分配的选项：寄存器0x82和0x83图48给出了简化框图。

配置后再次使能通道

更改JESD204B链路参数后，应使能链路通道以便开始同步。通过向寄存器0x5F(位[0])写入逻辑0，可完成此设置。

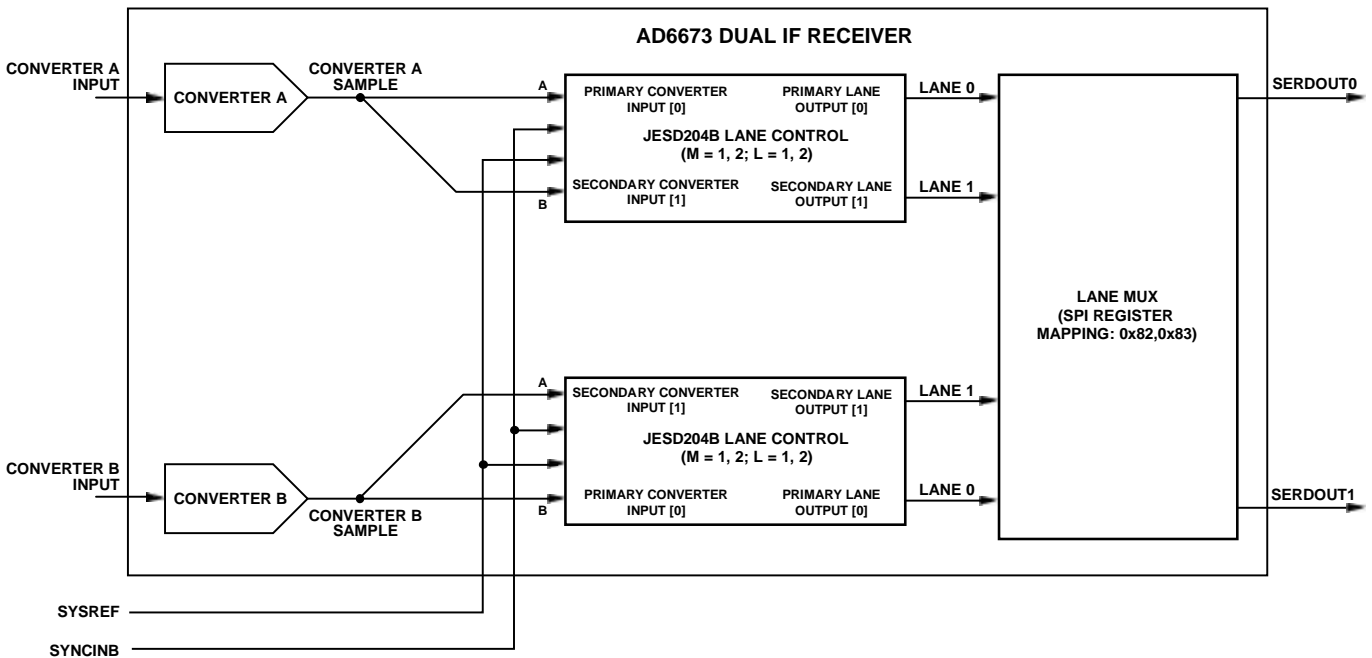


图48. AD6673传输链路简化功能框图

10632-045

AD6673

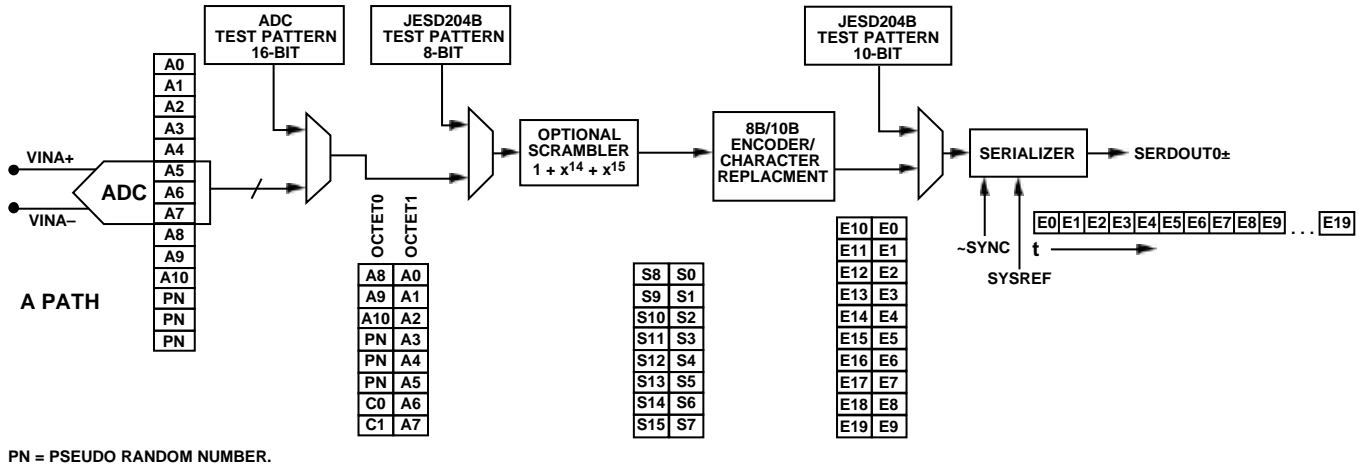


图49. AD6673 JESD204B通道的数字处理

表13. AD6673 JESD204B典型配置

JESD204B 配置设定	M(转换器数, 寄存器0x71, 位[7:0])	L(通道数, 寄存器0x6E, 位[0])	F(8位字/帧, 寄存器0x6F, 位[7:0], 只读)	S(样本/ADC/帧, 寄存器0x74, 位[4:0], 只读)	HD(高密度模式, 寄存器0x75, 位[7], 只读)
0x11	1	1	2	1	0
0x12	1	2	1	1	1
0x21	2	1	4	1	0
0x22(默认)	2	2	2	1	0



图50. AD6673 ADC输出数据路径

表14. AD6673 JESD204B帧排列监控和校正替换字符

加扰	通道同步	需要替换的字符	是否为多帧中的最后8位字	替换字符
关闭	开启	帧中的最后8位字重复前一帧内容	否	K28.7
关闭	开启	帧中的最后8位字重复前一帧内容	是	K28.3
关闭	关闭	帧中的最后8位字重复前一帧内容	不适用	K28.7
开启	开启	帧中的最后8位字等于D28.7	否	K28.7
开启	开启	帧中的最后8位字等于D28.3	是	K28.3
开启	关闭	帧中的最后8位字等于D28.7	不适用	K28.7

帧和通道的排列监控与校正

帧排列监控和校正都属于JESD204B规范的部分内容。11位字需要占用两个8位字才能完成所有数据的传送。两个8位字(MSB和LSB, F = 2)组成一帧。正常工作条件下, 通过排列字符实现帧排列监控; 满足一定条件时可插入帧的尾部。表14总结了可进行字符插入的条件, 以及各种工作模

式下的期望字符。若使能通道同步, 则替换字符值取决于8位字是位于单帧的尾部, 还是位于多帧的尾部。

通过正确接收替换字符, 接收机可保证在不同工作模式下依然与帧边界同步。

数字输出和时序

AD6673 上电时，默认具有差分数字输出。驱动器电流来自芯片，并将各输出端的输出电流设置为标称值 4 mA。每个输出都具有 100 Ω 的动态内部端接电阻，可降低反射干扰。

在每个接收机的输入端放置一个 100 Ω 差分端接电阻，可实现额定 300 mV 的接收机峰峰值摆幅(见图 51)。也可使用单端 50 Ω 端接电阻。当使用了单端端接电阻，则终端电压为 DRVDD/2；此外，还可使用端接至任意单端电压的交流耦合电容。

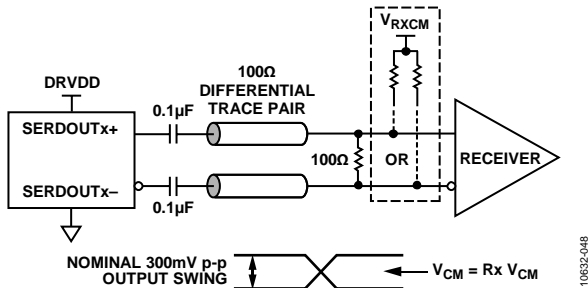


图 51. 交流耦合数字输出端接示例

AD6673 数字输出可与定制的 ASIC 和 FPGA 接收器接口，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将单个 100 Ω 差分端接电阻尽可能靠近接收器放置。若使用了直流耦合连接(如图 52)，则共模数字输出可自动使自身偏置到接收机的电源中间位置(即接收机电源为 1.8 V 时，共模电压为 0.9 V)。对于逻辑电平不在

DRVDD 电源边界范围内的接收机，则使用交流耦合连接。在每个输出引脚上放置一个 0.1 μF 电容，并在靠近接收机处使用 100 Ω 差分端接电阻。

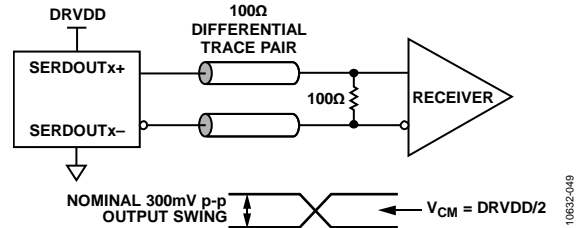


图 52. 直流耦合数字输出端接示例

如果没有远端接收器端接电阻，或者差分走线布线不佳，可能会导致时序错误。为避免产生时序错误，建议走线长度不要超过 6 英寸，差分输出走线应尽可能彼此靠近且长度相等。

图 53 显示 AD6673 通道工作在 5 Gbps 时的数字输出(默认)数据眼图、时间间隔误差(TIE)抖动直方图，以及浴盆曲线的示例。

附加 SPI 选项允许用户进一步提高所有四路输出的输出驱动器电压摆幅，从而驱动更长的走线(见表 17 中的寄存器 0x15)。使用此选项会提供 DRVDD 电源的功耗。更多信息见存储器映射部分。

输出数据格式默认为二进制补码。若要将输出数据格式变为偏移二进制，请参阅存储器映射部分(表 17 中的寄存器 0x14)。

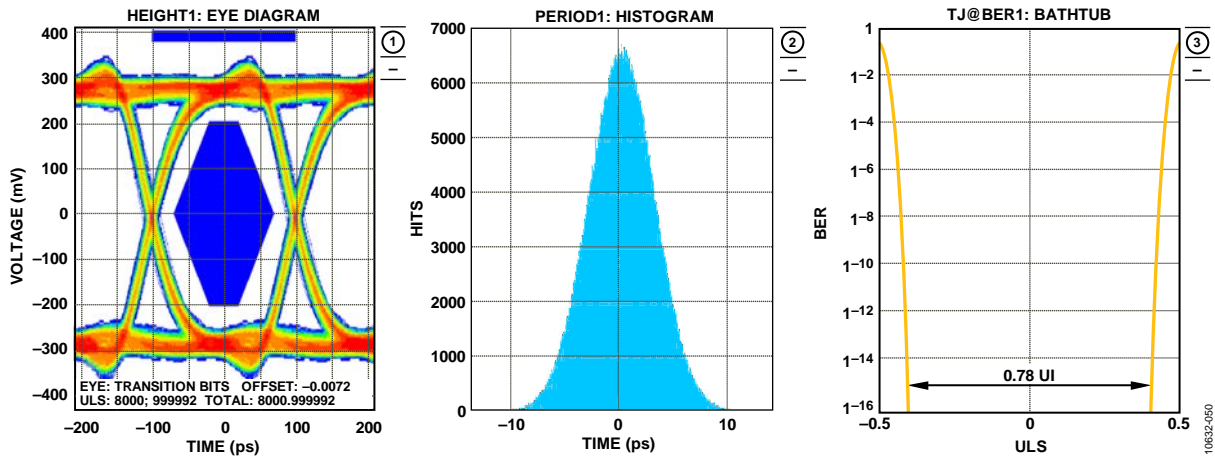


图 53. AD6673 数字输出数据眼图、直方图和浴盆图(5 Gbps 时外部端接电阻为 100 Ω)

ADC超量程与增益控制

在接收机应用中，需要一种可靠的机制，能够决定转换器何时发生箝位。标准的溢出指示器能够为模拟输入状态提供延迟信息，因而在防止箝位方面作用有限。因此，最好可以设定低于满量程的可编程阈值，以便在发生前降低增益。另外，由于输入信号的压摆率可能非常高，因此该功能的延迟时间很关键。

利用SPI端口，用户可设置使FD输出有效的阈值。寄存器0x45的位0使能快速检测功能。寄存器0x47至寄存器0x4B允许用户设置阈值电平。只要信号低于选定阈值，FD输出即会保持低电平状态。在该模式下，计算时需要考虑数据的大小，但无需考虑数据的符号。阈值检测以相同的方式处理那些超出期望范围(幅度)的正、负信号。

ADC超量程(OR)

ADC输入端检测到超量程时，ADC超量程指示器将置位。超量程条件在ADC流水线输出端确定；因此，需要36个ADC时钟周期延迟。当输入端发生超量程36个时钟周期后，该位可指示超量程。

增益开关

AD6673内置电路，可满足存在大动态范围或采用增益范围放大器应用的需要。该电路允许设置数字阈值，从而可以对阈值上限和下限进行编程。

其中一个用途是检测特定输入条件下，何时ADC将达到满量程。最终目的是提供一个指示器，以快速插入衰减器，防止ADC过驱。

快速阈值检测(FDA和FDB)

当输入信号幅度超过快速检测阈值上限寄存器(寄存器0x47、0x48)的设置值时，FD指示器置位。选定阈值寄存器的值与ADC输出的信号幅度进行比较。快速阈值上限检测具有4个时钟周期的延迟。近似阈值上限幅度由下式定义：

$$\text{阈值上限幅度(dBFS)} = 20 \log(\text{阈值幅度}/2^{16})$$

在信号降至阈值下限以下且保持时间超过设定的驻留时间之前，FD指示器不会清零。阈值下限在快速检测阈值下限寄存器(寄存器0x49、0x4A)中进行设置。16位快速检测阈值下限寄存器的值与ADC输出的信号幅度进行比较。比较受ADC流水线延迟的控制；比较精度取决于转换器分辨率。阈值下限幅度由下式定义：

$$\text{阈值下限幅度(dBFS)} = 20 \log(\text{阈值幅度}/2^{16})$$

驻留时间可以在1至65,535个采样时钟周期范围内设置，方法是将所需值写入快速检测驻留时间寄存器(寄存器0x4B、0x4C)。

阈值上限和下限寄存器工作以及驻留时间寄存器的情况如图54所示。

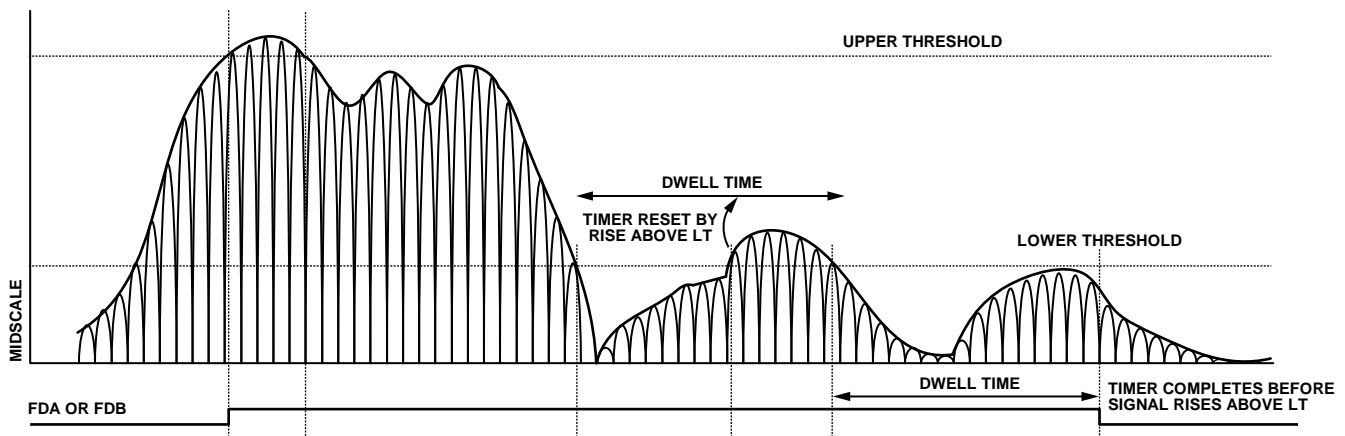


图54. FDA和FDB信号的阈值设置

直流校正

由于ADC的直流偏置可能比所测信号大得多，因此，测量功率前，应利用直流校正电路消除直流偏置。此外，直流校正电路还可以切换至主信号通路；但如果ADC正在对带有大量直流电流的时变信号(例如：GSM)进行数字转换时，则不建议进行切换。

直流校正带宽

直流校正电路是一个可编程带宽高通滤波器，其带宽范围为0.29 Hz至2.387 kHz通过对4位直流校正带宽选择寄存器(寄存器0x40的位[5:2])进行写操作，可以控制带宽。下面的公式可计算直流校正电路的带宽值：

$$DC_Corr_BW = 2^{-k-14} \times f_{CLK} / (2 \times \pi)$$

其中：

k 是寄存器0x40的位[5:2]中设置的4位值(0和13之间的值对 k 有效)。

f_{CLK} 是AD6673 ADC采样速率，单位为赫兹。

直流校正回读

各通道的直流校正值可在寄存器0x41和寄存器0x42中回读。直流校正值为16位值，可以达到整个ADC输入范围。

直流校正冻结

将寄存器0x40的位6置1可在当前状态下冻结直流校正，并继续将最近一次更新值用作直流校正值。清除该位，可重新开始直流校正，并将当前计算值与数据相加。

直流校正(DCC)使能位

将寄存器0x40的位1置1可以使能直流校正功能，以便用于输出数据信号路径。

内置自测(BIST)和输出测试

AD6673包括内置测试功能，支持对各通道的完整性验证，同时也有利于电路板级调试。BIST功能可以对AD6673数字数据路径的完整性进行验证。此外还提供各种输出测试选项，以便对AD6673的输出进行预测。

内置自测

BIST能够对所选AD6673信号路径的数字部分进行详尽的测试。使能时，从内部伪随机噪声(PN)源到数字数据路径，从ADC模块输出开始执行测试。BIST序列运行512个周期后停止。通道A和/或通道B的BIST签名值置于寄存器0x24和寄存器0x25中。测试期间输出相连，因此可以观察到PN序列的运行过程。根据寄存器0x0E位2中的值不同，PN序列既可以从上一个值继续，也可以复位到开始值。BIST签名结果视通道配置而定。

串口(SPI)

AD6673 SPI允许用户利用ADC内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间、对地址空间进行读写。存储空间以字节为单位进行组织，并且能进一步划分成多个区域。各个区域的说明见存储器映射部分。如需了解详细操作信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

使用SPI的配置

该ADC的SPI由三部分组成：SCLK引脚、SDIO引脚和 \overline{CS} 引脚(见表15)。SCLK(串行时钟)引脚用于同步从ADC读出的数据和写入ADC的数据。SDIO(串行数据输入/输出)引脚是一个双功能引脚，可通过此引脚将数据发送至内部ADC存储器映射寄存器或从该寄存器中读出数据。 \overline{CS} (片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表15. 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作。
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
\overline{CS}	片选信号。低电平有效控制信号，用来选通读写周期。

\overline{CS} 的下降沿与SCLK的上升沿共同决定帧的开始。图55为串行时序图范例，相应的定义见表5。

\overline{CS} 可以在多种模式下工作。 \overline{CS} 可始终维持在低电平状态，从而使器件一直处于使能状态；这称作流。 \overline{CS} 可以在字节之间停留在高电平，这样可以允许其他外部时序。 \overline{CS} 引脚拉高时，SPI功能处于高阻抗模式。在该模式下，可以开启SPI引脚的第二功能。

在一个指令周期内，传输一条16位指令。在指令传输后将进行数据传输，数据长度由W0位和W1位共同决定。

所有数据均由8位字组成。串行数据的每个字节的第一位表示发出的是读命令还是写命令。这样，就能将SDIO引脚的数据传输方向从输入改为输出。

除了字长，指令周期还决定串行帧是读操作指令还是写操作指令，从而通过串行端口对芯片编程或读取片上存储器内的数据。如果指令是回读操作，则执行回读操作会使SDIO引脚在串行帧的适当位置由输入变为输出。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认采用MSB优先的方式，可以通过SPI端口配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

硬件接口

表15中所描述的引脚包括用户编程器件与AD6673的串行端口之间的物理接口。当使用SPI接口时，SCLK引脚和 \overline{CS} 引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI接口非常灵活，FPGA或微控制器均可控制该接口。应用笔记AN-812：“基于微控制器的串行接口(SPI)启动电路”中详细介绍了一种SPI配置方法。

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。SCLK信号、 \overline{CS} 信号和SDIO信号通常与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD6673之间连接缓冲器，防止这些信号在关键采样周期内，在转换器的输入端发生变化。

AD6673

SPI访问特性

表16简要说明了可通过SPI访问的一般特性。如需详细了解这些特性，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。AD6673特定器件特性详见“存储器映射寄存器描述”部分。

表16. 可通过SPI访问的特性

特性名称	描述
模式	允许用户设置掉电模式或待机模式
时钟	允许用户通过SPI访问DCS
失调	允许用户以数字方式调整转换器失调
测试I/O	允许用户设置测试模式，以便在输出位上获得已知数据
输出模式	允许用户设置输出
输出相位	允许用户设置输出时钟极性
输出延迟	允许用户改变DCO延迟
VREF	允许用户设置基准电压

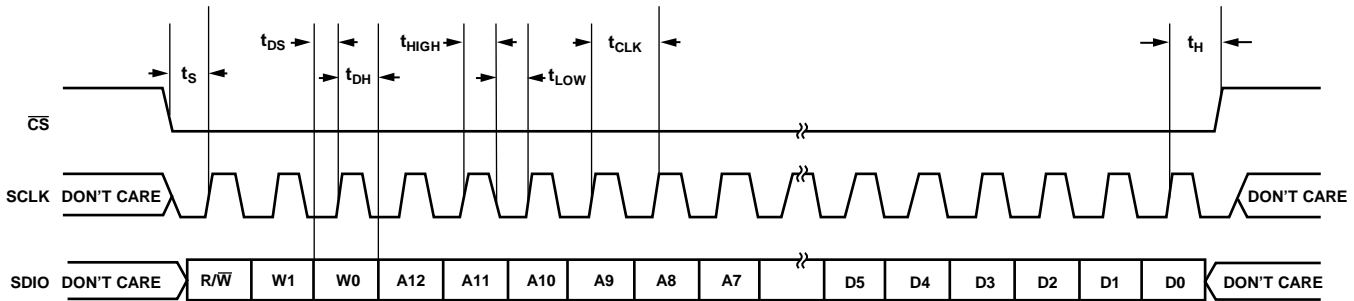


图55. 串行端口接口时序图

10632-062

存储器映射

读取存储器映射寄存器表

存储器映射寄存器表的每一行有8位。存储器映射大致分为三个部分：芯片配置寄存器(地址0x00至地址0x02)、通道索引和传送寄存器(地址0x05和地址0xFF)，以及ADC功能寄存器，包括设置、控制和测试(地址0x08至地址0xA8)。

存储器映射寄存器表(见表17)记录了每个十六进制地址及其十六进制默认值。位7(MSB)栏为给定十六进制默认值的起始位。例如，输出模式寄存器(地址0x14)的十六进制默认值为0x01。这表明，位0 = 1，其余位均为0。此设置是默认输出格式值(二进制补码)。如需了解更多关于该功能及其它功能的信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。该文档详细描述了寄存器0x00至寄存器0x25控制的功能。表17记录了其余的寄存器(寄存器0x3A和寄存器0x59)。

禁用位置和保留位置

此器件目前不支持表17中未包括的所有地址和位。有效地址中未使用的位应写为0。在该地址(例如：地址0x18)仅有部分位处于禁用状态时，才可以对这些位置进行写操作。如果整个地址(例如：地址0x13)均禁用，则不应对该地址进行写操作。

默认值

AD6673复位后，将向关键寄存器内载入默认值。表17(存储器映像寄存器表)内列出了各寄存器的默认值。

逻辑电平

以下是逻辑电平的术语说明：

- “置位”指将某位设置为逻辑1或向某位写入逻辑1。
- “清除位”指“位设置为逻辑0”或“向某位写入逻辑0”。

传送寄存器映射

地址0x09、地址0x0B、地址0x14、地址0x18和地址0x3A至地址0x4C是被屏蔽的。因此，向这些地址进行写操作不会影响器件运行，除非向地址0xFF写入0x01，设置了传输位，从而发出了传输命令。这样，设置传输位时，就可以在内部同时更新这些寄存器。设置传输位时，内部进行更新，然后传输位自动清零。

特定通道寄存器

可通过编程，单独为每个通道设置某些通道功能(例如：信号监控阈值)。在这些情况下，可在内部为每个通道复制通道地址位置。这些寄存器及相应的局部寄存器位，见表17。通过设置寄存器0x05的通道A位或通道B位，可访问这些局部寄存器及相应位。如果这两个位均置位，后续写操作将影响两个通道的寄存器。在一个读周期内，仅允许将一个通道位(通道A位或通道B位)置位，以便对其中的一个或两个寄存器执行读操作。如果在一个SPI读周期内置位两个通道位，则器件返回通道A的值。表17给出的全局寄存器及相应位会影响整个器件和通道的特性，不允许分别设置每个通道。寄存器0x05中的设置不影响全局寄存器及相应位的值。

AD6673

存储器映射寄存器表

此器件目前不支持表17中未包括的所有地址和位。

表17. 存储器映射寄存器

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0(LSB)	默认值	注释
0x00	全局SPI配置	0	LSB优先	软复位	1	1	软复位	LSB优先	0	0x18	
0x01	芯片ID	AD6673 8位芯片ID=0xBA								0xBA	只读
0x02	芯片信息			速度等级 00 = 250 MSPS			保留用于芯片的修订(当前0x0)			0x00	
0x05	通道索引							SPI写入到 ADC B路径	SPI写入到 ADC A路径	0x03	
0x08	PDWN模式			外部PDWN模式; 0 = PDWN完全掉电 1 = PDWN使器件进入待机状态	JTX处于待机模式; 0 = 204B内核在待机时不受影响; 1 = 204B内核在待机时掉电(PLL除外)	JESD204B电源模式; 00 = 正常模式(上电); 01 = 掉电模式: PLL关闭, 串行器关闭, 时钟停止, 数字保持复位状态; 10 = 待机模式: PLL开启, 串行器关闭, 时钟停止, 数字保持复位状态		芯片电源模式; 00 = 正常模式(上电); 01 = 掉电模式, 数字数据路径时钟禁用, 数字数据路径保持复位状态; 大部分模拟路径关闭; 10 = 待机模式; 数字数据路径时钟禁用, 数字数据路径保持复位状态, 一部分模拟路径关闭		0x00	
0x09	全局时钟	保留		时钟选择: 00 = 奈奎斯特时钟 10 = 4分频RF时钟 11 = 时钟关闭					时钟占空比 稳定器使能	0x01	若时钟分频器使能, 则DCS使能
0x0A	PLL状态	PLL锁定状态							204B链路就绪		只读
0x0B	全局时钟分频器			时钟分频相位与编码时钟有关; 0x0 = 0输入时钟周期被延迟; 0x1 = 1输入时钟周期被延迟; 0x2 = 2输入时钟周期被延迟; 0x7 = 7输入时钟周期被延迟		时钟分频比与编码时钟有关; 0x00 = 1分频; 0x01 = 2分频; 0x02 = 3分频; 0x7 = 8分频; 使用CLKDIV_DIVIDE_RATIO > 0 (分频比 > 1)会导致DCS自动使能				0x00	
0x0D	测试控制寄存器	用户测试模式周期; 00 = 重复模式 (用户模式1, 2, 3, 4, 1, 2, 3, 4, 1, ...); 10 = 单模式 (用户模式1, 2, 3, 4, 全零)		长伪随机数据发生器复位; 0 = 长PRN使能; 1 = 长PRN保持复位状态	短伪随机数据发生器复位; 0 = 短PRN使能; 1 = 短PRN保持复位状态	数据输出测试生成模式; 0000 = 关(正常模式); 0001 = 中间电平短路; 0010 = 正满量程; 0011 = 负满量程; 0100 = 交替棋盘形式 0101 = PN长序列; 0110 = PN短序列; 0111 = 1/0字交替; 1000 = 用户测试模式 (使用寄存器0x0D、位[7]和用户模式1, 2, 3, 4); 1001至1110 = 未使用; 1111 = 斜坡输出				0x00	
0x0E	BIST测试						复位BIST		BIST使能	0x00	

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0(LSB)	默认值	注释	
0x10	失调整(局部)			失调整以LSB为单位, 从+31到-32(二进制补码格式); 01 1111 = 调整输出+31; 01 1110 = 调整输出+30; ... 00 0001 = 调整输出+1; 00 0000 = 调整输出0(默认值); ... 10 0001 = 调整输出-31; 10 0000 = 调整输出-32						0x00		
0x14	输出模式	JTX CS位分配(与寄存器0x72配合使用) 000 = {超量程 欠量程, 有效} 001 = {超量程 欠量程} 010 = {超量程 欠量程, 空} 011 = {空, 有效} 100 = {空, 空} 其它 = {超量程 欠量程, 有效}			禁用ADC输出		反转ADC数据; 0 = 正常(默认值); 1 = 反转	数字数据路径输出数据格式选择(DFS, 本地); 00 = 偏移二进制; 01 = 二进制补码	0x01			
0x15	CML输出调节						JESD204B CML差分输出驱动电平调节; 000 = 标称值的81%(即238 mV); 001 = 标称值的89%(即262 mV); 010 = 标称值的98%(即286 mV); 011 = 标称值[默认值](即293 mV); 110 = 标称值的126%(即368 mV)		0x03			
0x18	ADC VREF				满量程VREF调节的主要参考; 0 1111 = 内部2.087 V p-p; ... 0 0001 = 内部1.772 V p-p; 0 0000 = 内部1.75 V p-p(默认值); 1 1111 = 内部1.727 V p-p; ... 1 0000 = 内部1.383 V p-p							
0x19	用户测试码1 L	用户测试码1 LSB; 与寄存器0x0D和寄存器0x61一同使用										
0x1A	用户测试码1 M	用户测试码1 MSB										
0x1B	用户测试码2 L	用户测试码2 LSB										
0x1C	用户测试码2 M	用户测试码2 MSB										
0x1D	用户测试码3 L	用户测试码3 LSB										
0x1E	用户测试码3 M	用户测试码3 MSB										
0x1F	用户测试码4 L	用户测试码4 LSB										
0x20	用户测试码4 M	用户测试码4 MSB										
0x21	PLL低编码速率				00 = 通道速率 > 2 Gbps; 01 = 通道速率 < 2 Gbps							
0x24	BIST MISR_LSB									0x00	只读	
0x25	BIST MISR_MSB									0x00	只读	

AD6673

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值	注释
0x3A	SYNCINB±/ SYSREF± CTRL				0 = 普通模式; 1 = 每次激活SYNCINB±时重新对齐通道	0 = 普通模式; 1 = 每次激活SYSREF±时重新对齐通道	SYSREF±模式; 0 = 继续复位时钟分频器; 1 = 仅在下一个SYSREF±上升沿同步	SYSREF±使能; 0 = 禁用; 1 = 使能	使能SYNCINB±缓冲器; 0 = 缓冲器禁用; 1 = 缓冲器使能	0x00	
0x3C	NSR CTRL							带宽模式; 0 = 22%; 1 = 33%	NSR使能	0x00	
0x3E	NSR调谐			噪声整形再量化器调谐频率; 选择噪声传递函数(NTF)的中心频率; 共有57个可能的调谐字(TW); 每步均为0.5%的ADC采样速率						0x1C	
0x40	DCC CTRL		冻结直流校正; 0 = 计算; 1 = 冻结值	直流校正带宽选择; 校正带宽为2387.32 Hz/寄存器值; 共有14个可能值; 0000 = 2387.32 Hz; 0001 = 1193.66 Hz; 1101 = 0.29 Hz				使能DCC		0x00	
0x41	DCC值的LSB	直流校正正值[7:0]									
0x42	DCC值的MSB	直流校正正值[15:8]									
0x45	快速检测控制				引脚功能; 0 = 快速检测; 1 = 超量程	强制FDA/FDB引脚; 0 = 普通功能; 1 = 强制到数值	强制FDA/FDB引脚数值; 若强制引脚为真值, 则FD引脚输出该数值		使能快速检测输出		
0x47	FD阈值上限	快速检测阈值上限[7:0]									
0x48	FD阈值上限	快速检测阈值上限[14:8]									
0x49	FD阈值下限	快速检测阈值下限[7:0]									
0x4A	FD阈值下限	快速检测阈值下限[14:8]									
0x4B	FD驻留时间	快速检测驻留时间[7:0]									
0x4C	FD驻留时间	快速检测驻留时间[15:8]									
0x5E	204B快速配置	快速配置寄存器, 始终回读0x00; 0x11 = M = 1, L = 1; 一个转换器, 一个通道; 第二个转换器不自动掉电; 0x12 = M = 1, L = 2; 一个转换器, 两个通道; 第二个转换器不自动掉电; 0x21 = M = 2, L = 1; 两个转换器, 一个通道; 0x22 = M = 2, L = 2; 两个转换器, 两个通道								0x00	始终回读0x00
0x5F	204B链路控制1	结束位: 如果未使能CS位, 则0表示多余位为0; 1表示多余位为9位PN	JESD204B测试样本使能	保留, 置1	ILAS模式; 01 = ILAS正常模式使能; 11 = ILAS始终开启, 测试模式	保留, 置1	JESD204B链路掉电; 配置链路参数时设为高电平				

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0(LSB)	默认值	注释	
0x60	204B链路控制2	保留, 置0	保留, 置0	保留, 置0				JESD204B位的反相逻辑				
0x61	204B链路控制3	保留, 置0	保留, 置0	测试数据注入点; 01 = 8b/10b输出时的10位数据; 10 = 加扰输入时的8位数据				JESD204B测试模式; 0000 = 正常工作(测试模式禁用); 0001 = 交替棋盘形式; 0010 = 1/0字交替; 0011 = PN序列为PN23; 0100 = PN序列为PN9; 0101 = 连续/重复用户测试模式; 0110 = 单用户测试模式; 0111 = 保留; 1000 = RPAT修改后的测试序列, 必须与jtx_test_gen_sel = 01(8b/10b的输出)一同使用; 1100 = PN序列为PN7; 1101 = PN序列为PN15; 其它设置未用				
0x62	204B链路控制4	保留										
0x63	204B链路控制5	保留										
0x64	204B DID配置	JESD204B DID值										
0x65	204B BID配置	JESD204B BID值										
0x67	204B LID配置1	通道0 LID值										
0x68	204B LID配置2	通道1 LID值										
0x6E	204B参数, SCR/L	JESD204B加扰(SCR); 0 = 禁用; 1 = 使能							JESD204B通道数(L); 0 = 1条通道; 1 = 2条通道			
0x6F	204B参数, F	JESD204B每帧的8位字数(F); 计算值										只读
0x70	204B参数, K	JESD204B每个多帧的帧数(K); 根据JESD204B规范设置K值, 同时K必须是4个8位字的倍数										
0x71	204B参数, M	JESD204B转换器数(M); 0 = 1个转换器; 1 = 2个转换器										
0x72	204B参数, CS/N	控制位个数(CS); 00 = 无控制位(CS = 0); 01 = 1个控制位(CS = 1); 10 = 2个控制位(CS = 2)						ADC转换器分辨率(N), 0xA = 11位转换器(N = 11)				
0x73	204B参数, subclass/Np		JESD204B Subclass; 0x0 = Subclass 0; 0x1 = Subclass 1 (默认值)					JESD204B N'值; 0xF = N' = 16		0x2F		
0x74	204B参数, S			保留, 置1	每个转换器帧周期的JESD204B样本数(S); 只读							
0x75	204B参数, HD和CF	JESD204B HD值; 只读			每链路上每个帧时钟周期的JESD204B控制字(CF); 只读							只读
0x76	204B RESV1	保留字段1										

AD6673

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0(LSB)	默认值	注释
0x77	204B RESV2	保留字段2									
0x79	204B校验和0	JESD204B通道0的串行校验和值									
0x7A	204B校验和1	JESD204B通道1的串行校验和值									
0x82	204B通道分配1			00 = 分配逻辑通道0至物理通道A [默认值]; 01 = 分配逻辑通道0至物理通道B				保留, 置1	保留, 置0	0x02	
0x83	204B通道分配2			保留, 置1	保留, 置1			00 = 分配逻辑通道1至物理通道A; 01 = 分配逻辑通道1至物理通道B(默认值)		0x31	
0x8B	204B LMFC 偏移				本地多帧时钟(LMFC)相位偏移值; 当SYSREF置位时, 复位LMFC相位计数器值; 用于确定性延迟应用					0x00	
0xA8	204B预加重	JESD204B预加重使能选项(更多信息请咨询ADI公司); 设置为0x04关闭预加重; 设置为0x14开启预加重								0x04	通常不需要
0xFF	器件更新(全局)								传送设置		

存储器映射寄存器描述

如需了解有关寄存器0x00至寄存器0x25所控制功能的更多信息, 请参阅应用笔记AN-877: “通过SPI与高速ADC接口”。

应用信息

设计指南

在进行AD6673的系统级设计和布局之前，建议设计人员先熟悉下述设计指南，其中探讨了某些引脚所需的特殊电路连接和布局布线要求。

电源和接地建议

当连接电源至AD6673时，建议使用两个独立的1.8 V电源：可隔离AVDD电源，并可将DVDD和DRVDD的电源连在一起；此时，建议使用1 μ H左右的隔离电感。此外，JESD204B PHY电源(DRVDD)和模拟(AVDD)电源亦可连在一起，并使用独立的电源为数字输出供电(DVDD)。

设计人员可以使用多个不同的去耦电容以适用于高频和低频。去耦电容应放置在接近PCB入口点和接近器件引脚的位置，并尽可能缩短走线长度。

AD6673仅需要一个PCB接地层。对PCB模拟、数字和时钟模块进行合理去耦和巧妙分隔，可以轻松获得最佳性能。

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将ADC底部的裸露焊盘连接至模拟地(AGND)。PCB上裸露(无阻焊膜)的连续铜平面应与AD6673的裸露焊盘(引脚0)匹配。

铜平面上应有多个通孔，获得尽可能低的热阻路径以通过PCB底部进行散热。应采用绝缘环氧化物来填充或堵塞这些通孔。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续平面划分为多个均等的部分。这样，在回流焊过程中，可在ADC与PCB之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在ADC与PCB之间有一个连接点。PCB布局范例可以参考评估板。如需了解有关封装和芯片级封装PCB布局布线的详细信息，请参阅应用笔记AN-772：“引脚架构芯片级封装(LFCSP)设计与制造指南”。

VCM

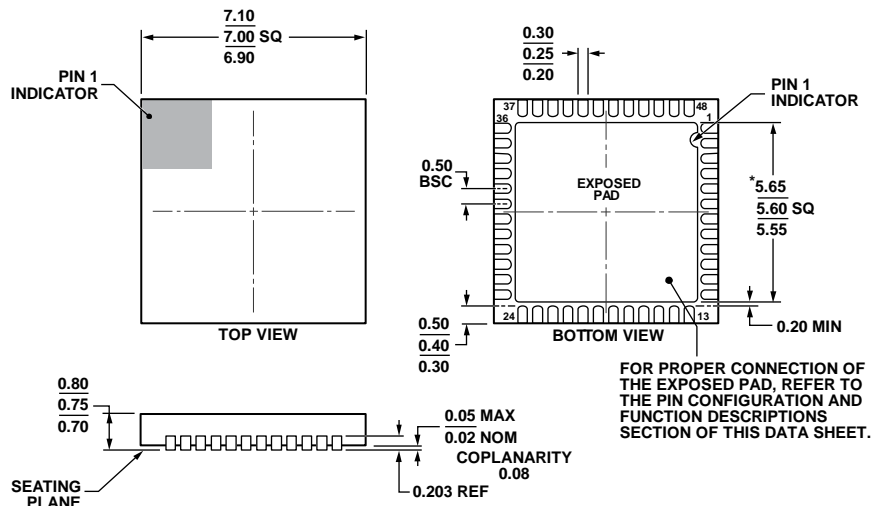
VCM引脚应通过一个0.1 μ F电容去耦至地，如图28所示。为获得最佳通道间隔离性能，AD6673 VCM引脚和通道A模拟输入网络连接之间以及AD6673 VCM引脚和通道B模拟输入网络连接之间均应连接一个33 Ω 电阻。

SPI端口

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、 \overline{CS} 信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD6673之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入引脚端发生变化。

AD6673

外形尺寸



*COMPLIANT至JEDEC STANDARDS MO-220-WKGD-2 WITH EXCEPTION至EXPOSED PAD DIMENSION.

图56. 48引脚引脚架构芯片级封装[LFCSP_WQ]
7 mm x 7 mm, 超薄体
(CP-48-13)
尺寸单位: mm

05-10-2012-C

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD6673BCPZ-250	-40°C至+85°C	48引脚引脚架构芯片级封装[LFCSP_WQ]	CP-48-13
AD6673BCPZRL7-250	-40°C至+85°C	48引脚引脚架构芯片级封装[LFCSP_WQ]	CP-48-13
AD6673-250EBZ	-40°C至+85°C	评估板, 附带AD6673-250	

¹ Z = 符合RoHS标准的器件。

注释

AD6673

注释