

宽带中频接收机子系统

AD6676

产品特性

高瞬时动态范围 噪声系数(NF)低至13 dB 噪声频谱密度(NSD)低至-159 dBFS/Hz IIP3高达36.9 dBm, 杂散音低于-99 dBFS 可调谐带诵Σ-Δ型模数转换器(ADC) 信号带宽: 20 MHz至160 MHz 中频中心频率: 70 MHz至450 MHz 可配置输入满量程电平: -2 dBm至-14 dBm 易于驱动的阻性中频输入 1 dB增益平坦度,带外峰化低于0.5 dB 混叠抑制大于50 dB 2.0 GSPS至3.2 GSPS ADC时钟速率 片内PLL时钟倍频器 16位I/Q速率高达266 MSPS 片内数字信号处理 NCO和正交数字下变频器(QDDC) 可选抽取系数: 12、16、24和32 支持自动增益控制(AGC) 片内衰减器范围为27 dB、步进为1 dB 通过可配置AGC数据端口实现衰减器快速控制 具有可编程阈值的峰值检测标志

单通道或多通道,支持JESD204B

低功耗: 1.20 W 电源电压: 1.1 V和2.5 V TDD省电高达60% 4.3 mm × 5.0 mm WLCSP

应用 宽带蜂窝基础设施设备和中继器 点对点微波设备 仪器仪表 频谱分析仪和通信分析仪 软件定义无线电

概述

AD6676¹是一款高度集成的中频子系统,可数字化高达 160 MHz的射频(RF)频段,并且此频段在70 MHz至450 MHz 中频(IF)范围内为宽度居中。与传统奈奎斯特IF采样ADC 不同,AD6676依靠具有高过采样率的可调谐带通Σ-Δ型 ADC,无需特定频段的IF SAW滤波器和增益级,极大简化 宽带无线电接收机架构。片内正交数字下变频后接可选抽取 滤波器,可将复数的数据速率降低至便于管理的62.5 MSPS 至266.7 MSPS范围内。16位复数输出数据通过单通道或 双通道JESD204B接口传输至主机,支持的线路速率高达 5.333 Gbps。



1该产品受美国及国际专利保护。

Rev. B

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A. Tel: 781.329.4700 ©2014–2016 Analog Devices, Inc. All rights reserved. Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文,敬请谅解翻译中可能存在的语言组织或翻译错误,ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性,请参考ADI提供 的最新英文版数据手册。

AD6676*产品页面快速链接

内容最后更新日期: 2016/8/30

类似器件 🖵

查看类似器件的参数搜索

评估套件 🖵

• AD6676评估板

文档 🖓

数据手册

• AD6676: 宽带IF接收器子系统数据手册

用户指南

• AD6676: Ad6676评估板的设计工具与入门指南、高 动态范围、宽带接收器

工具和仿真 🖵

• AD6676 AMI模型

参考资料 🖵

资料

- JESD204串行接口
- SDR:软件定义革命

新闻

宽带IF接收器芯片为高度集成的解决方案提供业界领先的动态范围

技术文章

- 基于连续时间Δ-Σ高速ADC的宽带模拟前端降低高性 能通信和仪器仪表系统的功耗
- MS-2739: 高动态IF接收器可简化下一代μW点对点 调制解调器的设计

设计资源 🖵

- AD6676材料声明
- PCN-PDN信息
- 质量和可靠性
- 符号和尺寸

讨论 🖵

查看在线技术支持论坛上关于AD6676的所有讨论

申请样片与购买 🖵

访问产品页面以查看定价

技术支持 🖵

提交技术问题或查找所在区域的技术支持电话号码*

目录

特性	1
应用	1
概述	1
功能框图	1
修订历史	3
产品特色	4
规格	5
数字高速SERDES规格	7
CLK±至SYSREF±时序图	8
数字CMOS输入/输出规格	8
绝对最大额定值	9
热阻	9
ESD警告	9
引脚配置和功能描述	10
典型性能参数	12
IF = 115 MHz的标称性能(直接采样VHF接收机).	12
IF = 140 MHz的标称性能(μW点对点接收机)	14
IF = 181 MHz的标称性能(无线基础设施接收机).	15
IF = 250 MHz且BW = 75 MHz的标称性能	17
IF = 350 MHz且BW = 160 MHz的标称性能	19
等效电路	21
术语	22
工作原理	23
概述	23
带通Σ-Δ ADC架构	24
Σ-Δ ADC配置考虑	
衰减器	

	时钟频率合成器	.35
数	字处理模块	.38
	数字信号处理路径	.39
	AGC特性和峰值检测	.42
	GPIO功能	.44
	省电模式	.44
	JESD204B接口简介	.45
	功能概述	.47
	JESD204B链路建立	.47
	物理层输入/输出	.49
	配置JESD204B链路	.50
	利用SYSREF±同步	.51
应	用信息	.53
	模拟输入考虑	.53
	时钟输入考虑	.54
	中频频率规划	.56
	PCB设计指南	.57
	为AD6676供电	.59
	AD6676启动初始化	.61
串	行端口接口(SPI)	.64
	SPI寄存器映射描述	.64
	SPI工作原理	.64
寄	存器存储器映射及详解	.66
	寄存器存储器映射	.66
	寄存器详解	.68
外	形尺寸	.90
	订购指南	.90

修订历史

2016年4月—修订版A至修订版B

更改	图3和表6	
更改	"时钟输入考虑"	部分和图13355

2015年9月—修订版0至修订版A

更改产品特色部分	4
更改时钟频率合成器使能参数(表1)和范围外恢复时间	
参数单位(表1)	5
更改差分输出电压(表2)	7
更改表3	8
更改图3	10
更改图4、图8标题和图9	12
更改图26	15
更改图36和图38	17
更改图40、图41和图44	18
更改图50	19
更改"衰减器"部分	33
更改表12	36
更改"相位噪声性能"部分、图101和图102	37
更改"正交数字下变频"部分	39
更改"利用SYSREF±同步"部分	51
增加图127;重新排序	52

更改"输入驱动器滤波器考虑因素"部分和图130	.54
更改"时钟输入考虑因素"部分和图133至图135	.55
更改"PCB设计指南"部分	.57
增加图141;重新排序	.58
更改"为AD6676供电"部分和图142	.59
更改"AD6676启动初始化"部分和表25	.61
更改表26	.62
更改表27和表29	.63
更改表32	.66
更改"粗调NCO调谐寄存器"部分和表57	.72
更改"精调NCO调谐寄存器"部分和表58	.73
更改表70至表72	.75
更改表73	.76
更改表109	.84
增加"物理控制1寄存器"部分和表116	.85
更改表120	.86
更改表121、表123和表125	.87
更改"CLKSYN参考分频器和SYSREF控制寄存器"部分、	
表128、"CLKSYN状态寄存器"部分和表129	.88
"JESDSYN状态寄存器"部分、表130和表131至表133	.89

2014年10月—修订版0:初始版

AD6676的带通Σ-Δ型ADC工作在2.0 GHz至3.2 GHz频率, 提供出色的瞬时动态范围和固有的抗混叠功能。其带内频 率响应通常能保持优于1 dB的带通平坦度,带外峰化优于 0.5 dB。集成数字峰值检波器支持监控宽带内的瞬时信号功 率(数字化之后不久),从而提供AGC功能来快速应对较大 的带内或带外阻塞。

AD6676具备多种AGC监测和控制特性,并且内置一个步进为1dB的27dB步进衰减器。灵活的AGC端口带有数字输入/输出引脚,可以快速控制AD6676片内步进衰减器,以及/或者通过状态标志控制输入信号的更新。与传统窄带中频方法(RF和IF保护常常需要各自独立的AGC功能)相比,上述特性连同高瞬时动态范围可以显著简化AGC实现。

除了降低系统复杂度以外,AD6676还能显著节省空间和功耗, 以支持下一代多输入/多输出(MIMO)接收机架构。AD6676 采用8×10球栅阵列WLCSP封装,尺寸约为4.3mm×5.0mm; 其JESD204B串行接口可以简化与主机处理器的接口。

其功耗低至1.2 W,与具有相似带宽和动态范围的中频采样 ADC相比,即使不考虑因为消除整个中频片而节省的功 耗,如此低的功耗也是更为有利的。AD6676具有多芯片同 步特性,同步精度可达输出数据速率的很小一部分。对于 时域双工(TDD)应用,AD6676的快速上电/关断模式可以 在保持多芯片同步的同时,进一步降低功耗。根据器件配 置,最多可以节省60%或42%的功耗,恢复时间为11.5 μs或 2.5 μs。 辅助模块包括一个片内PLL时钟倍频器,用于产生Σ-Δ ADC时钟。对于要求更好相位噪声性能的应用,也可使用 外部差分RF时钟源。通过SPI端口可对AD6676的许多参数 进行编程,因此该器件可针对各种不同应用进行优化。

AD6676采用80引脚WLCSP封装,优化的引脚排列支持低 成本印刷电路板(PCB)制造。器件采用1.1 V和2.5 V电源供 电,以3.2 GSPS速度工作时总功耗典型值为1.2 W。本产品 受多项美国专利保护。更多信息请联系ADI公司。

产品特色

- 业界领先的动态范围支持实现高无AGC范围、高性能、 可重新配置的外差(或直接采样VHF)软件定义无线电。
- 连续时间带通Σ-Δ型ADC支持70 MHz至450 MHz的中频 频率和高达160 MHz的中频信号带宽,并能降低中频滤 波要求。
- 3. Σ-Δ型ADC的高瞬时动态范围和过采样能力可显著降低 中频滤波器复杂度。
- 片内27 dB数字衰减器采用易于驱动的阻性输入,可简 化与RF/IF器件的接口。
- 5. 4.3 mm×5.0 mm小型封装、简单的接口、集成数字衰减器和时钟频率合成器有利于节省PCB空间。
- 6. -2 dBm(或更低)的低输入满量程电平支持低P1dB和低功 耗的3.3 V RF/IF器件系列。
- 7. 快速省电模式支持TDD协议。
- 8. 独特的profile模式使得AD6676只需1 μs便可在最多四种 不同的ADC IF/BW配置之间进行切换。

规格

—

除非另有说明, VDD1 = VDDL = VDDC = VDDQ = 1.1 V, VDDD = VDDHSI = 1.1 V, VDD2 = 2.5 V, VDDIO = 1.8 V, F_{IF} = 250 MHz, BW = 75 MHz, F_{ADC} = 3.2 GHz, 衰减器 = 0 dB, L±(电感值)= 19 nH, PIN_0dBFS最大值设置, IDAC1_{FS} = 4 mA, f_{DATA_IQ} = 200 MSPS, 使能置乱器(每个时钟周期)且其默认阈值为5。

表1.		1	I			
参数	温度	测试条件/注释	最小值	典型值	最大值	单位
系统动态性能						
满量程输入功率水平(PIN_0dBFS) ¹				-2		dBm
最大连续波(CW)输入功率 ²			-2	-1		dBFS
噪声系数(NF)		无信号, 实测值		17		dB
最差带内噪声频谱密度	全温度范围	5 MHz带宽		-155	-152.5	dBFS/Hz
中频中心处的噪声系数(NF)		无信号, 实测值		13		dB
带内噪声频谱密度(NSD)		5 MHz带宽		-159		dBFS/Hz
输入二阶交调截点(IIP2)		-6 dBFS信号音		60		dBm
二阶交调失真(IMD) (IMD2)		见表20		-68.3		dBc
输入三阶交调截点(IIP3)	全温度范围	-8 dBFS信号音		36.9		dBm
三阶IMD (IMD3)	全温度范围	-8 dBFS信号音		-95	-84.2	dBc
扫描CW信号音的最差带内杂散	全温度范围	-2 dBFS信号音		-99	-93.5	dBFS
		10 dBFS信号音		-109.6		dBFS
带内噪声	全温度范围	-2 dBFS信号音		-75.5	-73.7	dBFS
	全温度范围	无CW信号音		-78.5	-76.5	dBFS
增益变化率	全温度范围			0.5		dB
中频输入(VIN±)						
输入跨度		0 dBFS				
0 dB衰减器设置				0.48		V р-р
12 dB衰减器设置				1.92		V р-р
共模输入电压		自偏置		1.0		V
差分输入阻抗	25°C			60 2		Ω pF
共模输入阻抗	25°C			3.5		kΩ
满量程输入功率调整		IDAC1 _{Fs} 范围为1 mA至4 mA		12		dB
(PIN_0dBFS)						
数字步进衰减器(VIN±)						
衰减范围	全温度范围			27		dB
步长	全温度范围			1		dB
输入回波损耗	全温度范围			20		dB
输入回损差异与衰减器设置的关系	全温度范围			2		dB
时钟输入(CLK±)						
时钟频率合成器禁用						
频率范围	全温度范围		2.0		3.2	GHz
幅度范围	全温度范围		0.4	0.8	2.0	V р-р
差分输入阻抗	25°C	3 GHz时		86 0.3		Ω∥pF
共模阻抗	25°C	3 GHz时		700 0.8		Ω∥pF
输入回波损耗	25°C	采用1:2巴伦		15		dB
共模电压	25°C	自偏置		0.70		V
时钟频率合成器使能						
频率范围 ³	全温度范围		10		320	MHz
幅度范围	全温度范围	单端,驱动到CLK+	0.4	0.8	1.1	V р-р
CLK+输入阻抗	25°C			1.4 1.0		kΩ pF
最小压摆率				12		V/µs
共模电压	25°C	自偏置		0.55		V

参数	温度	测试条件/注释	最小值	典型值	最大值	单位
时钟频率合成器						
鉴相器频率	全温度范围		10		80	MHz
最小电荷泵输出电流	全温度范围			0.1		mA
最大电荷泵输出电流	全温度范围			6.4		mA
VCO调谐范围	全温度范围		2.94		3.2	GHz
Σ-Δ型ADC和数字下变频器						
分辨率	全温度范围			16		位
时钟频率(F _{ADC})	全温度范围		2.0		3.2	GHz
中频中心频率(F_)	全温度范围		70		450	MHz
IF带宽		最大带宽适用于较高F。	0.005		$0.05 \times$	
			$ imes F_{ADC}$		F _{ADC}	
中频通带增益平坦度	全温度范围	与F _{ADC} 、F _{IF} 和带宽相关		1.0		dB
带外峰化		取决于F _{ADC} 、F _{IF} 和带宽		0.5		dB
混叠抑制		F _{ADC} ± F _{IF} 区间		51		dB
固定抽取系数	全温度范围			12, 16, 24,		
				32		
NCO调谐分辨率		12或24倍抽取		F _{ADC} /3072		
		16或32倍抽取		F _{ADC} /4096		
超范围恢复时间	全温度范围	相对于ADC时钟周期		52		1/F _{ADC}
电源和功耗						
模拟电源电压						
VDD1、VDDL、VDDQ、VDDC	全温度范围		1.0725	1.1	1.1275	V
VDD2、VDD2NV	全温度范围		2.4375	2.5	2.5625	V
VSS2IN		使用片内稳压器,接至		-2.0		V
		VSS2OUT				
数字电源电压(VDDD)	全温度泡围		1.0725	1.1	1.1275	V
JESD204B电源电压(VDDHSI)	全温度范围		1.0725	1.1	1.1275	V
SPI接口电源电压(VDDIO)	全温度泡围		1.7	1.8	2.5625	V
模拟电源电流						
	全温度泡围			368	397	mA
Ivddc + Ivddq	全温度范围	CLK频率合成器禁用		57	68	mA
Ivddc ⁴ + Ivddq	全温度泡围	CLK频率合成器便能		93	106	mA
IVDD2 + IVDD2NV	全温度范围			145	165	mA
数字电源电流(I _{vDDD})	全温度泡围			141	208	mA
JESD204B电源电流(I _{VDDHsl})	全温度泡围			164	190	mA
SPI接口电源电流(I _{VDDIO})	全温度范围			0.4	1	mA
切耗	全温度范围					
CLK SYN禁用				1.16	1.31	W
CLK SYN使能				1.20	1.34	W
待机5	全温度范围			0.44		W
关断	全温度范围			66	177	mW
工作温度范围			-40		+85	°C

¹外推输入功率水平在产生0dBFS功率水平的中频通带中心处测量。

² 对于CW信号音,Σ-Δ型ADC的过载电平从满量程倒退的保证值为-2dBFS,但通常会超过-1dBFS。峰均比(PAR)高于CW信号音(PAR=3dB)的输入信号必须根据PAR差应用更多倒退。

³时钟频率合成器参考分频器(寄存器0x2BB的位[7:6])必须设置为4分频或2分频,以确保其鉴相器频率小于等于40 MHz。

 4 f_{CLK} = 200 MHz, F_{ADC} = 3.2 GHz_o

⁵在待机(寄存器0x150=0x40)和低功耗ADC状态(寄存器0x250=0x95)下, AD6676的恢复时间配置为11.5 μs, 采用VSS2发生器/数字数据。

数字高速SERDES规格

除非另有说明, VDD1 = VDDL = VDDC = VDDQ = 1.1 V, VDDD = VDDHSI = 1.1 V, VDD2 = 2.5 V, VDDIO = 1.8 V。

表2.						
参数	符号	温度	最小值	典型值	最大值	单位
高速串行输入/输出						
行速率			1.6668		5.333	Gbps
双通道数据输出周期或单位间隔	UI	全温度范围		$1/(20 \times f_{DATA_IQ})^1$		S
单通道数据输出周期或单位间隔	UI	全温度范围		$1/(40 \times f_{DATA_IQ})^1$		s
数据输出占空比		25°C		50		%
数据有效时间		25°C		0.78		UI
PLL锁定时间		25°C		4		μs
唤醒时间(待机)		25°C		5		μs
唤醒时间(省电模式)		25°C		2.5		ms
流水线延迟		全温度范围		32.3		1/f _{DATA_IQ} ¹
确定性抖动		25°C		9		ps
5.333 Gbps时随机抖动		25°C		0.7		ps rms
输出上升/下降时间		25°C		45		ps
SYNCINB±下降沿至K.28首字符		25°C	4			多帧
CGS阶段的K.28字符持续时间		25°C	1			多帧
数字输出(SERDOUT0±、SERDOUT1±)						
逻辑兼容		全温度范围		CML		
差分输出电压	VOD	全温度范围	360		750	mV
输出失调电压,ANSI模式	VOS	全温度范围	0.75	VDDHSI/2	1.05	V
差分端接阻抗		25°C		100		Ω
SYSREF输入(SYSREF±)						
逻辑兼容				LVDS/PECL		
差分输入电压		全温度范围	0.6	1.2	1.8	V р-р
差分输入阻抗2		25°C		35/2		kΩ pF
输入共模电压			0.8	0.85	2.0	V
SYNCIN输入(SYNCINB+、SYNCINB-)						
逻辑兼容3				CMOS/LVDS		
CMOS输入高电压	VIH			0.65 × VDDIO		V
CMOS输入低电压	VIL			0.35 × VDDIO		V
LVDS差分输入电压		全温度范围	0.6	1.2	1.8	V р-р
LVDS差分输入阻抗		25°C		100 1		Ω pF
LVDS输入共模电压			0.8	0.85	2.0	V
LVDS输入共模阻抗		25°C		1 1		kΩ pF
SYSREF (SYSREF±)时序要求 ^₄						
时钟频率合成器禁用						
建立时间	t _{SU_SR}	25°C		0.16		ns
保持时间	t _{H_SR}	25°C		0.84		ns
时钟频率合成器使能						
建立时间	t _{SU_SR}	25°C		0.5		ns
保持时间	t _{H_SR}	25°C		0.5		ns

¹ F_{DATA_IQ}对应于复数输出数据速率(即F_{ADC}/DEC_FACTOR)。延迟规格还包括ADC和数字滤波器延迟。见表15

²为了正确端接SYSREF±输入,需要一个外部差分电阻。

³ 通过寄存器0x1E7的位2设置,CMOS是默认设置。

⁴ SYSREF±建立和保持时间相对于SYSREF±上升沿和时钟上升沿定义。正建立时间领先时钟沿。正保持时间也落后于时钟上升沿。注意,保持时间考虑到了 用于对SYSREF进行采样的内部时钟信号工作在F_{ADC}/2这一点,因此,SYSREF±必须至少保持两个F_{ADC}时钟周期的高电平。



数字CMOS输入/输出规格

除非另有说明, VDD1 = VDDL = VDDC = VDDQ = VDDD = VDDHSI = 1.1 V, VDD2 = 2.5 V, VDDIO = 1.8 V。

表3.						
参数	符号	测试条件/注释	最小值	典型值	最大值	单位
CMOS输入/输出电平						
输入高电压	VIH		VDDIO × 0.65			V
输入低电压	VIL				VDDIO \times 0.35	V
高输出电压	V _{OH}					
SDIO/SDO		I _{он} = 3 mA	VDDIO × 0.7			V
AGCx		I _{он} = 0.5 mA	VDDIO × 0.7			V
低输出电压	Vol					
SDIO/SDO		$I_{OL} = 3 \text{ mA}$			0.4	V
AGCx	Vol	I _{OL} = 0.5 mA			0.4	V
输入电容				1		рF
SPI时序		参见图148、图149和图150				
SCLK频率	f _{SCLK}				25	MHz
SCLK周期	t sclk		40			ns
SCLK高电平脉冲宽度	t _{HIGH}		10			ns
SCLK低电平脉冲宽度	t _{LOW}		10			ns
SDIO建立时间	t _{DS}		2			ns
SDIO保持时间	t _{DH}		2			ns
SPI_RESET建立时间 ¹	t _{spi_rst}	图148至图150中未显示		2		ms
SCLK下降沿至SDO有效传播	taccess		10			ns
延迟时间						
CSB上升沿至SDIO高阻态	tz		10			ns
CSB下降至SCLK上升建立时间	ts		2			ns
SCLK下降至CSB上升保持时间	t _H		2			ns

¹这是软件或硬件复位后到又可以进行SPI访问所需的时间。

绝对最大额定值

表4.

4270	
参数	额定值
VDD1、VDDC、VDDL、VDDQ至VSSA	0.2 V至+1.2 V
VDD2至VSSA	0.3 V至+3.0 V
VDD2NV至VSSA	0.3 V至+3.0 V
VSS2IN、VSS2OUT至VSSA	2.5 V至+0.3 V
VDDD、VDDHSI至VSSD	0.2 V至+1.2 V
VDDIO至VSSD	0.3 V至+3.0 V
VIN+、VIN-至VSSA	0.3 V至VDD2+0.3 V
L+、L-至VSSA	0.3 V至VDD2+0.3 V
CLK+、CLK-至VSSA	0.3 V至VDDC+0.3 V
SYSREF+、SYSREF-、SERDOUT0+、 SERDOUT0-、SERDOUT1+、 SERDOUT1-至VSSD	-0.3 V至VDDHSI + 0.3 V
SYNCINB+、SYNCINB-至VSSD	0.3 V至VDDIO+0.3 V
CSB、SDO、SDIO、SCLK、RESETB、 AGC1、AGC2、AGC3、AGC4至VSSD	0.3 V至VDDIO+0.3 V
正常工作温度范围	-40℃至+85℃
偏置条件下的最大结温	125℃
存储温度范围	65℃至+150℃

注意,等于或超出上述绝对最大额定值可能会导致产品永 久性损坏。这只是额定最值,并不能以这些条件或者在任 何其它超出本技术规范操作章节中所示规格的条件下,推 断产品能否正常工作。长期在超出最大额定值条件下工作 会影响产品的可靠性。

热阻

 θ_{JA} 典型值的测试条件为符合JESD51-9 2s2p要求的带实接地 层的4层印刷电路板(PCB)。另外,直接与封装引脚接触的金 属,包括金属走线、通孔、接地层、电源层,可降低 θ_{JA} 值。

表5. 热阻

封装类型	θја	эιθ	θјв	单位
$4.3 \text{ mm} \times 5.0 \text{ mm} \text{WLCSP}$	26	0.2	4.5	°C/W

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。 尽管本产品具有专利或专有保护电路,但在遇到高能 量ESD时,器件可能会损坏。因此,应当采取适当的 ESD防范措施,以避免器件性能下降或功能丧失。

引脚配置和功能描述

	1	2	3	4	5	6	7	8
A	VDDQ	VDD1	VSSA	VDD1	VDD2	L+	L-	VSSA
в	CLK+	VDD1	VDD1	VSSA	VDD1	VDD2	VDD2	VIN+
с	CLK-	VDDC	VDD1	VDD1	VSSA	VDD1	VSSA	VIN-
D	VDDC	VDDC	VDD1	VDDL	VDDL	VSSA	VDD1	VSSA
E	VSSA VSS		VSSA	VSSA	VSSA	VSSA	VDD2	VDD2
F	VSSA	VSSA	VSSA	VSSD	VSSD	VSS2IN	VDD2NV	VSSA
G	SYSREF+	VSSD	VSSD	VSSD	VSSD	RESETB	VSS2OUT	VDDIO
н	SYSREF- VSSD VDDD		VDDD	VDDD	VDDD	SDO	AGC4	AGC2
J	VDDHSI	VDDHSI	VDDD	VDDD	VDDD	CSB	AGC3	AGC1
к	SERDOUT0-	SERDOUT0+	SERDOUT1-	SERDOUT1+	SYNCINB+	SYNCINB-	SCLK	SDIO
	1.1V AN/	ALOG SUPPLY		G SUPPLY GR		.1V DIGITAL SU	JPPLY	
	2.5V AN	ALOG SUPPLY		L SUPPLY GRO		2V ANALOG SL	JPPLY	
	1.8V TO	2.5V DIGITAL I/ SUPPLY	O JESD2	04B INTERFACE	E 🗖 A	GC I/O		500
	SPI INTE	RFACE	ADC I/0	D				0000
			图3.	引脚配置(顶视图, 🕫	未按比例)		

表6.引脚功能描述

引脚编号	引脚名称	描述
Σ-Δ型ADC调制器		
B8、 C8	VIN+、VIN-	带标称60Ω差分输入端接电阻的模拟输入。
A6、 A7	L+、L-	用于外部电感的模拟输出。
B1√ C1	CLK+、CLK-	时钟输入,时钟频率合成器禁用时,端接标称100Ω差分输入电阻。 时钟频率合成器使能时,每个输入为1.2 kΩ,因此,如果时钟源为LVDS或PECL, 推荐使用100Ω外部差分端接电阻。对于驱动长走线的CMOS源, 在其旁边添加33Ω串联电阻可降低CLK+输入引脚上的过冲。
JESD204B接口		
K1、K2	SERDOUT0-、SERDOUT0+	通道0 JESD204B数字CML输出。
K3、K4	SERDOUT1-、SERDOUT1+	通道1 JESD204B数字CML输出。
G1、H1	SYSREF+、SYSREF-	JESD204B SYSREF输入。注意,这些引脚无差分端接电阻。
K5、K6	SYNCINB+、SYNCINB-	JESD204B CMOS或LVDS SYNC输入。可通过寄存器0x1E7的位2选择。 默认CMOS模式仅使用SYNCINB+引脚。LVDS模式具有100Ω差分端接电阻。

引脚编号	引脚名称	描述
CMOS输入/输出		
J8、H8、J7、H7	AGC1、AGC2、AGC3、	AGC双向输入/输出。默认情况下,AGC2和AGC1为输入,AGC4和AGC3为输出。
	AGC4	如果不使用AGC2和AGC1引脚,应通过100 k Ω 电阻将其连接到VSSD。
J6	CSB	串行端口使能输入。低电平有效。
K8	SDIO	串行端口输入/输出。
H6	SDO	串行端口输出。
K7	SCLK	串行时钟输入。
G6	RESETB	低电平有效复位输入。此引脚将数字逻辑和SPI寄存器置于已知的默认状态。
		不使用时,此引脚应为开路,因为它内置上拉电阻。
电源		
G8	VDDIO	CMOS输入/输出的数字电源输入(1.8 V至2.5 V)。
J1、J2	VDDHSI	高速串行接口的1.1 V数字电源输入。
H3至H5、J3至J5	VDDD	1.1 V数字电源输入。
F4、F5、G2至G5、H2	VSSD	数字电源回路。
A1	VDDQ	CLK频率合成器电荷泵和分频器的1.1 V模拟电源输入。
C2、D1、D2	VDDC	CLK频率合成器VCO的1.1 V模拟电源输入。
D4、D5	VDDL	ADC的1.1 V模拟电源输入。
A2、A4、B2、B3、B5、	VDD1	ADC的1.1 V模拟电源输入。
C3、C4、C6、D3、D7		
A5、B6、B7、E7、E8	VDD2	2.5 V模拟电源输出。
A3、A8、B4、C5、C7、	VSSA	模拟电源回路。
D6、D8、E1至E6、		
F1至F3、F8		
负电压稳压器		
F7	VDD2NV	2.5 V模拟电源输出。
G7	VSS2OUT	内部2.0 V电源输出。连接此引脚到VSS2IN。
F6	VSS2IN	-2.0V模拟电源输出。连接此引脚到VSS2OUT。

典型性能参数

IF = 115 MHz的标称性能(直接采样VHF接收机)

除非另有说明, $F_{IF} = 115 \text{ MHz}$, BW = 20 MHz, $F_{ADC} = 2.4 \text{ GHz}$, 衰减器 = 0 dB, $L_{EXT} = 100 \text{ nH}$, 最大PIN_0dBFS设置, $f_{DATA_{IQ}} = 75$ MSPS,标称电源,置乱器使能(每4个时钟周期),默认阈值设置。



2348-61C

12348-61

12348-612

-2

-2



IF = 140 MHz的标称性能(µW点对点接收机)

除非另有说明, F_{IF} = 140 MHz, BW = 56 MHz或112 MHz, F_{ADC} = 3.2 GHz, 衰减器 = 0 dB, L_{EXT} = 43 nH, 最大PIN_0dBFS 设置, $f_{DATA IQ}$ = 200 MSPS, 标称电源, 置乱器使能(每个时钟周期), 默认阈值设置。



图18. CW干扰信号动态范围频谱图(QAM1024,通道BW = 14 MHz, 处于敏感水平,CW干扰信号高出30 dB,35 MHz偏移)



IF = 181 MHz的标称性能(无线基础设施接收机)

除非另有说明, $F_{IF} = 181 \text{ MHz}$, BW = 75 MHz, $F_{ADC} = 2.94912 \text{ GHz}$, 衰减器 = 0 dB, $L_{EXT} = 43 \text{ nH}$, 最大PIN_0dBFS设置, $f_{DATA_{LQ}} = 122.88 \text{ MSPS}$, 置乱器使能(每个时钟周期), 默认阈值设置。













图31. 扫描最差通带杂散(CW从122.88 MHz扫描到245.76 MHz, P_{IN} = -1 dBFS、-6 dBFS、-12 dBFS和-18 dBFS)







图33. 通带内扫描双音最差IMD3与频率的关系(双音的 $\Delta f = 5$ MHz, $P_{IN} = -8$ dBFS、-14 dBFS和-20 dBFS)

IF = 250 MHz且BW = 75 MHz的标称性能

除非另有说明, F_{IF} = 250 MHz, BW = 75 MHz, F_{ADC} = 3.2 GHz, 衰减器 = 0 dB, L_{EXT} = 19 nH, 最大PIN_0dBFS设置, $f_{DATA_{LQ}}$ = 200 MSPS, 标称电源, 置乱器使能(每个时钟周期), 默认阈值设置。









 $P_{\rm IN} = -8 \ dBFS, -14 \ dBFS \pi -20 \ dBFS)$

IF = 350 MHz且BW = 160 MHz的标称性能

除非另有说明, $F_{IF} = 350 \text{ MHz}$, BW = 160 MHz, $F_{ADC} = 3.2 \text{ GHz}$, 衰减器 = 0 dB, $L_{EXT} = 10 \text{ nH}$, 最大PIN_0dBFS设置, $f_{DATA_{LQ}} = 266.7 \text{ MSPS}$, 置乱器使能(每个时钟周期), 默认阈值设置。





INPUT POWER (dBm) 图51. 中频通带区间(BW = 160 MHz)的IBN与扫描单音 输入功率的关系(CW在431 MHz)





图57. 通带内扫描双音最差IMD3与频率的关系(双音的 $\Delta f = 5 \text{ MHz}$, $P_{IN} = -8 \text{ dBFS}, -14 \text{ dBFS} \pi - 20 \text{ dBFS}$)



图62. 等效SDIO或AGCx输入/输出电路



图63. 等效RESETB输入电路



图64. 等效SYNCINB±输入



图65. 数字CML输出电路



图58. 等效CSB或SCLK输入电路





图60. 等效时钟输入电路



图61. 等效SYSREF±输入

术语 噪声系数(NF)

NF是噪声密度为-174 dBm/Hz的输入信号通过一个器件或 系统之后,其SNR性能的下降幅度(用dB表示)。在数学上 可表示为:

 $NF = 10 \times \log(SNR_{IN}/SNR_{OUT})$

AD6676的噪声系数由下式确定:

 $NF = P_{_{IN}} - (10 \times \log(BW)) - (-174.0 \text{ dBm/Hz}) - SNR$

其中:

P_N为未调制载波的输入功率。

BW为噪声测量带宽。

-174.0 dBm/Hz为290 K时的热噪底。

SNR为AD6676的实测信噪比(用dB表示)。

注意, P_{IN} 设置为较低的水平(<-40 dBm),以使输入信号或 Σ - Δ ADC时钟源的相位噪声引起实测SNR下降的幅度最小。

噪声频谱密度(NSD)

NSD是归一化到1Hz带宽(于特定频率)的噪声功率,相对于 ADC的满量程(dBFS)而言,因此其单位为dBFS/Hz。作为 一款Σ-Δ型ADC,AD6676在其中频通带上的NSD是不均匀 的。最差NSD和通带中心处的NSD均有提供。注意,NSD 是根据5 MHz带宽内测得的IBN来计算的。

带内噪声(IBN)

IBN为用户自定义带宽内测得的积分噪声功率,相对于ADC的满量程(dBFS)而言。除非另有说明,此带宽通常等于AD6676的中频通带设置(BW)。

输入二阶交调截点(IIP2)

IIP2是一个用于量化器件或系统的二阶交调失真(IMD2)的 品质因数。指定频率(f₁和f₂)的两个等幅未调制载波注入一 个非线性系统,其展现的二阶非线性在f₁ – f₂和f₁ + f₂处产生 IMD成分。对于AD6676,这两个频率位于中频频率的½处 (偏移2 MHz),中频中心频率处的功率水平对应于-6 dBFS, 仅考虑f₁ + f₂处的交调项。IIP2是交调项与输入信号音具有相 同幅度时的外推信号音功率。

$$IIP2 = P_{IN} - IMD2$$

输入三阶交调截点(IIP3)

IIP3是一个用于量化器件或系统的三阶交调失真(IMD3)的 品质因数。指定频率(f_1 和 f_2)的两个等幅未调制载波注入一 个非线性系统,其展现的三阶非线性在2 $f_1 - f_2$ 和2 $f_2 - f_1$ 处产 生IMD成分。IIP3是交调项与输入信号音具有相同幅度时 的外推信号音功率。

 $IIP3 = P_{IN} - IMD3/2$

注意,ADC的三阶IMD性能并不一定遵守RF/IF线性器件 常见的3:1规则。IMD性能取决于双音频率、信号输入电平 和ADC时钟速率。

最差带内杂散(SFDR)

最差带内杂散是指确定功率水平的单信号音步进(增量通常为1 MHz)扫描用户自定义的频率范围时,落入中频通带内的最差杂散,相对于ADC的满量程(dBFS)而言。注意,根据AD6676的IF、BW和IQ输出数据速率以及扫描范围,此最差杂散常常是与杂散相关的镜像(或时钟)。

信号传递函数(STF)

STF是指ADC输出信号相对于其输入端的扫描单信号音的 频率响应。"典型性能参数"部分针对AD6676不同建立条 件而提供的STF显示了数字滤波器之后中频通带上的STF, 用以强调通带平坦度。宽带STF响应在数字滤波器之前进 行测量,用以强调AD6676 Σ-Δ ADC的通带响应。

工作原理

概述

AD6676是一款能够对中频信号进行数字化处理的高度集成 且灵活的中频子系统。该Σ-Δ ADC可以调谐中频频率和带 宽,因而能够针对不同的应用进行优化,同时可用带宽换 取动态范围。为了方便评估和设计,必须使用AD6676EBZ 开发平台中的软件工具来配置和评估该器件。此工具将SPI 初始化和配置序列保存到一个文件以供日后使用。GUI前 面板屏幕截图(参见图66)显示了配置AD6676的不同用户指 定应用参数。下面将更详细地分析器件工作原理,以及这 些应用参数如何影响性能。

FADC [GHz]	3.2	L (nH)	19	Margin(MHz)	[550]
FIF (MHz)	300	Atten. [dB]	0		
BW (MHz)	100	PIN_0dBFS [dBm	4]	
Use Synth	(MHz) 200	Output Mode	3 - Deci-16 -		
📃 is 3 Wire S	SPI	Sample Size	32768 •		
Flash Shuffle	Shift Every 1 Clk	JESD Lanes	Double		

图66. 方便器件配置和评估的AD6676 GUI软件工具的屏幕截图

图67所示为AD6676的功能框图。AD6676的焦点是其连续 时间、带通Σ-Δ型ADC,它以2.0 GHz到3.2 GHz的时钟速率 工作。片内控制器根据用户指定的应用参数配置该Σ-Δ型 ADC。Σ-Δ ADC在所需的中频范围内提供出色的动态范围 和通带平坦度,同时将带外峰化限制在0.5 dB以下。片内时 钟频率合成器提供2.94 GHz至3.2 GHz的Σ-Δ ADC时钟。或 者,也可以使用外部时钟来提供较低的时钟速率或改善相 位噪声性能。 片内数字信号处理模块包括一个正交数字下变频器 (QDDC),其后接一个可选抽取滤波器,支持的抽取系数 为12、16、24和32。QDDC对所需的中频通带执行复数移 位,使其以DC(即零中频)为中心。级联抽取滤波器滤除 ADC固有的带外噪声以及任何其他带外信号成分,使16位 复数IQ数据降至更好管理的数据速率,以便通过单通道或 双通道JESD204B接口(最高支持5.333 Gbps通道速率)传输到 主机。

AD6676还具有AGC支持和/或电平规划优化特性。AGC支 持包括监控Σ-Δ型ADC输出端的峰值功率或第一内部抽取 级之后的均方根功率的能力。主机可通过配置各种标志来 启动快速AGC操作,标志的状态可通过AGC4至AGC1引脚 提供。标志可利用可编程阈值设置,指示信号电平是高于 还是低于规定的电平。在系统初始校准期间,IFAGC控制 或电平规划优化可以使用步长为1dB的27dB衰减器。或 者,-2dBm的标称0dBFS满量程输入功率水平(PIN_0dBFS) 最多可以降低12dB,从而进一步降低RF/IF增益要求。通过 SPI端口可对AD6676的许多参数进行编程,因此该器件可 针对各种不同应用进行优化。





图68. 带通Σ-Δ型ADC调制器的简化单端示意图

带通Σ-Δ ADC架构

图68显示了AD6676带通Σ-Δ型ADC的简化单端示意图。 它是一个六阶调制器,由三个级联二阶连续时间谐振器、 反馈DAC和过采样量化器组成。第一谐振器(RESON1)基于 LC谐振器,其谐振频率通过C_{ARRAY}调谐至IF中心;第二和 第三谐振器(RESON2和RESON3)则基于有源RC,其谐振频 率调谐至以IF为中心的对称偏移频率。这些谐振频率对应 于Σ-Δ ADC量化噪声的零位置,根据用户定义的IF频率和 带宽设置。

一个17级Flash ADC对RESON3的模拟输出进行过采样, Flash ADC的数字输出通过电流模式DAC (IDACx)反馈到各 谐振器。注意,ADC温度计代码输出的范围是-8至+8,因 此用5位表示,传递到AD6676数字路径。IDAC1满量程电流 设置(IDAC1_{FS})设定最大满量程输入功率水平(PIN_0DBFS)。 其他IDAC的满量程设置设定调制器的极点位置以实现平坦 的带通响应。最后,一个可编程置乱器跟随Flash ADC,用 以提高AD6676在大信号条件下的线性度性能。

Σ-Δ ADC的可调谐特性是反馈DAC的满量程电流、各谐振器相关的电导(G)和电容(C)的结果。这些可编程元件的值根据表7所列的用户指定应用参数计算。各参数对AD6676性能的影响将在以下部分说明。

表7. 决定Σ-Δ ADC内部设置的用户 指定应用参数列表

应用参数	描述	SPI寄存器		
FIF	IF中心频率(MHz)	0x102、0x103		
带宽	IF通带带宽(MHz)	0x104、0x105		
FADC	Σ-Δ ADC时钟速率(MHz)	0x100、0x101		
Lext	外部电感值(nH)	0x106		
MRGN	用于设置谐振器频率的	0x107至0x109		
IDAC1 _{FS}	俗重偏移(MHZ) 用于设置PIN_0dBFS电平的	0x10A		
	IDACI满量程电流			

片内控制器仅在器件初始化期间使用,执行以下任务:

- 负稳压器(用于IDAC)上电
- 校准RESON1和17级Flash ADC
- 根据用户输入参数调谐Σ-Δ ADC
- 设置JESD204B PHY所用的PLL

器件初始化完成后,片内控制器禁用,在器件正常工作期间不使用。

信号和噪声传递函数

Σ-Δ ADC的频域响应由其信号和噪声传递函数(STF和NTF) 定义。图69所示为Σ-Δ调制器的简化反馈模型,ADC量化 误差建模为环路滤波器(H)之后的加性噪声源(E)。STF为输 出信号(V)相对于输入端扫描单信号音(U)的频率响应,而 NTF为经过ADC环路滤波器引起的噪声整形之后,ADC量 化噪声的频率响应(即V/E)。注意,反馈环路中的ADC和 DAC的工作时钟速率远高于传统开环ADC,后者只需满足 奈奎斯特准则($F_{ADC} = 2 \times BW$)。

过采样比(OSR)是所有 Σ - Δ ADC的重要参数,定义如下:

$$OSR = F_{ADC} / (2 \times BW) \tag{1}$$



图69.显示STF和NTF原点的Σ- Δ ADC简化模型

对于AD6676,环路滤波器由三个级联谐振器组成,实现六 阶带通响应,使得AD6676的过采样比可以保持中等水平(≥ 10),从而获得最高160 MHz的可用带宽。环路滤波器采用 反馈架构,使得STF的带外增益峰化非常小,而NTF则能 抑制带内量化噪声。图70显示了STF和Σ-Δ ADC整形噪声的 一个例子,其配置为:BW=80 MHz, $F_{\rm FF}$ = 300 MHz, $F_{\rm ADC}$ = 3.2 GHz。注意, $F_{\rm FF}$ 附近的NSD远低于其他地方的NSD, STF 带宽则相当宽。





图71聚焦于IF通带区间,比较实测整形噪声与理想整形噪 声(使用理论NSD曲线,仅考虑理想ADC量化效应)。理论 曲线上突出显示了谐振器零位置,在实测响应曲线上也可 以分辨出来。注意,NSD性能最低或陷波最深的区间始终 以F_{IF}设置为中心。这是因为,RESON1增益在F_{IF}处达到峰 值,RESON1之后各级的噪声通过除以RESON1增益而折合 到输入端。



与常规ADC不同, Σ - Δ ADC的NSD不是平坦的,因为其频 率相关的环路滤波器H(s)会对量化噪声和其他各种噪声源 进行整形。由于 Σ - Δ ADC高度可编程,因此其NSD可针对 用户指定的应用参数设置进行优化。一般而言,NSD性能 变化与应用参数设置之间具有如下关系:

- 以高过采样比(OSR>20)工作时,可获得最低且最平坦的 NSD性能。这是因为,当过采样比较高时,RESON1、 RESON2和RESON3相关的谐振频率(或零位置)彼此靠 近,使得量化噪声降至以第一级IDAC1的热噪声为主的 地步。
- 以低过采样比(OSR < 20)工作时,量化噪声贡献变得更为显著,导致NSD中出现波峰。NSD中之所以出现波峰,是因为RESON2和RESON3相关的谐振频率进一步偏离RESON1以适应带宽的增加,导致总环路增益减小以抑制该越来越重要的噪声源。不同过采样比对NSD的影响如图72所示。
- 在保持相同过采样比的同时以较低的F_{IF}工作,会导致通 带边缘的NSD性能下降,如图73所示。



不均匀NSD曲线对特定应用的影响取决于要数字化和解调 的中频信号的带宽和调制特性。例如,包含窄带载波(位于 通带上任何地方)的多模式软件定义无线电,必须考虑通带 上最高水平处的NSD性能,因为这是计算此区间内窄带信 号带内噪声的最差NSD。相反,位于中频通带中心的单宽 带QAM信号则可受益于出色的带内噪声性能,因为NSD在 此区间仍然是最低的。注意,AD6676额定NF是在NSD最 高的区间测量的。

STF和NTF可重复性

确定应用参数之后,在整个温度范围内及不同器件之间, AD6676的STF和NTF特性具有可重复性且保持稳定。与器 件工艺或外部电感L_{EXT}相关的容差会引起器件间差异,上 电初始化阶段执行的片内校准可降低这种差异。值得注意 的是,STF和NTF确实存在很小的差异,但它很可能小于 采用低过采样ADC和激进式高阶LC抗混叠滤波器的传统接 收机解决方案。Monte Carlo分析中必须考虑L和C元件的容 差以及有源器件的源阻抗和负载阻抗的差异。

STF和NTF可重复性演示中使用了以下应用参数: f_{CLK} = 3.2 GHz, F_{IF} = 250 MHz, BW = 75 MHz, L_{EXT} = 19 nH, IDAC1_{FS} = 4 mA, MRGN = 默认值。图74和图75显示了单 个器件连续5次上电初始化操作的STF和NTF响应的可重复 性和温度稳定性;在这些操作中,器件在25°C校准,然后 漂移到-40°C和+85°C。



Σ-Δ ADC过载和恢复

Σ-ΔADC是一个六阶调制器,采用负反馈来降低其内部量化 器的噪声贡献。像任何ADC一样,量化器在大信号条件下 会被驱动到过载状态,导致其输出不能很好地代表其输 入。然而,与传统开环工作的ADC不同的是,略低于0 dBFS 满量程输入电平的信号可将Σ-Δ ADC驱动到过载状态,反 馈环路会变得不稳定,过载条件消除后可能无法回到正常 工作状态。典型的不稳定Σ-Δ ADC产生在正满量程或负满 量程之间变化的数字输出。AD6676采用多种技术来解决这 些问题。

首先,为使连续波信号音的无过载范围接近0dBFS左右的 电平,AD6676采用一个5位量化器。在其全部工作范围以 内,当连续波电平低于-2dBFS时,AD6676无条件保持稳 定,典型过载电平为-0.5dBFS。实际应用中,决定峰值出 现和持续时间的大信号波形特性会影响过载阈值。对于过 载,连续波信号音接近最差情况,因为峰值电平的出现具 有最高的可能性。另一方面,波峰因数高得多且直方图更 接近高斯状的信号则不大可能引起过载,因为其峰值偏移 的持续时间很短。由于这个原因,对于采用AGC的系统, 设置AGC阈值时应考虑波形特性。

其次,为确保ADC不会陷于自持续式过载状况,AD6676 具有检测过载、复位 Σ - Δ ADC并使其快速回到正常工作状态的手段。在来自量化器的8个样本中,若有5个以上的样本等于正或负满量程值,则说明发生过载。检测到过载后, Σ - Δ ADC中的内部节点复位至零状态,衰减设置临时提高6 dB。经过16个F_{ADC}时钟周期之后,ADC复位解除;在随后的48个F_{ADC}时钟周期,衰减回到原始值。如果输入信号使得过载再次发生,则上述过程重复执行,直至信号落在 Σ - Δ ADC的无过载范围内。虽然 Σ - Δ ADC能在信号落入无过载范围后的64个F_{ADC}时钟周期内产生正确数据,但必须等到抽取滤波器完全清除与过载事件相关的不良数据之后,才能保证AD6676的输出完全没有记忆效应。

图76至图79显示了用持续时间为10 ns且占空比为2%的周 期 性 脉 冲 CW 波 形 驱 动 时 , 各 种 抽 取 滤 波 器 模 式 (DEC_MODE)的实测过载恢复响应。 波形的窄脉冲区设置 为比其他区间仅高出1 dB,其峰值功率调整为略高于过载阈 值电平,导致偶尔发生过载事件。 每张图均比较引起过载 事件的脉冲与Σ-Δ ADC保持稳定的脉冲的包络响应,并且 包括一个放大区间,用以显示大量程建立的1%建立时间。 由于相位响应会恢复包络响应之前的两到三个样本,因此 未显示相位响应。

注意:

- AD6676配置如下: F_{IF}=300 MHz, BW=100 MHz, F_{ADC}=3.2 GHz。
- 任何抽取系数的绝对建立响应与f_{DATA_IQ}成比例。例如,图 77中显示的建立时间为额外7个样本,f_{DATA_IQ}=200 MSPS, 因此绝对建立时间为35 ns (7 × 1/200 MSPS)。
- 选择12或16的抽取系数可改善绝对建立时间,因为它可 降低最后一级抽取滤波器所引起的加性延迟。



归一化IQ幅度响应比较



因79. 当脉冲CW波形(10 IS见)瘤低于和哈高于嘩住 功率水平而导致ADC过载时, 32倍抽取情况下的 归一化IQ幅度响应比较

Σ-Δ ADC配置考虑

最大输入功率(PIN_0dBFS和IDAC1_{FS})

对于正弦输入信号, AD6676最大满量程输入功率 (PIN_0dBFS)取决于IDAC1峰值满量程输出电流(IDAC1_{FS}) 和衰减器 R_{N} (即60 Ω), 如下式所示。

$$PIN_0dBFS = 10 \times \log 10(1/2 \times R_{IN} \times IDAC1_{FS}^{2})$$
(2)

考虑AD6676输入级由RESON1、IDAC1和 R_{IN} 组成时,如图 68所示,便很容易推导出此公式。 R_{IN} 为衰减器的输入电 阻。与IDAC1相关的共源共栅晶体管和 R_{IN} 构成一个低阻抗 节点,用作电流模式求和结,其将输入信号(等于 VIN±/ R_{IN})与来自IDAC1的反馈信号相比较。注意, Σ -Δ调 制器的反馈环路试图产生一个相等但反向的反馈电流,以 抵消该求和结处出现的信号电流。最终,IDAC1能够产生 的最大反馈信号电流受限于其满量程建立IDAC1_{FS},因而 设置0dBFS电平,使得反馈不再能抵消输入信号电平(或功 率)的任何进一步增加。例如,AD6676的IDAC1_{FS}标称设置 4mA相当于-3dBm的PIN_0dBFS,产生±240mV峰值的差 分电压摆幅。

公式2假设衰减器设置为0dB。任何超过0dB的设置都会将 衰减器输入端测得的有效PIN_0dBFS提高一个等于衰减器 设置的量。

实际应用中,对于不同的应用参数设置,由于存在一定的 通带倾斜,实测PIN_0dBFS可能会相差十分之几dB。因 此,PIN_0dBFS定义在IF中心。

L_{EXT}选择

 L_{EXT} 的允许值范围取决于以下应用参数: F_{IF} 、 F_{ADC} 和 IDAC1_{FS}。图80显示了IDAC1_{FS}设置为默认值4mA时的上限 和下限设置(L_{MAX} 和 L_{MIN})。注意, L_{MAX} 限值由LC谐振器上的 最大电压摆幅设置, L_{MIN} 限值由内部电容阵列提供的最大 调谐电容设置。



选择L_{EXT}时,需注意以下几点:

- L_{EXT}值越大,则LC谐振器上的电压摆幅越大。可以考虑 选择约为L_{MAX}的55%到80%的值,由于电感上的电压摆 幅降低,IMD性能会得到改善。相反,较高的值可能导 致噪声性能略有改善(主要在IF中心附近),但IMD性能 会降低。
- 10%的电感精度即足够,因为它完全位于AD6676上电初 始化阶段的校准范围以内。

- 表贴电感可以是绕线式或多层式。较低成本的多层电感的质量因数通常低于20,这对AD6676 NSD性能可能略 有影响。决定选择较低成本的多层电感之前,应比较这 两类电感的性能。
- LC谐振器上的电压摆幅与设置PIN_0dBFS的IDAC1_{FS}成 比例,因此若IDAC1_{FS}降低,L_{EXT}可反比例提高,以维持 相似的电压摆幅。注意,内部电容阵列的最小调谐电容 连同PCB寄生电容一起设置最大L_{EXT},如公式3所示。

$$L_{MAX TUNE} = ((2\pi \times F_{IE})^2 \times 7.1 \text{ pF})^{-1}$$
(3)

由于存在±20工艺偏差,电容阵列的最小电容贡献最高可达6.6 pF。另外还有0.5 pF的PCB寄生电容,因此使用7.1 pF的值。

通过10 Ω电阻和0.1 μF去耦电容将两个外部电感L_{EXT}连接到 VDD2电源,如图93所示。

下面的例子说明如何利用以下应用参数确定 L_{EXT} : F_{IF} = 150 MHz, F_{ADC} = 3.0 GHz, IDAC1_{FS} = 4 mA。参考图80, L_{MAX} 和 L_{MIN} 范围是从20 nH到70 nH。43 nH为 L_{MAX} 的61%, 该值是合适的。注意:如果IDAC1_{FS}降至2 mA,则此值可提高到86 nH,它仍然低于绝对最大值。

通过调整IDAC1_{FS}实现低PIN_0dBFS操作

由于IDAC1_{FS}可以在4mA到1mA范围内进行调整,因此 PIN_0dBFS最多可以降低12dB,如公式4所示。

$$IDAC1_{FS} = 4 \text{ mA} \times (IDAC1_FS/64)$$
(4)

其中, IDAC1_FS为寄存器0x10A的十进制等效值。

 L_{EXT} 值可以按照IDAC1_{ES}降低的比例提高,以使LC谐振器保持相似的电压摆幅。

图81和图82显示了IDAC1_{FS}设置为4.0 mA、2.0 mA和1.0 mA 时的NSD和IMD性能。图83显示了各种情况的STF响应。 由此示例可得出以下几点:

- IF为300 MHz时,电感绝对最大值为39 nH;因此,IDAC1_{FS} 为2.0 mA和1.0 mA时均选择此电感值。
- IDAC1_{FS}从4.0 mA降至2.0 mA且L_{EXT}加倍时, PIN_0dBFS 降低6 dB, 但平均带内噪声IBN仅提高1.8 dB。因此, ADC 的噪声系数改善4.2 dB。
- IDAC1_{FS}从2.0mA降至1.0mA时,ADC满量程再降低6dB, 但平均带内噪声仅提高4.6dB。这种情况下,噪声系数改 善有限,仅为1.4dB。

- 扫描IMD性能显示: IDAC1_{FS}设置降低时, IMD性能降低。
- IDAC1_{FS}设置降低时,STF响应基本不受影响。







图83. STF与IDAC1_{FS}设置的关系(16倍抽取, I/Q输出, 双音设置为-8 dBFS, IF = 300 MHz, BW = 100 MHz, F_{ADC} = 3.2 GHz)

降低IDAC1_{FS}设置对某些应用可能有利,因为PIN_0dBFS电 平的降低会导致前端驱动器的增益和线性度(P1dB、IIP3) 要求按1 dB:1 dB的比例降低。这样就可以使用3.3 V电源的 低功耗RF系列。或者,当前一级输出(P1dB)电平由电源设 置设定时,AD6676可提供更大的IFAGC工作范围。决定是 否以较低的IDAC1_{FS}设置工作时,应当仔细权衡AD6676的 交流性能。

利用MRGN参数优化NTF

欲针对特定应用优化NTF时,MRGN应用参数提供了额外的 自由度。当AD6676以较低过采样比工作,量化噪声贡献开 始限制NSD性能时,此特性特别有用。这种情况下,MRGN 默认设置可能不够用,会导致通带区间(通常位于边缘)的 最差NSD高于其他区间。为此,可以调整Σ-Δ ADC谐振器 频率,使NSD在整个通带上的分布更优,从而优化NTF。

MRGN_L、MRGN_U和MRGN_IF参数位于寄存器0x107至 寄存器0x109。MRGN_L和MRGN_U指定目标通带下边缘 和上边缘扩展的MHz数,而MRGN_IF指定RESON1谐振频 率相对于目标通带中心的偏移。这些寄存器的最大设置必 须在10 MHz到20 MHz范围内,因为更高的偏移设置对STF不 利。MRGN参数用一个数组表示,即[MRGN_L,MRGN_U, MRGN_IF]。

下例使用较低的过采样比(10),突出显示了MRGN参数对 NTF和STF的影响。本例的目标是优化160 MHz通带区间上 的最差NSD性能,F_{ADC}=3.2 GHz,IF=300 MHz,同时试图 让STF保持平坦。图84显示了不同MRGN设置对应的NTF 性能,表8列出了与这些设置相关的RESON1、RESON3和 RESON3谐振频率。注意,默认设置[550]导致通带的上半部 分具有最差NSD(380 MHz时为-141 dBFS/Hz)。对称MRGN 设置[10 10 0]和[15 15 0]用以突出显示NTF如何变化,因为 仅RESON2和RESON3的谐振频率相对于IF中心300 MHz的偏 移在对称地增大。与默认设置[550]相比,偏向通带区间上 半部分的非对称设置[8 16 2]更佳,可实现分布更加均匀的最 差NSD (-145 dBFS/Hz)。

表8. 谐振器频率与MRGN设置的关系 (F = 3.2 GHz, F = 300 MHz, BW = 160 MHz)

, ADC, IF, COC, COC,					
MRGN_L	MRGN_U	MRGN_IF	RESON2 (MHz)	RESON1 (MHz)	RESON3 (MHz)
5	5	0	233	298	365
10	10	0	229	299	370
15	15	0	227	298	373
8	16	2	230	306	374



更改MRGN设置时,同样希望在通带上保持平坦的STF。 图84显示了不同的MRGN设置如何影响STF。注意,非对 称MRGN设置[8162]导致STF在IF中心上方略有偏斜,但仍 能保持±0.5 dB的平坦度。



上例代表的是极端情况,但其他具有更高过采样比的应用 也能从优化中获益。针对特定应用确定f_{CLK}、IF和BW的值 以后,探究不同的MRGN设置能否产生更好的结果是有益 的。必须注意,此类优化是基于迭代性试错方法。然而, MRGN设置确定之后,STF和NTF都是可重复的。

Σ-Δ ADC自适应置乱器

AD6676内置一个可编程自适应置乱器,它可提高Σ-Δ ADC 在大信号条件下的SFDR和IMD性能。如图68所示,自适应 置乱器随机选择反馈DAC所用的单位元来重构量化器的输 出信号。量化器和反馈DAC相关的静态和动态失配误差均 被扰动,使得杂散贡献分散在更宽的频率范围上。图86比 较了置乱器使能和禁用时双音激励的IMD性能改善情况。



图86. 置乱器禁用和使能两种情况下的IMD性能比较(两个-8 dBFS CW 信号音, F_{μ} = 180 MHz, BW = 80 MHz, F_{ADC} = 3.2 GHz, L_{exr} = 43 nH)

虽然置乱器能改善SFDR和IMD性能,但其代价是带内NSD 性能会下降。由于这个原因,置乱程度和相对于量化器输 出码的使能阈值都是用户可编程的,以便能够针对目标应 用进行优化。置乱率可在1到4个ADC时钟周期(1/F_{ADC})范围 改变。从输入信号降至此阈值以下(然后一直低于此阈值) 的时刻起,置乱器在固定数量的时钟周期内保持使能。

使能阈值相对于量化器代码而言,代表触发置乱器的绝对 峰值。量化器可产生-8至+8的输出码,因此阈值可以使用 0到8的值。该4位值通过寄存器0x342或寄存器0x343设置。 十六进制值0x0设置置乱器始终使能,而值0xF则会禁用置 乱器。

寄存器0x342和寄存器0x343中的4位域根据所选的置乱率设 置阈值。仅设置与所选置乱率相关的4位域,其余不适用 的4位域设置为0xF。将所有4位域设置为0xF(最高阈值设 置),可禁用置乱器。表9显示了阈值设为默认值5时各种置 乱模式对应的SPI寄存器设置。从3到8的其他阈值也是可行 的。表10显示由连续波信号音驱动时,对于不同的阈值设 置,触发置乱器所需的输入功率水平。

表9. 自适应置乱的默认SPI寄存器设置

置乱率	寄存器0x342	寄存器0x343
FADC	0xF5	0xFF
F _{ADC} /2	0x5F	0xFF
F _{ADC} /3	0xFF	0xF5
F _{ADC} /4	0xFF	0x5F
禁用置乱器	0xFF	0xFF

表10. 对于连续波信号音,触发置乱器的阈值设置值

P _{IN} (dBFS)	阈值设置
-3	8
-5	7
-7	6
-10	5
-14	4
-20	3

使能时,置乱器可将色噪声引入通带频谱中。该附加噪声 是Σ-Δ ADC内核开关活动增加及伪随机元选择过程的结果, 导致在与置乱率相关的频率偏移处出现信号电平相关的色 噪声。图87突出显示了有和无大信号连续波音两种情况下 且置乱阈值设置为0时,每4个时钟周期置乱一次与每1个 时钟周期置乱一次的色噪声效应。

通常,置乱阈值在4到6的范围内设置。本例用于强调置乱 的色噪声效应。希望保护NSD性能时,最好选择较高的阈 值设置。因此,AD6676默认阈值设置为5,使用每个时钟 周期置乱一次选项。

对于-1dBFS信号电平,四周期选项会引入可见的噪声波峰。 此色噪声位于f_{CLK}/128的偏移处,来自伪随机元选择过程。 其他置乱选项也会引入色噪声,但它出现在更大的频率偏 移处,该频率偏移与置乱率系数(SRF)具有如下关系:

频率偏移 =
$$f_{CLF}/(32 \times SRF)$$
 (5)

选择置乱率和阈值时,此色噪声的影响值得考虑。例如, 一边在可用IF通带区间上扫描一个-1 dBFS连续波信号音, 一边监控NSD特性,将有助于确定何种置乱率对NSD性能 的影响最小。



NSD性能的下降幅度也取决于输入信号幅度,因此,必须 选择合适的置乱率和阈值设置,使大信号线性度性能与 低信号电平带内噪声性能达到最佳平衡。图89显示了带内 噪声(dBFS)性能随着信号电平提高而降低,所用设置与图 87相同。本例中,连续波信号音仅略高于通带,其功率从 -40 dBFS扫描到-1 dBFS。在低信号电平(小于-20 dBFS)时, 带内噪声性能的下降幅度取决于置乱率。在较高信号电平 (大于-20 dBFS)时,下降幅度取决于通带内的色噪声增加 量。每2个ADC周期的置乱率以及4或5的阈值是很好的折 中选择,如图90所示。



选择特定置乱配置后, 对 Σ - Δ ADC性能的影响仍旧可在不同时间下及在不同器件中重复。

Σ-Δ ADC Profile特性

AD6676允许Σ-Δ ADC存储最多4种不同profile设置,通过寄存器0x118可以快速调用这些设置,而无需重新校准Σ-Δ ADC。寄存器0x115指定的各种不同profile的校准发生在器件初始化阶段,各profile由如下应用参数组成:BW、F_{IF}、IDAC1_{FS}和MRGN。F_{ADC}以及抽取滤波器和JESD204B设置是通用的,确保在不同的profile设置之间切换时JESD204B链路保持稳定。注意:接到SPI命令后经过1 μ s,Σ-Δ ADC便可利用更新的profile设置工作。 下例重点说明此特性如何用于需要宽带宽能力但不必是瞬时带宽的应用。此类应用中,可将所需的IF带宽细分为较 窄的子频段,以便Σ-Δ ADC能提供更高的动态范围。例如, 在一个需要120 MHz IF带宽的应用中,用户可考虑将此带 宽分为三个相邻的40 MHz频段,各IF偏移40 MHz。图91 显示:当AD6676配置为较宽的120 MHz带宽时,最差NSD以 -149 dBFS/Hz为限。图92显示:当120 MHz带宽细分为三个 40 MHz频段时,NSD性能提高10 dB。



图92. 窄带Profile下的NSD性能(F_{IF} = 220 MHz、260 MHz和300 MHz, BW = 120 MHz, F_{ADC} = 3.2 GHz, L_{EXT} = 27 nH)

本例中,数字混频器的频率和相位设置是不同profile通用 的,中心频率仍然在260 MHz。如果需要重新确定数字IF频 率的中心,也可以为各profile提供不同的数字混频器设 置。在数字抽取滤波器的通带响应不能支持IF范围时,便 需要使用此特性。

衰减器

AD6676内置一个片内差分27 dB衰减器,其分辨率为1 dB。 衰减器可用来调整ADC的满量程输入电平,以满足系统校 准或优化的需要,或者配合外部AGC控制使用,防止Σ-Δ ADC可能过载。图93显示了AD6676输入级的简化等效电 路,其中包括RESON1和IDAC1。衰减器为信号源提供60 Ω 的标称输入电阻(R_{IN}),以方便其与外部驱动器电路接口。 衰减器可通过寄存器0x181至寄存器0x183配置,并且包括 通过AGC引脚快速控制外部增益的选项。注意,从外部 CMOS信号施加于AGC引脚到衰减器改变状态的延迟不超 过5 ns。



衰减通过一个可编程并联和串联电阻网络实现,该网络让 指定量的输入电流避开求和结,同时在整个衰减范围内让 标称输入电阻保持在60 Ω左右。0 dB设置不存在并联电阻, 因此,所有输入电流都馈入求和结。对于6 dB设置,衰减器 配置为120 Ω并联电阻与两个60 Ω串联电阻并联,使得一半 的信号输入电流流向求和结,同时保持60 Ω标称输入电阻。 其他设置以类似方式工作,通过改变电阻值来实现所需的 衰减值,同时维持标称R_{IN}。图94显示了不同衰减器设置下 AD6676输入的差分S11。



在实施AGC或系统校准的应用中,衰减器的精度是一项重 要考虑。衰减器在其整个工作范围内保持单调。图95显示 了-40°C、+25°C和+85°C下典型器件衰减误差与衰减状态 的关系,说明AD6676衰减器具有接近仪表级的精度。



确定最大输入驱动电平(若超过该电平,则衰减器的非线性 度可能超过Σ- Δ ADC的非线性度)时,还需要考虑衰减器的 线性度性能。AD6676的有效PIN_0dFS电平按1 dB:1 dB的比 例随衰减器设置而提高。在较大衰减器设置下,VIN+和 VIN-引脚处的峰峰值电压摆幅以及流入衰减器并联电阻 中的电流也会提高。在某一电平时,衰减器的IMD贡献开 始超过Σ- Δ ADC的贡献。图96显示了IDAC1_{FS}为4 mA和2 mA 时最差三阶IMD杂散与衰减器设置的关系,双音的功率需 提高以使Σ- Δ ADC测得的电平稳定在-8 dBFS。同时还给出 了有效PIN_0dBFS图,用以显示产生0 dBFS电平的器件最大 连续波输入信号电平。 注意以下条件和观察结果:

- AD6676配置如下: IF = 180 MHz, BW = 80 MHz, f_{CLK} = 3.2 GHz。信号音位于177.5 MHz和182.5 MHz。
- IDAC1_{IS}降至2 mA时, PIN_0dBFS电平降低6 dB。
- IMD性能一直在-80 dBc以下,直至衰减器设置为9 dB 为止。
- 由于衰减器的非线性度,双音功率的进一步提高导致 IMD性能稳步下降。
- 虽未显示,但以IF为中心的NSD性能会随着衰减的提高 而提高数dB。



图96. 以180 MHz IF为中心的双音按1 dB:1 dB的比例随衰减器设置 而提高时(双音电平保持在-8 dBFS), IMD性能下降

实施AGC以通过数字方式校准接收机信号路径中的增益变 化时,开关瞬变的影响是另一项重要考虑,如若不然,目 标信号的解调会受到影响。

图97和图98显示了通过外部控制信号令衰减器状态在0 dB和 6 dB之间切换时的IQ包络响应(使用AGC2输入引脚,速率为 3.3 MHz)。注意:建立响应以数字滤波器(12倍抽取)的响应 为主,无毛刺迹象。



图98.6 dB衰减器步进变化的放大包络响应(f_{DATA_IQ} = 250 MSPS, 因而采样周期为4 ns)

时钟频率合成器

AD6676内置一个片内时钟频率合成器,能够产生Σ-Δ ADC 和数字电路所用的时钟。整个频率合成器都集成于片内,包括环路滤波器和VCO。图99显示了频率合成器各种子模块的功能框图及相关的SPI寄存器。时钟频率合成器采用标 准整数N架构,从10 MHz到320 MHz参考输入产生2.94 GHz 至3.2 GHz ADC时钟。

要配置时钟频率合成器,需要使用很多SPI命令来写入设置 并启动校准。要获得针对特定工作模式配置AD6676的SPI 序列,包括与时钟频率合成器相关的SPI操作,最轻松的方 法是使用AD6676EBZ开发平台提供的软件工具。此工具 允许将配置AD6676的SPI序列保存到一个文件以供日后 使用。

注意,如果使用时钟频率合成器来提供ADC时钟,必须首 先配置时钟频率合成器,然后使能其他模块。还要注意的 是,因为时钟频率合成器序列涉及到校准,所以需要使用 等待间隔或轮询环路来确保各校准步骤完成后再发出下一 SPI命令。表27列出了一个特定情况的SPI序列示例,参考 频率(f_{CLK})和ADC时钟速率(F_{ADC})分别为200 MHz和3200 MHz。 本节余下内容详细说明时钟频率合成器的配置。


R和N分频器

鉴频鉴相器(PFD)需要10 MHz到80 MHz时钟。 $f_{CLK} = 200$ MHz 时,R分频器必须设置为4分频, $f_{PFD} = f_{CLK}/R_{DIV} = 50$ MHz, 这在支持的范围内。表11显示了 R_{DIV} 与寄存器0x2BB值的映 射关系。此寄存器在表27的第6步中设置。

表11. 寄存器0x2BB的R分频器设置

R _{DIV}	寄存器0x2BB [7:6]
1	0b00
2	0b01
4	0b10
0.5	0b11

注意,以允许的最高f_{PFD}工作可使时钟频率合成器的参考杂 散最小,因为PLL滤波器带宽固定在200 kHz。对于输入压 摆率有限的正弦时钟输入信号,以等于2倍或4倍所需f_{PFD}的 输入频率工作也能稍稍提高相位噪声性能。

ADC时钟是将VCO时钟2分频获得,因此N分频器必须根据下式设置:

 $N = 2F_{ADC}/f_{PFD} = 2 \times 3.2 \text{ GHz}/50 \text{ MHz} = 128 = 0 \text{x} 80$

N值在表27的第1步中设置,即将LSB (0x80)写入寄存器 0x2A1,将MSB (0x00)写入寄存器0x2A2。

电荷泵电流和校准

电荷泵电流设置(寄存器0x2AC)如下:

$$I_{CP} = \text{round}(\min(63, \frac{1.33 \times 10^{28}}{f_{PFD} \times F_{ADC}^2} - 1))$$
(6)

对于本例所用的 F_{ADC} 和 f_{PFD} 值, ICP等于25或0x19;此值在表27的第4步中写入。

电荷泵也必须在时钟频率合成器的初始化阶段进行校准。 校准通过寄存器0x2AD触发。完成校准所需的时间与PFD 频率成反比。例如,使用f_{PFD}=10 MHz需要最长4 ms的等待 时间,但将f_{PFD}提高到80 MHz时,最长等待时间缩短8倍, 只需0.5 ms。或者轮询寄存器0x2BC的位0;当此位设为1时, 电荷泵校准完毕。

VCO配置和校准

VCO配置包括写入表12中的SPI寄存器,以控制VCO内核 偏置、温度补偿和变容二极管设置。这些设置取决于VCO 频率,可通过特性测试进行优化,确保PLL能在整个电源 和温度范围内正常工作。

表12. VCO配置设置与F_{ADC}的关系

F _{ADC} (MHz)	寄存器0x2AA	寄存器0x2B7	
2940 to 2950	0x37	0xF0	
2950 to 3100	0x37	0xE0	
3100 to 3200	0x37	0xD0	

VCO也必须在时钟频率合成器初始化阶段进行校准,确保 能在整个温度范围内正常工作。VCO校准通过寄存器 0x2AB触发,完成校准所需的时间同样与PFD频率成反 比。具体说来,f_{PFD}=10 MHz时需要2 ms的等待时间,但将 f_{PFD}提高到80 MHz时,等待时间缩短8倍,只需0.25 ms。 或者轮询寄存器0x2BC的位1;当此位清0时,VCO校准 完毕。

初始化过程完毕后,验证0x2BC的位3是否置1,以确认PLL 已锁定。

相位噪声性能

超过200 kHz的PLL滤波器带宽时,内部VCO会限制时钟频 率合成器的总相位噪声。在F_{ADC}工作范围的下限,VCO相 位噪声性能略有改善,如图100所示。特定IF输入频率对应 的相位噪声可利用公式5计算。

$$PN_{fIN_OFFSET} = PN_{fCLK_OFFSET} + 20 \times \log(F_{IF}/F_{ADC})$$
(7)

例如,对于3.2 GHz的F_{ADC},1 MHz偏移时的相位噪声约为 -124 dBc/Hz。IF输入频率为200 MHz时,性能提高24 dB, 因而1 MHz偏移时的预期相位噪声为-148 dBc/Hz。



经过10次周期供电的器件可重复性如图101所示。注意, 此图中的实测数据与基于公式5和图100的预期结果一致。 标称器件整个温度范围内的相位噪声变化如图102所示。



数字处理模块

AD6676的Σ-Δ ADC输出与JESD204B发射机内核之间有如下 数字模块:

- 紧随ADC之后的ADC过载与恢复模块。此电路用于 快速检测过载事件导致的ADC不稳定状态并确保快速 恢复。
- 数字信号处理模块,用于将Σ-Δ ADC的实中频信号转换 为适合由主机进行后处理的复零中频信号,而不损失任 何动态范围。此模块包括粗调QDDC、精调QDDC以及 可选FIR抽取滤波器级,抽取滤波器提供12、16、24和 32倍的抽取系数。
- 峰值检测和AGC支持模块,帮助在主机控制下实现外部 AGC控制环路。注意,AGC引脚也可重设以用于GPIO 功能。

图103显示了数字功能模块的框图以及相关的SPI可配置寄 存器。以下部分详细说明各功能模块的工作原理。有关SPI 寄存器的更多信息请参见表32至表133。



图103. 数字处理模块的简化功能框图

数字信号处理路径

Σ-Δ ADC提供高度过采样的5位数字输出,代表所需的IF信 号通带及前述带外整形噪声。参考图104,数字信号处理 路径将此过采样实中频信号转换为以DC为中心的复中频 信号,使其具有更好管理的数据速率,适合通过JESD204B 接口传输。QDDC执行实数到复数频率转换,然后通过数 字滤波滤除ADC带外噪声及其他不需要的信号内容,最后 通过抽取变为较低数据速率而不损失动态范围。



正交数字下变频

数字下变频分两级进行,使用粗调QDDC和精调QDDC。 如图103所示,粗调QDDC紧接在Σ-Δ ADC之后,精调QDDC 在第一抽取级之后。粗调QDDC提供6位调谐分辨率,而精 调 QDDC提供10位调谐分辨率。复合调谐分辨率为 F_{ADC}/3072或F_{ADC}/4096,取决于第一抽取级是配置为3倍还 是4倍抽取,而后者又取决于所选的抽取模式(如表13所 述)。对于要求更精密调谐分辨率以将IF信号相对于DC精 确定位的应用,可考虑在主机处理器中增加一个更高分辨 率的QDDC。

表13. 粗调和精调NCO的有限复合调谐分辨率

DEC_MODE (寄存器0x140, 位[2:0])	抽取系数	调谐分辨率	F _{ADC} = 3.072 GSPS 时的调谐分辨率 (MHz)
1	32	F _{ADC} /4096	0.75
2	24	F _{ADC} /3072	1.00
3	16	F _{ADC} /4096	0.75
4	12	F _{ADC} /3072	1.00

粗调和精调NCO组合(SPI寄存器0x141和SPI寄存器0x142)的 调谐频率设置由AD6676在SPI初始化阶段自动计算和设 置。用户定义的F_{ADC}和IF设置(SPI寄存器0x100至SPI寄存器 0x103)用来计算IF通带中心频率对中至DC的设置。粗调 NCO通过MIX1_TUNING[5:0]设置,而精调NCO通过 MIX2_TUNING[7:0]设置。每一个NCO寄存器的十进制等 效频率设置基于下列等式确定。

$$MIX1 = \text{Round}\left(64 \times \frac{F_{IF}}{F_{ADC}}\right)$$
(8)

其中:

MIX1为6位二进制数,代表MIX1_TUNING中的NCO频率 设置。

F_{IF}为所需的载波频率(Hz)。

F_{ADC}为ADC时钟速率(Hz)。

$$MIX2 = \text{Round}\left(M \times \left(\frac{F_{IF}}{F_{ADC}} - \frac{MIX1}{64}\right)\right)$$
(9)

其中:

MIX2为8位二进制补码数,代表MIX2_TUNING中的NCO 频率设置。

*M为*3072(DEC_MODE = 2和4时)或4096(DEC_MODE = 1和 3时)。

务必注意所需 F_{IF} 与AD6676复合NCO设置 F_{IF_NCO} 之间的残余 f_{OFFSET},因为任何失调都可能需要利用位于主机处理器中的 附加精密QDDC予以补偿。使用下式计算这两个参数:

$$F_{IF_NCO} = \left(\frac{MIX1}{64} + \frac{MIX2}{M}\right) \times F_{ADC}$$
(10)

$$f_{OFFSET} = F_{IF} - F_{IF_NCO} \tag{11}$$

示例

计算NCO MIX1和MIX2的值以及 F_{IF_NCO} 和 f_{OFFSET} , AD6676配 置如下: $F_{IF} = 140$ MHz, $F_{ADC} = 3200$ MHz, 抽取系数为16 (即 $f_{DATA IO} = 200$ MSPS)。

- 将这些值代入公式9(注意:对于DEC_MODE = 3, M = 4096,因此MIX2 = -13)。
- 将MIX1和MIX2的值代入公式10,得到F_{IF_NC0} = 139.84375 MHz。
- 将F_{IF}和F_{IF NCO}的值代入公式11,得到f_{OFFSET} = 156.25 kHz。

NCO相位同步

AD6676粗调和精调NCO与外部SYSREF信号同步以后,可以设置到一个初始相位。粗调NCO的初始相位通过 MIX1_INIT设置,1LSB相当于一个周期的1/64。精调NCO 的初始相位通过MIX2_INIT_x设置,1LSB相当于一个周期 的1/1024。

数字滤波器模式

AD6676数字滤波器路径设计用于对Σ-Δ ADC的整形带外噪 声和任何杂散噪声进行充分的阻带抑制;如若不然,这些 噪声在抽取后可能会混叠回所需的通带区间,限制实际的 NSD性能。滤波器路径支持12、16、24和32倍的抽取系 数,具体取决于DEC_MODE设置。粗调QDDC的复数输出 馈入一对对称FIR抽取滤波器,后者分为三级,如图103所 示。第一级为3倍抽取或4倍抽取滤波器,取决于所需的抽 取系数能否被3整除。第二级和第三级由两个级联的2倍抽 取滤波器组成,第三级输出支持12倍抽取和16倍抽取选 项。可旁路的第四级提供24倍抽取和32倍抽取选项。

各种滤波器模式的归一化通带和宽带折叠频率响应如图 105至图113所示。注意以下几点:

- 所有滤波器响应在其通带上都提供线性相位响应。
- 可用IF带宽取决于DEC_MODE以及最低可接受的通带 纹波和阻带抑制要求。表14显示了对于85 dB和60 dB以 上的阻带抑制,归一化可用复数带宽与DEC_MODE的 关系。
- 最后一个滤波器级设置可用带宽和阻带抑制,因为它具有最激进的过渡带要求。因此,12倍和16倍抽取系数对应的归一化可用带宽与24倍和32倍抽取系数相同。

- 以较低抽取系数和较高F_{ADC}工作时,支持宽中频带宽 (MHz)。
- 值得指出的是,当数字滤波器响应进入过渡区间时,许 多要求较宽中频带宽的应用可以容忍较低的纹波和抑 制。原因在于,当过采样比降低时,Σ-Δ ADC在IF通带 边缘可实现的NSD性能也会降低,相对于滤波器阻带抑 制降低所引起的混叠噪声,前者仍然占优。

DEC_MODE	抽取系数	f data_iq	BW (>85 dB 抑制)	BW (>60 dB 抑制)
1	32	1	0.814	0.834
2	24	1	0.814	0.834
3	16	1	0.571	0.617
4	12	1	0.571	0.617

表14. 可用归一化复数带宽与抽取系数的关系

流水线总延迟时间

AD6676的延迟时间以数字滤波器路径为主,JESD204B PHY会增加几个样本的延迟,ADC延迟仅为一个输出样本 的一小部分。ADC与数字滤波器输出之间的延迟时间是固 定的,唯一不确定的延迟是与同步之前的JESD204B PHY时 钟和通道FIFO相关的延迟。更多信息参见"利用SYSREF 同步"部分。表15列出了与各种DEC_MODE相关的标称流 水线延迟。注意:虽然所有DEC_MODE设置提供的延迟 相对于输出数据速率f_{DATA_IQ}都是相似的,但对于要求更短 绝对延迟时间的应用,可以考虑使用较低的抽取系数以将 绝对延迟时间缩短2倍。

表15. 标称流水线延迟时间与DEC_MODE的关系 (相对于1/f_{DATA_l}g的样本延迟)

DEC_MODE	抽取系数	JESD204B 通道	IQ数据输出 样本延迟
1	32	1	34.2
2	24	1	34.2
3	16	2	32.3
4	12	2	32.3





AGC特性和峰值检测

在接收机应用中,需要一种可靠的机制,能够判断转换器 何时要发生过驱。AD6676 Σ-Δ ADC基于一个反馈环路,后 者可以被过驱到非线性区间,产生振荡。此振荡会一直存 在,直到Σ-Δ ADC复位,并且过载条件消失。通常,接收 机产品会采用某种形式的AGC来避免这种情况。

AD6676流水线延迟以及任何其他与主机处理器(JESD204B Rx PHY)相关的开销,可能会对某些应用要求的快速反应数 字AGC设计有所限制。由于这个原因,AD6676包括了 AGCx引脚以用作数字输入/输出,帮助实现主机控制之下 的快速AGC控制环路。AGC4和AGC3引脚可用来提供超过 可编程阈值(包括ADC复位事件)之后的标志输出,AGC2和 AGC1引脚可用来控制片内衰减器。寄存器0x18F和寄存器 0x193至寄存器0x19E用于配置AGC。

峰值检测和AGC标志

峰值检测发生在第二级抽取滤波器的输出端,如图103所 示。此级的检测结果代表峰值检波器精度、延迟时间与大 带外信号测量能力之间的折衷。在此级,Σ-Δ ADC输出信 号已经过频率转换到DC,其带外噪声已被充分滤波,可 提供低至-12 dBFS峰值信号电平的合理阈值检测精度。注 意,峰值检波器监控IF输入信号的峰值功率包络响应,并 计算峰值功率(即I² + Q²,用dBFS表示,12位分辨率)。

由于峰值检波器在第二级抽取滤波器的输出端监控峰值功 率,因此与在最终IQ数据输出中可观测到的频率范围相 比,它可提供更宽的频率范围。第一级滤波器执行3倍或4 倍抽取,所以第二级滤波器的输出可以是F_{ADC}的1/6或1/8。 图113显示了相对于第二级滤波器输出速率(以零中频为中 心)的归一化测量带宽。对于不同抽取系数,表16显示了测 量带宽与f_{DATA_IQ}的关系,由此可轻松确定绝对带宽。例 如,f_{DATA_IQ}为100 MSPS且抽取系数为24或32时,-1 dB带宽 为200 MHz,若抽取系数降至12或16,带宽仍为200 MHz。 设置阈值时,必须考虑通带边缘处的任何下降以及Σ-Δ ADC STF。



表16.峰值检波器相对于输出数据速率f_{DATA_IQ}的 归一化测量带宽

		相对于f _{DATA_IQ} 的归一化测量带宽				
DEC_ MODE	抽取系数	–0.5 dBFS	–1.0 dBFS	–2.0 dBFS	–3.0 dBFS	
1	32	1.76	2.00	2.40	2.64	
2	24	1.76	2.00	2.40	2.64	
3	16	0.88	1.00	1.20	1.32	
4	12	0.88	1.00	1.20	1.32	

AD6676允许用户设置三个阈值设置,用于触发两个可能标志中的一个。PKTHRH0和PKTHRH1是两个上阈值设置, 而LOWTHRH是下阈值设置。阈值设置为12位,各阈值都 有指定的MSB和LSB寄存器。12位十进制等效值可利用公式12计算。

阈值 = 3584 + (*阈值设置*, *单位为dBFS*) × 256/3 (12) 其中, 0 dBFS对应于3584 (0xE00), -6 dBFS对应于3072 (0xC00)。

在时域中,0dBFS设置对应于一个峰值(在I和Q输出端观测) 可以达到正或负满量程的信号。也就是说,如果16位I和Q 输出数据经过归一化,使其峰值对应于±1,则0dBFS设置对 应于一个峰值可以达到归一化I/Q星座图单位圆的信号。

LOWTHRH_x寄存器有一个相关的驻留时间,在该时间 内,信号必须一直低于此阈值,然后才能设置一个标志。 驻留时间用指数形式表示,以便实现较长的驻留周期,因 为计数器以F_{ADC}/12(对于12倍或24倍抽取设置)或F_{ADC}/16 (对于16倍或32倍抽取设置)的频率工作。驻留时间在 DWELL_TIME_MANTISSA寄存器和DWELL_TIME_EXP寄 存器中设置,使用公式13(相对于1/F_{ADC})。

驻留时间= $N \times [DWELL_TIME_MANTISSA] \times 2^{(DWELL_TIME_EXP)}$

其中:

对于12倍或24倍抽取, N=12。

对于16倍或32倍抽取, N=16。

标志功能可利用FLAG0_SEL寄存器和FLAG1_SEL寄存器指 定,以指示何时超过阈值或是否发生ADC复位事件。这些 标志还必须通过EN_FLAG寄存器使能,使得CMOS电平信 号出现在AGC4和AGC3引脚上,逻辑高电平表示超过阈值。

从超过AGC阈值到标志信号变为高电平的延迟时间(相对 于ADC输入)取决于所选的DEC_MODE设置。DEC_MODE 值为1或2(32倍或24倍抽取)时,延迟为8到9个输出样本 (1/f_{DATA_IQ})。DEC_MODE值为3或4(16倍或12倍抽取)时,延 迟为16到18个样本。ADC复位事件相关的延迟要短得多, 因为它避开了数字数据路径。DEC_MODE值为1或2时,此 延迟为1个样本,DEC_MODE值为3或4时,此延迟为2个 样本。 注意,EN_FLAGx位提供了对ADC复位事件和上峰值阈值 事件进行"逻辑或"的额外选项,以向主机处理器提供更 快的输出标志,指示必须应用衰减。此选项适用于阻塞信 号的包络响应超级快速,AGC来不及对上峰值阈值设置标 志作出反应以防止Σ-Δ ADC过载的极端情况。

图114提供了一个例子,说明标志0和标志1指定的引脚如 何对任意IF输入信号的包络响应作出反应。为标志1分配了 一个上阈值,由PKTHRH1_x设置;为标志0分配了一个下 阈值和驻留时间,分别由LOWTHRH_x和DWELL_TIME_x 设置。超过PKTTHR1_x阈值时,标志1指示器变为高电 平,信号包络降至此阈值以下时,标志1指示器变回低电 平。标志0指示器仅在信号包络低于LOWTHRH_x阈值并 持续指定的驻留时间时变为高电平。若在驻留时间计数器 到期前,信号电平超过LOWTHRH_x阈值,则驻留时间计 数器再次复位,标志0指示器保持低电平,直至满足上述 条件为止。

通过调整PKTTHR1_x和LOWTHRH_x阈值设置并优化驻留 时间设置,可以优化AGC操作,使其对衰落情况引起的信 号强度变化作出反应,而不是对数字调制信号相关的峰值 到最小值响应作出反应。

通过AGC2和AGC1引脚控制IF衰减器

当超过AGC阈值时,许多AGC方案要求快速增益控制。 AD6676提供了两种模式,允许通过AGCx引脚快速改变IF 衰减器。使用寄存器0x180的位0选择模式。第一种模式利 用AGC2引脚切换两种衰减器设置,这些设置由用户通过 寄存器0x181和寄存器0x182定义。第二种模式利用AGC2或 AGC1引脚,通过脉冲输入以1 dB步进递减或递增衰减值。 起始衰减值在寄存器0x183中定义。实际衰减值可通过寄 存器0x184读取。

第一种模式用于AD6676默认上电设置,寄存器0x181和寄 存器0x182均设置为0x0C。对于不需要IF衰减器控制但需要 不同衰减器设置的应用,应利用所需的衰减器设置值更新 这两个寄存器,使得衰减器依然独立于AGC2引脚状态(如 果它浮空)。注意:不使用这些引脚时,通过100 kΩ下拉电 阻将AGC2和AGC1引脚连接到VSSD仍然是首选方法。

(13)



表17.3.0 GSPS工作速率、CLKSYN使能、125 MSPS IQ速率下的省电情况(单个JESD204B通道)

电源状态(3 GSPS)	IVDD2 (mA)	I _{VDD1} +、I _{VDDC} +I _{VDDL} (mA)	I _{VDDD} (mA)	PTOTAL (mW)	省电百分比(%)
STDBY_SLOW	18	162	216	461	61
STDBY_FAST	95	175	221	673	43
关断	2.6	25	29	64	不适用
上电	146	433	310	1182	不适用

GPIO功能

AGCx引脚也可以通过寄存器0x1B0至寄存器0x1B4配置为 基本GPIO功能。寄存器0x1B0决定哪些引脚用于GPIO功 能,寄存器0x1B1决定AGC引脚用作输入还是输出。如果 引脚用作输出,则寄存器0x1B2决定其为高电平还是低电 平状态,寄存器0x1B3用于读取这些输出引脚的状态。如 果AGCx引脚用作输入,则寄存器0x1B4用于读取引脚的 状态。

省电模式

AD6676提供两种SPI可配置且可选择的省电模式。第一种 模式是休眠模式,即AD6676长时间处于低功耗状态;第 二种模式是待机模式,即AD6676进入降功耗状态,但 JESD204B链路和数字时钟保持活动,确保在快速周期供 电期间实现多芯片同步(或固定延迟时间)。对DEVICE_ CONFIG寄存器的PD_MODE位(寄存器0x002的位[1:0])执 行SPI写操作,可使器件进入休眠或待机模式。注意:根据 所选的模式(休眠或待机),Σ-Δ ADC本身中的各种功能模 块要么关断,要么处于低偏置状态,要么保持上电。

待机模式也可以通过用户指定的AGCx引脚控制,以支持 更快速、更精密的周期供电。此特性对基于TDD的通信协 议特别有用,允许主机处理器在发射突发脉冲期间对 AD6676进行快速周期供电。PD_PIN_CTRL寄存器(寄存器 0x152)用于使能此特性和指定AGC引脚。待机模式期间, 待机寄存器(寄存器0x150)关断不同的功能模块。然而,所 有影响时钟产生、分配和JESD204B链路的功能模块仍然使 能,以使待机期间的延迟时间保持不变。唯一例外是 STBY_VSS2GEN(寄存器0x150的位6),这里存在一个省电 与唤醒时间的权衡,取决于负电压发生器是否处于待机 状态。

表17显示了不同省电模式实现的省电量,AD6676配置如下:3.0 GSPS工作速率,125 MSPS IQ输出,内部时钟频率 合成器使能。注意,STDBY_FAST和STDBY_SLOW对应于 待机期间STBY_VSS2GEN位是使能还是禁用。关断STBY_ VSS2GEN位时,可以再节省18%的功耗。

虽然AD6676可以快速进入待机状态,但退出待机状态则需 要数微秒时间。图115显示AD6676可以100 ns内达到低功耗 状态。图116和图117显示STDBY_FAST和STDBY_SLOW两 种情况下实现1%包络建立精度所需的唤醒时间分别约为 2.5μs和11.5μs。相位响应的建立要快于包络响应,因而未 显示。注意:对于这些时域图,必须使能数字数据路径以 便观测建立时间响应。









更多功耗,到1%约为11.5 µs

JESD204B接口简介

JESD204B接口可减少数据接口布线所需的PCB空间,并且 支持转换器和逻辑器件使用更小的封装。AD6676数字输出 符合JEDEC标准(标准号:JESD204B,数据转换器串行接 口)。JESD204B是AD6676通过串行接口连接数字处理设备的 协议。AD6676支持最高5.333 Gbps的链路速率,用两个输 出通道工作,支持最大266.67 MSPS的I/Q数据速率(f_{DATA_IQ})。 注意:对于12倍和16倍抽取系数,总是需要双输出通道 配置。

JESD204B概述

JESD204B数据发送模块可将来自ADC的并行数据组合成数 据帧,并使用8位/10位编码以及可选数据加扰技术,输出 串行数据。在初始链路的建立过程中,使用特殊字符来支 持通道同步;而额外的同步则在随后的数据流中实现。完 整的串行链路需要一个JESD204B接收机。更多有关 JESD204B接口的详细信息,请参见JESD204B标准。

AD6676提供16位复数IQ数据,因此其JESD204B发射模块 能够通过链路有效地映射两个虚拟ADC (M=2)的输出。链 路可配置为单通道或双通道,各通道通过不同的输出提供 串行数据流。JESD204B规范用多个参数来定义链路, AD6676 JESD204B发射机和接收机的这些参数必须匹配。

JESD204B链路通过以下参数来描述:

- S = 每个帧周期每个转换器发送的样本数(AD6676的值为1)
- M = 每个转换器件的转换器数(AD6676的值为2)
- L=每个转换器件的通道数(AD6676的值可以是1或2)
- N = 转换器分辨率(AD6676的值为16)
- N' = 每个样本的总位数(AD6676的值为16)
- CF = 每个转换器件每个帧时钟周期的控制字数(AD6676 的值为0)
- CS = 每个转换样本的控制位数(AD6676的值为0)
- K = 每个多帧的帧数(AD6676最多可配置为32)
- HD = 高密度模式(AD6676的值为0)
- F = 每帧的八位字数(AD6676的值为2或4,取决于L的值 是2还是1)
- T = 结束位(AD6676的值为0)
- SCR = 加扰器使能或禁用(可在AD6676上配置)

图118显示了AD6676 JESD204B链路的简化功能框图,它将 16位I和Q输出映射到两个独立通道上。其他配置也是可行 的,如将I和Q输出组合成单通道(f_{DATA_IQ} ≤ 153.6 MSPS),或 改变I和Q输出路径的映射。无论何种情况,16位I和Q数据 各自都会拆分为两个八位字(8位数据)。第一个八位字包括 位15(MSB)到位8。第二个八位字包括位7到位0(LSB)。这4 个八位字(2个I八位字和2个Q八位字)可以进行加扰。加扰 为可选,它可在传输相似的数字数据模式时避免频谱尖峰。 加扰器采用自同步、基于多项式的算法,由方程1+x¹⁴+x¹⁵ 定义。接收机中的解扰器也必须使用加扰器多项式的自同 步版本。

随后,这4个八位字通过8位/10位编码器进行编码。8位/10 位编码器将8个数据位(1个八位字)编码为一个10位符号。 图119显示16位I或Q数据是如何从最终抽取级中取出、形 成八位字、两个八位字如何加扰,以及八位字如何被编码 为2个10位符号。



功能概述

图120中的流程图显示了数据通过JESD204B硬件从采样输入到物理输出的流程。处理依据OSI模型分为多层,OSI模型广泛用于描述通信系统的抽象层。它们是传输层、数据链路层和物理层(串行器和输出驱动器)。

传输层

传输层将数据包装成JESD204B帧,然后映射为八位字并发送至数据链路层。传输层映射受链路参数产生的规则控制。AD6676在传输层中不使用结束位,因为其IQ数字数据路径的输出被视为两个虚拟16位转换器。

数据链路层

数据链路层负责执行通过链路传送数据的低级功能,包括 加扰数据(可选)、用于通道对齐/监控的控制字符插入,以 及将8位字编码为10位符号。数据链路层还发送初始通道 对齐序列(ILAS),它包含链路配置数据,接收机利用它来 验证传输层的设置。

物理层

物理层由以串行时钟速率运行的高速电路构成。对于 AD6676,16位I和Q数据转换为一个或两个通道的高速差 分串行数据。

JESD204B链路建立

AD6676 JESD204B Tx接口按照JEDEC标准204B(2011年7月 规范)的规定,以Subclass 0或Subclass 1工作。链路建立过程 分为下列几个步骤:代码组同步、ILAS和用户数据。

代码组同步(CGS)和SYNCINB

代码组同步(CGS)是JESD204B接收机找到数据流中10位符号间边界的过程。在CGS阶段,JESD204B发射(JESD Tx)模块传送/K28.5/字符。接收机必须使用时钟和数据恢复(CDR)技术,在输入数据流中定位/K28.5/字符。

接收机通过置位AD6676 SYNCINB±引脚上的低电平信号, 发出一个同步请求。然后, JESD Tx便开始发送/K/字符。 接收机同步之后,便解除SYNCINB信号置位,使其变为高 电平。AD6676接着在下一个LMFC边界发送一个ILAS。 有关CGS阶段的更多信息,请参见JEDEC标准204B(2011年7月)第5.3.3.1节。

SYNCINB±引脚操作选项可通过SPI寄存器加以控制。虽然 SYNCINB输入默认配置为正引脚上的CMOS逻辑电平,但 也可通过寄存器0x1E7配置为正/负引脚上的差分LVDS输入 信号。SYNCINB输入信号的极性也可通过寄存器0x1E4予 以反转。

初始通道对齐序列(ILAS)

CGS阶段之后是ILAS阶段,它在下一LMFC边界开始。 ILAS由4个多帧组成,/R/字符表示开始,/A/字符表示结 束。ILAS从发送/R/字符开始,接着是四个多帧的斜坡数 据,从值0开始。在第二个多帧发送链路配置数据,从第 三个字符开始。第二个多帧中的第二个字符是/Q/字符, 用以确认随后是链路配置数据。所有未定义数据时隙都用 斜坡数据填充。ILAS序列从不加扰。

ILAS序列结构如图121所示。4个多帧包括:

- 多帧1: 以/R/字符(/K28.0/)开始,以/A/字符(/K28.3/) 结束。
- 多帧2:以/R/字符开始,后接/Q/(/K28.4/)字符,然后是 14个配置八位字的链路配置参数(见表18),最后以/A/字 符结束。许多参数值用n-1表示。
- 多帧3: 以/R/字符(/K28.0/)开始,以/A/字符(/K28.3/) 结束。
- 多帧4: 以/R/字符(/K28.0/)开始,以/A/字符(/K28.3/) 结束。

用户数据和错误检测

完成ILAS之后便发送用户数据。通常,一帧中的所有字符 都是用户数据。然而,为了监控帧时钟和多帧时钟同 步,当数据符合某些条件时,有一个机制来将字符替换为/F/ 或/A/对齐字符。对于未加扰和加扰的数据,这些条件是不 同的。默认禁用加扰操作,但可以通过寄存器0x1C3使能。

对于加扰的数据,帧末尾的任何0xFC字符都用/F/替换,多 帧末尾的任何0x7C字符都用/A/替换。JESD204B接收机检 查接收数据流中有无/F/和/A/字符,验证其仅出现在预期 的位置。如果发现意外的/F/或/A/字符,接收机将利用动 态重对齐处理这种情况,或置位SYNCINB±信号并持续四 帧以上的时间以启动重新同步。对于未加扰的数据,如果 两个连续帧的最后字符相同,则第二个字符将被替换为/F/ (若它位于一个帧的末尾)或/A/(若它位于一个多帧的末尾)。

对齐字符的插入可通过SPI修改。帧对齐字符插入默认使

能。有关链路控制的更多信息,参见寄存器0x1E0至寄存器0x1E6的SPI寄存器说明。

8位/10位编码器

8位/10位编码器将8位字转换为10位符号,并在需要时将控制字符插入流中。JESD204B使用的控制字符如表18所示。 8位/10位编码通过在多个符号中使用相同数量的1和0来确保信号达到直流平衡。注意,8位/10位接口有一个反转选项,可通过寄存器0x1E4使用,其效果与交换差分输出数据引脚相同。



图121. 初始通道对齐序列

表18. JESD204B使用的控制字符,包括运行差异值

缩写	控制符号	8位值	10位值(RD = -1)	10位值(RD = +1)	描述
/R/	K28.0	000 11100	001111 0100	110000 1011	多帧开始
/A/	K28.3	011 11100	001111 0011	110000 1100	通道对齐
/Q/	K28.4	100 11100	001111 0010	110000 1101	链路配置数据开始
/K/	K28.5	101 11100	001111 1010	110000 0101	组同步
/F/	K28.7	111 11100	001111 1000	110000 0111	帧对齐

物理层输入/输出 数字输入

AD6676物理层由两个数字差分输入SYSREF±和SYNCINB± 组成,其等效输入电路如图61和图64所示。这些输入必须 直流耦合到相应的驱动器,因为他们是或可能是非周期性 的。SYNCINB±输入逻辑兼容CMOS和LVDS,通过寄存器 0x1E7的位2设置,默认选项为CMOS。注意:选择LVDS 时,SYNCINB±输入内置100Ω端接电阻。

可选SYSREF±输入可用于多芯片同步,或在AD6676与其主 机之间提供可重复的延迟时间。SYSREF±接收机电路不使 用时必须禁用(寄存器0x1E7 = 0x04),防止输入引脚开路时 可能发生误触发。SYSREF±输入无内置100Ω端接电阻,因 此,若要使用该输入,必须提供一个外部差分端接电阻。 SYSREF±输入逻辑兼容LVPECL、LVDS和CMOS。

数字输出、时序和控制

AD6676物理层由JEDEC标准204B(2011年7月)所规定的数字 驱动器组成。这些CML驱动器默认上电,通过寄存器 0x1E2设置。驱动器利用100 Ω的动态内部端接电阻来降低反 射干扰。每个接收机输入端都有一个100 Ω差分端接电阻, 产生标称300 mV p-p的接收机摆幅。

AD6676 JESD204B差分输出可与定制的ASIC和FPGA接收机 接口,从而在高噪声环境中实现出色的开关性能。对于具有 标称100 Ω差分端接电阻的接收机输入,建议使用单一点到 点网络拓扑结构。数字输出的共模电压自动偏置到1.1 V VDDHSI电源的一半(VCM = 0.55 V),因此交流耦合是耦合 到接收机逻辑的首选方法,如图122所示。如果接收机器 件采用相同的VDDHSI电源和输入共模范围,也可以考虑 直流耦合。



接收机输入端眼图降级所引起的时序误差常常可归因于远 端端接或差分走线布线不良。使用长度小于6英寸的精密 控制差分100 Ω走线并通过集成的差分100 Ω电阻连接到接收 机,可以降低这种潜在的误差。图123、图124和图125显示 一个AD6676通道工作在5.333 Gbps时的数字输出数据眼、 时间间隔误差(TIE)抖动直方图和浴盆曲线示例(寄存器 0x1EC设为0xBD)。输出数据格式默认为二进制补码。输出 数据格式可通过寄存器0x146改变。



预加重

当互连插入损耗不符合JESD204B规范时,利用预加重可以 满足接收机眼图眼罩。预加重特性通过寄存器0x1EF控 制,只能在接收机因为插入损耗过大而无法恢复时钟时使 用。一般情况下,该特性禁用以节省功耗。此外,对一个 短链路使能并设置过高的预加重值,可能导致接收机眼图 失效或潜在EMI问题。由于这些原因,预加重只能在满足 接收机眼图眼罩很困难的情况下考虑使用。详细信息见 "寄存器存储器映射"部分。

串行器PLL

此PLL产生与JESD204B通道速率相同的串行器时钟。片内 控制器根据用户指定的IQ数据速率(F_{ADC}/M)和通道数自动 配置PLL参数。PLL锁定状态可通过寄存器0x2DC的 PLL_LCK状态位来检查。此只读位告知用户,对于特定的 设置,PLL是否已实现锁定。

配置JESD204B链路

AD6676提供一条JESD204B链路。串行输出(SERDOUT0±

和SERDOUT1±)是JESD204B链路的一部分。决定链路设置的基本参数有:

- L为每条链路的通道数
- M为每条链路的转换器数
- F为每帧的8位字数

AD6676的最大和最小额定通道速率分别为5.333 Gbps和 3.072 Gbps。因此,对于76.8 MSPS到133.3 MSPS的IQ数据 速率(f_{DATA_IQ}), AD6676支持单通道接口,对于153.6 MSPS 到266.7 MSPS的数据速率,则支持双通道接口。

通道线路速率与JESD204B参数有关,关系式如下所示:

$$Lane Line Rate = \frac{(40 \times F_{DATA_JQ})}{L}$$
(14)

其中:

$$F_{DATA_{JQ}} = \frac{F_{ADC}}{DEC}$$

抽取比(DEC)是写入寄存器0x140的参数。

表19显示了不同f_{DATA IO}支持的JESD204B输出配置。

表19. JESD204B输出配置	
	-

支持的虚拟转换器数 (同M值)	f _{DATA_IQ} (MSPS)	JESD串行通道速率	L	м	F	s	HD	N	N'	к
2	76.8至133.3	$40 \times f_{\text{DATA}_{IQ}}$	1	2	4	1	0	16	16	F=4时, K≥5
	153.6至266.7	$20 \times f_{DATA_IQ}$	2	2	2	1	0	16	16	F=2时, K≥9

12348-131

利用SYSREF±同步

AD6676利用SYSREF±输入为JESD204B串行输出提供同步信号,并且为抽取滤波器和QDDC内的NCO建立固定相位参考。同步选项可通过寄存器0x1E8配置。初始同步时,相对于输入时钟(施加于CLK±引脚)的绝对相位偏移取决于内部时钟相位,因而具有±1 ADC时钟周期的不确定性。

时钟树图如图126所示,内部时钟DIG_CLK用于对 SYSREF±信号进行最终采样。注意:SYSREF±建立和保持 时间相对于SYSREF±上升沿和CLK±(时钟频率合成器禁用 时则为CLK+)上升沿定义,如图2所示。对SYSREF±信号进 行采样之后,相位仍然锁定同一内部ADC_CLK相对相位 偏移,直至故意复位AD6676或其时钟/电源中断。

利用SYSREF±同步时,注意以下几点:

- SYSREF±脉冲宽度至少必须为2个ADC_CLK周期。
- 在时钟频率合成器使能的情况下进行同步时,寄存器 0x2BB的位3必须置0。这种情况下,SYSREF±在REF_CLK 上升沿进行采样,以使建立和保持时间具有很大的裕 量。随后利用内部产生的DIG_CLK再次对此同步信号进 行采样。

- 由于SYSREF±最终由大于1GHz的内部时钟进行采样,因此可能难以使系统中的时钟和SYSREF±分配在整个电源和温度变化范围内保持同步并且不受累积抖动影响。 有鉴于此,建议使用单次SYSREF±模式来避免JES204B 链路不必要的复位。
- 如果连续SYSREF±仍是优先选择,建议使用寄存器 0x1EA中的SYSREF_WIN_NEG和SYSREF_WIN_POS位, 允许SYSREF±时序相对于DIG_CLK存在轻微的波动。
- 以IQ输出数据速率f_{DATA_IQ}为参考时,±1ADC时钟周期的 相位差异最终会导致一个样本若干分之一的不确定性, 具体值取决于抽取系数。例如,抽取系数为32时,相位 不确定性表示为相对于f_{DATA_IQ}的±1/32样本。
- 粗调和精调数字NCO同样设为初始相位上升,并由寄存器0x143至寄存器0x145在接收SYSREF±时定义。
- 图127显示了HMC7044(或AD9528)如何用于多芯片同步。HMC7044最适合用来为每一个AD6676提供低相位噪声RF时钟源(参见图135)。此外,其独立控制每一个AD6676的CLK和SYSREF信号延迟的能力允许对PCB偏斜延迟进行补偿。



图126. 时钟频率合成器禁用或使能时SYSREF输入信号采样选项框图



图127. 使用HMC7044或AD9528的AD6676多芯片同步示例

应用信息 模拟输入考虑 等效输入阻抗和S11

AD6676良好的输入结构及其低驱动电平要求,有利于其与 外部驱动电路接口。图128显示了衰减器设置为0 dB和6 dB 时的等效并联阻抗。注意,不同衰减器设置之间的阻抗细 微差异是一个误差源,会影响衰减器设置的绝对精度。 AD6676输入在宽频率范围内也有出色的S11回损表现,如 图94所示。



图128. 衰减器设置为0 dB和6 dB时AIN的典型等效并联阻抗

输入驱动器和滤波器考虑

输入驱动器要求以及任何其他滤波取决于应用。若有大信 号内容或落在目标IF通带上方或下方的阻塞信号可能通过 提高ADC噪声或杂散噪底来引起脱敏,则可能需要考虑额 外的滤波。在IF通带以下,AD6676对二次谐波内容最敏 感;二次谐波通常是由驱动器级本身因为IP2性能有限而 产生。AD6676二阶非线性误差贡献通常与平衡混频器相 当,远低于VHF应用所用单端放大器级(带输出巴伦)的贡 献。表20显示了在IF/2注入-6 dBFS电平的双音时,不同IF 的实测f₁+f₂杂散水平和等效IIP2。

表20. PIN_0dBFS电平为-6 dBFS的双音位于 IF/2时的谐波电平

IF (MHz)	L _{EXT} (nH)	PIN_0dBFS (dBm)	双音输入 功率 (dBm)	f₁ + f₂ 杂散 (dBc)	等效 IP2 (dBm)
200	43	-2.5	-8.5	-69.5	61
250	19	-2.2	-8.2	-68.3	60
300	19	-2.2	-8.2	-73	65
350	10	-2.2	-8.2	-66.3	58.5
400	10	-2.2	-8.2	-68.5	60

在IF通带以上,AD6676对高频阻塞信号敏感,阻塞信号会 提高抖动引起的噪底,或产生镜像成分落回通带中。 AD6676对 $F_{ADC} \pm F_{IF}$ 混叠区间内的杂散音也相当不敏感,因 为AD6676提供50 dB以上的混叠抑制。表21显示了不同 F_{ADC} 和IF组合的典型混叠抑制。混频器常常会在M×LO及其和 项LO + F_{RF} 处产生固定大杂散,因此应确定是否有杂散可 能落在混叠区间,如有,应增加适当程度的滤波以将其抑 制到接收机要求的杂散水平以下。

表21. 不同IF和ADC组合的典型混叠抑制

F _{ADC} (MHz)	IF (MHz)	F _{ADC} – IF 混叠抑制 (dBc)	F _{_{ADC} + IF混叠抑制 (dBc)}
2000	150	58	59
2400	200	53	54
2800	300	51	59
3200	400	51	59

要求的带外信号衰减取决于应用,应在预期应用条件下评估AD6676,以了解其影响并确定所需的滤波量。实际应用中,一个简单的三阶低通修平滤波器便可对混叠区间中的杂散以及高于IF通带数百MHz的大信号进行充分的抑制。注意,AD6676EBZ含有一个可选的500 MHz三阶低通滤波器(TDK MEA1210D501R),这对许多应用而言是足够的。该0302尺寸小型差分滤波器还提供更低频率选项。其对通带平坦度的影响极小,但可在700 MHz以外(见图129)及混叠区间(见表22)中提供额外的抑制。



组合的典型混叠抑制

F _{ADC} (MHz)	IF (MHz)	F _{ADC} – IF 混叠抑制 (dBc)	F _{ADC} + IF 混叠抑制 (dBc)
2000	150	82	83
2400	200	77	85
2800	300	71	83
3200	400	74	81

最后放大级为单端且Z_{OUT}为50 Ω的应用中,需要一个1:1巴 伦。AD6676之前有增益模块(例如ADL5541至ADL5545系 列)用于预放大的VHF接收机应用通常就是这种情况。





对于许多RF接收机应用,此差分信号可能源自RF转IF混频 器,其输出阻抗常常在50 Ω到200 Ω范围内。一个低阶匹配 网络(同时用作低通修平滤波器)可以补偿失配的阻抗。值 得注意的是,对于200 Ω/60 Ω和100 Ω/60 Ω的源/负载不匹 配,阻抗不匹配分别约为1.5 dB和0.3 dB。对于某些需要低 纹波的宽IF通带的应用,如此低的失配损耗是可以接受 的,尤其是考虑到具有有限Q分量的高阶匹配网络的损 耗。最后,可以略微降低ADC最大输入功率要求,用极小 的动态范围损失补偿上述低损耗。

VHF频段的其他接收机应用可能希望AD6676直接对信号进行数字化。通常,无线电配置可能包括低NF增益模块,其 单端输出由交流耦合巴伦转换为差分输出。巴伦的幅度/相 位平衡要求可以降低(与传统流水线ADC相比),因为对平 衡敏感的偶数次谐波落在通带之外。 注意,增益模块的二次谐波仍须落在VHF通带以外,使其 也能进行数字滤波。

与模拟输入相关的其他一些考虑说明如下:

- 为了维持1V共模电压,需要利用10nF或更大电容交流 耦合到VIN±输入。注意,此电容与AD6676输入阻抗一 起提供高通响应,因而对于低中频应用必须适当选型, 防止较低通带响应下降过多。
- 在2.5 V电源与第一谐振器之间建议使用一个串联10 Ω电 阻和0.1 μF去耦电容,以便对电源引起的噪声和ADC共 模电流进行补充滤波。
- 反馈DAC(最高工作频率为3.2 GHz)也会产生高频内容(即 镜像、时钟馈通和整形噪声),内部源跟随器可以理想 地将其吸收掉。由于其在较高频率时存在有限阻抗,少 量不需要的信号内容会通过衰减器路径泄露回VIN±输 入。IF和RF端口之间的隔离不佳,导致无源滤波器特别 容易受此信号内容影响,但无源混频器与片上IF放大器 和有源混频器提供了更佳的反向隔离。一个简单的三阶 修平滤波器通常足以抑制这些ADC伪像,同时还能抑制 混频器的较大M×N伪像。注意,此滤波器必须设计为 两个单端pi网络滤波器,分流电容置于VIN±引脚附近, 以将此不需要的信号内容导向地。此外,仔细进行元件 选型和布局布线可减少寄生——寄生可能会导致滤波器 响应的阻带区域出现干扰峰化。

时钟输入考虑

AD6676 Σ-Δ ADC采用2.0 GSPS到3.2 GSPS的内部ADC时钟 速率(F_{ADC})工作。时钟信号可以源自外部时钟源或片内时 钟频率合成器。如果认为片内频率合成器的相位噪声或杂 散性能不足,或者所需的F_{ADC}位于VCO的2.94 GHz至3.2 GHz 范围以下,应考虑使用外部时钟源。参考图60,自偏置时 钟接收器配置为差分或单端接收器,取决于时钟频率合成 器是否禁用。任一情况下,外部时钟源都必须交流耦合到 AD6676 CLK±输入,并且满足最低额定输入电平和压摆率 要求。另外,选择时钟源时务必考虑时钟抖动和相位噪声。

时钟频率合成器使能时,CLK±输入连接到CMOS逆变器, 如图60所示。当寄存器0x2BB的位2置位时,这些逆变器自 偏置约0.55 V,提供超过1.2 kΩ的输入电阻。单端时钟源只 需交流耦合到CLK+输入,因为CLK-输入的逆变器输出不 使用。对于CMOS驱动器,推荐添加33 Ω串联电阻以抑制长 走线响应。对于差分时钟源,如LVDS或PECL源,推荐在 整个CLK±引脚上添加100 Ω外部端接电阻以尽量减少因时 钟输入波形失真而造成的任何反射。

时钟频率合成器禁用时,CLK±输入通过片内100 Ω端接电阻 连接到高速差分时钟接收器,以简化与CML、LVPECL或 正弦时钟源的接口。时钟信号一般通过RF巴伦或电容交流 耦合到CLK+和CLK-引脚。这两个引脚内部偏置(见图60) 约700 mV,无需外部偏置。CLK±输入的等效并联阻抗如图 131所示。由于时钟信号的高频特性,建议采用100 Ω差分传 输线将时钟信号路由至CLK+和CLK-引脚。



图131.时钟频率合成器禁用时CLK±引脚的等效并联差分输入阻抗 图132显示了时钟频率合成器禁用时AD6676的单端时钟解 决方案。低相位噪声单端源可由外部VCXO提供。陶瓷RF 芯片1:2巴伦创建差分时钟输入信号。该巴伦在目标时钟频 率时的额定损耗必须很低(小于2 dB)。单端时钟源必须有 0 dBm的驱动能力,确保时钟输入具有足够的信号摆幅。



单端CMOS或差分交流耦合PECL/HSTL时钟信号可通过 ADI HMC7044、AD9528和ADCLK925等时钟产生与分配IC 提供。使用AD6676的内部时钟频率合成器时,如需向 AD6676提供RF时钟输入信号,或者遇到应用要求具有确 定性延迟或同步的情况,则建议使用PECL时钟信号。图 133显示了一个简单的差分接口,这些IC提供AD6676与 PECL输出的接口。HMC7044是JESD204B时钟生成和多芯 片同步的绝佳选择,因为它还能为多个AD6676器件生成 2.4 GHz至3.2 GHz的极低相位噪声RF时钟。



图133.使用HMC7044、AD9528和ADCLK925的差分PECL采样时钟 另外,带片内VCO的PLL时钟频率合成器,如ADF4351、 ADF4355-2和HMC1034等,在无需多芯片同步时同样是出 色的RF时钟源。这些器件的CML输出支持图134所示的简 单接口。图135比较了接近满量程正弦波、300 MHz条件下 ADF4351、ADF4355-2、HMC7044、AD6676时钟频率合成 器和R&S SMA100A的近载波相位噪声。注意,与ADF4351 相比,高质量RF发生器带来的相位噪声改善仅在400 kHz 以下才明显。



 $(IF = 300 \text{ MHz}, BW = 40 \text{ MHz}, F_{ADC} = 3.2 \text{ GHz}, L = 19 \text{ nH})$

中频频率规划

Σ-Δ ADC可以在宽IF频率范围内实现出色的SFDR性能,因 为其高过采样比可防止低阶谐波混叠到IF通带中。置于会 混叠回带内的高阶谐波,其幅度通常要低得多,并且可利 用置乱选项进一步降低其电平。然而,Σ-Δ ADC与数字模 块之间的有限隔离会引起与输出数据速率f_{DATA_IQ}和输入频 率f_{IN}成函数关系的额外杂散信号。具体而言,Σ-Δ ADC中的 反馈DAC会受到时钟信号的数字污染。因此,用于预测带 数字插值滤波器的高速DAC上杂散位置的方程同样适用。

公式15决定了其与位于f_{MN}的杂散的关系。

$$f_{MN} = \pm (M \times f_{DATA_IQ}) \pm (N \times f_{IN})$$
(15)

其中:

M为从内部时钟感应的数字谐波内容。 N为Σ-Δ ADC产生的谐波。

N = 0时,与信号无关的杂散位于 $f_{DATA_{IQ}}$ 的整数倍处。表23 显示了不同IF频率和抽取系数对应的实测M× $f_{DATA_{IQ}}$ 杂散 水平(dBFS), $f_{DATA_{IQ}}$ 等于100 MSPS和200 MSPS。除200 MHz 外,所有M× $f_{DATA_{IQ}}$ 区间都显示出低杂散。这是因为,大部 分数字电路的时钟频率为 F_{ADC} /16(DEC_MODES为1和3时) 或 F_{ADC} /12(DEC_MODES为2和4时)。结果,当以较高的32 倍和24倍抽取系数工作时,M=2杂散占主导地位;当以较 低的16倍和12倍抽取系数工作时,M=1杂散占主导地位。

N=1时,与信号相关的杂散位于 $f_{DATA_{LQ}}$ 的整数倍处。这些 M×N杂散被称为镜像,因为它们在幅度和频率上与输入信 号 f_{IN} 具有1:1的关系。注意,周期供电之后,由于器件初始 化时内部时钟分频器之间的相位关系不同,某些镜像的 幅度也可能略有变化。图136为归一化镜像图(相对于 $f_{DATA_{10}}$),显示了镜像位置与给定输入频率的关系。

N > 1时,杂散内容的幅度常常低于其他杂散,因此往往可 以忽略。例外情况是 f_{IN} 低于IF通带,使其低阶谐波落在通 带内(即IF/2和IF/3)。



表23. M × f_{DATA_Q}落在不同IF时的实测杂散水平, f_{DATA_Q}为100 MSPS和200 MSPS

	杂散水平(dBFS)				
fdata_iq	IF = 100 MHz	IF = 200 MHz	IF = 300 MHz	IF = 400 MHz	
100 MSPS					
$DEC_MODE = 1$	<-100	-81	<-110	-97	
$DEC_MODE = 2$	-100	-79	<-110	N/A ¹	
200 MSPS					
$DEC_MODE = 3$	<-110	-81	<-110	-90	
DEC_MODE = 4	<-110	-77	<-110	N/A ¹	

1 N/A表示不适用。

镜像杂散也处于低水平,因此,对于给定的输出数据速率 f_{DATA_IQ} ,AD6676可提供很宽的合适IF范围。即使IF位于会 发生表23所示的最差M× f_{DATA_IQ} 杂散的区间,也可以使用, 因为其仍然处于固定位置并且与信号无关。与直接变频IQ 接收机中的LO馈通问题相似,可利用主机处理器中的慢速 数字跟踪环路来抵消它。在图137和图138所示的情况 下,选择200 MHz的IF, f_{DATA_IQ} 为200 MSPS和100 MSPS, 使得主要杂散恰好落在IF中心。如图136所示,对于 200 MSPS和100 MSPS操作,IF位于归一化 f_{DATA_IQ} 的1或2, 从而解释了为什么镜像项为M=2或4。注意,M=2时的镜 像杂散非常低,通过选择更高的抽取系数(DEC_MODE为3 而非1,产生M=4镜像),还可以进一步降低该杂散。



对于通带上的扫描输入音,以下区间中存在无任何上述杂 散的IF通带区间:

 $(M - 0.5) \times f_{DATA_IQ} < IF \overline{id} + M \times f_{DATA_IQ}$ (16) \vec{a}

$$M \times f_{DATA_IQ} < IF \; \underline{i} \overline{i} \overline{k} < (M + 0.5) \times f_{DATA_IQ}$$
(17)

注意,由于这些无杂散区间的带宽为 $0.5 \times f_{DATA_{IQ}}$,因此常常 希望使用较高的 $f_{DATA_{IQ}}$ 速率(即较低的抽取系数)来支持较大 的IF频段。图139显示在 $f_{DATA_{IQ}}$ =200 MSPS、BW = 100 MHz 且IF中心为250 MHz的条件下,无杂散区间扫描SFDR小于 -95 dBFS。选择位于350 MHz的IF且BW = 100 MHz也会得 到相似的结果。



PCB设计指南

PCB设计对于实现AD6676最高性能至关重要。特性化 AD6676交流性能的AD6676EBZ评估板是器件底部采用 0.1 mm (4 mil)通孔的一个可行的布局布线例子。图140显示 了AD6676周围区域的PCB上侧布局,所有关键的模拟输入 /输出、数字输入/输出和无源元件都位于此处。另一种顶 部布局如图141所示;该布局避免在器件下方产生通孔。 由于这一修改的布局布线只是略微降低了IMD性能,因此 若无法在器件下方放置过孔,则应考虑该布局布线。

注意:

- 该PCB是一个基于FR4电介质的6层板(1.6 mm厚),未提供 任何昂贵的选项,如微过孔、隐藏过孔或盲过孔等,从 而节省制造成本。
- 关键的模拟和数字高速信号路径布设在第一层上,具有 受控阻抗。低速CMOS数字输入/输出置于背面第六层。
- 单一实接地层用作AD6676下方的第二层。与上方关键 信号层的电介质间距为8 mil,用以确立受控阻抗。
 第三层和第四层是专用电源层,用于隔离AD6676的不 同电源域;第五层是实接地层。第二层与第三层以及第 四层与第五层之间的电介质间距为3 mil,用以增加各电 源域的分布耦合电容。
- 对过孔布置、接地填充和电源层布局给予了特别考虑, 以便维持较低的热阻抗和电阻抗。

- 所有关键无源元件,如隔直电容和电源去耦电容等,都 是0201尺寸并放在PCB上侧。两个0201去耦电容(0.001 μF 和0.1 μF)放在电源引脚附近,其中值较小的电容更靠近 AD6676。
- AD6676的模拟1.1 V电源引脚共用一个1.1 V电源域,在器 件下方连在一起。
- VSS2OUT(引脚G7)必须连接到PCB顶层上的VSS2IN(引 脚F6)。
- 图141中的替代布局采用了0.2 mm通孔,位于AD6676封 装之外,供所有电源和接地域使用,所有1.1 V模拟电源 域(VDD1、VDDL、VDDC和VDDQ)互相连接,VDD1 和VDDL引脚提供低阻抗路径。该备用布局还可通过三 线式SPI接口(SDIO、RESETB、AGC4和AGC3引脚保持 断开状态)避免任何窄带信号路由至内部行引脚(CSB除 外)。注意,较窄的内部CSB走线(位于SCLK和SYNCINB -引脚之间)可以通过部署较宽的直走线而避免,而非连 接CSB和SYNCINB-引脚,因为默认情况下SYNCINB输 入配置为CMOS输入,QSYNCINB+用作信号采集(忽略 SYNCINB-)。



图141. 备用PCB顶端布局示例,可避免器件下方通孔

与WLCSP封装考虑相关的其他具体信息参见AN-617应用 笔记。该应用笔记详细论述了PCB设计原则、装配、可靠 性和返修。

为AD6676供电

AD6676需要以下模拟和数字电源,对电源上电顺序无限制:

- 2.5 V和1.1 V模拟电源
- 1.1 V数字电源和1.8 V至2.5 V的数字输入/输出电源

在2.0 GHz至3.2 GHz的ADC额定时钟速率范围内,无论使用 何种数字抽取系数以及几个JESD204B通道,不同模拟和数 字电源域的电流消耗变化不大。表24显示了典型器件的功耗 与上述设置的关系,IF和BW分别固定在250 MHz和75 MHz。

图142显示了具有3.3 V通用电源的AD6676EBZ所采用的推荐 方法。注意, AD6676内部不同的模拟和数字电源域分别组 合在一起, 以降低外部LDO要求。利用高效率降压稳压器 (如ADP2164)产生1.6 V输出, 以驱动不同的低压差LDO来 提供模拟VDD1和数字VDDD电源。



1.1 V模拟和数字电源使用不同的LDO,以在这些关键电源 域之间提供更高的隔离,并降低用于提供进一步隔离的铁 氧体磁珠上的IR压降。最好选用能在开关稳压器工作频率 提供更佳PSSR特性的高质量LDO。注意,AD6676的数字 VDDIO电源仅用于CMOS SPI和AGCx输入/输出引脚,因此 可以连接同一个电源域,该电源域为连接这些引脚的主机 所使用。此外,可以使用ADP223双通道输出LDO,而不 是ADP1752-2.5和ADP1752-1.8。

在1.1 V模拟电源上,幅度调制可能会通过AD6676的时钟电源(VDDC、VDDQ)引起相位调制。

			fclk			
电源电流	条件	3.2 GHz	2.8 GHz	2.4 GHz	2.0 GHz	单位
IVDD1+ IVDDL	不适用	371	364	357	351	mA
Ivddc + Ivddq	不适用	60	59	56	52	mA
$I_{VDD2} + I_{VDD2NV}$	不适用	143	140	139	139	mA
Ivddd	16抽取	152	144	131	100	mA
	32抽取	155	150	135	106	mA
Ivddhsi	双通道	168	168	168	158	mA
	单通道	166	167	167	161	mA

表24. F_{apc}从3.2 GHz变至2.0 GHz时的电流消耗变化

图143和图144显示了将具有开关稳压器常用频率的1 mV p-p 连续波信号音注入1.1 V和2.5 V模拟电源时产生的边带水平 实测值(dBc)。注意,对于1.1 V电源域,IF频率每提高一个 倍频程,边带水平提高大约6 dB。这是因为电源噪声产生 PM调制,从而影响时钟抖动。



图143.1 mV p-p连续波信号音注入1.1 V模拟电源域时的边带杂散水平



图144.1 mV p-p连续波信号音注入2.5 V模拟电源域时的边带杂散水平

在1.1 V数字电源上,JESD204B高速串行器电源(VDDHSI) 上的幅度调制可能会对数字数据输出电流的开眼产生不利 影响。因此,VDD2和VDD1模拟电源使用低噪声LDO,例 如ADP1752,其在整个电压、负载和温度范围内的最差精 度为2%。VDDD数字电源使用同样的稳压器,因为它具有 低压差特性、出色的电源抑制比和负载能力。虽然数字 VDDD用于不太重要的VDDIO电源,但也可利用ADP121 等尺寸较小、成本较低的稳压器来供应1.8 V电源。

AD6676启动初始化

AD6676上电时, 主机处理器需要通过SPI端口初始化并配 置AD6676。图145显示了让AD6676进入工作状态所需步骤 的流程图。SPI写操作数量和初始化总时间取决于是否使用 时钟频率合成器,以及与AGC特性相关的额外配置或其引 脚配置。注意,初始化过程中的不同步骤之间需要等待 状态,完成上一个步骤(如校准和调谐)之后,才能转入下 一步。

表26列出了使能AD6676所需的最少SPI写操作。对于表26 所列的步骤,应注意以下几点:

- 示例SPI写操作采用如下设置: $F_{ADC} = 3.200 \text{ GHz}$, $F_{O} = 250 \text{ MHz}$, BW = 100 MHz, IDAC1_{FS} = 2 mA、MRGN_L = MRGN_U = 10 MHz, MRGN_IF = 1 MHz, $f_{DATA_{IQ}} \equiv 200 \text{ MSPS}$, 采用16抽取, $f_{REF} = 200 \text{ MHz}$, 时钟频率合成器使能。
- 第3步引用表28,其中列出了时钟频率合成器使能或禁用时所需的SPI写操作。示例AGC参数包括在表29中, 但对器件操作并不重要。
- 采用DEC_MODE默认设置时,ADC的RESON1校准首先 发生。在JESD204B校准之前,DEC_MODE更新到用户 指定的设置。
- ADC和JESD204B的校准与初始化必须在第一次尝试时成功。不过,步骤24和步骤30提供了外部事件(电源或时钟毛刺)破坏此过程时的应对措施。

AD6676EVB软件GUI有一个选项,可自动生成SPI写操作序列并将其保存为.csv文件格式,如表25所示;这是生成AD6676 SPI写操作序列的首选方法。注意:

- 当AD6676EVB开发平台连接PC时,可以缩短SPI序列, 因为软件还会执行SPI回读操作,然后仅写入那些默认 设置发生改变的SPI寄存器。
- 如需为替代开发平台生成SPI初始化序列,应确保 AD6676EVB开发平台与PC断开连接。
- 若软件GUI配置为profile特性,则寄存器0x115和寄存器0x118分别指定校准和ADC profile,并采用寄存器0x100 至寄存器0x109中的特定ADC应用参数设置。初始化ADC调谐后,将0x01通过SPI写入寄存器0x116。在其余各profile中重复该过程。



图145. AD6676初始化和配置流程图

表25. 已保存.CSV文件格式示例

寄存器地址	写入
0x000	0x99
0x2A5	0x05
0x2A0	0xC0
	•••

表26. SPI初始化示例,	$\mathbf{f}_{\text{CLK}} = 3.2 \text{GHz},$	$F_{IF} = 250 \text{ MHz},$	BW = 100 MHz,	$IDAC1_{FS} = 2 mA$,	MRGN_L = MRGN_U =	10 MHz,
$MRGN_{IF} = 1 MHz, f_{D}$	ATA_IQ = 200 MSP	S,16倍抽取。				

步骤	, 地址(十六进制) ¹	写入值1	/ 注释
1	0x000	0x99	软件复位,4线SPI。
2			等待2 ms,复位后SPI初始化。
3			CLK路径或CLK SYN初始化(使用外部RF时钟参见表28;使用内部CLK SYN参见表27)。
4	0x1E7	0x04	为SYNCINB接收器选择LVDS输入。
5	0x1C0	0x01	JESD204(DID=1, 可选)。
6	0x1C1	0x05	JESD204(BID=5,可选)。
7	0x1C3	0x01	$JJESD204B(SCR = 0, L = 2)_{\circ}$
8	0x1C4	0x01	JESD204B (F = 2) $_{\circ}$
9	0x1C5	0x0F	JESD204B (K = 16) _°
10	0x1EC	0xBD	配置PHY输出驱动器。
11	0x100	0x80	F _{ADC} 设置为3200 MHz。
12	0x101	0x0C	F _{ADC} 设置为3200 MHz。
13	0x102	0xFA	IF设置为250 MHz。
14	0x103	0x00	IF设置为250 MHz。
15	0x104	0x64	BW_0设置为100 MHz。
16	0x105	0x00	BW_1设置为0 MHz。
17	0x106	0x13	L _{EXT} 设置为19 nH。
18	0x107	0x0a	MRGN_L设置为10 MHz。
19	0x108	0x0a	MRGN_U设置为10 MHz。
20	0x109	0x01	MRGN_IF设置为1 MHz。
21	0x10A	0x20	IDAC1 _{rs} 设置为2 mA,因此PIN_0dBFS = -8 dBm。
22	0x116	0x0A	启动RESON1校准。
23			对于f _{CLK} = 3.2 GHz, 等待250 ms。注意, 等待时间与f _{CLK} 成比例, f _{CLK} = 2 GHz时, 等待400 ms。
24			回读寄存器0x117,检查位0是否已置1,表示ADC校准已完成。若否,前往第25步。
25	0x11A	0x01	强制结束校准(切换位0)。
	0x11A	0x00	强制结束校准(切换位0)。
26			返回第22步,再次尝试。如果校准问题仍然存在,再试两次,然后中断循环。
27	0x140	0x03	DEC_MODE设置为用户自定义设置:16倍抽取。注意,粗调和精调NCO设置(SPI寄存器 0x141和SPI寄存器0x142)根据F _{ADC} 和IF设置(寄存器0x100至寄存器0x103)而自动设置。
28	0x116	0x17	校准并启动ADC,设置并启动JESD204B。
29			对于f _{cik} = 3.2 GHz,等待250 ms。注意,等待时间与f _{cik} 成比例,f _{cik} = 2 GHz时,等待400 ms。
30			回读寄存器0x117,检查位0是否已置1,表示ADC校准已完成。若否,前往第31步。
31	0x11A	0x01	强制结束校准(切换位0)。
	0x11A	0x00	强制结束校准(切换位0)。
32			返回第28步,再次尝试。如果校准问题仍然存在,再试两次,然后中断循环。
33			插入可选AGC和非默认置乱器设置(示例参见表29和表30)。

1地址(十六进制)列和写入值列中的表格故意留空。

表27. SPI CLK SYN初始化示例, f_{CLK}= 2.94912 GHz, f_{REF} = 122.88 MHz(适合24倍抽取)

步骤	地址(十六进制)1	写入值1	注释
1	0x2A1	0x60	设置整数N分频值。
2	0x2A2	0x00	设置整数N分频值。
3	0x2A5	0x08	复位VCO校准。
4	0x2AC	0x18	设置电荷泵电流(见表12)。
5	0x2B7	0xF0	配置VCO。
6	0x2BB	0x7D	参考分频器设置为DIV=2,使得f _{PFD} =61.44 MHz(见表11)。
7	0x2A0	0x7D	使能CLKSYN和ADC时钟。
8	0x2AB	0xC5	启动VCO校准。
9			至少等待400 ns,因为f _{PFD} = 50 MHz。
			寄存器0x2BC的位1=0表示VCO校准已完成。
10	0x2AD	0x80	启动电荷泵校准。
			至少等待800 ns,因为f _{PFD} = 50 MHz。
			寄存器0x2BC的位0=1表示电荷泵校准已完成。
			寄存器0x2BC的位3=1确认PLL已锁定。

1地址(十六进制)列和写入值列中的表格故意留空。

表28. SPI f_{cLK}初始化

步骤	地址	写入值	注释
1	0x2A5	0x05	选择RF时钟路径
2	0x2A0	0xC0	使能RF时钟接收器和ADC时钟

表29. SPI AGC初始化示例

步骤	地址	写入值	注释
1	0x181	0x00	ATTEN_VALUE_PIN0设置为0 dB。
2	0x182	0x06	ATTEN_VALUE_PIN1设置为6 dB。
3	0x19E	0x13	对AGC4和AGC3引脚分别使能FLAG1和FLAG0。另外,ADC复位与峰值检测阈值 标志进行"逻辑或"运算。
4	0x19B	0x04	选择AGC标志0高于峰值阈值0。
5	0x19C	0x06	选择AGC标志1低于下阈值。
6	0x193	0x00	峰值阈值0设置为-3 dBFS。
7	0x194	0x0d	峰值阈值0设置为-3 dBFS。
8	0x197	0x00	下阈值设置为-15 dBFS。
9	0x198	0x09	下阈值设置为-15 dBFS。
10	0x199	0x01	下阈值驻留时间尾数。
11	0x19A	0x02	下阈值驻留时间指数。

表30. SPI置乱器初始化示例

步骤	地址	写入值	注释
1	0x342	0x3F	每2个时钟周期置乱一次,阈值为3。
2	0x343	0xFF	

串行端口接口(SPI) SPI寄存器映射描述

AD6676包含一组可编程寄存器(详见"寄存器存储器映射"部分),用于根据目标应用初始化和配置器件。对 AD6676 SPI寄存器进行编程时,应注意以下几点:

- 功能相似的寄存器一般归为一组并分配相邻的地址。
- 写入一个寄存器时,未定义的位必须设为0。
- 请勿写入未定义的寄存器。
- 上电时建议使用硬件或软件复位以将SPI寄存器置于已 知状态。

SPI初始化例程是引导过程的一部分。程序示例参见表26。

复位

执行硬件或软件复位可将AD6676 SPI寄存器置于已知状态。 这两类复位的相似之处是SPI寄存器被置于表32所述的默认 状态,明显的不同之处是软件复位不影响寄存器0x000。 硬件复位可由主机或外部监控IC发起,方法是将一个至 少40 ns的低电平脉冲应用于RESETB引脚(引脚G6)。不使 用时,RESETB也可保持开路,因为它内置上拉电阻。发 起复位之后,SPI初始化过程仅需写入引导过程所需要的寄 存器以及其他必须更改的寄存器设置,具体取决于目标 应用。

虽然AD6676内置上电复位(POR)特性,但仍然建议在上电 之后不久执行软件或硬件复位。内部复位信号是从内部 POR信号、RESETB引脚和软件复位状态的"逻辑或"操作 获得。通过复位位(寄存器0x00的位7)可以发起自清零软件 复位。对于发起软件复位的指令周期,还建议将位[7:4]的 设置镜像到位[3:0]。

表31. SPI选项相关的SPI寄存器

地址(十六进制)	位	描述
0x000	7	软件复位SPI
	6	首先使能SPILSB
	4	使能4线

SPI工作原理

图146所示AD6676串行端口具有3线或4线SPI功能,支持读 写所有配置器件内部参数的寄存器。它提供一个灵活的同 步串行通信端口,可以很方便地与多数工业标准FPGA和 微控制器接口。该1.8 V至2.5 V串行输入/输出端口兼容大多 数同步传输格式。



默认4线SPI接口由时钟(SCLK)、串行端口使能(CSB)、串行数据输入(SDIO)和串行数据输出(SDO)组成。SCLK、CSB和SDIO的输入包含一个以VDDIO/2为中心的施密特触发器。SCLK的最大频率为40 MHz。SDO引脚仅在数据传输期间活动,其他时候都处于三态。

SDIO_DIR位(寄存器0x000的位4)清0可使能3线SPI接口。这 将使SDIO引脚变为双向引脚,输出数据仅在读操作期间出 现在SDIO引脚上。在3线SPI接口中,SDO引脚一直处于 三态。

指令头信息 MSB

							LJD	
	I_15	I_14	I_13	I_12			I_01	I_00
	R/W	A14	A13	A12			A1	A0

每个读写操作都必须伴随着一个16位指令头。MSB是R/W 指示位,逻辑高电平表示读操作。其余15位指定数据传输 部分要访问的地址位。无论读操作还是写操作,指令头之 后紧跟着8个数据位。对于写操作,写入每个传输字节的 最后一位后,寄存器立即改变。 AD6676串行端口支持最高有效位(MSB)优先和最低有效位 (LSB)优先两种数据格式。图147说明了MSB优先和LSB优先 两种模式下串行端口字是如何构成的。位序由LSB_FIRST 位(寄存器0x000的位6)控制。默认值为0,即MSB优先。 LSB_FIRST位置1时,串行端口以LSB优先方式解读指令和 数据。



图147. SPI时序, MSB优先(上方)和LSB优先(下方)

图148说明了SPI端口写操作的时序要求。串行端口使能 (CSB)信号变为低电平后,在时钟(SCLK)的上升沿读取与 指令头相关的数据(SDIO)。为启动写操作,R/W位须置0。 读取指令头后,与指定寄存器相关的8个数据位在随后8个 时钟周期的上升沿移入SDIO引脚。

图149说明了SPI端口3线读操作的时序。CSB变为低电平 后,在SCLK的上升沿读取与指令头相关的数据(SDIO)。如 果R/W指示位设为1,则执行读操作。读取指令头的地址 位后,与指定寄存器相关的8个数据位在随后8个时钟周期 的下降沿从SDIO引脚移出。

图150说明了SPI端口4线读操作的时序。该时序与3线读操 作相似,不同之处是数据仅出现在SDO引脚上,而SDIO引 脚全程处于高阻态。SDO引脚仅在数据传输阶段是活动输 出,其他时候都处于三态。

最后,当需要转换器充分发挥其全部动态性能时,必须禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的,因此,这些信号中的噪声会降低转换器性能。如果其他器件使用板上SPI总线,则可能需要在该总线与AD6676之间连接缓冲器,以防止这些信号在转换器的输入引脚发生变化,引起不需要的杂散信号。



寄存器存储器映射及详解

寄存器存储器映射

注意,此器件目前不支持表32中未包括的所有地址和位。

表32.寄存器汇总

0x000SW_RESTLise_MRSTNo.S<	寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
040020407.C.CONFGPO_MOR <th< td=""><td>0x000</td><td>SPI_CONFIG</td><td>SW_RESET</td><td>LSB_FIRST</td><td>保留</td><td>SDIO_DIR</td><td>SDIO_DIR</td><td>保留</td><td>LSB_FIRST</td><td>SW_RESET</td><td>0x18</td><td></td></th<>	0x000	SPI_CONFIG	SW_RESET	LSB_FIRST	保留	SDIO_DIR	SDIO_DIR	保留	LSB_FIRST	SW_RESET	0x18	
000	0x002	DEVICE_CONFIG			保留	7 1	-		PD_	MODE	0x00	RW
doddBitly DipUUCRIP DipORDR0005GRACE, RENSIONRENSIONRENSIONRENSIONADDADD0006GRACE, RENSIONRENSIONVENDOR, DipADDADDADD0007NPNORE, DipVENDOR, DipADDADDADDADD0008RENSIONFEFEADDADDADDADD0010RACC, IVENTANINAFEADDADDADDADD00102REPVENTANINAFEADDADDADDADDADD00103REPVENTANINAREPREPADD <td>0x003</td> <td>CHIP_TYPE</td> <td></td> <td></td> <td></td> <td>C</td> <td>HIP_TYPE</td> <td></td> <td></td> <td></td> <td>0x03</td> <td>R</td>	0x003	CHIP_TYPE				C	HIP_TYPE				0x03	R
0.0050.019, ID1IMPLATE0.00, R0.000NNDOR, ID0NEWSONNEWSON0.640, R0.000NENDOR, ID0NEWSONNEWSON0.640, R0.001NEDOR, ID0NEWSONNEWSON, NEWSON0.640, R0.001NEXC, INEWSON, NEWSON,	0x004	CHIP_ID0				(CHIP_ID0				0xBB	R
0.0056 RAPCE_RENSON REVISION VENCRUID 0.607 REVISION 0.608 R 0.6000 VENCRUID VENCRUID 0.648 <	0x005	CHIP_ID1				(CHIP_ID1				0x00	R
dodi:NENDOR_IDVENDOR_IDORRBY EA POCK® 10INTERNINGINTERNINGINTERNINGINTERNINGINTERNINGINTERNINGBY EA POCK® 12INTERNINGINTERNINGINTERNINGINTERNINGINTERNINGINTERNINGBY EA POCK® 13INTERNINGINTERNINGINTERNINGINTERNINGINTERNINGINTERNINGINTERNINGBY EA POCK® 13INTERNING<	0x006	GRADE_REVISION		REV	ISION			(GRADE		0x00	R
0400004000 (DN LOP	0x00C	VENDOR_ID0				VE	NDOR_ID0				0x56	R
BF 2.6 JCC/R28 LHZ FAC_0 FAC_1 FA	0x00D	VENDOR_ID1				VE	NDOR_ID1				0x04	R
0A000ADC_0Image: FAOC_0 ISecond Image: FAOC_0 IIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIII	ΒΡ Σ-Δ Α	DC配置设置										
0.010 <i>PAOC_1PAOC_1PAOC_1PAOC_1PAOC_1PAOC_1PAOC_1PAOC_1PAOC_1PAC_1<i>PAC_1</i></i>	0x100	FADC_0					FADC_0				0x10	RW
0x103PF.0PF.0STBY_ADD	0x101	FADC_1					FADC_1				0x0E	RW
0A103BP, IIFF, IMCINMCINO	0x102	FIF_0					FIF_0				0x2C	RW
0ndedNV_0Image: Second	0x103	FIF_1					FIF_1				0x01	RW
0n06BW_1IIBM_1 <td>0x104</td> <td>BW_0</td> <td></td> <td></td> <td></td> <td></td> <td>BW_0</td> <td></td> <td></td> <td></td> <td>0x3C</td> <td>RW</td>	0x104	BW_0					BW_0				0x3C	RW
0x006LERTLERTLATLATAnd RAAnd RA	0x105	BW_1					BW_1				0x00	RW
0x070 MRGN_L <td>0x106</td> <td>LEXT</td> <td></td> <td></td> <td></td> <td></td> <td>LEXT</td> <td></td> <td></td> <td></td> <td>0x14</td> <td>RW</td>	0x106	LEXT					LEXT				0x14	RW
0x108MMRGA, LUMMRGA, LU <th< td=""><td>0x107</td><td>MRGN_L</td><td></td><td></td><td></td><td></td><td>MRGN_L</td><td></td><td></td><td></td><td>0x05</td><td>RW</td></th<>	0x107	MRGN_L					MRGN_L				0x05	RW
0.009MRGAL JFMRGAL JF<	0x108	MRGN_U				I	MRGN_U				0x05	RW
0A0A DACL_PS UNCL_PS UNCL_PS UNCL	0x109	MRGN_IF				I	/IRGN_IF				0x00	RW
BP 2-A ADCR 20,ProfileCAL_PROFILECAL_PROFILECAL_PORTILECAL_DONERVCAL_CITRRK INT_NTE_OPINT_NTE_OPINT_NESORESON1_CALRLAN_ALLEINT_ADCGAORVCAL_DONECAL_DONEKIICAL_DONEGAORVGAORVGAORVCAL_DONEKIIICAL_DONEKIIICAL_DONEGAORVGAORVGAORVCAL_DONEKIIIKIIIKIIIRVRVGAO <t< td=""><td>0x10A</td><td>IDAC1_FS</td><td></td><td></td><td></td><td> </td><td>DAC1_FS</td><td></td><td></td><td></td><td>0x40</td><td>RW</td></t<>	0x10A	IDAC1_FS					DAC1_FS				0x40	RW
0.113CAL_CRALCAL_CRALCAL_PONELECAL_PONELE0.00RV0.111CAL_CONERF IIIINT_NTF_OPINT_NTF_OPRESON1_CALINT_ADCINT_ADCCAL_PONELE0.00RV0.111CAL_CONEFR IIIINT_NTF_OPINT_IESDACC_PORFILECAL_CONE0.00RV0.111CAL_CONEFR IIIFR IIIIINT_ADCCAL_PONFILECAL_CONE0.00RV0.113FORE_END_CALACC_PROFILEFR IIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIII	ΒΡ Σ-Δ Α	DC校准/Profile										
0.116CAL_CND(FRIGINIT_OTE_OPINIT_SEDRESON1_CALFLASH_CALINIT_ADCINIT_ADC0.00RW0.117CAL_DONECAL_DONECAL_DONECAL_DONECAL_DONE000RW0.118PCCE_END_CALISCEPTOFILEFRIGUEFRIGUEFORCE_END_CAL000RW0.118PCCE_END_CALISCEPTOFILEFORCE_END_CALNO00RW0.114PCRE_END_CALRGFRIGUEFORCE_END_CALNO00RW0.114PCC_MODE	0x115	CAL_CTRL			保留	7			CAL_	PROFILE	0x00	RW
On17 CAL_DONE (CAL_DONE (C	0x116	CAL_CMD	保	留	INIT_NTF_OP	INIT_JESD	RESON1_CAL	FLASH_CAL	INIT_ADC	TUNE_ADC	0x00	RW
Online Image: Control of the control of t	0x117	CAL_DONE			•	保留	-		•	CAL_DONE	0x00	RW
Online StributionCORCE_END_CALORDFORCE_END_CALORDRWStributionStributionStributionDEC_MODEDEC_MODEStribution	0x118	ADC_PROFILE			保留	7			ADC_	PROFILE	0x00	W
数2P3P3 <t< td=""><td>0x11A</td><td>FORCE_END_CAL</td><td></td><td></td><td></td><td>保留</td><td></td><td></td><td></td><td>FORCE_END_CAL</td><td>0x00</td><td>RW</td></t<>	0x11A	FORCE_END_CAL				保留				FORCE_END_CAL	0x00	RW
Or.140DEC_MODEDEC_MODEDEC_MODENMRW0x141MIX1_TUNINGRKBMIX1_TUNINGMIX1_TUNINGMIX1_NIT_SBMIX1_NIT_SBMIX1_N	数字信号	- 号路径							- -			
ontalMIXI_TUNINGImage: MIX_TUNINGMIXI_TUNINGMIXI_TUNINGMIXI_TUNINGMIXI00143MIXI_TUNINGImage: MIXI_TUNINGMIXI_TUNINGMIXI00144MIXI_INTImage: MIXI_TUNINGMIXI_TUNINGMIXI00145MIXI_INT, MSBImage: MIXI_TUNINGMIXI_TUNINGMIXI00146D/CTRLImage: MIXI_TUNINGMIXI_TUNINGMIXI_TUNINGMIXI00146D/CTRLImage: MIXI_TUNINGMIXI_TUNINGMIXI_TUNINGMIXI00146D/CTRLImage: MIXI_TUNINGMIXI_TUNINGMIXI_TUNINGMIXI00146D/CTRLSTBY_CIX_NIKillMIXI_TUNINGMIXI0015STANDBYSTBY_CIX_NISTBY_CLK_PLLSTBY_LSLSTBY_LSLMIXI0016MIXI_TUNINGSTBY_CIX_NISTBY_CIX_PLNSTBY_DATAPATHSTBY_DIGCLK0/00R/V0015PD_INCTRLSTBY_CIX_NISTBY_CIX_PLNPD_PIN_ENPD_DATAPATHPD_DIGCLK0/00R/V0016STBY_DACAMIXI_TUNINGMIXI_TUNINGPD_PIN_ENPD_DATAPATHPD_DIGCLK0/00R/V0016STBY_DACAMIXI_TUNINGMIXI_TUNINGMIXI_TUNINGMIXIIIIMIXIIIIIMIXIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIII	0x140	DEC_MODE			保留				DEC_MODE		0x01	RW
0x142 MIX2_TUNING MIX2_TUNING MIX2_TUNING 0x16 RW 0x144 MIX1_INIT R R MIX1_INIT 0x00 RW 0x144 MIX2_INIT_LSB MIX2_INIT_MSB 0x00 RW 0x145 MIX2_INIT_MSB MIX2_INIT_MSB 0x00 RW 0x146 DP_CTRL FR RIX2_INIT_MSB 0x00 RW 0x146 DP_CTRL STBY_CIK_PLL RIY RIY 0x00 RW 0x150 TANDBY R STBY_CIK_PLL STBY_LSD_N_TSP_N_	0x141	MIX1_TUNING	保	留			MD	X1_TUNING			0x05	RW
on143MIX1_JINTMEGMIX1_JINTMIX1_	0x142	MIX2_TUNING				MD	(2_TUNING				0x15	RW
0x144 MIX2_INT_LS8 MIX2_INT_LS8 MIX2_INT_MS8 MIX2_INT_MS8 0x00 RW 0x146 DP_CTRL KB MIX2_INT_MS8 0x00 RW 0x146 DP_CTRL KB NOT_2S_COMP 0x00 RW 0x146 DP_CTRL STBY_DR KB STBY_CLK_PLL STBY_ESD_PT STBY_FRAMER STBY_DATAPATH DSE_COMP 0x02 RW 0x151 PD_DIG KB STBY_DAC KB PD_PIN_EN KB PD_PIN_SEL 0x00 RW 0x181 ATTEN_MODE KB PD_PIN_EN KB PD_PIN_SEL 0x00 RW 0x183 ATTEN_MODE ATTEN_VALUE_PIND 0x00 RW 0x184 ATTEN_VALUE_PIN1 KB ATTEN_VALUE_PINT 0x00 RW 0x184 ATTEN_VALUE_PIN1 KB ATTEN_VALUE_PINT 0x00 RW 0x184 ATTEN_VALUE_PINT KB ATTEN_VALUE_PINT 0x00 RW </td <td>0x143</td> <td>MIX1_INIT</td> <td>保</td> <td>留</td> <td></td> <td></td> <td>Ν</td> <td>/IX1_INIT</td> <td></td> <td></td> <td>0x00</td> <td>RW</td>	0x143	MIX1_INIT	保	留			Ν	/IX1_INIT			0x00	RW
0x145 MIX2_INIT_MSB ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	0x144	MIX2_INIT_LSB			•	MD	2_INIT_LSB				0x00	RW
0x140 DP_CTRL NOT_25_COMPL 0x00 RW 功学校ジョ STRMDBY RY STBY	0x145	MIX2_INIT_MSB			保留	77 日			MIX2_	NIT_MSB	0x00	RW
功事控制 STBV STBV STBV STBV STBV STBV PL STBV DACIA	0x146	DP_CTRL				保留				NOT_2S_COMPL	0x00	RW
0x150 STANDBY 保留 STBY_LK_PLL VS2GEN STBY_LSD_NPLSD PH STBY_LSD_NPLSD PH STBY_LSD_NPLSD PH STBY_DAAAPATH STBY_DIGCLK 0x02 RW 0x151 PD_DIG (PD_PIN_CTRL (PD_PIN_STR PD_PIN_STR PD_DIGALK (PD_PIN_STR PD_DIAAPATH PD_DIGGLK (PD_PIN_STR PD_OIGSLK (PD_PIN_STR PD_OIGSLK (PD_PIN_STR PD_PIN_STR PD_POIN_STR PD_POIN_STR (PD_PIN_STR PD_PIN_STR PD_POIN_STR PD_POIN_STR (PD_PIN_STR PD_POIN_STR PD_	功率控制	il]										
0x151 0P_DIG Image: PD_PIN_EN PD_PRAMER PD_DATAPATH PD_DIGCL 0x00 RW 0x152 PD_PIN_TRL	0x150	STANDBY	保留	STBY_ VSS2GEN	STBY_CLK_PLL	STBY_JESD_ PLL	STBY_JESD_ PHY	STBY_FRAMER	STBY_DATAPATH	STBY_DIGCLK	0x02	RW
0x152PD_PIN_CTRLPG_PIN_ERPGPGPD_PIN_ERPGPD_PIN_SEL0x00PM0x250STBY_DACSTEN_STATS	0x151	PD_DIG			保留			PD_FRAMER	PD_DATAPATH	PD_DIGCLK	0x00	RW
0x250 STBY_DAC Or FR RW 5tby_DAC STBY_DAC Or FR RW 5tby_BAC ATTEN_ADDE ATTEN_MODE ATTEN_MODE RW 0x100 ATTEN_VALUE_PINO ATTEN_VALUE_PINO ATTEN_VALUE_PINO RW 0x120 ATTEN_VALUE_PINO ATTEN_VALUE_PINO ATTEN_VALUE_PINO RW 0x180 ATTEN_CT ATTEN_MORE ADVE RW 0x180 ATTEN_CT ATTEN_MORE RW 0x180 ADCR_FURH CLEAR_UNSTA MASA RW 0x181 ATTEN_STEP_RE REG RW RW 0x193 PKTHRH0_LSB CLEAR_UNSTA UNSTABLE RW 0x194 RYTHRH0_MSB KEY Qx00 RW 0x195 FKTHRH1_LSB FKTHRH1_LSB GX00 RW	0x152	PD_PIN_CTRL		保留		PD_PIN_EN	Í	呆留	PD_F	'IN_SEL	0x00	RW
triangle to the triangle triangl	0x250	STBY_DAC				S	TBY_DAC				0xFF	RW
0x180 ATTEN_MODE ATTEN_MODE RTEN_MODE 0x00 RW 0x181 ATTEN_VALUE_PINO ATTEN_VALUE_PINO XXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXX	衰减器											
0x181 ATTEN_VALUE_PIN0 ATTEN_VALUE_PIN0 ATTEN_VALUE_PIN1 0x00 RW 0x182 ATTEN_VALUE_PIN1 ATTEN_VALUE_PIN1 0x00 RW 0x183 ATTEN_INIT ATTEN_INIT 0x00 RW 0x184 ATTEN_CTL ATT_PIN RRB ATTEN_STEP_RE 0x00 RW 0x184 ADCRE_PULSE_LEN KBB RBB RWB RW RW RW 0x184 ATTEN_STEP_RE KBB RBB RWB RWB RW RW RW 0x185 ADC_UNSTABLE GRB RBB RWB RWB RW RWB RW RWB RWB <t< td=""><td>0x180</td><td>ATTEN_MODE</td><td></td><td></td><td></td><td>保留</td><td></td><td></td><td></td><td>ATTEN_MODE</td><td>0x00</td><td>RW</td></t<>	0x180	ATTEN_MODE				保留				ATTEN_MODE	0x00	RW
0x182 ATTEN_VALUE_PIN1 ATTEN_VALUE_PIN1 0x00 RW 0x183 ATTEN_INIT Ox100 ATTEN_INIT 0x00 RW 0x184 ATTEN_CTL ATT_PIN RGG ATTEN_READ V0x00 R 0x184 ATTEN_CTL ATT_PIN RGG ATTEN_READ V0x00 R 0x184 ADCRE_THRH ATTEN_STEP ADCRE_THRH V0x05 RW 0x183 ADCRE_PULSE_LEN KGG KGG RW 0x184 ATTEN_STEP_RE KGG KGG RW 0x184 ATTEN_STEP_RE KGG KGG RW 0x184 ATTEN_STEP_RE KGG KGG RW 0x185 ADC_UNSTABLE V0x05 RW RW 0x186 ADC_UNSTABLE V0x05 RW RW 0x193 PKTHRH0_LSB V0x06 RW RW 0x194 PKTHRH0_MSB KGG RGG RW RW 0x195 PKTHRH1_LSB V0x06 RW RW RW	0x181	ATTEN_VALUE_PIN0				ATTEN	I_VALUE_PIN0				0x0C	RW
0x183 ATTEN_INIT Ox00 RW 0x184 ATTEN_CTL ATT_PIN RG ATTEN_READ R ADCg_ L2Dg ATTEN_CTL ATT_PIN RG ATTEN_READ 0x00 R ADCg ADCRE_THRH ATTEN_STEP_RE Q005 RW 0x184 ADCRE_PULSE_LEN KG KG RW 0x184 ATTEN_STEP_RE CLEAR_UNSTA KW RW 0x185 ADC_UNSTABLE KG KG RW 0x186 ADC_UNSTABLE CLEAR_UNSTA UNSTABLE S000 RW 0x193 PKTHRH0_LSB CLEAR_UNSTA UNSTABLE S000 RW 0x194 PKTHRH0_MSB KG KG RG RW 0x195 PKTHRH1_LSB PKTHRH1_LSB 0x00 RW	0x182	ATTEN_VALUE_PIN1				ATTEN	I_VALUE_PIN1				0x0C	RW
$0x184$ ATTEN_CTLATT_PINREGATTEN_READ $0x00$ R $ADCg_{\overline{U}}$ $ATTEN_CTL$ $ATTEN_CTL$ $ATTEN_CTL$ $0x00$ R $ADCg_{\overline{U}}$ $ADCR_CTHRH$ CCR_CTHRH CCR_CTHRH $0x05$ RW $0x184$ $ADCRE_PULSE_LEN$ CCR_CTHRH CCR_CTHRH $0x00$ RW $0x184$ $ATTEN_STEP_RE$ CCR_CTHRH CCR_CTHRH $0x00$ RW $effde_{\overline{U}}$ CCR_CTHRH CCR_CTHRH CCR_CTHRH $0x00$ RW $effde_{\overline{U}}$ CCR_CTHRH CCR_CTHRH CCR_CTHRH CCR_CTHRH CCR_CTHRH CCR_CTHRH $0x184$ $ADC_UNSTABLE$ CCR_CTHRH CCR_CTHRH CCR_CTHRH CCR_CTHRH CCR_CTHRH CCR_CTHRH CCR_CTHRH $0x195$ $PKTHRH_0LSB$ $CCCTTHRH$ CCR_CTHRH CCR_CTHRH CCR_CTHRH CCR_CTHRH CCR_CTHRH CCR_CTHRH $0x194$ $PKTHRH_0LSB$ $CCTTTTTTTTTTTTTTTTTTTTTTTTTTTTTTTTTTT$	0x183	ATTEN_INIT				A	FTEN_INIT				0x00	RW
ADCg Uzbit ADCRE_THRH ADCRE_THRH ADCRE_THRH ADCRE_THRH ADCS RW 0x189 ADCRE_PULSE_LEN MCM ADCRE_PULSE_LEN 0x01 RW 0x184 ATTEN_STEP_RE MCM ATTEN_STEP_RE 0x00 RW Metabas ATTEN_STEP_RE MCM ATTEN_STEP_RE 0x00 RW Metabas ADC_UNSTABLE MCLEAR_UNSTA UNSTABLE Scoole RW 0x193 PKTHRH0_LSB MC PKTHRH0_LSB V000 RW 0x194 PKTHRH0_MSB MC PKTHRH0_LSB 0x00 RW 0x195 PKTHRH1_LSB PKTHRH1_LSB 0x00 RW	0x184	ATTEN_CTL	ATT_PIN	1	呆留			ATTEN_REA	D		0x0C	R
Ox188 ADCRE_THRH QX05 RW 0x189 ADCRE_PULSE_LEN QX07 QX07 ADCRE_PULSE_LEN QX01 RW 0x184 ATTEN_STEP_RE QX06 QX06 RW QX06 RW 0x184 ATTEN_STEP_RE QX06 QX06 RW QX06 RW ф值检波器和AGC标志控制 ADC_UNSTABLE CLEAR_UNSTA BLE FLAG UNSTABLE QX00 RW Ox193 PKTHRH0_LSB PKTHRH0_LSB VN000 RW Ox194 PKTHRH0_MSB QX00 RW Ox195 PKTHRH1_LSB	ADC复位	拉控制										
0x189 ADCRE_PULSE_LEN Qx01 RW 0x18A ATTEN_STEP_RE Qx06 RW 0x18A ATTEN_STEP_RE Qx06 RW 0x18b ATTEN_STEP_RE Qx06 RW 0x18b ATTEN_STEP_RE Qx06 RW 0x18b ADC_UNSTABLE CLEAR_UNSTA BLE FLAG UNSTABLE FLAG Qx00 RW 0x193 PKTHRH0_LSB PKTHRH0_LSB V000 RW 0x194 PKTHRH0_MSB Qx00 RW 0x195 PKTHRH1_LSB PKTHRH1_LSB 0x00 RW	0x188	ADCRE_THRH			保留				ADCRE_THRH		0x05	RW
Ox18A ATTEN_STEP_RE 保留 ATTEN_STEP_RE Ox06 RW 峰值检波器和AGC标志控制 RW RW RW RW <td< td=""><td>0x189</td><td>ADCRE_PULSE_LEN</td><td></td><td>保留</td><td></td><td></td><td></td><td>ADCRE_PULSE</td><td>_LEN</td><td></td><td>0x01</td><td>RW</td></td<>	0x189	ADCRE_PULSE_LEN		保留				ADCRE_PULSE	_LEN		0x01	RW
峰值检波器和AGC标志控制 CLEAR_UNSTA UNSTABLE Qx00 RW 0x18F ADC_UNSTABLE CLEAR_UNSTA UNSTABLE FLAG Qx00 RW 0x193 PKTHRH0_LSB PKTHRH0_LSB 0x00 RW 0x194 PKTHRH0_MSB Qx00 RW 0x195 PKTHRH1_LSB 0x00 RW	0x18A	ATTEN_STEP_RE		保留				ATTEN_STEP	_RE		0x06	RW
0x18F ADC_UNSTABLE CLEAR_UNSTA BLE FLAG UNSTABLE FLAG 0x00 RW 0x193 PKTHRH0_LSB PKTHRH0_LSB 0x00 RW 0x194 PKTHRH0_MSB GRY 0x00 RW 0x195 PKTHRH1_LSB 0x00 RW	峰值检测	 皮器和AGC 标志控制									_	
0x193 PKTHRH0_LSB 0x00 RW 0x194 PKTHRH0_MSB 0x00 RW 0x195 PKTHRH1_LSB 0x00 RW	0x18F	ADC_UNSTABLE			保留	37 五			CLEAR_UNSTA BLE FLAG	UNSTABLE FLAG	0x00	RW
0x194 PKTHRH0_MSB Cx00 RW 0x195 PKTHRH1_LSB 0x00 RW	0x193	PKTHRH0_LSB				PK	THRH0_LSB		•	-	0x00	RW
0x195 PKTHRH1_LSB 0x00 RW	0x194	PKTHRH0_MSB		仔	8留			PKTH	IRH0_MSB		0x00	RW
	0x195	PKTHRH1_LSB				PK	FHRH1_LSB				0x00	RW

寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x196	PKTHRH1_MSB		仔	民留			PKTH	IRH1_MSB		0x00	RW
0x197	LOWTHRH_LSB				LO	WTHRH_LSB				0x00	RW
0x198	LOWTHRH_MSB		仔	民留			LOW	THRH_MSB		0x00	RW
0x199	DWELL_TIME_MANTISSA				DWELL_	TIME_MANTISSA				0x00	RW
0x19A	DWELL_TIME_EXP		仔	民留			DWEL	TIME_EXP		0x00	RW
0x19B	FLAG0 SEL		· · · · · · · · ·	保留		1		FLAG0 SEL		0x00	RW
0x19C	FLAG1_SEL			保留				FLAG1_SEL		0x00	RW
0x19F	FN FLAG		保留	риш	EN OR	保察	1 1	EN ELAGI	EN ELAGO	0x00	RW
GPIO耐音	<u>ह</u>		下田		LIN_OIN	「下日	1			0,000	
	EORCE GPIO		1	2.62			FOF	CE GPIO		0×00	RW/
0x1D0			L L L L L L L L L L L L L L L L L L L	「日」			FORCE			0x00	RW/
0,101			p n	下田		-	FORCE			0,00	DW/
0x102	FORCE_GPIO_VAL		12	< 田 コ らの			FURCE			0000	RVV
0.103			12	< 田 コ ドカ			RE/			0000	n D
UX1B4			Þ	的			KE	AD_GPI		0000	к
JESD204	B接口	r				212					
0x1C0						DID				0x00	RW
0x1C1	BID		作	は昭	1			BID		0x00	RW
0x1C3	L	SCR	1	呆留			L			0x00	RW
0x1C4	F					F				0x03	RW
0x1C5	К		保留				K			0x1F	RW
0x1C6	M					М				0x01	RW
0x1C9	S		保留				S			0x00	RW
0x1CB	RES1					RES1				0x00	RW
0x1CC	RES2					RES2				0x00	RW
0x1D0	LID0		保留				LID0			0x00	RW
0x1D1	LID1		保留				LID1			0x01	RW
0x1D8	FCHK0					FCHK0				0x44	RW
0x1D9	FCHK1					FCHK1				0x45	RW
0x1E0	EN LFIFO				保留				EN LFIFO	0x00	RW
0x1F1	SWAP	保	囟	SWAP (ONV	任	卫的	SWAP	P LANE	0x00	RW
0v1E2	LANE PD	- PK	ι ΔS			1	に回	LAN		0x00	RW/
0x1E2	MIS1	伊		TEST SAMDLE EN		II AS			L_ID 促动	0x00	RW/
0x1E4			印		LJINC_LN	<u>រច</u> ជា			本田	0,00	DW/
0.155		休	田 1571			休田	TECT		体由	0,00	
UXTES	TEST_GEN	1休	留	TEST_GE	N_SEL		IESI_	GEIN_IVIODE		0000	RVV
0X1E6	KF_ILAS		/1	1.64		KF_ILAS		1	1.64	0000	RW
OXIE/	SYNCINB_CIRL	And advant	17	R留	1	PD_SYSREF_RX	LVDS_SYNCINB	你	(留)	0x00	RW
0x1E8	MIX_CTRL	保留	MIX_USE_2ND	MIX_NEX I	MIX_ALL	保留	USE_2ND_	NEXT_SYSREF	ALL_SYSREF	0x00	RW
0v1E0			伊匈					-		0,00	D\\/
0x1E9			休田 CVCDEE			T				0,00	
UXTEA	STSREF		STSREF_	_WIN_NEG		/11.69	SISKE	F_WIN_POS		0x00	RW
OXIEB	SERI	SER_DRV_PS		17044		保留		0.07004		UXIC	RW
0x1EC	SER2		SER				SEI			0x9B	RW
0x1EF	PRE-EMPHASIS	SER_EMP_PS1		SER_EMP_IDAC1		SER_EMP_P	50	SER_EMP_IDA	\C0	0x00	RW
ADC时争	中频率合成器	1	1			1	1	[T		
0x2A0	CLKSYN_ENABLE	EN_EXTCK	én_adc_ck	EN_SYNTH	EN_VCO_	EN_VCO	EN_VCO	EN_OVERRIDE_	EN_OVERRIDE	0x00	RW
0.044								CAL		0.00	D14
0x2A1	CLKSYN_INT_N_LSB			10.00	INT	_N_LSB[7:0]	1			0x80	RW
0x2A2	CLKSYN_IN1_N_MSB			保留		1		IN1_N_MSB[10:8]		0x00	RW
0x2A5	VCO_CAL_RESET		化	民国		VCO_CAL_		保留		0x00	RW
0.044		/11	rin .		4000	RESET		DIAC		0.07	DIA
0x2AA	CLKSYN_VCO_BIAS	【	留	BIAS_TER	MPCO	保留		BIAS		0X37	RVV
0x2AB	CLKSYN_VCO_CAL		INI1_AL	C_VALUE		ALC_DIS	的	と留	ID_SYNTH	0xC0	RW
0x2AC	CLKSYN_I_CP	保	留				I_CP			0x19	RW
0x2AD	EN_CP_CAL	EN_CI	P_CAL			1	保留			0x00	
0x2B7	CLKSYN_VCO_VAR		VCC	D_VAR		ļ	保	留		0xD0	RW
0x2BB	CLKSYN_R_DIV	R_1	DIV	保留	D 3	SYSREF_	CLKIN_IMPED	保留	1	0xB9	RW
0x2BC	CLKSYN STATUS		佰	日朝			保留		CP CAL DONE	0x80	R
0x2DC	JESDSYN STATUS		10 10	- m R 留		PII ICK	保留	VCO CAL BUSY	CP CAL DONE	0x80	R
ADC白泉			P	р µ4			илн		S. STEDUNE	0.00	<u></u>
0x340	SHUFFLE_CTRL				保留				EN_ADAPTIVE_	0x03	RW
0x342	Shuffie Threg o	<u> </u>		FLF TH2			сын	FFLE TH1	5E	0xF5	RW/
0v3/12						+	сші сції				R\//
03343	SHOFFLE_IHREG_I		SHOP	LL_1114		1	٥Ħu			UXEE	1410

寄存器详解

SPI配置寄存器

地址: 0x000; 复位: 0x18; 名称: SPI_CONFIG

表33. SPI_CONFIG的位功能描述

位	位名称	描述	复位	访问类型
7	SW_RESET	自清零位,置1时引起软件复位。软件复位会使所有SPI寄存器恢复默认状态。	0	RW
6	LSB_FIRST	置1时,输入和输出数据按照SPI标准以LSB优先方式处理。	0	
4	SDIO_DIR	置1时,SPI接口为4线接口,输出数据出现在SDO引脚上。	1	

该寄存器使用前4位配置SPI接口/格式,因此位0、位1和位3是位7、位6和位4的镜像。

器件配置寄存器

地址: 0x002; 复位: 0x00; 名称: DEVICE_CONFIG

表DEVICE_CONFIG的位功能描述

位	位名称	描述	复位	访问类型
[7:2]	保留		0x0	RW
[1:0]	PD_MODE	关断/待机控制	0x0	RW
		00=正常工作		
		01 = 未使用		
		10=待机模式		
		11 = 休眠(关断)模式		

芯片类型寄存器

地址: 0x003; 复位: 0x03; 名称: CHIP_TYPE

表34. CHIP_TYPE的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CHIP_TYPE	芯片类型: 高速ADC。	0x03	R

芯片ID 0寄存器

地址: 0x004; 复位: 0xBB; 名称: CHIP_ID0

表35. CHIP_ID0的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CHIP_ID0	芯片ID低字节。	0xBB	R

芯片ID 1寄存器

地址: 0x005; 复位: 0x00; 名称: CHIP_ID1

表36. CHIP_ID1的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	CHIP_ID1	芯片ID高字节。	0x00	R

芯片等级/版本寄存器

地址: 0x006; 复位: 0x00; 名称: GRADE_REVISION

表37. GRADE_REVISION的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	REVISION		0x0	R
[3:0]	GRADE		0x0	R

供应商ID 0寄存器

地址: 0x00C; 复位: 0x56; 名称: VENDOR_ID0

表38. VENDOR_ID0的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	VENDOR_ID0		0x56	R

供应商ID 1寄存器

地址: 0x00D; 复位: 0x04; 名称: VENDOR_ID1

表39. VENDOR_ID1的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	VENDOR_ID1		0x04	R

ADC CLK频率LSB寄存器

地址: 0x100; 复位: 0x10; 名称: FADC_0

表40.FADC_0的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	FADC_0	16位值的低8位,定义ADC CLK频率(1 MHz分辨率)。例如,3200 MHz CLK频率对应的FADC_1和 FADC_0设置分别为0x0C和0x80。	0x10	RW

ADC CLK频率MSB寄存器1

地址: 0x101; 复位: 0x0E; 名称: FADC_1

表41.FADC_1的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	FADC_1	16位值的高8位,定义ADC CLK频率(1 MHz分辨率)。例如,3200 MHz CLK频率对应的FADC_1和 FADC_0设置分别为0x0C和0x80。	I 0x0E	RW

IF频率LSB寄存器0

地址: 0x102; 复位: 0x2C; 名称: FIF_0

表42.FIF_0的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	FIF_0	16位值的低8位,定义目标IF频率(1 MHz分辨率)。 例如,300 MHz IF频率对应的FIF_1和FIF_0	0x2C	RW
		设置分别为0x01和0x2C。		

IF频率MSB寄存器1

地址: 0x103; 复位: 0x01; 名称: FIF_1

表43.F0_1的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	FIF_1	16位值的高8位,定义目标IF频率(1 MHz分辨率)。例如,300 MHz IF频率对应的FIF_1和FIF_0 设置分别为0x01和0x2C。	0x01	RW

BW LSB寄存器0

地址: 0x104; 复位: 0x3C; 名称: BW_0

表44.BW_0的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	BW_0	16位值的低8位,定义目标BW频率(1 MHz分辨率)。例如,60 MHz BW对应的BW_1和BW_0 设置分别为0x00和0x3C。	0x3C	RW

BW MSB寄存器1

地址: 0x105; 复位: 0x00; 名称: BW_1

表45.BW_1的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	BW_1	16位值的高8位,定义目标BW频率(1 MHz分辨率)。此寄存器应保持默认 设置0x00,因为最大BW不能超过160 MHz。	0x00	RW

外部电感值寄存器

地址: 0x106; 复位: 0x14; 名称: LEXT

表46. LEXT的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	LEXT	外部电感值(nH)。输入LC谐振器的外部电感值。默认值0x14对应于20 nH。	0x14	RW

带宽裕量(下限)寄存器

地址: 0x107; 复位: 0x05; 名称: MRGN_L

表47. MRGN_L的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	MRGN_L	8位寄存器,定义下谐振器频率相对于其理论值的偏移频率(1 MHz分辨率)。默认 设置为5 MHz。提高该值会降低谐振器实际频率。	0x05	RW

带宽裕量(上限)寄存器

地址: 0x108; 复位: 0x05; 名称: MRGN_U

表48. MRGN_U的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	MRGN_U	8位寄存器,定义上谐振器频率相对于其理论值的偏移频率(1 MHz分辨率)。默认设置为5 MHz。提高该值会提高谐振器实际频率。	0x05	RW

带宽裕量(IF)寄存器

地址: 0x109; 复位: 0x00; 名称: MRGN_IF

表49. MRGN_IF的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	MRGN_IF	8位寄存器,定义LC谐振器频率相对于其理论值的偏移频率(1 MHz分辨率)。默认设置为0 MHz。 提高该值会提高谐振器实际频率。	0x00	RW

IDAC1_{Fs}增益调整寄存器

地址: 0x10A; 复位: 0x40; 名称: IDAC1_FS

表50. IDAC1_FS的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	IDAC1_FS	通过此参数调整IDAC1的满量程电流,可以调整ADC的满量程输入功率水平。标称设置0x40 设置4 mA的IDAC1 _{FS} 值,对应于约-3 dBm的最大满量程水平(IF衰减器设置为0 dB)。设置为0x20 或0x10时,IDAC1 _{FS} 值为2 mA或1 mA,导致PIN_0dBFS降低6 dB或12 dB。不推荐使用会导致 降幅超过12 dB的设置。	0x40	RW

校准控制寄存器

地址: 0x115; 复位: 0x00; 名称: CAL_CTRL

表51.CAL_CTRL的位功能描述

位	位名称	描述	复位	访问类型
[7:2]	保留		0x00	RW
[1:0]	CAL_PROFILE	要校准的ADC profile。选择四个ADC profile中的一个,在其中存储校准结果。例如,为支持多个IF设置,四个profile涵盖0x141到0x145的所有寄存器。		RW

校准命令寄存器

地址: 0x116; 复位: 0x00; 名称: CAL_CMD

表52.CAL_CMD的位功能描述

位	位名称	描述	复位	访问类型
[7:6]	保留		0x0	RWAC
5	INIT_NTF_OP		0x0	RWAC
4	INIT_JESD		0x0	RWAC
3	RESON1_CAL		0x0	RWAC
2	FLASH_CAL		0x0	RWAC
1	INIT_ADC		0x0	RWAC
0	TUNE_ADC		0x0	RWAC

此寄存器中的一位或多位置1会启动内部校准。此寄存器在校准结束时自动清零,或者通过将FORCE_END_CAL位设为1来清零。

校准完成寄存器

地址: 0x117; 复位: 0x00; 名称: CAL_DONE

表53. ADC_PROFILE的位功能描述

位	位名称	描述	复位	访问类型
[7:1]	保留		0x00	RW
[0]	CAL_DONE	此位指示微控制器已完成校准。它由新的CAL_CMD自动清零。	0x0	RW
ADC Profile选择寄存器

地址: 0x118; 复位: 0x00; 名称: ADC_PROFILE

表54. ADC_PROFILE的位功能描述

位	位名称	描述	复位	访问类型
[7:2]	保留		0x00	W
[1:0]	ADC_PROFILE	ADC profile。选择四个ADC profile中的哪一个用于操作。如果每个profile都进行 过校准,则用户可以在多个profile之间切换。注意,如果不同profile的数字混 频器设置不同,则这四个profile同样涵盖SPI寄存器0x141至SPI寄存器0x145。	0x0	W

强制结束校准寄存器

地址: 0x11A; 复位: 0x00; 名称: FORCE_END_CAL

表55. FORCE_END_CAL的位功能描述

位	位名称	描述	复位	访问类型
[7:1]	保留		0x00	RW
0	FORCE_END_CAL	用户将此位先置1再置0(两次写操作)时,校准终止,控制权交还SPI。仅当 AD6676无法在400 ms后使寄存器0x116清零,才能执行此SPI操作。	0x0	RW

仅当控制权执行校准时,它才是一个用户可访问的SPI寄存器。

抽取模式寄存器

地址: 0x140; 复位: 0x01; 名称: DEC_MODE

表56. DEC_MODE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:3]	保留			0x00	RW
[2:0]	DEC_MODE		抽取模式。	0x01	RW
		001	1/32抽取。		
		010	1/24抽取。		
		011	1/16抽取。		
		100	1/12抽取。		

粗调NCO调谐寄存器

地址: 0x141; 复位: 0x05; 名称: MIX1_TUNING

表57. MIX1_TUNING的位功能描述

位	位名称	描述	复位	访问类型
[7:6]	保留		0x0	RW
[5:0]	MIX1_TUNING	Mix1调谐。粗调下变频频率,单位为F _{ADC} /64。例如,设置为000011时, 下变频F _{ADC} ×(3/64)。	0x5	RW

此寄存器有四个副本,每个ADC profile对应一个。Profile 0的默认值是0x05,其他profile的默认值是0x00。在3.2 GHz的ADC默 认时钟速率时,默认Profile 0下变频频率为(5/64) × 3.6 GHz = 250 MHz。

精调NCO调谐寄存器

地址: 0x142; 复位: 0x15, 名称: MIX2_TUNING

表58. MIX2_TUNING的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	MIX2_TUNING	Mix2调谐。精调下变频频率。对于抽取模式1和模式3,此二进制补码数表示F _{ADC} /4096的步进。对于抽取模式2和模式4,它表示F _{ADC} /3072的步进。正数表示下变频, 负数表示上变频。	0x15	RW

此寄存器有四个副本,每个ADC profile对应一个。Profile 0的默认值是0x21,其他profile的默认值是0x00。在3.2 GHz的ADC 默认时钟速率时,默认Profile 0下变频频率为(33/4096) × 3.2 GHz = 25.78125 MHz。

粗调NCO初始相位寄存器

地址: 0x143; 复位: 0x00; 名称: MIX1_INIT

表59. MIX1_INIT的位功能描述

位	位名称	描述	复位	访问类型
[7:6]	保留		0x0	RW
[5:0]	MIX1_INIT	NCO1初始相位。利用SYSREF同步后粗调NCO的初始相位,单位为1/64周期。	0x00	RW

此寄存器有四个副本,每个ADC profile对应一个。Profile 0的默认值为0x00。

精调NCO初始相位LSB寄存器

地址: 0x144; 复位: 0x00; 名称: MIX2_INIT_LSB

表60. MIX2_INIT_LSB的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	MIX2_INIT_LSB	NCO2初始相位。利用SYSREF同步后精调NCO的初始相位,单位为1/1024周期。10位值的 2个MSB位于寄存器0x145中。	0x00	RW

此寄存器有四个副本,每个ADC profile对应一个。Profile 0的默认值为0x00。

精调NCO初始相位MSB寄存器

地址: 0x145; 复位: 0x00; 名称: MIX2_INIT_MSB

表61. MIX2_INIT_MSB的位功能描述

位	位名称	描述	复位	访问类型
[7:2]	保留		0x00	RW
[1:0]	MIX2_INIT_MSB	NCO2初始相位。利用SYSREF同步后精调NCO的初始相位,单位为1/1024周期。 10位值的LSB位于寄存器0x144中。	0x0	RW

此寄存器有四个副本,每个ADC profile对应一个。Profile 0的默认值为0x00。

数据路径控制寄存器

地址: 0x146; 复位: 0x00; 名称: DP_CTRL

表62. DP_CTRL的位功能描述

位	位名称	描述	复位	访问类型
[7:1]	保留		0x00	RW
0	NOT_2S_COMPL	输出数据格式: 二进制补码=0; 直接二进制=1		

待机寄存器

地址: 0x150; 复位: 0x02; 名称: STANDBY

此寄存器中的某位置1时,如果芯片进入待机模式,则对应的模块进入关断状态。

表63. STANDBY的位功能描述

位	位名称	描述	复位	访问类型
7	保留		0x0	RW
6	STBY_VSS2GEN	1:待机期间关断负电源(VSS2)发生器。	0x0	RW
5	STBY_CLK_PLL	1:待机期间关断主时钟PLL。	0x0	RW
4	STBY_JESD_PLL	1:待机期间关断JESD接口PLL。	0x0	RW
3	STBY_JESD_PHY	1:待机期间关断JESD接口发送器。	0x0	RW
2	STBY_FRAMER	1:待机期间关断JESD接口成帧器逻辑。	0x0	RW
1	STBY_DATAPATH	1:待机期间关断数字数据路径。	0x1	RW
0	STBY_DIGCLK	1:待机期间禁用所有数字时钟。	0x0	RW

数字关断寄存器

地址: 0x151; 复位: 0x00; 名称: PD_DIG

表64. PD_DIG的位功能描述

位	位名称	描述	复位	访问类型
[7:3]	保留		0x00	RW
2	PD_FRAMER	1:关断JESD接口成帧器逻辑。	0x0	RW
1	PD_DATAPATH	1:关断数字数据路径。	0x0	RW
0	PD_DIGCLK	1:关断所有数字时钟。	0x0	RW

待机引脚控制寄存器

地址: 0x152; 复位: 0x00; 名称: PD_PIN_CTRL

表65. PD_PIN_CTRL的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:5]	保留			0x0	RW
4	PD_PIN_EN		使能GPIO引脚控制待机模式。	0x0	RW
		0	仅使用寄存器2选择待机模式。		
		1	使用寄存器2或所选引脚来选择待机模式。待机模式是寄存器设置与		
			引脚状态"逻辑或"的结果。		
[3:2]	保留			0x0	RW
[1:0]	PD_PIN_SEL		选择GPIO引脚用于待机控制。	0x0	RW
		00	AGC1用于待机控制。		
		01	AGC2用于待机控制。		
		10	AGC3用于待机控制。		
		11	AGC4用于待机控制。		

衰减器模式寄存器

地址: 0x180; 复位: 0x00; 名称: ATTEN_MODE

表66. ATTEN_MODE的位功能描述

位	位名称	描述	复位	访问类型
[7:1]	保留		0x00	RW
0	ATTEN_MODE	衰减器模式。	0x0	RW
		0=使用AGC2引脚选择寄存器0x0181或寄存器0x0182中的值。		
		1=使用AGC1和AGC2引脚递减/递增衰减值。		

衰减器AGC2引脚低值寄存器

地址: 0x181;复位: 0x0C;名称: ATTEN_VALUE_PIN0

表67.ATTEN_VALUE_PIN1的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	ATTEN_VALUE_PIN0	AGC2引脚为低电平时用于ATTEN_MODE=0的衰减值。有效范围是从0 (最小衰减)到27(最大衰减)。值28至值31禁用衰减器。默认值为12 dB衰减。	0x0C	RW

衰减器AGC2引脚高值寄存器

地址: 0x182; 复位: 0x0C; 名称: ATTEN_VALUE_PIN1

表68. ATTEN_VALUE_PIN1的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	ATTEN_VALUE_PIN1	AGC2引脚为高电平时用于ATTEN_MODE = 0的衰减值。有效范围是从0	0x0C	RW
		(最小衰减)到27(最大衰减)。值28至值31禁用衰减器。默认值为12 dB衰减。		

衰减器初始化寄存器

地址: 0x183; 复位: 0x00; 名称: ATTEN_INIT

表69. ATTEN_INIT的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	ATTEN_INIT	使用ATTEN_MODE = 1时,初始化衰减器值。	0x00	RW

衰减器状态寄存器

地址: 0x184; 复位: 0x0C; 名称: ATTEN_CTL

表70. ATTEN_CTL的位功能描述

位	位名称	描述	复位	访问类型
7	ATT_PIN	回读AGC2引脚的状态。	0x0	R
[6:5]	保留		0x0	RW
[4:0]	ATTEN_READ	回读ATTEN_MODE中的实际衰减值。	0x0C	R

ADC复位阈值寄存器

地址: 0x188; 复位: 0x05; 名称: ADCRE_THRH

表71. ADCRE_THRH的位功能描述

位	位名称	描述	复位	访问类型
[7:3]	保留		0x00	RW
[2:0]	ADCRE_THRH	ADC复位阈值。在8个ADC连续样本中,若有超过阈值数量的样本具有 满量程值±8,则触发ADC复位。	0x5	RW

ADC复位脉冲长度寄存器

地址: 0x189; 复位: 0x01; 名称: ADCRE_PULSE_LEN

表72. ADCRE_PULSE_LEN的位功能描述

位	位名称	描述	复位	访问类型
[7:5]	保留		0x0	RW
[4:0]	ADCRE_PULSE_LEN	ADC复位脉冲的持续时间,(x+1)×8/F _{ADC} 。	0x01	RW

ADC复位衰减步进寄存器

地址: 0x18A; 复位: 0x06; 名称: ATTEN_STEP_RE

表73.ATTEN_STEP_RE的位功能描述

位	位名称	描述	复位	访问类型
[7:5]	保留		0x0	RW
[4:0]	ATTEN_STEP_RE	复位事件后衰减的增幅(dB)。衰减箝位至最大值27 dB。	0x06	RW

ADC不稳定标志控制寄存器

地址: 0x18F; 复位: 0x00; 名称: ADC_UNSTABLE

表74. ADC_UNSTABLE的位功能描述

位	位名称	描述	复位	访问类型
[7:2]	保留		0x00	RW
1	CLEAR_UNSTABLE_FLAG	清除不稳定标志。写入1,清除UNSTABLE_FLAG。此位自动清0。	0x0	RW
0	UNSTABLE_FLAG	不稳定标志。这是一个粘滞位,指示是否检测到ADC复位条件。 它只能由CLEAR_UNSTABLE_FLAG位和硬件/软件复位清0。	0x0	R

峰值阈值0 LSB寄存器

地址: 0x193; 复位: 0x00; 名称: PKTHRH0_LSB

表75. PKTHRH0_LSB的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	PKTHRH0_LSB		峰值阈值OLSB。	0x00	RW

峰值阈值0 MSB寄存器

地址: 0x194; 复位: 0x00; 名称: PKTHRH0_MSB

表76. PKTHRH0_MSB的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:4]	保留			0x0	RW
[3:0]	PKTHRH0_MSB		峰值阈值0 MSB。	0x0	RW

峰值阈值1 LSB寄存器

地址: 0x195; 复位: 0x00; 名称: PKTHRH1_LSB

表77. PKTHRH1_LSB的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	PKTHRH1_LSB		峰值阈值1LSB。	0x00	RW

峰值阈值1 MSB寄存器

地址: 0x196; 复位: 0x00; 名称: PKTHRH1_MSB

表78. PKTHRH1_MSB的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:4]	保留			0x0	RW
[3:0]	PKTHRH1_MSB		峰值阈值1 MSB。	0x0	RW

DEC下阈值LSB寄存器

地址: 0x197; 复位: 0x00; 名称: LOWTHRH_LSB

表79. LOWTHRH_LSB的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	LOWTHRH_LSB		下阈值LSB。	0x00	RW

下阈值MSB寄存器

地址: 0x198; 复位: 0x00; 名称: LOWTHRH_MSB

表80. LOWTHRH_MSB的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:4]	保留			0x0	RW
[3:0]	LOWTHRH_MSB		下阈值MSB。	0x0	RW

驻留时间尾数寄存器

地址: 0x199; 复位: 0x00; 名称: DWELL_TIME_MANTISSA

表81. DWELL_TIME_MANTISSA的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	DWELL_TIME_MANTISSA		驻留时间尾数。	0x00	RW

驻留时间指数寄存器

地址: 0x19A;复位: 0x00;名称: DWELL_TIME_EXP

表82. DWELL_TIME_EXP的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:4]	保留			0x0	RW
[3:0]	DWELL_TIME_EXP		驻留时间指数。	0x0	RW

AGC标志0选择寄存器

地址: 0x19B; 复位: 0x00; 名称: FLAG0_SEL

表83. FLAG0_SEL的位功能描述

位	位名称	描述	复位	访问类型
[7:3]	保留		0x00	RW
[2:0]	FLAG0_SEL	选择4个标志中的一个以通过AGC3引脚输出。 000 = ADC复位脉冲。 100 = DEC峰值高于DEC阈值0。 101 = DEC峰值高于DEC阈值1。 110 = DEC峰值低于DEC低阈值并在驻留时间内保持此状态。	0x0	RW

AGC标志1选择寄存器

地址: 0x19C; 复位: 0x00; 名称: FLAG1_SEL

表84. FLAG1_SEL的位功能描述

位	位名称	描述	复位	访问类型
[7:3]	保留		0x00	RW
[2:0]	FLAG1_SEL	选择4个标志中的一个以通过AGC4引脚输出。	0x0	RW
		000 = ADC复位脉冲。		
		100 = DEC峰值高于DEC阈值0。		
		101 = DEC峰值高于DEC阈值1。		
		110 = DEC峰值低于DEC低阈值并在驻留时间内保持此状态。		

AGC标志使能寄存器

地址: 0x19E; 复位: 0x00; 名称: EN_FLAG

表85. EN_FLAG的位功能描述

位	位名称	描述	复位	访问类型
[7:5]	保留		0x0	RW
4	EN_OR	ADC复位与峰值检测合并。置位时,ADC复位脉冲(标志选择选项0)与 寄存器0x19B或寄存器0x19C中指定的峰值检测标志选项之一进行 "逻辑或"。	0x0	RW
[3:2]	保留		0x0	RW
1	EN_FLAG1	使能标志1。 0 = 强制AGC4引脚变为低电平。 1 = 在AGC4引脚上使能所选的标志(参见FLAG1_SEL)。	0x0	RW
0	EN_FLAG0	使能标志0。 0 = 强制AGC3引脚变为低电平。 1 = 在AGC3引脚上使能所选的标志(参见FLAG0_SEL)。	0x0	RW

强制GPIO寄存器

地址: 0x1B0; 复位: 0x00; 名称: FORCE_GPIO

表86. FORCE_GPIO的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	保留		0x0	RW
[3:0]	FORCE_GPIO	强制用作GPIO。强制AGC1至AGC4引脚中的一个或多个用作GPIO,而不是任何其他指定用途。 位0:强制AGC1用作GPIO。 位1:强制AGC2用作GPIO。 位2:强制AGC3用作GPIO。 位3:强制AGC4用作GPIO。	0x00	RW

强制GPIO用作输出寄存器

地址: 0x1B1; 复位: 0x00; 名称: FORCE_GPIO_OUT

表87.FORCE_GPIO_OUT的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	保留		0x0	RW
[3:0]	FORCE_GPIO_OUT	强制GPIO用作输出。与FORCE_GPIO一起使用时,将AGC1至AGC4引脚中的一个或多个 用作通用输出或输入。 位0=1:AGC1用作输出。 位0=0:AGC1用作输入。 位1=1:AGC2用作输出。 位1=0:AGC2用作输入。 位2=1:AGC3用作输出。 位2=0:AGC3用作输入。 位3=1:AGC4用作输出。	0x00	RW

强制GPIO值寄存器

地址: 0x1B2; 复位: 0x00; 名称: FORCE_GPIO_VAL

表88.FORCE_GPIO_VAL的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	保留		0x0	RW
[3:0]	FORCE_GPIO_VAL	强制GPIO值。与FORCE_GPIO和FORCE_GPIO_OUT一起使用时,如果AGC1至AGC4引脚中的一个或多个用作通用输出,应配置其状态。 位[0]:AGC1用作输出时的状态。 位[1]:AGC2用作输出时的状态。 位[2]:AGC3用作输出时的状态。 位[3]:AGC4用作输出时的状态。	0x00	RW

GPIO输出状态寄存器

地址: 0x1B3; 复位: 0x00; 名称: READ_GPO

表89. READ_GPO的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	保留		0x0	RW
[3:0]	READ_GPO	回读GPIO输出位的状态。如果GPIO已使能且配置为输出,则这些状态与外部引脚 AGC1至AGC4相同。	0x00	R

GPIO输入状态寄存器

地址: 0x1B4; 复位: 0x00; 名称: READ_GPI

表90. READ_GPI的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	保留		0x0	RW
[3:0]	READ_GPI	回读GPIO输入位的状态。如果GPIO已使能且配置为输入,则这些状态与 外部引脚AGC1至AGC4相同。	0x00	R

AD6676

JESD204 DID寄存器

地址: 0x1C0; 复位: 0x00; 名称: DID

表91. DID的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	DID	器件ID	0x00	RW

JESD204 BID寄存器

地址: 0x1C1; 复位: 0x00; 名称: BID

表92. BID的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	保留		0x0	R
[3:0]	BID	模块ID	0x0	RW

JESD204 L/SCR寄存器

地址: 0x1C3; 复位: 0x00; 名称: L

表93. L的位功能描述

位	位名称	设置	描述	复位	访问类型
7	SCR		SCR参数。	0x0	RW
		0	加扰禁用。		
		1	加扰使能。		
[6:5]	保留			0x0	RW
[4:0]	L		L参数。	0x00	RW
		00000	单通道。		
		00001	双通道。		

JESD204 F寄存器

地址: 0x1C4; 复位: 0x03; 名称: F

表94.F的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	F		每个通道每帧的八位字数。	0x03	RW
		00000001	F = 2		
		00000011	F = 4		

JESD204 K寄存器

地址: 0x1C5; 复位: 0x1F; 名称: K

表95.K的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:5]	保留			0x0	RW
[4:0]	К		每个多帧的帧数。每个多帧的帧数为寄存器值加1。	0x1F	RW

JESD204 M寄存器

地址: 0x1C6; 复位: 0x01; 名称: M

表96.M的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	Μ		М.	0x01	RW
		00000001	2个转换器(I/Q数据)。		

JESD204 S寄存器

地址: 0x1C9; 复位: 0x00; 名称: S

表97.S的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:5]	保留			0x0	RW
[4:0]	S		S.	0x00	RW
		00000	每帧一个样本(唯一有效的选项)。		

JESD204 RES1寄存器

地址: 0x1CB; 复位: 0x00; 名称: RES1

表98. RES1的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	RES1		0x00	RW

JESD204 RES2寄存器

地址: 0x1CC; 复位: 0x00; 名称: RES2

表99. RES2的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	RES2		0x00	RW

JESD204 LID0寄存器

地址: 0x1D0; 复位: 0x00; 名称: LID0

表100. LID0的位功能描述

位	位名称	描述	复位	访问类型
[7:5]	保留		0x0	RW
[4:0]	LID0	通道0的通道ID。	0x00	RW

JESD204 LID1寄存器

地址: 0x1D1; 复位: 0x01; 名称: LID1

表101. LID1的位功能描述

位	位名称	描述	复位	访问类型
[7:5]	保留		0x0	RW
[4:0]	LID1	通道1的通道ID。	0x01	RW

JESD204 FCHK0寄存器

地址: 0x1D8; 复位: 0x44; 名称: FCHK0

表102.FCHK0的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	FCHK0	通道0的校验和。	0x44	RW

JESD204 FCHK1寄存器

地址: 0x1D9; 复位: 0x45; 名称: FCHK1

表103.FCHK1的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	FCHK1	通道1的校验和。	0x45	RW

使能通道FIFO寄存器

地址: 0x1E0; 复位: 0x00; 名称: EN_LFIFO

表104. EN_LFIFO的位功能描述

位	位名称	描述	复位	访问类型
[7:1]	保留		0x00	RW
0	EN_LFIFO	通道FIFO使能。一旦成帧器完成全部配置,链路就会上电,此位置1将启动通道FIFO, 以管理数据从成帧器到发射机PHY的交接。	0x0	RW

交换寄存器

地址: 0x1E1; 复位: 0x00; 名称: SWAP

表105. SWAP的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	保留			0x0	RW
[5:4]	SWAP_CONV		位[4]交换成帧器转换器0的来源(默认为I通道)	0x0	RW
			位[5]交换成帧器转换器1的来源(默认为Q通道)		
		00	成帧器输入1=Q通道;成帧器输入0=l通道		
		01	成帧器输入1=Q通道,成帧器输入0=Q通道		
		10	成帧器输入1=l通道;成帧器输入0=l通道		
		11	成帧器输入1=l通道,成帧器输入0=Q通道		
[3:2]	保留			0x0	RW
[1:0]	SWAP_LANE		位[0]交换物理输出通道0的来源。	0x0	RW
			位[1]交换物理输出通道1的来源。		
		00	输出通道1=成帧器通道1,输出通道0=成帧器通道0		
		01	输出通道1=成帧器通道1,输出通道0=成帧器通道1		
		10	输出通道1=成帧器通道0,输出通道0=成帧器通道0		
		11	输出通道1=成帧器通道0,输出通道0=成帧器通道1		

链路/通道关断寄存器

地址: 0x1E2; 复位: 0x00; 名称: LANE_PD

表106. LANE_PD的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	ILAS_DELAY	ILAS起始延迟。ILAS一般在SYNCINB变为高电平后的第一个LMFC上升沿	0x0	RW
		开始。此值将ILAS延迟指定数量的LMFC周期(多帧周期)。		
[3:2]	保留		0x0	RW
[1:0]	LANE_PD	通道关断。	0x0	RW
		位0关断通道0的发射机PHY。		
		位1关断通道1的发射机PHY。		

接口控制0寄存器

地址: 0x1E3; 复位: 0x14; 名称: MIS1

表107. MIS1的位功能描述

位	位名称	描述	复位	访问类型
[7:6]	保留		0x0	RW
5	TEST_SAMPLE_EN	0=禁用传输层测试样本。	0x0	RW
		1=使能传输层测试样本。		
4	LSYNC_EN	0=禁用通道同步。	0x1	RW
		1=使能通道同步(默认)。		
[3:2]	ILAS_MODE	01 = 使能ILAS(默认)。	0x1	RW
		11 = ILAS始终开启,数据链路层测试模式。		
1	FACI_DISABLE	帧对齐字符控制。	0x0	RW
		0=使能帧对齐字符插入。		
		1=禁用帧对齐字符插入。		
0	保留		0x0	RW

接口控制1寄存器

地址: 0x1E4; 复位: 0x00; 名称: SYNC_PIN

表108. SYNC_PIN的位功能描述

位	位名称	描述	复位	访问类型
[7:6]	保留		0x0	RW
5	SYNC_PIN_INV	0=不反转SYNCINB引脚,SYNCINB为低电平有效。	0x0	RW
		1=反转SYNCINB引脚,SYNCINB为高电平有效。		
[4:2]	保留		0x0	RW
1	INV_10B	0=不反转八位字。	0x0	RW
		1=反转来自成帧器中的10位八位字的所有位。此位置1具有与交换差分输出数据 引脚相同的效果。		
0	保留		0x0	RW

接口测试寄存器

地址: 0x1E5; 复位: 0x00; 名称: TEST_GEN

表109. TEST_GEN的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	保留			0x0	RW
[5:4]	TEST_GEN_SEL		测试点。	0x0	RW
		00	在成帧器输入端插入测试数据(16位)。		
		01	在PHY输入端插入测试数据(10位)。		
		10	在加扰器输入端插入测试数据(8位)。		
[3:0]	TEST_GEN_MODE		测试模式。	0x0	RW
		0000	正常模式,测试禁用。		
		0001	交替棋盘形式。		
		0010	1/0字交替。		
		0011	长PN序列。		
		0100	短PN序列。		
		0101	重复用户测试模式。		
		0110	单一用户测试模式。		
		0111	斜坡。注意,单通道模式下Q样本比I样本少1个LSB。也就是说,		
			Q[n] = I[n] – 1 LSB,其中n表示n th IQ样本。		
		1000	修改的RPAT序列。		
		1001	未使用。		
		1010	JSPAT序列。		
		1011	JTSPAT序列。		

ILAS计数寄存器

地址: 0x1E6; 复位: 0x00; 名称: KF_ILAS

表110. KF_ILAS的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	KF_ILAS	初始通道对齐序列计数。ILAS传输(KF_ILAS + 1)次。	0x00	RW

SYNCINB和SYSREF控制寄存器

地址: 0x1E7; 复位: 0x00; 名称: SYNCINB_CTRL

表111.SYNCB_CTRL的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	保留		0x0	RW
3	PD_SYSREF_RX	关断SYSREF接收器。	0x0	RW
2	LVDS_SYNCINB	SYNCINB使用LVDS。(0=CMOS, 1=LVDS差分, 带100Ω端接电阻)。	0x0	RW
[1:0]	保留		0x0	RW

时钟同步寄存器

地址: 0x1E8; 复位: 0x00; 名称: MIX_CTRL

表112. MIX_CTRL的位功能描述

位	位名称	描述	复位	访问类型
7	保留		0x0	RW
6	MIX_USE_2ND	与位5一起使用时,此位置1将使用于对齐时钟的第二SYSREF也用来复位混频器 NCO相位。此位不会自动清0。此位仅在位2也有效时有效。	0x0	RW

AD6676

位	位名称	描述	复位	访问类型
5	MIX_NEXT	如果置1,则仅下一个用于对齐时钟分频器的SYSREF脉冲也用于复位混频器NCO	0x0	RWAC
		相位。使用后,此位自动清0。此位仅在位1也有效时有效。		
4	MIX_ALL	任何用于对齐时钟的SYSREF脉冲也用于复位混频器NCO相位。此位仅在位0也有效时有效。	0x0	RW
3	保留		0x0	RW
2	USE_2ND_SYSREF	与位1一起使用时,此位置1将使第二SYSREF用于对齐,而非第一SYSREF。 此位不会自动清0。	0x0	RW
1	NEXT_SYSREF	如果置1,则仅下一个SYSREF脉冲用于对齐时钟分频器。此位在下一个SYSREF 后自动清0。	0x0	RWAC
0	ALL_SYSREF	所有SYSREF脉冲都用于对齐时钟分频器。	0x0	RW

LMFC偏移寄存器

地址: 0x1E9; 复位: 0x00; 名称: K_OFFSET

表113.K_OFFSET的位功能描述

位	位名称	描述	复位	访问类型
[7:5]	保留		0x0	RW
[4:0]	K_OFFSET	此寄存器提供一个使内部LMFC的位置相对于SYSREF移动的偏移量。 较大的值会使LMFC在时间上滞后。单位为帧周期。	0x00	RW

SYSREF窗口寄存器

地址: 0x1EA;复位: 0x00;名称: SYSREF

表114. SYSREF的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	SYSREF_WIN_NEG	SYSREF_WIN_NEG。如果SYSREF不早于其预期位置前的寄存器值,则不对齐时钟。单位为2/F _{ADC} 。	0x0	RW
[3:0]	SYSREF_WIN_POS	SYSREF_WIN_POS。如果SYSREF不晚于其预期位置后的寄存器值,则不对齐时钟。单位为2/F _{ADC} 。	0x0	RW

PHY控制0寄存器

地址: 0x1EB; 复位: 0x1C; 名称: SER1

表115.SER1的位功能描述

位	位名称	描述	复位	访问类型
7	SER_DRV_PS	串行器极性选择。	0x0	RW
		0=极性不反转。		
		1=极性反转。		
[6:0]	保留		0x1C	RW

PHY控制1寄存器

地址: 0x1EC,复位: 0x00;名称: SER2

表116. SER1的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	SER_ITRIM	驱动器偏置电流调整为0x0B推荐设置。	0x9	RW
[3:0]	SER_RTRIM	寄存器端接代码为0x0D推荐设置。	0xB	RW

PHY控制3寄存器

地址: 0x1EF; 复位: 0x00; 名称: PRE-EMPHASIS

表117. PRE-EMPHASIS的位功能描述

位	位名称	描述	复位	访问类型
7	SER_EMP_PS1	切换通道1加重的极性。	0x0	RW
[6:4]	SER_EMP_IDAC1	通道1 IDAC设置。	0x0	RW
		00:0mV加重差分p-p。		
		01:160 mV加重差分p-p。		
		10:80 mV加重差分p-p。		
		11:40 mV加重差分p-p。		
3	SER_EMP_PS0	切换通道0加重的极性。	0x0	RW
[2:0]	SER_EMP_IDAC0	通道0IDAC设置。	0x0	RW
		00:0mV加重差分p-p。		
		01:160 mV加重差分p-p。		
		10:80 mV加重差分p-p。		
		11:40 mV加重差分p-p。		

ADC待机0寄存器

地址: 0x250; 复位: 0xFF; 名称: STBY_DAC

表118.STBY_DAC的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	STBY_DAC	该寄存器设置为0x95可缩短ADC待机恢复时间。	0xFF	RW

CLKSYN使能寄存器

地址: 0x2A0; 复位: 0x00; 名称: CLKSYN_ENABLE

表119. CLKSYN_ENALBE的位功能描述

位	位名称	描述	复位	访问类型
7	EN_EXTCK	EXTCK使能。	0x0	RW
6	EN_ADC_CK	ADC CK使能。	0x0	RW
5	EN_SYNTH	频率合成器使能。	0x0	RW
4	EN_VCO_PTAT	VCO PTAT使能。	0x0	RW
3	EN_VCO_ALC	VCO ALC使能。	0x0	RW
2	EN_VCO	VCO使能。	0x0	RW
1	EN_OVERIDE_CAL	覆盖校准使能。	0x0	RW
0	EN_OVERIDE	覆盖使能。	0x0	RW

CLKSYN整数N分频LSB寄存器

地址: 0x2A1; 复位: 0x80; 名称: CLKSYN_INT_N_LSB

表120. CLKSYN_INT_N_LSB的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	INT_N_LSB	11位整数N分频值的低位LSB。	0x80	RW

CLKSYN整数N分频MSB寄存器

地址: 0x2A2; 复位: 0x00; 名称: CLKSYN_INT_N_MSB

表121.CLKSYN_INT_N_MSB的位功能描述

位	位名称	描述	复位	访问类型
[7:3]	保留		0x0	RW
[2:0]	INT_N_MSB	11位整数N分频值的3个高位MSB。	0x0	RW

CLKSYN VCO校准复位寄存器

地址: 0x2A5; 复位: 0x00; 名称: VCO_CAL_RESET

表122. VCO_CAL_RESET的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	保留		0x0	RW
3	VCO_CAL_RESET	复位VCO校准。	0	RW
[2:0]	保留		0x0	RW

CLKSYN VCO偏置寄存器

地址: 0x2AA;复位: 0x37; 名称: CLKSYN_VCO_BIAS

表123. CLKSYN_VCO_BIAS的位功能描述

位	位名称	描述	复位	访问类型
[7:6]	保留		0	RW
[5:4]	BIAS_TEMPCO	VCO偏置温度系数控制。	0x3	RW
3	保留		0	RW
[2:0]	BIAS	VCO偏置设置。	0x7	RW

CLKSYN VCO校准寄存器

地址: 0x2AB; 复位: 0xC0; 名称: CLKSYN_VCO_CAL

表124. CLKSYN_VCO_CAL的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	INIT_ALC_VALUE	初始自动电平控制值。	0xC	RW
3	ALC_DIS	ALC校准测试位。	0	RW
[2:1]	保留		0	RW
0	ID_SYNTH	启动VCO校准。	0	RW

CLKSYN电荷泵寄存器

地址: 0x2AC; 复位: 0x19; 名称: CLKSYN_I_CP

表125. CLKSYN_I_CP的位功能描述

位	位名称	描述	复位	访问类型
[7:6]	保留		0x0	RW
[5:0]	I_CP	电荷泵电流 = min(63, 1.33 × 10 ²⁸ /(f _{PFD} × F _{CLK} ²) - 1)。	0x19	RW

CLKSYN电荷泵校准寄存器

地址: 0x2AD; 复位: 0x00; 名称: EN_CP_CAL

表126. EN_CP_CAL的位功能描述

位	位名称	描述	复位	访问类型
[7:6]	EN_CP_CAL		0x0	RW
[6:0]	保留		0x0	RW

CLKSYN VCO变容二极管寄存器

地址: 0x2B7; 复位: 0xD0; 名称: CLKSYN_VCO_VAR

表127. CLKSYN_VCO_VAR的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	VCO_VAR	VCO变容二极管设置。	0xD0	RW
[3:0]	保留			

CLKSYN参考分频器和SYSREF控制寄存器

地址: 0x2BB;复位: 0xB9,名称: CLKSYN_R_DIV

表128. CLKSYN_R_DIV的位功能描述

位	位名称	描述	复位	访问类型
[7:6]	R_DIV	00=1分频;01=2分频;10=4分频;11=2倍。	10	RW
[5:4]	保留		0x3	RW
3	SYSREF_CTRL	SYSREF输入采样时钟。	1	RW
		0=使用时钟频率合成器参考时钟。		
		1=使用F _{ADC} /2的内部时钟(用于非时钟频率合成器情形)。		
2	CLKIN_IMPED	CLKIN阻抗。	0	RW
		0=配置CLK±为100Ω端接,时钟频率合成器配置禁用。		
		1=配置CLK+为高阻态,时钟频率合成器配置使能。		
[1:0]	保留		0x1	RW

CLKSYN状态寄存器

地址: 0x2BC; 复位: 0x80; 名称: CLKSYN_STATUS

表129. CLKSYN_STATUS的位功能描述

位	位名称	描述		访问类型
[7:4]	保留		0x8	R
3	PLL_LCK	时钟频率合成器锁定位(1=锁定)。	0x0	R
2	保留		0x0	R
1	VCO CAL BUSY	VCO校准繁忙(0=完成)。	0x0	R
0	CP CAL DONE	电荷泵校准完成(1=完成)。	0x0	R

JESDSYN状态寄存器

地址: 0x2DC; 复位: 0x80; 名称: JESDSYN_STATUS

表130. JESDSYN_STATUS的位功能描述

位	位名称	描述		访问类型
[7:4]	保留		0x8	R
3	PLL_LCK	JESD204 PLL频率合成器锁定位(1=锁定)。	0x0	R
2	保留		0x0	R
1	VCO CAL BUSY	VCO校准繁忙(0=完成)。	0x0	R
0	CP CAL DONE	电荷泵校准完成(1=完成)。	0x0	R

置乱器控制寄存器

地址: 0x340; 复位: 0x03; 名称: SHUFFLE_CTRL

表131. SHUFFLE_CTRL的位功能描述

位	位名称	描述	复位	访问类型
[7:2]	保留		0x00	RW
1	保留		1	RW
0	EN_ADAPTIVE_SHUFFLE	使能自适应Flash置乱。	1	RW

置乱器阈值1和2寄存器

地址: 0x342; 复位: 0xF5; 名称: SHUFFLE_THREG_0

表132. SHUFFLE_THREG_0的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	SHUFFLE_TH2	每2个周期置乱的阈值。当ADC数据大于或等于此阈值时,就会触发每2个 周期置乱。	0xF	R
[3:0]	SHUFFLE_TH1	每1个周期置乱的阈值。当ADC数据大于或等于此阈值时,就会触发每1个 周期置乱。	0x5	R

置乱器阈值3和4寄存器

地址: 0x343; 复位: 0xFF; 名称: SHUFFLE_THREG_1

表133. SHUFFLE_THREG_1的位功能描述

位	位名称	描述	复位	访问类型
[7:4]	SHUFFLE_TH4	每4个周期置乱的阈值。当ADC数据大于或等于此阈值时,就会触发每4个 周期置乱。	0xF	R
[3:0]	SHUFFLE_TH3	每3个周期置乱的阈值。当ADC数据大于或等于此阈值时,就会触发每3个 周期置乱。	0xF	R

AD6676

外形尺寸



订购指南

型号 ¹	温度范围	封装描述	封装选项
AD6676BCBZRL	-40℃至+85℃	80引脚晶圆级芯片规模封装[WLCSP]	CB-80-5
AD6676EBZ		评估板	

¹Z=符合RoHS标准的器件。

©2014–2016 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners. D12348sc-0-4/16(B)



www.analog.com

Rev. B | Page 90 of 90