

产品特性

输入电压范围: 6 V至60 V
 片上5 V线性稳压器
 降压/充电或升压/放电模式
 高PWM线性度, 内有4 V p-p PWM斜坡电压
 FAULT和COMP输入与AD8450/AD8451兼容
 可编程死区控制
 可调节频率范围: 50 kHz至300 kHz
 带可调相移的同步输出或输入
 可编程最大占空比
 可编程软启动
 峰值打嗝限流保护
 与ADP1972(异步版)引脚兼容
 TSD保护
 16引脚TSSOP

应用

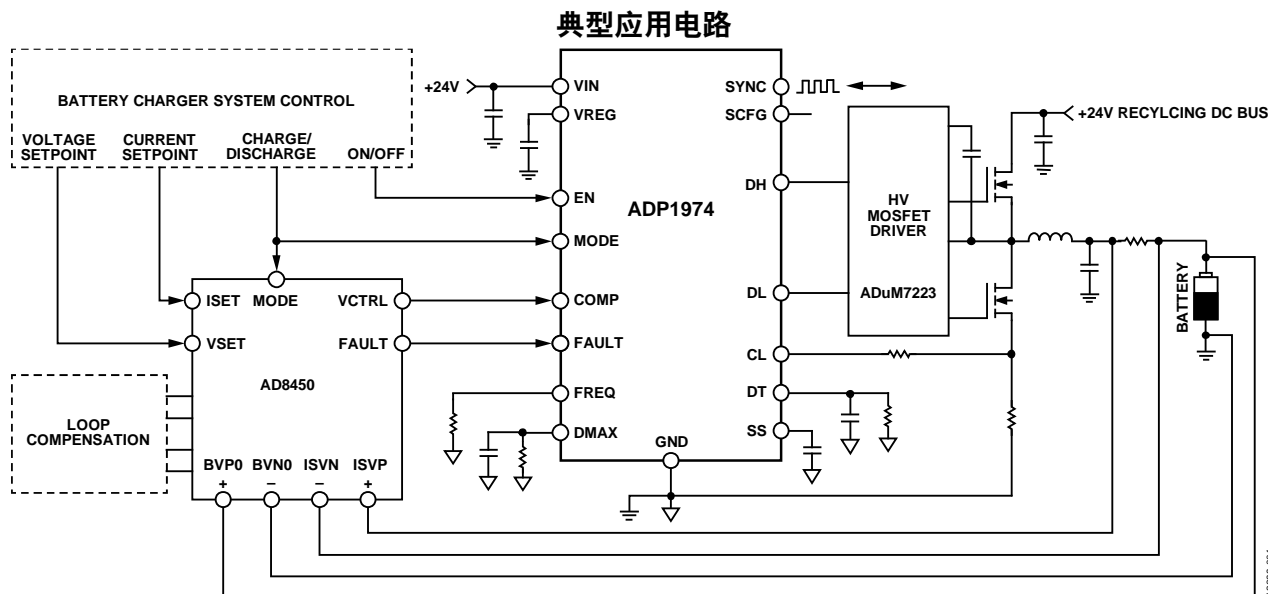
单个和多单元电池化成与测试
 带循环功能的高效率电池测试系统
 电池调理(充电和放电)系统
 兼容AD8450/AD8451恒定电压(CV)和
 恒定电流(CC)模拟前端误差放大器

概述

ADP1974是一款恒定频率、电压模式、同步、脉冲宽度调制(PWM)控制器,用于DC-DC双向应用。ADP1974旨在与外部高电压场效应晶体管(FET)半桥驱动器和外部控制器件(如AD8450/AD8451)一起用于电池测试、化成和调理应用。该器件可在电池充电模式下作为降压转换器使用,并在放电模式下作为升压转换器使用,以便循环利用输入总线上的电能。

ADP1974高电压VIN电源引脚最高可耐受60 V工作电压,并且降低了额外的系统电源电压需求。ADP1974集成诸如精密使能、带可编程相移的内部和外部同步控制、可编程最大占空比、死区控制以及峰值打嗝限流保护等功能。其它保护特性包括用于限制启动时输入浪涌电流的软启动、精密使能和热关断(TSD)。ADP1974还提供COMP引脚,可从外部控制PWM占空比;集成的FAULT引脚则可禁用DH和DL输出。这些功能与AD8450/AD8451模拟前端(AFE)误差放大器兼容。

ADP1974采用16引脚TSSOP封装,与ADP1972引脚兼容。



NOTES
1. THE AD8450 AND ADuM7223 ARE SIMPLIFIED REPRESENTATIONS.

图1.

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2015 Analog Devices, Inc. All rights reserved.
 Technical Support www.analog.com

目录

产品特性	1	外部COMP控制	12
应用	1	峰值限流打嗝实现方案	12
概述	1	负限流检测(降压模式)	13
典型应用电路	1	PWM频率控制	13
修订历史	2	最大占空比	13
技术规格	3	外部故障信号	13
绝对最大额定值	5	热关断(TSD)	13
热工作范围	5	应用信息	14
ESD警告	5	降压或升压选择	14
引脚配置和功能描述	6	选择RS以设置电流限值	14
典型性能参数	7	调整工作频率	14
工作原理	10	最大占空比编程	16
电源引脚	10	调整软启动周期	16
EN/关断	11	PCB布局指南	18
欠压闭锁(UVLO)	11	外形尺寸	19
软启动	11	订购指南	19
工作模式	11		
PWM驱动信号	12		

修订历史

2015年9月—修订版0：初始版

技术规格

除非另有说明，VIN = 24 V，规格值在T_J = -40°C至+125°C范围内有效。典型值对应于T_A = 25°C。所有极端温度限值都采用标准统计质量控制(SQC)通过相关性予以保证。

表1.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
输入电压(VIN)						
电压范围	V _{IN}		6		60	V
VIN电源电流	I _{VIN}	R _{FREQ} = 100 kΩ, V _{SS} = 0 V, SYNC浮空, FAULT = 低电平, EN = 高电平		1.5	2.5	mA
VIN关断电流	I _{SHDN}	V _{EN} = 0 V		15	70	μA
UVLO阈值上升		V _{IN} 上升		5.71	6	V
UVLO阈值下降		V _{IN} 下降	5.1	5.34		V
软启动(SS)						
SS引脚电流	I _{SS}	V _{SS} = 0 V	4	5	6	μA
SS阈值上升		开关使能阈值		0.52	0.65	V
SS阈值下降		开关禁用阈值	0.4	0.5		V
软启动结束		异步到同步阈值	4.4	4.5	4.6	V
PWM控制						
FREQ						
频率范围	f _{SET}	R _{FREQ} = 33.2 kΩ至200 kΩ	50		300	kHz
振荡器频率	f _{OSC}	R _{FREQ} = 100 kΩ	90	100	110	kHz
FREQ引脚电压	V _{FREQ}	R _{FREQ} = 100 kΩ	1.2	1.252	1.3	V
SYNC输出(内部频率控制)		V _{SCFG} ≥ 4.53 V或SCFG引脚浮空				
内部SYNC范围	f _{SET}	针对SYNC输出	50		300	kHz
SYNC输出时钟占空比		V _{SCFG} = V _{VREG} , R _{FREQ} = 100 kΩ	40	50	60	%
SYNC灌电阻	R _{SYNC}	V _{SCFG} = 5 V, I _{SYNC} = 10 mA		10	20	Ω
SYNC输入(外部频率控制)		V _{SCFG} < 4.25 V				
外部SYNC范围	f _{SYNC}	针对SYNC输入时钟	50		300	kHz
SYNC下拉电阻			0.5	1	1.5	MΩ
SYNC引脚最大电压	V _{SYNC}				5.5	V
SYNC阈值上升				1.2	1.5	V
SYNC阈值下降			0.7	1.05		V
最小脉冲宽度				100		ns
SCFG	V _{SCFG}					
SCFG高阈值上升		SYNC设置为输入		4.53	4.7	V
SCFG高阈值下降		SYNC设置为输出	4.25	4.51		V
SCFG低阈值上升		高于阈值的可编程相移		0.52	0.65	V
SCFG低阈值下降		无相移	0.4	0.5		V
SCFG引脚电流	I _{SCFG}	R _{FREQ} = 100 kΩ, V _{SCFG} = GND	9.5	11	12.5	μA
DMAX						
最大内部占空比		V _{COMP} , V _{DMAX} , V _{SS} 和V _{SCFG} = 5 V		97		%
DMAX设置电流	I _{DMAX}	V _{DMAX} = 0 V, R _{FREQ} = 100 kΩ	9.5	11	12.5	μA
DMAX和SCFG电流匹配 ¹				10		%
COMP						
COMP引脚输入电压范围	V _{COMP}		0		5.0	V
内部峰峰值斜坡电压	V _{p-p}			4		V _{p-p}
最大内部斜坡电压				4.5		V
最小内部斜坡电压			0.45	0.5	0.55	V
DT						
DT引脚电流	I _{DT}	R _{FREQ} = 100 kΩ, V _{DT} = GND		20	22	μA
最大DT编程电压	V _{DT}				3.5	V

ADP1974

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
精密使能逻辑(EN)						
EN引脚最大电压					60	V
EN阈值上升			1.1	1.25	1.4	V
EN阈值下降			1.1	1.22		V
EN引脚电流		$V_{EN} = 5V$, 内部下拉		0.32	2	μA
MODE逻辑						
MODE引脚最大电压					5.5	V
MODE阈值上升			0.7	1.20	1.5	V
MODE阈值下降			0.7	1.05		V
限流(CL)						
设置电流	I_{CL}	$V_{CL} = 0V$	18	20	21	μA
降压CL阈值	$V_{CL(BUCK)}$		250	300	350	mV
降压负电流阈值	$V_{NC(BUCK)}$		400	450	500	mV
升压CL阈值	$V_{CL(BOOST)}$		450	500	550	mV
打嗝检测时间		$R_{FREQ} = 100k\Omega$, 500个连续时钟脉冲		5.2		ms
打嗝关闭时间		$R_{FREQ} = 100k\Omega$, 500个连续时钟脉冲		5.2		ms
VREG		EN = 高电平				
LDO稳压器输出电压	V_{VREG}	$V_{IN} = 6V$ 至 $60V$, 无外部负载	4.9	5	5.1	V
保证输出电流	$I_{OUT(MAX)}$	$V_{IN} = 6V$, 外部负载			5	mA
负载调整率		$V_{IN} = 6V$, $I_{OUT} = 0mA$ 至 $5mA$	4.9	5	5.1	V
FAULT						
FAULT引脚最大电压	V_{FAULT}				60	V
FAULT阈值上升			0.7	1.2	1.5	V
FAULT阈值下降			0.7	1.05		V
FAULT引脚电流		$V_{FAULT} = 5V$, 内部 $8.5M\Omega$ 下拉电阻		0.49	2	μA
PWM驱动逻辑信号(DH/DL)						
DL驱动电压	V_{DL}	空载		VREG		V
DH驱动电压	V_{DH}	空载		VREG		V
DL和DH灌电阻		$I_{DL} = 10mA$		1.2	2.4	Ω
DL和DH源电阻		$I_{DL} = 10mA$		1.4	2.6	Ω
DL和DH下拉电阻			0.5	1	1.5	$M\Omega$
热关断(TSD)						
TSD阈值上升				150		$^{\circ}C$
TSD阈值下降				135		$^{\circ}C$

¹ DMAX和SCFG电流匹配规格的计算方法是：取实测 I_{SCFG} 和 I_{DMAX} 电流之差的绝对值，将其除以 $11\mu A$ 典型值，结果再乘以100。

$$DMAX \text{ and SCFG Current Matching (\%)} = \left[\frac{I_{SCFG} - I_{DMAX}}{11 \mu A} \right] \times 100$$

绝对最大额定值

表2.

参数	额定值
VIN、EN、FAULT至GND	-0.3 V至+61 V
SYNC、COMP、MODE、VREG至GND	-0.3 V至+5.5 V
DH、DL、SS、DMAX、SCFG、CL、DT、FREQ至GND	-0.3 V至VREG + 0.3 V
工作环境温度范围	-40°C至+85°C
结温	125°C
存储温度范围	-65°C至+150°C

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最大值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

绝对最大额定值仅适合单独应用，但不适合组合使用。

热工作范围

超过结温限值可致ADP1974损坏。工作结温最高温度($T_{j\text{MAX}}$)优先于工作环境最高温度($T_{A\text{MAX}}$)。监控环境温度并不能保证结温(T_j)处于额定温度限值内。

在功耗高、印刷电路板(PCB)热阻差的应用中，可能需要降低最大环境温度。在功耗适中、PCB热阻较低的应用中，当结温处于额定限值以内时，最大环境温度可以超过最大限值。

器件的结温(T_j)取决于环境温度(T_A)、器件的功耗(P_D)和封装的结至环境热阻(θ_{JA})。利用下式根据环境温度(T_A)和功耗(P_D)计算最高结温(T_j):

$$T_j = T_A + (P_D \times \theta_{JA}) \quad (1)$$

有关热阻的更多信息，请参阅应用笔记AN-000(“IC封装的热特性”)。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

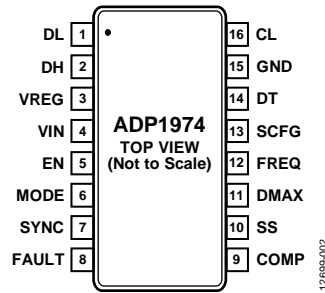


图2. 引脚配置

表3. 引脚功能描述

引脚编号	引脚名称	描述
1	DL	外部低端MOSFET驱动器的逻辑驱动输出。
2	DH	外部高端MOSFET驱动器的逻辑驱动输出。
3	VREG	内部稳压器输出和内部偏置电源。此引脚和地之间需要连接一个1 μ F或更大的旁路电容。
4	VIN	高输入电压电源引脚(6 V至60 V)。通过一个4.7 μ F电容将该引脚旁路至地。
5	EN	逻辑使能输入。将EN驱动到逻辑低电平会关断器件。将EN驱动到逻辑高电平会开启器件。
6	MODE	模式选择。将MODE驱动到逻辑低电平会将器件置于升压(循环)模式。将MODE驱动到逻辑高电平会将器件置于降压(充电)工作模式。MODE状态在EN上升或FAULT下降时采样(参见“工作模式”部分)。
7	SYNC	同步引脚。SCFG < 4.51 V时, 此引脚配置为输入(从机模式), ADP1974与外部时钟同步。SCFG > 4.53 V(或SCFG连接到VREG)时, 此引脚为开集驱动器输出。配置为输出时, SYNC用于与其他通道同步; 连接到VREG的10 k Ω 电阻可用作上拉电阻。
8	FAULT	故障输入引脚。发生故障时, 拉低FAULT以禁用DL和DH驱动器。拉高FAULT会使能DL和DH驱动器。FAULT也能复位工作模式, 如“工作模式”部分所述。此引脚设计用于与AD8450/AD8451的过流保护(OCP)或过压保护(OVP)故障条件接口。
9	COMP	PWM调制器输入。此引脚与来自AD8450/AD8451的误差放大器输出信号接口。此引脚上的信号与线性斜坡电压进行内部比较, 以产生PWM信号。请勿让此引脚浮空; 更多信息参见“外部COMP控制”部分。
10	SS	软启动控制引脚。SS和地之间连接的电容设置软启动斜坡时间。在上电期间, 软启动控制DH和DL占空比以降低浪涌电流。将SS驱动到0.5 V以下会禁用DL和DH的切换。软启动期间, ADP1974工作在伪同步模式(参见“软启动”部分)。
11	DMAX	最大占空比输入。将一个外部电阻连接到地以设置最大占空比。如果97%的内部最大占空比对应应用足够, 应从此引脚接VREG。如果DMAX保持浮空, 应从此引脚内部上拉至VREG。
12	FREQ	频率设置引脚。在此引脚与地之间连一个外部电阻以设置50 kHz到300 kHz范围内的频率。当ADP1974与外部时钟同步时(从机模式), 将主机 R_{FREQ} 值乘以1.11以将从机频率设置为主机频率的90%。
13	SCFG	同步配置输入。驱动 $V_{SCFG} \geq 4.53$ V(典型值)时, SYNC配置为输出时钟信号。驱动 $V_{SCFG} < 4.51$ V(典型值)时, SYNC配置为输入。0.52 V < $V_{SCFG} < 4.53$ V(典型值)时, 将一个电阻连接到地可在同步时钟中引入一个相移。驱动 $V_{SCFG} \leq 0.5$ V(典型值)时, SYNC配置为无相移的输入。若SCFG保持浮空, 则SYNC引脚内部连接到VREG, SYNC配置为输出。
14	DT	死区时间编程引脚。在此引脚与地之间连一个外部电阻以设置死区时间。不要让该引脚浮空。
15	GND	电源和模拟地引脚。
16	CL	限流编程引脚。将一个电流检测电阻与低端FET源串联, 以测量电感的峰值电流。限流阈值可配合20 k Ω 电阻工作, 如峰值限流打嗝实现方案部分所述。

典型性能参数

除非另有说明, $V_{IN} = V_{EN} = V_{FAULT} = 24\text{ V}$, $V_{MODE} = V_{CL} = V_{SS} = V_{COMP} = 0\text{ V}$, $T_A = 25^\circ\text{C}$ 。

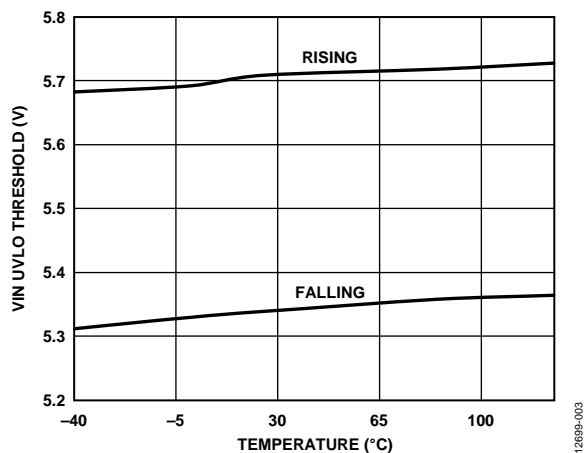


图3. 输入电压(V_{IN}) UVLO阈值与温度的关系, $V_{FAULT} = 0\text{ V}$

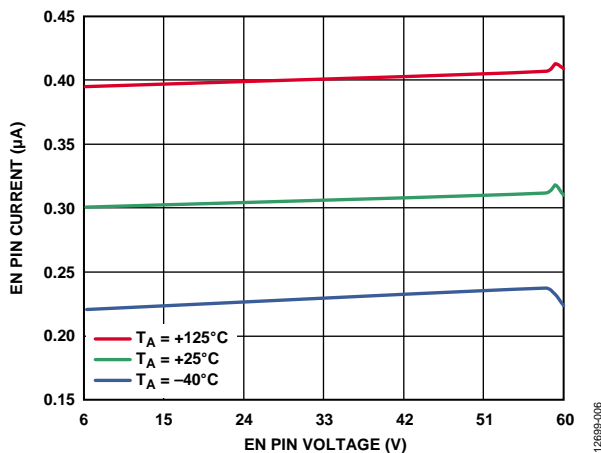


图6. EN引脚电流与EN引脚电压的关系, $V_{EN} = 5\text{ V}$ 且 $V_{FAULT} = 0\text{ V}$

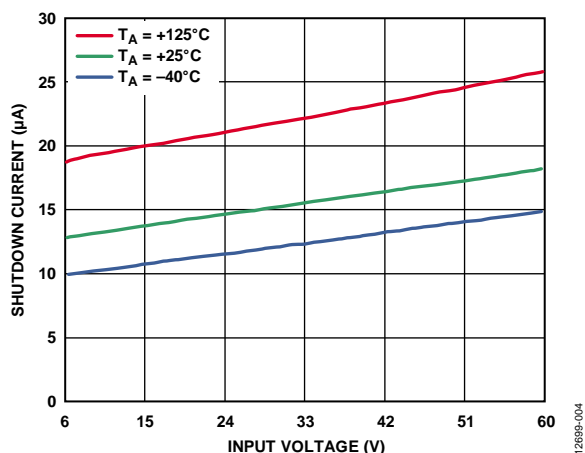


图4. 关断电流与输入电压的关系, $V_{EN} = 0\text{ V}$ 且 $V_{FAULT} = 0\text{ V}$

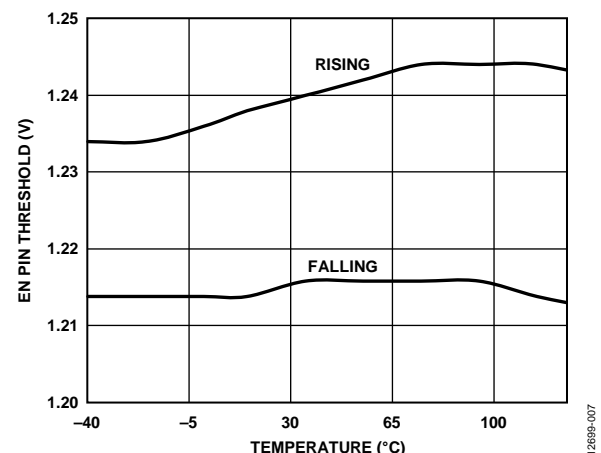


图7. EN引脚阈值与温度的关系, $V_{FAULT} = 0\text{ V}$

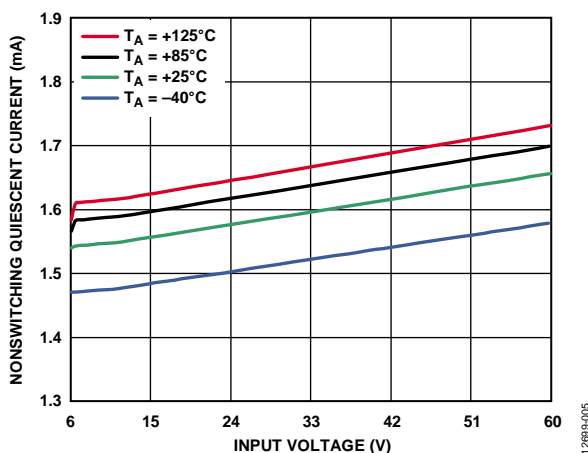


图5. 非开关静态电流与输入电压的关系(SYNC = 浮空)

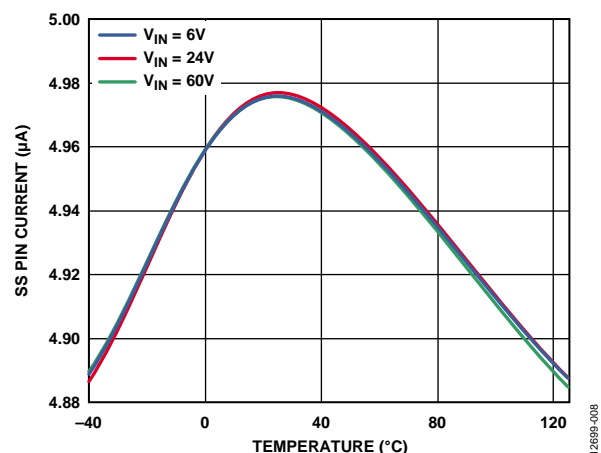


图8. SS引脚电流与温度的关系

ADP1974

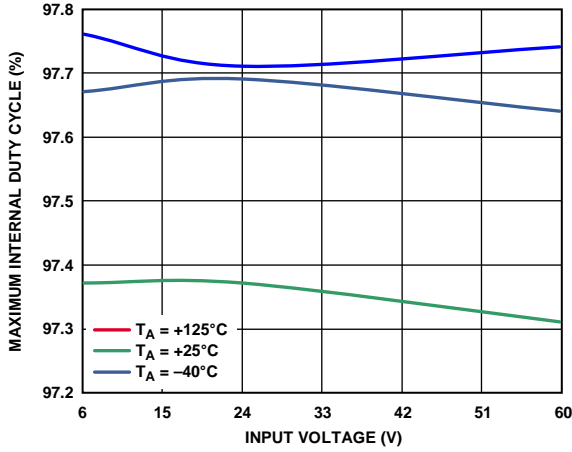


图9. 最大内部占空比与输入电压的关系, $R_{FREQ} = 100\text{ k}\Omega$, $V_{COMP} = 5\text{ V}$, DL、DH或DMAX上空载

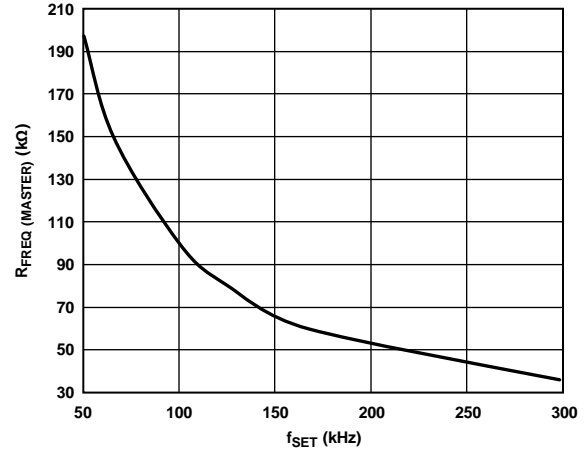


图12. $R_{FREQ(MASTER)}$ 与开关频率(f_{SET})的关系

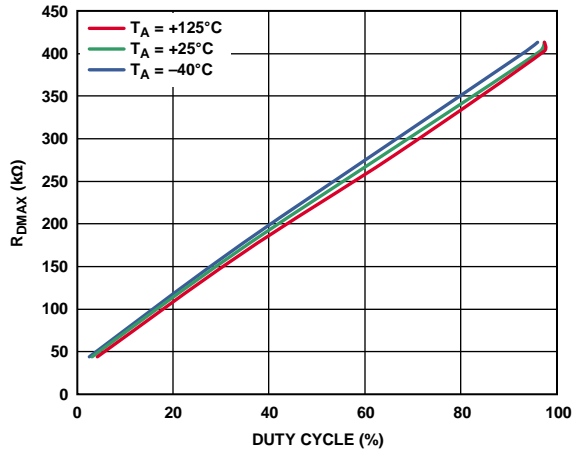


图10. R_{DMAX} 与占空比的关系, $R_{FREQ} = 100\text{ k}\Omega$, $V_{COMP} = 5\text{ V}$, DL或DH上空载

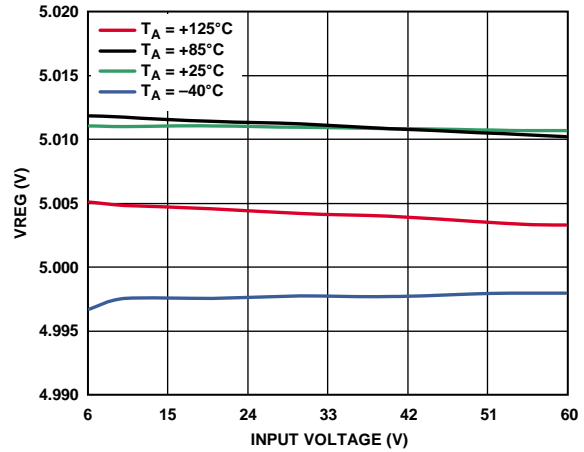


图13. VREG与输入电压的关系, 空载

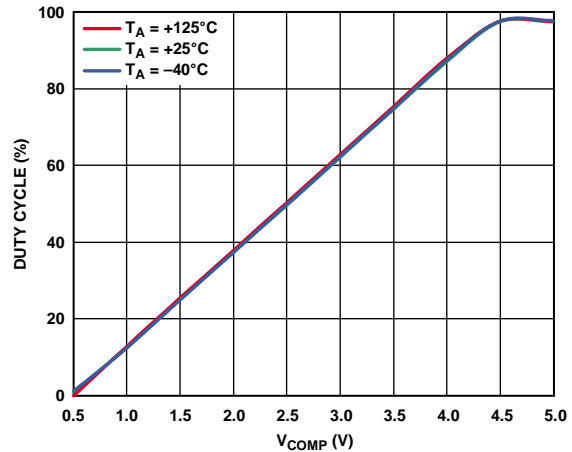


图11. 占空比与 V_{COMP} 的关系, $R_{FREQ} = 100\text{ k}\Omega$, DL、DH或DMAX上空载

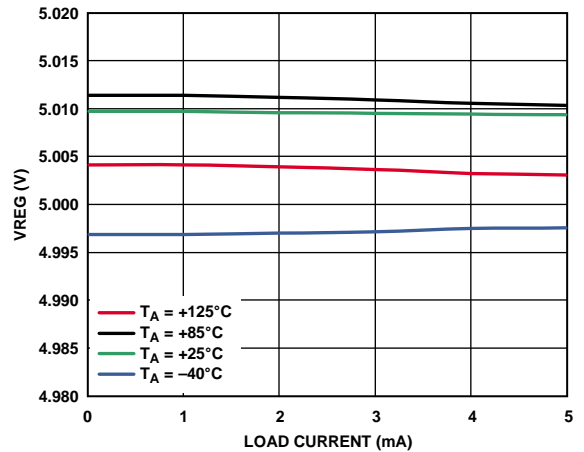


图14. VREG与负载电流的关系

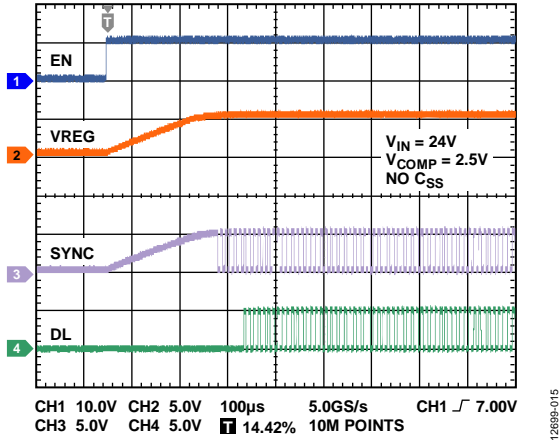


图15. 启动

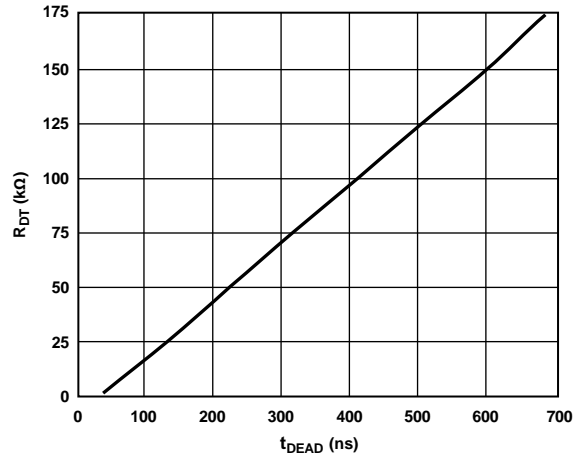


图18. DT引脚电阻(R_{DT})与死区时间(t_{DEAD})的关系

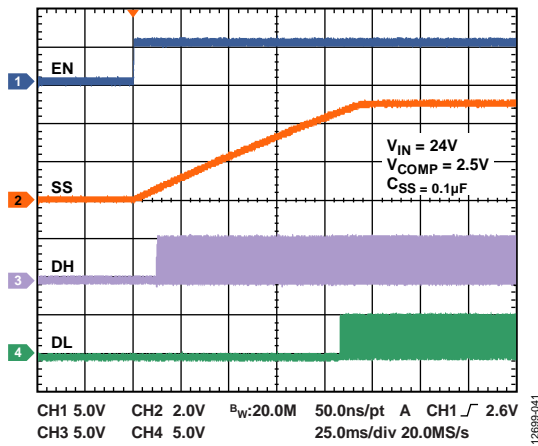


图16. 降压软启动

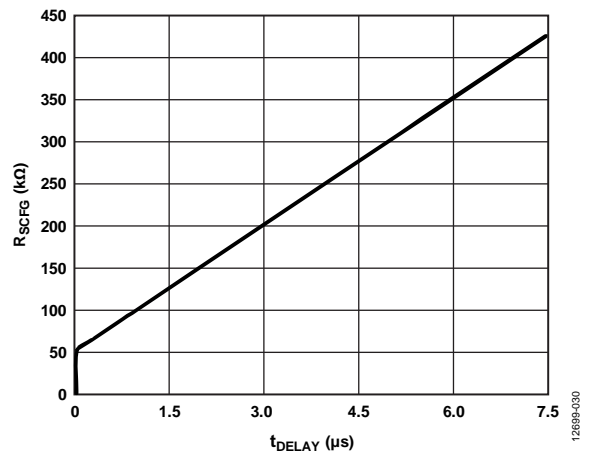


图19. R_{SCFG} 与相位时间延迟(t_{DELAY})的关系

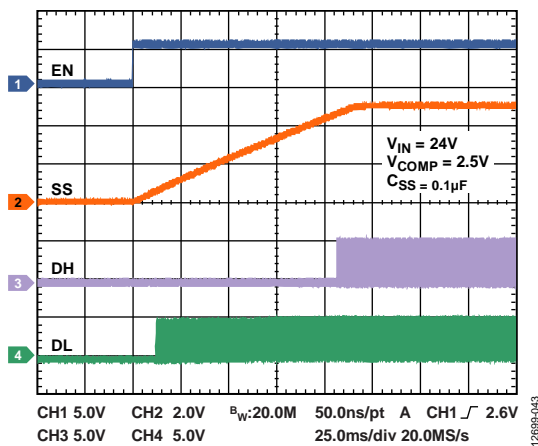


图17. 升压软启动

ADP1974

工作原理

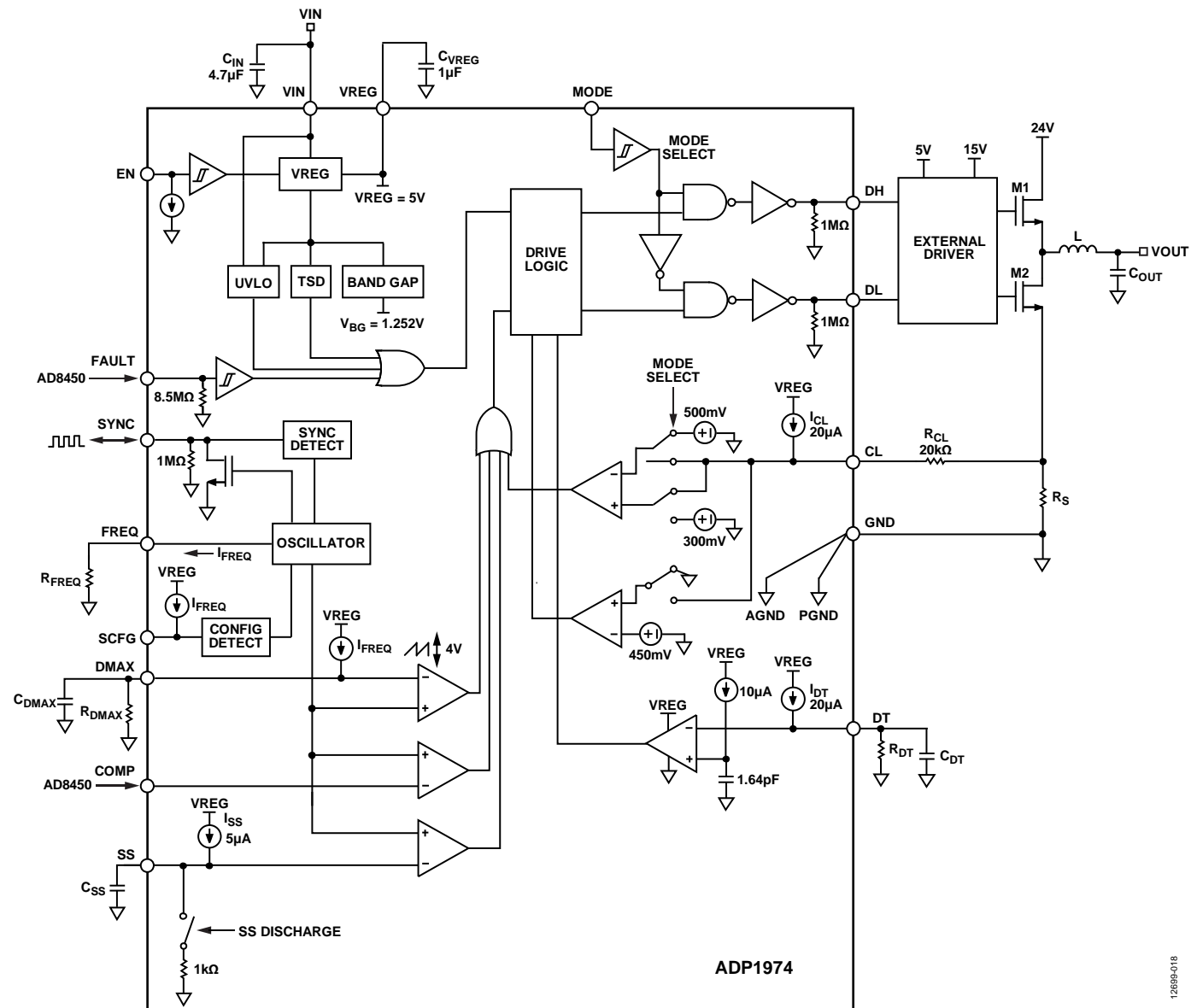


图20. 内部框图

ADP1974是一款恒定频率、电压模式、同步、PWM控制器，用于DC-DC双向应用。ADP1974设计用于配合外部高压FET半桥驱动器(如ADuM7223)和外部误差放大器AFE器件(如AD8450/AD8451)使用，以实现电池测试、充电和放电系统。ADP1974具有高输入电压范围、多个外部编程的控制引脚并集成安全特性。在降压模式下，该器件给电池充电，将电能从输入电源输送到输出。在升压模式下，该器件给电池放电，将电能从电池输送到输入。上述两种情况下，ADP1974均作为同步控制器工作以实现最大效率。

电源引脚

ADP1974有两个电压源引脚：VIN和VREG。VIN引脚采用6V到60V的外部电源工作，是ADP1974内部线性稳压器的电源电压。利用4.7μF或更大的陶瓷电容将VIN引脚旁路至地。

VREG引脚是内部线性稳压器的输出。内部稳压器产生5V(典型值)供电轨，其既可用在器件内部以偏置控制电路，也可用在外部作为MODE、SYNC、DMAX和FAULT引脚的上拉电压。利用1μF陶瓷电容将VREG引脚旁路至地。当EN为低电平时，VREG禁用；只要VIN高于内部UVLO(典型值为5.71V)且EN为高电平，VREG便有效。

采用50 V以上的输入电压工作时，建议增加输入滤波。图21给出了推荐的滤波器配置。

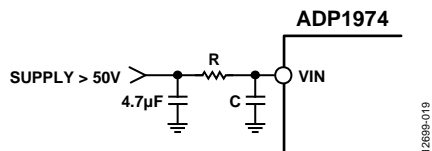


图21. 输入电压大于50 V时的推荐滤波器配置

EN/关断

EN输入用于启动或关闭ADP1974，并且可以采用最高60 V的电压工作。EN引脚具有精密使能控制功能。当EN电压小于1.22 V(典型值)时，ADP1974关断，VREG禁用，DL和DH均变为低电平。当ADP1974关断时，VIN电源电流为15 μA(典型值)。当EN电压大于1.25 V(典型值)时，ADP1974使能，VREG以斜坡方式变为5 V。

除EN引脚外，该器件还可以通过内部TSD事件指示的故障条件、VIN上的UVLO条件或FAULT引脚指示的外部故障条件禁用。工作模式从降压变为升压时，需要禁用器件。

欠压闭锁(UVLO)

当输入电压低于额定工作范围时，UVLO功能防止IC开启，以免进入不良工作模式。当VIN上升时，UVLO不允许ADP1974开启，除非VIN大于5.71 V(典型值)。当VIN降至5.34 V(典型值)以下时，UVLO禁用器件。UVLO电平具有约370 mV的迟滞，当VIN引脚上的电压斜坡较慢时，该迟滞可以防止系统不停地开启和关闭。

软启动

ADP1974具有可编程软启动功能，可防止启动期间输出电压过冲。通过EN引脚使能ADP1974时，VREG电压开始上升到5 V。当VREG达到5 V(典型值)的90%时，5 μA(典型值)内部软启动电流(I_{SS})开始给软启动电容(C_{SS})充电，致使SS引脚电压(V_{SS})上升。

当 V_{SS} 小于0.52 V(典型值)时，ADP1974开关控制保持禁用。当 V_{SS} 达到0.52 V(典型值)时，开关使能。随着 C_{SS} 继续充电且 V_{SS} 上升，PWM占空比逐渐提高，输出电压得以线性上升。 C_{SS} 继续充电， V_{SS} 上升到内部VREG电压(5 V典型值)。当COMP设置的系统占空比小于软启动占空比时，外部控制环路接管ADP1974。软启动图参见图22。

当器件关断或检测到故障时，SS引脚的内部1 kΩ有源下拉电阻给 C_{SS} 放电。

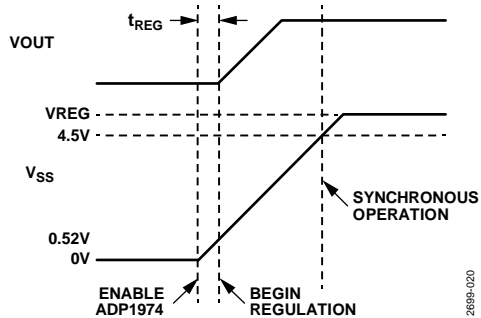


图22. 软启动图

MODE引脚控制ADP1974占空比发生器，在软启动期间会影响DL和DH信号。在降压模式下，DH脉冲启动导通时间(或第一阶段)。在升压模式下，DL脉冲启动导通时间。有关降压和升压操作的更多信息，请参见“工作模式”部分。软启动期间，ADP1974工作在异步模式，不驱动同步FET。在关闭周期中，与低端FET(降压模式)或高端FET(升压模式)并联的二极管导通电流，直至它达到0或下一周期开始。软启动周期完成之后($SS > 4.5 V$)，ADP1974切换到完全同步模式。

工作模式

ADP1974用作同步降压或升压控制器。当MODE引脚被驱动到高电平——高于1.20 V(典型值)阈值时，ADP1974以降压配置工作，给电池充电。当MODE引脚被驱动到低电平——低于1.05 V(典型值)阈值时，ADP1974以升压配置工作。升压配置适合于电池化成应用中的放电情形。各种模式下ADP1974的表现参见图23和图24。当使能ADP1974时，连接到VREG引脚的内部稳压器也会上电。在VREG上升沿，MODE引脚的状态被锁存，防止工作模式在器件使能时改变。要在升压和降压工作模式之间改变，应关断或禁用ADP1974，调整MODE引脚以改变工作模式，然后重启系统。

当EN引脚被驱动到低电平、FAULT引脚被驱动到低电平或ADP1974由于TSD事件/UVLO条件而禁用时，可以改变工作模式。在FAULT控制信号的上升沿，MODE引脚的状态被锁存，防止工作模式在器件使能时改变。

ADP1974

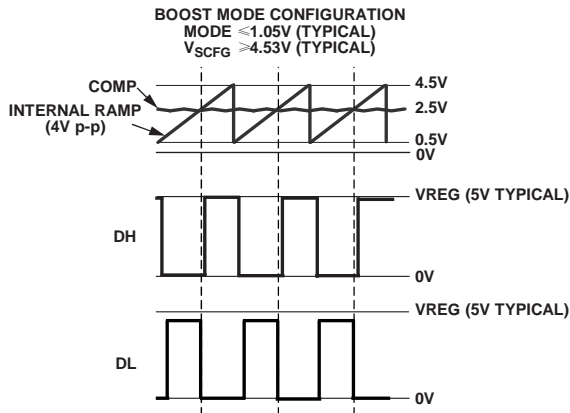


图23. 升压配置的驱动信号图

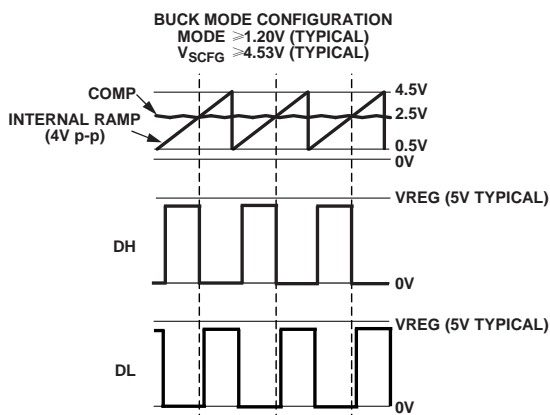


图24. 降压配置的驱动信号图

PWM驱动信号

ADP1974有两个5 V逻辑电平输出驱动信号DH和DL，其兼容ADuM7223之类的驱动器。DH和DL驱动信号同步接通和关断外部驱动器驱动的高端和低端开关。ADP1974提供电阻可编程的死区时间，以防DH和DL引脚同时跃迁，如图25所示。在DT引脚与地之间连一个电阻以设置死区时间。

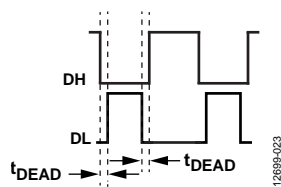


图25. DH和DL跃迁之间的死区时间(t_{DEAD})

利用DH和DL引脚驱动容性负载时，必须将一个20 Ω 电阻与容性负载串联，以降低接地噪声并确保信号完整性。

外部COMP控制

ADP1974 COMP引脚是PWM调制器比较器的输入。ADP1974采用电压模式控制，一个外部误差放大器(AD8450/AD8451)

施加于COMP引脚的误差信号与内部4 V p-p三角波形相比较。随着负载改变，误差信号提高或降低。内部PWM比较器通过监控COMP引脚的误差信号和内部4 V p-p斜坡信号，确定适当的占空比驱动信号。随后，内部PWM比较器以所确定的占空比通过DH和DL信号驱动外部栅极驱动器。

COMP引脚的工作电压范围是0 V到5.0 V。如果 V_{COMP} 介于0.5 V到4.5 V，ADP1974将相应地调节DH和DL输出。如果 V_{COMP} 大于4.5 V，ADP1974将以编程的最大占空比(或97%，以较低者为准)操作DH和DL输出。如果 V_{COMP} 小于0.45 V，ADP1974将根据工作模式以0%占空比操作DH或DL输出，以100%占空比操作互补的DL或DH输出。COMP引脚输入不得超过5.5 V绝对最大额定值。

DL和DH信号摆幅是从VREG(5 V典型值)到地。所用的外部FET驱动器必须具有兼容5 V逻辑信号的输入控制引脚。

峰值限流打嗝实现方案

ADP1974实现了峰值打嗝限流特性，电流通过一个检测电阻在低端FET上测量。当峰值电感电流超过编程的电流限值并持续500个连续时钟周期(对于100 kHz编程频率，其典型值为5.2 ms)以上时，就会出现峰值打嗝限流情况。如果过流持续时间少于500个连续周期，计数器将复位到0。发生过流状况时，SS引脚通过1 k Ω 电阻放电，驱动信号DL和DH在后续500个时钟周期中禁用，以便FET冷却(打嗝模式)。500个时钟周期到期后，ADP1974通过新的软启动周期重启。

图26显示了峰值限流保护的限流框图。

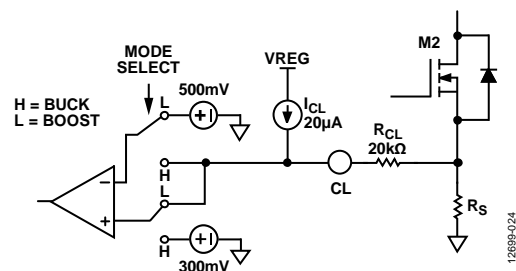


图26. 峰值限流保护的限流框图

限流阈值系根据所选的模式而在内部设置。在使用 $R_{CL} = 20\text{ k}\Omega$ (由于有20 μA 电流源，其上电压为400 mV)的降压或升压模式下，当 R_S 上的电压达到100 mV时，它就会触发。有关如何设置电流限值的更多信息，参见“应用信息”部分。

负限流检测(降压模式)

ADP1974检测降压模式下电感中的负电流，CL引脚上的比较器设置为450 mV，如图27所示。当低端FET中的电流降至限值(R_S 上的-50 mV)以下时，DL驱动器立即禁用，这被用作降压模式下的负电流限值，检测与正峰值电流的一半等效的电流。

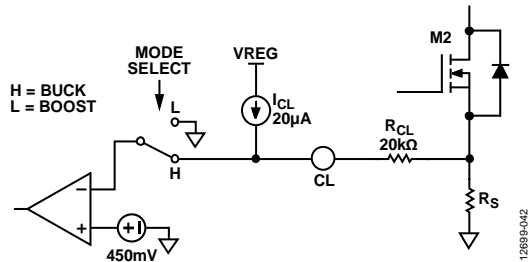


图27. 负限流保护框图

PWM频率控制

FREQ、SYNC和SCFG引脚决定ADP1974 PWM控制所用时钟信号的来源、频率和同步。

内部频率控制

ADP1974频率可通过连接在FREQ和地之间的外部电阻来编程。频率设置范围是最小值50 kHz到最大值300 kHz。如果SCFG引脚接VREG，迫使 $V_{SCFG} \geq 4.53$ V(典型值)，或者如果SCFG引脚保持浮空，则SYNC引脚配置为输出，ADP1974以 R_{FREQ} 设置的频率工作，其从SYNC引脚通过开漏器件输出。SYNC引脚的输出时钟以50%(典型值)占空比工作。这种配置中，SYNC引脚可将系统中的其他开关稳压器与ADP1974同步。当SYNC引脚配置为输出时，SYNC引脚与外部电源之间需要一个外部上拉电阻。ADP1974的VREG引脚可用作该上拉电阻的外部供电轨。

外部频率控制

当 $V_{SCFG} \leq 0.5$ V(典型值)时，SYNC引脚配置为输入，ADP1974与施加于SYNC引脚的外部时钟同步，并且ADP1974用作从机。这种同步使得ADP1974能以与系统中其他开关稳压器或器件相同的开关频率和相位工作。ADP1974采用外部时钟工作时，选择 R_{FREQ} 以提供一个接近于但不等于外部时钟频率的频率，详见“应用信息”部分的说明。

工作频率相移

当施加于SCFG引脚的电压为 $0.65 \text{ V} < V_{SCFG} < 4.25 \text{ V}$ 时，SYNC引脚配置为输入，ADP1974与施加于SYNC引脚的外部时钟的相移版本同步。要调整相移，SCFG和地之间应放置一个电阻(R_{SCFG})。对于包含多个开关电源的系统，该相移可降低输入电源纹波。

最大占空比

通过DMAX引脚上的外部电阻(连接在DMAX和地之间)，可将ADP1974的最大占空比编程为0%到97%的任意值。如果DMAX保持浮空、连接到VREG或编程为大于97%的值，则最大占空比为默认值97%。

外部故障信号

ADP1974配有一个FAULT引脚，当发生外部故障情况时，它会发送信号给ADP1974。外部故障信号停止系统的PWM操作，以免损坏应用和器件。当一个小于1.05 V(典型值)的电压施加于FAULT引脚时，ADP1974即被禁用。在这种状态下，DL和DH PWM驱动信号均被拉低以防止切换，软启动电容(C_{SS})通过1 kΩ电阻放电。当一个大于1.2 V(典型值)的电压施加于FAULT引脚时，ADP1974开始切换。可将0 V至60 V的电压施加于ADP1974的FAULT引脚。

热关断(TSD)

ADP1974有一个TSD保护电路。当ADP1974的结温达到150°C(典型值)时，热关断即触发并禁用切换。在TSD状态下，DL和DH信号被拉低， C_{SS} 电容放电至地，VREG保持高电平。当结温降至135°C(典型值)时，ADP1974重启应用控制环路。

应用信息

ADP1974有许多可编程特性，针对具体应用可优化并控制这些特性。ADP1974提供了引脚用于选择工作模式，控制电流限值，选择内部或外部时钟，设置工作频率、工作频率相移、死区时间和最大占空比，以及调整软启动。

降压或升压选择

要使ADP1974以升压(循环)模式工作，应将一个小于1.05 V(典型值)的电压施加于MODE引脚。要使ADP1974以降压(放电)模式工作，应将MODE引脚驱动到大于1.20 V(典型值)的高电平。MODE引脚状态只能在以下情况下改变：通过EN引脚关断ADP1974，或通过FAULT引脚指示的外部故障条件、TSD事件或UVLO条件禁用该器件。

选择 R_S 以设置电流限值

图26显示了峰值限流控制的限流框图。使用下式设置电流限值：

$$I_{PK} \text{ (mA)} = 100 \text{ mV}/R_S \quad (2)$$

其中：

I_{PK} 为所需的峰值电流限值(单位为mA)。

R_S 为用于设置峰值电流限值的检测电阻(单位为 Ω)。

当ADP1974配置为降压(充电)工作模式时，内部限流阈值设置为300 mV(典型值)，负谷值限流阈值设置为450 mV(典型值)。当ADP1974配置为升压(循环)工作模式时，内部限流阈值设置为500 mV(典型值)。外部电阻(R_{CL})使电流适当地偏移，以便在降压和升压模式下检测峰值。 R_{CL} 值设置为20 k Ω 。工作时，设置峰值电流的公式如下：

降压(充电)模式：

$$V_{CL(BUCK)} = (I_{CL}) \times (R_{CL}) - (I_{PK}) \times (R_S) \quad (3)$$

$$V_{NC(BUCK)} = (I_{CL}) \times (R_{CL}) + (I_{VL(NEG)}) \times (R_S) \quad (4)$$

升压(循环)模式：

$$V_{CL(BOOST)} = (I_{CL}) \times (R_{CL}) + (I_{PK}) \times (R_S) \quad (5)$$

其中：

$V_{CL(BUCK)} = 300 \text{ mV}$ (典型值)。

$I_{CL} = 20 \mu\text{A}$ (典型值)。

$R_{CL} = 20 \text{ k}\Omega$ 。

I_{PK} 为峰值电感电流。

$V_{NC(BUCK)} = 450 \text{ mV}$ (典型值)。

$I_{VL(NEG)}$ 为谷值电感电流。

$V_{CL(BOOST)} = 500 \text{ mV}$ (典型值)。

在降压和升压两种工作模式下，ADP1974的峰值电流限值相同。 R_{CL} 和 R_S 电阻的容差建议为1%或更好

调整工作频率

如果SCFG引脚接VREG，迫使 $V_{SCFG} \geq 4.53 \text{ V}$ ，或者如果SCFG引脚保持浮空且内部连接到 V_{REG} ，则ADP1974以 R_{FREQ} 设置的频率工作，SYNC引脚以编程设置的频率输出一个时钟。当 $V_{SCFG} \geq 4.53 \text{ V}$ 时，SYNC引脚的输出时钟可用作需要同步的应用中的主时钟。

如果 $V_{SCFG} \leq 0.5 \text{ V}$ ，则SYNC引脚配置为输入，ADP1974用作从机。作为从机，ADP1974与施加于SYNC引脚的外部时钟同步。如果施加于SCFG引脚的电压为 $0.65 \text{ V} < V_{SCFG} < 4.25 \text{ V}$ ，并且在SCFG和地之间连接一个电阻，则SYNC引脚配置为输入，ADP1974与施加于SYNC引脚的外部时钟的相移版本同步。

无论ADP1974是以主机还是从机工作，都要利用上面的公式精心选择 R_{FREQ} 。

选择主机的 R_{FREQ}

当 $V_{SCFG} \geq 4.53 \text{ V}$ 时，ADP1974用作主机。作为主机，ADP1974以外部 R_{FREQ} 电阻(连接在FREQ和地之间)设置的频率工作，并且ADP1974在SYNC引脚上输出一个编程频率的时钟。

图28显示了 $R_{FREQ(MASTER)}$ 值与编程开关频率的关系。

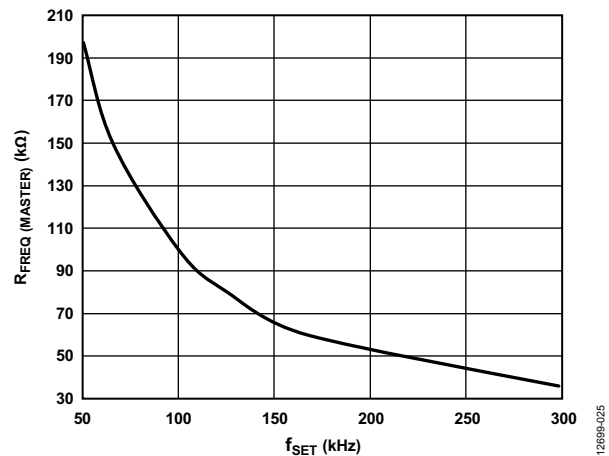


图28. $R_{FREQ(MASTER)}$ 与开关频率(f_{SET})的关系

要获得所需的主机时钟同步频率，请使用下式计算 $R_{FREQ(MASTER)}$ 值：

$$R_{FREQ(MASTER)} \text{ (k}\Omega\text{)} = \frac{10^4}{f_{SET} \text{ (kHz)}} \quad (5)$$

其中：

$R_{FREQ(MASTER)}$ 为用于设置主机频率的电阻(单位为k Ω)。

f_{SET} 为开关频率(单位为kHz)。

选择从机的RFREQ

驱动 $V_{SCFG} < 4.53$ V时, ADP1974配置为从机。作为从机, ADP1974以施加于SYNC引脚的外部时钟频率工作。为确保正确同步, 利用下式选择 R_{FREQ} 以将频率设置为略低于主时钟频率的值:

$$R_{FREQ(SLAVE)} = 1.11 \times R_{FREQ(MASTER)} \quad (6)$$

其中:

$R_{FREQ(SLAVE)}$ 为适当缩放从机频率的电阻值, 1.11为用于同步的 R_{FREQ} 从机与主机之比。

$R_{FREQ(MASTER)}$ 为与施加于SYNC引脚的主时钟频率相对应的电阻值。

从机频率设置为略低于主机频率, 以便ADP1974的数字同步环路能够与主机时钟周期同步。从机可与高于从机时钟频率2%到20%的主机时钟频率同步。设置 $R_{FREQ(SLAVE)}$ 比 $R_{FREQ(MASTER)}$ 大1.11倍, 可使同步环路大致在调整范围的中心运行。

外部时钟相移编程

如果从机不需要相移, 各从机的SCFG引脚须接地。对于需要施加于从机SYNC引脚的同步时钟的相移版本的器件, 应在SCFG和地之间连接一个电阻(R_{SCFG})来设置所需的相移。对于所需相移(φ_{SHIFT}), 为了确定 R_{SCFG} , 首先应计算从机时钟频率(f_{SLAVE})。

$$f_{SLAVE}(\text{kHz}) = \frac{10^4}{R_{FREQ(SLAVE)}} \quad (7)$$

然后计算从机时钟周期。

$$t_{SLAVE}(\mu\text{s}) = \frac{1}{f_{SLAVE}(\text{kHz})} \times 10^3 \quad (8)$$

其中:

t_{SLAVE} 为从机时钟周期(单位为 μs)。

f_{SLAVE} 为从机时钟频率(单位为kHz)。

接下来, 利用下式确定所需相移(φ_{SHIFT})的相位时间延迟(t_{DELAY}):

$$t_{DELAY}(\mu\text{s}) = \frac{\varphi_{SHIFT} \times t_{SLAVE}(\mu\text{s})}{360} \quad (9)$$

其中:

t_{DELAY} 为相位时间延迟(单位为 μs)。

φ_{SHIFT} 为所需相移。

最后, 使用下式计算 t_{DELAY} :

$$R_{SCFG}(\text{k}\Omega) = 0.45 \times R_{FREQ(SLAVE)}(\text{k}\Omega) + 50 \times t_{DELAY}(\mu\text{s}) \quad (10)$$

其中:

R_{SCFG} 为所需相移(单位为kHz)的对应电阻。 R_{SCFG} 与 t_{DELAY} 的关系曲线参见图19。

使用相移特性时, 应将一个47 pF或更大的电容与 R_{SCFG} 并联。

或者, SCFG引脚也可利用一个电压源来控制。使用独立电压源时, 确保所有情况下 $V_{SCFG} \leq V_{REG}$ 。通过EN引脚或UVLO禁用ADP1974时, $V_{REG} = 0$ V, 必须相应地调整电压源以确保 $V_{SCFG} \leq V_{REG}$ 。

图29显示了ADP1974的内部电压斜坡。该电压斜坡是一个精确控制的4 V p-p斜坡。

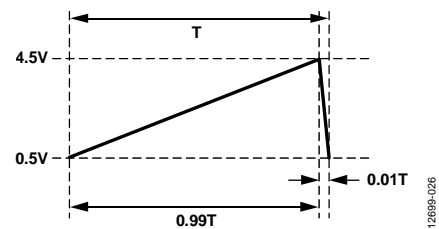


图29. 内部电压斜坡

ADP1974

死区时间编程

要调整DH和DL同步输出的死区时间，应在DT和GND之间连接一个电阻(R_{DT})并用一个47 pF电容予以旁路。利用图30选择给定死区时间对应的 R_{DT} ，或利用下式计算 R_{DT} 。要获得单个 R_{DT} 计算式，可将 V_{DT} 和 R_{DT} 的计算式合并。

$$V_{DT} (V) = \frac{I_{DT} \times (t_{DEAD} (ns) - 28.51)}{3.76} \quad (11)$$

$$R_{DT} = \frac{V_{DT}}{I_{DT}} \quad (12)$$

其中：

V_{DT} 为DT引脚编程电压。

I_{DT} 为20 μ A(典型值)内部电流源。

t_{DEAD} 为所需死区时间(单位为ns)。

R_{DT} 为所需死区时间对应的电阻值(单位为k Ω)。

要计算给定 t_{DEAD} 对应的 R_{DT} ，使用的最终计算式为：

$$R_{DT} (k\Omega) = \frac{t_{DEAD} (ns) - 28.51}{3.76} \quad (13)$$

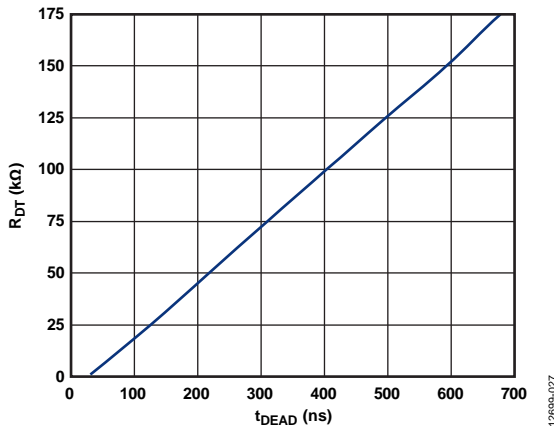


图30. DT引脚电阻(R_{DT})与死区时间(t_{DEAD})的关系

最大占空比编程

ADP1974的设计最大内部占空比为97%(典型值)。在DMAX和地之间连接一个电阻，便可将最大占空比设置为0%到97%的任意值，计算公式如下：

$$D_{MAX} (\%) = \frac{21.5 \times V_{FREQ} \times R_{DMAX}}{R_{FREQ}} - 10.5 \quad (14)$$

其中：

D_{MAX} 为所设置的最大占空比。

$V_{FREQ} = 1.252$ V(典型值)。

R_{DMAX} 为用于设置最大占空比的电阻值。

R_{FREQ} 为应用所用的频率设置电阻。

DMAX电流源等效于FREQ引脚设置的电流：

$$I_{DMAX} = I_{FREQ} = \frac{V_{FREQ}}{R_{FREQ}} \quad (15)$$

其中， $I_{DMAX} = I_{FREQ}$ 为FREQ引脚设置的电流。

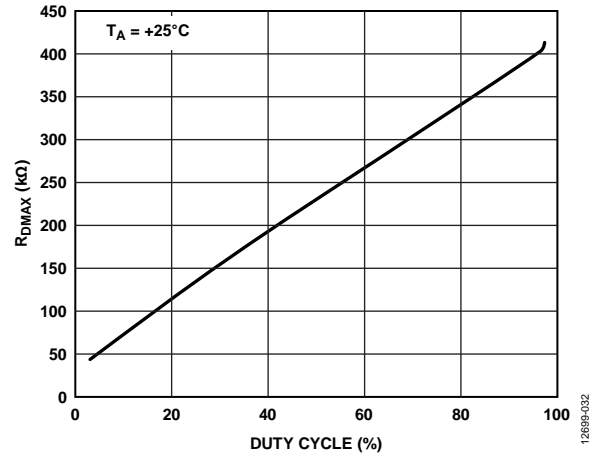


图31. R_{DMAX} 与占空比的关系， $R_{FREQ} = 100$ k Ω ， $V_{COMP} = 5$ V

ADP1974的最大占空比为97%(典型值)。如果DMAX电阻设置的最大占空比大于97%，ADP1974将默认使用内部最大值。如果97%的内部最大占空比对应用足够，应将DMAX引脚接VREG或使其保持浮空。

DMAX引脚和接地层之间连接的 C_{DMAX} 电容必须为47 pF或更大。

调整软启动周期

ADP1974具有可编程软启动功能，可防止启动期间输出电压过冲。软启动图参见图22。利用下式计算使能开关前的延迟时间(t_{REG})：

$$t_{REG} = \frac{0.52}{I_{SS}} \times C_{SS} \quad (16)$$

其中：

$I_{SS} = 5$ μ A(典型值)。

C_{SS} 为软启动电容值。

这样，输出电压上升斜坡便与ADP1974的SS和输入电压上的斜坡成比例。

$$t_{RAMP} = \frac{4}{I_{SS}} \times C_{SS}$$

$$RAMP_RATE = \frac{V_{OUT}}{Time(s)} = \frac{V_{IN}}{t_{RAMP}} (V/s)$$

举个例子，一个采用20 V输入和10 nF电容的设计将有1 ms的延迟和2.5 V/ms的斜坡率。

C_{SS} 电容不是ADP1974必需的。不使用 C_{SS} 电容时，内部5 μ A (典型值)电流源立即将SS引脚电压拉到VREG。不使用 C_{SS}

电容时，ADP1974内部便没有软启动控制，系统可能会在启动期间产生较大的输出过冲和峰值电感尖峰。不使用 C_{SS} 电容时，应确保启动期间的输出过冲不能大到触发打嗝限流。

PCB布局指南

为了实现较高的效率、良好的调节性能和出色的稳定性，PCB布局布线必须合理设计。

设计PCB时，应遵守下列原则(框图见图20，引脚配置见图2)。

- VIN的低有效串联电阻(ESR)输入电源电容(C_{IN})应尽可能靠近VIN和GND引脚，以使电路板寄生电感注入器件的噪声最小。
- VREG的低ESR输入电源电容(C_{VREG})应尽可能靠近VREG和GND引脚，以使电路板寄生电感注入器件的噪声最小。
- 用于SCFG、FREQ、DMAX和SS引脚的元件应靠近相应的引脚放置。将这些元件统一连接到模拟接地层，以便与GND引脚形成开尔文连接。
- 从COMP引脚到关联器件(如AD8450)的走线应尽可能短。此走线不应放在开关信号附近，可能的话应将其屏蔽起来。
- 任何用于SYNC引脚的走线或元件应远离敏感的模拟节点。使用外部上拉电阻时，最好在上拉电阻的电源和GND之间使用一个本地0.1 μ F旁路电容。
- 从DH和DL引脚到外部元件的走线应尽可能短，以使寄生电感和电容最小，避免影响控制信号。DH和DL引脚是开关节点，其相关布线不应靠近任何敏感的模拟电路。
- 使高电流走线尽量短、尽量宽。
- 将ADP1974的接地连接直接连到电流检测电阻(R_S)的接地连接。
- 通过一个20 k Ω 电阻将CL直接连到 R_S 。
- 从图32所示的接地连接进行如下连接：
 - GND引脚连接到 R_S 的接地点
 - 系统电源接地总线连接到 R_S 的接地点

- 构建一个具有一个主机和多个从机的系统时，应考虑如下事项以使与SYNC引脚相连的走线电容最小：
 - 对于仅有几个从机的小型系统，在主机SYNC信号和从机SYNC输入引脚之间串联一个电阻可限制走线电容，降低可能会把噪声注入主机的快速电流。
 - 对于较大应用，串联电阻不足以隔离主机SYNC时钟。在较大系统中，使用外部缓冲器来降低走线电容。外部缓冲器具有驱动能力，可支持较大数量的从机。

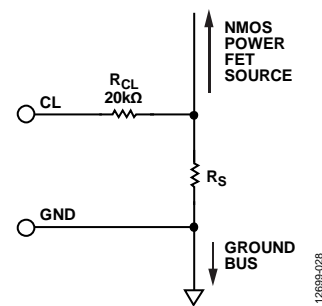
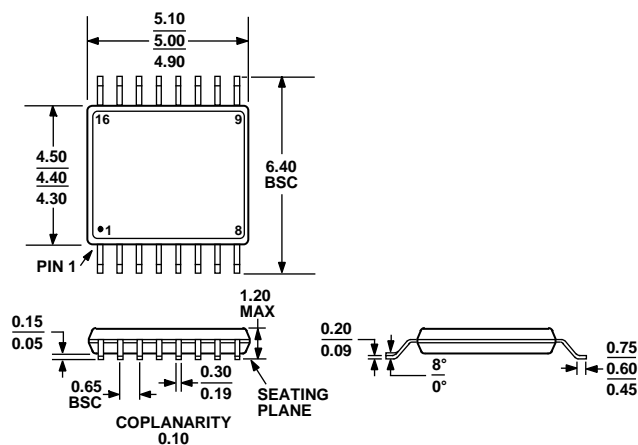


图32. 推荐 R_S 开尔文接地连接

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图33. 16引脚超薄紧缩小型封装[TSSOP]

(RU-16)

图示尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项	订购数量
ADP1974ARUZ-R7	-40°C至+125°C	16引脚超薄紧缩小型封装[TSSOP], 7"卷带和卷盘	RU-16	1000
ADP1974ARUZ-RL	-40°C至+125°C	16引脚超薄紧缩小型封装[TSSOP], 13"卷带和卷盘	RU-16	2500
ADP1974-EVALZ		评估板		

¹ Z = 符合RoHS标准的器件。