

特性

- 完整的电源监控和时序控制解决方案，可监控多达8个电源
- 16事件深度的黑盒非易失性故障记录功能
- 8个电源故障检测器，电源监控精度可达：
 - <0.5%(所有电压、25°C)
 - <1.0%(所有电压、所有温度)
- 4个可选输入衰减器，可监控：
 - VH上最高的14.4 V电源
 - VPx(VP1至VP3)上的最高6 V电源
- 4路双功能输入 VX1至VX4 (VXx)
 - 高阻抗输入，用于向故障检测器提供0.573 V至1.375 V之间的阈值
 - 通用逻辑输入
- 8路可编程驱动器输出PDO1至PDO8(PDOx)
 - 具有外部上拉的集电极开路
 - 推挽输出，驱动至VDDCAP或VPx
 - 具有较弱上拉的集电极开路，拉至VDDCAP或VPx
 - 内部电荷泵提供的高驱动，配合外部NFBET使用(仅限PDO1至PDO6)

时序控制引擎(SE)对PDO输出实施状态机控制

- 状态变化以输入事件为条件
- 支持复杂的电路板控制
- 上电和关断时序控制
- 故障事件处理
- 报警时产生中断
- SE中可集成看门狗功能
- 通过SMBus对时序进行软件编程控制
- 器件由VPx中最高者供电，VH用于提高冗余性
- 用户EEPROM：256字节
- 工业标准双线式总线接口(SMBus)
- 保证PDO低电平(VH、VPx = 1.2 V)
- 采用32引脚、7 mm × 7 mm LQFP封装

应用

- 中央交换局系统
- 服务器/路由器
- 多电压系统线路卡
- DSP/FPGA电源时序控制
- 余量微调电源的在线测试

功能框图

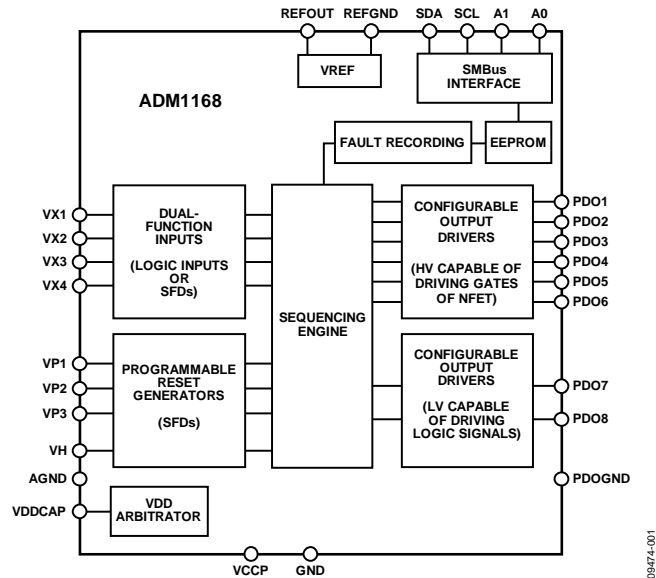


图1.

概述

ADM1168 Super Sequencer®超级时序控制器是一款可配置电源监控/时序控制器件，可针对多电源系统中的电源监控和时序控制提供一种单芯片解决方案。

该器件还提供多达8路可编程输入，用于监控多达8个电源的欠压故障、过压故障或窗口外故障。此外，8路可编程输出可以用作逻辑使能。其中6路可编程输出也可以提供最高12 V输出，用于驱动可置于电源路径的N-FET栅极。

该器件的逻辑内核是一个时序控制引擎。它采用状态机结构，可提供多达63种不同状态。这种设计可以根据输入状况，对输出进行非常灵活的时序控制。

该器件提供一个非易失性EEPROM模块，可用于存储用户定义信息以及保存多条故障记录；故障记录由用户定义的时序控制引擎在发生特定故障或序列时写入存储器。

ADM1168通过可编程写入EEPROM的配置数据进行控制。全部配置可以利用ADI公司具有直观图形用户界面(GUI)的软件包进行编程。

有关ADM1168寄存器映射的更多信息，请参阅应用笔记AN-721。

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2011–2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

特性.....	1	默认输出配置.....	14
应用.....	1	时序控制引擎.....	15
功能框图.....	1	概览.....	15
概述.....	1	警告.....	15
修订历史.....	2	SMBus跳转(无条件跳转).....	15
详细框图.....	3	时序控制引擎应用示例.....	16
技术规格.....	4	故障和状态报告.....	17
绝对最大额定值.....	6	非易失性黑盒故障记录功能.....	17
热阻.....	6	无外部电源时的黑盒写入.....	18
ESD警告.....	6	应用框图.....	19
引脚配置和功能描述.....	7	与ADM1168通信.....	20
典型工作特性.....	8	上电时下载配置.....	20
为ADM1168供电.....	10	更新配置.....	20
输入.....	11	更新时序控制引擎.....	21
电源监控.....	11	内部寄存器.....	21
对电源故障检测器进行编程.....	11	EEPROM.....	21
输入比较器迟滞.....	12	串行总线接口.....	22
输入毛刺滤波.....	12	针对RAM和EEPROM的SMBus协议.....	24
用VXx输入进行电源监控.....	13	写操作.....	24
将VXx引脚用作数字输入.....	13	读操作.....	25
输出.....	14	外形尺寸.....	27
通过可配置输出驱动器实现电源时序控制.....	14	订购指南.....	27

修订历史

2013年8月—修订版0至修订版A

表10中的REVID值从0x12更改为0x10 22

2011年4月—修订版A：初始版

详细框图

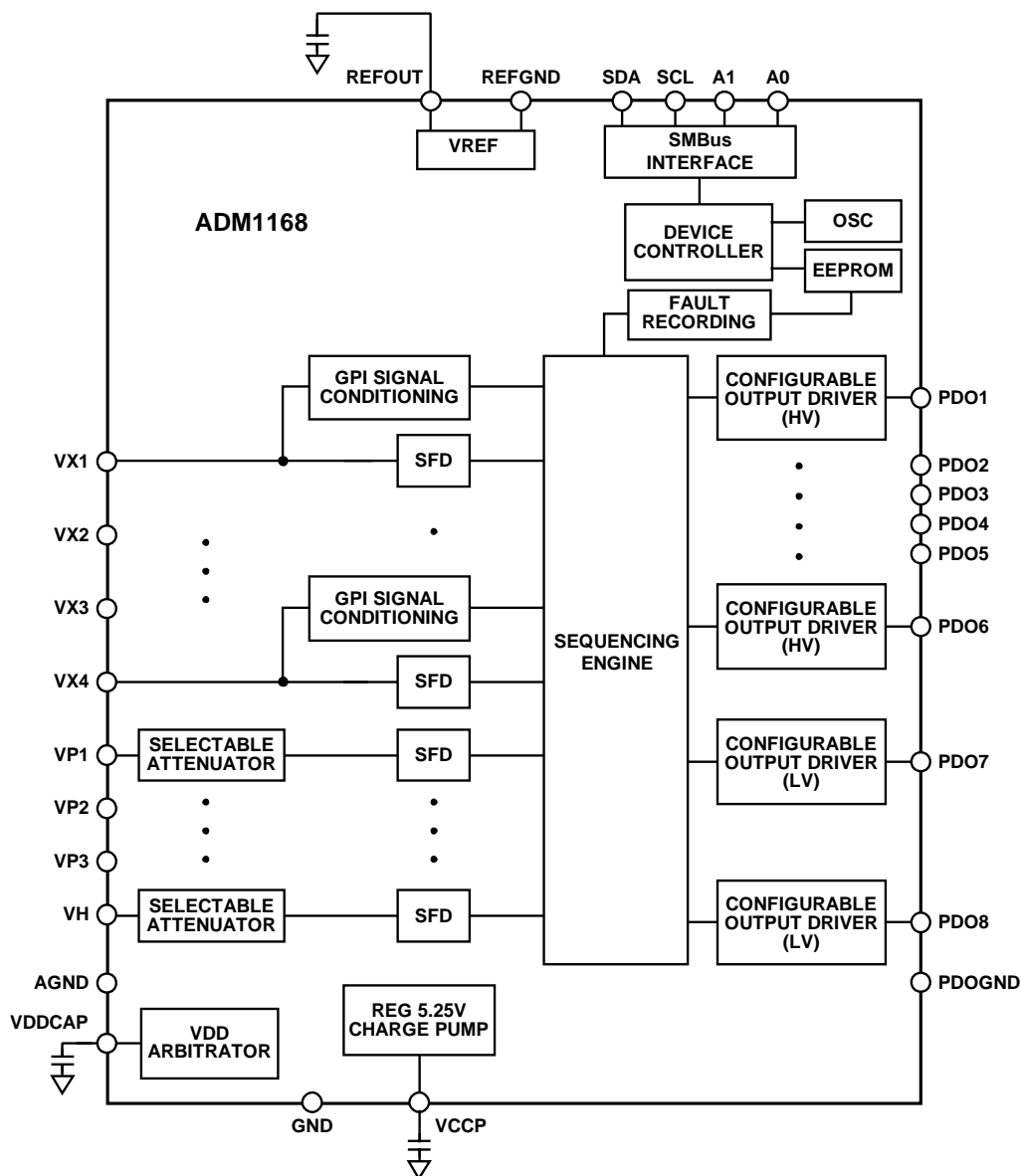


图2. 详细框图

09474-002

ADM1168

技术规格

除非另有说明， $V_H = 3.0\text{ V}$ 至 14.4 V^1 ， $V_{P_x} = 3.0\text{ V}$ 至 6.0 V^1 ， $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 。

表1.

参数	最小值	典型值	最大值	单位	测试条件/注释
电源仲裁					
V _H , V _{P_x}	3.0			V	V _H 、V _{P_x} 引脚之一要求的最低电源电压
V _{P_x}			6.0	V	最大V _{DDCAP} = 5.1 V(典型值)
V _H			14.4	V	V _{DDCAP} = 4.75 V
V _{DDCAP}	2.7	4.75	5.4	V	调节LDO输出
C _{V_{DDCAP}}	10			μF	建议的最小去耦电容
电源					
电源电流、I _{V_H} 、I _{V_{P_x}}		4.2	6	mA	V _{DDCAP} = 4.75 V，PDO1至PDO8关闭
额外电流					
所有PDO _x FET驱动器开启		1		mA	V _{DDCAP} = 4.75 V，PDO1至PDO6各加载1 μA，PDO7至PDO8关闭
V _{DDCAP} 提供的电流			2	mA	可从所有PDO上拉电阻产生至V _{DDCAP} 的最大额外负载
EEPROM擦除电流		10		mA	仅1 ms持续时间，V _{DDCAP} = 3 V
电源故障检测器					
V _H 引脚					
输入阻抗		52		kΩ	中间范围和高范围
输入衰减器误差		±0.05		%	
检测范围					
高范围	6		14.4	V	
中间范围	2.5		6	V	
V _{P_x} 引脚					
输入阻抗		52		kΩ	低范围和中间范围
输入衰减器误差		±0.05		%	
检测范围					
中间范围	2.5		6	V	
低范围	1.25		3	V	
超低范围	0.573		1.375	V	无输入衰减误差
V _{X_x} 引脚					
输入阻抗	1			MΩ	无输入衰减误差
检测范围					
超低范围	0.573		1.375	V	
绝对精度			±1	%	
阈值分辨率		8		位	内部基准电压源V _{REF} 误差 + DAC非线性+比较器失调误差
数字毛刺滤波器		0		μs	最小可编程滤波器长度
		100		μs	最大可编程滤波器长度
基准输出					
基准输出电压	2.043	2.048	2.053	V	无负载
负载调整率		-0.25		mV	源电流
		0.25		mV	吸电流
最小负载电容	1			μF	去耦、稳定性要求的电容
电源抑制比(PSRR)		60		dB	直流

参数	最小值	典型值	最大值	单位	测试条件/注释
可编程驱动器输出					
高压(电泵)模式 (PDO1至PDO6)					
输出阻抗		500		kΩ	
V_{OH}	11	12.5	14	V	$I_{OH} = 0 \mu A$
I_{OUTAVG}	10.5	12	13.5	V	$I_{OH} = 1 \mu A$
标准(数字输出)模式 (PDO1至PDO8)		20		μA	$2 V < V_{OH} < 7 V$
V_{OH}	2.4		4.5	V	V_{PU} (上拉至VDDCAP或VPx)= 2.7 V, $I_{OH} = 0.5 \text{ mA}$
V_{OL}	$V_{PU} - 0.3$			V	V_{PU} 至VPx = 6.0 V, $I_{OH} = 0 \text{ mA}$
I_{OL}^2	0		0.50	V	$V_{PU} \leq 2.7 \text{ V}$, $I_{OH} = 0.5 \text{ mA}$
I_{SINK}^2			20	mA	$I_{OL} = 20 \text{ mA}$
$R_{PULL-UP}$	16	20	29	kΩ	每个PDO引脚的最大吸电流
$I_{SOURCE} (VPx)^2$			2	mA	所有PDO引脚的最大总吸电流
三态输出漏电流			10	μA	内部上拉
振荡器频率	90	100	110	kHz	任何VPx上拉电阻上的电流负载, 即通过为任一VPx引脚配置的任意数目PDO上拉开关可获得的总源电流
数字输入(VXx, A0, A1)					$V_{PDO} = 14.4 \text{ V}$
输入高电压 V_{IH}	2.0			V	由该时钟引起的所有片内时间延迟
输入低电压 V_{IL}			0.8	V	$V_{IN}(\text{最大值}) = 5.5 \text{ V}$
输入高电流 I_{IH}	-1			μA	$V_{IN}(\text{最大值}) = 5.5 \text{ V}$
输入低电流 I_{IL}			1	μA	$V_{IN} = 5.5 \text{ V}$
输入电容		5		pF	$V_{IN} = 0 \text{ V}$
可编程下拉电流		20		μA	$V_{IN} = 0 \text{ V}$
$I_{PULL-DOWN}$					VDDCAP = 4.75 V, $T_A = 25^\circ C$, 如要求已知逻辑状态
串行总线数字输入(SDA, SCL)					
输入高电压 V_{IH}	2.0			V	
输入低电压 V_{IL}			0.8	V	
输出低电压 V_{OL}^2			0.4	V	$I_{OUT} = -3.0 \text{ mA}$
串行总线时序特性					见图27
时钟频率 f_{SCLK}		400		kHz	
总线空闲时间 t_{BUF}	1.3			μs	
起始建立时间 $t_{SU,STA}$	0.6			μs	
停止建立时间 $t_{SU,STO}$	0.6			μs	
起始保持时间 $t_{HD,STA}$	0.6			μs	
SCL低电平时间 t_{LOW}	1.3			μs	
SCL高电平时间 t_{HIGH}	0.6			μs	
SCL、SDA上升时间 t_r			300	ns	
SCL、SDA下降时间 t_f			300	ns	
数据建立时间 $t_{SU,DAT}$	100			ns	
数据保持时间 $t_{HD,DAT}$	250			ns	
输入低电流 I_{IL}			1	μA	$V_{IN} = 0 \text{ V}$
时序控制引擎时序特性					
状态改变时间		10		μs	

¹ 要维持VDDCAP上的器件电源, 至少有一个VH、VPx引脚必须 $\geq 3.0 \text{ V}$ 。

² 技术规格未经生产测试, 但受产品初始发布时的特性数据支持。

绝对最大额定值

表2.

参数	额定值
VH引脚电压	16 V
VPx引脚电压	7 V
VXx引脚电压	-0.3 V至+6.5 V
A0、A1引脚电压	-0.3 V至+7 V
REFOUT引脚电压	5 V
VDDCAP、VCCP引脚电压	6.5 V
PDOx引脚电压	16 V
SDA、SCL引脚电压	7 V
GND、AGND、PDOGND、REFGND引脚电压	-0.3 V至+0.3 V
任意引脚的输入电流	±5 mA
封装输入电流	±20 mA
最大结温(T _{JMAX})	150°C
存储温度范围	-65°C至+150°C
引脚温度, 焊接气相(60秒)	
ESD额定值, 所有引脚	2000 V

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件, 即器件焊接在电路板上以实现表贴封装。

表3. 热阻

封装类型	θ_{JA}	单位
32引脚 LQFP	54	°C/W

ESD警告

**ESD(静电放电)敏感器件。**

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述

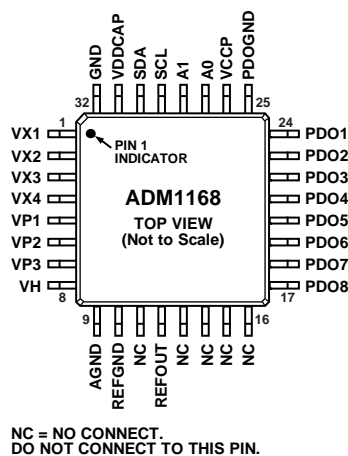


图3. 引脚配置

表4. 引脚功能描述

引脚编号	引脚名称	描述
1至4	VX1至VX4	故障检测器的高阻抗输入。故障阈值可以在0.573 V至1.375 V范围内进行设置。另外，这些引脚可以用作通用数字输入引脚。
5至7	VP1至VP3	故障检测器的低电压输入。通过改变这些引脚所连分压器的输入衰减，可以设置三种输入范围，其中分压器输出连接至一个电源故障检测器。这些引脚支持的阈值范围为2.5 V至6 V、1.25 V至3 V，以及0.573 V至1.375 V。
8	VH	故障检测器的高电压输入。通过改变该引脚所连分压器的输入衰减，可以设置三种输入范围，其中分压器输出连接至一个电源故障检测器。该引脚支持的阈值范围为6 V至14.4 V以及2.5 V至6 V。
9	AGND ¹	输入衰减器的接地回路。
10	REFGND ¹	片内基准电路的接地回路。
11、13至16	NC	不连接。
12	REFOUT	基准电压输出，2.048 V。请注意，必须在该引脚与REFGND之间始终连接一个电容。推荐使用10 μF的电容。
17至24	PDO8至PDO1	可编程输出驱动器。
25	PDOGND ¹	输出驱动器的接地回路。
26	VCCP	5.25 V的中央电荷泵电压。必须在该引脚与GND之间连接一个储能电容。推荐使用10 μF的电容。
27	A0	逻辑输入。该引脚设置SMBus接口地址的第7位。
28	A1	逻辑输入。该引脚设置SMBus接口地址的第6位。
29	SCL	SMBus时钟引脚。双向开漏需要外部阻性上拉电阻。
30	SDA	SMBus数据引脚。双向开漏需要外部阻性上拉电阻。
31	VDDCAP	器件电源电压。从VPx和VH引脚的最高值线性调节至4.75 V的典型值。必须在该引脚与GND之间连接一个电容。推荐使用10 μF的电容。
32	GND ¹	电源地。

¹ 在典型应用中，所有接地引脚均连在一起。

典型性能参数

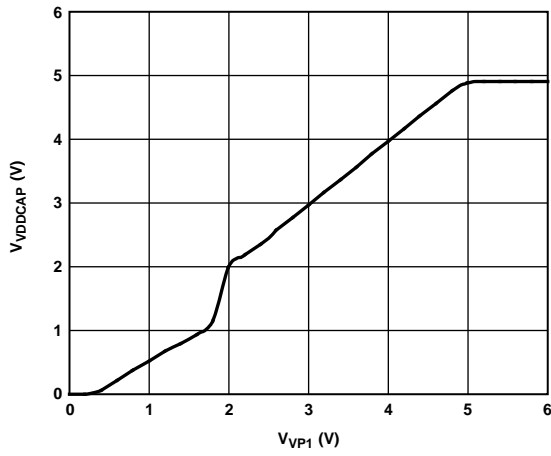


图4. V_{VDDCAP} 与 V_{VP1} 的关系

09474-050

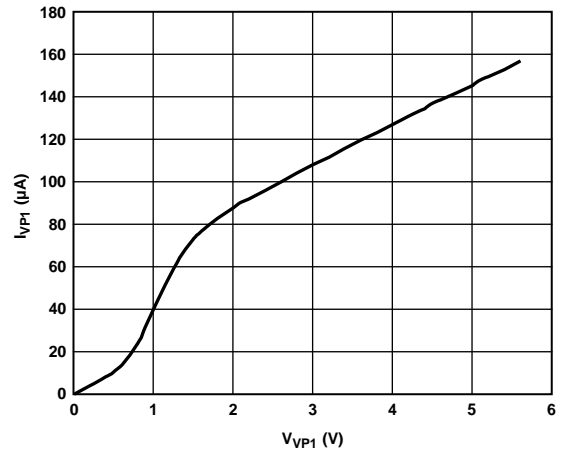


图7. I_{VP1} 与 V_{VP1} 的关系 (VP1 不作为电源)

09474-053

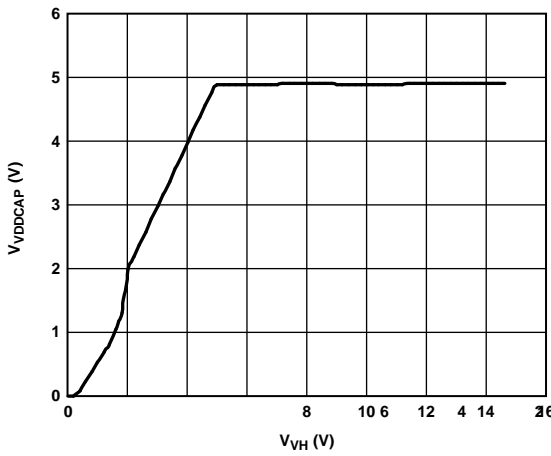


图5. V_{VDDCAP} 与 V_{VH} 的关系

09474-051

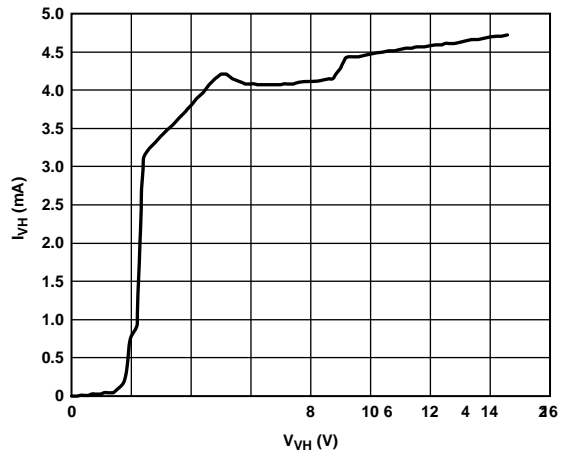


图8. I_{VH} 与 V_{VH} 的关系 (VH 作为电源)

09474-054

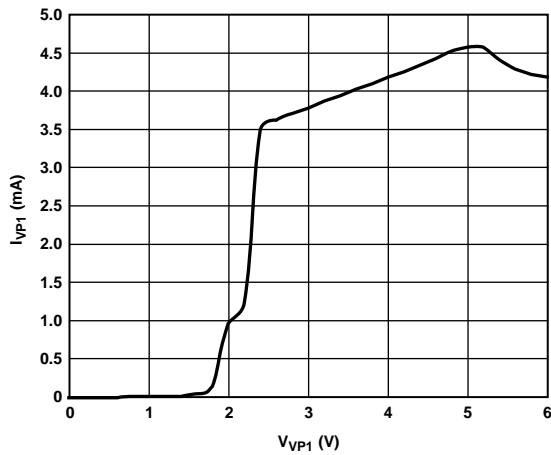


图6. I_{VP1} 与 V_{VP1} 的关系 (VP1 作为电源)

09474-052

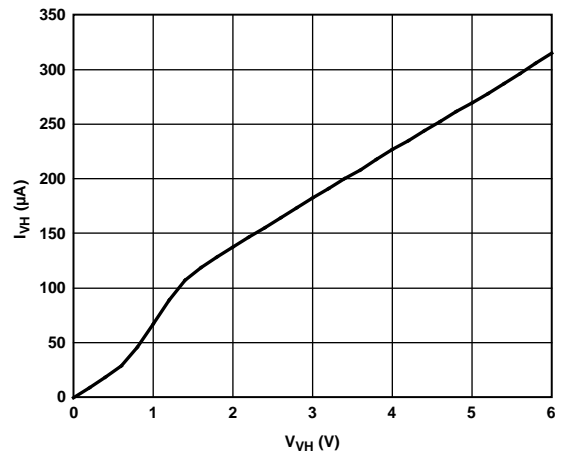


图9. I_{VH} 与 V_{VH} 的关系 (VH 不作为电源)

09474-055

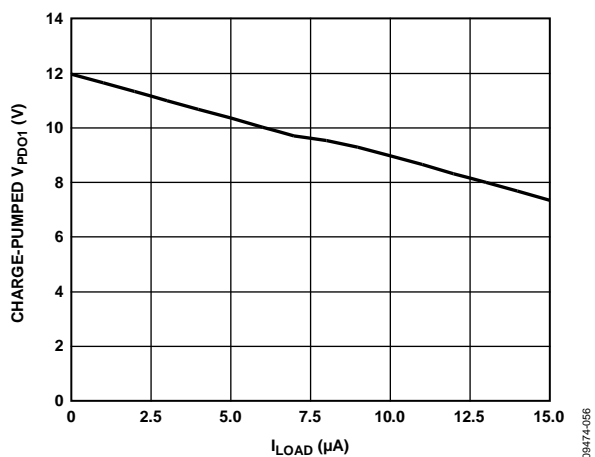


图10. 电荷泵驱动 V_{PDO1} (FET驱动模式)与 I_{LOAD} 的关系

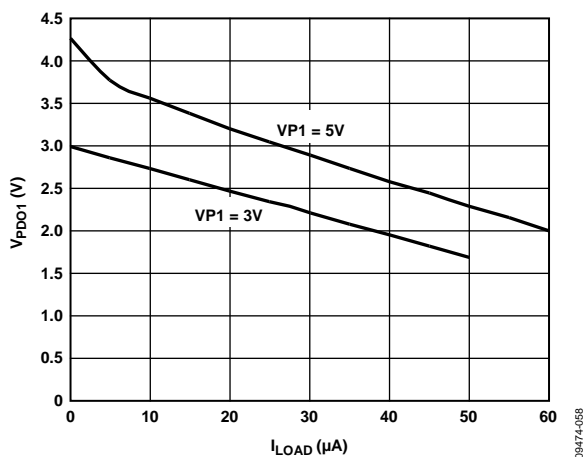


图12. V_{PDO1} (弱上拉至VPx)与 I_{LOAD} 的关系

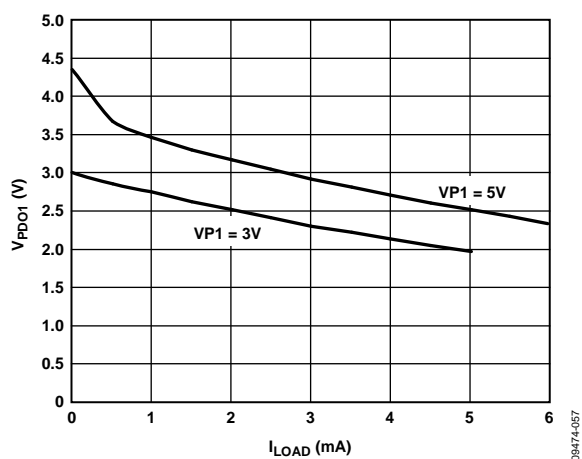


图11. V_{PDO1} (强上拉至VPx)与 I_{LOAD} 的关系

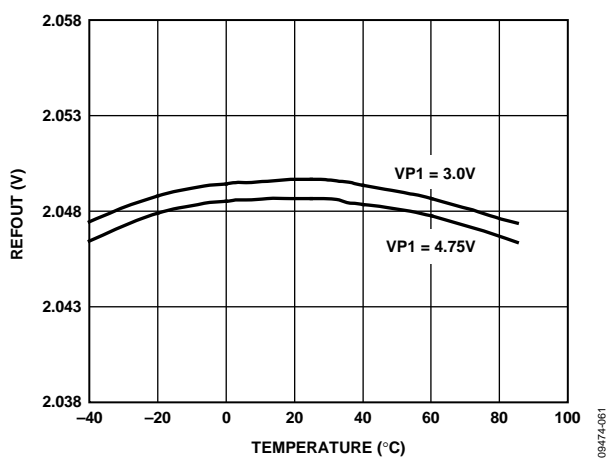


图13. REFOUT与温度的关系

为ADM1168供电

ADM1168以正电源输入端(VPx)或高电压电源输入端(VH)上的最高电压输入供电。这种技术可提高冗余性，因为器件的工作不依赖于任何特定的电压轨。相同引脚还用于电源故障检测(参见“电源监控”部分)。器件上的一个 V_{DD} 仲裁器选择要使用的电源。该仲裁器可看作由四个低压差调节器(LDO)以“或”方式连在一起。电源比较器选择最高输入来提供片内电源。这种架构可将开关损耗降至最低(~0.2 V)，进而使得ADM1168能够采用低至3.0 V的电源供电。请注意，VXx引脚上的电源不能用于为器件供电。

需要将一个外部电容连接至GND，以便对片内电源去耦，消除噪声。该电容应连接至VDDCAP引脚，如图14所示。在掉电(暂时停电)期间，该电容还有一种用途。这些情况下，当输入电源(VPx或VH)瞬间降至 V_{DD} 以下时，同步整流器开关将立即关闭，以避免拉下 V_{DD} 。此时， V_{DD} 电容可以充当一个储能电容，在下一个最高电源为器件供电之前，使器件保持活动状态。对于该储能/去耦功能，推荐使用10 μ F的电容器。

如果需要在所有电源均发生故障时确保将完整的故障记录写入EEPROM，则可提高VDDCAP电容的值。该电容的具体值在“无外部电源时的黑盒写入”部分中讨论。

VH输入引脚最高支持14.4 V电源，使得ADM1168可以采用12 V的背板电源供电。如果该12 V电源为热插拔电源，则建议不要将ADM1168直接连接到该电源。此时必须采取适当的保护措施，比如使用热插拔控制器或RC滤波器网络，以保护器件，使其免遭热插拔事件中瞬变可能导致的损坏。

当两个或多个电源相互之间处于100 mV范围之内时，首先控制 V_{DD} 的电源将保持控制。例如，如果将VP1连接至3.3 V电源， V_{DD} 上电时预设为通过VP1获得的约3.1 V电源。然后，如果将VP2连接至另一个3.3 V电源，则仍由VP1为该器件供电，除非VP2变得比VP1高100 mV。

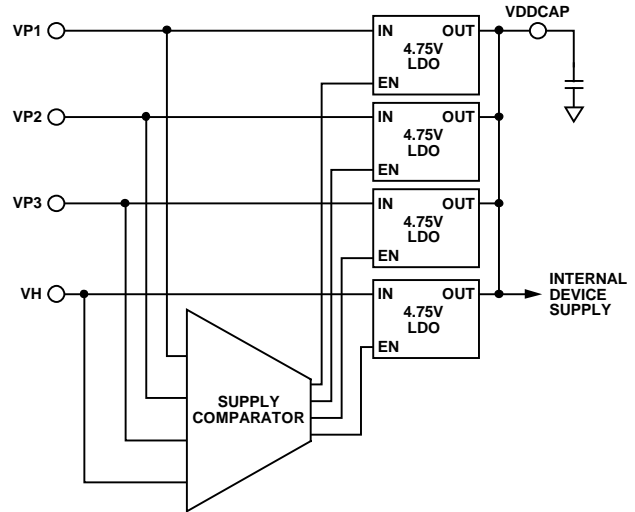


图14. V_{DD} 仲裁器工作原理

输入

电源监控

ADM1168有八路可编程输入。其中四路为专用电源故障检测器(SFD)。这些专用输入默认称为VH和VPx(VP1至VP3)。另外四路输入标为VXx(VX1至VX4)，具有双重功能。这些输入既可以用作SFD(功能与VH和VPx类似)，也可以充当器件的CMOS/TTL兼容逻辑输入。因此，ADM1168可以拥有最多八路模拟输入、至少四路模拟输入和四路数字输入，或者其组合。如果某路输入被用作模拟输入，则不能用作数字输入。因此，对于需要八路模拟输入的配置，将无数字输入可用。表6显示了各输入的详情。

对电源故障检测器进行编程

ADM1168在其八个输入通道上最多可以有八个SFD。通过这些具有高度可编程性的复位发生器，可以对多达八个电源电压进行监控。电源电压最低可以为0.573 V，最高可以为14.4 V。输入可以配置用于检测欠压故障(输入电压降至预设值以下)、过压故障(输入电压升到预设值以上)或超出窗口故障(输入电压位于预设值范围之外)。阈值可在ADM1168提供的寄存器中编程至8位分辨率。这相当于电压分辨率将取决于所选范围。

分辨率的计算公式如下：

$$\text{阶跃大小} = \text{阈值范围} / 255$$

因此，如果在VH上选择了高范围，则阶跃大小可由下式求出：

$$(14.4 \text{ V} - 6.0 \text{ V}) / 255 = 32.9 \text{ mV}$$

表5列出了各可用范围的上下限、各范围的最低值(V_B)和范围本身(V_R)。

表5电压范围限值

电压范围(V)	V_B (V)	V_R (V)
0.573至1.375	0.573	0.802
1.25至3.00	1.25	1.75
2.5至6.0	2.5	3.5
6.0至14.4	6.0	8.4

所需阈值的计算公式如下：

$$V_T = (V_R \times N) / 255 + V_B$$

其中：

V_T 为所需阈值电压(欠压或过压)。

V_R 为电压范围。

N 为8位码的十进制值。

V_B 为范围的最低值。

公式变换后，所需阈值的代码可由下式求出：

$$N = 255 \times (V_T - V_B) / V_R$$

例如，如果用户希望在VP1上设置5 V的过压阈值，则要在PS1OVTH寄存器中编程的代码(如AN-721应用笔记所述)可由下式求出：

$$N = 255 \times (5 - 2.5) / 3.5$$

因此， $N = 182$ (1011 0110或0xB6)。

ADM1168

输入比较器迟滞

图16所示的UV和OV比较器始终在监控着VPx。为了避免发生震颤(当输入非常接近设置的阈值水平时发生的多次跃迁),这些比较器都具有数字可编程迟滞。迟滞最高可以编程为表6中所示的值。

迟滞是在电源电压超过耐受范围之后增加的。因此,用户可以设置欠压故障复位之前输入必须上升到欠压阈值以上多少。类似地,用户可以设置过压故障复位之前输入必须下降至过压阈值以下多少。

迟滞值的计算公式如下:

$$V_{HYST} = V_R \times N_{THRESH}/255$$

其中:

V_{HYST} 为所需的迟滞电压。

N_{THRESH} 为5位迟滞码的十进制值。

请注意, N_{THRESH} 的最大值为31。各范围的最大迟滞如表6所列。

输入毛刺滤波

SFD的最后一级是一个毛刺滤波器。该模块在SFD比较器的输出端上提供时域滤波,使用户可以移除任何杂散跃迁,如导通时的电源反弹。毛刺滤波器功能是SFD比较器除数字可编程迟滞之外的另一种功能。其超时可在100 μs范围内进行编程。

例如,当毛刺滤波器超时为100 μs时,毛刺滤波器模块可以防止其输入端上任何持续时间不到100 μs的脉冲出现在其输出端。持续时间超过100 μs的任何输入脉冲可出现在毛刺滤波器模块的输出端。输出相对于输入延迟100 μs。滤波流程如图15所示。

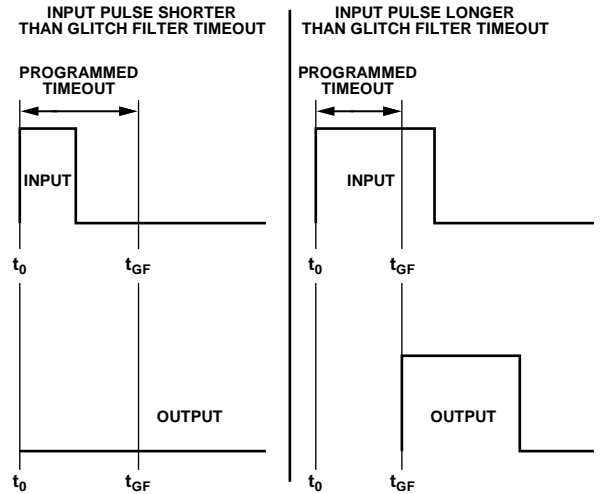


图15. 输入毛刺滤波器功能

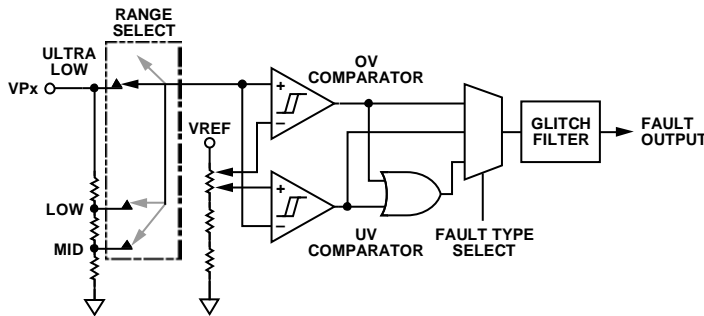


图16. 电源故障检测器模块

表6. 输入功能、阈值和范围

输入	功能	电压范围(V)	最大迟滞	电压分辨率(mV)	毛刺滤波器(μs)
VH	高电压模拟输入	2.5至6.0	425 mV	13.7	0至100
		6.0至14.4	1.02 V	32.9	0至100
VPx	正模拟输入	0.573至1.375	97.5 mV	3.14	0至100
		1.25至3.00	212 mV	6.8	0至100
		2.5至6.0	425 mV	13.7	0至100
VXx	高阻态模拟输入	0.573至1.375	97.5 mV	3.14	0至100
		0至5.0	不适用	不适用	0至100

用VXx输入进行电源监控

VXx输入具有两种功能，既可以用作电源故障检测器，也可以用作数字逻辑输入。作为模拟(SFD)输入时，VXx引脚的功能与VH和VPx引脚非常相似。主要差别在于，VXx引脚只有一个输入范围：0.573 V至1.375 V。因此，这些输入只能直接监控极低电源。不过，VXx引脚的输入阻抗较高，这使得可将一个外部电阻分压网络连接至该引脚。因而，有可能将任何电源经过分压降至VXx引脚的输入范围，并进行监控。这使得ADM1168可以监控其他电源，如+24 V、+48 V和-5 V。

当将VXx引脚选为数字输入时，还可提供另一种电源监控功能。此时，模拟功能用作专用模拟输入VPx和VH上的第二检测器。VX1的模拟功能映射至VP1，VX2映射至VP2，依此类推。VX4映射到VH。这种情况下，可将这些SFD看作辅助或报警SFD。

辅助SFD固定为与主SFD相同的输入范围。它们用于指示报警等级而非故障等级。这样，只需利用一个引脚就可以产生针对单个电源的故障和报警信号。例如，如果将VP1设为在3.3 V电源降至3.0 V时产生一个故障输出，则可以将VX1设为在3.1 V时产生一个报警输出。报警输出可以从状态寄存器回读。它们同样以“或”方式连在一起并馈入SE，使报警信号可以在PDO上产生中断。因此，在该例中，如果电源降至3.1 V，则将产生一个报警信号，从而让用户可以在电源降至耐受范围之外之前采取补救措施。

将VXx引脚用作数字输入

如“用VXX输入进行电源监控”部分中所述，ADM1168上的VXx输入引脚具有双重功能。第二种功能是充当器件的数字逻辑输入。因此，ADM1168可配置为最多拥有四路数字输入。这些输入为TTL/CMOS兼容型输入。这些引脚上可以施加标准逻辑信号：来自复位发生器的RESET、PWRGD信号、故障标志、手动复位等。这些信号充当SE的输入，因此可用来控制PDO的状态。输入可以配置为检测电平变化或边沿。

配置为电平检测时，数字模块的输出将为输入的缓冲版本。配置为边沿检测时，则检测到逻辑转换时，数字模块输出一个宽度可编程的脉冲。宽度范围为0 μ s至100 μ s。

数字模块具有与SFD相同的毛刺滤波器功能。借助该功能，用户可以忽略输入端的杂散跃迁。例如，滤波器可用于对手动复位开关进行去抖处理。

配置为数字输入时，各VXx引脚有一个较弱的(10 μ A)下拉电流源，用于使输入进入一种已知条件，即使悬空也是如此。该电流源(若选择)会将输入弱拉至GND。

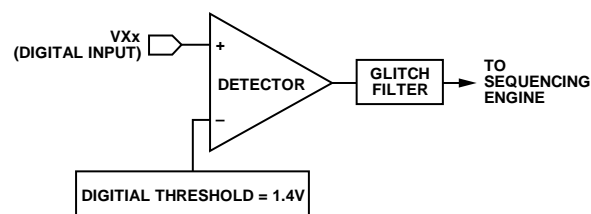


图17. VXx数字输入功能

09474-027

输出

通过可配置输出驱动器实现电源时序控制

对于ADM1168，电源时序控制通过将器件上的可编程驱动器输出(PDO)用作电源的控制信号来实现。输出驱动器可以用作逻辑使能或FET驱动器。

PDO置位(即电源接通)的顺序由时序控制引擎(SE)控制。SE根据ADM1168输入端的条件来确定要对PDO采取的操作。因此，可将PDO设置为在SFD处于耐受范围内、V_{Xx}数字引脚上接收到正确的输入信号以及未从器件任何输入收到报警信号时置位。PDO可用于多种功能。主要功能是为LDO或(在电路板本地产生电源的)DC-DC转换器提供使能信号。PDO也可以用来在所有SFD均处于耐受范围内时提供PWRGD信号，或者在其中一个SFD超出规格时提供RESET输出(这可用作DSP、FPGA或其它微控制器的状态信号)。

可以将PDO配置为上拉至多个不同的选项。输出可以编程为：

- 开漏(允许用户连接一个外部上拉电阻)
- 开漏，弱上拉至V_{DD}
- 开漏，强上拉至V_{DD}
- 开漏，弱上拉至VP_x
- 开漏，强上拉至VP_x
- 强下拉至GND
- 内部电荷泵提供的高驱动(12 V，仅PDO1至PDO6)

最后一个选项(仅在PDO1至PDO6上可用)允许用户将电压直接驱动到足够高的程度，以全面增强外部NFET；该NFET可以起到多种作用，例如将卡侧电压与背板电源隔离开(PDO可以向1 μA负载持续提供10.5 V以上的电压)。下拉开关也可用来直接驱动状态LED。

驱动各PDO的数据有三个来源。具体来源可以在PDO_x-CFG配置寄存器中使能(详见AN-721应用笔记)。

数据来源如下：

- SE的输出。
- 直接来自SMBus。经过适当配置，SMBus可以直接控制PDO。利用这一功能，可以通过软件控制PDO，这样就可以利用微控制器启动软件上电/关断序列。
- 片内时钟。器件产生一个100 kHz时钟。任何PDO都可以使用该时钟。它可以用来为外部器件提供时钟，如LED等。

默认输出配置

ADM1168器件出厂未编程时，所有内部寄存器均设为0。为此，需要通过一个较弱的(20 kΩ)、片内下拉电阻将PDO_x引脚拉至GND。

当ADM1168的输入电源在VP_x或VH端上斜坡时，所有PDO_x引脚的表现如下：

- 输入电源 = 0 V至1.2 V。PDO高阻抗。
- 输入电源 = 1.2 V至2.7 V。通过一个较弱的(20 kΩ)、片内下拉电阻将PDO拉至GND。
- 电源 > 2.7 V。工厂编程的器件通过一个较弱的(20 kΩ)、片内下拉电阻继续将所有PDO拉至GND。编程器件会下载当前的EEPROM配置数据，并锁存编程设置。然后，PDO进入配置要求的状态，在上电期间为PDO提供已知条件。

内部下拉电阻可通过从PDO_x引脚连接具有合适值的外部上拉电阻来过驱至所需上拉电压。计数合适时必须考虑20 kΩ电阻。例如，如果PDO_x必须上拉至3.3 V，而且有5 V外部电源可用，则上拉电阻的阻值可以由下式求出：

$$3.3 \text{ V} = 5 \text{ V} \times 20 \text{ k}\Omega / (R_{UP} + 20 \text{ k}\Omega)$$

因此，

$$R_{UP} = (100 \text{ k}\Omega - 66 \text{ k}\Omega) / 3.3 \text{ V} = 10 \text{ k}\Omega$$

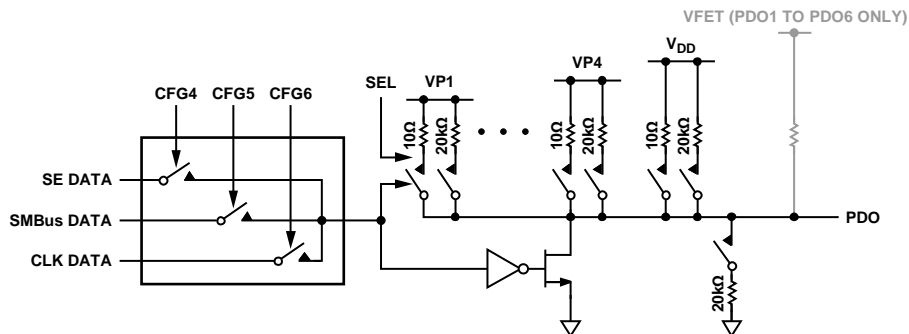


图18. 可编程驱动器输出

时序控制引擎

概述

ADM1168 SE为用户提供了一种强大而灵活的时序控制方式。SE对PDO输出实行状态机控制，状态变化以输入事件为条件。SE程序可以实现复杂的电路板控制，例如：上电和关断序列控制、故障事件处理、报警时产生中断等。SE程序中集成看门狗功能，以便检查处理器时钟是否持续正常工作。SE也可以通过SMBus进行控制，以便利用软件或固件控制电路板的电源时序。

SE状态机由63个状态单元构成。每个状态都具有下列属性：

- 监控8个输入引脚的状态信号：VP1至VP3、VH、VX1至VX4。
- 可以从任何其他状态进入该状态。
- 三条退出路径可使状态机变为下一状态：时序检测、故障监控和超时。
- 时序和超时模块的延迟定时器可以独立编程，并且可以随各种状态变化而改变。超时范围为0 ms至400 ms。
- 在一个状态之内，8个PDO引脚的输出状况是明确的，并且固定不变。
- 从一个状态到下一个状态的跃迁可在不到20 μ s的时间内完成，等于从EEPROM下载一个状态定义到SE所需的时间。

- 可以触发将黑盒故障和状态寄存器写入EEPROM的黑盒部分。

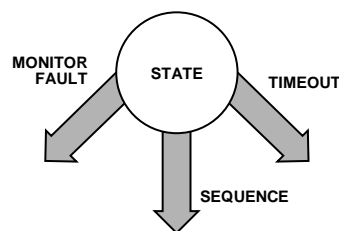


图19. 状态单元

09474-029

ADM1168提供多达63种状态定义。用于指示输入引脚状态的监控信号为SFD的输出。

报警

SE也可以监控报警。当ADC读数违反其限值寄存器值时，或者当VPx和VH上的辅助电压监控被触发时，就可产生这些报警。这些报警以“或”方式相连，并作为用于使能状态退出的三个模块各自的单一报警输入。

SMBus跳转(无条件跳转)

可以强制SE无条件进入下一状态。这使得用户可以强制SE继续。该功能有多种用途，比如进入余量控制状态或时序调试。SMBus跳转命令可以视为时序和超时模块的另一输入，用于提供一种退出各状态的方式。

表7. 时序状态条目示例

状态	时序	超时	监控
IDLE1	如果VX1为低电平，则进入状态IDLE2。	如果10 ms后VP2还有问题，则进入状态DIS3V3。	如果VP1有问题，则进入状态IDLE1。
IDLE2	如果VP1无问题，则进入状态EN3V3。		
EN3V3	如果VP2无问题，则进入状态EN2V5。	如果20 ms后VP3还有问题，则进入状态DIS2V5。	如果VP1或VP2有问题，则进入状态FSEL2。
DIS3V3	如果VX1为高电平，则进入状态IDLE1。		
EN2V5	如果VP3无问题，则进入状态PWRGD。	如果VP1或VP2有问题，则进入状态FSEL2。 如果VP1有问题，则进入状态IDLE1。 如果VP1、VP2或VP3有问题，则进入状态FSEL1。	
DIS2V5	如果VX1为高电平，则进入状态IDLE1。		
FSEL1	如果VP3有问题，则进入状态DIS2V5。		
FSEL2	如果VP2有问题，则进入状态DIS3V3。		
PWRGD	如果VX1为高电平，则进入状态DIS2V5。		

时序控制引擎应用示例

本部分的应用演示SE的工作原理。图21显示了如何利用简单的单SE状态构建模块来为一个三电源系统构建上电时序。表8列出了同一SE实现中各状态的PDO输出。在该系统中，启动上电时序所需的触发条件是VP1引脚上具有良好的5V电源且VX1引脚保持低电平。该时序接下来接通3.3V电源，然后再接通2.5V电源(假定3.3V电源已成功接通)。当所有三个电源均正确接通时，将进入PWRGD状态，此时，SE将保持不变，直到三个电源之一发生故障为止，或者直到通过将VX1变成高电平来指示进入关断时序为止。

在整个上电序列中，故障均独立处理。以下三部分(“时序检测器”、“监控故障检测器”和“超时检测器”)将分别介绍各模块，并利用图21所示的应用示例来演示状态机的行为。

时序检测器

时序检测器模块用于检测时序中某个步骤完成的时间。它检测SE输入之一改变状态，通常用作成功通过上电或关断时序的门极。该检测器内置一个定时器模块，后者可在必要时向上电或关断时序中插入延迟。定时器延迟可以在10 μs至400 ms范围内进行设置。图20为时序检测器的框图。

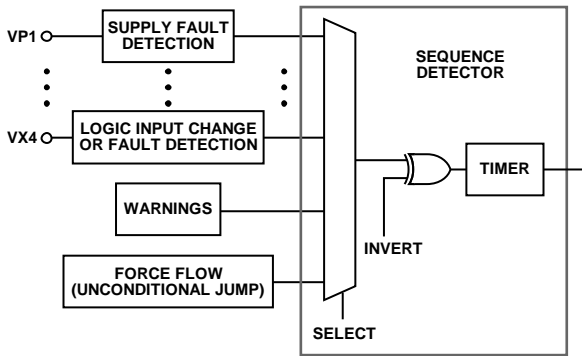


图20. 时序检测器框图

如果指定了定时器延迟，则时序检测器的输入必须在定时器延迟持续期间保持已定义状态。如果输入在延迟期间发生状态变化，则定时器复位。

时序检测器也有助于识别监控故障。在图21所示的应用示例中，FSEL1和FSEL2状态首先确定VP1、VP2和VP3引脚中的哪一个发生了故障，然后采取适当的操作。

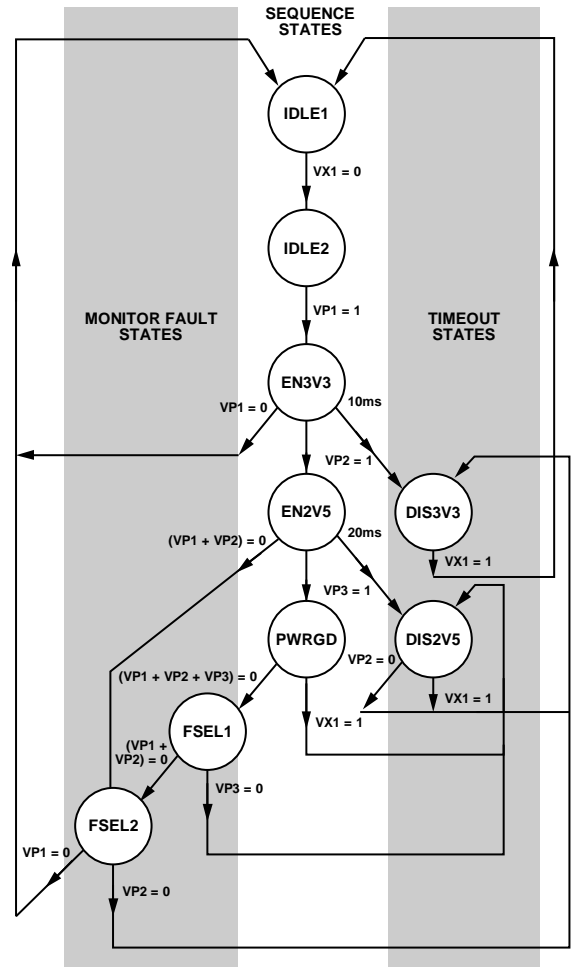


图21. 示例应用流程图

表8. 各状态的PDO输出

PDO输出	IDLE1	IDLE2	EN3V3	EN2V5	DIS3V3	DIS2V5	PWRGD	FSEL1	FSEL2
PDO1 = 3V3ON	0	0	1	1	0	1	1	1	1
PDO2 = 2V5ON	0	0	0	1	1	0	1	1	1
PDO3 = FAULT	0	0	0	0	1	1	0	1	1

监控故障检测器

监控故障检测器模块用于检测输入端上的故障。用于实现该检测器的逻辑功能是一个宽OR门极，可以检测到输入何时偏离预期条件。对于该模块的使用，最清楚的演示是在PWRGD状态下；此时，监控器模块指示一个或多个VPx、VXx或VH输入端上发生了故障。

该模块无可编程延迟，因为故障条件的触发有可能是由于电源超出耐受范围而导致的。这种情况下，器件需要尽快作出反应。不过，在退出该状态时会出现一定的延迟，因为将状态配置从EEPROM下载至SE需要一定的时间(~20 μs)。

图22为监控故障检测器的功能框图。

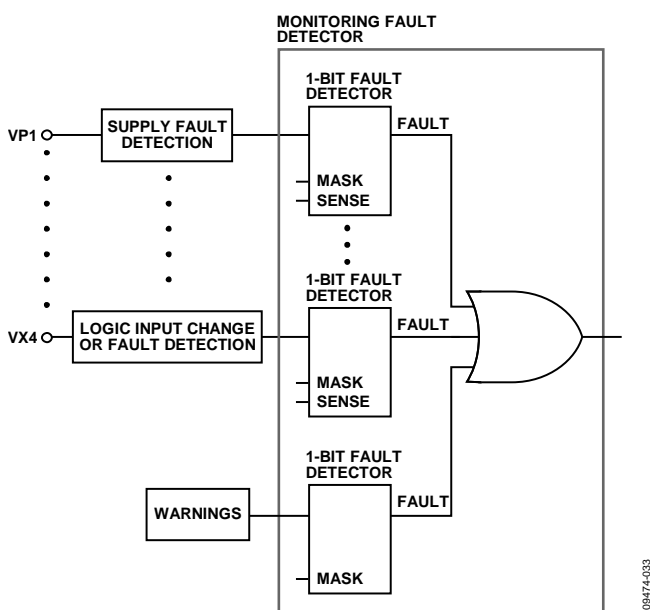


图22. 监控故障检测器框图

超时检测器

超时检测器允许用户控制住故障，以确保能够正常完成上电或关断时序。

在图21所示的应用示例中，超时的下一状态跃迁是从EN3V3和EN2V5状态开始。对于EN3V3状态，进入该状态时，PDO1输出引脚上的信号3V3ON置位，以接通3.3 V电源。

该供电轨连接至VP2引脚，时序检测器等待VP2引脚上升至其欠压阈值以上，该阈值由与该引脚相连的电源故障检测器(SFD)设置。

检测到该变化时，上电时序继续。但是，如果电源出现故障(可能是由于短路使该电源过载)，超时模块将控制住问题。在该例中，如果3.3 V电源在10 ms内发生故障，则SE将进入DIS3V3状态，并使PDO1变为低电平，从而关闭该电源。同时通过拉高PDO3，指示已发生故障。超时延迟的编程范围为100 μs至400 ms。

故障和状态报告

ADM1168有一个故障锁存，用于记录故障。FSTAT1和FSTAT2两个寄存器专门留出用于该目的。该器件的各路输入均分配了一个位，当该路输入上发生故障时，相应位即会置1。故障寄存器的内容可以通过SMBus读出，以确定哪路(些)输入发生故障。各状态下均可使能或禁用故障寄存器。若要将某个状态的数据锁存起来，则必须确保下一个状态已禁用该故障锁存。这样可以确保只捕获真正的故障，而不是上电或关断时序中可以存在的欠压条件等。

ADM1168还有多个状态寄存器。这些寄存器包含更为详细的信息，如特定输入上是存在欠压故障还是过压故障。状态寄存器还包含有关ADC限值故障的信息。

这些寄存器分为两组，分别具有不同的行为。第一组状态寄存器在任何情况下均不会锁存，因此可以根据输入上的变化而随时改变。这些寄存器提供以下信息，比如输入的UV和OV状态、GPI VXx输入的数字状态以及ADC报警限值状态等。

第二组寄存器则在每次时序控制引擎改变状态时都会进行更新，并在下次状态变化之前保持锁存。第二组寄存器与第一组提供的信息相同，但结构更为紧凑。其原因在于，这些寄存器由黑盒功能在将上一状态的信息写入EEPROM时使用。

有关ADM1168寄存器的完整详情，请参阅AN-721应用笔记。

非易失性黑盒故障记录功能

默认情况下，EEPROM中地址0xF900到地址0xF9FF的部分可用于存储用户定义的设置和信息。而这部分EEPROM中的一小部分(从地址0xF980到0xF9FF)用于存储最多16条故障记录。

任何时序控制引擎状态均可指定为黑盒写状态。每次时序控制引擎进入该状态时，均会向EEPROM写入一条故障记录。故障记录提供退出上一状态、进入指定黑盒写状态之前的整个ADM1168状态快照。故障记录包含以下信息：

- 一个标志位，在写入故障记录后设为0。
- 故障记录写状态之前上一状态的状态编号。
- 是时序、超时还是监控条件导致了上一状态退出？
- UVSTATx和OVSTATx输入比较器状态。
- VXx GPISTAT状态。
- LIMSTATx状态。
- 一个检验和字节。

ADM1168

每条故障记录均含有8个字节，每个字节通常需要约250 μs 写入EEPROM；因而，写入时间总计约2 ms。在黑盒开始向EEPROM中写入故障记录后，ADM1168确保在尝试写入任何其他故障记录之前该操作已完成。这意味着，如果连续时序控制引擎被指定为黑盒写状态，则必须在第一个状态中使用一定的时间延迟，以确保在进入下一状态之前完成故障记录写入。

当最初上电时，ADM1168会搜索尚未写入的第一条故障记录。其方法是检查各故障记录的标志位，直到发现标志位为1的故障记录为止。第一条故障记录存储在地址0xF980以及该地址后8字节的倍数处，而最后一条记录存储在地址0xF9F8处。

故障记录器只能写入EEPROM，而不能在写入故障记录之前擦除EEPROM。因此，为了确保操作的正确性，必须在使用前擦除故障记录EEPROM。当EEPROM中的所有故障记录位都已使用时，则将不再能够写入故障记录。这样可以确保任何级联故障的第一个故障均妥善保存，而不会被覆盖和出现丢失。

为了避免故障记录器被填满并防止故障记录丢失，可以利用一个应用程序来定期论询ADM1168，以确定是否需要读取故障记录。或者，可以利用PDOx输出之一来为故障记录写状态的处理器产生一个中断，以指示需要读取一个或多个故障记录。

正常操作期间，在读取故障记录之后，必须先做两件事，然后故障记录器才能重新利用EEPROM位置。首先，必须擦除EEPROM。然后，必须将故障记录器复位，以使其再次搜索EEPROM中可用于存储故障记录的第一个未用位置。

无外部电源时的黑盒写入

当所有输入电源均出现故障时，例如将线路卡从加电背板拆下，则可通过编程使状态机触发黑盒EEPROM写操作。ADM1168供电轨上的去耦电容以及电路板上的其它负载形成一个储能库。根据电路板上的其它负载以及其在供电轨下降时的行为，去耦电容可能带有足够的能量，能够让ADM1168写入一条完整的故障记录(8字节数据)。

通常，写入一个8字节故障记录需要2 ms。如果ADM1168采用VH引脚上的12 V电源供电，则可设置6 V的UV阈值，用来触发状态机开始向EEPROM写入故障记录。阈值越高，黑盒写操作开始得越早，去耦电容中的能量也就越多，从而保证写操作成功完成。

只要VH电源或连接至一个VPx引脚的另一电源在写操作期间保持在3.0 V以上，则始终能将故障记录完整写入EEPROM。许多情况下，电路板上应该有足够多的去耦电容，以便在ADM1168写入EEPROM时为其提供能量。

如果去耦电容无法在拆除电路板之后提供充足的能量，进而无法保障完整写入故障记录，则可提高VDDCAP上电容的值。最差情况下，假定外部去耦电容不向ADM1168提供能量，但VDDCAP上具有4.75 V电压，则一个47 μF 的电容即足以保证能够将一条完整的黑盒记录写入EEPROM。

应用框图

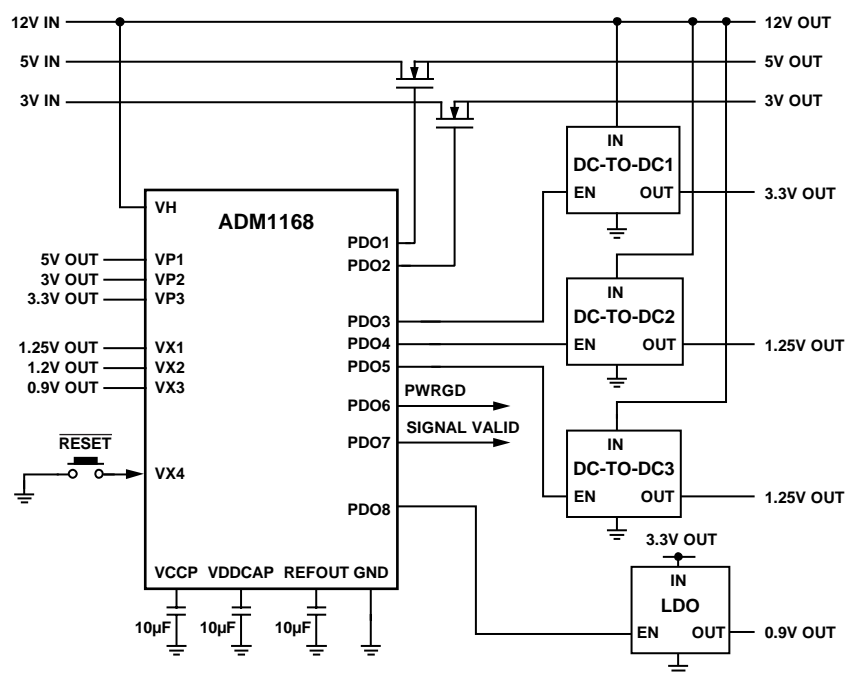


图23. 应用框图

09474-068

与ADM1168通信

上电时下载配置

ADM1168的配置(欠压/过压阈值、毛刺滤波器超时和PDO配置)取决于RAM的内容。RAM由器件上各功能的局部数字锁存构成。这些锁存采用双缓冲模式,有两个相同的锁存,即锁存A和锁存B。因此,当对功能进行更新时,锁存A的内容将先更新,然后用相同的数据更新锁存B的内容。这种架构的优势详见“更新配置”部分。

这两个锁存均为易失性存储器,关断时内容将丢失。因此,必须在上电时恢复RAM中的配置,其方法是将EEPROM(非易失性存储器)的内容下载到局部锁存中。下载步骤如下:

1. 器件未加电时, PDO全部为高阻抗。
2. 当连接至VDD仲裁器(VH或VPx)的任意输入端上出现1.2 V电源时, PDO将全部通过一个20 kΩ的电阻弱拉至GND。
3. 当电源上升到器件的欠压闭锁以上时(UVLO为2.5 V), EEPROM开始下载到RAM。
4. EEPROM将其内容下载到所有锁存A。
5. 当EEPROM的内容被完全下载到锁存A时, 器件控制器指示所有锁存A同时下载到所有锁存B, 从而完成配置下载。
6. 在配置下载完成0.5 ms后, 第一个状态定义从EEPROM下载到SE。

请注意, 下载完成之前, 若尝试与器件进行通信, 都会导致ADM1168产生一个不应答(NACK)信号。

更新配置

上电后, 当所有配置设置从EEPROM载入RAM寄存器时, 用户可能需要更改ADM1168上的功能配置, 例如更改SFD的欠压或过压限值、更改SFD的故障输出或调整PDO之一的上升时间延迟。

ADM1168提供多种方案, 让用户可以通过SMBus接口更新配置。以下三种方案在UPDCFG寄存器中进行控制。

方案1

实时更新配置。用户通过SMBus写入RAM, 配置立即更新。

方案2

更新锁存A, 而不更新锁存B。使用这种方法时, ADM1168的配置保持不变, 并继续以原始设置工作, 直到收到更新锁存B的指令为止。

方案3

更改EEPROM寄存器的内容而不更改RAM的内容, 然后将修改后的EEPROM内容下载到RAM寄存器。使用这种方法时, ADM1168的配置保持不变, 并继续以原始设置工作, 直到收到更新RAM的指令为止。

如果对配置修改不满意, 方案3中从EEPROM下载的指令也可用于恢复EEPROM原始内容。例如, 如果用户需要更改过压阈值, 可以更新RAM寄存器, 如“方案1”部分中所述。然而, 如果用户对更改不满意, 并希望恢复原始编程值, 则可以按照“方案3”部分中所述, 让器件控制器发出命令来将EEPROM的内容再次下载到RAM, 从而使ADM1168恢复原始配置。

ADM1168的拓扑结构使得这类操作成为可能。局部易失性寄存器(RAM)都是双缓冲锁存。通过将UPDCFG寄存器的位0置1, 可让双缓冲锁存始终保持开启, 从而允许在写入寄存器时对其进行连续更新。如果在通过SMBus进行RAM写操作时将其位0设为0, 则将仅写入双缓冲锁存的第一面。然后, 用户必须向UPDCFG寄存器的位1写入1。这样将产生一个脉冲, 以同时更新所有第二个锁存。EEPROM写操作与此类似。

该寄存器的最后一位可以使能或禁用EEPROM页面擦除。如果该位设为高电平, 则可将一个EEPROM页面的内容全部设为1。如果该位设为低电平, 则无法擦除页面的内容, 即使页面擦除命令代码是通过SMBus编程的。UPDCFG寄存器的位映射如AN-721应用笔记所示。图24所示为上电时下载以及后续配置更新的流程图。

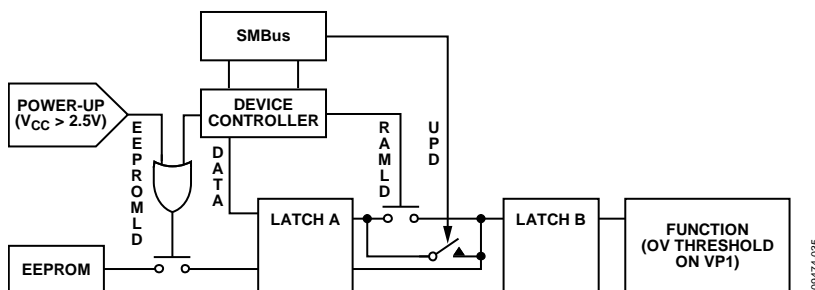


图24. 配置更新流程图

更新时序控制引擎

SE功能的更新方式与常规配置锁存不同。SE有自己专门的512字节EEPROM，用于存储状态定义和提供63个独立状态，每个状态各为一个64位字(一个状态保留)。上电时，第一个状态从SE EEPROM载入引擎本身。当该状态的条件达到时，下一个状态从EEPROM载入引擎，依此类推。每种新状态的加载大约需要10 μ s。

要更改状态，必须直接对EEPROM进行所需更改。并不存在针对各状态的RAM。必须对64位字进行相应更改，然后将该字直接上传至EEPROM。

内部寄存器

ADM1168包含许多数据寄存器。主要寄存器为地址指针寄存器和配置寄存器。

地址指针寄存器

地址指针寄存器包含用于选择其他内部寄存器之一的地址。写入ADM1168时，第一个字节的数据始终为一个寄存器地址，用于写入地址指针寄存器。

配置寄存器

配置寄存器控制和配置ADM1168的各种工作参数。详见[AN-721应用笔记](#)。

EEPROM

ADM1168有两个512字节的非易失性、可电擦除、可编程只读存储器(EEPROM)单元，位于地址0xF800至寄存器地址0xFBFF。EEPROM用于永久存储数据，这些数据在ADM1168关断时不会丢失。一个EEPROM单元(0xF800至0xF9FF)包含配置数据、用户信息和器件的任何故障记录(若使能)；另一部分(0xFA00至0xFBFF)则包含SE的状态定义。虽然称为只读存储器，但EEPROM支持读写，具体方式与其它寄存器一样都是利用串行总线。

EEPROM与其它寄存器之间的主要区别如下：

- 写入具体EEPROM位置之前，该位置必须为空。如果有数据，则必须首先擦除该数据。
- 写入EEPROM要比写入RAM慢。
- 应限制写入EEPROM的次数，因为其写入/寿命有限，一般可写1万次，这是EEPROM常见磨损机制造成的结果。

第一个EEPROM分成16页(0至15)，各为32个字节。第0页至第4页(地址0xF800到地址0xF89F)保存ADM1168上应用的配置数据(如SFD和PDO)。这些EEPROM地址与RAM寄存器地址相同，均以F8开头。第5页至第7页(地址0xF8A0至地址0xF8FF)保留不用。

第8页至第11页用于供用户存储其应用中可能需要的任何信息。用户可以在第12页至第15页中存储信息，或者如果用户决定使能写入不同状态的故障记录，也可以使用这些页来存储时序控制引擎写入的故障记录。

数据可以通过以下方式之一从EEPROM下载到RAM：

- 上电下载第0页至第4页时。
- 通过将UDOWNLD寄存器(0xD8)的位0置1，这将执行第0页至第4页的用户自定义下载。

使能时序控制引擎时，无法存取EEPROM中从地址0xFA00到地址0xFBFF的部分。要读写该范围，必须停止时序控制引擎。如果在时序控制引擎未停止时尝试读写该范围，则会产生一个不应答(NACK)信号。

能否读/写配置EEPROM范围(地址0xF800至地址0xF89F)和用户EEPROM范围(地址0xF900至地址0xF9FF)取决于是否使能了黑盒故障记录器。如果使能了故障记录器，并将一个或多个状态设置为故障记录触发状态，则除非首先停止黑盒，否则无法存取该范围内的任何EEPROM位置。当故障记录器在工作时，如果尝试读取或写入该EEPROM范围，器件会做出应答，但不会返回任何有用数据，也不会对EEPROM作出任何修改。

ADM1168

如果未将任何状态设为故障记录触发状态，则认为黑盒已禁用，此时无需停止黑盒故障记录器即可进行读/写操作。

串行总线接口

ADM1168通过串行系统管理总线(SMBus)进行控制，并作为从机连接到此总线来受主机控制。上电后，ADM1168从其EEPROM下载数据大约需要1 ms。因此，对ADM1168的存取受到限制，直到下载完成为止。

识别SMBus上的ADM1168

ADM1168有一个7位串行总线从机地址(见表9)。该器件由一个默认串行总线地址加电。该地址的五个MSB设为10001；两个LSB由引脚A1和引脚A0的逻辑状态决定。这使得可将四个ADM1168连接到一个SMBus。

表9. 串行总线从机地址

A1引脚	A0引脚	十六进制地址	7位地址 ¹
低电平	低电平	0x88	1000100x
低电平	高电平	0x8A	1000101x
高电平	低电平	0x8C	1000110x
高电平	高电平	0x8E	1000111x

¹ x = 读/写位。地址仅显示前7个MSB。

该器件还有几个标识寄存器(只读)，可通过SMBus读取。表10列出了这些寄存器的值和功能。

表10. 标识寄存器值和功能

名称	地址	值	功能
MANID	0xF4	0x41	ADI公司的制造商ID
REVID	0xF5	0x10	芯片版本
MARK1	0xF6	0x00	软件品牌
MARK2	0xF7	0x00	软件品牌

通用SMBus时序

图25、26和27为通用SMBus读写操作的时序图。SMBus规范定义了针对不同类型读写操作的具体条件，详见“写操作”和“读操作”部分。

通用SMBus协议按以下三步工作。

步骤1

主机通过建立起始条件而启动数据传输；起始条件定义为在串行时钟线(SCL)保持高电平时，串行数据线(SDA)发生高低转换。这样，随后就会发生数据流。所有连接至串行总线的从外设器件都对起始条件做出响应，并在接下来包括一个7位从机地址(MSB优先)加一个R/ \overline{W} 位的8个位中移位。读写位决定数据传输的方向，即数据写入还是读取从机(0 = 写，1 = 读)。

地址对应于发送地址的外设做出响应，在第9个时钟脉冲(称为应答位)之前的低电平期间将数据线拉低，并在此时钟脉冲的高电平期间使之保持低电平。

在选定器件等待读写数据期间，总线上的所有其它器件保持空闲状态。如果R/ \overline{W} 位为0，则主机对从机写入。如果R/ \overline{W} 位为1，则主机读取从机。

步骤2

数据按9个时钟脉冲(8个数据位后跟1个来自从机的应答位)的顺序通过串行总线发送。数据线上的数据转换必须发生在时钟信号的低电平期间，并且在高电平期间保持稳定，因为在时钟为高电平期间发生的低到高转换可能被解读为停止信号。如果操作为写操作，则从机地址之后的第一个数据字节是命令字节，该命令字节告知从机接下来会发生什么。它可能是一个指令，告知从机接下来会发生块写入，或者是一个寄存器地址，告知从机将后续数据写入何处。数据只能沿R/ \overline{W} 位所规定的一个方向流动，因此无法在读操作期间向从机发送命令。执行读操作之前，有时需要执行一个写操作，告知从机会发生何种读操作以及从何地址读取数据。

步骤3

读取或写入所有数据字节之后，停止条件随即建立。在写入模式下，主机在第10个时钟脉冲期间拉高数据线，以置位停止条件。在读取模式下，主机在第9个时钟脉冲前的低电平期间释放SDA线，但从机不拉低数据线，这称为不应答。主机随后在第10个时钟脉冲前的低电平期间拉低数据线，然后在第10个时钟脉冲期间拉高数据线，以置位停止条件。

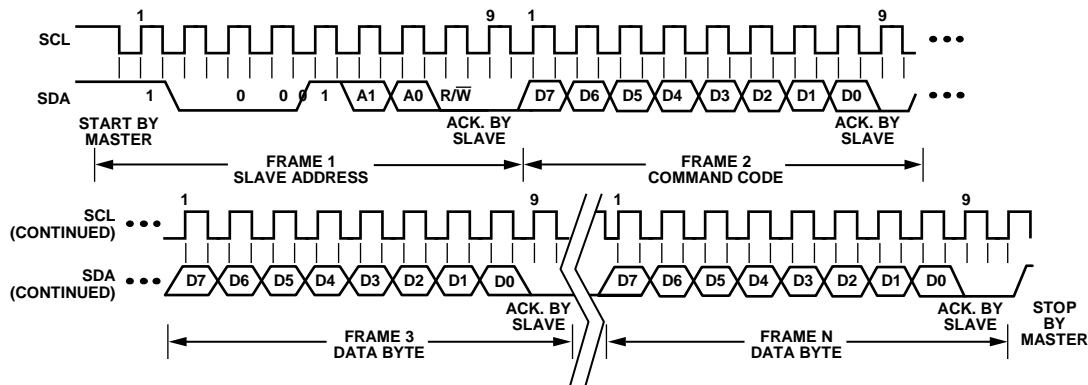


图25. 通用SMBus写操作时序图

09474-036

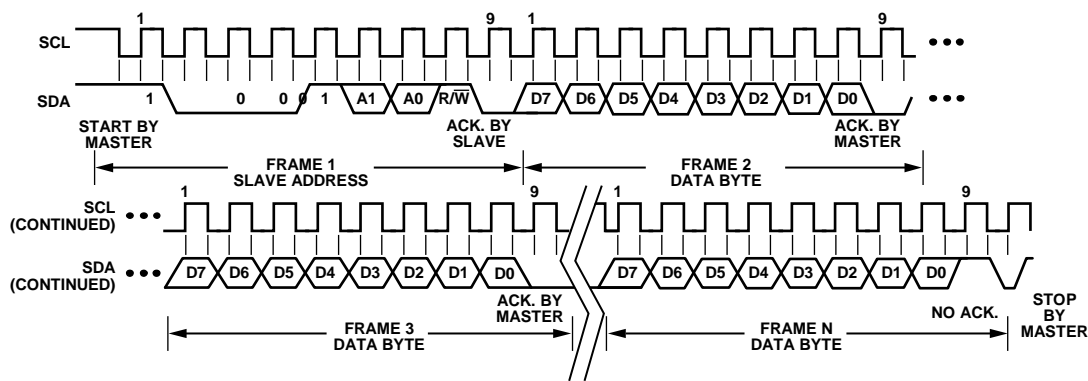


图26. 通用SMBus读操作时序图

09474-037

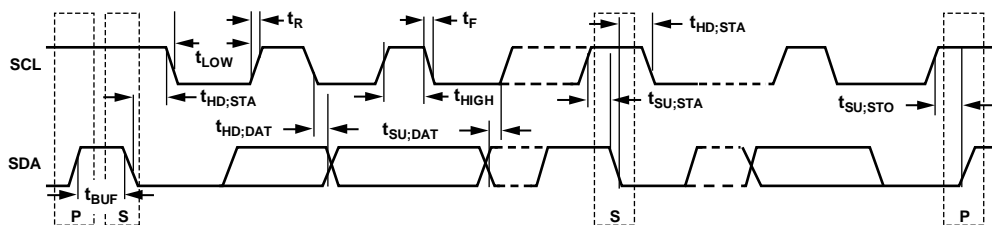


图27. 串行总线时序图

09474-038

ADM1168

针对RAM和EEPROM的SMBus协议

ADM1168含有易失性寄存器(RAM)和非易失性寄存器(EEPROM)。用户RAM占用从地址0x00到地址0xDF的位置；EEPROM占用从地址0xF800到地址0xFBFF的位置。

可以单数据字节格式向RAM和EEPROM写入数据，也可从两者读取数据。只能将数据写入未编程EEPROM位置。要将新数据写入已编程位置，则必须先擦除该位置的内容。EEPROM擦除不能在字节层次进行。EEPROM排列为32页，各为32个字节，必须擦除整页。

页面擦除通过将UPDCFG寄存器的位2(地址0x90)设为1来使能。如果该位未置1，则即使通过SMBus对命令字节(0xFE)进行编程，则无法进行页面擦除。

写操作

SMBus规范针对不同类型的读写操作规定了多种协议。图28至图36中用到了以下缩写：

- S = 开始
- P = 停止
- R = 读取
- W = 写入
- A = 应答
- \bar{A} = 不应答

ADM1168使用以下SMBus写协议。

发送字节

在发送字节操作中，主机向从机发送一个单命令字节，如下所示：

1. 主机在SDA上置位起始条件。
2. 主机发送7位从机地址以及写入位(低)。
3. 具有相应地址的从机在SDA上置位应答(ACK)。
4. 主机发送一个命令代码。
5. 从机在SDA上置位应答(ACK)。
6. 主机在SDA上置位停止条件，处理结束。

在ADM1168中，发送字节协议用于两种目的：

- 向RAM写入一个寄存器地址，以接下来从同一地址读取一个单字节，或者从该地址开始块读取或块写入，如图28所示。

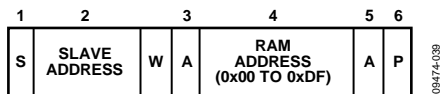


图28. 为后续读操作设置一个RAM地址

- 擦除EEPROM存储器的一个页面。EEPROM存储器只能在未编程时写入。写入已编程的一个或多个EEPROM存储器位置之前，必须先擦除包含这些位置的页面。EEPROM存储器通过写入一个命令字节来擦除。

主机发送一个命令代码，告知从机擦除页面。ADM1168用于页面擦除的命令代码是0xFE (1111 1110)。请注意，要进行页面擦除，必须在前一个写字处理中给出页面地址(详见“写字节/字”部分)。另外，UPDCFG寄存器的位2(地址0x90)必须设为1。参见图29。

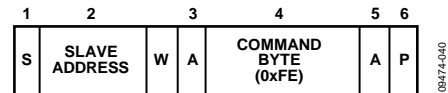


图29. EEPROM页面擦除

ADM1168一接收到命令字节，即开始页面擦除。主机一发送命令字节，即可发送停止命令。页面擦除大约需要20 ms。如果在擦除完成前存取ADM1168，则会返回不应答(NACK)信号。

写字节/字

在写字节/字操作中，主机向从机发送一个命令字节和一两个数据字节，如下所示：

1. 主机在SDA上置位起始条件。
2. 主机发送7位从机地址以及写入位(低)。
3. 地址指向的从机在SDA上置位应答(ACK)。
4. 主机发送一个命令代码。
5. 从机在SDA上置位应答(ACK)。
6. 主机发送一个数据字节。
7. 从机在SDA上置位应答(ACK)。
8. 主机发送一个数据字节或置位停止条件。
9. 从机在SDA上置位应答(ACK)。
10. 主机在SDA上置位停止条件以结束处理。

在ADM1168中，写字节/字协议用于三种目的：

- 向RAM写入单字节数据。这种情况下，命令字节的范围为从RAM地址0x00到RAM地址0xDF，唯一的数据字节为实际数据，如图30所示。

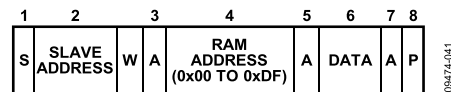


图30. 对RAM进行单字节写入

- 设置一个2字节EEPROM地址，用于后续的读取、写入、块读取、块写入或页面擦除等操作。这种情况下，命令字节为高字节，即从EEPROM地址0xF8到EEPROM地址0xFB。唯一的数据字节为EEPROM地址的低字节，如图31所示。

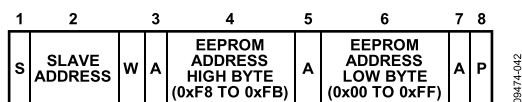


图31. 设置EEPROM地址

由于一页面由32个字节构成，因此页面擦除中重要的只有地址低字节的三个MSB。EEPROM地址低字节的低五位指定页面中的地址，在页面擦除过程中将被忽略。

- 向EEPROM写入单字节数据。这种情况下，命令字节为高字节，即从EEPROM地址0xF8到EEPROM地址0xFB。第一个数据字节为EEPROM地址的低字节，第二个数据字节为实际数据，如图32所示。

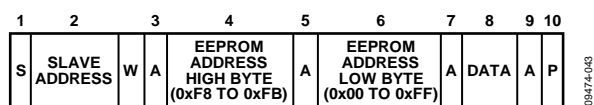


图32. 对EEPROM进行单字节写入

块写入

在块写入操作中，主机向从机写入一个数据块，如图34所示。块写入的起始地址必须事先设置。在ADM1168中，发送字节操作设置RAM地址，写字节/字操作设置EEPROM地址，如下所示：

1. 主机在SDA上置位起始条件。
2. 主机发送7位从机地址以及写入位(低)。
3. 地址指向的从机在SDA上置位应答(ACK)。
4. 主机发送一个命令代码，告知从机将发生块写入。
ADM1168用于块写入的命令代码是0xFC (1111 1100)。
5. 从机在SDA上置位应答(ACK)。
6. 主机发送一个数据字节，告知从机将发送多少个数据字节。SMBus规范允许一次块写入最多32个数据字节。
7. 从机在SDA上置位应答(ACK)。
8. 主机发送N个数据字节。
9. 每发送一个数据字节后，从机在SDA上置位应答(ACK)。
10. 主机在SDA上置位停止条件以结束处理。

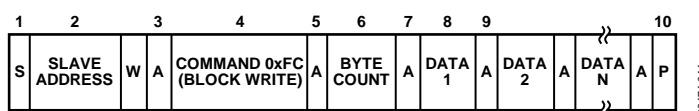


图34. 对EEPROM或RAM进行块写入

有些EEPROM器件将块写入限制在一页之内，与之不同，在以下情况之外，在向EEPROM执行块写入时，对起始地址无限制：

- 从起始地址到最高EEPROM地址(0xFBFF)，必须至少有N个位置，以避免写入无效地址。
- 地址跨越一页界限。这种情况下，必须在编程前擦除这两页。

请注意，ADM1168有一种时钟扩展功能，用于写入EEPROM。编程一个EEPROM字节大约需要250 μs，这就限制了重复操作或块写入操作的SMBus时钟。ADM1168在不能接受任何其他数据时，将SCL拉低并扩展时钟脉冲。

读操作

ADM1168使用以下SMBus读取协议。

接收字节

在接收字节操作中，主机从从机接收一个单字节，如下所示：

1. 主机在SDA上置位起始条件。
2. 主机发送7位从机地址以及读取位(高)。
3. 地址指向的从机在SDA上置位应答(ACK)。
4. 主机接收一个数据字节。
5. 主机在SDA上置位不应答(NACK)。
6. 主机在SDA上置位停止条件，处理结束。

在ADM1168中，接收字节协议用于从RAM或EEPROM位置(其地址已先由一个发送字节或写字节/字操作设置)读取单字节数据，如图33所示。

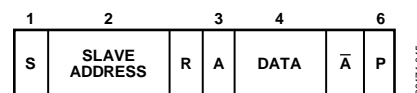


图33. 对EEPROM或RAM进行单字节读取

ADM1168

块读取

此块读取中，主机从从机读取一个数据块。块读取的起始地址必须事先设置。在ADM1168中，其方法如下：发送字节操作设置RAM地址，写字节/字操作设置EEPROM地址。块读取操作本身包括一个发送字节操作(向从机发送一个块读取命令)，紧随其后的是一个重复起始和读取操作(读出多个数据字节)，如下所示：

1. 主机在SDA上置位起始条件。
2. 主机发送7位从机地址以及写入位(低)。
3. 地址指向的从机在SDA上置位应答(ACK)。
4. 主机发送一个命令代码，告知从机将发生块读取。
ADM1168用于块读取的命令代码是0xFD (1111 1101)。
5. 从机在SDA上置位应答(ACK)。
6. 主机在SDA上置位重复起始条件。
7. 主机发送7位从机地址以及读取位(高)。
8. 从机在SDA上置位应答(ACK)。
9. ADM1168发送一个字节读数数据字节，告知主机要读多少个数据字节。ADM1168始终返回32个数据字节 (0x20)，这是SMBus 1.1规范允许的最大限值。
10. 主机在SDA上置位应答(ACK)。
11. 主机接收32个数据字节。
12. 每接收一个数据字节后，主机在SDA上置位应答(ACK)。
13. 主机在SDA上置位停止条件以结束处理。参见图35。

纠错

ADM1168提供一种选项，可在写入RAM、写入EEPROM、块写入RAM/EEPROM或从RAM/EEPROM进行块读取之后，发出一个分组差错校验(PEC)字节。该选项允许用户检验ADM1168接收或发来的数据是否正确。PEC字节是在将最后一个数据字节写入ADM1168或者从中读取最后一个数据字节之后发送的一个可选字节。协议规定的第1步至第12步与块读取相同，其他步骤如下：

13. ADM1168向主机发送一个PEC字节。主机校验PEC字节，如果PEC字节不正确，将发出另一个块读取。
14. 在PEC字节之后，产生不应答(NACK)，表示读取结束。
15. 主机在SDA上置位停止条件以结束处理。

请注意，PEC字节用CRC-8计算。根据以下多项式，帧检查序列(FCS)符合CRC-8：

$$C(x) = x^8 + x^2 + x^1 + 1$$

详见SMBus 1.1规范。

带可选PEC字节的块读取示例如图36所示。

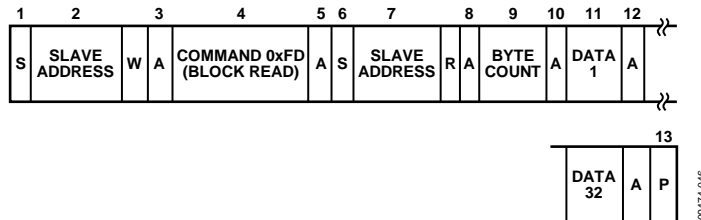


图35. 对EEPROM或RAM进行块读取

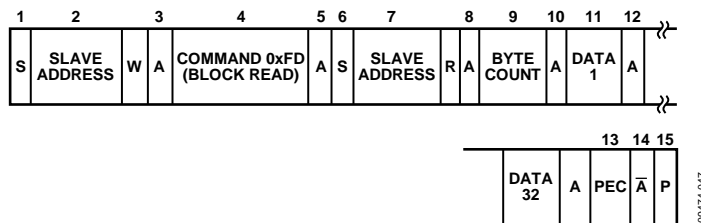
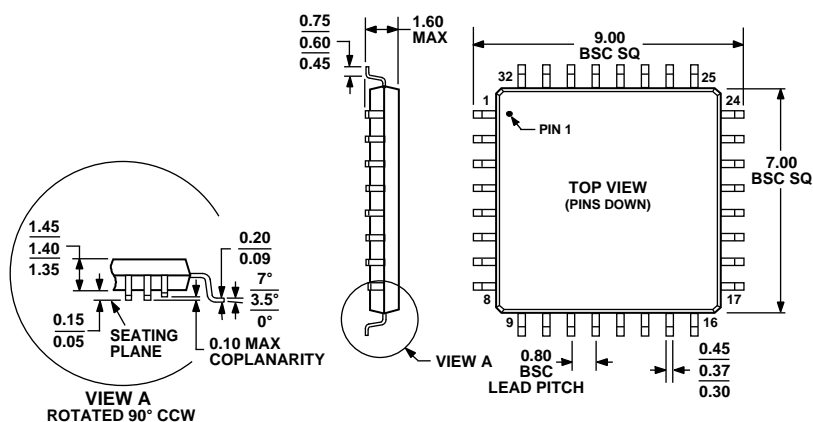


图36. 对EEPROM或RAM进行块读取(带PEC)

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-BBA

图37. 32引脚薄型四方扁平封装[LQFP]

(ST-32-2)

尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADM1168ASTZ	-40°C至+85°C	32引脚薄型四方扁平封装[LQFP]	ST-32-2
ADM1168ASTZ-RL7	-40°C至+85°C	32引脚薄型四方扁平封装[LQFP]	ST-32-2
EVAL-ADM1168LQEBZ		评估板	

¹ Z = 符合RoHS标准的器件。

注释