

产品特性

12-bit分辨率和单调性

用于热管理的动态电源控制

电流和电压输出引脚可连接到一个引脚

电流输出范围：0 mA至20 mA、4 mA至20 mA和0 mA至24 mA

总不可调整误差(TUE)：±0.1%(最大值)

电压输出范围(含20%超量程)：0 V至5 V、0 V至10 V、±5 V
和±10 V

总不可调整误差(TUE)：±0.09%(最大值)

用户可编程失调与增益

片内诊断

片内基准电压源：±10 ppm/°C(最大值)

温度范围：-40°C至+105°C

应用

过程控制

致动器控制

PLC(可编程控制器)

概述

AD5735是一款四通道、电压和电流输出DAC，采用-26.4 V至+33V电源供电。在电流模式下，片内动态电源控制功

能可以最大限度地降低封装功耗。利用为实现片内功耗最低而优化的DC-DC升压转换器，可以在7.4 V至29.5 V范围内调节输出驱动器的电压，从而降低功耗。

AD5735采用多功能三线式串行接口，能够以最高30MHz的时钟速率工作，并与标准SPI、QSPI™、MICROWIRE®、DSP和微控制器接口标准兼容。该串行接口还提供可选的CRC-8分组错误校验功能，以及用于监控接口活动的看门狗定时器。

产品特点

1. 用于热管理的动态电源控制
2. 12-bit性能
3. 四通道

配套产品

产品系列：[AD5755](#)、[AD5755-1](#)、[AD5757](#)、[AD5737](#)

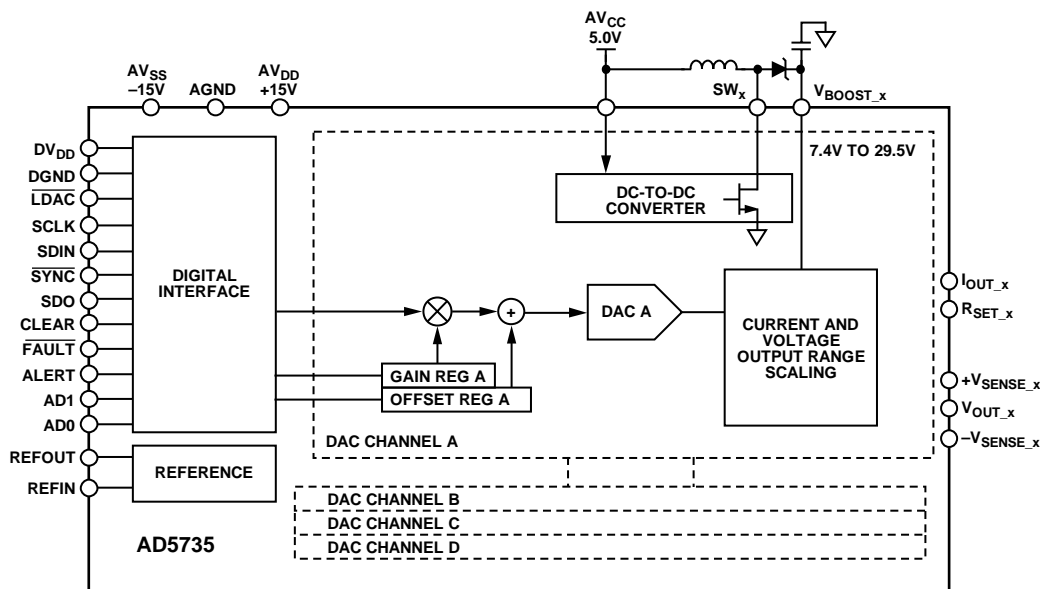
外部基准电压源：[ADR445](#)、[ADR02](#)

数字隔离器：[ADuM1410](#)、[ADuM1411](#)

电源：[ADP2302](#)、[ADP2303](#)

欲了解更多配套产品，请访问[AD5735产品页面](#)

功能框图



NOTES
1. x = A, B, C, OR D.

图1.

09861-100

Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

www.analog.com

Fax: 781.461.3113 ©2011–2012 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	控制寄存器.....	34
应用.....	1	回读操作.....	37
概述.....	1	产品特性.....	39
产品特点.....	1	故障输出.....	39
配套产品.....	1	电压输出短路保护.....	39
功能框图.....	1	数字失调和增益控制.....	39
修订历史.....	2	写入期间回读状态.....	39
详细功能框图.....	3	异步清零.....	40
技术规格.....	4	分组差错校验.....	40
交流工作特性.....	7	看门狗定时器.....	40
时序特性.....	8	报警输出.....	40
绝对最大额定值.....	11	内部基准电压源.....	40
热阻.....	11	外部电流设置电阻.....	40
ESD警告.....	11	数字压摆率控制.....	41
引脚配置和功能描述.....	12	动态功率控制.....	41
典型性能参数.....	15	DC-DC转换器.....	42
电压输出.....	15	AI _{CC} 电源要求—静态.....	43
电流输出.....	19	AI _{CC} 电源要求—压摆率.....	43
DC-DC转换器.....	23	应用信息.....	45
基准电压源.....	24	在同一引脚上输出电压和电流.....	45
概述.....	25	采用内部RSET的电流输出模式.....	45
术语.....	26	精密基准电压源的选择.....	45
工作原理.....	28	驱动感性负载.....	46
DAC架构.....	28	瞬变电压保护.....	46
AD5735的上电状态.....	29	微处理器接口.....	46
串行接口.....	29	布局指南.....	46
传递函数.....	29	电流隔离接口.....	47
寄存器.....	30	外形尺寸.....	48
使能输出.....	31	订购指南.....	48
数据寄存器.....	32		
		更改“AD5735的上电状态”部分.....	29
		更改“回读操作”部分.....	37
		2011年7月—修订版0：初始版	
修订历史			
2012年5月—修订版A至修订版B			
更改图2.....	3		
2011年11月—修订版0至修订版A			
为表1的输出特性和电流输出精度参数添加注释.....	4		

详细功能框图

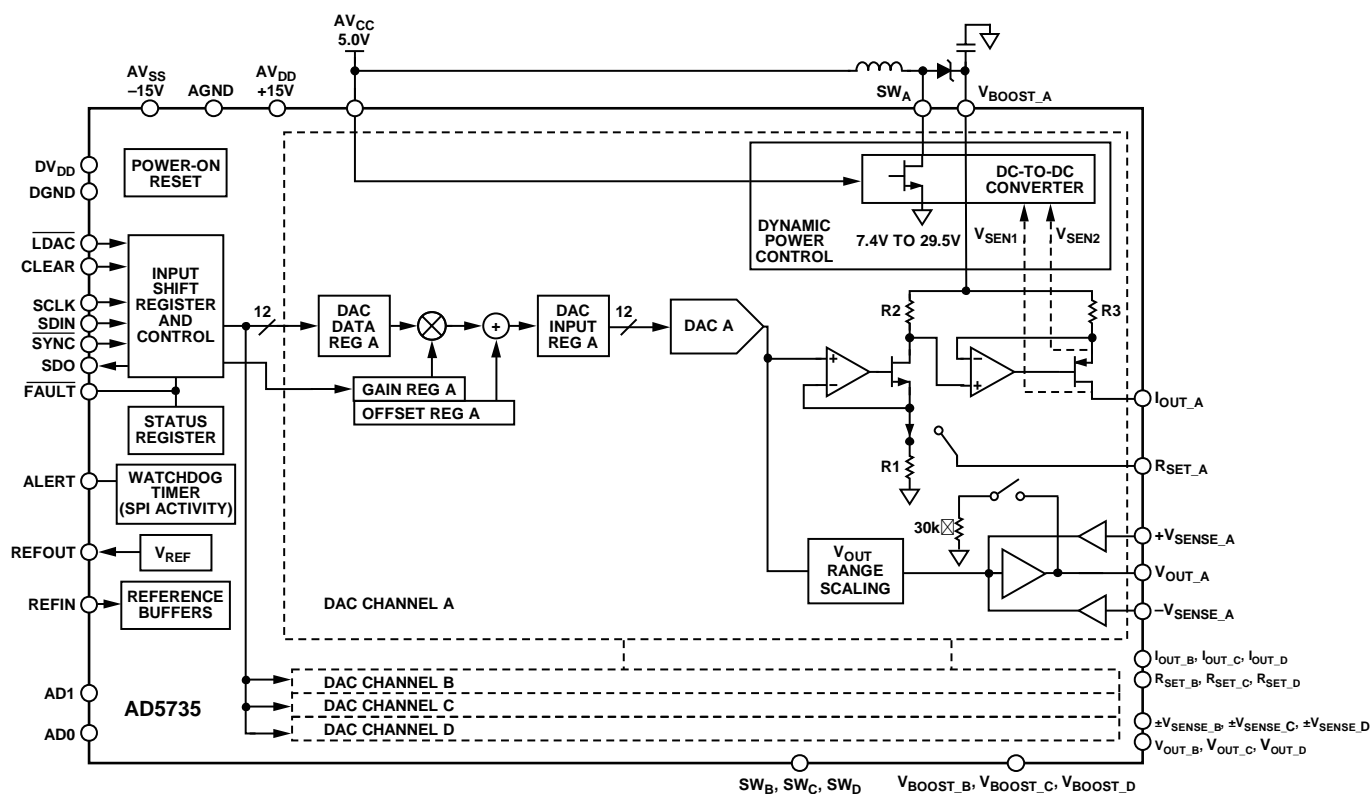


图2

09585-001

技术规格

$AV_{DD} = V_{BOOST_X} = 15\text{ V}$; $AV_{SS} = -15\text{ V}$; $DV_{DD} = 2.7\text{ V}$ 至 5.5 V ; $AV_{CC} = 4.5\text{ V}$ 至 5.5 V ; DC-DC转换器禁用; $AGND = DGND = GND$
 $SW_X = 0\text{ V}$; $REFIN = 5\text{ V}$; 电压输出: $R_L = 1\text{ k}\Omega$, $C_L = 220\text{ pF}$; 电流输出: $R_L = 300\ \Omega$; 除非另有说明, 所有规格均为
 T_{MIN} 至 T_{MAX} 。

表1.

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
电压输出					
输出电压范围	0		5	V	
	0		10	V	
	-5		+5	V	
	-10		+10	V	
	0		6	V	
	0		12	V	
	-6		+6	V	
	-12		+12	V	
分辨率	12			Bits	
电压输出精度					
总不可调整误差(TUE)	-0.09	±0.012	+0.09	% FSR	范围: 0V至5V、0V至10V、±5V、±10V
	-0.13	±0.05	+0.13	% FSR	超量程时(0V至6V、0V至12V、±6V、±12V)
TUE长期稳定性		35		ppm FSR	1000小时后漂移, $T_J = 150^\circ\text{C}$
相对精度(NL)	-0.032	±0.006	+0.032	% FSR	
差分非线性(DNL)	-1		+1	LSB	保证单调性
零刻度误差	-0.05	±0.004	+0.05	% FSR	电压范围: 0V至5V、0V至10V
	-0.08	±0.004	+0.08	% FSR	超量程时(0V至6V、0V至12V)
零刻度 TC^2		±2		ppm FSR/ $^\circ\text{C}$	
双极性零误差	-0.05	±0.003	+0.05	% FSR	电压范围: ±5V、±10V
	-0.08	±0.03	+0.08	% FSR	超量程时(±6V、±12V)
双极性零刻度 TC^2		±2		ppm FSR/ $^\circ\text{C}$	
失调误差	-0.065	±0.005	+0.065	% FSR	范围: 0V至5V、0V至10V、±5V、±10V
	-0.09	±0.03	+0.09	% FSR	超量程时(0V至6V、0V至12V、±6V、±12V)
失调 TC^2		±2		ppm FSR/ $^\circ\text{C}$	
增益误差	-0.08	±0.004	+0.08	% FSR	范围: 0V至5V、0V至10V、±5V、±10V
	-0.15	±0.004	+0.15	% FSR	超量程时(0V至6V、0V至12V、±6V、±12V)
增益 TC^2		±3		ppm FSR/ $^\circ\text{C}$	
满刻度误差	-0.09	±0.01	+0.09	% FSR	范围: 0V至5V、0V至10V、±5V、±10V
	-0.13	±0.05	+0.13	% FSR	超量程时(0V至6V、0V至12V、±6V、±12V)
满刻度 TC^2		±2		ppm FSR/ $^\circ\text{C}$	
电压输出特性 ²					
上裕量		1	2.2	V	相对于 V_{BOOST} 电源电压
下裕量		1	1.4	V	相对于 AV_{SS} 电源电压
输出电压漂移与时间的关系		20		ppm FSR	1000小时后漂移, $\frac{1}{4}$ 刻度输出, $T_J = 150^\circ\text{C}$, $AV_{SS} = -15\text{ V}$
短路电流	12/6	16/8		mA	用户可编程, 默认值为16 mA(典型值)。
阻性负载	1			k Ω	额定性能
容性负载稳定性			10	nF	
			2	μF	连接220 pF外部补偿电容
直流输出阻抗		0.06		Ω	
直流电源抑制比		50		$\mu\text{V}/\text{V}$	
直流串扰		24		μV	
电流输出					
输出电流范围	0		24	mA	
	0		20	mA	
	4		20	mA	
分辨率	12			Bits	

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
电流输出精度 (外部R _{SET})					假设为理想电阻, 更多信息参见“外部电流设置电阻”部分。
总不可调整误差(TUE)	-0.1	±0.019	+0.1	% FSR	
TUE长期稳定性		100		ppm FSR	1000小时后漂移, T _J = 150°C
相对精度(INL)	-0.032	±0.006	+0.032	% FSR	
差分非线性(DNL)	-1		+1	LSB	保证单调性
失调误差	-0.1	±0.012	+0.1	% FSR	
失调误差漂移 ²		±4		ppm FSR/°C	
增益误差	-0.1	±0.004	+0.1	% FSR	
增益TC ²		±3		ppm FSR/°C	
满刻度误差	-0.1	±0.014	+0.1	% FSR	
满刻度TC ²		±5		ppm FSR/°C	
直流串扰		0.0005		% FSR	外部R _{SET}
电流输出精度 (内部R _{SET})					
总不可调整误差(TUE) ^{3,4}	-0.14	±0.022	+0.14	% FSR	
TUE长期稳定性		180		ppm FSR	1000小时后漂移, T _J = 150°C
相对精度(INL)	-0.032	±0.006	+0.032	% FSR	
差分非线性(DNL)	-1		+1	LSB	保证单调性
失调误差 ^{3,4}	-0.1	±0.017	+0.1	% FSR	
失调误差漂移 ²		±6		ppm FSR/°C	
增益误差	-0.12	±0.004	+0.12	% FSR	
增益TC ²		±9		ppm FSR/°C	
满刻度误差 ^{3,4}	-0.14	±0.02	+0.14	% FSR	
满刻度TC ²		±14		ppm FSR/°C	
直流串扰 ⁴		-0.011		% FSR	内部R _{SET}
电流输出 特性 ²					
电流环路顺从电压		V _{BOOST_X} - 2.4	V _{BOOST_X} - 2.7	V	
输出电流漂移与时间的关系		90		ppm FSR	1000小时后漂移, ¾刻度输出, T _J = 150°C
阻性负载		140	1000	ppm FSR Ω	外部R _{SET} 内部R _{SET}
直流输出阻抗		100		MΩ	DC-DC转换器的最大负载为1 kΩ, 选择时不超过合规要求即可; 参见图51和表28中的DC-DC MaxV位。
直流电源抑制比		0.02	1	μA/V	
基准电压输入/输出 基准输入 ²					
基准输入电压	4.95	5	5.05	V	额定性能
直流输入阻抗	45	150		MΩ	
基准输出					
输出电压	4.995	5	5.005	V	T _A = 25°C
基准TC ²	-10	±5	+10	ppm/°C	
输出噪声(0.1 Hz至10 Hz) ²		7		μV p-p	
噪声频谱密度 ²		100		nV/√Hz	10 kHz时
输出电压漂移与时间的关系 ²		180		ppm	1000小时后漂移, T _J = 150°C
容性负载 ²		1000		nF	
负载电流		9		mA	见图62
短路电流		10		mA	
电压调整率 ²		3		ppm/V	见图63
负载调整率 ²		95		ppm/mA	见图62
热滞 ²		160		ppm	第一温度周期
		5		ppm	第二温度周期

AD5735

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
DC-DC转换器					
开关					
开关导通电阻		0.425		Ω	
开关漏电流		10		nA	
峰值电流限制		0.8		A	
振荡器					
振荡器频率	11.5	13	14.5	MHz	该振荡器经分频后， 为DC-DC转换器提供开关频率 410 kHz DC-DC开关频率
最大占空比		89.6		%	
数字输入 ²					符合JEDEC标准
输入高电压 V_{IH}	2			V	
输入低电压 V_{IL}			0.8	V	
输入电流	-1		+1	μA	每引脚
引脚电容		2.6		pF	每引脚
数字输出 ²					
SDO、ALERT引脚					
输出低电压 V_{OL}			0.4	V	吸电流200 μA
输出高电压 V_{OH}	$DV_{DD} - 0.5$			V	源电流200 μA
高阻抗漏电流	-1		+1	μA	
高阻抗输出 电容		2.5		pF	
FAULT ³ 引脚					
输出低电压 V_{OL}		0.6	0.4	V	10 kΩ上拉电阻，至 DV_{DD}
输出高电压 V_{OH}	3.6			V	2.5 mA时
输出高电压 V_{OH}				V	10 kΩ上拉电阻，至 DV_{DD}
电源要求					
AV_{DD}	9		33	V	
AV_{SS}	-26.4		-10.8	V	
DV_{DD}	2.7		5.5	V	
AV_{CC}	4.5		5.5	V	
AI_{DD}		8.6	10.5	mA	所有通道均为电压输出模式，输出端无负载， 电源电压范围内
AI_{SS}		7	7.5	mA	所有通道均为电流输出模式
AI_{SS}	-11	-8.8		mA	所有通道均为电压输出模式，输出端无负载， 电源电压范围内
DI_{CC}		9.2	11	mA	所有通道均为电流输出模式
AI_{CC}			1	mA	$V_{IH} = DV_{DD}$ ， $V_{IL} = DGND$ ，内部振荡器处于运行 状态，电源电压范围内
I_{BOOST}^5			2.7	mA	输出端无负载，电源电压范围内
I_{BOOST}^5			1	mA	每通道，电压输出模式，输出端无负载， 电源电压范围内
功耗		173		mW	每通道，电流输出模式
					$AV_{DD} = 15 V$ ， $AV_{SS} = -15 V$ ，DC-DC转换器使能， 电流输出模式，输出禁用

¹ 温度范围：-40°C至+105°C；+25°C(典型值)。

² 通过设计和特性保证，但未经生产测试。

³ 对于采用内部 R_{SET} 的电流输出，失调、满量程和TUE测量不包括直流串扰。测量时所有四个通道使能并且加载相同代码。

⁴ 欲了解有关直流串扰的更多信息，请参见“使用内部RSET的电流输出模式”部分。

⁵ 图53至图56中的效率曲线图包含 I_{BOOST} 静态电流。

交流工作特性

$AV_{DD} = V_{BOOST_X} = 15\text{ V}$; $AV_{SS} = -15\text{ V}$; $DV_{DD} = 2.7\text{ V}$ 至 5.5 V ; $AV_{CC} = 4.5\text{ V}$ 至 5.5 V ; DC-DC转换器禁用; $AGND = DGND = GND$; $SW_X = 0\text{ V}$; $REFIN = 5\text{ V}$; 电压输出: $R_L = 2\text{ k}\Omega$, $C_L = 220\text{ pF}$; 电流输出: $R_L = 300\ \Omega$; 除非另有说明, 所有规格均为 T_{MIN} 至 T_{MAX} 。

表2.

参数 ¹	最小值	典型值	最大值	单位	测试条件/注释
电压输出动态性能					
输出电压建立时间		11	18	μs	5 V阶跃至 $\pm 0.03\%$ FSR, 0 V至5 V范围
压摆率		1.9		V/ μs	10 V阶跃至 $\pm 0.03\%$ FSR, 0 V至10 V范围
上电毛刺能量		150		nV-sec	0 V至10 V范围
数模转换毛刺能量		6		nV-sec	
毛刺脉冲峰值幅度		25		mV	
数字馈通		1		nV-sec	
DAC间串扰		2		nV-sec	0 V至10 V范围
输出噪声(0.1 Hz至10 Hz带宽)		0.01		LSB 峰峰值	12-bit LSB, 0 V至10 V范围
输出噪声频谱密度		150		nV/ $\sqrt{\text{Hz}}$	测量条件: 10 kHz、中间电平输出、0 V至10 V范围
交流电源抑制比		83		dB	200 mV、50 Hz/60 Hz正弦波叠加于电源电压上
电流输出动态性能					
输出电流建立时间		15	参见测试条件/注释	μs ms	至0.1% FSR, 电流范围: 0 mA至24 mA 有关使用DC-DC转换器时的建立时间, 请参见图47、图48和图49
输出噪声(0.1 Hz至10 Hz带宽)		0.01		LSB 峰峰值	12-bit LSB, 0 mA至24 mA范围
输出噪声频谱密度		0.5		nA/ $\sqrt{\text{Hz}}$	测量条件: 10 kHz、中间电平输出、0 mA至24 mA范围

¹ 通过设计和特性保证, 但未经生产测试。

AD5735

时序特性

$AV_{DD} = V_{BOOST_X} = 15\text{ V}$; $AV_{SS} = -15\text{ V}$; $DV_{DD} = 2.7\text{ V}$ 至 5.5 V ; $AV_{CC} = 4.5\text{ V}$ 至 5.5 V ; DC-DC转换器禁用; $AGND = DGND = GND$ $SW_X = 0\text{ V}$; $REFIN = 5\text{ V}$; 电压输出: $R_L = 1\text{ k}\Omega$, $C_L = 220\text{ pF}$; 电流输出: $R_L = 300\ \Omega$; 除非另有说明, 所有规格均为 T_{MIN} 至 T_{MAX} °。

表3.

参数 ^{1,2,3}	在 T_{MIN} 、 T_{MAX} 的限值	单位	描述
t_1	33	ns(最小值)	SCLK周期时间
t_2	13	ns(最小值)	SCLK高电平时间
t_3	13	ns(最小值)	SCLK低电平时间
t_4	13	ns(最小值)	\overline{SYNC} 下降沿到SCLK下降沿建立时间
t_5	13	ns(最小值)	第24/32个SCLK下降沿到 \overline{SYNC} 上升沿(参见图76)
t_6	198	ns(最小值)	\overline{SYNC} 高电平时间
t_7	5	ns(最小值)	数据建立时间
t_8	5	ns(最小值)	数据保持时间
t_9	20	μs (最小值)	\overline{SYNC} 上升沿到 \overline{LDAC} 下降沿 (全部DAC更新, 或者任意通道使能数字压摆率控制)
	5	μs (最小值)	\overline{SYNC} 上升沿到 \overline{LDAC} 下降沿(单个DAC更新)
t_{10}	10	ns(最小值)	\overline{LDAC} 低电平脉冲宽度
t_{11}	500	ns(最大值)	\overline{LDAC} 下降沿到DAC输出响应时间
t_{12}	见表2	μs (最大值)	DAC输出建立时间
t_{13}	10	ns(最小值)	CLEAR高电平时间
t_{14}	5	μs (最大值)	CLEAR激活时间
t_{15}	40	ns(最大值)	SCLK上升沿到SDO有效
t_{16}			\overline{SYNC} 上升沿到DAC输出响应时间($\overline{LDAC} = 0$)
	21	μs (最小值)	全部DAC更新
	5	μs (最小值)	单个DAC更新
t_{17}	500	ns(最小值)	\overline{LDAC} 下降沿到 \overline{SYNC} 上升沿
t_{18}	800	ns(最小值)	\overline{RESET} 脉冲宽度
t_{19}^4			\overline{SYNC} 高电平到下一个 \overline{SYNC} 低电平(使能数字压摆率控制)
	20	μs (最小值)	全部DAC更新
	5	μs (最小值)	单个DAC更新

¹ 通过设计和特性保证, 但未经生产测试。

² 所有输入信号均指定 $t_{RISE} = t_{FALL} = 5\text{ ns}$ (10%至90% DV_{DD})并从1.2 V电平起开始计时。

³ 参见图3、图4、图5和图6。

⁴ 此特性适用于 \overline{LDAC} 在写周期保持低电平时; 否则参见 t_9 。

时序图

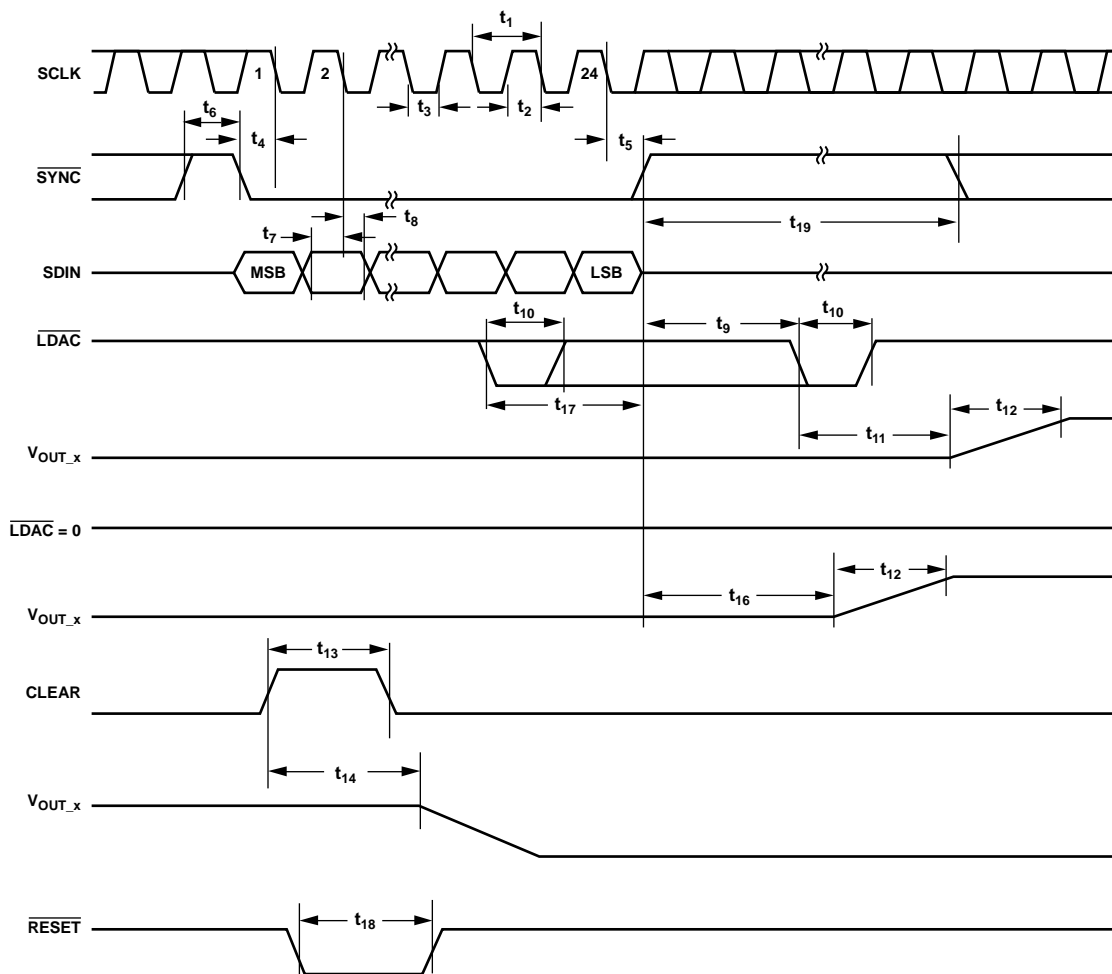


图3. 串行接口时序图

09981-002

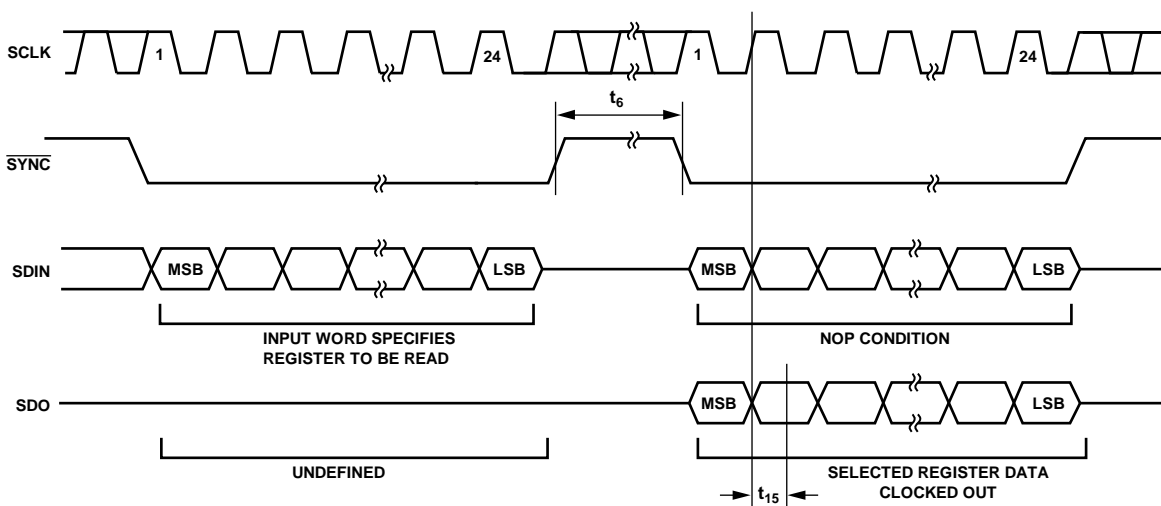


图4. 回读时序图

09981-003

AD5735

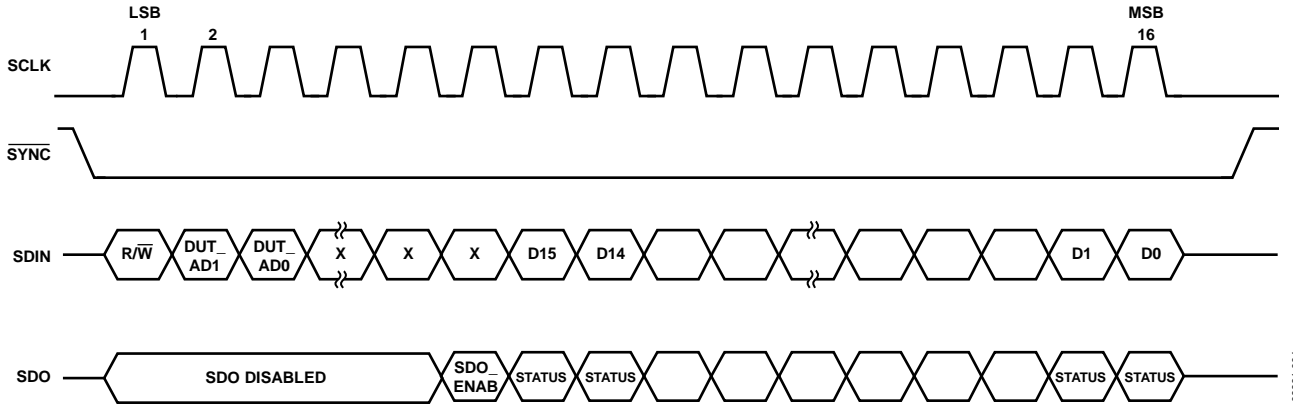


图5. 写入期间回读状态、时序图

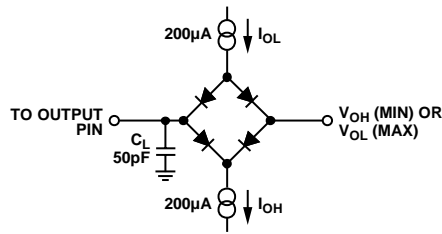


图6. SDO时序图负载电路

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。100 mA以下的瞬态电流不会造成SCR闩锁。

表4.

参数	额定值
V_{DD} 、 V_{BOOST_x} 至AGND、DGND	-0.3 V至+33 V
V_{SS} 至AGND、DGND	+0.3 V至-28 V
V_{DD} 至 V_{SS}	-0.3 V至+60 V
V_{CC} 至AGND	-0.3 V至+7 V
DV_{DD} 至DGND	-0.3 V至+7 V
数字输入至DGND	-0.3 V至 $DV_{DD} + 0.3 \text{ V}$ 或+7 V (取较小者)
数字输出至DGND	-0.3 V至 $DV_{DD} + 0.3 \text{ V}$ 或+7 V (取较小者)
REFIN、REFOUT至AGND	-0.3 V至 $V_{DD} + 0.3 \text{ V}$ 或+7 V (取较小者)
V_{OUT_x} 至AGND	V_{SS} 至 V_{BOOST_x} 或33 V (若使用DC-DC转换器)
$+V_{SENSE_x}$ 、 $-V_{SENSE_x}$ 至AGND	V_{SS} 至 V_{BOOST_x} 或33 V (若使用DC-DC转换器)
I_{OUT_x} 至AGND	V_{SS} 至 V_{BOOST_x} 或33 V (若使用DC-DC转换器)
SW_x 至AGND	-0.3 V至+33 V
AGND、 $GNDSW_x$ 至DGND	-0.3 V至+0.3 V
工作温度范围(T_A) 工业 ¹	-40°C至+105°C
存储温度范围	-65°C至+150°C
结温(T_J 最大值)	125°C
功耗	$(T_{J \text{ max}} - T_A)/\theta_{JA}$
引脚温度	JEDEC工业标准
焊接	J-STD-020

¹ 为使结温低于125°C，必须降低芯片额定功耗。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

结至空气热阻(θ_{JA})针对JEDEC 4层测试板而规定。

表5. 热阻

封装类型	θ_{JA}	单位
64引脚LFCSP (CP-64-3)	20	°C/W

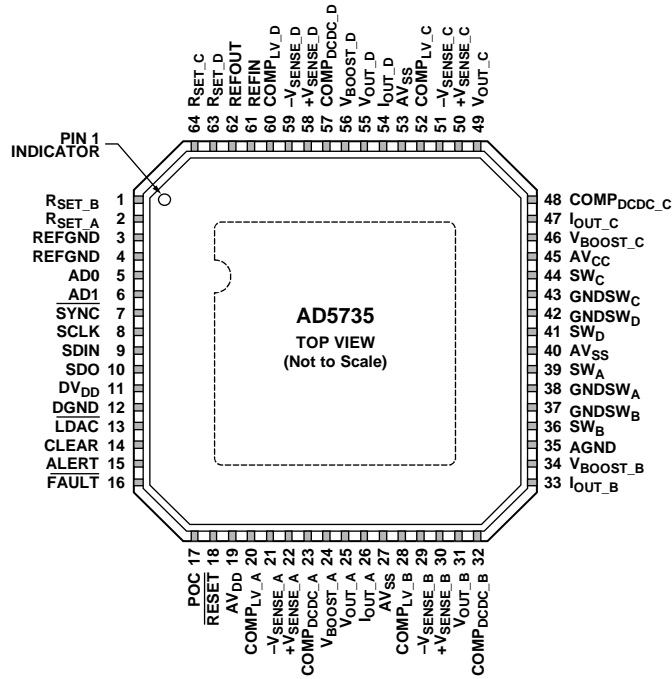
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
 1. THE EXPOSED PADDLE SHOULD BE CONNECTED TO THE POTENTIAL OF THE AVSS PIN, OR, ALTERNATIVELY, IT CAN BE LEFT ELECTRICALLY UNCONNECTED. IT IS RECOMMENDED THAT THE PADDLE BE THERMALLY CONNECTED TO A COPPER PLANE FOR ENHANCED THERMAL PERFORMANCE.

图7. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	描述
1	RSET_B	可将一个外部精密、低漂移、15 kΩ电流设置电阻连接到此引脚，提高I _{OUT_B} 温度漂移性能。更多信息请参见“外部电流设置电阻”部分。
2	RSET_A	可将一个外部精密、低漂移、15 kΩ电流设置电阻连接到此引脚，提高I _{OUT_A} 温度漂移性能。更多信息请参见“外部电流设置电阻”部分。
3	REFVDD	内部基准电压源的地基准点。
4	REFVDD	内部基准电压源的地基准点。
5	AD0	片上待测器件(DUT)的地址解码引脚。
6	AD1	片上DUT的地址解码引脚。
7	SYNC	串行接口的帧同步信号。低电平输入有效。SYNC为低电平时，数据在SCLK下降沿读入输入移位寄存器。
8	SCLK	串行时钟输入。数据在SCLK下降沿读入输入移位寄存器。串行接口工作时钟速度最高达30 MHz。
9	SDIN	串行数据输入。数据必须在SCLK的下降沿有效。
10	SDO	串行数据输出。用于以回读模式从串行寄存器输出数据(参见图4和图5)。
11	DVDD	数字电源引脚。电压范围为2.7 V至5.5 V。
12	DGND	数字地。
13	LDAC	加载DAC。此低电平有效输入用于更新DAC寄存器和DAC输出。当LDAC永久接为低电平时，在SYNC的上升沿更新寻址DAC数据寄存器。如果LDAC在写入周期保持高电平，DAC输入寄存器会更新，但DAC输出仅在LDAC的下降沿才会更新(参见图3)。利用该模式可以同时更新所有模拟输出。LDAC引脚不能悬空。
14	CLEAR	高电平有效边沿敏感输入。此引脚置位时，输出电流和电压设置为已编程的清零代码位。只有已使能清零功能的通道才会被清零。更多信息请参见“异步清零”部分。当CLEAR功能激活时，不能向DAC输出寄存器写入数据。

引脚编号	引脚名称	描述
15	ALERT	高电平有效输出。当接口引脚在预设时间内无SPI活动时，该引脚将被置位。详见“报警输出”部分。
16	FAULT	低电平有效、开漏输出。检测到以下任一条件时此引脚置位低电平：电流模式下开路；电压模式下短路；PEC误差；或过温条件(参见“故障输出”部分)。
17	POC	上电条件。此引脚决定上电条件，在上电期间及器件复位后读取。如果POC = 0，则器件上电时，其电压和电流通道均为三态模式。如果POC = 1，则器件上电时，电压输出通道上有一个接地的30 kΩ下拉电阻，电流通道为三态模式。
18	RESET	硬件复位，低电平有效输入。
19	AV _{DD}	正模拟电源引脚。电压范围为9V至33V。
20	COMP _{LV_A}	V _{OUT_A} 输出缓冲的可选补偿电容连接。在此引脚与V _{OUT_A} 引脚之间连接一个220 pF电容允许电压输出驱动最高2 μF。应注意，增加此电容会降低输出放大器的带宽，从而增加建立时间。
21	-V _{SENSE_A}	V _{OUT_A} 负电压输出负载连接的检测连接。为保证实现额定工作性能，此引脚必须保持在地电压的±3.0 V范围内。
22	+V _{SENSE_A}	V _{OUT_A} 正电压输出负载连接的检测连接。此引脚与V _{OUT_A} 引脚间的电压差异直接加到裕量要求中。
23	COMP _{DCDC_A}	DC-DC补偿电容。应将一个10 nF电容连接在此引脚与地之间。用于调节通道A DC-DC转换器的反馈环路。或者，当采用外部补偿电阻时，将一个电阻与一个电容串联起来，然后连接在此引脚与地之间。更多信息请参见“DC-DC转换器补偿电容”部分和“AI _{CC} 电源要求—压摆率”部分。
24	V _{BOOST_A}	通道A电流输出级的电源引脚(见图71)。此引脚也是V _{OUT_A} 级的电源，由DC-DC转换器调节至15 V。若要使用DC-DC转换器，须如图77所示连接此引脚。
25	V _{OUT_A}	DAC通道A的缓冲模拟输出电压。
26	I _{OUT_A}	DAC通道A的电流输出引脚。
27	AV _{SS}	负模拟电源引脚。电压范围为-10.8 V至-26.4 V。
28	COMP _{LV_B}	V _{OUT_B} 输出缓冲的可选补偿电容连接。在此引脚与V _{OUT_B} 引脚之间连接一个220 pF电容允许电压输出驱动最高2 μF。应注意，增加此电容会降低输出放大器的带宽，从而增加建立时间。
29	-V _{SENSE_B}	V _{OUT_B} 负电压输出负载连接的检测连接。为保证实现额定工作性能，此引脚必须保持在地电压的±3.0 V范围内。
30	+V _{SENSE_B}	V _{OUT_B} 正电压输出负载连接的检测连接。此引脚与V _{OUT_B} 引脚间的电压差异直接加到裕量要求中。
31	V _{OUT_B}	DAC通道B的缓冲模拟输出电压。
32	COMP _{DCDC_B}	DC-DC补偿电容。应将一个10 nF电容连接在此引脚与地之间。用于调节通道B DC-DC转换器的反馈环路。或者，当采用外部补偿电阻时，将一个电阻与一个电容串联起来，然后连接在此引脚与地之间。更多信息请参见“DC-DC转换器补偿电容”部分和“AI _{CC} 电源要求—压摆率”部分。
33	I _{OUT_B}	DAC通道B的电流输出引脚。
34	V _{BOOST_B}	通道B电流输出级的电源引脚(见图71)。此引脚也是V _{OUT_B} 级的电源，由DC-DC转换器调节至15 V。若要使用DC-DC转换器，须如图77所示连接此引脚。
35	AGND	模拟电路的地参考点。此引脚必须连接到0 V。
36	SW _B	通道B DC-DC电路的开关输出引脚。若要使用DC-DC转换器，须如图77所示连接此引脚。
37	GNDSW _B	DC-DC开关电路的地连接引脚。此引脚应始终连接到地。
38	GNDSW _A	DC-DC开关电路的地连接引脚。此引脚应始终连接到地。
39	SW _A	通道A DC-DC电路的开关输出引脚。若要使用DC-DC转换器，须如图77所示连接此引脚。
40	AV _{SS}	负模拟电源引脚。电压范围为-10.8 V至-26.4 V。
41	SW _D	通道D DC-DC电路的开关输出引脚。若要使用DC-DC转换器，须如图77所示连接此引脚。
42	GNDSW _D	DC-DC开关电路的地连接引脚。此引脚应始终连接到地。
43	GNDSW _C	DC-DC开关电路的地连接引脚。此引脚应始终连接到地。
44	SW _C	通道C DC-DC电路的开关输出引脚。若要使用DC-DC转换器，须如图77所示连接此引脚。

AD5735

引脚编号	引脚名称	描述
45	AV _{CC}	DC-DC电路的电源引脚。电压范围为4.5 V至5.5 V。
46	V _{BOOST_C}	通道C电流输出级的电源引脚(见图71)。此引脚也是V _{OUT_C} 级的电源, 由DC-DC转换器调节至15 V。若要使用DC-DC转换器, 须如图77所示连接此引脚。
47	I _{OUT_C}	DAC通道C的电流输出引脚。
48	COMP _{DCDC_C}	DC-DC补偿电容。应将一个10 nF电容连接在此引脚与地之间。用于调节通道C DC-DC转换器的反馈环路。或者, 当采用外部补偿电阻时, 将一个电阻与一个电容串联起来, 然后连接在此引脚与地之间。更多信息请参见“DC-DC转换器补偿电容”部分和“AI _{CC} 电源要求—压摆率”部分。
49	V _{OUT_C}	DAC通道C的缓冲模拟输出电压。
50	+V _{SENSE_C}	V _{OUT_C} 正电压输出负载连接的检测连接。此引脚与V _{OUT_C} 引脚间的电压差异直接加到裕量要求中。
51	-V _{SENSE_C}	V _{OUT_C} 负电压输出负载连接的检测连接。为保证实现额定工作性能, 此引脚必须保持在地电压的±3.0 V范围内。
52	COMP _{LV_C}	V _{OUT_C} 输出缓冲的可选补偿电容连接。在此引脚与V _{OUT_C} 引脚之间连接一个220 pF电容允许电压输出驱动最高2 μF。应注意, 增加此电容会降低输出放大器的带宽, 从而增加建立时间。
53	AV _{SS}	负模拟电源引脚。电压范围为-10.8 V至-26.4 V。
54	I _{OUT_D}	DAC通道D的电流输出引脚。
55	V _{OUT_D}	DAC通道D的缓冲模拟输出电压。
56	V _{BOOST_D}	通道D电流输出级的电源引脚(见图71)。此引脚也是V _{OUT_D} 级的电源, 由DC-DC转换器调节至15 V。若要使用DC-DC转换器, 须如图77所示连接此引脚。
57	COMP _{DCDC_D}	DC-DC补偿电容。应将一个10 nF电容连接在此引脚与地之间。用于调节通道D DC-DC转换器的反馈环路。或者, 当采用外部补偿电阻时, 将一个电阻与一个电容串联起来, 然后连接在此引脚与地之间。更多信息请参见“DC-DC转换器补偿电容”部分和“AI _{CC} 电源要求—压摆率”部分。
58	+V _{SENSE_D}	V _{OUT_D} 正电压输出负载连接的检测连接。此引脚与V _{OUT_D} 引脚间的电压差异直接加到裕量要求中。
59	-V _{SENSE_D}	V _{OUT_D} 负电压输出负载连接的检测连接。为保证实现额定工作性能, 此引脚必须保持在地电压的±3.0 V范围内。
60	COMP _{LV_D}	V _{OUT_D} 输出缓冲的可选补偿电容连接。在此引脚与V _{OUT_D} 引脚之间连接一个220 pF电容允许电压输出驱动最高2 μF。应注意, 增加此电容会降低输出放大器的带宽, 从而增加建立时间。
61	REFIN	外部基准电压输入。
62	REFOUT	内部基准电压输出。建议在REFOUT与REFGND之间放置一个0.1 μF电容。
63	R _{SET_D}	可将一个外部精密、低漂移、15 kΩ电流设置电阻连接到此引脚, 提高I _{OUT_D} 温度漂移性能。更多信息请参见“外部电流设置电阻”部分。
64	R _{SET_C}	可将一个外部精密、低漂移、15 kΩ电流设置电阻连接到此引脚, 提高I _{OUT_C} 温度漂移性能。更多信息请参见“外部电流设置电阻”部分。
	EPAD	裸露焊盘。裸露焊盘应连接到AV _{SS} 引脚电位, 或者可不进行电气连接。建议将焊盘热连接到铜层, 增强散热性能。

典型工作特性

电压输出

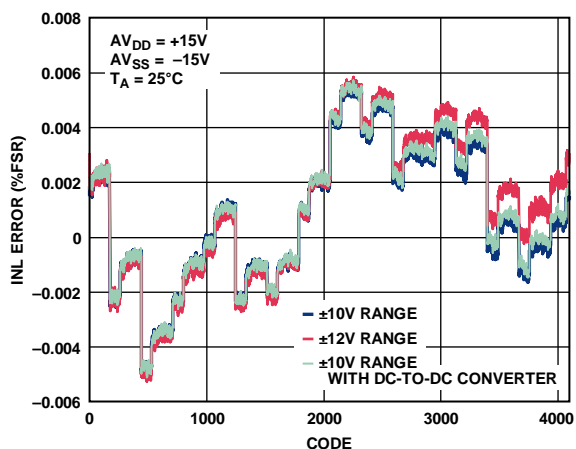


图8. 积分非线性误差与DAC代码的关系

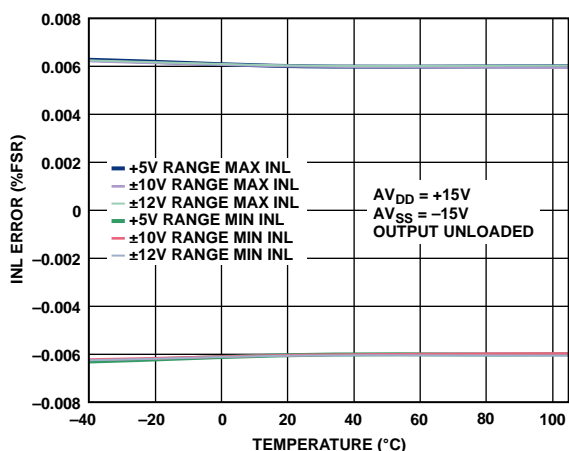


图11. 积分非线性误差与温度的关系

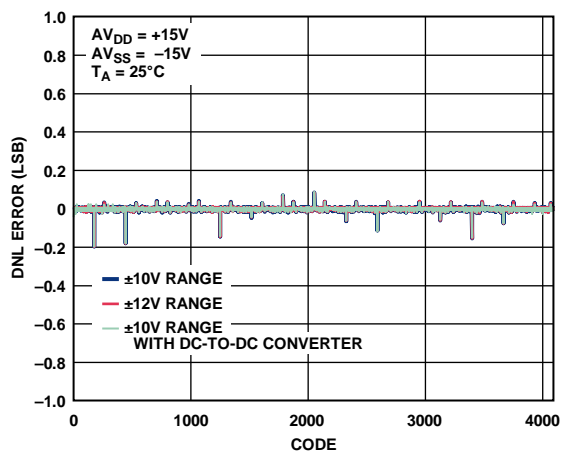


图9. 差分非线性误差与DAC代码的关系

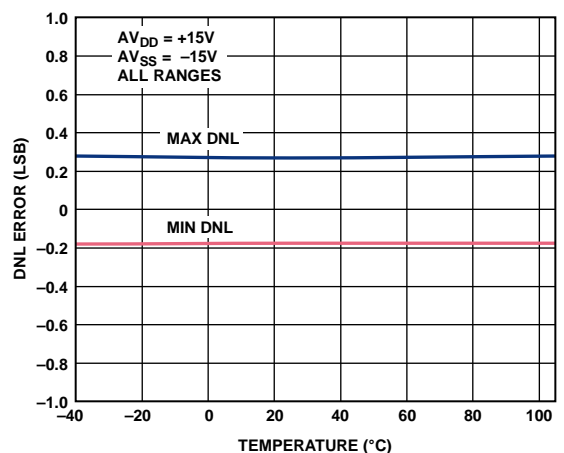


图12. 差分非线性误差与温度的关系

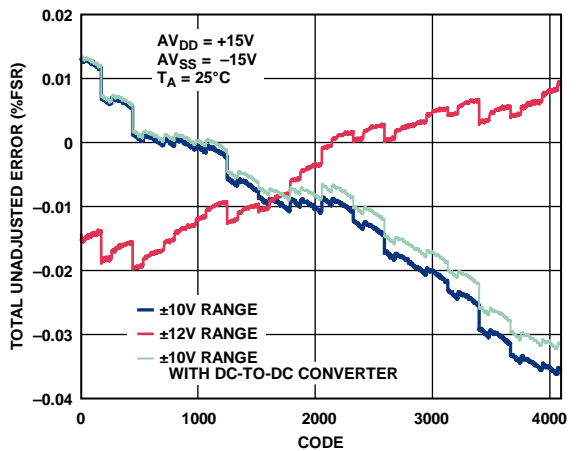


图10. 总不可调整误差与DAC代码的关系

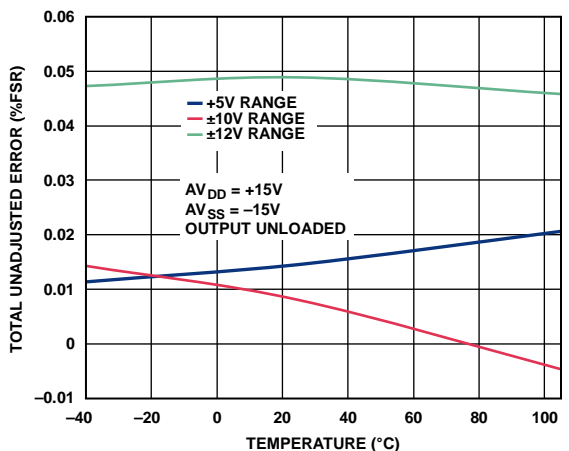


图13. 总不可调整误差与温度的关系

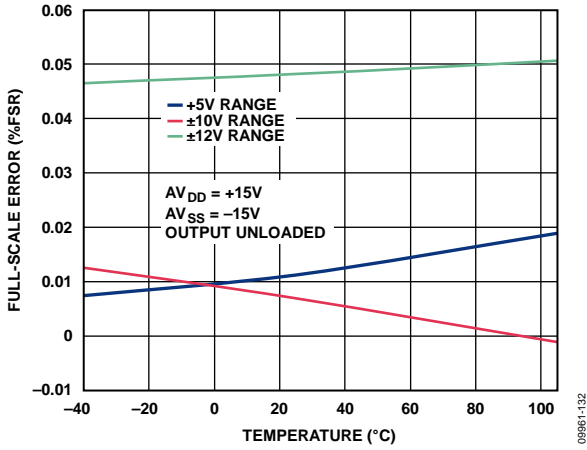


图14. 满刻度误差与温度的关系

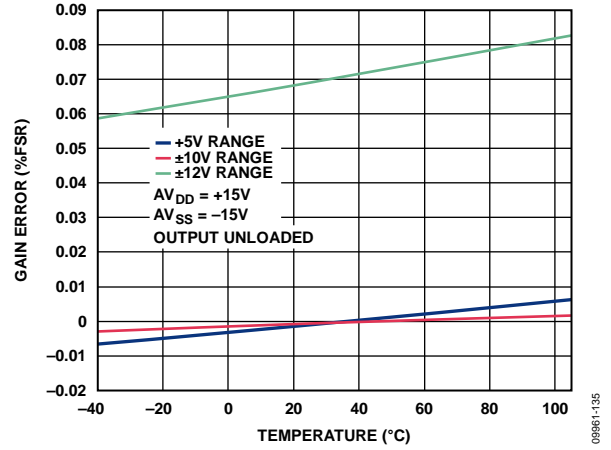


图17. 增益误差与温度的关系

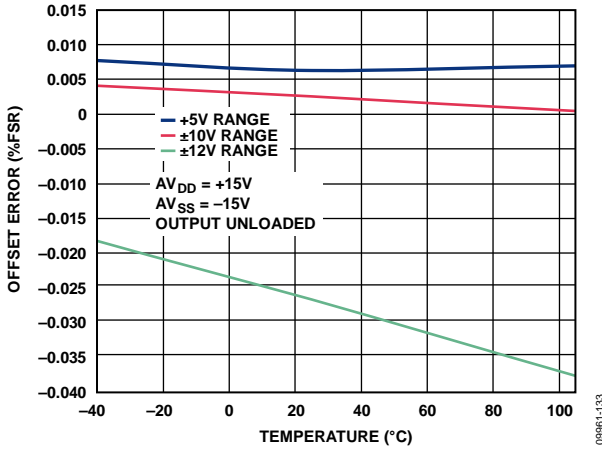


图15. 失调误差与温度的关系

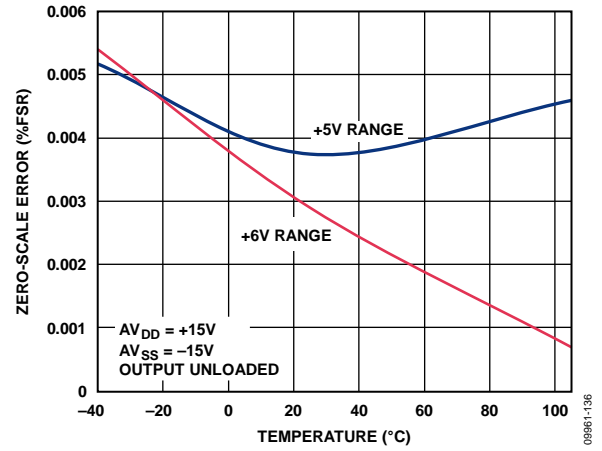


图18. 零刻度误差与温度的关系

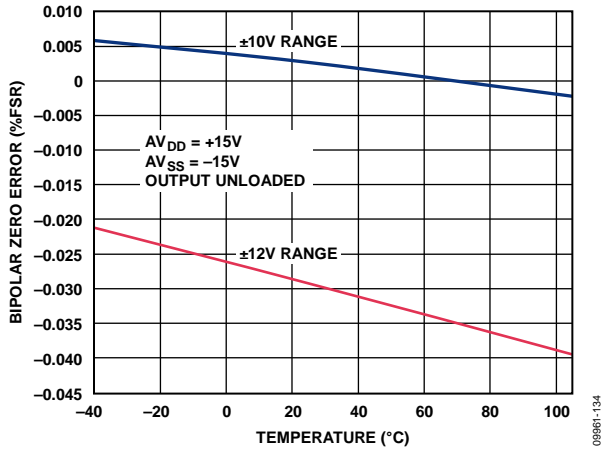


图16. 双极性零误差与温度的关系

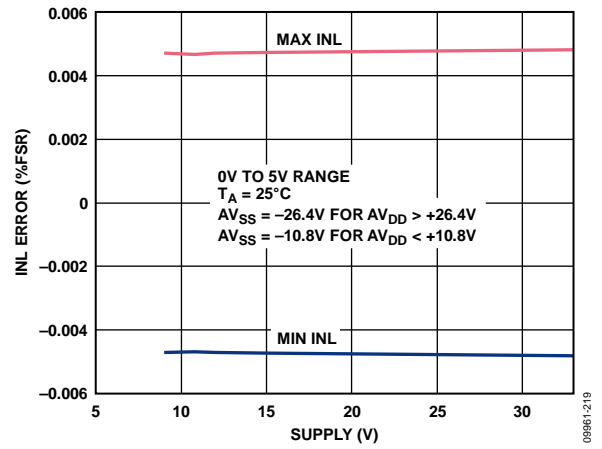


图19. 积分非线性误差与电源的关系

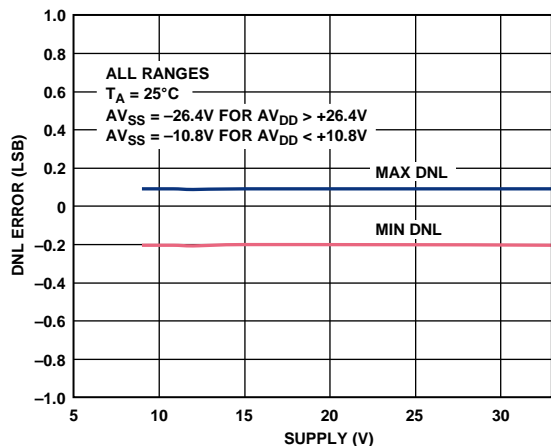


图20. 差分非线性误差与电源的关系

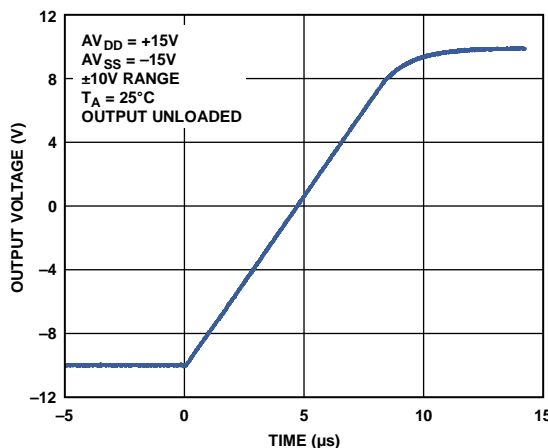


图23. 满刻度正阶跃

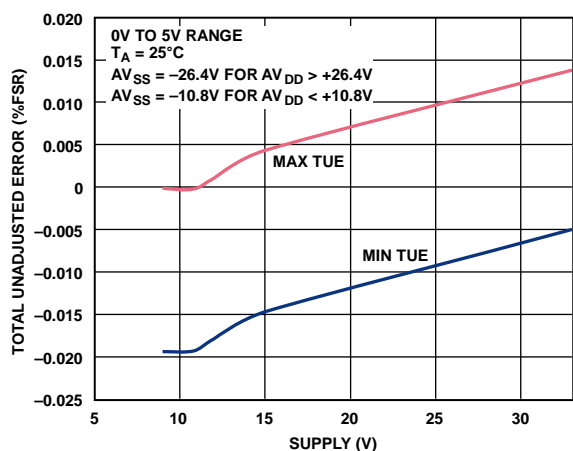


图21. 总不可调整误差与电源的关系

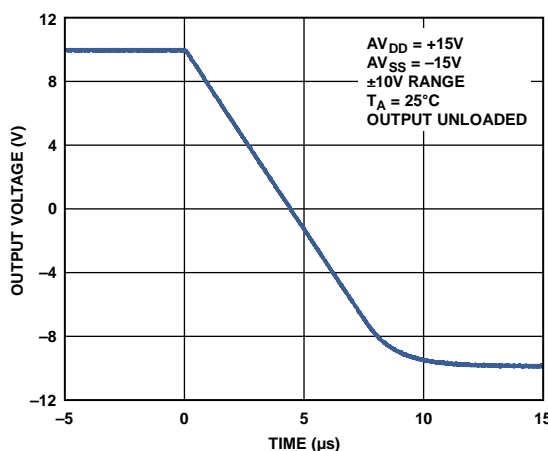


图24. 满刻度负阶跃

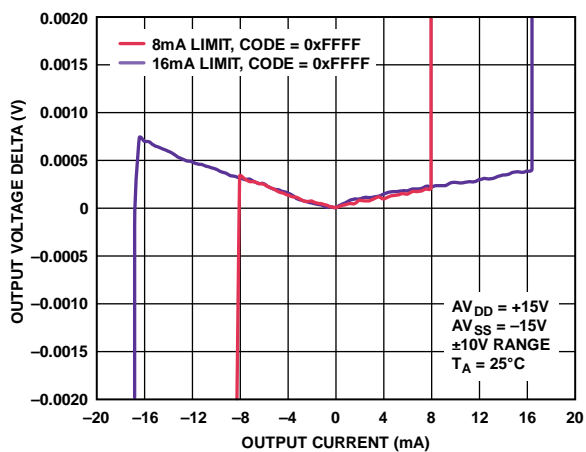


图22. 输出放大器的源电流和吸电流能力

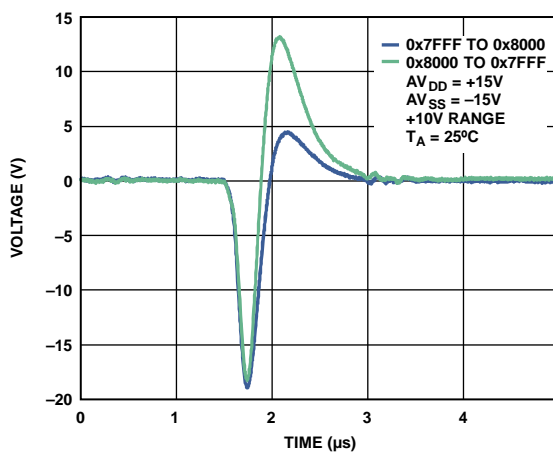


图25. 数模转换毛刺

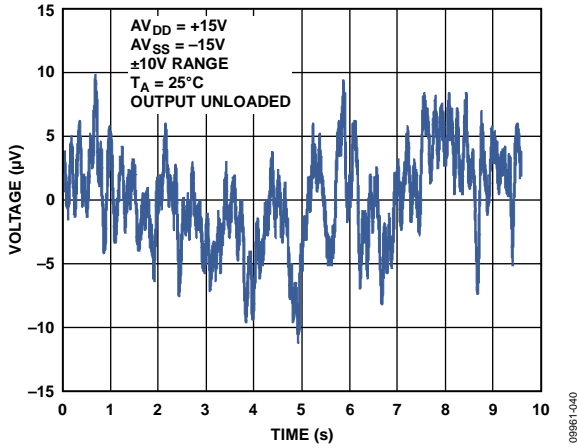


图26. 峰峰值噪声(0.1 Hz至10 Hz带宽)

09961-040

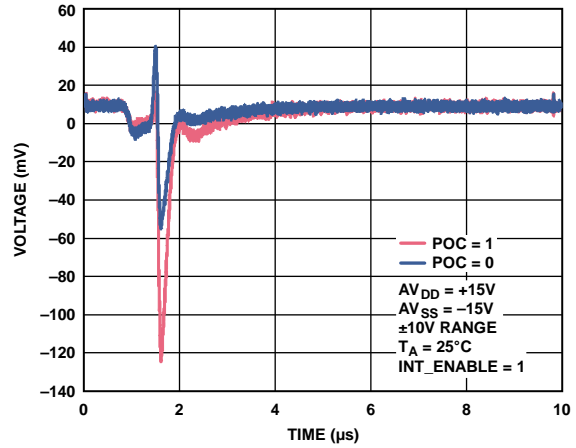


图29. 电压与输出使能时间的关系

09961-044

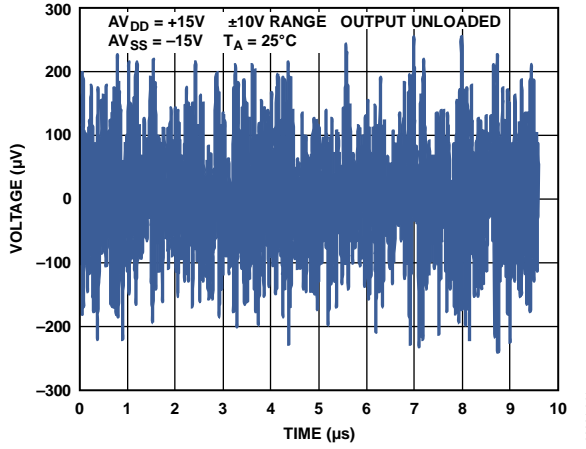


图27. 峰峰值噪声(100 kHz带宽)

09961-041

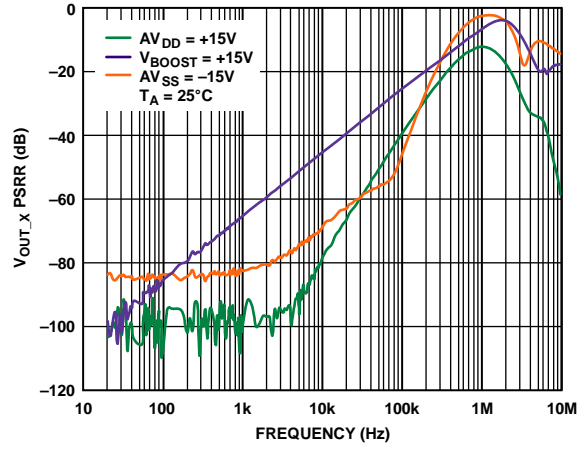


图30. V_{OUT,x} PSRR与频率的关系

09961-045

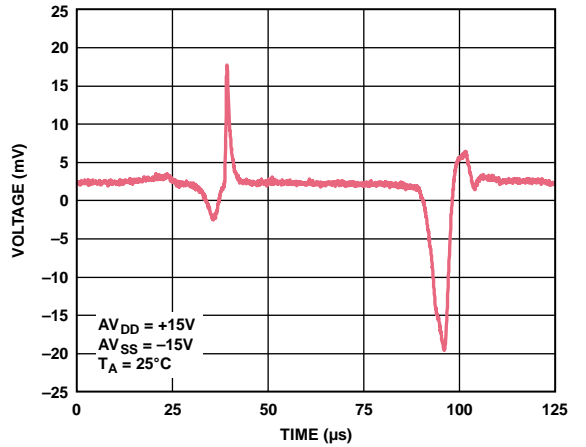


图28. 电压与上电时间的关系

09961-043

电流输出

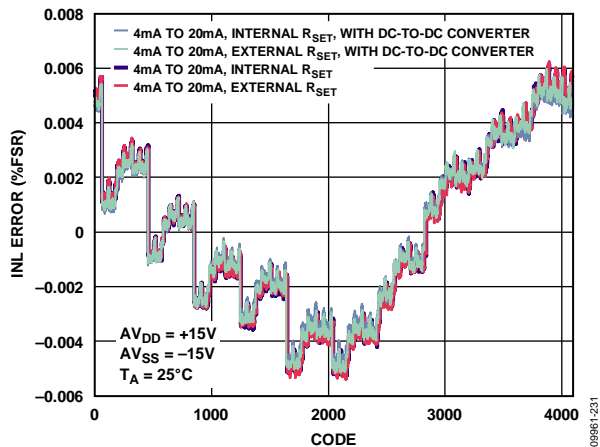


图31. 积分非线性误差与DAC代码的关系

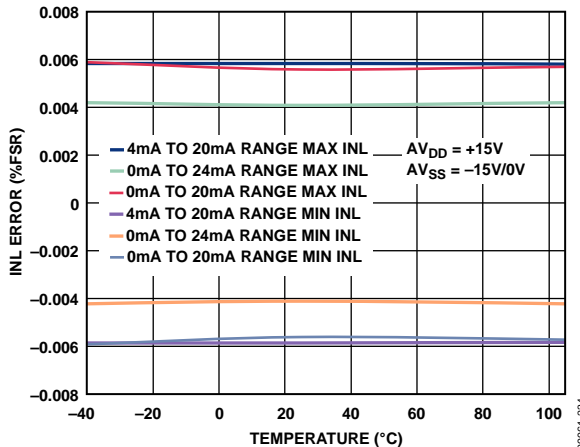


图34. 积分非线性误差与温度的关系(内部R_{SET})

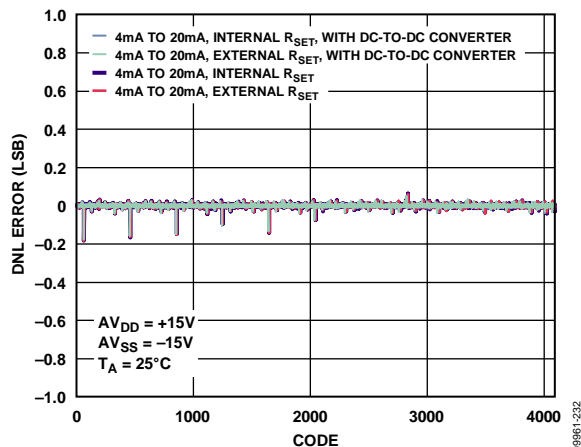


图32. 差分非线性误差与DAC代码的关系

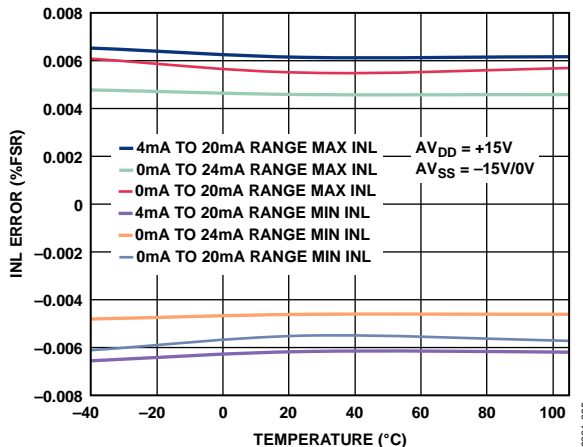


图35. 积分非线性误差与温度的关系(外部R_{SET})

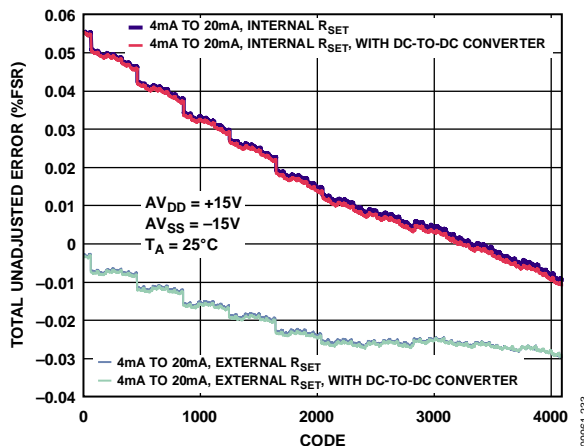


图33. 总不可调整误差与DAC代码的关系

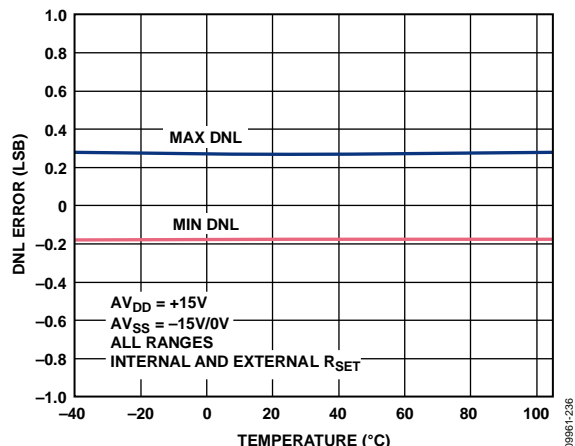


图36. 差分非线性误差与温度的关系

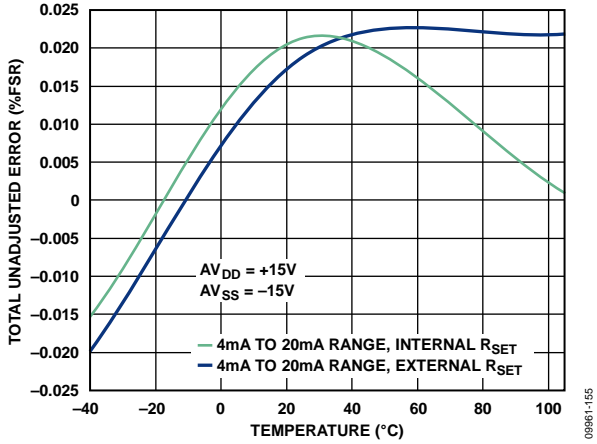


图37. 总不可调整误差与温度的关系

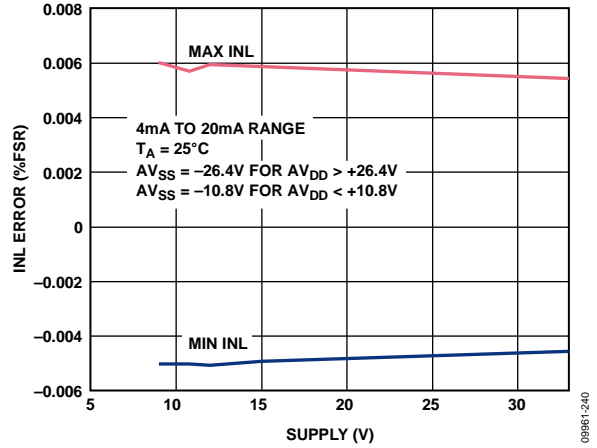


图40. 积分非线性误差与电源的关系, 外部 R_{SET}

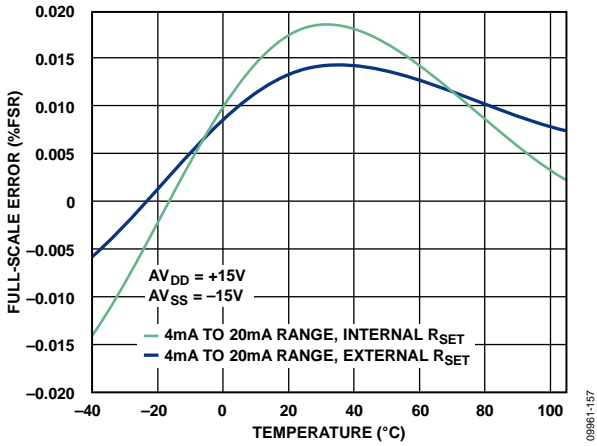


图38. 满刻度误差与温度的关系

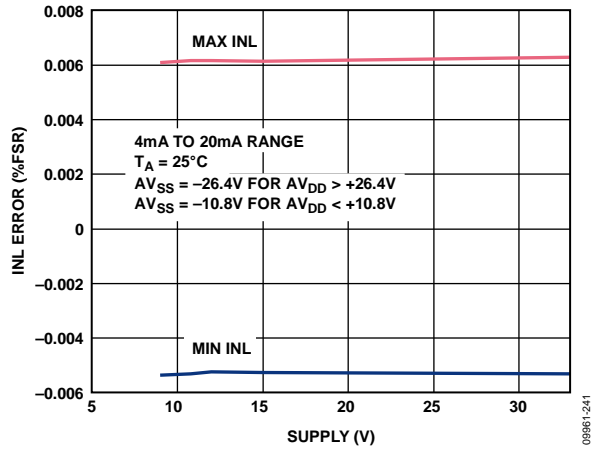


图41. 积分非线性误差与电源的关系, 内部 R_{SET}

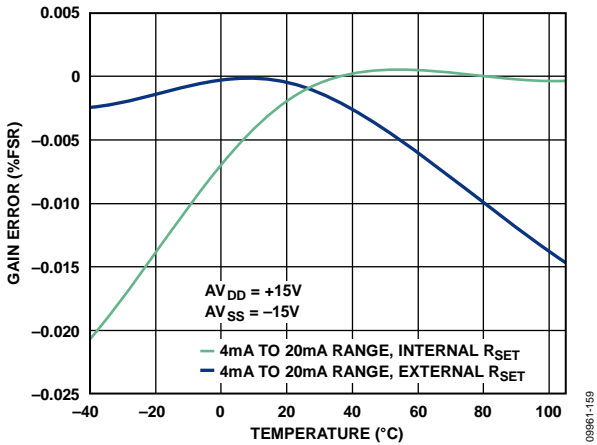


图39. 增益误差与温度的关系

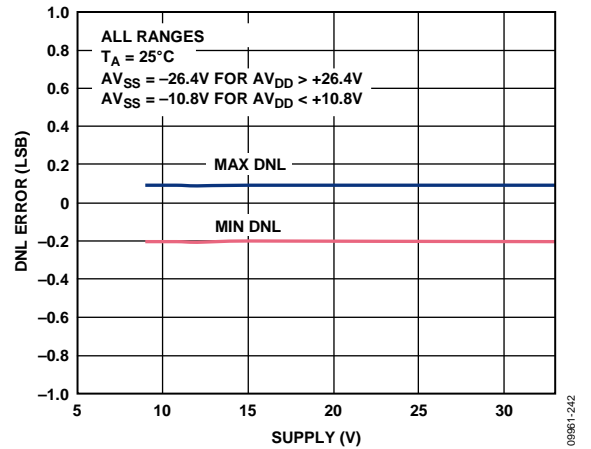


图42. 差分非线性误差与电源的关系

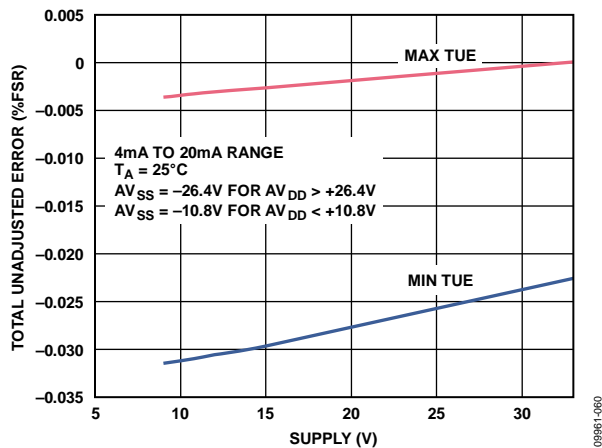


图43. 总不可调整误差与电源的关系，外部 R_{SET}

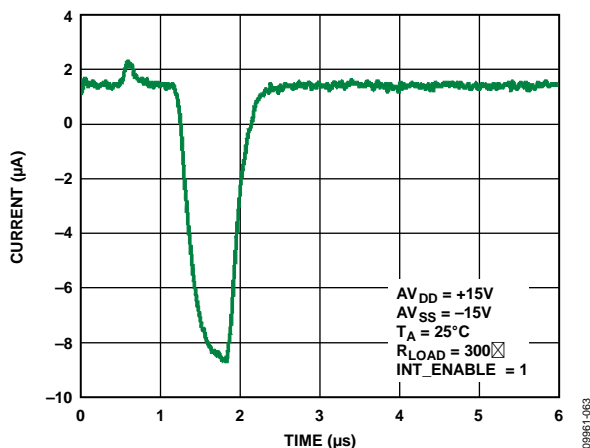


图46. 电流与输出使能时间的关系

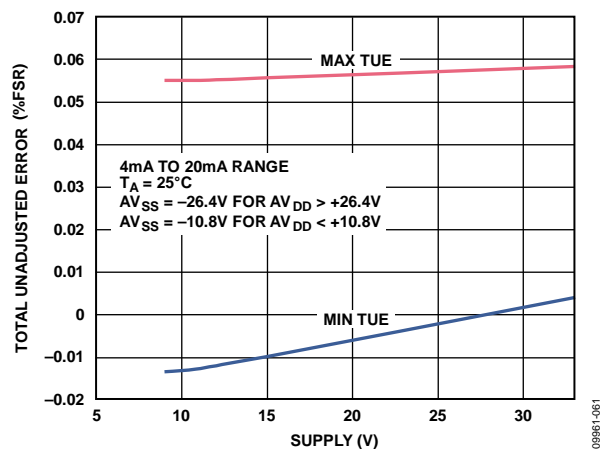


图44. 总不可调整误差与电源的关系，内部 R_{SET}

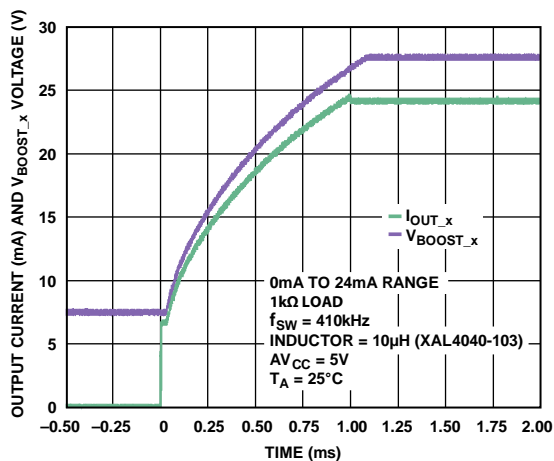


图47. 采用DC-DC转换器时输出电流与 V_{BOOST_x} 建立时间的关系(见图77)

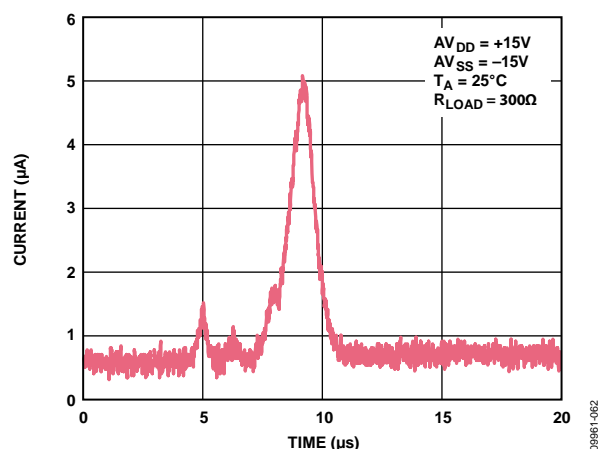


图45. 电流与上电时间的关系

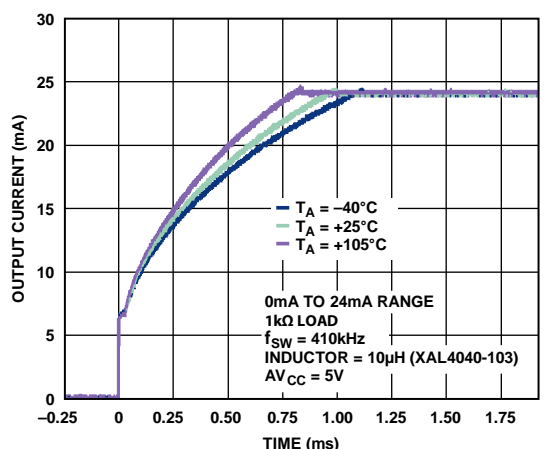


图48. 采用DC-DC转换器时输出电流建立时间与温度的关系(见图77)

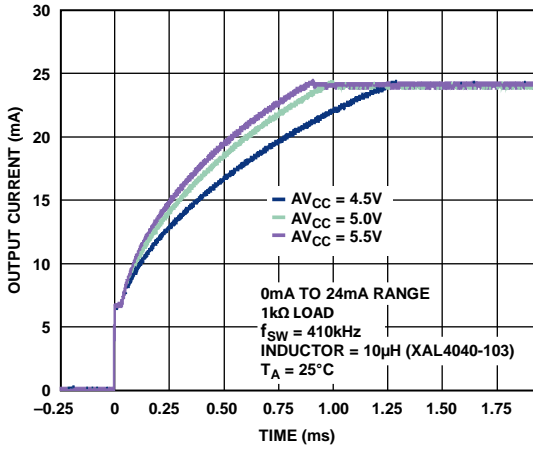


图49. 采用DC-DC转换器时输出电流建立时间与 AV_{CC} 的关系(见图77)

09981-169

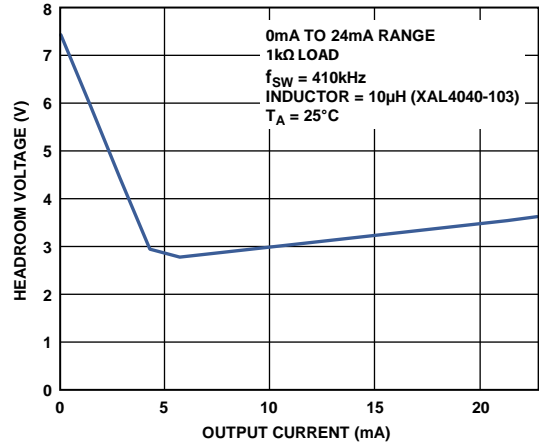


图51. DC-DC转换器裕量与输出电流的关系(见图77)

09981-167

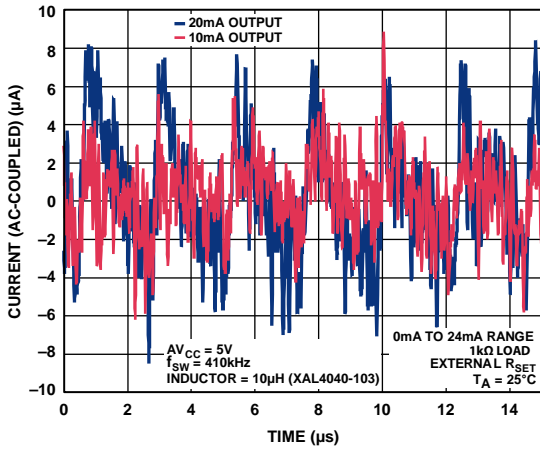


图50. 采用DC-DC转换器时交流耦合输出电流与时间的关系(见图77)

09981-170

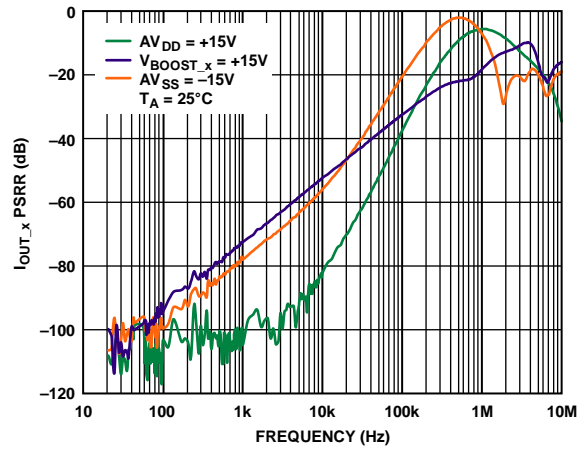


图52. $I_{OUT,x}$ PSRR与频率的关系

09981-068

DC-DC转换器

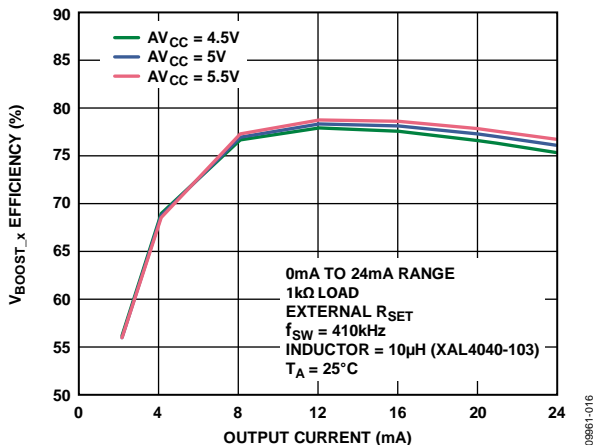


图53. V_{BOOST_X} 效率与输出电流的关系(见图77)

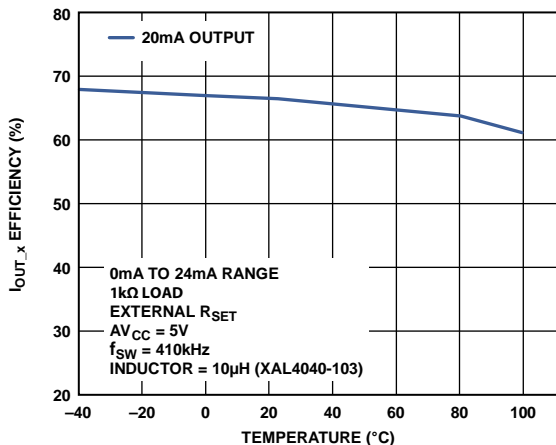


图56. 输出效率与温度的关系(见图77)

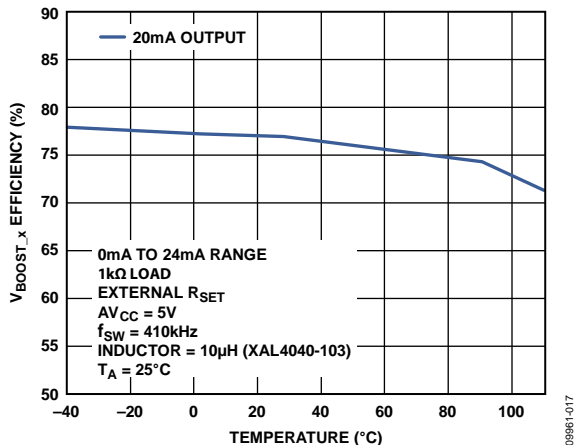


图54. V_{BOOST_X} 效率与温度的关系(见图77)

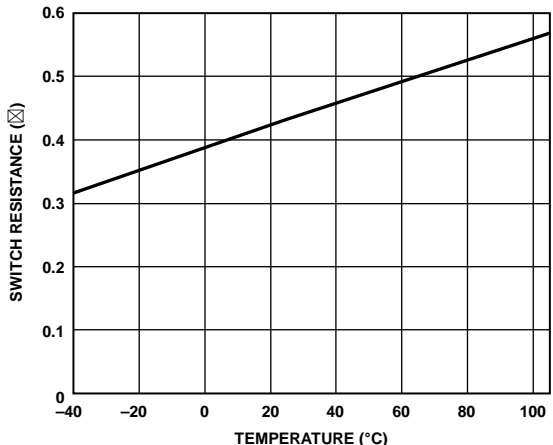


图57. 开关电阻与温度的关系

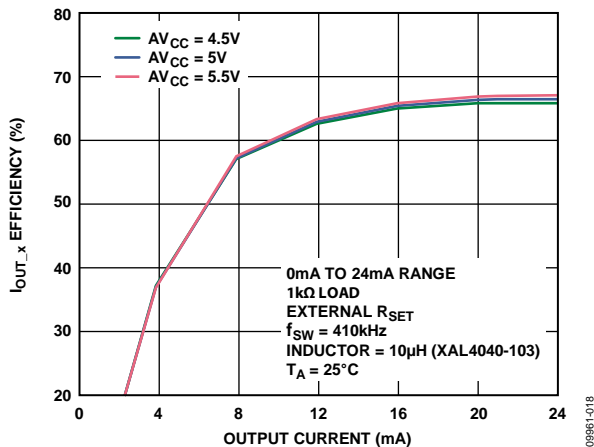


图55. 输出效率与输出电流的关系(见图77)

AD5735

基准电压源

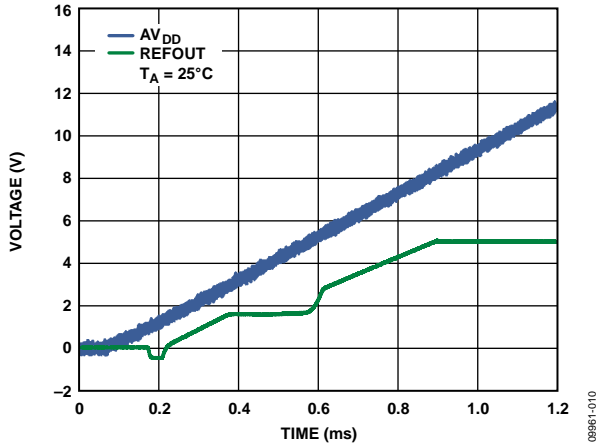


图58. REFOUT电压开启瞬变

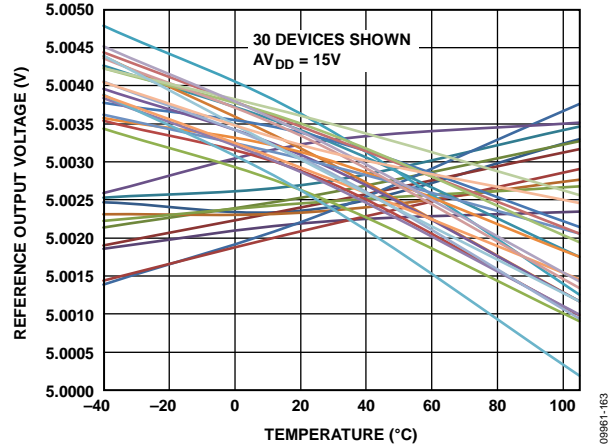


图61. REFOUT电压与温度的关系(将AD5735焊接到PCB上时, 由于封装上热冲击引起的基准电压偏移。平均输出电压偏移为-4 mV。7天后对这些器件进行测量表明, 输出电压通常会向接近其初始值的方向回移 2 mV, 第二次偏移的原因是焊接期间产生的应力得到缓解。)

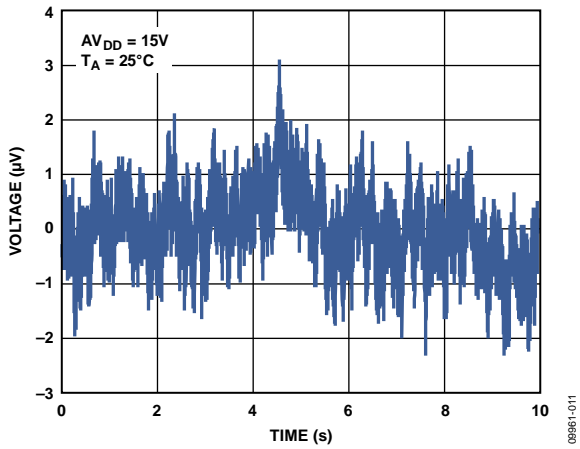


图59. REFOUT输出噪声(0.1 Hz至10 Hz带宽)

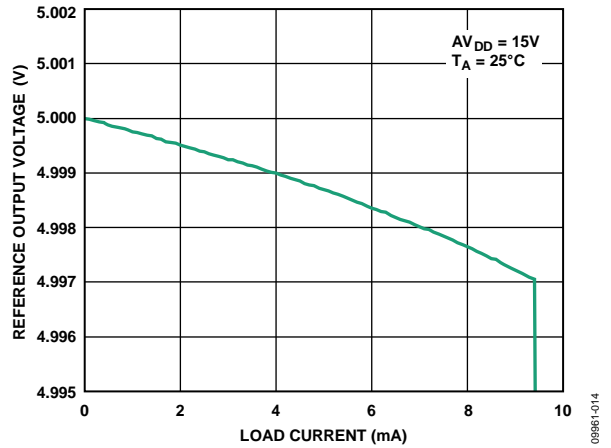


图62. REFOUT电压与负载电流的关系

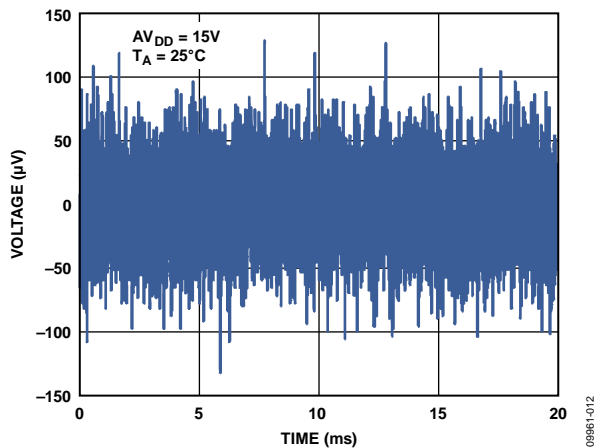


图60. REFOUT输出噪声(100 kHz带宽)

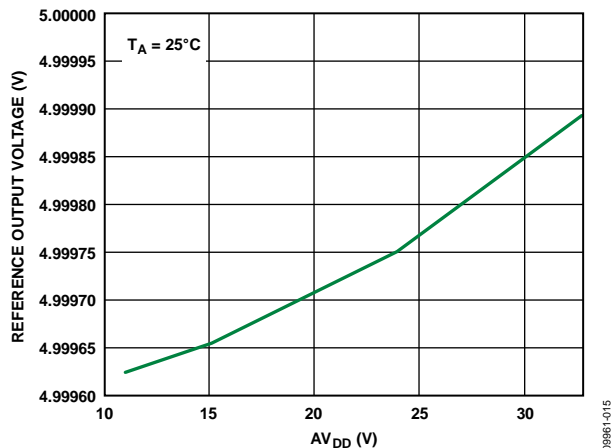


图63. REFOUT电压与AV_{DD}的关系

一般特性

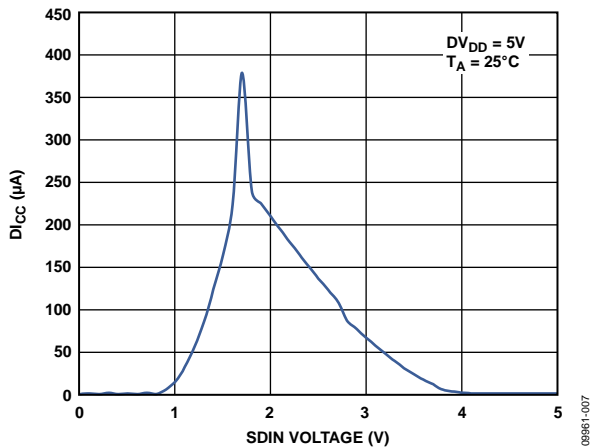


图64. I_{CC} 与逻辑输入电压的关系

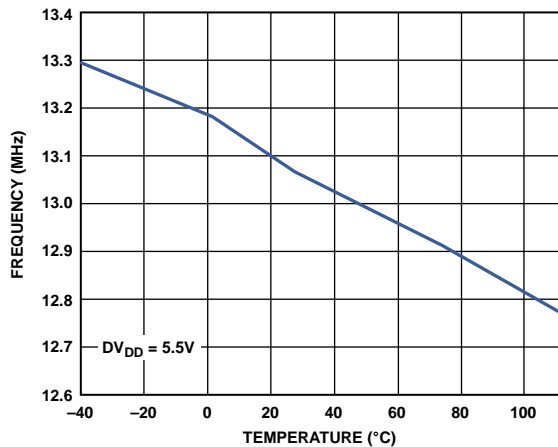


图67. 内部振荡器频率与温度的关系

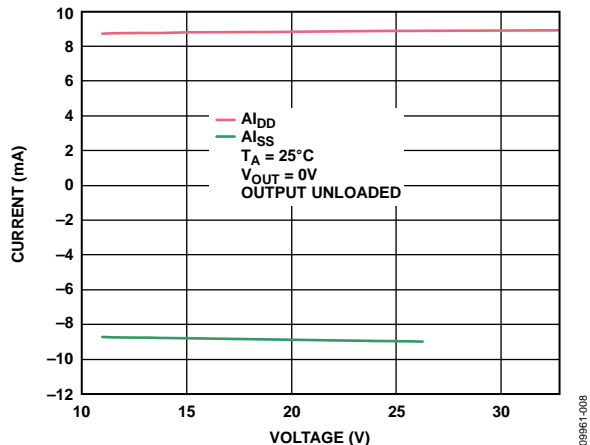


图65. 电源电流(I_{DD}/I_{SS})与电源电压($AV_{DD}/|AV_{SS}|$)的关系

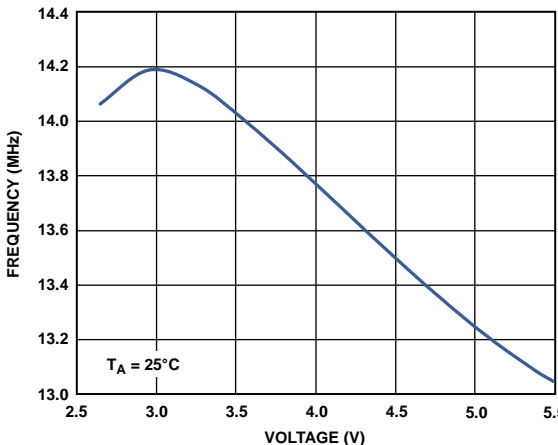


图68. 内部振荡器频率与 DV_{DD} 电源电压的关系

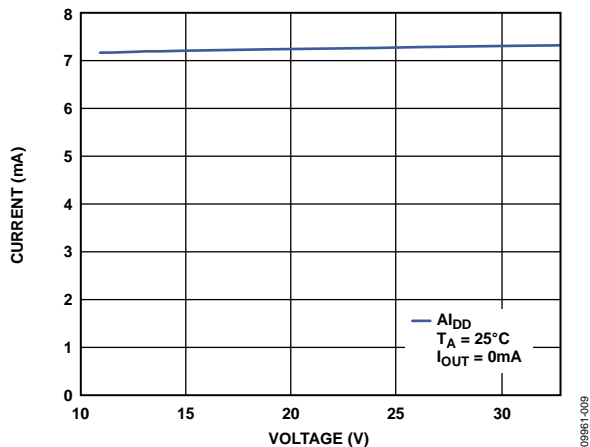


图66. 电源电流(I_{DD})与电源电压(AV_{DD})的关系

术语

相对精度或积分非线性(INL)

相对精度或积分非线性(INL)是指DAC传递函数与最佳拟合线之间的最大偏差。INL采用满量程范围的百分比表示(% FSR)。图8和图31显示典型的INL与代码关系曲线图。

差分非线性(DNL)

差分非线性(DNL)是指任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 ± 1 LSB的额定DNL可确保单调性。AD5735通过设计保证单调性。图9和图32显示典型的DNL与代码关系曲线图。

单调性

如果输出针对数字输入码增加而增加或保持恒定，则DAC具有单调性。AD5735在其整个工作温度范围内都保持单调。

负满刻度误差或零刻度误差

负满刻度误差是将0x0000(标准二进制编码)载入DAC寄存器时的DAC输出电压误差。

零刻度温度系数(TC)

零刻度温度系数(TC)衡量零刻度误差随温度的变化，用ppm FSR/ $^{\circ}$ C表示。

双极性零误差

双极性零误差是DAC寄存器载入0x8000(标准二进制编码)模拟输出与0 V的理想半刻度输出的偏差。

双极性零温度系数(TC)

双极性零温度系数(TC)衡量双极性零误差随温度的变化，用ppm FSR/ $^{\circ}$ C表示。

失调误差

在电压输出模式下，失调误差是DAC配置为双极性输出范围且DAC寄存器载入0x4000(直接二进制编码)时，模拟输出与理想1/4量程输出之间的偏差。

在电流输出模式下，失调误差是全部DAC寄存器载入0x0000时模拟输出与理想零刻度输出之间的偏差。

失调误差漂移或失调TC

失调误差漂移或失调TC衡量失调误差随温度的变化，用ppm FSR/ $^{\circ}$ C表示。

增益误差

增益误差衡量DAC的量程误差，是DAC传递函数的斜率与理想值的偏差，用% FSR表示。

增益温度系数(TC)

增益TC衡量增益误差随温度的变化，用ppm FSR/ $^{\circ}$ C表示。

满刻度误差

满刻度误差衡量将满刻度代码载入DAC寄存器时的输出误差。理想情况下，输出应为满刻度 - 1 LSB。满刻度误差用% FSR表示。

满刻度温度系数(TC)

满刻度TC衡量满刻度误差随温度的变化，用ppm FSR/ $^{\circ}$ C表示。

总不可调整误差(TUE)

总不可调整误差(TUE)衡量包括所有误差在内的输出误差：即INL误差、失调误差、增益误差、温度和时间，TUE用% FSR表示。

直流串扰

直流串扰是一个DAC输出电压因响应另一个DAC输出变化而发生的直流变化。测量时，一个DAC发生满刻度输出变化，同时对另一个以中间刻度输出的DAC进行测量。

电流环路顺从电压

电流环路顺从电压是指输出电流与编程值相等情况下 I_{OUT_X} 引脚的最大电压。

基准电压热滞

基准电压源热迟滞是指+25 $^{\circ}$ C时测得的输出电压与经历一个温度周期(从+25 $^{\circ}$ C到-40 $^{\circ}$ C再到+105 $^{\circ}$ C，然后回到+25 $^{\circ}$ C)后再次在同一温度测得的输出电压之差。热滞针对第一和第二温度周期而规定，单位为ppm。

输出电压建立时间

输出电压建立时间是指对于一个满刻度输入变化，输出建立为指定电平所需的时间量。图23、图48和图49显示建立时间的曲线图。

压摆率

器件的压摆率是对输出电压变化率的限制。电压输出DAC的输出压摆率通常受其输出端使用的放大器的压摆率限制。压摆率是输出信号10%至90%之间的测量值，用V/ μ s表示。

上电毛刺能量

上电毛刺能量是AD5735上电时注入模拟输出的脉冲，它规定为毛刺的面积，用nV-sec表示(参见图28和图45)。

数模转换毛刺能量

数模转换毛刺能量是DAC寄存器中的输入代码改变状态而输出电压保持恒定时注入模拟输出的脉冲。数模转换毛刺脉冲通常规定为毛刺的面积，用nV-sec表示，数字输入代码在主进位跃迁中改变1 LSB(~0x7FFF至0x8000)时进行测量。参见图25。

毛刺脉冲峰值幅度

毛刺脉冲峰值幅度是DAC寄存器中的输入代码改变状态时注入模拟输出的脉冲的峰值幅度。毛刺脉冲峰值幅度规定为毛刺的幅度，用mV表示，数字输入代码在主进位跃迁中改变1 LSB(~0x7FFF至0x8000)时进行测量。参见图25。

数字馈通

数字馈通衡量从DAC的数字输入注入DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。数字馈通用nV-sec表示，利用数据总线上的满刻度代码变化测定。

DAC间串扰

DAC间串扰是数字编码变化引起一个DAC输出发生变化，进而引起另一个DAC输出的毛刺脉冲，包括数字和模拟串扰。它的测量方法是，向一个DAC加载满量程编码变化(全0至全1，反之亦然)，保持LDAC为低电平，同时监控另一个DAC的输出。毛刺的能量用nV-sec表示。

电源抑制比(PSRR)

PSRR表示DAC的输出如何受电源电压变化影响。

基准电压源温度系数(TC)

基准电压源TC衡量基准输出电压随温度的变化，用ppm/°C表示。

电压调整率

电压调整率是由额定电源电压变化所致的基准输出电压变化，用ppm/V表示。

负载调整率

负载调整率是由额定负载电流变化所致的基准输出电压变化，用ppm/mA表示。

DC-DC转换器裕量

DC-DC转换器裕量指电流输出端所需电压与DC-DC转换器(参见图51)所提供电压之间的偏差。

输出效率

输出效率指传递至通道负载的功率与传递至通道DC-DC输入端的功率之间的比率。 V_{BOOST_x} 静态电流被认为是DC-DC转换器损耗的一部分。

$$\frac{I_{OUT}^2 \times R_{LOAD}}{AV_{CC} \times AI_{CC}}$$

VBOOST_x效率

V_{BOOST_x} 效率指传递至通道 V_{BOOST_x} 电源的功率与传递至通道DC-DC输入端的功率之间的比率。 V_{BOOST_x} 静态电流被认为是DC-DC转换器损耗的一部分。

$$\frac{I_{OUT} \times V_{\text{BOOST}_x}}{AV_{CC} \times AI_{CC}}$$

工作原理

AD5735是设计用于满足工业过程控制应用需要的四通道、精密数字-电流环路和电压输出转换器，提供高精度、完全集成、低成本单芯片解决方案，用于产生电流环路和单极性/双极性电压输出。

可用电流输出范围为：0 mA至20 mA、4 mA至20 mA和0 mA至24 mA。可用电压输出范围为：0 V至5 V、±5 V、0 V至0 V和±10 V。电流输出和电压输出通过独立引脚提供，任何时候仅一个输出处于有效状态。用户可通过DAC控制寄存器选择所需输出配置。

在电流模式下，片内动态电源控制功能可以最大限度地降低封装功耗(参见“动态电源控制”部分)。

DAC架构

AD5735的DAC内核架构包含两个匹配DAC部分。简化电路图如图69所示。12-bit数据字的四个MSB经解码用于驱动15个开关(E1至E15)。每个开关将15个匹配电阻之一连接到地或基准电压缓冲输出。数据字的其余8-bit驱动8-bit电压模式R-2R梯形网络的开关S0至开关S7。

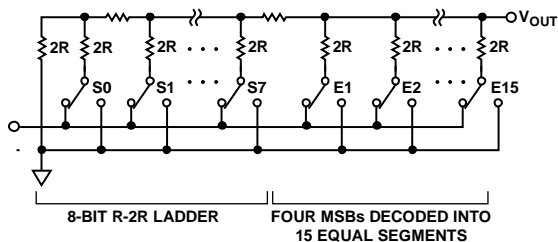


图69. DAC梯形结构

DAC内核的电压输出可以

- 经过缓冲和比例缩放，输出一个可通过软件选择的单极性或双极性电压范围(参见图70)
- 转换成电流，然后电流镜像到供电轨，使应用仅发生电流源输出(参见图71)

电压和电流输出端均由V_{BOOST_x}提供。电流和电压通过独立引脚输出，且不能同时输出。可以将通道的电压和电流输出引脚连在一起(参见“在同一引脚上输出电压和电流”部分)。

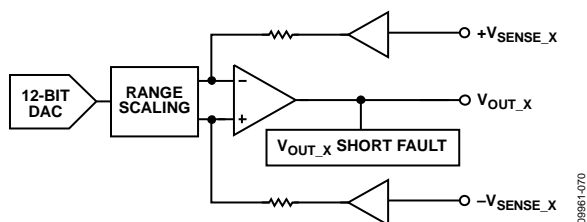


图70. 电压输出

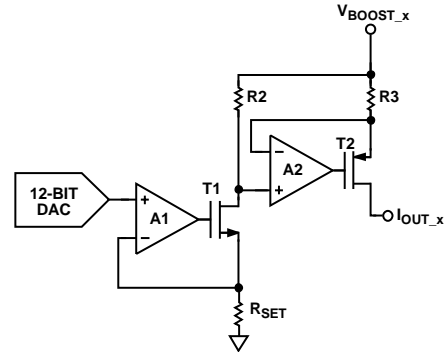


图71. 电压-电流转换电路

电压输出放大器

电压输出放大器能够产生单极性和双极性两种输出电压，能够驱动连接到GND的1 μF(外部补偿电容)、1 kΩ并联负载驱动。从图22可以看出输出放大器的源电流和吸电流能力。压摆率为1.9 V/μs，满刻度建立时间最大值为18 μs(10 V阶跃)。如果不需要远程检测负载，则将+V_{SENSE_x}直接连接到V_{OUT_x}并将-V_{SENSE_x}直接连接到AGND。为保证实现额定工作性能，-V_{SENSE_x}必须保持在AGND的±3.0 V范围内。+V_{SENSE_x}与V_{OUT_x}间的电压差异直接添加至裕量要求。

驱动较大容性负载

通过在各个通道上添加一个220 pF的无极性补偿电容，电压输出放大器能够驱动最高2 μF的容性负载。220 pF电容连接在COMP_{LV_x}引脚与V_{OUT_x}引脚之间。

必须为补偿电容选择合适的值。虽然此电容允许AD5735驱动较大容性负载并可减少过冲，但是会增加器件的建立时间，因此会影响系统带宽。如果不使用补偿电容，最高可驱动10 nF的容性负载。

基准电压缓冲

AD5735可以采用外部或内部基准电压源工作，基准电压输入要求5V的基准电压源，才能达到额定性能。输入电压先经缓冲，然后再施加于DAC。

AD5735的上电状态

AD5735初始化上电时，上电复位电路的状态由上电条件(POC)引脚决定。

- 若 $POC = 0$ ，则电压输出和电流输出通道上电时均为三态模式。
- 若 $POC = 1$ ，则电压输出通道上电时，通过30 kΩ电阻下拉至地；电流输出通道则上电至三态模式。

如果未使能输出范围，默认输出范围为0 V至5 V，清零代码寄存器载入全零。因此，如果用户在上电后将器件清零，在通道使能清零的情况下输出将被驱动至0 V。

器件上电或复位后，建议等待100 μs或更长时间再写入器件，为内部校准腾出时间。

串行接口

AD5735由多功能三线式串行接口控制，能够以最高30 MHz的时钟速率工作，并与SPI、QSPI、MICROWIRE、DSP接口标准兼容。数据编码始终为标准二进制。

输入移位寄存器

输入移位寄存器为24位宽。数据在串行时钟输入SCLK的控制下首先作为24-bit字载入器件MSB中。数据在SCLK的下降沿读入。

如果使能分组错误检验(PEC)，必须向AD5735写入另外8位，使串行接口达32位(参见“分组错误检验”部分)。

DAC输出可以通过两种方式更新：单独更新各DAC或同时更新所有DAC。

DAC单独更新

为更新单独DAC， \overline{LDAC} 在数据输入DAC数据寄存器时保持低电平。寻址的DAC输出在 \overline{SYNC} 的上升沿更新。时序信息参见表3和图3。

同时更新所有DAC

为同时更新所有DAC， \overline{LDAC} 在数据输入DAC数据寄存器时保持高电平。 \overline{LDAC} 拉高后，每个通道的DAC数据寄存器只有首次写入有效；对DAC数据寄存器的后续写入被忽略，虽然启动回读后将返回这些后续写入。在拉高 \overline{LDAC} 后，通过拉低 \overline{SYNC} 可以更新所有DAC输出。

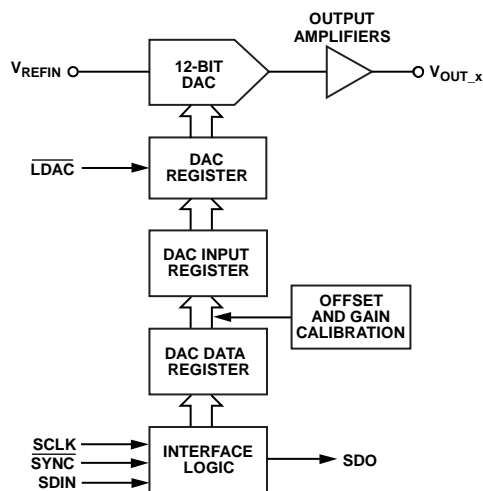


图72. 单个DAC通道输入加载电路的简化串行接口

传递函数

表7显示的是AD5735的标准二进制数据编码的输入代码与理想输出电压之间的关系，输出范围为±10 V。

表7. 理想输出电压与输入代码之间的关系

数字输入				模拟输出 V_{OUT}
标准二进制数据编码				
MSB		LSB ¹		
1111	1111	1111	XXXX	$+2 V_{REF} \times (2047/2048)$
1111	1111	1110	XXXX	$+2 V_{REF} \times (2046/2048)$
1000	0000	0000	XXXX	0 V
0000	0000	0001	XXXX	$-2 V_{REF} \times (2047/2048)$
0000	0000	0000	XXXX	$-2 V_{REF}$

¹X = 无关位。

AD5735

寄存器

表8、表9和表10概要介绍了AD5735的寄存器。

表8. AD5735的数据寄存器

寄存器	描述
DAC数据寄存器	四个DAC数据寄存器(每个DAC通道一个寄存器)用于对各DAC通道写入DAC代码。DAC数据位为D15至D4。
增益寄存器	四个增益寄存器(每个DAC通道一个寄存器)用于针对每个通道设置增益调整。增益数据位为D15至D4。
失调寄存器	四个失调寄存器(每个DAC通道一个寄存器)用于针对每个通道设置失调调整。失调数据位为D15至D4。
清零代码寄存器	四个清零代码寄存器(每个DAC通道一个寄存器)用于针对每个通道设置清零代码。清零代码数据位为D15至D4。

表9. AD5735的控制寄存器

寄存器	描述
主控制寄存器	主控制寄存器用于配置整个器件的功能。这些功能包括：在写入期间使能状态回读；同时使能所有四个DAC通道的输出；同时使所有四个DAC通道上的DC-DC转换器上电；以及使能并配置看门狗定时器。更多信息参见“主控制寄存器”部分。
DAC控制寄存器	四个DAC控制寄存器(每个DAC通道一个寄存器)用于针对每个通道配置下列功能：输出范围(例如4 mA至20 mA或0V至10V)；选择内部电流检测电阻或外部电流检测电阻；使能/禁用清零代码；使能/禁用电压通道上的超量程；使能/禁用内部电路(DC-DC转换器、DAC和内部放大器)；DC-DC转换器的上电/掉电；以及使能/禁用输出通道。
软件寄存器	软件寄存器用于执行复位，切换状态寄存器中的用户位，同时用作看门狗定时器功能的组成部分，以检验数据通信操作正确无误。
DC-DC控制寄存器	DC-DC控制寄存器用于设置DC-DC转换器的控制参数：最大输出电压、相位和开关频率。该寄存器还用于选择DC-DC转换器的内部补偿电阻或外部补偿电阻。
压摆率控制寄存器	四个压摆率控制寄存器(每个DAC通道一个寄存器)用于设置DAC输出的压摆率。

表10. AD5735的回读寄存器

寄存器	描述
状态寄存器	状态寄存器包含任何故障信息，以及用户切换位。

使能输出

若要在上电条件下正确写入和设置器件，请遵循以下操作序列：

1. 初始上电后执行硬件或软件复位。
2. 配置DC-DC转换器电源模块。设置DC-DC开关频率、允许的最大输出电压和DC-DC转换器通道间相位。
3. 为每个通道配置DAC控制寄存器。选择输出范围，使能DC-DC转换器模块(DC_DC位)。也可配置其他控制位。设置INT_ENABLE位，但不设置OUTEN(输出使能)位。
4. 将所需代码写入DAC数据寄存器。此步骤可执行全面内部DAC校准。为减少输出毛刺，执行第5步前至少应等待200 μ s。
5. 再次写入DAC控制寄存器，使能输出(设置OUTEN位)。

图73提供了此序列的流程图。

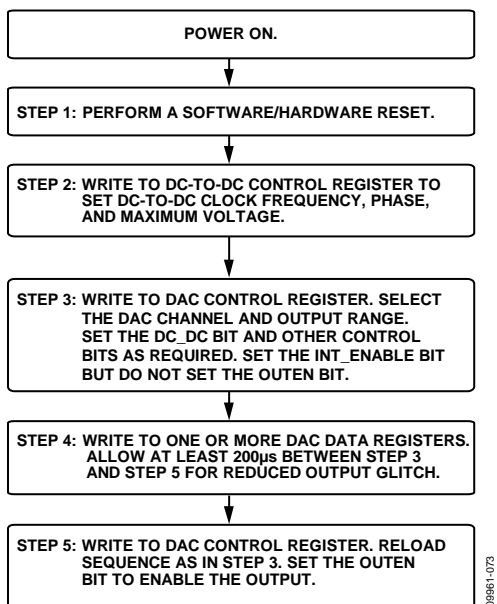


图73. 正确使能输出的编程序列

重新编程输出范围

改变输出范围时，应使用“使能输出”部分所述的序列。建议在禁用输出前，将范围设置为0 V(零刻度或中间电平)。由于已经选择了DC-DC开关频率、最大输出电压和相位，因而现在无需对这些值重新编程。图74提供了此序列的流程图。

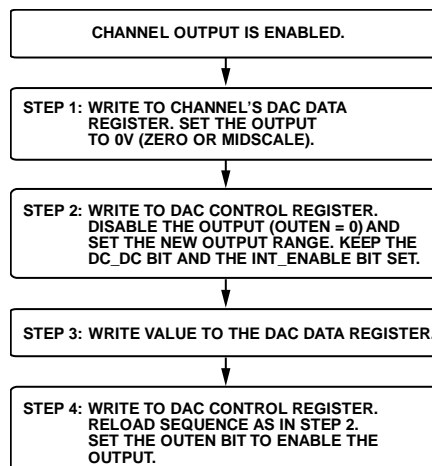


图74. 改变输出范围的编程序列

AD5735

数据寄存器

输入移位寄存器为24位宽。PEC使能时，输入移位寄存器为32位宽，且最后8位对应于PEC代码(有关PEC的更多信息参见“分组错误校验”部分)。写入数据寄存器时，必须采用表11中的格式。

DAC数据寄存器

写入DAC数据寄存器时，Bit D15至Bit D4为DAC数据位。表13显示了寄存器格式，表12描述了Bit D23至Bit D16的功能。

表11. 用于写入数据寄存器的输入移位寄存器

MSB								LSB
D23	D22	D21	D20	D19	D18	D17	D16	D15至D0
R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	数据

表12. 数据寄存器Bits[D23:D16]功能描述

位的名称	描述			
R/W	此位指示写入还是读取寻址寄存器。 0 = 写入寻址寄存器。 1 = 读取寻址寄存器。			
DUT_AD1, DUT_AD0	这些位与AD1和AD0外部引脚搭配使用，以确定系统控制器要寻址的AD5735器件。			
	DUT_AD1	DUT_AD0	寻址器件	
	0	0	引脚AD1 = 0, 引脚AD0 = 0	
	0	1	引脚AD1 = 0, 引脚AD0 = 1	
	1	0	引脚AD1 = 1, 引脚AD0 = 0	
	1	1	引脚AD1 = 1, 引脚AD0 = 1	
DREG2, DREG1, DREG0	这些位选择要写入的寄存器。如果选择控制寄存器(DREG[2:0] = 111)，控制寄存器中的CREG位选择要写入的具体控制寄存器(参见表20)。			
	DREG2	DREG1	DREG0	功能
	0	0	0	写入DAC数据寄存器(单个DAC通道)
	0	0	1	保留
	0	1	0	写入增益寄存器(单个DAC通道)
	0	1	1	写入增益寄存器(所有DAC通道)
	1	0	0	写入失调寄存器(单个DAC通道)
	1	0	1	写入失调寄存器(所有DAC通道)
	1	1	0	写入清零代码寄存器(单个DAC通道)
	1	1	1	写入控制寄存器
DAC_AD1, DAC_AD0	这些位用于指定DAC通道。如果写入器件操作不是针对具体DAC通道，则这些位为无关位。			
	DAC_AD1	DAC_AD0	DAC通道	
	0	0	DAC A	
	0	1	DAC B	
	1	0	DAC C	
	1	1	DAC D	

表13. DAC数据寄存器编程

D23	D22	D21	D20	D19	D18	D17	D16	D15至D4	D3至D0
R/W	DUT_AD1	DUT_AD0	0	0	0	DAC_AD1	DAC_AD0	DAC数据	X ¹

¹X = 无关位。

增益寄存器

12-bit增益寄存器允许用户调整每个通道的增益，步长为1 LSB。要写入一个DAC通道的增益寄存器，请将DREG[2:0] Bits设为010(参见表14)。要同时将相同增益代码写入所有四个DAC通道，请将DREG[2:0] Bits设为011。如表15表示，增益寄存器采用标准二进制编码。增益寄存器中的默认代码为0xFFFF。为了维持精度，建议最大增益调整约为编程范围的50%(更多信息参见“数字失调和增益控制”部分)。

失调寄存器

12-bit失调寄存器允许用户在-2048 LSB至+2047 LSB范围内调整每个通道的增益，步长为1 LSB。要写入一个DAC通道的失调寄存器，请将DREG[2:0] Bits设为100(参见表16)。要同时将相同失调代码写入所有四个DAC通道，请将DREG

[2:0] Bits设为101。如表17表示，失调寄存器采用标准二进制编码。失调寄存器中的默认代码为0x8000，结果使输出被编程为零失调(更多信息参见“数字失调和增益控制”部分)。

清零代码寄存器

12-bit清零代码寄存器允许用户设置每个通道的清零值。要将通道配置为在激活CLEAR引脚时清零，请设置该通道的DAC控制寄存器中的CLR_EN位(参见表24)。要写入清零代码寄存器，请将DREG[2:0] Bits设为110(参见表18)。默认清零代码为0x0000(更多信息参见“异步清零”部分)。

表14. 增益寄存器编程

R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	D15至D4	D3至D0
0	器件地址		0	1	0	DAC通道地址		增益调整	1111

表15. 增益寄存器位功能描述

增益调整	G15	G14	G13至G5	G4	G3至G0
+4096 LSB	1	1	11111111	1	1111
+4095 LSB	1	1	11111111	0	1111
...	1111
1 LSB	0	0	00000000	1	1111
0 LSB	0	0	00000000	0	1111

表16. 失调寄存器编程

R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	D15至D4	D3至D0
0	器件地址		1	0	0	DAC通道地址		失调调整	0000

表17. 失调寄存器位功能描述

失调调整	OF15	OF14	OF13	OF12至OF5	OF4	OF3至OF0
+2047 LSB	1	1	1	11111111	1	0000
+2046 LSB	1	1	1	11111111	0	0000
...	0000
无调整(默认)	1	0	0	00000000	0	0000
...	0000
-2047 LSB	0	0	0	00000000	1	0000
-2048 LSB	0	0	0	00000000	0	0000

表18. 清零代码寄存器编程

R/W	DUT_AD1	DUT_AD0	DREG2	DREG1	DREG0	DAC_AD1	DAC_AD0	D15至D4	D3至D0
0	器件地址		1	1	0	DAC通道地址		清零代码	0000

AD5735

控制寄存器

写入控制寄存器时，必须采用表19中的格式。有关Bit D23至Bit D16的配置信息，请参见表12。控制寄存器寻址方式如下：将DREG[2:0] Bits(输入移位寄存器中的Bits[D20:D18])设置为111，然后设置CREG[2:0] Bits以便选择具体的控制寄存器(参见表20)。

表19. 用于写入控制寄存器的输入移位寄存器

MSB											LSB
D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12至D0
R/W	DUT_AD1	DUT_AD0	1	1	1	DAC_AD1	DAC_AD0	CREG2	CREG1	CREG0	数据

表20. 控制寄存器地址(CREG[2:0] Bits)

CREG2 (D15)	CREG1 (D14)	CREG0 (D13)	控制寄存器
0	0	0	压摆率控制寄存器(每个通道一个)
0	0	1	主控制寄存器
0	1	0	DAC控制寄存器(每个通道一个)
0	1	1	DC-DC控制寄存器
1	0	0	软件寄存器

表21. 主控制寄存器编程

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3至D0
0	0	1	POC	STATREAD	EWD	WD1	WD0	X ¹	ShtCctLim	OUTEN_ALL	DCDC_ALL	X ¹

¹X = 无关位。

表22. 主控制寄存器位功能描述

位的名称	描述															
POC	POC位决定电压输出通道在正常工作中的状态， POC = 0：当电压输出未使能时(默认)，输出将达到POC硬件引脚的设定值。 POC = 1：当电压输出未使能时，输出将达到与POC硬件引脚设定值的相反值。															
STATREAD	在写入操作中使能状态回读。参见“写入期间回读状态”部分。 0 = 禁用状态回读(默认)。 1 = 使能状态回读。															
EWD	使能看门狗定时器，参见“看门狗定时器”部分。 0 = 禁用看门狗定时器(默认)。 1 = 使能看门狗定时器。															
WD1, WD0	超时选择位。用于选择看门狗定时器的超时周期。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>WD1</th> <th>WD0</th> <th>超时周期(ms)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>5</td> </tr> <tr> <td>0</td> <td>1</td> <td>10</td> </tr> <tr> <td>1</td> <td>0</td> <td>100</td> </tr> <tr> <td>1</td> <td>1</td> <td>200</td> </tr> </tbody> </table>	WD1	WD0	超时周期(ms)	0	0	5	0	1	10	1	0	100	1	1	200
WD1	WD0	超时周期(ms)														
0	0	5														
0	1	10														
1	0	100														
1	1	200														
ShtCctLim	V _{OUT,x} 引脚上的可编程短路限制，用于短路状态。 0 = 16 mA(默认)。 1 = 8 mA。															
OUTEN_ALL	此位设为1可同时使能所有四个DAC上的输出。在DAC控制寄存器中使用OUTEN位时，请勿使用OUTEN_ALL位。															
DCDC_ALL	此位设为1可使所有四个通道上的DC-DC转换器同时上电。若要关断DC-DC转换器，必须首先禁用所有通道输出。在DAC控制寄存器中使用DC_DC位时，请勿使用DCDC_ALL位。															

DAC控制寄存器

DAC控制寄存器用于配置各DAC通道。DAC控制寄存器选项如表23和表24所示。

表23. DAC控制寄存器编程

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	1	0	X ¹	X ¹	X ¹	X ¹	INT_ENABLE	CLR_EN	OUTEN	RSET	DC_DC	OVRNG	R2	R1	R0

¹X = 无关位。

表24. DAC控制寄存器位功能描述

位的名称	描述																																
INT_ENABLE	使所选通道的DC-DC转换器、DAC和内部放大器上电。此位仅适用于单个通道；不会使能输出。设置此位后，建议在使能输出前等待200 μs以上的延迟，以减少输出使能毛刺。图29和图46显示了该毛刺曲线。																																
CLR_EN	基于通道的清零使能位。此位指定是否在激活CLEAR引脚时将选定通道清零。 0 = 器件被清零时通道不清零(默认)。 1 = 器件被清零时通道清零。																																
OUTEN	使能或禁用选定输出通道。 0 = 通道禁用(默认)。 1 = 通道使能。																																
RSET	为选定DAC通道选择内部电流检测电阻或外部电流检测电阻。 0 = 选择外部电阻(默认)。 1 = 选择内部电阻。																																
DC_DC	使选定通道上的DC-DC转换器上电或掉电。所有DC-DC转换器可利用主控制寄存器中的DCDC_ALL位同时上电。若要关断DC-DC转换器，OUTEN和INT_ENABLE位也必须设为0。 0 = 关断DC-DC转换器(默认)。 1 = DC-DC转换器上电。																																
OVRNG	仅在电压输出通道上使能20%超量程。电流输出超量程不可用。 0 = 超量程禁用(默认)。 1 = 超量程使能。																																
R2, R1, R0	选择要使能的输出范围。																																
	<table border="1"> <thead> <tr> <th>R2</th> <th>R1</th> <th>R0</th> <th>所选输出范围</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>电压范围：0 V至5 V(默认)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>电压范围：0 V至10 V</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>电压范围：±5 V</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>电压范围：±10 V</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>电流范围：4 mA至20 mA</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>电流范围：0 mA至20 mA</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>电流范围：0 mA至24 mA</td> </tr> </tbody> </table>	R2	R1	R0	所选输出范围	0	0	0	电压范围：0 V至5 V(默认)	0	0	1	电压范围：0 V至10 V	0	1	0	电压范围：±5 V	0	1	1	电压范围：±10 V	1	0	0	电流范围：4 mA至20 mA	1	0	1	电流范围：0 mA至20 mA	1	1	0	电流范围：0 mA至24 mA
R2	R1	R0	所选输出范围																														
0	0	0	电压范围：0 V至5 V(默认)																														
0	0	1	电压范围：0 V至10 V																														
0	1	0	电压范围：±5 V																														
0	1	1	电压范围：±10 V																														
1	0	0	电流范围：4 mA至20 mA																														
1	0	1	电流范围：0 mA至20 mA																														
1	1	0	电流范围：0 mA至24 mA																														

AD5735

软件寄存器

软件寄存器允许用户对器件执行软件复位。此寄存器也用于设置状态寄存器中的用户切换位D11，并在使能看门狗定时器时用作该功能的组成部分。

软件寄存器中的Bit D12可用于确保MCU与AD5735间的通信不丢失，并且数据路径线路正常工作(即SDIN、SCLK和SYNC)。

使能看门狗定时器时，用户必须在超时周期内将0x195写入软件寄存器的Bits[D11:D0]。如果未在超时周期内收到该命令，则ALERT引脚将显示故障条件。只有使能看门狗定时器时才需要此命令。

DC-DC控制寄存器

DC-DC控制寄存器允许用户配置DC-DC开关频率和相位，以及配置最大容许DC-DC输出电压。DC-DC控制寄存器选项如表27和表28所示。

表25. 软件寄存器编程

D15	D14	D13	D12	D11至D0
1	0	0	用户编程	复位代码/SPI代码

表26. 软件寄存器位功能描述

位的名称	描述	
用户编程	该位映射到状态寄存器的Bit D11。当该位设为1时，状态寄存器的Bit D11被设为1。当该位设为0时，状态寄存器的Bit D11也设为0。该功能可用于确保SPI引脚工作正常，其方法是将已知位值写入该寄存器，然后从状态寄存器读回Bit D11。	
复位代码/SPI代码	选项	描述
	复位代码 SPI代码	将0x555写入Bits[D11:D0]可执行AD5735的软件复位。 使能看门狗定时器时，必须在已编程的超时周期内(参见表22)将0x195写入软件寄存器(Bits[D11:D0])。

表27. DC-DC控制寄存器编程

D15	D14	D13	D12至D7	D6	D5至D4	D3至D2	D1至D0
0	1	1	X ¹	DC-DC补偿	DC-DC相位	DC-DC频率	DC-DC最大V

¹X = 无关位。

表28. DC-DC控制寄存器位功能描述

位的名称	描述
DC-DC补偿	选择DC-DC转换器的内部补偿电阻或外部补偿电阻。参见“DC-DC转换器补偿电容”部分和“AICC电源要求—压摆率”部分。 0 = 选择内部150 kΩ补偿电阻(默认)。 1 = 旁路内部补偿电阻。此位设为1时，必须使用一个外部补偿电阻；该电阻在COMPDCDC_x引脚处与10 nF DC-DC地补偿电容串联。通常情况下，推荐使用一个50 kΩ左右的电阻。
DC-DC相位	用户可编程DC-DC转换器相位(通道间)。 00 = 所有DC-DC转换器的时钟沿相同(默认)。 01 = 通道A和通道B的时钟沿相同，通道C和通道D的时钟沿相反。 10 = 通道A和通道C的时钟沿相同，通道B和通道D的时钟沿相反。 11 = 通道A、通道B、通道C和通道D的时钟沿彼此错相90°。
DC-DC频率	DC-DC转换器的开关频率，此频率由内部13 MHz振荡器分频(参见图67和图68)。 00 = 250 kHz ± 10%。 01 = 410 kHz ± 10%(默认)。 10 = 650 kHz ± 10%。
DC-DC最大V	DC-DC转换器提供的最大允许V _{BOOST_x} 电压。 00 = 23 V + 1 V/-1.5 V(默认)。 01 = 24.5 V ± 1 V。 10 = 27 V ± 1 V。 11 = 29.5 V ± 1 V。

压摆率控制寄存器

该寄存器用于对所选DAC通道的压摆率控制进行编程。该特性在电流和电压输出通道上均可用。压摆率控制针对每个通道使能/禁用和编程。更多信息参见表29和“数字压摆率控制”部分。

回读操作

回读模式通过在串行输入寄存器写操作时设置 $\overline{R/W}$ bit = 1来调用。与回读操作相关的位参见表30。与Bits[RD4:RD0]相关的DUT_AD1和DUT_AD0位选择要读取的寄存器(参见表31)。写序列中其余的数据位则与之无关。在下次SPI传递期间, SDO输出端的数据包含之前寻址寄存器的数据(参见图4)。此第二SPI传递应当是请求在第三数据传

递中读取另一寄存器或无操作命令。DUT地址00的无操作命令是0x1CE000, 对于其他DUT地址, 相应地设置Bit D22和Bit D21。

回读示例

为了回读AD5735器件1、通道A的增益寄存器, 必须按以下顺序执行:

1. 对输入寄存器写入0xA80000, 以将器件地址1配置为读取模式, 并选择通道A的增益寄存器。D15至D0的数据位都是无关位。
2. 执行另一读取命令或无操作命令(0x3CE000)。在此命令期间, 来自通道A增益寄存器的数据在SDO线路上逐个输出。

表29. 压摆率控制寄存器编程

D15	D14	D13	D12	D11至D7	D6至D3	D2至D0
0	0	0	SREN	X ¹	SR_CLOCK	SR_STEP

¹X = 无关位。

表30. 读取操作的输入移位寄存器**MSB****LSB**

D23	D22	D21	D20	D19	D18	D17	D16	D15至D0
R/W	DUT_AD1	DUT_AD0	RD4	RD3	RD2	RD1	RD0	X ¹

¹X = 无关位。

表31. 读取地址 (Bits[RD4:RD0])

RD4	RD3	RD2	RD1	RD0	功能
0	0	0	0	0	读取DAC A数据寄存器
0	0	0	0	1	读取DAC B数据寄存器
0	0	0	1	0	读取DAC C数据寄存器
0	0	0	1	1	读取DAC D数据寄存器
0	0	1	0	0	读取DAC A控制寄存器
0	0	1	0	1	读取DAC B控制寄存器
0	0	1	1	0	读取DAC C控制寄存器
0	0	1	1	1	读取DAC D控制寄存器
0	1	0	0	0	读取DAC A增益寄存器
0	1	0	0	1	读取DAC B增益寄存器
0	1	0	1	0	读取DAC C增益寄存器
0	1	0	1	1	读取DAC D增益寄存器
0	1	1	0	0	读取DAC A失调寄存器
0	1	1	0	1	读取DAC B失调寄存器
0	1	1	1	0	读取DAC C失调寄存器
0	1	1	1	1	读取DAC D失调寄存器
1	0	0	0	0	读取DAC A清零代码寄存器
1	0	0	0	1	读取DAC B清零代码寄存器
1	0	0	1	0	读取DAC C清零代码寄存器
1	0	0	1	1	读取DAC D清零代码寄存器
1	0	1	0	0	读取DAC A压摆率控制寄存器
1	0	1	0	1	读取DAC B压摆率控制寄存器
1	0	1	1	0	读取DAC C压摆率控制寄存器
1	0	1	1	1	读取DAC D压摆率控制寄存器
1	1	0	0	0	读取状态寄存器
1	1	0	0	1	读取主控制寄存器
1	1	0	1	0	读取DC-DC控制寄存器

AD5735

状态寄存器

状态寄存器属于只读寄存器。此寄存器包含任何故障信息以及斜坡有效位(Bit D9)和用户切换位(Bit D11)。通过设置主控制寄存器中的STATREAD位,可以在每个写序列中通过

SDO引脚回读状态寄存器的内容。或者,如果不设置STATREAD位,则可利用正常读回操作读取状态寄存器(参见“回读操作”部分)。

表32. 状态寄存器解码

MSB														LSB	
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
DC-DCD	DC-DCC	DC-DCB	DC-DCA	用户切换	PEC错误	斜坡有效	过热	V _{OUT_D} 故障	V _{OUT_C} 故障	V _{OUT_B} 故障	V _{OUT_A} 故障	I _{OUT_D} 故障	I _{OUT_C} 故障	I _{OUT_B} 故障	I _{OUT_A} 故障

表33. 状态寄存器位功能描述

位的名称	描述
DC-DCD	在电流输出模式下,如果通道D上的DC-DC转换器无法保持顺从电压,则该位置1,例如,DC-DC转换器达到V _{MAX} 电压;在此情况下I _{OUT_D} 故障位同时置1。有关该位在此条件下的详细操作说明,请参见“DC-DC转换器V _{MAX} 功能”部分。 在电压输出模式下,如果通道D上的DC-DC转换器无法根据预期调节至15 V,则该位置1。该位置1后,不会导致FAULT引脚变为高电平。
DC-DCC	在电流输出模式下,如果通道C上的DC-DC转换器无法保持顺从电压,则该位置1,例如,DC-DC转换器达到V _{MAX} 电压;在此情况下I _{OUT_C} 故障位同时置1。有关该位在此条件下的详细操作说明,请参见“DC-DC转换器V _{MAX} 功能”部分。 在电压输出模式下,如果通道C上的DC-DC转换器无法根据预期调节至15 V,则该位置1。该位置1后,不会导致FAULT引脚变为高电平。
DC-DCB	在电流输出模式下,如果通道B上的DC-DC转换器无法保持顺从电压,则该位置1,例如,DC-DC转换器达到V _{MAX} 电压;在此情况下I _{OUT_B} 故障位同时置1。有关该位在此条件下的详细操作说明,请参见“DC-DC转换器V _{MAX} 功能”部分。 在电压输出模式下,如果通道B上的DC-DC转换器无法根据预期调节至15 V,则该位置1。该位置1后,不会导致FAULT引脚变为高电平。
DC-DCA	在电流输出模式下,如果通道A上的DC-DC转换器无法保持顺从电压,则该位置1,例如,DC-DC转换器达到V _{MAX} 电压;在此情况下I _{OUT_A} 故障位同时置1。有关该位在此条件下的详细操作说明,请参见“DC-DC转换器V _{MAX} 功能”部分。 在电压输出模式下,如果通道A上的DC-DC转换器无法根据预期调节至15 V,则该位置1。该位置1后,不会导致FAULT引脚变为高电平。
用户切换	用户切换位。此位通过软件寄存器置1或清零,如果需要还可用于检验数据通信。
PEC错误	表示通过SPI接口接收到的最后一个数据字存在PEC错误。
斜坡有效	当任一输出通道出现压摆时(至少在一个通道上使能数字压摆率控制),该位置1。
过热	当AD5735内核温度超过约150°C时,该位置1。
V _{OUT_D} 故障	如果V _{OUT_D} 引脚上检测到故障,则该位置1。
V _{OUT_C} 故障	如果V _{OUT_C} 引脚上检测到故障,则该位置1。
V _{OUT_B} 故障	如果V _{OUT_B} 引脚上检测到故障,则该位置1。
V _{OUT_A} 故障	如果V _{OUT_A} 引脚上检测到故障,则该位置1。
I _{OUT_D} 故障	如果I _{OUT_D} 引脚上检测到故障,则该位置1。
I _{OUT_C} 故障	如果I _{OUT_C} 引脚上检测到故障,则该位置1。
I _{OUT_B} 故障	如果I _{OUT_B} 引脚上检测到故障,则该位置1。
I _{OUT_A} 故障	如果I _{OUT_A} 引脚上检测到故障,则该位置1。

器件特性

故障输出

AD5735配有一个 $\overline{\text{FAULT}}$ 引脚，该引脚属于低电平有效开漏输出引脚，允许数个AD5735器件一起连接到一个上拉电阻，用于检测全局故障。下列任何一种故障条件都会使 $\overline{\text{FAULT}}$ 引脚强制有效：

- 由于电路开环或电源电压不足， I_{OUT_x} 端的电压试图升至顺从电压范围以上。产生故障输出的内部电路避免使用具有窗口限值的比较器，因为这样需要在 $\overline{\text{FAULT}}$ 输出变为有效之前产生一个实际的输出错误。事实上，该信号是在输出级中的内部放大器的剩余驱动能力小于约1 V时产生。因此， $\overline{\text{FAULT}}$ 输出在快要达到顺从电压限值之前就会变为有效。
- 在电压输出引脚上检测到短路。短路电流限值为16 mA或8 mA，可由用户编程。如果AD5735在单极性电源模式下工作，当输出电压低于50 mV时可产生短路故障。
- 因PEC失败而检测到接口错误(参见“分组错误校验”部分)。
- AD5735的内核温度超过约150°C。

状态寄存器的 V_{OUT_x} 故障、 I_{OUT_x} 故障、PEC错误和过温位与 $\overline{\text{FAULT}}$ 输出配合使用，帮助用户了解是哪种故障条件导致 $\overline{\text{FAULT}}$ 输出激活。

电压输出短路保护

器件正常工作时，电压输出吸电流和源电流最高为12 mA并能保证正常工作的技术规格。最大输出电流或短路电流由用户编程，可以设为16 mA或8 mA。如果检测到短路， $\overline{\text{FAULT}}$ 引脚将变为低电平，状态寄存器中的相关 V_2 故障位将置1(参见表33)。

数字失调和增益控制

每个DAC通道有一个增益(M)寄存器和一个失调(C)寄存器，用于消除整个信号链的增益和失调误差。DAC数据寄存器的数据通过数字乘法器和加法器运算，后者受增益寄存器和失调寄存器的内容控制；校准后的DAC数据存储在DAC输入寄存器中(参见图75)。

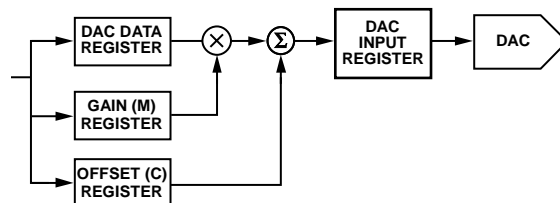


图75. 数字失调和增益控制

虽然图75中显示每个通道都有一个乘法器和一个加法器，但器件中只有一个乘法器和一个加法器，由四个通道共用。当多个通道同时更新时，此设计会影响更新速度(参见表3)。

向增益(M)或失调(C)寄存器写入数据时，输出不会自动更新。相反，下次写入DAC通道时会使用这些新增益和失调值来执行新的校准，并自动更新通道。

校准输出数据送至DAC输入寄存器，接着将这一数据载入DAC，如“串行接口”部分所述。增益寄存器和失调寄存器的分辨率均为12位。校准增益和失调的正确顺序是先校准增益，然后校准失调。

写入DAC输入寄存器的值(十进制)可以通过以下公式计算：

$$\text{Code}_{\text{DACRegister}} = D \times \frac{(M+1)}{2^{12}} + C - 2^{11} \quad (1)$$

其中：

D 为载入DAC通道DAC数据寄存器的代码。

M 为增益寄存器代码(默认码 = $2^{12} - 1$)。

C 为失调寄存器代码(默认码 = 2^{11})。

写入期间回读状态

AD5735可以配置为在每个写序列期间回读状态寄存器的内容。该功能通过主控制寄存器中的STATREAD位使能。使能此功能后，用户可以连接监控状态寄存器，并在发生故障时迅速采取措施。

使能写入期间回读状态时，16位状态寄存器中的内容(参见表33)将通过SDO引脚输出，如图5所示。

AD5735上电后，禁用写入期间回读状态功能。使能该功能时，寄存器的回读功能不可用，状态寄存器除外。要回读其他寄存器，执行回读序列前应将STATREAD位清零(参见“回读操作”部分)。STATREAD位可在寄存器读取完成后重新设为高电平。

AD5735

异步清零

CLEAR是一种高电平有效边沿敏感型输入，允许输出清零至预编程的12-bit码。用户可以通过基于通道的12-bit清零代码寄存器对该代码进行编程。

若要将通道清零，请将该通道DAC控制寄存器的CLR_EN位置1。如果未使能通道清零功能，输出将保持当前状态，与CLEAR引脚电平无关。

当CLEAR信号变回低电平后，相应输出会保持为清零值，直到设置新值。

分组差错校验(PEC)

为验证噪声环境下数据接收是否正确，AD5735提供了一个基于8-bit(CRC-8)循环冗余校验的分组错误校验选项。负责控制AD5735的器件应使用下列多项式生成8-bit帧校验序列：

$$C(x) = x_8 + x_2 + x_1 + 1$$

此值会添加到数据字末尾，即在SYNC变为高电平之前有32个数据位会发送到AD5735。收到32-bit数据帧后，AD5735会在SYNC变为高电平时执行错误校验。如果校验成功，数据会写入所选寄存器。如果校验失败，则FAULT引脚变为低电平，同时状态寄存器的PEC错误位置1。读取状态寄存器后，FAULT恢复高电平(假定无其他故障)，PEC错误位自动清零。

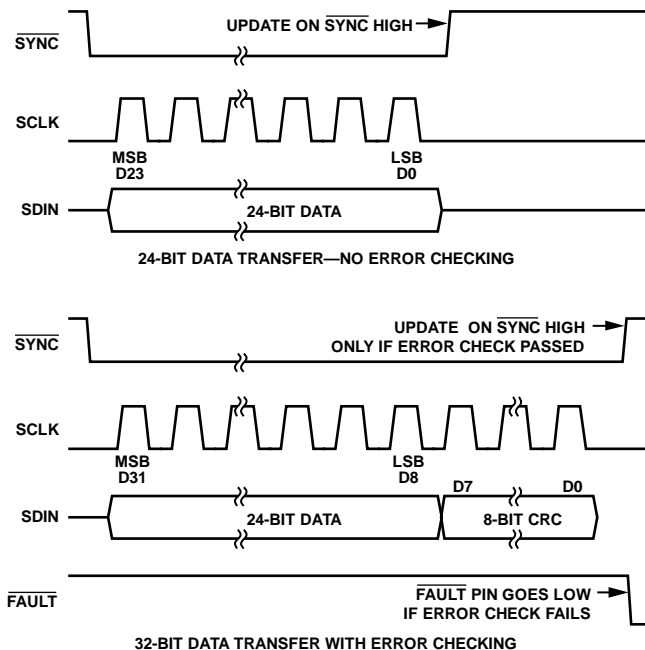


图76. PEC时序

分组错误校验可用于发送和接收数据包。如果使能写入期间回读状态功能，则应忽略状态回读操作期间返回的PEC

值。如果“写入期间回读状态”禁用，则用户仍然可以利用正常的回读操作，通过PEC监控状态寄存器活动。

看门狗定时器

使能片内看门狗定时器时，如果未在编程设定的超时周期内向软件寄存器写入0x195，定时器将产生一个报警信号。该功能用于确保MCU与AD5735间的通信不丢失，并且数据路径线路正常工作(即SDIN、SCLK和SYNC)。如果软件寄存器未在超时周期内收到0x195，则ALERT引脚将发出故障条件信号。ALERT引脚为高电平有效，可以直接连接至CLEAR引脚，以便在来自MCU的通信丢失时使能CLEAR。

要使能看门狗定时器并设置超时周期(5 ms、10 ms、100 ms或200 ms)，应对主控制寄存器编程(参见表21和表22)。

报警输出

The AD5735 is equipped with an ALERT pin.此引脚为高电平有效CMOS输出引脚。AD5735还内置一个看门狗定时器。看门狗定时器使能后可监控SPI通信。如果软件寄存器未在超时周期内收到0x195，则ALERT引脚将被激活。

内部基准电压源

AD5735内置集成式5 V基准电压源，初始精度为±5 mV(最大值)，温度系数为±10 ppm/°C(最大值)。基准电压源经过缓冲，可外部用于系统内的其他地方。

外部电流设置电阻

R_{SET}是内部检测电阻，属于电压-电流转换电路的一部分(参见图71)。输出电流值在整个温度范围内的稳定性取决于R_{SET}值的稳定性。要提高输出电流在整个温度范围内的稳定性，可旁路内部R_{SET}电阻R1，并将外部15 kΩ低漂移电阻连接到AD5735的R_{SET,x}引脚。外部电阻通过DAC控制寄存器进行选择(参见表24)。

表1给出了AD5735采用内部R_{SET}电阻和外部15 kΩ R_{SET}电阻时的性能规格。外部R_{SET}电阻与内部R_{SET}电阻选项相比，采用前者性能更优。外部R_{SET}电阻规格假设使用理想电阻，实际的性能取决于所用电阻的绝对值和温度系数。这直接影响输出的增益误差，从而影响总不可调整误差。若要计算采用特定外部R_{SET}电阻时的输出增益/TUE误差，请将R_{SET}电阻的百分比绝对误差与表1所示的采用外部R_{SET}电阻时AD5735的增益/TUE误差(表示为% FSR)直接相加。

数字压摆率控制

AD5735的数字压摆率控制特性允许用户控制输出值的变化速率。该特性在电流和电压输出通道上均可用。通过禁用压摆率控制特性，输出值以受输出驱动电路和所连负载限制的速率变化。要降低压摆率，用户可通过压摆率控制寄存器的SREN位使能数字压摆率控制功能(参见表29)。

使能压摆率控制时，输出将以SR_CLOCK和SR_STEP参数所定义的速率发生数字式步进变化，而不是直接在两个值之间摆动。这些参数可通过压摆率控制寄存器进行访问(参见表29)。

- SR_CLOCK定义了数字压摆率的更新速率；例如，如果选定更新速率为8 kHz，则输出每隔125 μs更新一次。
- SR_STEP定义了输出值每次更新时的变化幅度。

这两个参数共同定义输出值的变化速率。表34和表35分别列出了SR_CLOCK和SR_STEP参数的取值范围。

图34. 压摆率更新时钟选项

SR_CLOCK	更新时钟频率 ¹
0000	64 kHz
0001	32 kHz
0010	16 kHz
0011	8 kHz
0100	4 kHz
0101	2 kHz
0110	1 kHz
0111	500 Hz
1000	250 Hz
1001	125 Hz
1010	64 Hz
1011	32 Hz
1100	16 Hz
1101	8 Hz
1110	4 Hz
1111	0.5 Hz

¹ 这些时钟频率由13 MHz内部振荡器分频获得(参见表1、图67和图68)。

图35. 压摆率步长选项

SR_STEP	步长(LSB)
000	1
001	2
010	4
011	16
100	32
101	64
110	128
111	256

在以下等式中，压摆率为步长、更新时钟频率和LSB大小的函数。

$$\text{Slew Rate} = \frac{\text{Output Change}}{\text{Step Size} \times \text{Update Clock Frequency} \times \text{LSB Size}}$$

其中：

Slew Rate用秒表示。

Output Change针对 I_{OUT_x} 用A表示或针对 V_{OUT_x} 用V表示。

任何给定值的更新时钟对于所有输出范围都是相同的。但是，针对给定步长值，步长在整个输出范围内是变化的，因为对于每一输出范围而言，LSB大小都是不同的。

当压摆率控制功能使能时，所有输出以设定的压摆率变化(更多信息请参见“DC-DC转换器建立时间”部分)。例如，如果CLEAR引脚置位，输出以设定的压摆率压摆至清零值(假定通道使能清零功能)。

如果多个通道使能数字压摆率控制，将CLEAR引脚置位时必须格外小心。将CLEAR引脚置位时，如果一个受压摆率控制的通道正在摆动，其他受压摆率控制的通道可能直接更改为不受压摆率控制的清零代码。

动态电源控制

配置为电流输出模式时，AD5735使用DC-DC升压转换器电路提供集成式动态电源控制。相对于标准设计，此电路可降低功耗。

在标准电流输入模块设计中，负载电阻值的典型范围为50 Ω至750 Ω。输出模块系统必须有充足的源电压来满足整个负载电阻值范围内的顺从电压要求。例如，在4 mA至20 mA的环路中，当驱动20 mA电流时，即要求15 V以上的顺从电压。将20 mA驱动至50 Ω负载时，则只需1 V顺从电压。

AD5735电路对输出电压进行检测，并调节该电压，使其为顺从电压要求与较小裕量电压之和。AD5735最高可以驱动24 mA电流通过1 kΩ负载。

DC-DC转换器

AD5735内置四个独立的DC-DC转换器，用于为各个通道的 V_{BOOST_x} 电源电压提供动态控制(参见图71)。图77所示为该DC-DC电路需要的分立式元件，以下各节将介绍该电路的元件选择方法和工作原理。

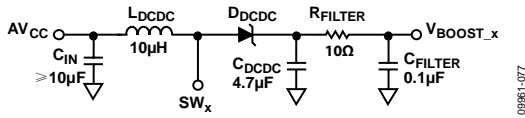


图77. DC-DC电路

表36. 推荐使用的DC-DC转换器

符号	器件	值	制造厂商
L _{DCDC}	XAL4040-103	10 μH	Coilcraft®
C _{DCDC}	GRM32ER71H475KA88L	4.7 μF	Murata
D _{DCDC}	PMEG3010BEA	0.285 V _F	恩智浦

建议在C_{DCDC}之后放置一个10 Ω、100 nF低通RC滤波器。虽然该器件会消耗少量电能，但会减少 V_{BOOST_x} 电源上的纹波。

DC-DC转换器工作原理

片上DC-DC转换器采用一种恒频、峰值电流模式控制方案，以便将4.5 V至5.5 V的 AV_{CC} 输入升压，进而驱动AD5735输出通道。这些转换器设计用于工作电流断续导通模式，占空比小于90%(典型值)。断续导通模式是一种工作模式，其中电感电流在较大比例的开关周期内为零。DC-DC转换器属于异步器件，要求采用外部肖特基二极管。

DC-DC转换器输出电压

使能通道电流输出时，转换器将 V_{BOOST_x} 电源调节至7.4 V(±5%)或($I_{\text{OUT}} \times R_{\text{LOAD}} + \text{裕量}$)，取较大值(电源电压裕量与输出电流间的关系曲线图参见图51)。在电压输出模式下，若输出被禁用，转换器将把 V_{BOOST_x} 电源调节至15 V(±5%)。在电流输出模式下，若输出被禁用，转换器将把 V_{BOOST_x} 电源调节至7.4 V(±5%)。

在通道内部， V_{OUT_x} 级和 I_{OUT_x} 级共用一个 V_{BOOST_x} 电源，因此 I_{OUT_x} 级和 V_{OUT_x} 级的输出可以连在一起(参见“在同一引脚上输出电压和电流”部分)。

DC-DC转换器建立时间

在电流输出模式下，步长大于~1 V ($I_{\text{OUT}} \times R_{\text{LOAD}}$)的建立时间将以DC-DC转换器的建立时间为主。当 I_{OUT_x} 引脚需要的电压与顺从电压之和低于7.4 V(±5%)时除外。图47显示了一种典型的输出建立时间曲线图，其中负载为1 kΩ。负载越小，建立时间越快。当电流步长小于24mA时，建立时间也会更快。

DC-DC转换器 V_{MAX} 功能

最大 V_{BOOST_x} 电压在DC-DC控制寄存器中设置(23 V、24.5 V、27 V或29.5 V；参见表28)。达到该最大电压时，DC-DC转换器被禁用， V_{BOOST_x} 电压则下降~0.4 V。当 V_{BOOST_x} 电压下降达~0.4 V时，DC-DC转换器被重新使能，电压再次缓升至 V_{MAX} (若仍有必要)。工作原理如图78所示。

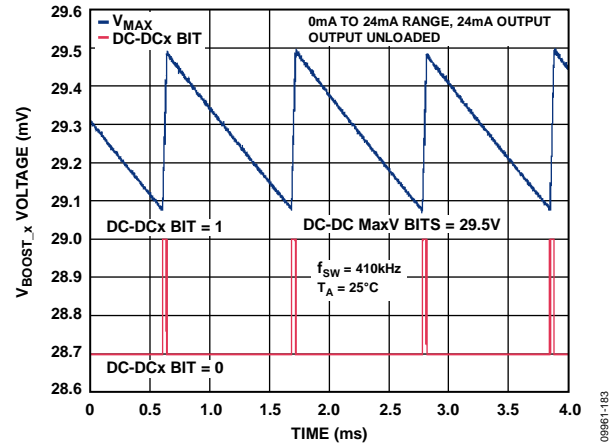


图78. 达到 V_{MAX} 时的工作原理

从图78可以看出，当AD5735电压缓升到 V_{MAX} 值时，状态寄存器中的DC-DCx位置位，但电压下降到 $V_{\text{MAX}} - \sim 0.4$ V时，则解除置位。

DC-DC转换器片上开关

AD5735内置一个0.425 Ω开关，开关电流按脉冲进行监控，峰值电流限值为0.8 A。

DC-DC转换器开关频率和相位

AD5735 DC-DC转换器开关频率可以从DC-DC控制寄存器选择(参见表28)。通道的相位也可进行调节，使DC-DC转换器支持不同的时钟边沿。在典型应用中，建议采用410 kHz频率。轻载时(低输出电流和小负载电阻)，DC-DC转换器进入脉冲跳跃模式，以降低开关功耗。

DC-DC转换器电感选择

对于典型的4 mA至20 mA应用，一个10 μH电感(如Coilcraft的XAL4040-103)配合410 kHz的开关频率，即可利用4.5 V至5.5 V的 AV_{CC} 电源将最高24 mA的电流驱动至最高1 kΩ的负载电阻。但十分重要的是，必须确保电感能够应付峰值电流而不饱和，特别是在最大环境温度下。如果电感进入饱和模式，效率便会下降。饱和过程中，电感值也会下降，并且可能使DC-DC转换器电路无法提供所需的输出功率。

DC-DC转换器外部肖特基二极管的选择

AD5735要求采用外部肖特基二极管方可正常运行，确保肖特基二极管的额定值能处理运行过程中可能出现的最大反向击穿电压，并保证不超过最高结温。二极管平均电流约等于 I_{LOAD} 电流。正向压降较大的二极管会导致效率下降。

DC-DC转换器补偿电容

由于DC-DC转换器以断续导通模式工作，未补偿的传递函数实际上是单极点传递函数。传递函数的极点频率取决于DC-DC转换器输出电容、输入和输出电压以及输出负载。AD5735采用一个外部电容和一个150 k Ω 内部电阻来补偿调节器环路。

也可以将一个外部补偿电阻与补偿电容串联起来，其方法是将DC-DC控制寄存器中的DC-DC补偿位置1(参见表28)。这种情况下，推荐使用一个50 k Ω 左右的电阻。此配置的优点如“AI_{CC}电源要求—压摆率”部分所述。对于典型应用，建议使用一个10 nF DC-DC补偿电容。

DC-DC转换器输入和输出电容选择

输出电容会影响DC-DC转换器的纹波电压，从而对通道输出电流可能升高的最大压摆率形成间接限制。纹波电压由电容以及电容的等效串电阻(ESR)二者共同导致。在典型应用中，建议采用4.7 μ F的陶瓷电容。较大的电容或者并行电容能改善纹波性能，但其代价是压摆率下降。较大的电容也会影响到压摆过程中的AV_{CC}电源电流要求(参见“AI_{CC}电源要求—压摆率”部分)。在所有工作条件下，DC-DC转换器输出端的电容均应大于3 μ F。

输入电容提供DC-DC转换器要求的大部分动态电流，其ESR应较低。对于AD5735，建议在典型应用中采用一个10 μ F的低ESR钽电容或陶瓷电容。选择陶瓷电容时必须小心，因为这种电容可能对直流偏置电压和温度极其敏感。最好选用X5R或X7R电介质，因为这种电容能在较宽的工作电压和温度范围内保持稳定。选择钽电容时必须小心，确保ESR值较低。

AI_{CC}电源要求—静态

DC-DC转换器设计用于提供等于以下值的V_{BOOST_X}电压

$$V_{BOOST_X} = I_{OUT} \times R_{LOAD} + Headroom \quad (2)$$

电源电压裕量与输出电流的关系曲线图参见图51。因此，对于固定负载和输出电压，DC-DC转换器的输出电流可以通过以下公式算出：

$$AI_{CC} = \frac{Power\ Out}{Efficiency \times AV_{CC}} = \frac{I_{OUT} \times V_{BOOST}}{\eta_{V_{BOOST}} \times AV_{CC}} \quad (3)$$

其中：

I_{OUT} 为 I_{OUT_X} 的输出电流(单位A)。

$\eta_{V_{BOOST}}$ 为V_{BOOST_X}效率(表示为小数，参见图53和图54)。

AI_{CC}电源要求—压摆率

AI_{CC}在压摆期间的电流要求大于静态工作模式，因为输出功率会增大，以驱动DC-DC转换器的输出电容。该瞬态电流可能非常大(参见图79)，但使用“降低AI_{CC}电流要求”部分描述的方法可以降低AV_{CC}电源的要求。

如果无法提供足够的AI_{CC}电流，AV_{CC}电压会下降。受AV_{CC}下降影响，压摆所需AI_{CC}电流会进一步增加，导致AV_{CC}的电压进一步下降(参见公式3)。这种情况下，V_{BOOST_X}电压和输出电压可能永远无法到达预期值。因为AV_{CC}电压为所有通道共用，所以此压降可能会同时影响其他通道。

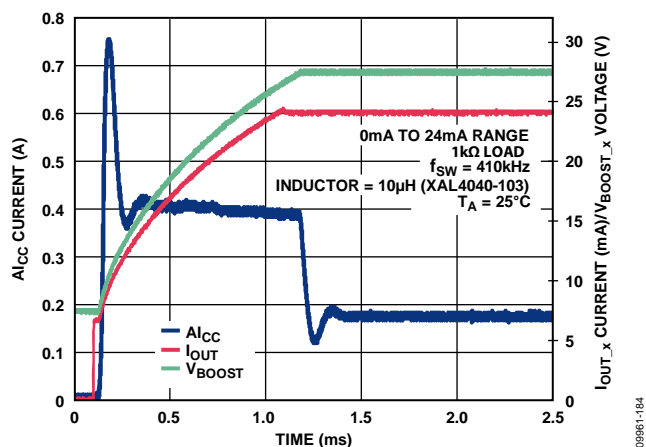


图79. AI_{CC}电流与时间的关系
(24 mA步长, 1 k Ω 负载, 内部补偿电阻)

降低 $A_{I_{CC}}$ 电流要求

主要有两种方法可用来降低 $A_{I_{CC}}$ 电流要求。一种方法是添加一个外部补偿电阻，另一种方法是采用压摆率控制。这些方法可配合使用。

添加外部补偿电阻

可以在 $COMP_{DCDC,x}$ 引脚处放置一个补偿电阻，与10 nF补偿电容串联。推荐使用一个51 kΩ的外部补偿电阻。该补偿电阻会增加电流输出的压摆时间，但可以降低 $A_{I_{CC}}$ 的瞬态电流要求。图80所示为 $A_{I_{CC}}$ 电流曲线，其中步长为24 mA，负载为1 kΩ，采用一个51 kΩ的补偿电阻。补偿电阻可以进一步降低较小负载的电流要求，如图81所示。

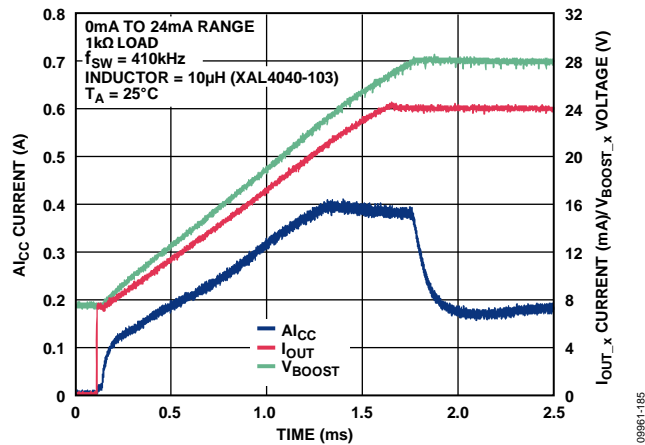


图80. $A_{I_{CC}}$ 电流与时间的关系
(24 mA步长, 1 kΩ负载, 外部51 kΩ补偿电阻)

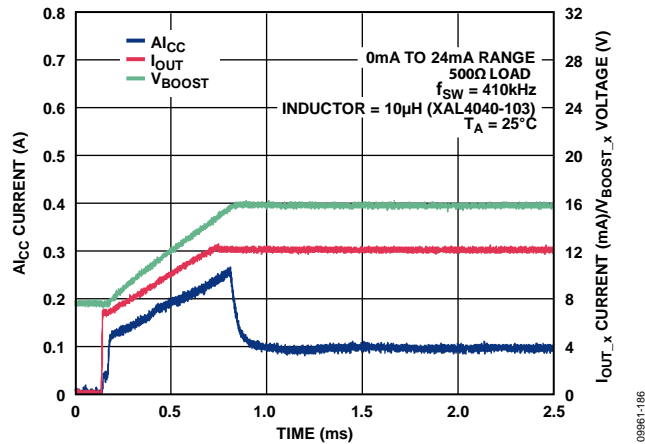


图81. $A_{I_{CC}}$ 电流与时间的关系
(24 mA步长, 500 Ω负载, 外部51 kΩ补偿电阻)

使用压摆率控制

使用压摆率控制可大幅降低 $A_{V_{CC}}$ 电源的电流要求，如图82所示。

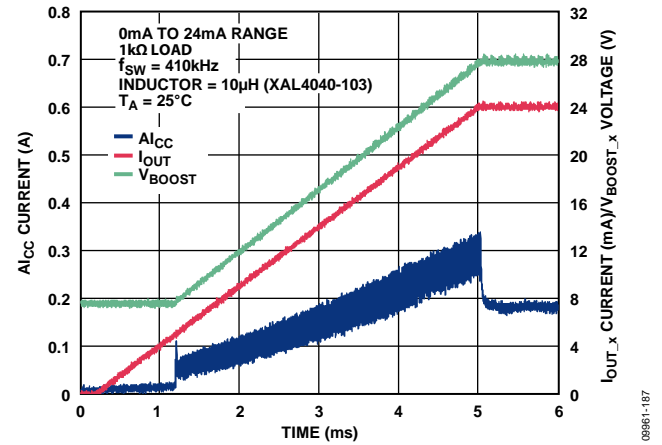


图82. $A_{I_{CC}}$ 电流与时间的关系
(24 mA步长, 1 kΩ负载, 采用压摆率控制)

使用压摆率控制时，切记输出的压摆速率不能比DC-DC转换器快。电流较高、负载较大(如1 kΩ)时，DC-DC转换器压摆率最慢。该压摆率还取决于DC-DC转换器的配置。图80和图81显示了DC-DC转换器输出压摆率的两个示例(V_{BOOST} 对应于DC-DC转换器的输出电压)。

应用信息

相同引脚上的电压和电流输出引脚

使用AD5735的一个通道时，电流和电压输出引脚可以连接到两个独立的引脚上，也可连在一起并接到单个引脚上。两个输出引脚可连在一起是因为任何时候都只能使能电压输出和电流输出二者之一。当使能电流输出时，电压输出处于三态模式；当使能电压输出时，电流输出为三态模式。两个输出引脚连在一起时，POC引脚必须连接低电平，主控制寄存器中的POC位必须置0；或者，如果POC引脚连接高电平，则主控制寄存器中的POC位必须置1，然后使能电流输出。

如“绝对最大额定值”部分所示，电压和电流输出引脚的输出容差相同。 $+V_{SENSE_X}$ 和 $-V_{SENSE_X}$ 连接经过缓冲，因此，在电流输出模式下，器件工作时漏入这些引脚的电流可以忽略不计。

采用内部 R_{SET} 的电流输出模式

在电流输出模式下使用内部 R_{SET} 电阻时，使用内部 R_{SET} 的其他通道的使能数量以及这些通道产生的直流串扰都会显著影响输出。表1中的内部 R_{SET} 规格是使能所有四个通道、选择内部 R_{SET} 且输出相同代码时的规格。

对于通过内部 R_{SET} 使能的每个通道，失调误差均会降低。例如，对于使用内部 R_{SET} 使能的一个电流输出，失调误差为0.075% FSR。随着更多电流通道使能，该值成比例降低；使能两个通道时，每个通道的失调误差为0.056% FSR，三个通道时为0.029% FSR，四个通道时为0.01% FSR。

同样地，使用内部 R_{SET} 时的直流串扰与使用内部 R_{SET} 使能的电流输出通道的数量成正比。例如，受测量通道位于0x8000，另一通道从零刻度升至满量程时，直流串扰为-0.011% FSR。两个其他通道从零刻度升至满量程时，直流串扰为-0.019% FSR，所有三个其他通道从零刻度升至满量程时，直流串扰为-0.025% FSR。

对于表1中的满量程误差测量，所有通道位于0xFFFF。这意味着一旦任何通道变为零刻度，满量程误差都会因直流串扰而增加。例如，受测量通道位于0xFFFF，三个通道处

于零刻度时，满量程误差为0.025% FSR。同样，如果仅一个通道在电流输出模式下通过内部 R_{SET} 使能，满量程误差为0.025% FSR + 0.075% FSR = 0.1% FSR。

精密基准电压源的选择

要使AD5735在其整个工作温度范围内达到最佳性能，必须使用精密基准电压源。选择精密基准电压源时需要全面考虑。基准输入端的电压用于为DAC内核提供经缓冲的基准电压。因此，任何基准电压误差都会反应到AD5735的输出端。

针对高精度应用选择基准电压时，需要考虑4种可能的误差源：输出电压的初始精度、长期漂移、温度系数和输出电压噪声。

外部基准电压源的输出电压初始精度误差会导致DAC的满量程误差。因此，最好选用具有低初始精度误差特性的基准电压源来尽量降低这些误差。具有输出调整功能的基准电压源，如ADR435等，允许系统设计人员将基准电压设置为标称值以外的电压，以便校正系统误差。这种调整可以在任何温度下使用来消除误差。

长期漂移衡量基准输出电压随时间的漂移量。具有低长期漂移特性的基准电压源可确保整体解决方案终身保持相对稳定。

基准输出电压的温度系数影响INL、DNL和TUE。应选择温度系数较低的基准电压源，以降低DAC输出电压对环境温度的依赖性。

在噪声预算相对较低的高精度应用中，必须考虑基准电压源的输出电压噪声。考虑到系统的分辨率，选择具有尽可能低的输出噪声的基准电压很重要。ADR435(XFET®设计)之类精密基准电压源在0.1 Hz至10 Hz带宽范围提供低输出噪声。然而，随着电路带宽增加，可能需要对基准电压源的输出进行滤波来尽量降低输出噪声。

表37. 推荐使用的精度基准电压源

产品型号	初始精度 (mV, 最大值)	长期漂移 (ppm, 典型值)	温度系数 (ppm/°C, 最大值)	0.1 Hz至10 Hz噪声 (μ V p-p, 典型值)
ADR445	± 2	50	3	2.25
ADR02	± 3	50	3	10
ADR435	± 2	40	3	8
ADR395	± 5	50	9	8
AD586	± 2.5	15	10	4

AD5735

驱动感性负载

驱动感性负载或非明确定义的负载时，可能需要在 I_{OUT_x} 引脚和AGND之间连接一个电容，以确保稳定性。在 I_{OUT_x} 与AGND之间连接一个 $0.01\ \mu\text{F}$ 电容可以确保50 mH负载的稳定性。负载的容性组分可能导致建立时间变慢，但AD5735的建立时间可以掩盖这一点。AD5735的电流输出不存在最大电容限制。

瞬变电压保护

AD5735内置ESD保护二极管，可防止器件在一般工作条件下受损。但是，工业控制环境会使I/O电路遭受高得多的瞬变。为了防止AD5735受到过高的电压瞬变，需要使用外部功率二极管和一个浪涌电流限流电阻，如图83所示。 R_p 典型值为 $10\ \Omega$ 。两个保护二极管和电阻(R_p)必须具有适当的额定功率。

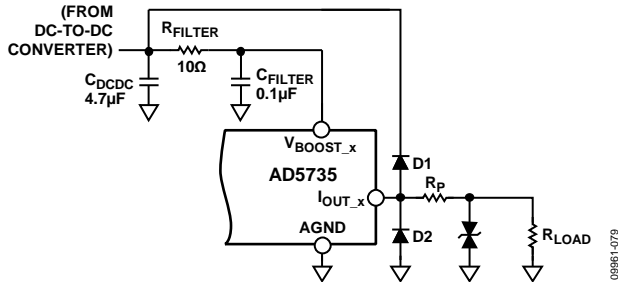


图83. 输出瞬变电压保护

通过瞬态电压抑制器(TVS)(也称为瞬态吸收器)可实现进一步的保护。这些元件包括单向抑制器(防范正高电压瞬态)和双向抑制器(防范正负高电压瞬态)，可提供各种各样的隔离和击穿电压额定值。TVS应尽量采用最低击穿电压定标，同时在电流输出的功能范围内不导通。

建议保护所有现场连接节点。电压输出节点可通过类似电路保护，其中将D2和瞬态吸收器连接到 AV_{SS} 。对于电压输出节点， $+V_{SENSE_x}$ 引脚也应通过与瞬态吸收器串联较大值的电阻进行保护，例如 $5\ \text{k}\Omega$ 。这样， I_{OUT_x} 和 V_{OUT_x} 引脚便可连在一起，共用同一保护电路。

微处理器接口

AD5735通过一条串行总线实现与微处理器的接口，这条总线使用与微控制器和DSP处理器兼容的协议。通信通道是一个三线式最小接口，由一个时钟信号、一个数据信号和一个锁存信号组成。AD5735需要24-bit数据字，在SCLK的下降沿时数据有效。

DAC输出更新在 $\overline{\text{LDAC}}$ 的上升沿启动；当 $\overline{\text{LDAC}}$ 保持低电平时，则在 $\overline{\text{SYNC}}$ 的上升沿启动。寄存器的内容可采用回读功能进行读取。

AD5735与ADSP-BF527的接口

AD5735可以直接连接ADSP-BF527的SPORT接口，这是一款ADI公司出品的Blackfin® DSP器件。图84显示如何连接一个SPORT接口来控制AD5735。

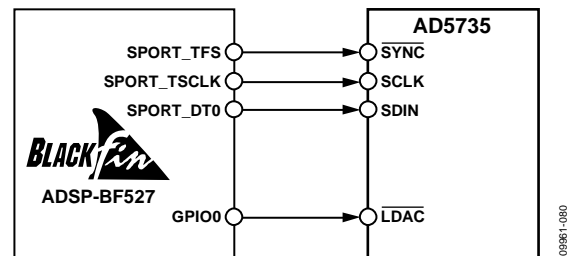


图84. AD5735与ADSP-BF527 SPORT的SPORT接口

布局布线指南

接地

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。AD5735所在的印刷电路板在设计时应将模拟部分与数字部分分离，并限制在电路板的特定区域内。如果AD5735所在系统中有多个器件要求AGND至DGND连接，则只能在一个点上连接。星形接地点应尽可能靠近器件。

AV_{CC} 电源的 GNDSW_x 和接地连接被称为PGND。PGND应局限在电路板的特定区域之内，并且PGND与AGND只能在一个点进行连接。

电源去耦

AD5735应当具有足够大的 $10\ \mu\text{F}$ 电源旁路电容，与每个电源上的 $0.1\ \mu\text{F}$ 电容并联，并且尽可能靠近封装，最好是正对着该器件。 $10\ \mu\text{F}$ 电容应为钽珠型电容。 $0.1\ \mu\text{F}$ 电容应具有低有效串联电阻(ESR)和低有效串联电感(ESL)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。

走线

AD5735的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺效应。时钟等快速开关信号应利用数字地屏蔽起来，以免向电路板上的其它器件辐射噪声，并且绝不应靠近基准输入。SDIN与SCLK走线之间布设接地线路有助于降低二者之间的串扰(多层电路板上不需要，因为它有独立的接地层，但将线路分开是有利的)。REFIN线路上的噪声必须降至最低，因为这种噪声会被耦合至DAC输出。

避免数字信号与模拟信号交叠。电路板相反两侧上的走线应彼此垂直，以减小电路板的馈通效应。微带线技术在目前看来是最佳方法，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

DC-DC转换器

为了实现较高的效率、良好的调节性能和出色的稳定性，印刷电路板布局布线必须设计合理。

在设计印刷电路板时请遵循以下原则(参见图77)：

- 使低ESR输入电容 C_{IN} 靠近 AV_{CC} 和PGND。
- 使从 C_{IN} 通过电感 L_{DCDC} 到 SW_x 和PGND的高电流路径尽量短。
- 使从 C_{IN} 通过电感(L_{DCDC})、二极管(D_{DCDC})到输出电容(C_{DCDC})的高电流路径尽量短。

- 使高电流走线尽量短、尽量宽。从 C_{IN} 通过电感(L_{DCDC})到 SW_x 和PGND的路径应能处理最低1 A的电流。
- 使补偿器件尽量靠近 $COMP_{DCDC_x}$ 引脚。
- 避免高阻抗走线靠近连接到 SW_x 的任何节点，避免靠近电感，以防止辐射噪声注入。

电流隔离接口

在许多过程控制应用中，需要在控制器与受控单元之间提供一个隔离栅，以保护和隔离控制电路遭受可能发生的任何危险共模电压。ADI公司的*iCoupler*®产品可以提供超过2.5 kV的隔离电压。AD5735的串行加载结构使其成为隔离接口的理想选择，因为其接口线数保持最少。图85显示AD5735使用ADuM1411时的4通道隔离接口。欲了解更多信息，请访问www.analog.com。

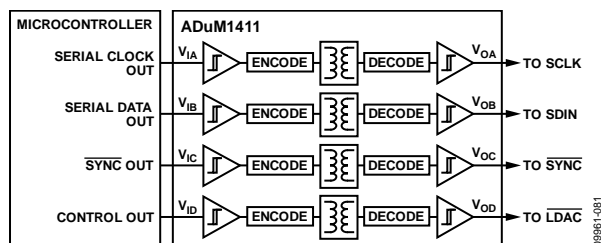
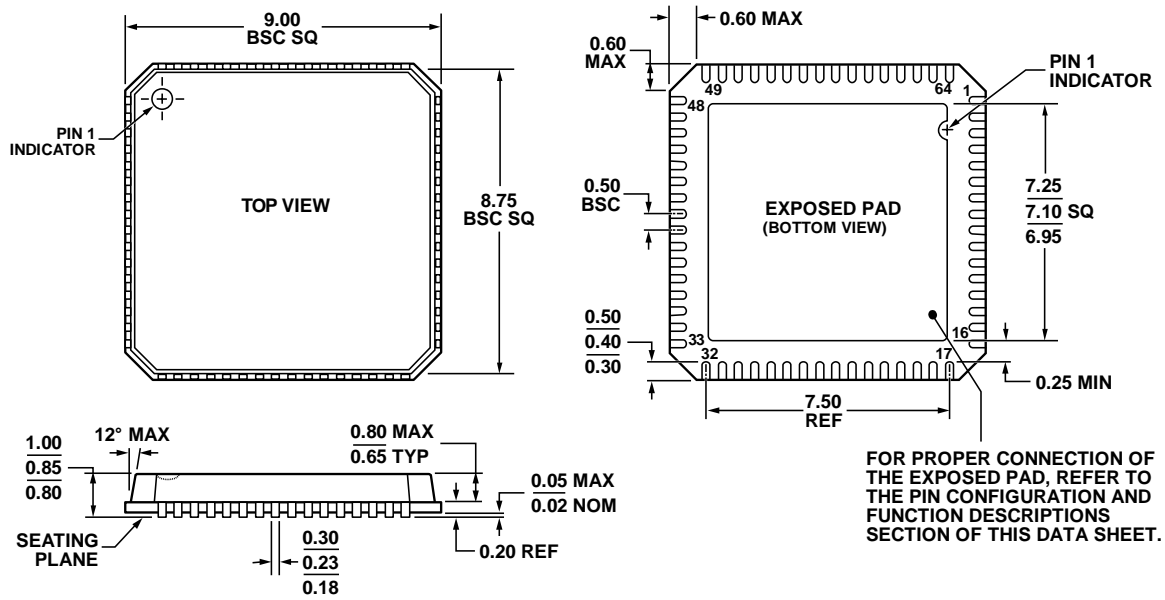


图85. 与AD5735的4通道隔离接口

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VMMMD-4

图86. 64引脚引脚架构芯片级封装[LFCSP_VQ]
 9 mm × 9 mm, 超薄体
 (CP-64-3)
 图示尺寸单位: mm

080108-C

订购指南

型号 ¹	分辨率(Bits)	温度范围	封装描述	封装选项
AD5735ACPZ	12	-40°C 至+105°C	64引脚LFCSP_VQ	CP-64-3
AD5735ACPZ-REEL7	12	-40°C 至+105°C	64引脚LFCSP_VQ	CP-64-3

¹ Z = 符合RoHS标准的器件。