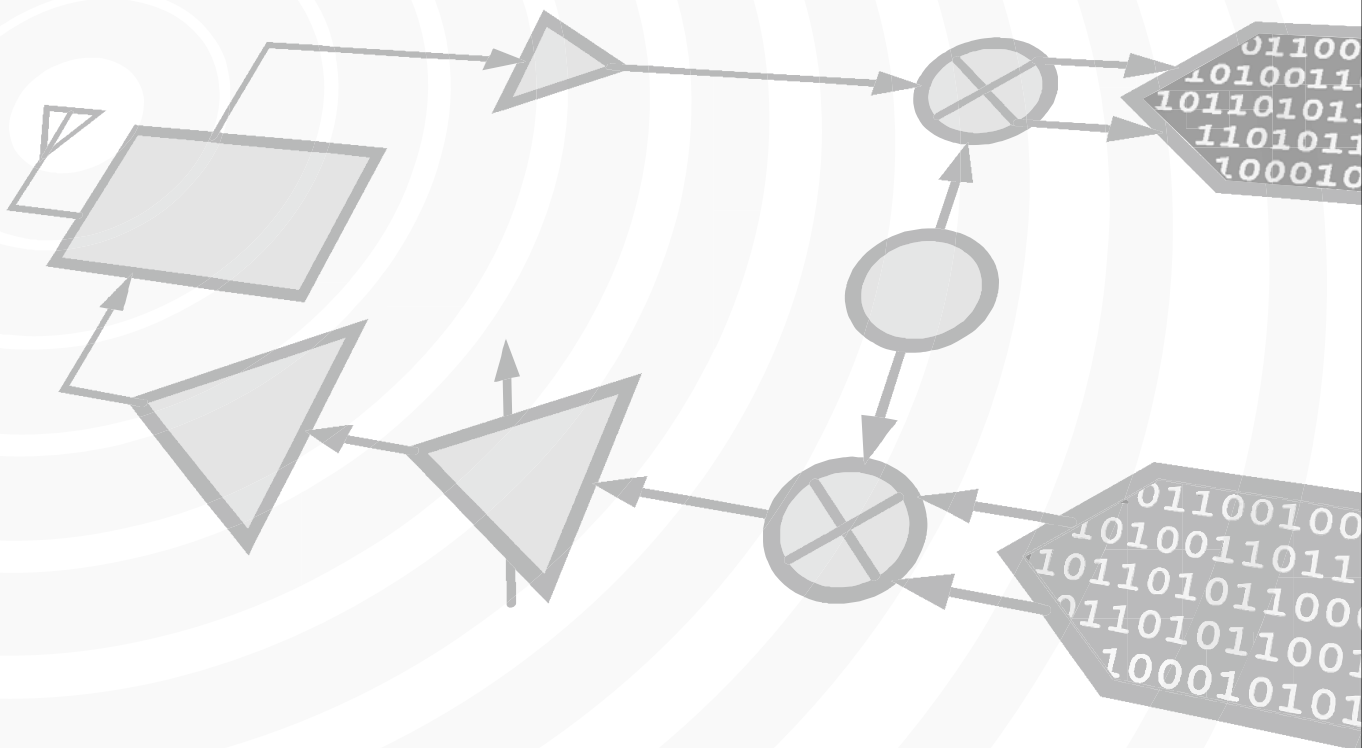


ADI公司欢迎 Hittite Microwave公司

所附文档的内容未做任何更改



本页空白

典型应用

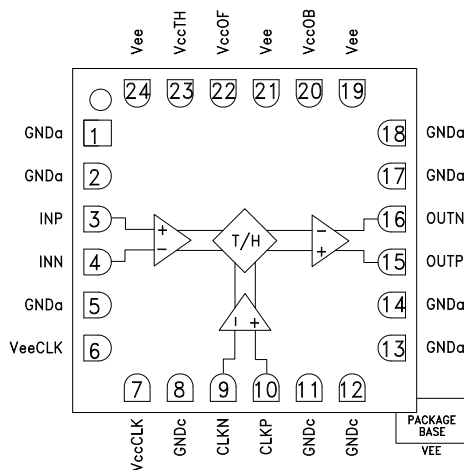
HMC661LC4B是以下应用的理想选择:

- RF ATE应用
- 数字采样示波器
- RF解调系统
- 数字接收机系统
- 高速峰值检波器
- 软件定义无线电
- 雷达、ECM和ELINT系统
- 高速DAC去毛刺

产品特性

- 18 GHz输入带宽 (1 V_{p-p}满量程)
- 最大采样速率: 4 GS/s
- 68 dB SFDR (4 GHz / 0.5 V_{p-p}输入, CLK = 1 GS/s)
- 57 dB SFDR (4 GHz / 1 V_{p-p}输入, CLK = 1 GS/s)
- 直接耦合I/O
- 超干净输出波形, 最小毛刺
- 保持模式馈通抑制: >60 dB
- 保持模式输出噪声: 1.05 mV RMS
- 提供单列/双列评估板
- 符合RoHS标准的4×4 mm SMT封装

功能框图



概述

HMC661LC4B是一款SiGe单芯片、全差分、单列、采样保持(T/H)放大器, 面向宽带信号采样系统提供前所未有的带宽和动态范围性能。此款放大器在18 GHz的带宽范围内提供精密的信号采样, 在DC至超过5 GHz的输入频率范围内具有9/10位线性度、1.05 mV噪声和<70 fs的随机孔径抖动性能。该器件的时钟速率可达4 GS/s, 动态范围损失极小。该放大器可用于扩展高速模数转换和信号采集系统的带宽和/或高频线性度。

电气规格, T_A = +25 °C, 测试条件参见下页

参数	条件	测试级别	最小	典型值	最大	单位
模拟输入(INP、INN)						
差分满量程范围	满量程输入, 用于线性度测试	1		1		V _{pp}
输入电阻	每个引脚至地	3		50		Ω
回损	0至12 GHz	3		-23		dB
回损	12至18 GHz	3		-8		dB
输入共模电压		3	-0.1	0	0.1	V
时钟输入(CLKP、CLKN)						
直流差分时钟高电压(采样模式)		3	20	40	2000	mV
直流差分时钟低电压(保持模式)		3	-2000	-40	-20	mV
幅度(正弦输入)	每端口	2	-6	0	10	dBm
输入共模电压		3	-0.5	0	0.5	V
时钟压摆率	实现最佳线性度的推荐值	3		2 - 4		V/ns
回损	0至3 GHz	3		-24		dB
回损	3至6 GHz	3		-18		dB
输入电阻	每个引脚至地	3		50		Ω

关于报价、交货和订购, 请联系: Hittite Microwave Corporation, 2 Elizabeth Drive, Chelmsford, MA 01824

电话: 978-250-3343 传真: 978-250-3373 在线订购: www.hittite.com

应用支持: 电话: 978-250-3343或apps@hittite.com

电气规格(续)

参数	条件	测试级别	最小值	典型值	最大值	单位
模拟输出(OUTP、OUTN)						
差分满量程范围		4		1		Vp-p
共模输出电压		4		0		V
输出阻抗	每端口	3		50		Ω
回损	0至3 GHz	3		-18		dB
回损	3至6 GHz	3		-11		dB
采样模式动态特性						
基带增益		1	-1.5	0	0.5	dB
采样模式带宽	@ 1 Vp-p输入	4		6		GHz
积分噪声 ^[2]		3		0.95		mV RMS
保持模式动态特性						
采样带宽	@ -3 dB增益、1 Vp-p输入电平	3		18		GHz
差分下降率(线性分量)		1		-1.4		%/ns
差分下降率幅值 (固定分量)		1		0.9		mV/ns
馈通抑制	@ 3 GHz	3		≥ 60		dB
积分噪声 ^[2]	500 MHz时钟频率	3		1.05		mV RMS
最长保持时间		3		2		ns
单音THD/SFDR @ 0.995 GHz	满量程输入(1 Vp-p) ^[1]	3		-56 / 56		dB
单音THD/SFDR @ 1.995 GHz	满量程输入(1 Vp-p) ^[1]	3		-56 / 56		dB
单音THD/SFDR @ 2.995 GHz	满量程输入(1 Vp-p) ^[1]	3		-57 / 57		dB
单音THD/SFDR @ 3.995 GHz	满量程输入(1 Vp-p) ^[1]	1		-57 / 57		dB
单音THD/SFDR @ 4.995 GHz	满量程输入(1 Vp-p) ^[1]	3		-56 / 56		dB
单音THD/SFDR @ 5.995 GHz	满量程输入(1 Vp-p) ^[1]	3		-49 / 50		dB
单音THD/SFDR @ 7.995 GHz	满量程输入(1 Vp-p) ^[1]	3		-42 / 43		dB
单音THD/SFDR @ 9.995 GHz	满量程输入(1 Vp-p) ^[1]	3		-35 / 38		dB
单音THD/SFDR @ 11.995 GHz	满量程输入(1 Vp-p) ^[1]	3		-31 / 33		dB
单音THD/SFDR @ 0.995 GHz	半满量程输入(0.5 Vp-p) ^[1]	3		-65 / 67		dB
单音THD/SFDR @ 1.995 GHz	半满量程输入(0.5 Vp-p) ^[1]	3		-64 / 65		dB
单音THD/SFDR @ 2.995 GHz	半满量程输入(0.5 Vp-p) ^[1]	3		-64 / 66		dB
单音THD/SFDR @ 3.995 GHz	半满量程输入(0.5 Vp-p) ^[1]	3		-66 / 68		dB
单音THD/SFDR @ 4.995 GHz	半满量程输入(0.5 Vp-p) ^[1]	3		-64 / 67		dB
单音THD/SFDR @ 5.995 GHz	半满量程输入(0.5 Vp-p) ^[1]	3		-57 / 62		dB
单音THD/SFDR @ 7.995 GHz	半满量程输入(0.5 Vp-p) ^[1]	3		-53 / 55		dB
单音THD/SFDR @ 9.995 GHz	半满量程输入(0.5 Vp-p) ^[1]	3		-43 / 45		dB
单音THD/SFDR @ 11.995 GHz	半满量程输入(0.5 Vp-p) ^[1]	3		-38 / 40		dB
采样保持器和采样保持器切换						
孔径延迟	仿真值			-6		ps
随机孔径抖动	满量程输入 @ 1 GHz ^[1]	3		<70		fs
差分基底(线性分量)	1 GHz时钟频率, 6 dBm时钟功率	3		-1.0		%
差分基底幅度(固定分量)		3		2.8		mV
时钟频率	@ 50%占空比	3	250		4000	MHz

[1] 1 GS/s时钟, 时钟功率 = 6 dBm / 输入引脚。

[3] 生产测试条件: 500 MS/s时钟, 时钟功率 = 10 dBm。

[2] 噪声带宽受大约7 GHz的输出放大器带宽限制。

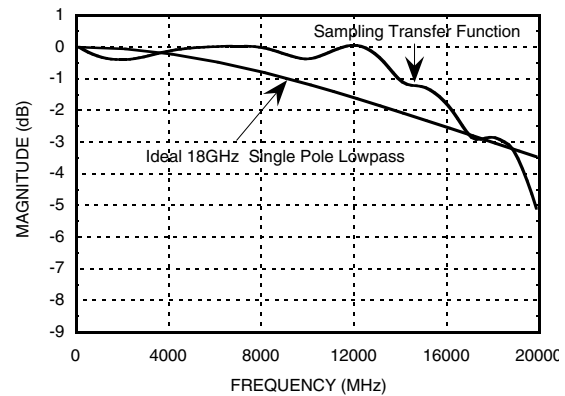
电气规格(续)

参数	条件	测试级别	最小值	典型值	最大值	单位
时钟缓冲器流水线延迟	仿真值			35		ps
1 mV采集时间	仿真值			132		ps
1 mV建立时间	仿真值			135		ps
输出缓冲器延迟(从保持节点到输出)	仿真值			43		ps
电源要求						
VccTH电压			1.9	2	2.1	V
VccTH电流		1		82		mA
VccOF电压			1.9	2	2.1	V
VccOF电流		1		40		mA
VccOB电压			1.9	2	2.1	V
VccOB电流		1		73		mA
VccCLK电压			1.9	2	2.1	V
VccCLK电流		1		26		mA
Vee电压			-5	-4.75	-4.5	V
(Vee + VeeCLK)电流		1		-242		mA
功耗		1		1.59		W

测试级别

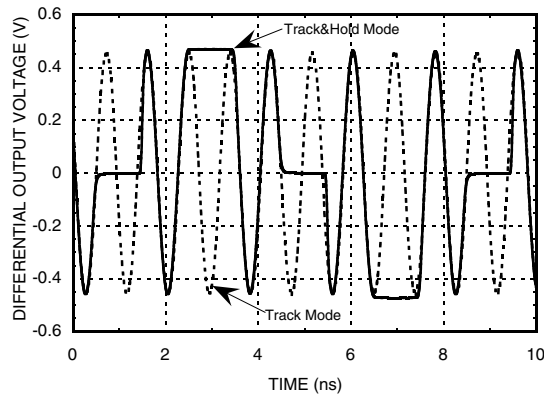
1. 在 $T_A = +25^\circ\text{C}$ 时执行100%生产测试
2. 通过设计/特性测试保证
3. 抽样特性测试
4. 仅典型值

采样传递函数



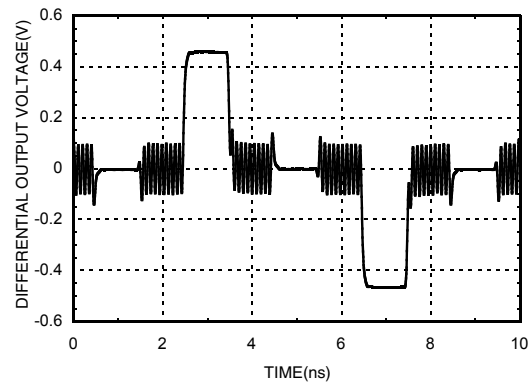
时域输出波形

($f_{\text{clk}} = 500 \text{ MHz}$, $f_{\text{in}} = 1.125 \text{ GHz}$)



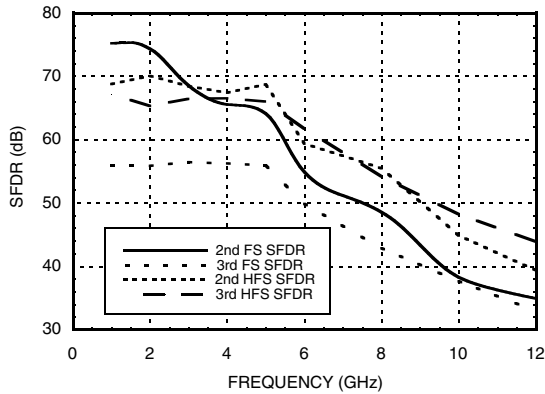
时域输出波形

($f_{\text{clk}} = 500 \text{ MHz}$, $f_{\text{in}} = 10.125 \text{ GHz}$)

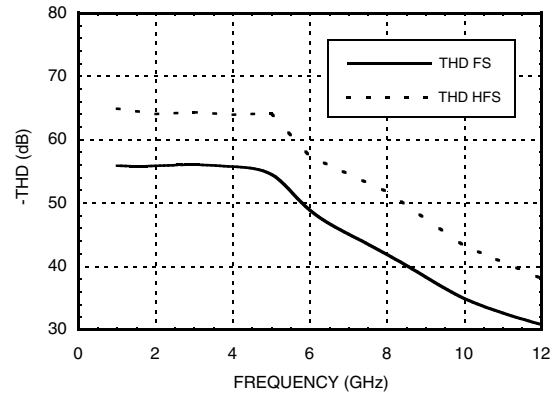




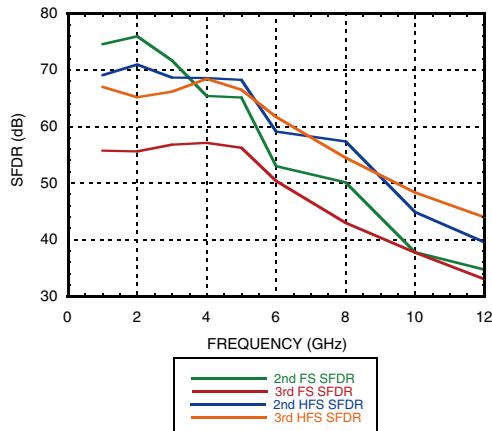
保持模式SFDR与频率和输入功率的关系
($f_{clk} = 500 \text{ MHz}$, $+10 \text{ dBm}$)^{[1][2]}



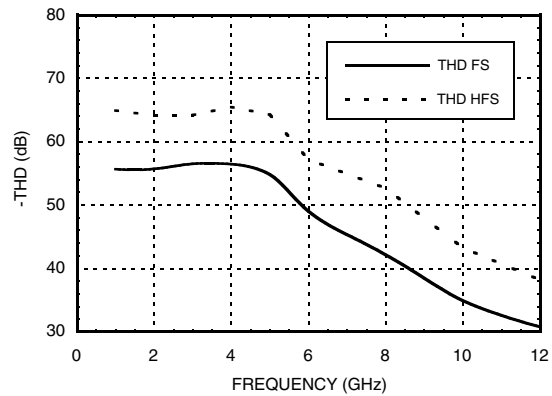
保持模式THD与频率和输入功率的关系
($f_{clk} = 500 \text{ MHz}$, $+10 \text{ dBm}$)



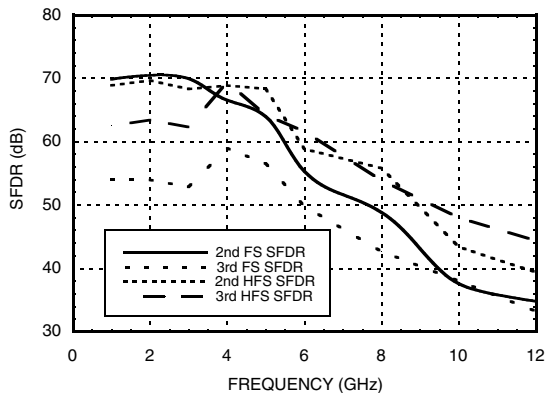
保持模式SFDR与频率和输入功率的关系
($f_{clk} = 1 \text{ GHz}$, $+6 \text{ dBm}$)



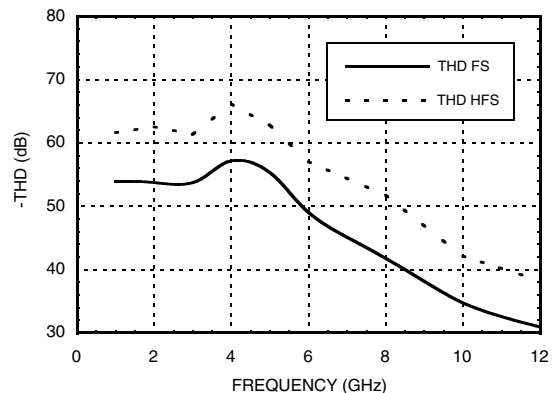
保持模式THD与频率和输入功率的关系
($f_{clk} = 1 \text{ GHz}$, $+6 \text{ dBm}$)



保持模式SFDR与频率和输入功率的关系
($f_{clk} = 2 \text{ GHz}$, 0 dBm)



保持模式THD与频率和输入功率的关系
($f_{clk} = 2 \text{ GHz}$, 0 dBm)



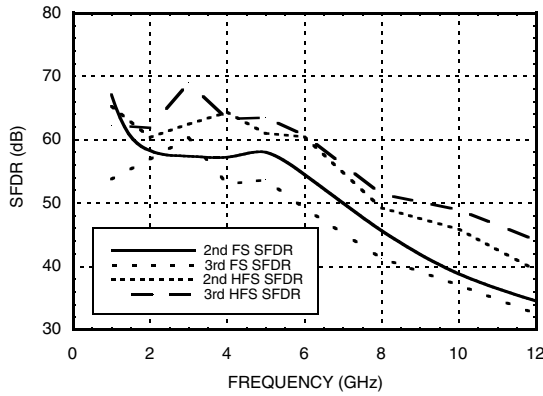
[1] FS = 满量程输入电平, HFS = 半满量程输入电平

[2] 由于测量噪声底限制, 半满量程和满量程输入的测量动态范围分别约为68 dB和74 dB。因此, 实测杂散产物往往会被限制在这些水平。

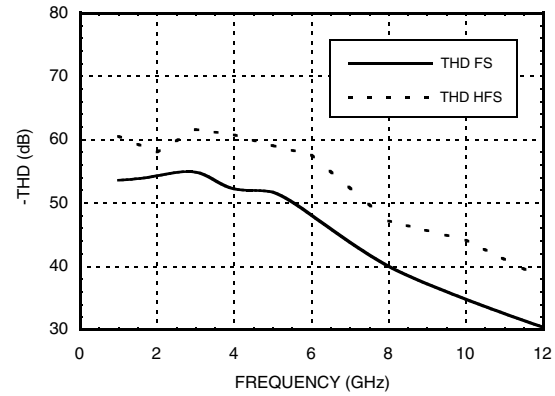


**超宽带4 GS/S采样
保持放大器, DC - 18 GHz**

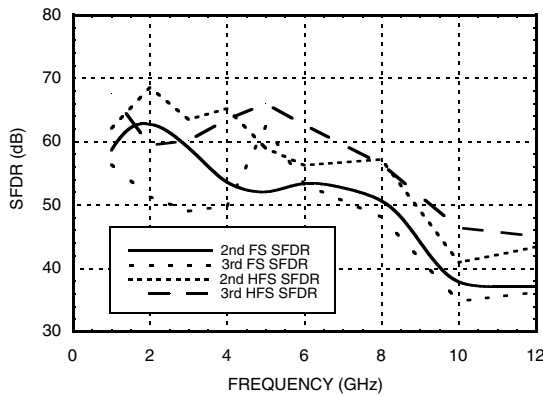
保持模式SFDR与频率和输入功率的关系
($f_{clk} = 3 \text{ GHz}$, 0 dBm)



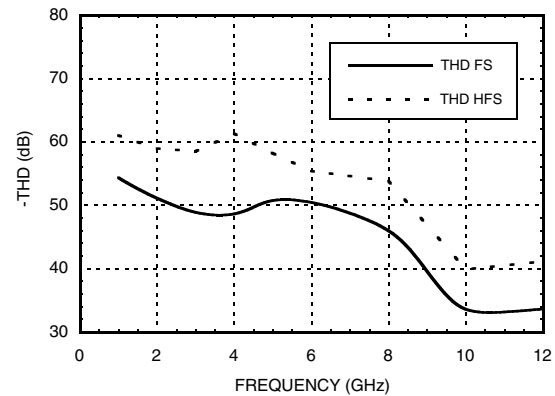
保持模式THD与频率和输入功率的关系
($f_{clk} = 3 \text{ GHz}$, 0 dBm)



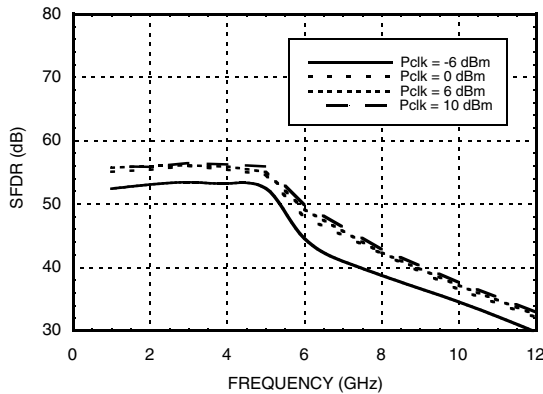
保持模式SFDR与频率和输入功率的关系
($f_{clk} = 4 \text{ GHz}$, 0 dBm)



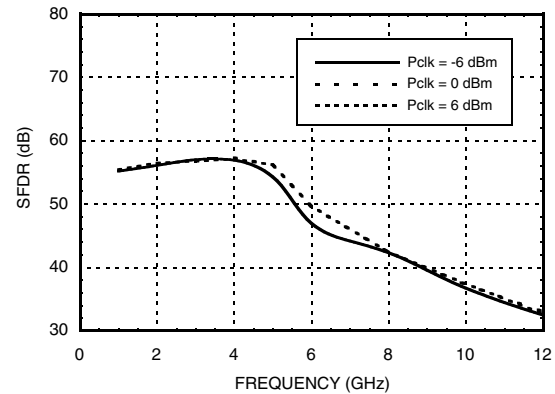
保持模式THD与频率和输入功率的关系
($f_{clk} = 4 \text{ GHz}$, 0 dBm)



保持模式SFDR与频率和时钟功率的关系
(1 Vp-p满量程输入电平, $f_{clk} = 500 \text{ MHz}$ 正弦波)



保持模式SFDR与频率和时钟功率的关系
(1 Vp-p满量程输入电平, $f_{clk} = 1 \text{ GHz}$ 正弦波)



特性定义

孔径延迟: 确切采样时间相对于将保持命令应用于器件的时间的延迟。它是到保持节点的时钟切换跃迁延迟与到保持节点的输入信号群延迟之差。如果到保持节点的输入信号群延迟超过时钟延迟, 该量可以是负值。

孔径抖动: 采样时刻的标准差。

采集时间: 内部保持到采样转换与保持节点信号跟踪输入信号达到额定精度的时间之间的间隔。它不包括时钟缓冲器的流水线延迟。

差分基底: 采样值的一个分量, 由采样转换期间T/H开关的电荷再分配引起。一般而言, 该基底可以由三部分构成: 一个固定偏移, 一个与输入信号幅度线性相关的部分, 以及一个与输入信号幅度非线性相关的部分。基底的大部分通常是线性的。基底值的近似计算公式如下:

$$P = P_o + P_{lin} V_{in}$$

其中, P_o 为基底固定部分, P_{lin} 为基底线性部分, V_{in} 为采样信号电平。

差分下降率: 当T/H处于保持模式时, 保持的样本的差分输出电压的慢速漂移。它通常是由保持电容的漏电流引起, 对应于保持电压随时间的衰减。该下降可以近似看作一个固定部分和一个与保持样本电压线性相关的部分之和。总下降可以通过下式近似计算: $D = D_o + D_{lin} V_{in}$, 其中 D_o 为固定部分, D_{lin} 为线性下降常数, V_{in} 为采样信号电平。 D_o 的符号往往是随机的, 因此仅指定其幅度。下降大部分是线性的, 因此其引起的非线性误差非常小。

馈通抑制: 衡量T/H内部开关的关断状态(保持模式)隔离性能。定义为保持模式下馈通的输出信号幅度(对于正弦输入)与采样模式下的输出信号幅度之比。按采样模式信号归一化可得出无输出放大器带宽限制影响的真正开关隔离性能。

满量程范围: 在满足要求的同时, T/H能够处理的最小和最大信号电平之间的电压范围。

采样带宽: 保持样本幅度表示的采样信号电平的-3 dB带宽。它既包括从信号输入到保持节点的传递函数的带宽, 也包括与采样孔径的有限时长相关的限带效应。

建立时间: 内部采样到保持转换与保持输出信号稳定在额定精度以内的时间之间的间隔。它不包括时钟缓冲器的流水线延迟, 但包括输出放大器的群延迟。

无杂散动态范围(SFDR): 正弦输出信号幅度与一个奈奎斯特带宽范围内的最大非线性产物的幅度之比, 通常用dB表示。它既可以针对满量程输入指定, 也可以针对满量程输入的一部分指定。仅基于二阶非线性产物的SFDR称为二阶SFDR (SFDR2)。仅基于三阶产物的SFDR称为三阶SFDR (SFDR3)。

总谐波失真(THD): 非线性产生的谐波和谐波混叠的总功率(在一个奈奎斯特频段内测量)与输出信号功率之比。

应用须知

一般说明: HMC661LC4B超宽带单列T/H放大器针对需要最大采样带宽、在超宽带宽内具有高线性度和低噪声的微波数据转换应用进行了优化。此器件的一个关键应用是高速模数转换器的前端采样,用来增强其输入带宽和/或高频线性度。虽然有多种高速模数转换器提供增强的采样速率,但其中能够提供数GHz以上输入带宽的则很少。此外,在超过UHF频段的频率,要保持良好的采样线性度在技术上是非常困难的;当信号频率高于1到2 GHz时,多数模数转换器的线性度会迅速降低。HMC661LC4B拥有18 GHz输入带宽和出色的宽带线性度,能够消除上述局限性。一旦在该T/H中进行采样,低带宽保持的输出波形便可由一个带宽低很多的模数转换器处理。另外,模数转换器在高输入频率时的线性度性能局限也得到解决,因为建立后的波形是利用模数转换器的最佳基带线性度进行处理。

单列T/H有一个T/H放大器,产生一个由两段组成的输出。在输出波形(正差分时钟电压)的采样模式间隔中,器件成为一个单位增益放大器,在输入带宽和输出放大器带宽的约束下,它将输入信号复制到输出端。在正时钟到负时钟跃迁时,器件以非常窄的采样时间孔径对输入信号采样,并且在负时钟间隔内,将输出保持在一个相对恒定的代表采样时刻信号的值。模数转换器的前端采样常常优先使用单列器件(而非双列T/H),原因是多数高速模数转换器已经有一个T/H,其带宽通常要低得多,集成在转换器的前端。因此,HMC661LC4B与转换器中的T/H构成一个复合双列组件(或一个三列组件,如果转换器中有一个双列器件)。采用同等技术和设计时,单列器件的线性度和噪声性能通常优于双列器件,原因是单列器件的级数更少。所以,单列器件常常是高速模数转换器前端采样的最佳选择。

ESD: 引脚集成了片内ESD保护网络,但RF/微波兼容接口提供的是最低保护,应当采取ESD防范措施。

电源时序控制:推荐电源启动时序为VccOB、VccOF、VccTH、VccCLK、Vee/VeeCLK(若分别从独立电源偏置)。需要时,VccOB、VccOF、VccTH和VccCLK可连接到同一+2 V电源。

输入信号驱动:为实现最佳效果,应以差分方式驱动输入。输入可以用单端方式驱动,但器件的线性度会有所下降。以单端方式驱动器件时,未使用的输入应端接50 Ω电阻。

时钟输入:当(CLKP - CLKN)为高电平时,器件处于采样模式;当(CLKP - CLKN)为低电平时,器件处于保持模式。可能的情况下,应以差分方式驱动时钟输入。若需要,也可以单端方式驱动时钟输入,但单端幅度/压摆率应与差分驱动时推荐的全差分幅度/压摆率相似。未使用的输入应端接50 Ω电阻。

在较低时钟频率时,器件的T/H模式线性度会随着时钟功率而略有改变,如性能数据图所示。这是因为,当压摆率低于临界值时,线性度与时钟过零压摆率存在弱相关性。为获得最佳线性度,建议使用约2 - 4 V/ns(每个时钟输入)或更大的时钟过零压摆率。对于正弦时钟输入,4 V/ns对应的每个差分半电路输入的正弦时钟功率为-6 dBm(4 GHz时)、0 dBm(2 GHz时)和6 dBm(1 GHz时)。无论时钟频率为何,推荐最小时钟幅度为-6 dBm(每个差分半电路输入)。

输出:为获得最干净的输出波形,应以差分方式检测输出。输出阻抗为50 Ω阻性,返回到VccOB电源。输出级设计用于驱动每个差分半电路输出上的50 Ω接地终端。器件提供以地为参考的真正共模输出,其通常在地电压的±50 mV范围内,但若需要,可以略微调整VccOB电源,以将输出共模电平精确调节到0 V。此外,根据近似关系 $V_{ocm} = (V_{ccOB} - 2)/2$ (其中 V_{ocm} 为输出共模电压,VccOB可在+1 V < VccOB < +3 V范围内改变)调整VccOB电源,可以在约±0.5 V的范围内调整共模输出电平。

应用须知(续)

缓冲保持节点和50 Ω输出之间的T/H信号的输出放大器带宽约为7 GHz。因此,在高输入频率时,由于输出放大器带宽影响,采样波形的输出幅度可能略大于采样模式响应。具体说来,超过输出放大器带宽的频率会被输出缓冲器的传递函数衰减,而保持信号(对于建立后的输出放大器,其看起来像DC信号)几乎不会发生衰减。

输出缓冲器保持带宽的目的是支持用户在高时钟速率下工作时所需的快速建立时间。然而,由于带宽很宽,输出放大器噪声对总输出噪声的贡献会很大。在较低时钟速率(例如小于1 GHz)下工作时,用户可将输出滤波到比输出放大器带宽7 GHz低的带宽,从而优化信噪比。这种输出滤波不会降低采样前端噪声(其已冻结在信号样本中,代表大部分T/H噪声,因为前端带宽较宽),但可减少输出放大器的噪声贡献。用户可将输出滤波到仍然具有所需最大建立时间以支持所选时钟速率的最低带宽。通常,此最佳带宽是时钟速率的2到3倍左右,需要时可利用一个简单的单极点RC滤波器(例如在输出端使用一个分流电容)来实现。假设时钟速率为350 MHz,使用一个噪声带宽为1 GHz的输出滤波器,则相对于未滤波的输出状况,噪声可以降低约1 dB。

在时钟边沿,由于输出放大器的带宽很宽,输出会有非常陡峭的跃迁。用户应当注意,芯片输出端与负载之间的电缆如果较长,会引起频率响应滚降和消散,从而在输出波形进入负载的建立过程中产生具有相对较长时间常数的低幅度尾部。在实验室环境下使用数英尺长输出电缆时,这种效应最为明显,即便高质量电缆也不例外。T/H与负载之间的输出电缆应当是2英尺或更短的高质量电缆。

负载与器件之间的反射也会降低保持模式响应性能。可以调整输出电缆长度,以便在一定程度上降低反射干扰。一般而言,为使波形的保持模式部分中的反射干扰最小,电缆的往返传输时间应为时钟周期的整数倍数。当T/H在负载的50 ps或更短时间以内时,反射时长与器件的近似建立时间相等,此时可获得最佳性能。在模数转换器应用中,T/H应尽可能靠近模数转换器,以使T/H输出端与模数转换器输入端之间的路径的反射效应最小。

线性度测量

测量T/H的线性度时,保持样本的传递函数线性度(称为“T/H模式线性度”)通常是用户最感兴趣的量。这些样本包含的信号信息最终由下游模数转换器数字化。T/H模式线性度与采样模式线性度常常是不同的,这就给单列T/H提出了一个独特的测量问题,即必须选择性测量模拟输出波形的保持部分。

对于高速T/H,这个问题更加严重,因为能够测量以高时钟速率工作的高线性度T/H且有足够高线性度的宽带时域仪器(示波器或模数转换器)非常之少。因此,需使用能够选择性测量波形保持模式部分的频域仪器(频谱分析仪)和测量技术。

为满足这个要求,一种常见方法是将两个T/H级联起来构成双列配置,让第二T/H(T/H 2)对第一T/H(T/H 1)的输出重新采样。两个T/H通常以主从模式工作,时钟180度反相,从而消除第一T/H中的输出波形的采样模式部分。这种配置产生的输出波形包括两个时间段。第一时间段是T/H 1保持模式输出,这可通过T/H 2采样模式传递函数观测到。第二时间段是由T/H 2器件重新采样并保持的T/H 1保持模式输出。

线性度测量(续)

由于第二T/H对总体线性度有影响,因此这种测量方法并不能完美地反映单个T/H的线性度。然而,它确实消除了T/H 1输出的采样模式部分,允许利用频谱分析仪测量级联器件的线性度。T/H 2只须对T/H 1的保持波形进行采样,因此T/H 2对线性度的影响主要与其直线性度相关。一个常用的近似条件是T/H 2的直线性度远高于T/H 1与压摆率相关的高频线性度,因而级联的总非线性误差以T/H 1的高频非线性误差为主。这种情况下,双列配置的净线性度与单个T/H的线性度非常相似,尤其是在高频时。不过,这种近似并不总是有效。如果无效,双列配置就不能反映单个T/H的线性度。HMC661LC4B就是这种情况,此器件的三阶非线性误差随频率的变化相对较慢,并且其在T/H带宽范围内足够高,使得当信号频率小于5 GHz时,第二T/H的直线性度会显著影响整个双列配置。

为了消除使用双列技术测量单列T/H线性度方法的弱点,Hittite开发了一种改进方法,称为“衰减双列技术”。这种方法采用双列T/H配置,并在第一T/H和第二T/H之间插入相当大的衰减A(dB)。典型衰减A = 10 dB,可以使用更大的衰减以提高线性度测量精度,但测量动态范围会受影响。这种配置仍然输出一个消除了采样模式分量的双列波形,但进入第二器件的信号衰减充分降低了其非线性产物对总频谱的贡献,使得总线性度以第一器件的线性度为主。其原因是器件遵循一般非线性阶相关性:输入电平每降低10 dB,二阶产物相对于基波的水平便降低10 dB,而三阶产物相对于基波的水平则降低20 dB。T/H 2非线性产物相对于T/H 1产物的相位取决于产物频率和两个器件之间的路径长度。假设两个T/H为相同器件,并且其相位是最差情况,那么可以分析较低水平T/H 2产物所引起的最差不确定性。在这些条件下确定T/H 1无杂散动态范围(SFDR)时,较低水平T/H 2非线性产物引起的最差误差范围由下式给出:

$$\Delta\text{SFDR2(dB)} = 20 \log(1 \pm 10^{-A/20}) = +2.4, -3.3 \text{ dB}(A = 10 \text{ dB时})$$

$$\Delta\text{SFDR3(dB)} = 20 \log(1 \pm 10^{-A/10}) = +0.83, -0.92 \text{ dB}(A = 10 \text{ dB时})$$

其中, ΔSFDR2 和 ΔSFDR3 分别为T/H 1的二阶和三阶有限无杂散动态范围的误差。

在DC - 5 GHz范围内,无杂散动态范围往往以三阶产物为主,因此,对于这种测量方法,T/H 1 SFDR评估的典型精度约为 ± 0.9 dB。在更高频率时,总线性度以T/H 1的高频非线性误差为主,T/H 2直流非线性误差的贡献远低于以上 ΔSFDR2 所示的值(其中为简单起见,假设整个带宽范围内的线性度相等)。因此,对于A = 10 dB的衰减双列测量方法,整个频率范围内的T/H 1线性度确定误差约为 ± 0.9 dB。

T/H器件还有一个独特的线性度测量问题,那就是需要进行输出波形频率校正。对于双列T/H,输出波形与时长等于时钟周期的方波相似。在数学上,可以将输出视为理想三角函数样本系列与时长等于一个时钟周期的单个矩形脉冲的卷积。这是用 $\text{SIN}(\pi f/f_s)/(\pi f/f_s)$ (Sinc)函数频率响应包络来衡量输出频谱成分的权重,其在时钟频率 f_s 的谐波处为0;超过时钟频率一半时,响应显著降低。在频谱分析仪测量期间观测这种频谱成分和包络函数,因为分析仪只是再现输入波形的整个频谱。然而,正确测量样本线性度需要无包络权重的保持样本频谱成分,这要由下游模数转换器测量,它在某一时刻对保持波形进行采样。要么必须在数据中校正响应包络的影响,要么必须使用测量方法将相关非线性谐波产物以外差法变为低频,避免较大的包络响应权重。后一种方法称为“低频合拍产物技术”(low frequency beat-product technique)。

低频合拍产物技术常用于高速T/H线性度测量,不过这种测量对具体输入信号和可用时钟频率有一些限制。例如,时钟频率为512.5 MHz时,995 MHz的单音输入与采样频率的二次谐波(通过采样过程)合拍,产生30 MHz的一阶合拍产物。

线性度测量(续)

同样, 输入信号的二次和三次谐波(通过T/H的失真产生)分别与采样频率的四次和六次谐波合拍, 产生60 MHz和90 MHz的二阶和三阶合拍产物。这样就可以测量1 GHz附近的T/H非线性误差, 尽管995 MHz基波和1.99 GHz / 2.985 GHz非线性谐波远远超过 $SINx/x$ 响应包络的256 MHz 4 dB带宽。

在高时钟速率下使用低频合拍产物技术时, 可能的输入频率选择非常有限。要测量宽输入频率范围的线性度, 必须采用相关的高频合拍产物测量方法和 $SINx/x$ 包络权重校正。Hittite同时利用低频和高频合拍产物方法来测量宽时钟和信号频率范围的线性度。我们的高频合拍产物测量将所有合拍产物保持在Sinc函数的4 dB带宽以内, 其中的包络响应表现良好且很容易建模, 这样就避免了过大的包络校正误差。

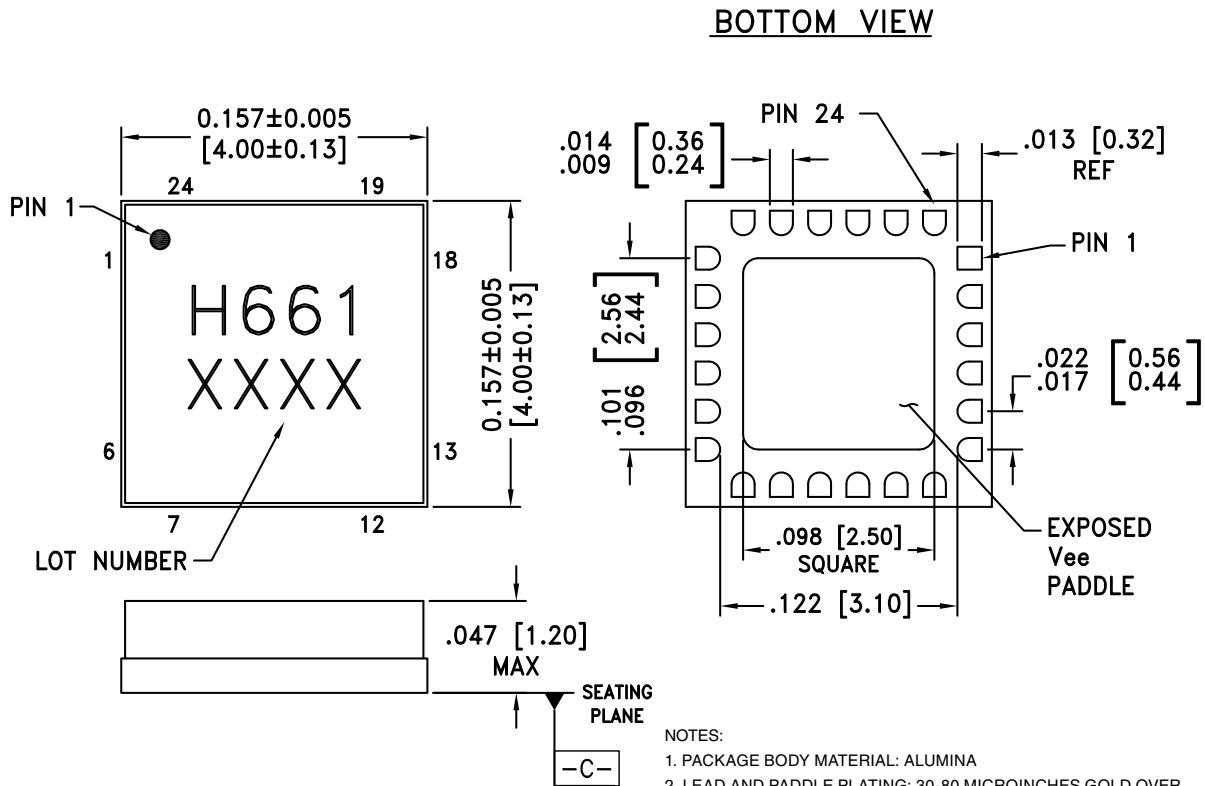
绝对最大额定值

VccTH, VccOF, VccCLK	2.1 Vdc
VccOB	3 Vdc
Vee, VeeCLK	-5.25 Vdc
CLKP、CLKN输入功率	+10 dBm
INP、INN输入功率	+10 dBm
结温	125 °C
连续Pdiss (T = 85 °C)	2 W
热阻 (结至封装底部)	20 °C/W
存储温度	-65至+150 °C
工作温度	-40至+85 °C
ESD敏感度(HBM)	1B级



静电敏感器件, 请遵守操作规范

外形图



封装信息

产品型号	封装主体材料	引脚表面处理	MSL额定值	封装标识 ^[2]
HMC661LC4B	白色氧化铝	镍上覆金	MSL3 ^[1]	H661 XXXX

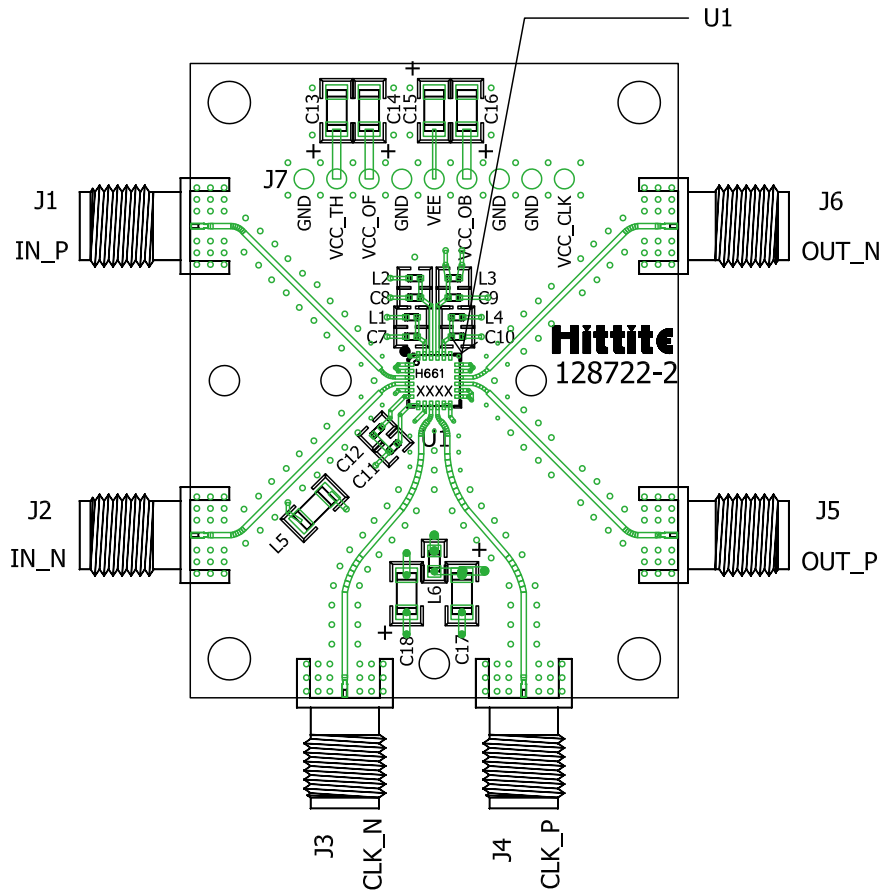
[1] 最大峰值回流温度为260 °C

[2] 4位批次号XXXX

引脚描述

引脚编号	功能	描述	接口原理图
1, 2, 5, 13, 14, 17, 18	GNDa	模拟地。此地和时钟地必须连接到相同直流电位, 但若需要, 它们可以相互RF隔离。	
3	INP	T/H正输入。具有片内50 Ω直流端接电阻, 实现额定性能的标称最大单端输入电平 = ±0.25 V (-2 dBm), 最大+10 dBm。	
4	INN	T/H负输入。具有片内50 Ω直流端接电阻, 实现额定性能的标称最大单端输入电平 = ±0.25 V (-2 dBm), 最大+10 dBm。	
6	VeeCLK	时钟缓冲器负电源。VeeCLK和Vee必须连接到相同电位。总(Vee+VeeCLK)标称电流为-242 mA(-4.75 V时)。	
7	VccCLK	时钟缓冲器电源。需要26 mA标称电流(2 V时)。	
8, 11, 12	GNDc	时钟地。此地和模拟地必须连接到相同直流电位, 但它们可以相互RF隔离。	
9,10	CLKN, CLKP	CLK负输入、CLK正输入。具有片内50 Ω端接电阻, 最大+10 dBm。	
15, 16	OUTP, OUTN	T/H RF正输出、T/H RF负输出。50 Ω输出阻抗, 标称直流共模输出电压 = 0 V。50 Ω负载阻抗可以直流或交流耦合。	
19, 21, 24, 封装基底	Vee	负模拟电源。总(Vee+VeeCLK)电流为-242 mA(-4.75 V时)。	
20	VccOB	50 Ω输出缓冲器电源。VccOB电流为73 mA(2 V时)。用户可以在+1 V到+3 V范围内调整VccOB, 从而调整输出共模电压, 使直流耦合输出为Vocm ~ 1/2(VccOB-2)。	
22	VccOF	输出缓冲器电源。需要40 mA标称电流(2 V时)。	
23	VccTH	T/H内核电源。需要82 mA标称电流(2 V时)。	

评估PCB



评估PCB EVAL01-HMC661LC4B材料清单^[1]

项目	描述
J1, J2, J5, J6	SRI K连接器
J3, J4	SRI SMA连接器
J7	接头, 0.9", 9针, 通孔, 锡
C7 - C12	0.01 μ F电容, 0402封装
C13 - C18	4.7 μ F钽电容
L1 - L4	铁氧体, 0402, Steward LI0402E300R-10
L5	铁氧体, 1206, Steward HF1206J150R-10
L6	铁氧体, 0603, Steward LI0603E470R-10
U1	HMC661LC4B采样保持放大器
PCB ^[2]	128722评估板

[1] 订购完整评估PCB时请提供此号码

[2] 电路板材料: Arlon 25FR或Rogers 4350

应用所用的电路板应采用RF电路设计技术。信号线应具有50 Ω 阻抗, 而封装接地引脚应直接连接到接地层, 类似图中所示。封装基底内部连接到Vee和VeeCLK电源, 并且应连接到Vee电源层以便散热。为了提供良好的RF接地, 应利用足够数量的过孔来连接上下接地层。所示评估电路板可向Hittite申请获得。

评估PCB应用电路

