

产品特性

单通道、1024/256位分辨率
 标称电阻：20 kΩ、50 kΩ、100 kΩ
 标称电阻容差误差：±1%(最大值)
 50次可编程(50-TP)游标存储器
 可变电阻器模式下的温度系数：5 ppm/°C
 2.7 V至5.5 V单电源供电
 双电源供电：±2.5 V至±2.75 V(交流或双极性工作模式)
 I²C兼容接口
 游标设置回读功能
 上电后采用50-TP存储器数据刷新
 超薄LFCSP、10引脚、3 mm × 3 mm × 0.8 mm封装
 紧凑型MSOP、10引脚、3 mm × 4.9 mm × 1.1 mm封装

应用

机械变阻器的替代产品
 运算放大器：可变增益控制
 仪器仪表：增益、失调电压调整
 可编程电压至电流转换
 可编程滤波器、延迟、时间常数
 可编程电源
 传感器校准

概述

AD5272/AD5274¹分别是单通道1024/256位数字变阻器，集业界领先的可变电阻性能与非易失性存储器(NVM)于一体，采用紧凑型封装。

这些器件的端到端电阻容差误差小于1%，并提供50次可编程(50-TP)存储器。

业界领先的保证低电阻容差误差特性可以简化开环应用，以及精密校准与容差匹配应用。

功能框图

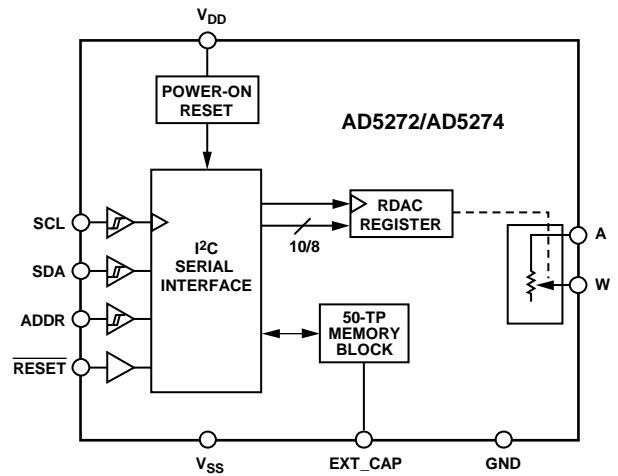


图1.

AD5272/AD5274的游标设置可通过I²C兼容型数字接口控制。将电阻值编程写入50-TP存储器之前，可进行无限次调整。这些器件不需要任何外部电压源来帮助熔断熔丝，并提供50次永久编程的机会。在50-TP激活期间，一个永久熔断熔丝指令会将游标位置固定(类似于将环氧树脂涂在机械式调整器上)。

AD5272/AD5274提供3 mm × 3 mm、10引脚LFCSP和10引脚MSOP两种封装。保证工作温度范围为-40°C至+125°C的扩展工业温度范围。

¹ 受美国专利7688240号保护。

Rev. D

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2009–2013 Analog Devices, Inc. All rights reserved.
[Technical Support](#) www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	移位寄存器	18
应用.....	1	写操作	19
功能框图	1	读操作	20
概述.....	1	RDAC寄存器	21
修订历史	2	50-TP存储器模块	21
技术规格	3	写保护	21
电气特性—AD5272	3	50-TP存储器写应答轮询	23
电气特性—AD5274	5	复位	23
接口时序规格	7	电阻性能模式	23
绝对最大额定值	9	关断模式	23
热阻	9	RDAC架构	23
ESD警告	9	对可变电阻进行编程	23
引脚配置和功能描述	10	EXT_CAP电容	24
典型性能参数	11	端电压范围	24
测试电路	17	上电时序	24
工作原理	18	外形尺寸	25
串行数据接口	18	订购指南	25

修订历史

2013年3月—修订版C至修订版D

表1中的电阻噪声密度($R_{AW} = 20 \text{ k}\Omega$)从50 nV/ $\sqrt{\text{Hz}}$ 变为13 nV/ $\sqrt{\text{Hz}}$	4
表4中的电阻噪声密度($R_{AW} = 20 \text{ k}\Omega$)从50 nV/ $\sqrt{\text{Hz}}$ 变为13 nV/ $\sqrt{\text{Hz}}$	6
更新“外形尺寸”.....	25

2010年11月—修订版B至修订版C

更改图24	14
-------------	----

2010年5月—修订版A至修订版B

增加LFCSP封装	通篇
OTP更改为50-TP	通篇
更改“产品特性”部分和“应用”部分	1
增加尾注1	1
更改表1	3
增加表3	4
更改表4	5
增加表6	6
更改表8和表9	9
增加图5	10
表10增加裸露焊盘注释	10
更改典型性能参数	11
更改“电阻性能模式”部分	23
更新“外形尺寸”	25
更改“订购指南”	26

2010年3月—修订版0至修订版A

更改产品标题和概述部分	1
更改工作原理部分	15

2009年10月-版本0: 初始版

技术规格

电气特性—AD5272

除非另有说明， $V_{DD} = 2.7\text{ V}$ 至 5.5 V ， $V_{SS} = 0\text{ V}$ ； $V_{DD} = 2.5\text{ V}$ 至 2.75 V ， $V_{SS} = -2.5\text{ V}$ 至 -2.75 V ； $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表1.

参数	符号	测试条件/注释	最小值	典型值 ¹	最大值	单位
直流特性—可变电阻器模式						
分辨率			10			位
电阻积分非线性 ^{2,3}	R-INL	$R_{AW} = 20\text{ k}\Omega$, $ V_{DD} - V_{SS} = 3.0\text{ V}$ 至 5.5 V	-1	+1		LSB
		$R_{AW} = 20\text{ k}\Omega$, $ V_{DD} - V_{SS} = 2.7\text{ V}$ 至 3.0 V	-1	+1.5		LSB
		$R_{AW} = 50\text{ k}\Omega$ 和 $100\text{ k}\Omega$	-1	+1		LSB
电阻差分非线性 ²	R-DNL		-1	+1		LSB
标称电阻容差						
R-Perf模式 ⁴		参见表2和表3	-1	± 0.5	+1	%
正常模式				± 15		%
电阻温度系数 ^{5,6}		代码 = 满量程		5		ppm/ $^\circ\text{C}$
游标电阻		代码 = 零电平		35	70	Ω
电阻端						
端电压范围 ^{5,7}			V_{SS}		V_{DD}	V
电容 ^{5 A}		$f = 1\text{ MHz}$, 针对GND测量, 代码 = 半量程		90		pF
电容 ^{5 W}		$f = 1\text{ MHz}$, 针对GND测量, 代码 = 半量程		40		pF
共模漏电流 ⁵		$V_A = V_W$			50	nA
数字输入						
输入逻辑 ⁵						
高	V_{INH}		2.0			V
低	V_{INL}				0.8	V
输入电流	I_{IN}			± 1		μA
输入电容 ⁵	C_{IN}			5		pF
数字输出						
输出电压 ⁵						
高	V_{OH}	$R_{PULL_UP} = 2.2\text{ k}\Omega$ 至 V_{DD}	$V_{DD} - 0.1$			V
低	V_{OL}	$R_{PULL_UP} = 2.2\text{ k}\Omega$ 至 V_{DD}			0.4	V
		$V_{DD} = 2.7\text{ V}$ 至 5.5 V , $V_{SS} = 0\text{ V}$			0.6	V
		$V_{DD} = 2.5\text{ V}$ 至 2.75 V , $V_{SS} = -2.5\text{ V}$ 至 -2.75 V			+1	μA
三态漏电流			-1			μA
输出电容 ⁵				5		pF
电源						
单电源电压范围		$V_{SS} = 0\text{ V}$	2.7		5.5	V
双电源电压范围			± 2.5		± 2.75	V
电源电流						
正	I_{DD}				1	μA
负	I_{SS}		-1			μA
50-TP存储电流 ^{5,8}						
正	$I_{DD_OTP_STORE}$			4		mA
负	$I_{SS_OTP_STORE}$			-4		mA
50-TP读取电流 ^{5,9}						
正	$I_{DD_OTP_READ}$				500	μA
负	$I_{SS_OTP_READ}$		-500			μA
功耗 ¹⁰		$V_{IH} = V_{DD}$ 或 $V_{IL} = \text{GND}$			5.5	μW

AD5272/AD5274

参数	符号	测试条件/注释	最小值	典型值 ¹	最大值	单位
电源抑制比 ⁵	PSRR	$\Delta V_{DD}/\Delta V_{SS} = \pm 5 V \pm 10\%$ $R_{AW} = 20 k\Omega$ $R_{AW} = 50 k\Omega$ $R_{AW} = 100 k\Omega$		-66 -75 -78	-55 -67 -70	dB
动态特性 ^{5,11} 带宽		-3 dB, $R_{AW} = 10 k\Omega$, W端, 参见图41 $R_{AW} = 20 k\Omega$ $R_{AW} = 50 k\Omega$ $R_{AW} = 100 k\Omega$		300 120 60		kHz
总谐波失真		$V_A = 1 V$ rms, $f = 1$ kHz, 代码 = 半量程 $R_{AW} = 20 k\Omega$ $R_{AW} = 50 k\Omega$ $R_{AW} = 100 k\Omega$		-90 -88 -85		dB
电阻噪声密度		代码 = 半量程, $T_A = 25^\circ C$, $f = 10$ kHz $R_{AW} = 20 k\Omega$ $R_{AW} = 50 k\Omega$ $R_{AW} = 100 k\Omega$		13 25 32		nV/ \sqrt{Hz}

¹ 典型特性代表25°C、 $V_{DD} = 5 V$ 且 $V_{SS} = 0 V$ 时的读数平均值。

² 电阻位置非线性误差(R-INL)是指在最大电阻和最小电阻游标位置之间测得的值与理想值的偏差。R-DNL衡量连续抽头位置之间相对于理想位置的相对阶跃变化。

³ 每个代码的最大电流由 $I_{AW} = (V_{DD} - 1)/R_{AW}$ 定义。

⁴ 电阻性能模式和R-Perf模式这两个术语可以互换使用。参见“电阻性能模式”部分。

⁵ 通过设计保证，但未经生产测试。

⁶ 详见图24。

⁷ 电阻端A和电阻端W彼此没有极性限制。双电源供电支持以地为参考的双极性信号调整。

⁸ 与工作电流不同，熔丝编程的电源电流持续约55 ms。

⁹ 与工作电流不同，熔丝读取的电源电流持续约500 ns。

¹⁰ P_{Diss} 可通过 $(I_{DD} \times V_{DD}) + (I_{SS} \times V_{SS})$ 计算。

¹¹ 所有动态特性均采用 $V_{DD} = +2.5 V$ 、 $V_{SS} = -2.5 V$ 。

表2. AD5272电阻性能模式代码范围

每个代码的电阻容差	$ V_{DD} - V_{SS} = 4.5 V$ 至 $5.5 V$	$ V_{DD} - V_{SS} = 2.7 V$ 至 $4.5 V$
电阻容差		
1%电阻容差	从0x078到0x3FF	从0x0BE到0x3FF
2%电阻容差	从0x037到0x3FF	从0x055到0x3FF
3%电阻容差	从0x028到0x3FF	从0x037到0x3FF

表3. AD5272 50 kΩ和100 kΩ电阻性能模式代码范围

每个代码的电阻容差	$R_{AW} = 50 k\Omega$	$R_{AW} = 100 k\Omega$
电阻容差		
1%电阻容差	从0x078到0x3FF	从0x04B到0x3FF
2%电阻容差	从0x055到0x3FF	从0x032到0x3FF
3%电阻容差	从0x032到0x3FF	从0x019到0x3FF

电气特性—AD5274

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $V_{SS} = 0\text{ V}$; $V_{DD} = 2.5\text{ V}$ 至 2.75 V , $V_{SS} = -2.5\text{ V}$ 至 -2.75 V ; $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表4.

参数	符号	测试条件/注释	最小值	典型值 ¹	最大值	单位
直流特性— 可变电阻器模式						
分辨率			8			位
电阻积分非线性 ^{2,3}	R-INL		-1		+1	LSB
电阻差分 非线性 ²	R-DNL		-1		+1	LSB
R-Perf 模式 ⁴		参见表5和表6	-1	±0.5	+1	%
正常模式				±15		%
电阻温度 系数 ^{5,6}		代码 = 满量程		5		ppm/°C
游标电阻		代码 = 零电平		35	70	Ω
电阻端						
端电压范围 ^{5,7}			V_{SS}		V_{DD}	V
电容 ^{5 A}		$f = 1\text{ MHz}$, 针对GND测量, 代码 = 半量程		90		pF
电容 ^{5 W}		$f = 1\text{ MHz}$, 针对GND测量, 代码 = 半量程		40		pF
共模漏 电流 ⁵		$V_A = V_W$			50	nA
数字输入						
输入逻辑 ⁵						
高	V_{INH}		2.0			V
低	V_{INL}				0.8	V
输入电流	I_{IN}			±1		μA
输入电容 ⁵	C_{IN}			5		pF
数字输出						
输出电压 ⁵						
高	V_{OH}	$R_{PULL_UP} = 2.2\text{ k}\Omega$ 至 V_{DD}	$V_{DD} - 0.1$			V
低	V_{OL}	$R_{PULL_UP} = 2.2\text{ k}\Omega$ 至 V_{DD} $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $V_{SS} = 0\text{ V}$ $V_{DD} = 2.5\text{ V}$ 至 2.75 V , $V_{SS} = -2.5\text{ V}$ 至 -2.75 V			0.4	V
					0.6	V
三态漏电流			-1		+1	μA
输出电容 ⁵				5		pF
电源						
单电源电压范围		$V_{SS} = 0\text{ V}$	2.7		5.5	V
双电源电压范围			±2.5		±2.75	V
电源电流						
正	I_{DD}				1	μA
负	I_{SS}		-1			μA
OTP存储电流 ^{5,8}						
正	$I_{DD_OTP_STORE}$			4		mA
负	$I_{SS_OTP_STORE}$			-4		mA
OTP读取电流 ^{5,9}						
正	$I_{DD_OTP_READ}$				500	μA
负	$I_{SS_OTP_READ}$		-500			μA
功耗 ¹⁰		$V_{IH} = V_{DD}$ 或 $V_{IL} = \text{GND}$			5.5	μW
电源抑制比 ⁵	电源抑制比 (PSRR)	$\Delta V_{DD}/\Delta V_{SS} = \pm 5\text{ V} \pm 10\%$				dB
		$R_{AW} = 20\text{ k}\Omega$		-66	-55	
		$R_{AW} = 50\text{ k}\Omega$		-75	-67	
		$R_{AW} = 100\text{ k}\Omega$		-78	-70	

AD5272/AD5274

参数	符号	测试条件/注释	最小值	典型值 ¹	最大值	单位
动态特性 ^{5,11} 带宽		-3 dB, $R_{AW} = 10\text{ k}\Omega$, W端, 参见图41 $R_{AW} = 20\text{ k}\Omega$ $R_{AW} = 50\text{ k}\Omega$ $R_{AW} = 100\text{ k}\Omega$		300 120 60		kHz
总谐波失真		$V_A = 1\text{ V rms}$, $f = 1\text{ kHz}$, 代码 = 半量程 $R_{AW} = 20\text{ k}\Omega$ $R_{AW} = 50\text{ k}\Omega$ $R_{AW} = 100\text{ k}\Omega$		-90 -88 -85		dB
电阻噪声密度		代码 = 半量程, $T_A = 25^\circ\text{C}$, $f = 10\text{ kHz}$ $R_{AW} = 20\text{ k}\Omega$ $R_{AW} = 50\text{ k}\Omega$ $R_{AW} = 100\text{ k}\Omega$		13 25 32		nV/ $\sqrt{\text{Hz}}$

¹ 典型特性代表25°C、 $V_{DD} = 5\text{ V}$ 且 $V_{SS} = 0\text{ V}$ 时的读数平均值。

² 电阻位置非线性误差(R-INL)是指在最大电阻和最小电阻游标位置之间测得的值与理想值的偏差。R-DNL衡量连续抽头位置之间相对于理想位置的相对阶跃变化。

³ 每个代码的最大电流由 $I_{AW} = (V_{DD} - 1)/R_{AW}$ 定义。

⁴ 电阻性能模式和R-Perf模式这两个术语可以互换使用。参见“电阻性能模式”部分。

⁵ 通过设计保证, 但未经生产测试。

⁶ 详见图24。

⁷ 电阻端A和电阻端W彼此没有极性限制。双电源供电支持以地为参考的双极性信号调整。

⁸ 与工作电流不同, 熔丝编程的电源电流持续约55 ms。

⁹ 与工作电流不同, 熔丝读取的电源电流持续约500 ns。

¹⁰ P_{Diss} 可通过 $(I_{DD} \times V_{DD}) + (I_{SS} \times V_{SS})$ 计算。

¹¹ 所有动态特性均采用 $V_{DD} = +2.5\text{ V}$ 、 $V_{SS} = -2.5\text{ V}$ 。

表5. AD5274电阻性能模式代码范围

每个代码的电阻容差	$ V_{DD} - V_{SS} = 4.5\text{ V至}5.5\text{ V}$	$ V_{DD} - V_{SS} = 2.7\text{ V至}4.5\text{ V}$
电阻容差		
1%电阻容差	从0x1E到0xFF	从0x32到0xFF
2%电阻容差	从0x0F到0xFF	从0x19到0xFF
3%电阻容差	从0x06到0xFF	从0x0E到0xFF

表6. AD5274 50 kΩ和100 kΩ电阻性能模式代码范围

每个代码的电阻容差	$R_{AW} = 50\text{ k}\Omega$	$R_{AW} = 100\text{ k}\Omega$
电阻容差		
1%电阻容差	从0x1E到0xFF	从0x14到0xFF
2%电阻容差	从0x14到0xFF	从0x0F到0xFF
3%电阻容差	从0x0A到0xFF	从0x0A到0xFF

接口时序规格

除非另有说明， $V_{DD} = 2.5\text{ V}$ 至 5.5 V ，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表7.

参数	条件 ¹	在 T_{MIN} 、 T_{MAX} 的限值		单位	描述
		最小值	最大值		
f_{SCL}^2	标准模式		100	kHz	串行时钟频率
	快速模式		400	kHz	串行时钟频率
t_1	标准模式	4		μs	t_{HIGH} , SCL高电平时间
	快速模式	0.6		μs	t_{HIGH} , SCL高电平时间
t_2	标准模式	4.7		μs	t_{LOW} , SCL低电平时间
	快速模式	1.3		μs	t_{LOW} , SCL低电平时间
t_3	标准模式	250		ns	$t_{SU,DAT}$, 数据建立时间
	快速模式	100		ns	$t_{SU,DAT}$, 数据建立时间
t_4	标准模式	0	3.45	μs	$t_{HD,DAT}$, 数据保持时间
	快速模式	0	0.9	μs	$t_{HD,DAT}$, 数据保持时间
t_5	标准模式	4.7		μs	$t_{SU,STA}$, 重复起始条件的建立时间
	快速模式	0.6		μs	$t_{SU,STA}$, 重复起始条件的建立时间
t_6	标准模式	4		μs	$t_{HD,STA}$, (重复)起始条件保持时间
	快速模式	0.6		μs	$t_{HD,STA}$, (重复)起始条件保持时间
	高速模式	160		ns	$t_{HD,STA}$, (重复)起始条件保持时间
t_7	标准模式	4.7		μs	t_{BUF} , 一个停止条件与一个起始条件之间的总线空闲时间
	快速模式	1.3		μs	t_{BUF} , 一个停止条件与一个起始条件之间的总线空闲时间
t_8	标准模式	4		μs	$t_{SU,STO}$, 停止条件的建立时间
	快速模式	0.6		μs	$t_{SU,STO}$, 停止条件的建立时间
t_9	标准模式		1000	ns	t_{RDA} , SDA信号的上升时间
	快速模式		300	ns	t_{RDA} , SDA信号的上升时间
t_{10}	标准模式		300	ns	t_{FDA} , SDA信号的下降时间
	快速模式		300	ns	t_{FDA} , SDA信号的下降时间
t_{11}	标准模式		1000	ns	t_{RCL} , SCL信号的上升时间
	快速模式		300	ns	t_{RCL} , SCL信号的上升时间
t_{11A}	标准模式		1000	ns	t_{RCL1} , 重复起始条件和应答位后的SCL信号上升时间
	快速模式		300	ns	t_{RCL1} , 重复起始条件和应答位后的SCL信号上升时间
t_{12}	标准模式		300	ns	t_{FCL} , SCL信号的下降时间
	快速模式		300	ns	t_{FCL} , SCL信号的下降时间
t_{13}	RESET 脉冲时间	20		ns	RESET最短低电平时间
t_{SP}^3	快速模式	0	50	ns	尖峰抑制脉宽
$t_{EXEC}^{4,5}$		500		ns	命令执行时间
$t_{RDAC_R_PERF}$			2	μs	RDAC寄存器写命令执行时间(R-Perf模式)
t_{RDAC_NORMAL}			600	ns	RDAC寄存器写命令执行时间(正常模式)
t_{MEMORY_READ}			6	μs	存储器回读执行时间
$t_{MEMORY_PROGRAM}$			350	ms	存储器编程时间
t_{RESET}			600	μs	复位50-TP恢复时间
$t_{POWER-UP}^6$			2	ms	上电50-TP恢复时间

¹ 最大总线电容限制在400 pF。

² SDA和SCL时序通过输入滤波器使能来测量。关闭输入滤波器可提高传输速率，但对器件的EMC特性有不利影响。

³ SCL和SDA输入的输入滤波在快速模式下可抑制小于50 ns的噪声尖峰。

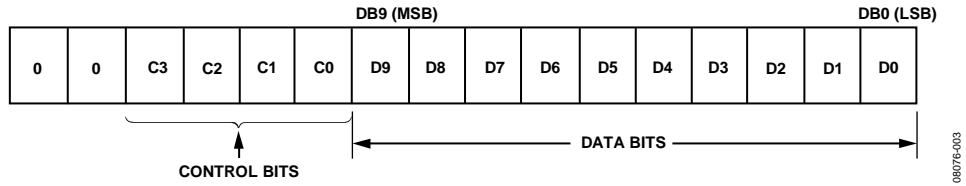
⁴ 对于RDAC寄存器写操作，请参见 $t_{RDAC_R_PERF}$ 和 t_{RDAC_NORMAL} 。

⁵ 对于存储器命令操作，请参见 t_{MEMORY_READ} 和 $t_{MEMORY_PROGRAM}$ 。

⁶ $V_{DD} - V_{SS}$ 等于2.5 V后的最长时间。

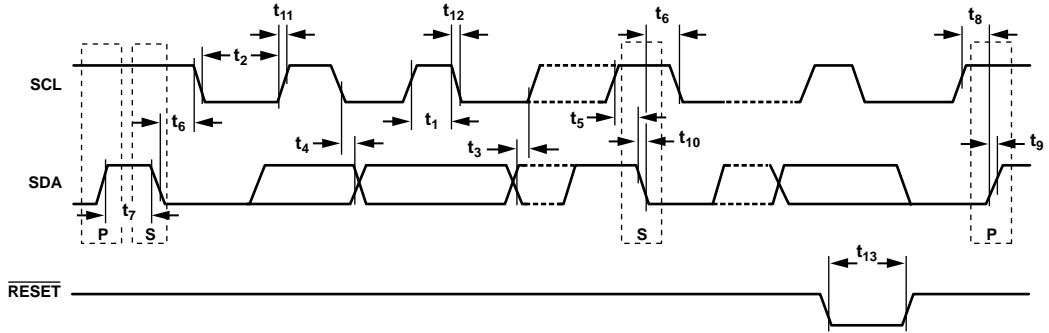
AD5272/AD5274

移位寄存器和时序图



080716-003

图2. 移位寄存器内容



080716-002

图3. 双线式串行接口时序图

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表8.

参数	额定值
V_{DD} 至 GND	-0.3 V 至 +7.0 V
V_{SS} 至 GND	+0.3 V 至 -7.0 V
V_{DD} 至 V_{SS}	7 V
V_A, V_W 至 GND	$V_{SS} - 0.3 \text{ V}, V_{DD} + 0.3 \text{ V}$
数字输入和输出电压至 GND	-0.3 V 至 $V_{DD} + 0.3 \text{ V}$
EXT_CAP 至 V_{SS}	7 V
I_A, I_W	
连续	
$R_{AW} = 20 \text{ k}\Omega$	$\pm 3 \text{ mA}$
$R_{AW} = 50 \text{ k}\Omega, 100 \text{ k}\Omega$	$\pm 2 \text{ mA}$
脉冲驱动 ¹	
频率 > 10 kHz	$\pm MCC^2/d^3$
频率 $\leq 10 \text{ kHz}$	$\pm MCC^2/\sqrt{d^3}$
工作温度范围 ⁴	-40°C 至 +125°C
最大结温 (T_{JMAX})	150°C
存储温度范围	-65°C 至 +150°C
回流焊	
峰值温度	260°C
峰值温度时间	20 秒至 40 秒
封装功耗	$(T_J \text{ 最大值} - T_A)/\theta_{JA}$

¹ 最大端电流受以下几个方面限制：开关的最大电流处理能力、封装的最大功耗以及给定电阻条件下可在任意两个 A 和 W 端之间施加的最大电压。

² 最大连续电流。

³ 脉冲占空系数。

⁴ 包括对 50-TP 存储器进行编程。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 由 JEDEC 规格 JESD-51 定义，其值取决于测试板和测试环境。

表9. 热阻

封装类型	θ_{JA} ¹	θ_{JC}	单位
10 引脚 LFCSP	50	3	°C/W
10 引脚 MSOP	135	不适用	°C/W

¹ JEDEC 252P 测试板，静止空气 (0 m/s 气流)。

ESD 警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

AD5272/AD5274

引脚配置和功能描述

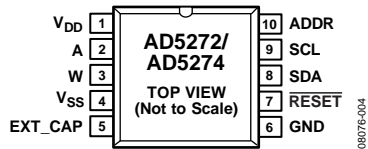
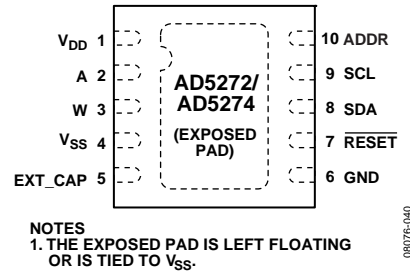


图4. MSOP引脚配置



NOTES
1. THE EXPOSED PAD IS LEFT FLOATING OR IS TIED TO V_{SS}.

图5. LFCSP引脚配置

表10. 引脚功能描述

引脚编号	引脚名称	描述
1	V _{DD}	正电源。此引脚应通过0.1 μF陶瓷电容和10 μF电容去耦。
2	A	RDAC的A端。V _{SS} ≤ V _A ≤ V _{DD} 。
3	W	RDAC的游标端。V _{SS} ≤ V _W ≤ V _{DD} 。
4	V _{SS}	负电源。对于单电源应用，应连接到0 V。此引脚应通过0.1 μF陶瓷电容和10 μF电容去耦。
5	EXT_CAP	外部电容。应在EXT_CAP和V _{SS} 之间连接一个1 μF电容。此电容的额定电压必须≥7 V。
6	GND	接地引脚，逻辑地基准点。
7	RESET	硬件复位引脚。以50-TP存储器寄存器的内容更新RDAC寄存器。出厂默认加载中量程，直至第一个50-TP游标存储器位置被编程。RESET为低电平有效。若未使用，则将RESET连接至V _{DD} 。
8	SDA	串行数据线。它与SCL线配合使用，将数据输入或输出16-bit输入寄存器。它是一种双向开漏数据线，应通过一个外部上拉电阻上拉至电源。
9	SCL	串行时钟线。该引脚与SDA线配合使用，将数据输入或输出16位输入寄存器。
10	ADDR	三态地址输入。将两个最低有效位(位A1、位A0)设为7位从机地址(参见表11)。
EPAD	裸露焊盘(仅限LFCSP封装)	悬空或连接到V _{SS} 。

典型性能参数

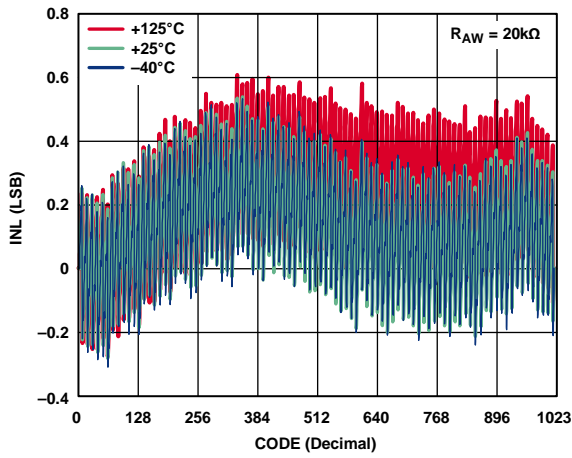


图6. R-Perf模式下R-INL与代码和温度的关系(AD5272)

08076-010

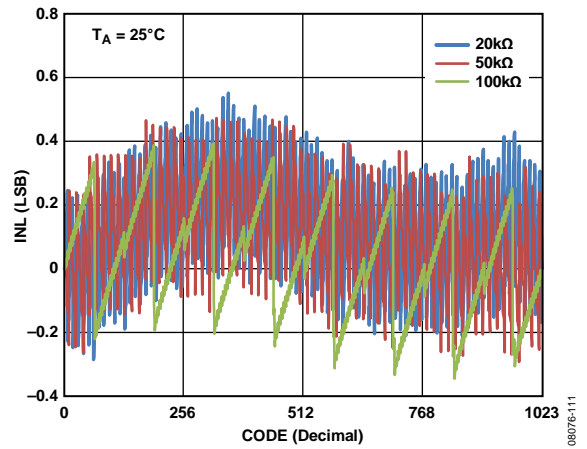


图9. R-Perf模式下R-INL与代码和标称电阻的关系(AD5272)

08076-111

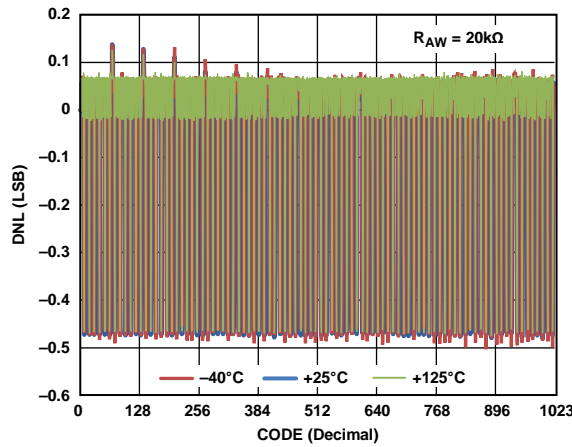


图7. R-Perf模式下R-DNL与代码和温度的关系(AD5272)

08076-011

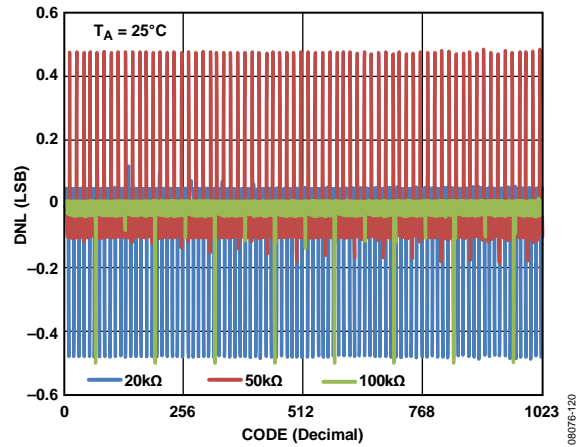


图10. R-Perf模式下R-DNL与代码和标称电阻的关系(AD5272)

08076-120

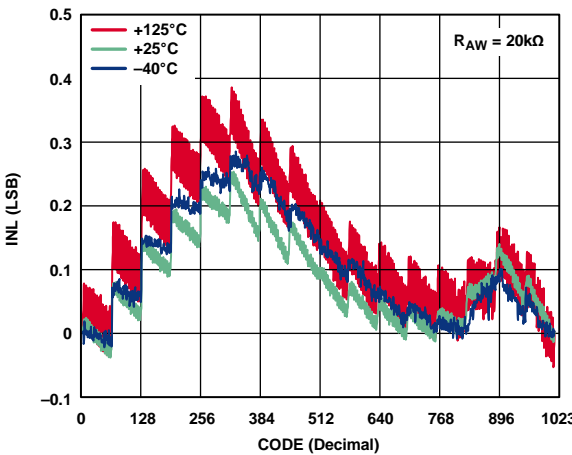


图8. 正常模式下R-INL与代码和温度的关系(AD5272)

08076-014

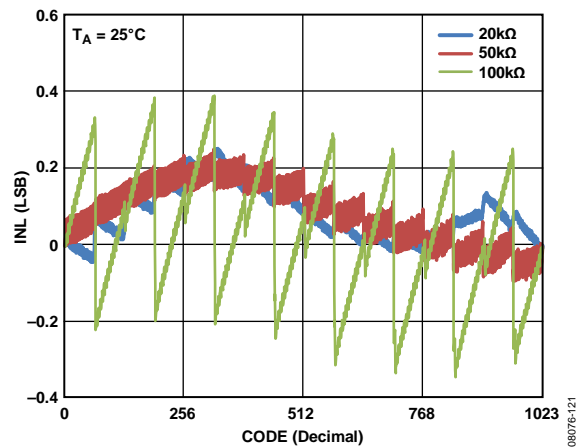


图11. 正常模式下R-INL与代码和标称电阻的关系(AD5272)

08076-121

AD5272/AD5274

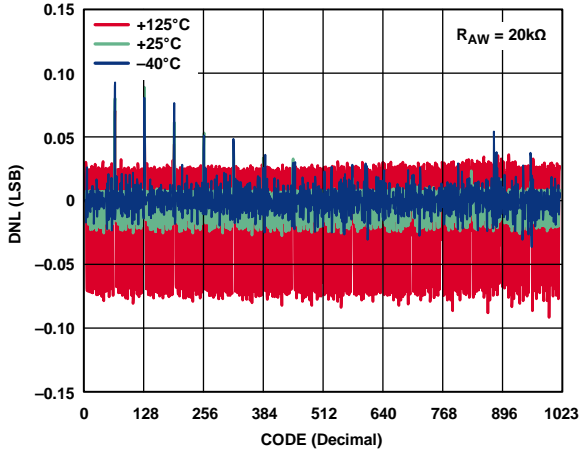


图12. 正常模式下R-DNL与代码和温度的关系(AD5272)

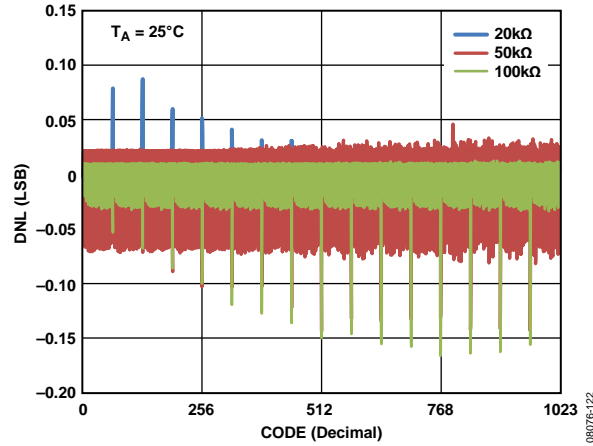


图15. 正常模式下R-DNL与代码和标称电阻的关系(AD5272)

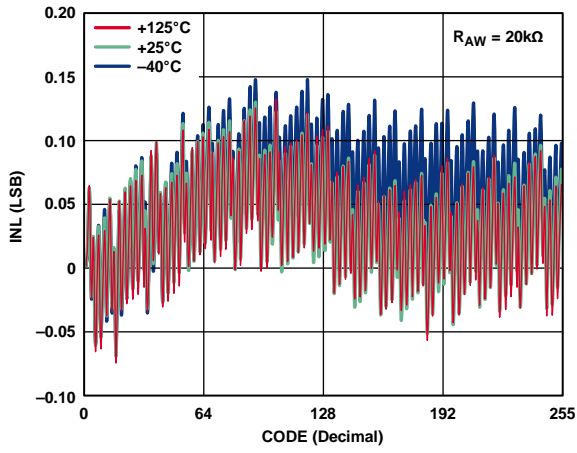


图13. R-Perf模式下R-INL与代码和温度的关系(AD5274)

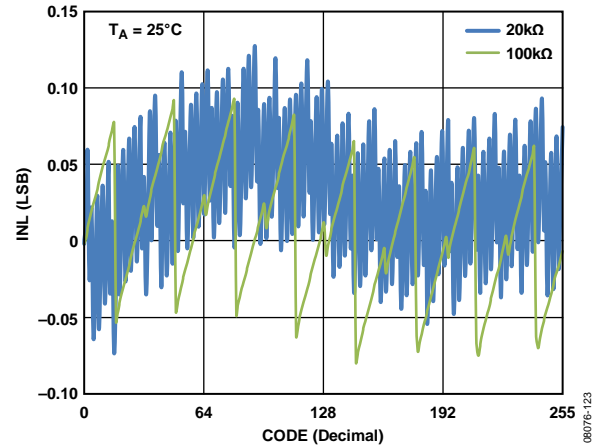


图16. R-Perf模式下R-INL与代码和标称电阻的关系(AD5274)

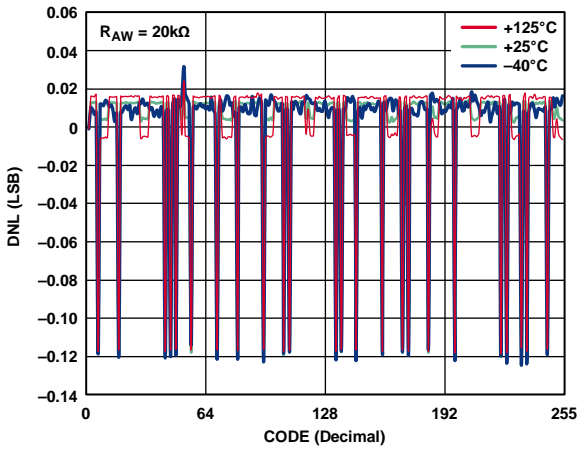


图14. R-Perf模式下R-DNL与代码和温度的关系(AD5274)

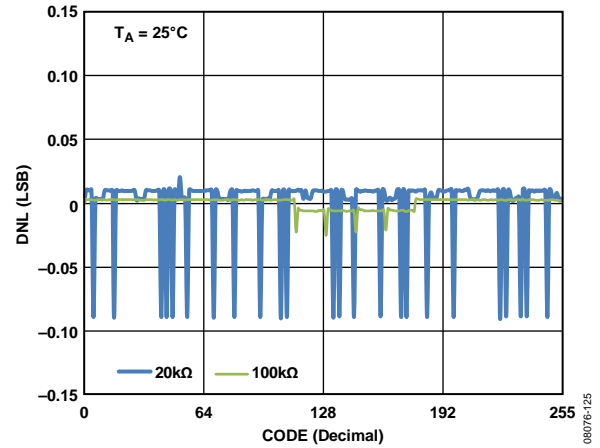


图17. R-Perf模式下R-DNL与代码和标称电阻的关系(AD5274)

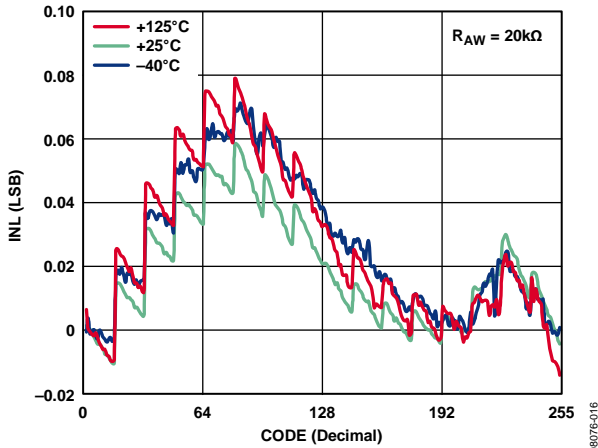


图18. 正常模式下R-INL与代码和温度的关系(AD5274)

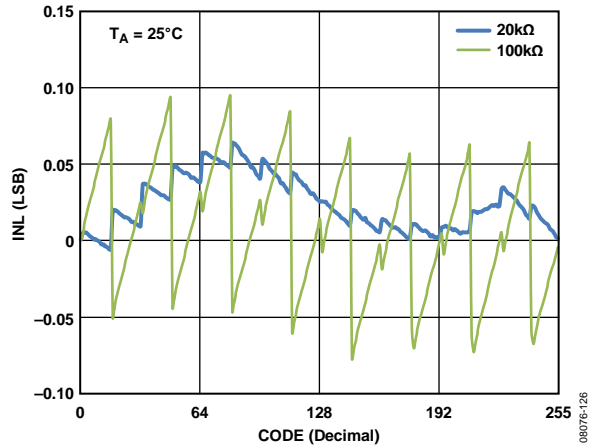


图21. 正常模式下R-INL与代码和标称电阻的关系(AD5274)

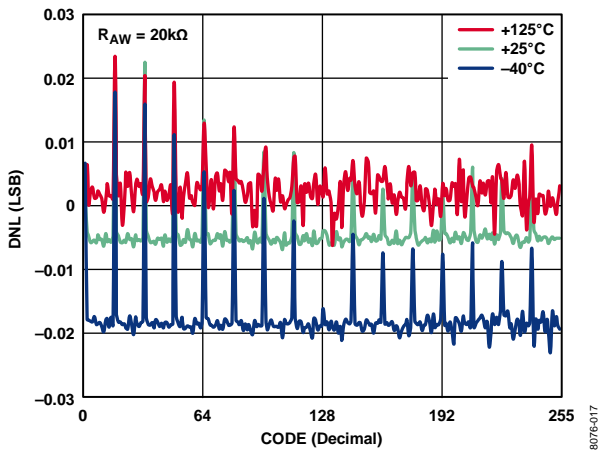


图19. 正常模式下R-DNL与代码和温度的关系(AD5274)

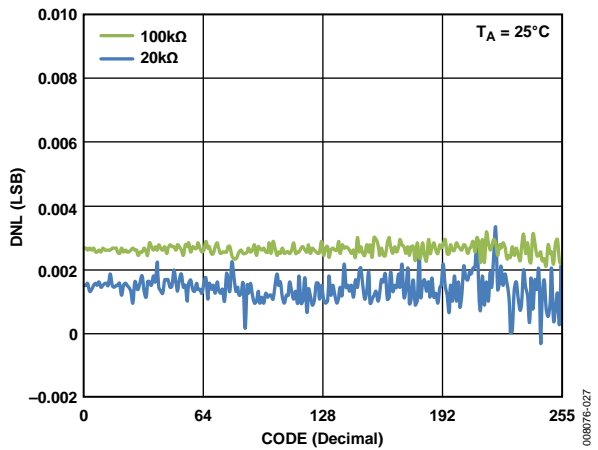


图22. 正常模式下R-DNL与代码和标称电阻的关系(AD5274)

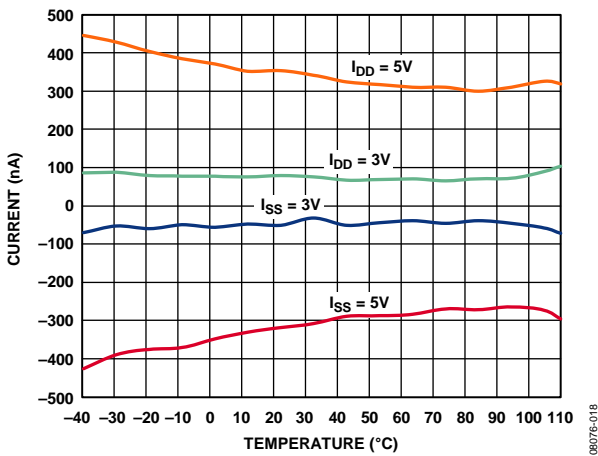


图20. 电源电流(I_{DD} , I_{SS})与温度的关系

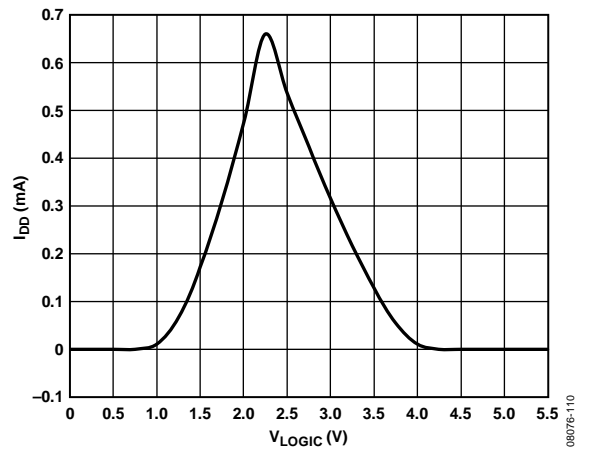


图23. 电源电流(I_{DD})与数字输入电压的关系

AD5272/AD5274

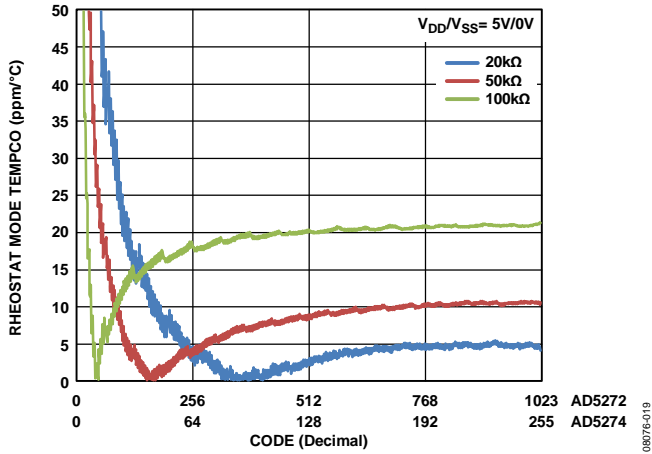


图24. $Tempco \Delta R_{WA} / \Delta T$ 与代码的关系

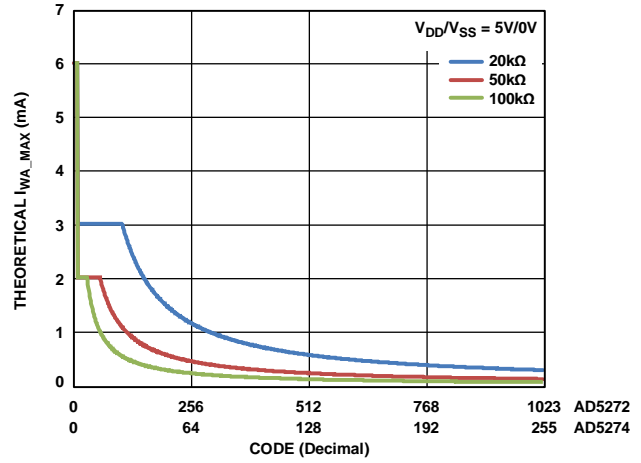


图27. 最大理论电流与代码的关系

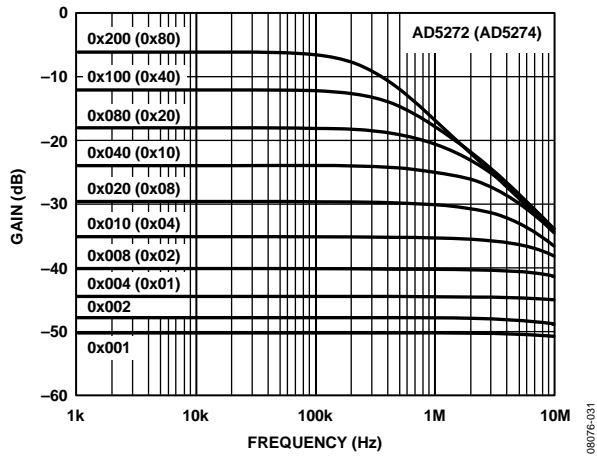


图25. 20 kΩ增益与代码和频率的关系

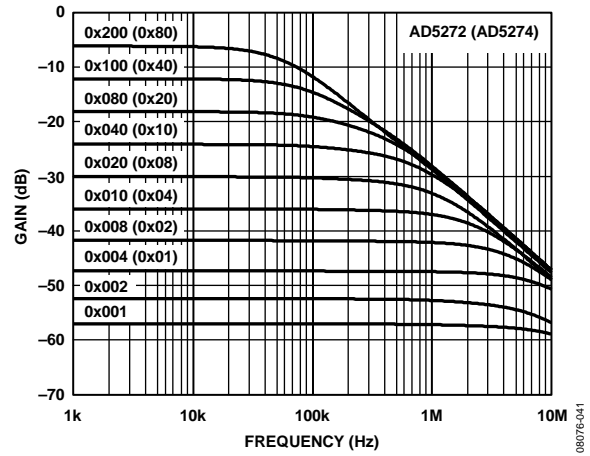


图28. 100 kΩ增益与代码和频率的关系

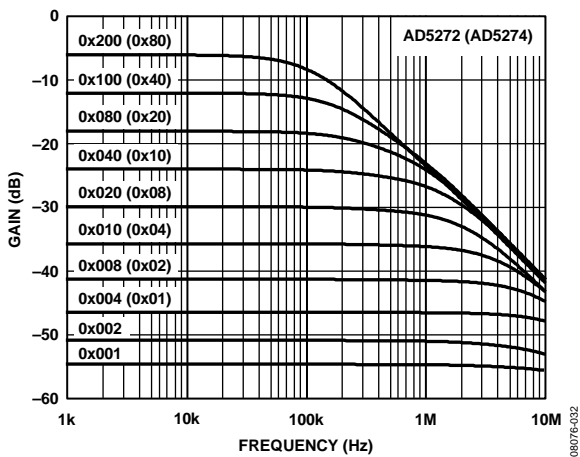


图26. 50 kΩ增益与代码和频率的关系

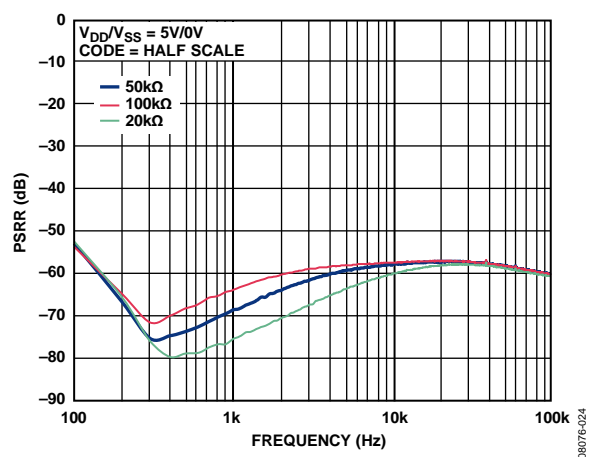


图29. PSRR与频率的关系

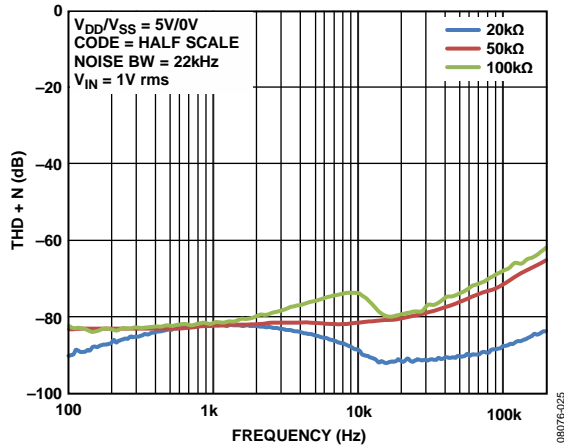


图30. THD + N与频率的关系

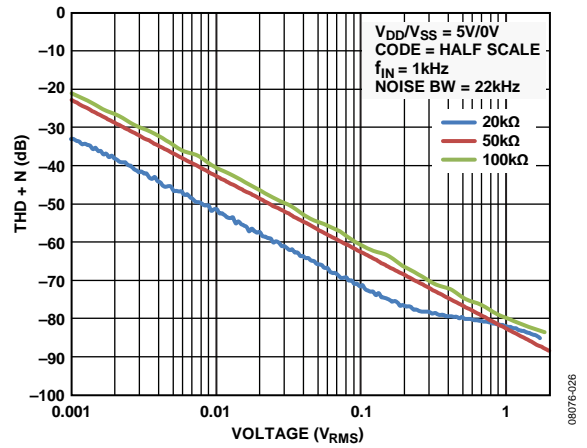


图33. THD + N与幅度的关系

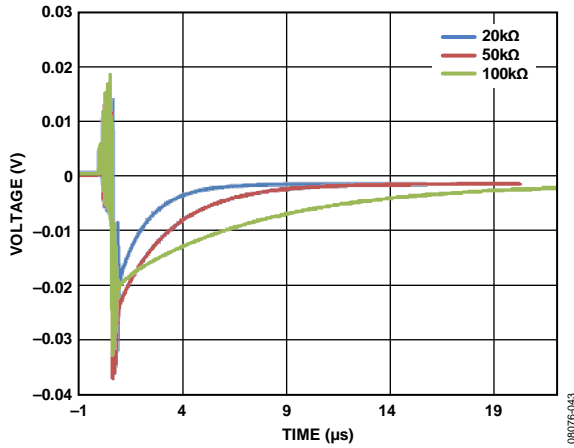


图31. 最大毛刺能量

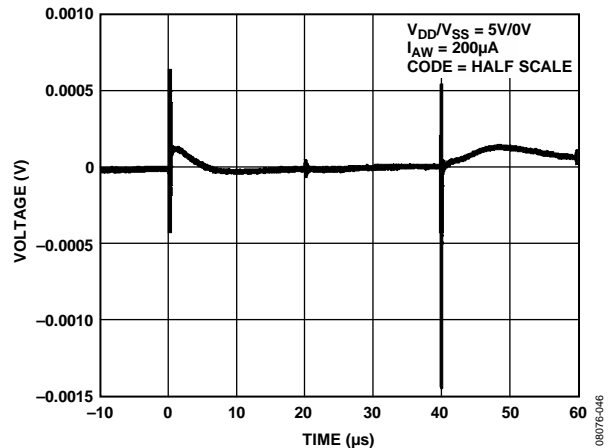


图34. 数字馈通

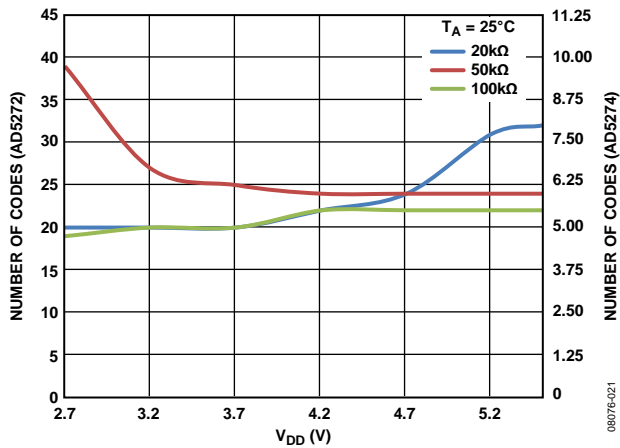


图32. 最大代码损失与温度的关系

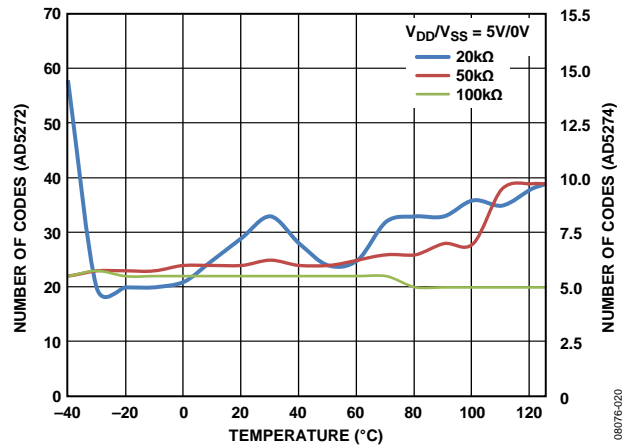


图35. 最大代码损失与电源范围的关系

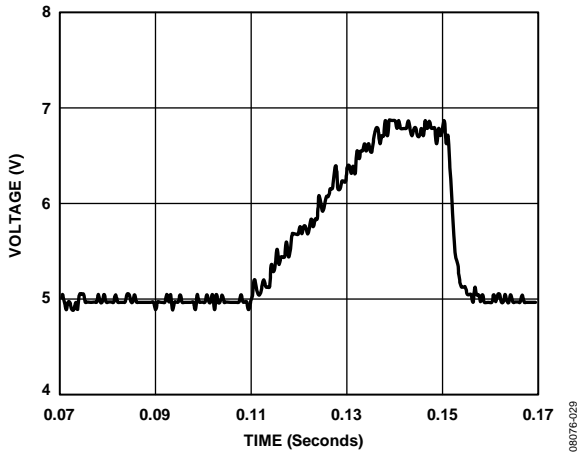


图36.写入熔丝时的 V_{EXT_CAP} 波形

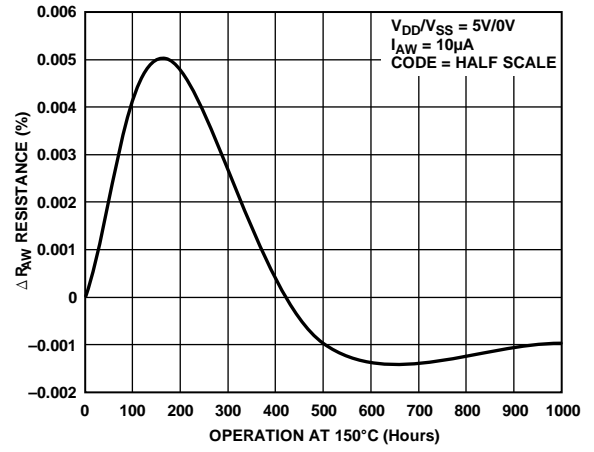


图37.老化平均加速的长期漂移

测试电路

图38至图42定义了“技术规格”部分使用的测试条件。

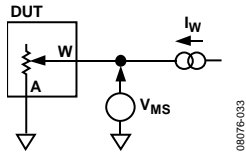


图38. 电阻位置非线性误差
(可变电阻器操作; R-INL, R-DNL)

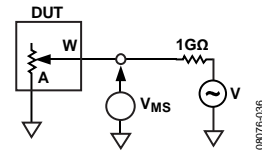


图41. 增益与频率的关系

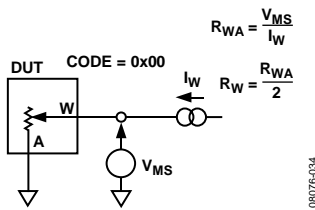


图39. 游标电阻

$$R_{WA} = \frac{V_{MS}}{I_W}$$

$$R_W = \frac{R_{WA}}{2}$$

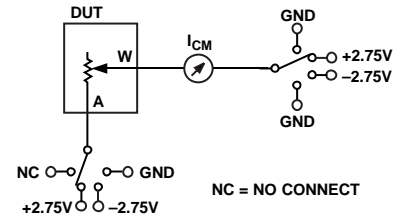


图42. 公共漏电流

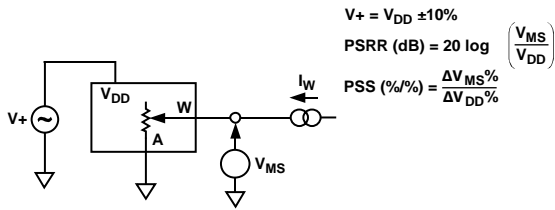


图40. 电源灵敏度(PSS、PSRR)

$$V_+ = V_{DD} \pm 10\%$$

$$PSRR \text{ (dB)} = 20 \log \left(\frac{V_{MS}}{V_{DD}} \right)$$

$$PSS \text{ (}/\% \text{)} = \frac{\Delta V_{MS} \%}{\Delta V_{DD} \%}$$

08076-035

08076-037

工作原理

AD5272和AD5274数字变阻器设计用作真可变电阻，用于处理端电压范围为 $V_{SS} < V_{TERM} < V_{DD}$ 的模拟信号。RDAC寄存器内容决定电阻游标位置。RDAC寄存器用作暂存寄存器，允许无限制地更改电阻设置。RDAC寄存器可以利用I²C接口编入任何位置设置。找到所需的游标位置时，可以将该值存储在50-TP存储器寄存器中。以后上电时游标位置始终会恢复到该位置。存储50-TP数据大约需要350 ms；在这段时间内，AD5272/AD5274会锁定并且不会应答任何新命令，因而可防止出现任何更改。应答位可轮询验证熔丝编程命令是否完成。

AD5272/AD5274还采用1%端到端电阻容差专利技术。这可以简化必须知道绝对电阻值的精密、可变电阻器模式、开环应用。

串行数据接口

AD5272/AD5274均有双线式I²C兼容串行接口。这些器件均可作为从机连接到I²C总线，受主机的控制。典型写序列的时序图参见图3。

AD5272/AD5274支持标准(100 kHz)和快速(400 kHz)数据传输模式。不支持10位寻址和广播寻址。

AD5272/AD5274各有一个7位从机地址。五个MSB为01011，两个LSB由ADDR引脚的状态决定。更改ADDR硬连线的设置允许用户将多达三个器件集成到一条总线上，如表11所示。

表11. 器件地址选择

ADDR	A1	A0	7-bit I ² C器件地址
GND	1	1	0101111
V _{DD}	0	0	0101100
NC(无连接) ¹	1	0	0101110

¹ 双极性模式下不可用。V_{SS} < 0 V。

双线式串行总线协议按如下方式工作：主机通过建立起始条件而启动数据传输；起始条件即为SDA线上发生高低转换而SCL处于高电平时。之后的字节是地址字节，由7位从机地址和一个R/W位组成。与发送地址对应的从机通过在第9个时钟脉冲期间拉低SDA来做出响应(这称为应答位)。在这个阶段，在选定器件等待从移位寄存器读写数据期间，总线上的所有其它器件保持空闲状态。

数据按9个时钟脉冲(8个数据位和1个应答位)的顺序通过串行总线发送。SDA线上的数据转换必须发生在SCL低电平期间，并且在SCL高电平期间保持稳定。

读取或写入所有数据位之后，停止条件随即建立。在写入模式下，主器件在第10个时钟脉冲期间拉高SDA线，以建立停止条件。在读取模式下，主机向第9个时钟脉冲发送不应答(即SDA线保持高电平)。主机在第10个时钟脉冲前将SDA线拉低，然后在第10个时钟脉冲期间拉高，以建立停止条件。

移位寄存器

对于AD5272/AD5274，移位寄存器为16位宽，如图2所示。该16位字由两个应设为0的未用位、四个控制位和10个RDAC数据位组成(注意，仅限于AD5274，如果从RDAC寄存器读取或向其中写入数据，则靠后的两个RDAC数据位是无关位)，并且数据以MSB优先方式加载(位15)。四个控制位决定软件命令的功能(见表12)。图43所示为AD5272/AD5274典型写序列的时序图。

命令位(Cx)控制数字电位计的工作模式和内部50-TP存储器。数据位(Dx)为载入解码寄存器的值。

写操作

可将数据写入RDAC寄存器或控制寄存器。写入AD5272/AD5274时，用户必须先写入启动命令和地址字节($R/\overline{W}=0$)，接着AD5272/AD5274通过拉低SDA做出应答，表示其已做好接收数据准备。

然后向RDAC写入两个字节的的数据，先是最高有效字节，其后为最低有效字节；AD5272/AD5274对这些数据位做出应答。随即出现停止条件。AD5272/AD5274的写操作如图43所示。

利用重复写入功能，只需对器件进行一次寻址，用户便可以灵活地多次更新该器件，如图44所示。

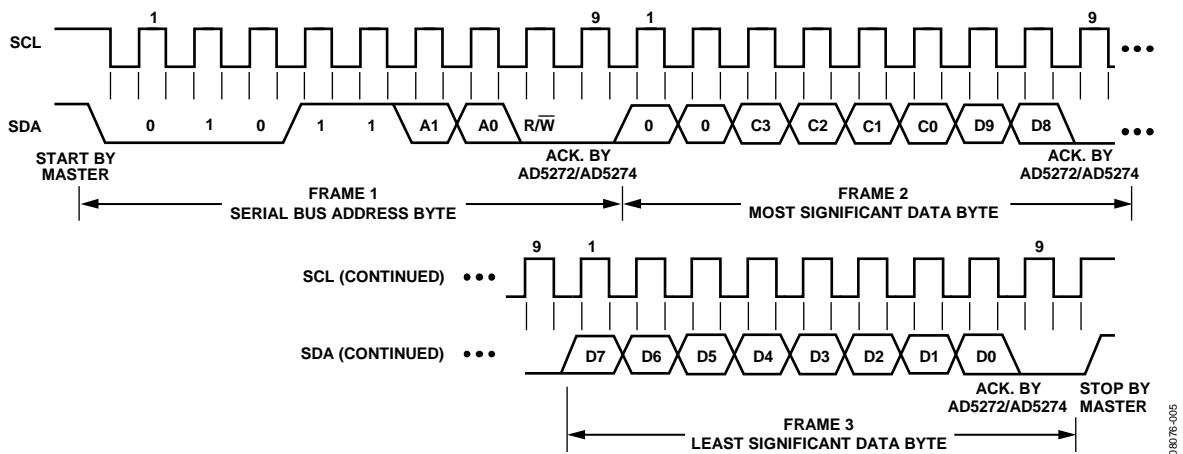


图43. 写命令

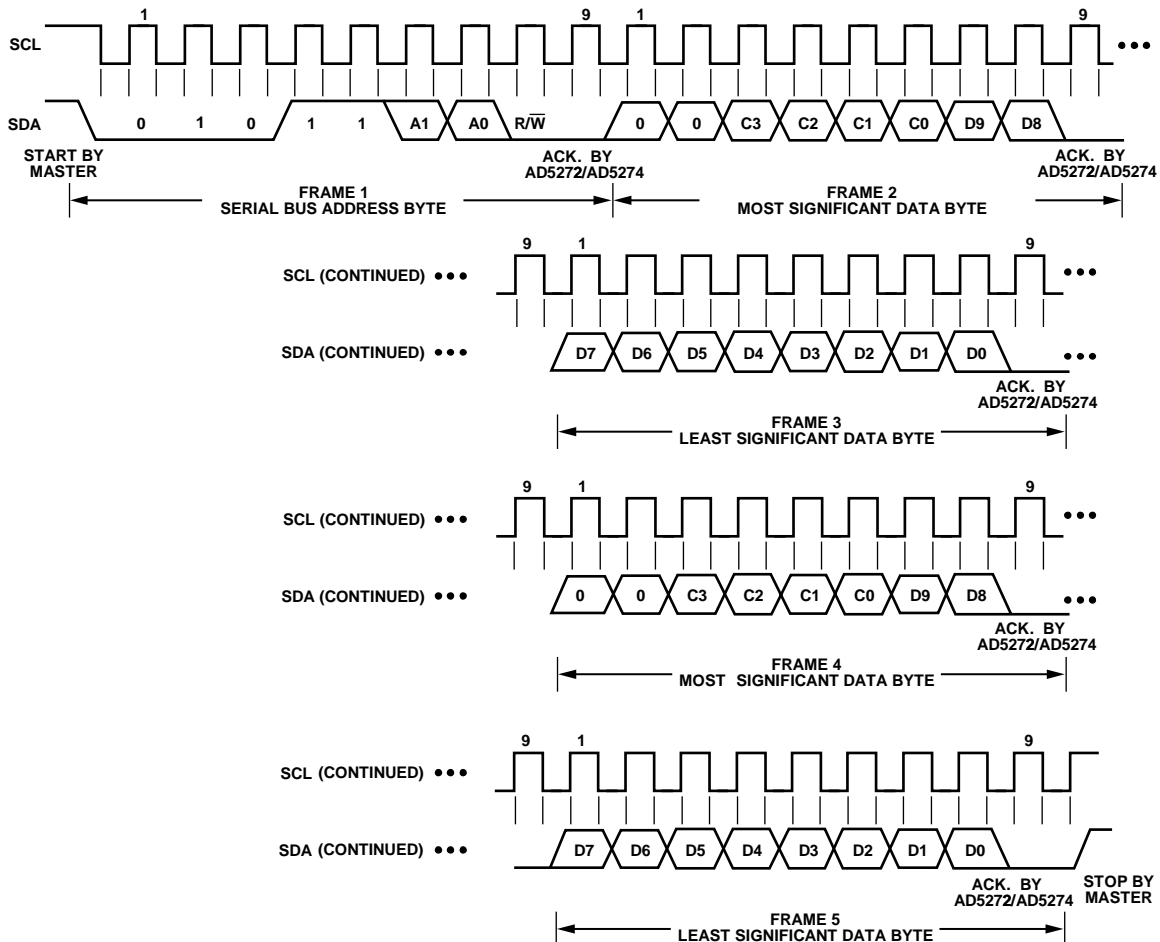


图44. 多次写入

AD5272/AD5274

读操作

从AD5272/AD5274读回数据时，用户必须先对器件发送一个回读命令，该命令由启动命令开头，紧跟地址字节($R/\overline{W} = 0$)，接着AD5272/AD5274通过拉低SDA做出应答，表示其已做好接收数据准备。

然后向AD5272/AD5274写入两个字节的数据，先是最高有效字节，其后为最低有效字节；AD5272/AD5274对这些数据位做出应答。

随即出现停止条件。这些字节包含读取指令，能回读RDAC寄存器、50-TP存储器或控制寄存器。随后，用户可回读数据：先写入启动命令和地址字节($R/\overline{W} = 1$)，接着器件通过拉低SDA做出应答，表示其已做好发送数据准备。然后从器件中读取两个字节的的数据，如图45所示。接着是停止条件。如果主机未对第一个字节做出应答，则AD5272/AD5274不会传送第二个字节。

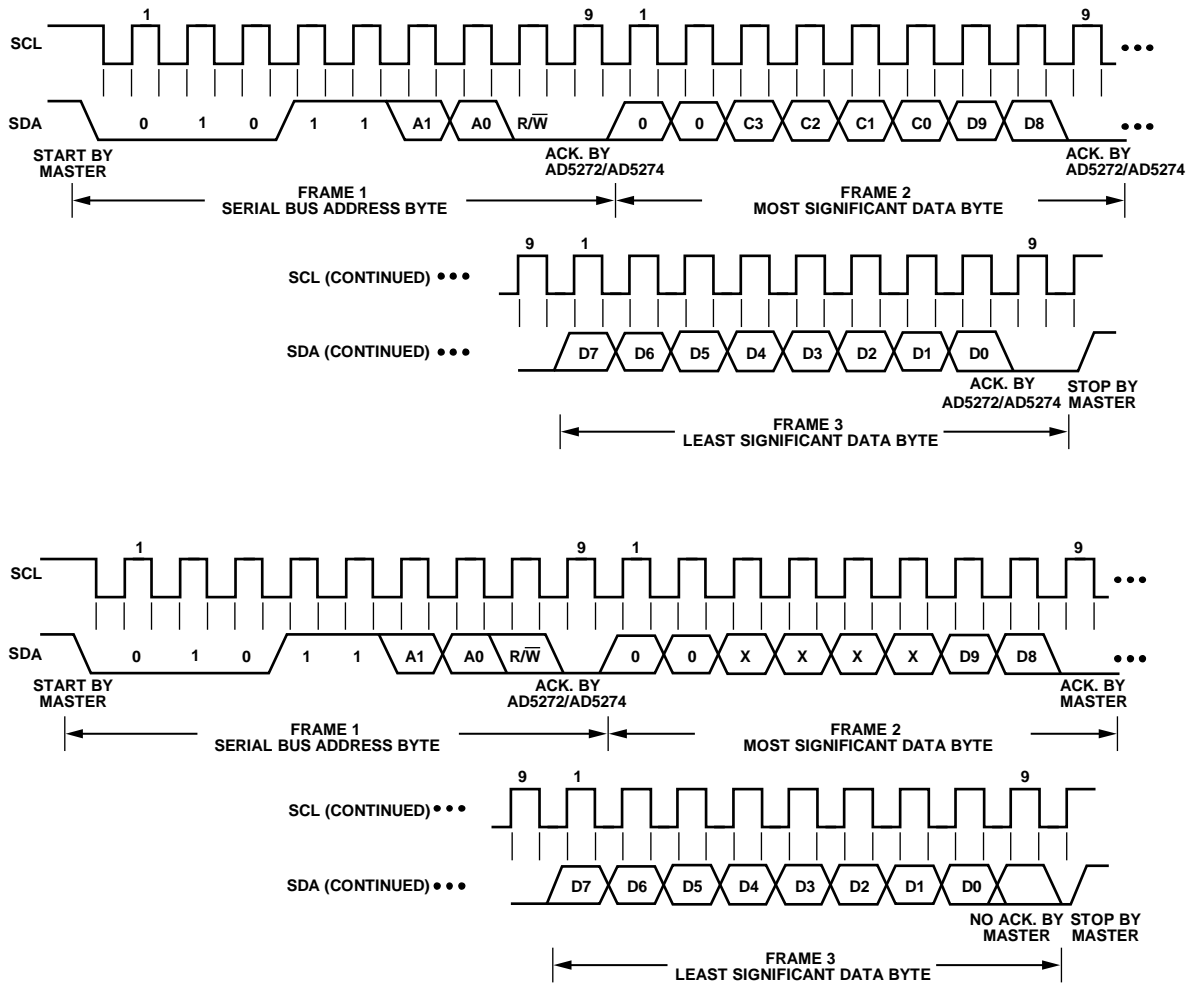


图45. 读命令

08076-007

RDAC寄存器

RDAC寄存器直接控制数字可变电阻器游标的位置。例如，当RDAC寄存器载入全0时，游标连接到可变电阻的A端。可使用I²C接口来写入和读取RDAC寄存器。RDAC寄存器是一种标准逻辑寄存器，不存在更改次数限制。

50-TP存储器模块

AD5272/AD5274内置一个50-TP可编程存储器寄存器阵列，最多允许进行50次游标位置编程。表16显示存储器映射。表12中的命令3对RDAC寄存器的内容编程，将其发送至存储器。要编入的第一个地址为地址0x01(见表16)；AD5272/AD5274会针对每个后续编程递增50-TP存储器地址，直到存储器已满。向50-TP中编入数据的功耗大约为55 ms内4 mA，并需要约350 ms才能完成，这段时间内移位寄存器会锁定，以防止出现任何更改。器件会轮询控制寄存器的位C3(见表15)，以验证熔丝编程命令是否正确完成。对50-TP存储器编程无需更改电源电压；不过，需要在EXT_CAP引脚上连接一个1 μF电容(见图47)。

在50-TP激活之前，AD5272/AD5274会在上电时预设为中间电平。可使用表12中的命令5通过I²C接口回读任意50-TP存储器寄存器的内容。靠后的6个LSB位(即数据字节的D0至D5)选择要回读的存储器位置。可以使用表12中的命令6回读最近编程的游标存储器位置的二进制编码版本地址。这可用于监控50-TP存储器模块的闲置存储器状态。

写保护

上电时会针对RDAC寄存器和50-TP存储器寄存器禁用串行数据输入寄存器写命令。控制寄存器的RDAC写保护位(位C1，参见表14和表15)默认置0。这将使得无论使用什么软件命令都无法更改RDAC寄存器内容，不过可使用软件复位(命令4)从50-TP存储器刷新RDAC寄存器，或通过硬件RESET引脚刷新。若需使能50-TP存储器模块的编程，默认设置为0的控制寄存器位C0必须首先设为1。若要使能对可变电阻游标位置的编程(对RDAC寄存器编程)，则控制寄存器的写保护位(位C1)必须首先进行编程。这可用命令7(见表12)载入串行数据输入寄存器完成。

表12. 命令操作真值表

命令编号	命令[DB13:DB10]				数据[DB9:B0] ¹										操作
	C3	C2	C1	C0	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	NOP: 无操作。
1	0	0	0	1	D9	D8	D7	D6	D5	D4	D3	D2	D1 ²	D0 ²	将串行寄存器数据内容写入RDAC。
2	0	0	1	0	X	X	X	X	X	X	X	X	X	X	读取RDAC游标寄存器的内容。
3	0	0	1	1	X	X	X	X	X	X	X	X	X	X	存储游标设置：将RDAC设置存储到50-TP中。
4	0	1	0	0	X	X	X	X	X	X	X	X	X	X	软件复位：利用最后一个50-TP存储器存储的值来刷新RDAC。
5 ³	0	1	0	1	X	X	X	X	D5	D4	D3	D2	D1	D0	在下一帧中从SDO输出读取50-TP的内容。
6	0	1	1	0	X	X	X	X	X	X	X	X	X	X	读取最后一次50-TP编程存储器位置的地址。
7 ⁴	0	1	1	1	X	X	X	X	X	X	X	D2	D1	D0	将串行寄存器数据内容写入控制寄存器。
8	1	0	0	0	X	X	X	X	X	X	X	X	X	X	读取控制寄存器的内容。
9	1	0	0	1	X	X	X	X	X	X	X	X	X	D0	软件关断。 D0 = 0; 正常模式。 D0 = 1; 关断模式

¹ X = 无关位。

² AD5274 = 无关

³ 欲了解50-TP存储器映射，请参见表16。

⁴ 位详情参见表15。

AD5272/AD5274

表13. 写入和读取RDAC和50-TP存储器

DIN	SDO ¹	操作
0x1C03	0xXXXX	允许通过数字接口更新游标位置和50-TP存储器内容。
0x0500	0x1C03	将0x100写入RDAC寄存器；游标移到¼满量程位置。
0x0800	0x0500	准备从RDAC寄存器读取数据。
0x0C00	0x100	将RDAC寄存器内容存储到50-TP存储器中。SDO输出16位字，其中最后10位包含RDAC寄存器0x100的内容。
0x1800	0x0C00	准备从最后编程的50-TP存储器监控位置读取数据。
0x0000	0xXX19	NOP指令0会通过SDO输出16位字，其中六个LSB(最后6位)包含最后编程的50-TP存储器位置的二进制地址，如0x19(见表16)。
0x1419	0x0000	准备从存储器位置0x19读取数据。
0x2000	0x0100	准备从控制寄存器读取数据。SDO输出16位字，其中最后10位包含存储器位置0x19的内容。
0x0000	0xXXXX	NOP指令0会通过SDO输出16位字，其中最后4位包含控制寄存器的内容。如果位C3 = 1，则熔丝编程命令成功。

¹X表示无关。

表14. 控制寄存器Bit映射

DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	C3	C2	C1	C0

表15. 控制寄存器描述

位的名称	描述
C0	50-TP编程使能 0 = 50-TP编程禁用(默认) 1 = 使能器件进行50-TP编程
C1	RDAC寄存器写保护 0 = 游标位置冻结至50-TP存储器中的值(默认) ¹ 1 = 允许通过数字接口更新游标位置
C2	电阻性能使能 0 = RDAC电阻容差校准使能(默认) 1 = RDAC电阻容差校准禁用
C3	50-TP存储器编程成功位 0 = 熔丝编程命令失败(默认) 1 = 熔丝编程命令成功

¹ 游标位置冻结至50-TP存储器中最后编入的值。若50-TP存储器之前未编程，则游标冻结至中间值。

表16. 存储器映射

命令编号	数据字节[DB9:DB8] ¹										寄存器内容
	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
5	X	X	X	0	0	0	0	0	0	0	保留
	X	X	X	0	0	0	0	0	0	1	第1次编入的游标位置(0x01)
	X	X	X	0	0	0	0	0	1	0	第2次编入的游标位置(0x02)
	X	X	X	0	0	0	0	0	1	1	第3次编入的游标位置(0x03)
	X	X	X	0	0	0	0	1	0	0	第4次编入的游标位置(0x04)

	X	X	X	0	0	0	1	0	1	0	第10次编入的游标位置(0xA)
	X	X	X	0	0	1	0	1	0	0	第20次编入的游标位置(0x14)
	X	X	X	0	0	1	1	1	1	0	第30次编入的游标位置(0x1E)
	X	X	X	0	1	0	1	0	0	0	第40次编入的游标位置(0x28)
X	X	X	0	1	1	0	0	1	0	第50次编入的游标位置(0x32)	

¹X表示无关。

50-TP存储器写应答轮询

每次对50-TP寄存器执行写操作后，即开始一个内部写入周期。器件的I²C接口会被禁用。要确定内部写入周期是否完成以及I²C接口是否使能，可执行接口轮询。执行I²C接口轮询的方法是发送一个起始条件，后跟从机地址和写入位。如果I²C接口以应答位(ACK)回应，则说明写入周期完成，该接口已准备好继续执行其它操作。否则，将一直重复执行I²C接口轮询，直到完成为止。

复位

AD5272/AD5274可以通过软件由执行命令4(见表12)或通过RESET硬件引脚上的低电平脉冲来进行复位。复位命令会向RDAC寄存器中载入最近编程的50-TP存储器位置上的内容。如果之前并未编程任何50-TP存储器位置，则RDAC寄存器会载入中间电平。若RESET引脚未使用，则将RESET连接至V_{DD}。

电阻性能模式

此模式会激活最新的1%端到端电阻容差专利技术，确保每个代码上的电阻容差为±1%，即代码 = 半量程且 $R_{WA} = 10\text{ k}\Omega \pm 100\ \Omega$ 。请参见表2、表3、表5和表6来验证可实现±1%电阻容差的具体代码。可通过对控制寄存器的位C2进行编程来激活电阻性能模式(见表14和表15)。

关断模式

可执行软件关断命令(命令9，参见表12)并将LSB置1来关断AD5272/AD5274。此功能会将RDAC置于零功耗状态，其中Ax与游标端断开。当AD5272或AD5274处于关断模式时，可以执行表12中的任意命令。通过执行命令9并将LSB置0，或者执行软件或硬件复位，可以使器件退出关断模式。

RDAC架构

为了实现最佳性能，ADI公司的所有数字电位计均采用了RDAC分段专利架构。具体来说，AD5272/AD5274采用三级分段方法，如图46所示。AD5272/AD5274的游标开关设计采用传输门CMOS拓扑。

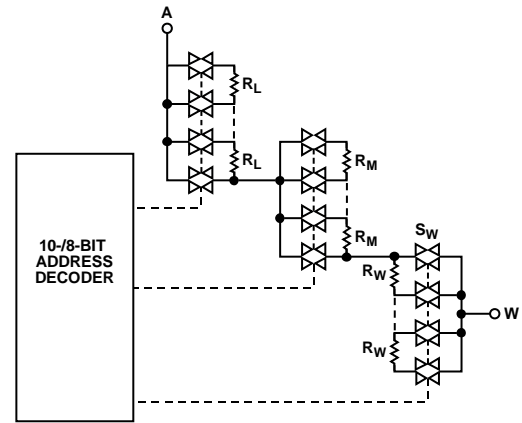


图46. RDAC电路示意图

可变电阻编程

可变电阻器操作—1%电阻容差

W端和A端之间的标称电阻 R_{WA} 为20 k Ω 、50 k Ω 或100 k Ω ，并具有1024/256个可供游标端访问的触点。RDAC锁存器中的10/8位数据经过解码，用于选择1024或256种可能的游标设置之一。AD5272/AD5274均内置±1%电阻容差校准功能。该功能可以通过对控制寄存器(参见表15)的位C2编程来禁用或使能，默认情况下会使能该功能。经过校准后，W端和A端之间的数字编程输出电阻 R_{WA} 可以在整个电源和温度范围内提供最高±1%的绝对电阻误差。因此，确定W端和A端之间数字编程输出电阻的通用公式如下：

对于AD5272

$$R_{WA}(D) = \frac{D}{1024} \times R_{WA} \quad (1)$$

对于AD5274

$$R_{WA}(D) = \frac{D}{256} \times R_{WA} \quad (2)$$

其中：

D 为载入10/8位RDAC寄存器的二进制代码的十进制等效值。

R_{WA} 是端到端电阻。

在零电平条件下，总共存在120 Ω 的有限游标电阻。无论器件的设置如何，都应将A端到B端、W端到A端以及W端到B端之间的电流限制为±3 mA的最大连续电流或表8中规定的脉冲电流。否则，内部开关触点可能会出现性能下降，甚至发生损坏。

AD5272/AD5274

EXT_CAP电容

AD5272/AD5274上电以及整个工作期间， V_{SS} 的一个1 μF 电容必须连接到EXT_CAP引脚(如图47所示)。

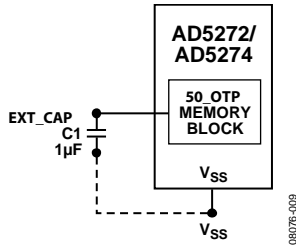


图47. EXT_CAP硬件设置

端电压范围

AD5272/AD5274的正 V_{DD} 和负 V_{SS} 电源定义确保2端数字电阻正常工作的边界条件。A端和W端超出 V_{DD} 或 V_{SS} 的电源信号由内部正偏二极管进行箝位(如图48所示)。

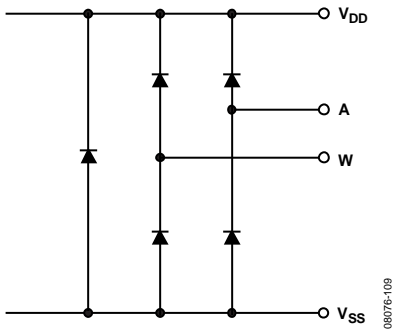


图48. 由 V_{DD} 和 V_{SS} 设置的最大端电压

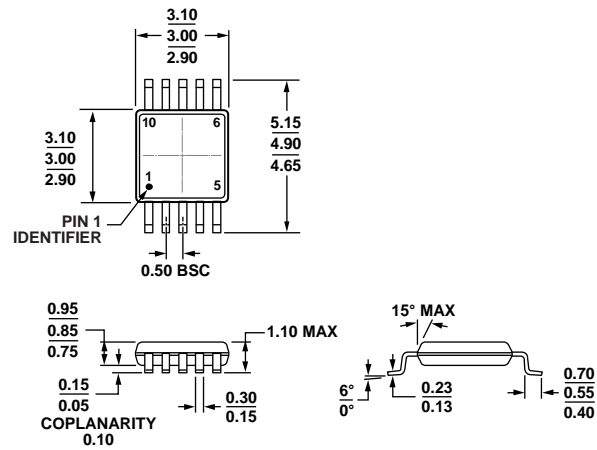
AD5272/AD5274器件的接地引脚主要用作数字地基准点。为了将数字地反弹降至最低，应将AD5272/AD5274接地端在远处连接到公共地。AD5272/AD5274的数字输入控制信号必须以器件接地引脚(GND)为参考，并且满足“技术规格”部分中定义的逻辑电平。内部电平移位电路确保三个端的共模电压范围为 V_{SS} 至 V_{DD} ，而不受数字输入电平影响。

上电时序

由于会用二极管来限制A端和W端(见图48)处的顺从电压，因此必须先给 V_{DD}/V_{SS} 供电，然后再向A端和W端施加电压。否则，该二极管会正偏，以致 V_{DD}/V_{SS} 意外上电。理想的上电时序为 V_{SS} 、GND、 V_{DD} 、数字输入、 V_A 和 V_W 。只要在 V_{DD}/V_{SS} 之后上电， V_A 、 V_W 和数字输入的上电顺序就无关紧要。

一旦 V_{DD} 上电，上电预设即会激活，该功能首先会将RDAC设为中间电平，然后将最后编程的50-TP值恢复到RDAC寄存器。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-187-BA

图49. 10引脚超小型封装[MSOP]
(RM-10)

图示尺寸单位: mm

091709-A

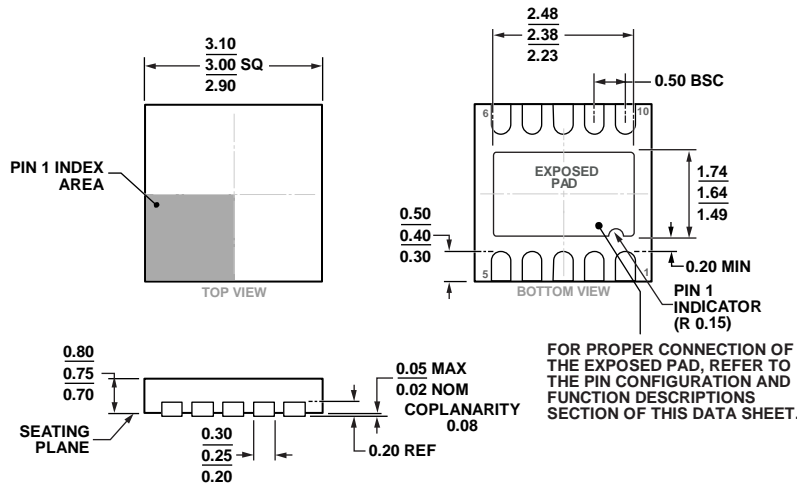


图50. 10引脚框架芯片级封装[LFCSP_WD]

3 mm x 3mm, 超薄体, 双引线
(CP-10-9)

图示尺寸单位: mm

02-05-2013-C

AD5272/AD5274

订购指南

型号 ¹	R _{AW} (kΩ)	分辨率	温度范围	封装描述	封装选项	标识
AD5272BRMZ-20	20	1,024	-40°C至+125°C	10引脚 MSOP	RM-10	DE6
AD5272BRMZ-20-RL7	20	1,024	-40°C至+125°C	10引脚 MSOP	RM-10	DE6
AD5272BRMZ-50	50	1,024	-40°C至+125°C	10引脚 MSOP	RM-10	DE7
AD5272BRMZ-50-RL7	50	1,024	-40°C至+125°C	10引脚 MSOP	RM-10	DE7
AD5272BRMZ-100	100	1,024	-40°C至+125°C	10引脚 MSOP	RM-10	DE5
AD5272BRMZ-100-RL7	100	1,024	-40°C至+125°C	10引脚 MSOP	RM-10	DE5
AD5272BCPZ-20-RL7	20	1,024	-40°C至+125°C	10引脚 LFCSP_WD	CP-10-9	DE4
AD5272BCPZ-100-RL7	100	1,024	-40°C至+125°C	10引脚 LFCSP_WD	CP-10-9	DE3
AD5274BRMZ-20	20	256	-40°C至+125°C	10引脚 MSOP	RM-10	DEE
AD5274BRMZ-20-RL7	20	256	-40°C至+125°C	10引脚 MSOP	RM-10	DEE
AD5274BRMZ-100	100	256	-40°C至+125°C	10引脚 MSOP	RM-10	DED
AD5274BRMZ-100-RL7	100	256	-40°C至+125°C	10引脚 MSOP	RM-10	DED
AD5274BCPZ-20-RL7	20	256	-40°C至+125°C	10引脚 LFCSP_WD	CP-10-9	DE9
AD5274BCPZ-100-RL7	100	256	-40°C至+125°C	10引脚 LFCSP_WD	CP-10-9	DE8
EVAL-AD5272SDZ			评估板			

¹Z = 符合RoHS标准的器件。

注释

注释

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。