

特性

- 集成15通道垂直驱动器
- 12位、36 MHz模数转换器(ADC)
- 寄存器映射与AD9923相似
- 支持5场、10相垂直时钟
- 完整的片内时序发生器
- Precision Timing内核，分辨率<600 ps
- 相关双采样器(CDS)
- 6 dB至42 dB、10位可变增益放大器(VGA)
- 具有可变电平控制功能的黑色电平箝位
- 片内3 V水平和RG驱动器
- 2相和4相水平时钟模式
- 支持电子和机械快门
- 可驱动外部晶振的片内驱动器
- 带外部同步输入的片内同步发生器
- 0.65 mm间距、8 mm × 8 mm CSP_BGA封装

应用

数码相机

概述

AD9923A是一款完整的36 MHz前端解决方案，适合数码相机和其它CCD成像应用。与AD9923相似，AD9923A内置模拟前端(AFE)、完全可编程的时序发生器(TG)和15通道垂直驱动器。在36 MHz下工作时，Precision Timing™内核允许以大约600 ps的分辨率调整高速时钟。

片内垂直驱动器最多支持15个通道，可以与5场、10相CCD一起使用。

模拟前端包括黑色电平箝位、CDS、VGA和一个12位ADC。时序发生器和垂直驱动器提供所有必需的CCD时钟：RG、水平时钟、垂直时钟、传感器门限脉冲、基底时钟和基底偏置控制。内部寄存器通过三线式串行接口进行编程。

AD9923A采用8 mm × 8 mm CSP_BGA封装，额定工作温度范围为-25°C至+85°C。

功能框图

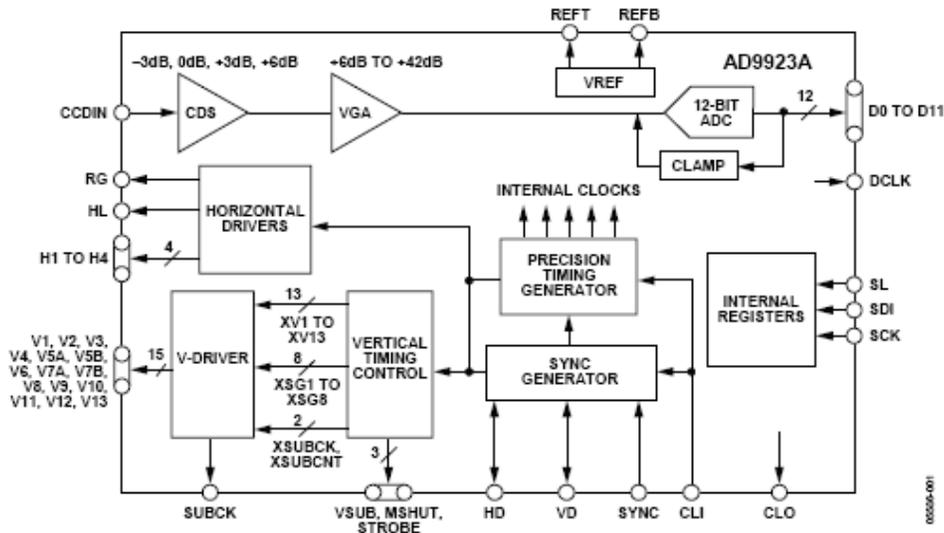


图1

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2006–2010 Analog Devices, Inc. All rights reserved.

目录

特性	1	工作原理	14
应用	1	<i>PRECISION TIMING</i> 高速时序产生	15
概述	1	水平箝位和消隐	18
功能框图	1	垂直时序产生	24
修订历史	2	垂直时序示例	38
技术规格	3	垂直驱动器信号配置	40
数字规格	4	快门时序控制	44
水平驱动器规格	4	FG_TRIG操作	54
垂直驱动器规格	4	模拟前端描述/操作	55
模拟规格	5	待机模式操作	60
时序规格	6	电路布局信息	62
绝对最大额定值	8	串行接口时序	65
热阻	8	内部寄存器布局	66
ESD警告	8	更新新寄存器值	67
引脚配置和功能描述	9	完整的寄存器列表	68
典型工作特性	11	完整的寄存器列表	68
等效电路	12	外形尺寸	84
术语	13	订购指南	84

修订历史

2010年1月—修订版0至修订版A

更改表6	6
增加表8；重新排序	8
更改“个别HBLK图样”部分	20
更改表13	20
更改“SUBCK：高精度操作”部分	45
更改“手动控制”部分	49

2006年10月—修订版0：初始版

技术规格

表1

参数	条件/注释	最小值	典型值	最大值	单位
温度范围					
工作		-25		+85	°C
存储		-65		+150	°C
AFETG电源电压					
AVDD	AFE模拟电源	2.7	3.0	3.6	V
TCVDD	时序内核模拟电源	2.7	3.0	3.6	V
RGVDD	RG驱动器	2.7	3.0	3.6	V
HVDD	HL、H1至H4驱动器	2.7	3.0	3.6	V
DRVDD	数据输出驱动器	2.7	3.0	3.6	V
DVDD	数字电源	2.7	3.0	3.6	V
垂直驱动器电源电压					
VDD1、VDD2	垂直驱动器逻辑	+2.7	+3.0	+3.6	V
VH1、VH2	垂直驱动器高电源	+11.5	+15.0	+16.5	V
VL1、VL2	垂直驱动器低电源	-8.5	-7.5	-5.5	V
VM1、VM2	垂直驱动器中间电源	-1.5	0.0	+1.5	V
VLL	SUBCK低电源	-8.5	-7.5	-5.5	V
VMM	SUBCK中间电源	-4.0	0.0	+1.5	V
AFETG功耗					
总计	36 MHz, 3.0 V电源, 400 pF总水平负载, 20 pF RG负载		335		mW
待机模式1			105		mW
待机模式2			1		mW
待机模式3			1		mW
仅HVDD的功耗 ¹			130		mW
仅RGVDD的功耗			10		mW
仅AVDD的功耗			75		mW
仅TCVDD的功耗			40		mW
仅DVDD的功耗			75		mW
仅DRVDD的功耗			5		mW
垂直驱动器功耗 ²	VH1、VH2 = +15 V; VL1、VL2 = -7.5 V; VM1、VM2 = 0 V; VDD1、VDD2 = 3.3 V; 所有垂直驱动器输入连接低电平				
VH1、VH2			5		mW
VL1、VL2			2.5		mW
VM1、VM2			0		mW
VDD1、VDD2			0.5		mW
最大时钟速率(CLI)		36			MHz

¹ HVDD电源的总功耗可通过下式进行近似计算:

$$HVDD总功耗 = [C_{LOAD} \times HVDD \times \text{像素频率}] \times HVDD$$

减小水平负载和/或使用较低的HVDD电源可以降低功耗。C_{LOAD}为所有水平输出端的总电容。

² 垂直驱动器功耗取决于工作频率及其所驱动负载。表1中的测量结果是在垂直驱动器的所有输入连接低电平条件下取得的。

AD9923A

数字规格

除非另有说明，DRVDD = 2.7 V至3.6 V， $C_L = 20$ pF， T_{MIN} 至 T_{MAX} 。

表2

参数	条件/注释	符号	最小值	典型值	最大值	单位
逻辑输入						
高电平输入电压		V_{IH}	2.1			V
低电平输入电压		V_{IL}			0.6	V
高电平输入电流		I_{IH}		10		μ A
低电平输入电流		I_{IL}		10		μ A
输入电容		C_{IN}		10		pF
逻辑输出	由DVDD、DRVDD供电					
高电平输出电压	$I_{OH} = 2$ mA	V_{OH}	DVDD - 0.5; DRVDD - 0.5			V
低电平输出电压	$I_{OL} = 2$ mA	V_{OL}			0.5	V

水平驱动器规格

除非另有说明，HVDD = RGVDD = 2.7 V至3.6 V， $C_L = 20$ pF， T_{MIN} 至 T_{MAX} 。

表3

参数	条件/注释	最小值	典型值	最大值	单位
RG和水平驱动器输出	RG、HL和H1至H4由RGVDD、HVDD供电				
高电平输出电压	最大电流	RGVDD - 0.5; HVDD - 0.5			V
低电平输出电压	最大电流			0.5	V
最大输出电流	可编程	30			mA
最大负载电容	每路输出	100			pF

垂直驱动器规格

$VDD1 = VDD2 = 3.3$ V， $VH1 = VH2 = 15$ V， $VM1 = VM2 = VMM = 0$ V， $VL1 = VL2 = VLL = -7.5$ V， 25° C。

表4

参数	条件/注释	符号	最小值	典型值	最大值	单位
垂直驱动器输出	简单负载条件，3000 pF接地					
延迟时间						
VL至VM和VM至VH	上升沿	t_{PLM} 、 t_{PMH}		35		ns
VM至VL和VH至VM	下降沿	t_{PML} 、 t_{PHM}		35		ns
上升时间						
VL至VM		t_{RLM}		125		ns
VM至VH		t_{RMH}		260		ns
下降时间						
VM至VL		t_{FML}		220		ns
VH至VM		t_{FHM}		125		ns
输出电流						
-7.25 V时				+10		mA
-0.25 V时				-22		mA
+0.25 V时				+22		mA
+14.75 V时				-10		mA
R_{ON}					35	Ω
SUBCK输出	简单负载条件，1000 pF接地					
延迟时间						
VLL至VH		t_{PLH}		25		ns
VH至VLL		t_{PHL}		30		ns
VLL至VMM		t_{PLM}		25		ns

参数	条件/注释	符号	最小值	典型值	最大值	单位
VMM至VH		t _{PMH}		25		ns
VH至VMM		t _{PHM}		30		ns
VMM至VLL		t _{PML}		25		ns
上升时间						
VLL至VH		t _{RLH}		40		ns
VLL至VMM		t _{RLM}		45		ns
VMM至VH		t _{RMH}		30		ns
下降时间						
VH至VLL		t _{FHL}		40		ns
VH至VMM		t _{FHM}		90		ns
VMM至VLL		t _{FML}		25		ns
输出电流						
-7.25 V时				20		mA
-0.25 V时				12		mA
+0.25 V时				12		mA
+14.75 V时				20		mA
R _{ON}					35	Ω

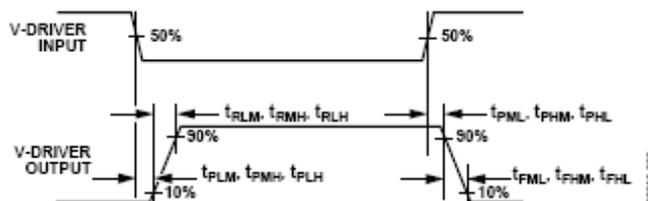


图2. 垂直驱动器时序规格定义

模拟规格

除非另有说明，AVDD = 3.0 V，f_{CL} = 36 MHz，典型时序规格，T_{MIN}至T_{MAX}。

表5

参数	条件/注释	最小值	典型值	最大值	单位
CDS	输入特性定义 ¹				
容许CCD复位瞬变电压			0.5	1.2	V
CDS增益精度	VGA增益 = 6 dB (代码15, 默认值)				
-3 dB CDS增益		-3	-2.5	-2	dB
0 dB CDS增益	默认	0	+0.5	+1	dB
+3 dB CDS增益		+3	+3.5	+4	dB
+6 dB CDS增益		+5.5	+6	+6.5	dB
饱和前的最大输入范围					
0 dB CDS增益	默认设置		1.0		V p-p
-3 dB CDS增益			1.4		V p-p
+6 dB CDS增益			0.5		V p-p
CCD黑色像素最大幅度	正失调定义 ¹				
0 dB CDS增益 (默认)		-100		+200	mV
+6 dB CDS增益		-50		+100	mV
可变增益放大器(VGA)					
增益控制分辨率			1024		步
增益单调性			保证		
增益范围					
最小增益 (VGA代码15)			6		dB
最大增益 (VGA代码1023)			42		dB

AD9923A

参数	条件/注释	最小值	典型值	最大值	单位
黑色电平箝位	在ADC输出端测量				
箝位电平分辨率			1024		步
最小箝位电平 (代码0)			0		LSB
最大箝位电平 (代码1023)			255		LSB
模数转换器(ADC)					
分辨率		12			位
微分非线性(DNL)		-1.0	±0.5	+1.0	LSB
无失码			保证		
满量程输入电压			2.0		V
基准电压源					
基准电压源顶部电压(REFT)			2.0		V
基准电压源底部电压(REFB)			1.0		V
系统性能	包括整个信号链				
增益精度					
低增益 (VGA代码15)	默认CDS增益(0 dB)	6.0	6.5	7.0	dB
最大增益 (VGA代码1023)		42.0	42.5	43.0	dB
峰值非线性, 500 mV输入信号	应用12 dB增益		0.1		%
总输出噪声	交流接地输入, 应用6 dB增益		1.0		LSB rms
电源抑制(PSR)	在电源发生阶跃变化下测量		50		dB

¹ 输入信号特性定义见图3。

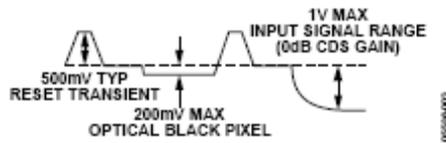


图3. 信号特性

时序规格

除非另有说明, $C_L = 20 \text{ pF}$, $AVDD = DVDD = DRVDD = 3.0 \text{ V}$, $f_{CLI} = 36 \text{ MHz}$ 。

表6

参数	条件/注释	符号	最小值	典型值	最大值	单位
主时钟, CLI						
CLI时钟周期		t_{CONV}	27.8			ns
CLI高/低电平脉冲宽度			11.2	13.9	16.6	ns
CLI上升沿到内部像素位置0的延迟时间		$t_{CLIDL Y}$		6		ns
AFE CLPOB脉冲宽度 ^{1,2}			2	20		像素
HD下降沿到CLI上升沿的容许区间	仅在从机模式下有效	t_{HDCLI}	4		$t_{CONV} - 2$	ns
SHP抑制区间	仅在从机模式下有效	t_{SHPINH}	30		39	边沿位置
AFE采样位置 ¹						
SHP采样边沿到SHD采样边沿		t_{S1}	11.6	13.9		ns
数据输出						
从DCLK上升沿起算的输出延迟时间 ¹	t	t_{OD}		8		ns
DOUTPHASE边沿位置的抑制区域			SHD		SHD + 11	边沿位置
从SHP/SHD采样到数据输出的流水线延迟时间			16			周期
串行接口						
最大SCK频率		f_{SCLK}	36			MHz
SL到SCK建立时间		t_{LS}	10			ns
SCK到SL保持时间		t_{LH}	10			ns
SDATA有效到SCK上升沿建立时间		t_{DS}	10			ns

参数	条件/注释	符号	最小值	典型值	最大值	单位
SCK下降沿到SDATA有效保持时间		t _{DH}	10			ns
SCK下降沿到SDATA有效读取时间		t _{DV}	10			ns
SHP和SHD相对于水平时钟边沿位置的抑制区间						
HxMASK = 0、HxRETIME = 0且 HxPOLARITY = 0		t _{SHDINH}	HxPOS - 9		HxPOS - 18	边沿位置
HxMASK = 0、HxRETIME = 0且 HxPOLARITY = 1		t _{SHDINH}	HxNEG - 9		HxNEG - 18	边沿位置
HxMASK = 0、HxRETIME = 1且 HxPOLARITY = 0		t _{SHPINH}	HxPOS - 7		HxPOS - 16	边沿位置
HxMASK = 0、HxRETIME = 1且 HxPOLARITY = 1		t _{SHPINH}	HxNEG - 7		HxNEG - 16	边沿位置
HxMASK = 1、HxRETIME = 0且 HxPOLARITY = 0		t _{SHDINH}	HxNEG - 9		HxNEG - 18	边沿位置
HxMASK = 1、HxRETIME = 0且 HxPOLARITY = 1		t _{SHDINH}	HxPOS - 9		HxPOS - 18	边沿位置
HxMASK = 1、HxRETIME = 1且 HxPOLARITY = 0		t _{SHPINH}	HxNEG - 7		HxNEG - 16	边沿位置
HxMASK = 1、HxRETIME = 1且 HxPOLARITY = 1		t _{SHPINH}	HxPOS - 7		HxPOS - 16	边沿位置

¹ 可编程参数。

² 最小CLPOB脉冲宽度仅针对正常工作而言。为了实现良好的箝位性能，建议使用更宽的典型脉冲。

绝对最大额定值

表7

参数	至	额定值
AVDD	AVSS	-0.3 V至+3.9 V
TCVDD	TCVSS	-0.3 V至+3.9 V
HVDD	HVSS	-0.3 V至+3.9 V
RGVDD	RGVSS	-0.3 V至+3.9 V
DVDD	DVSS	-0.3 V至+3.9 V
DRVDD	DRVSS	-0.3 V至+3.9 V
VDD1、VDD2	VSS1、VSS2	-0.3 V至+6 V
VH1、VH2	VL1、VL2	-0.3 V至+25 V
VH1、VH2	VSS1、VSS2	-0.3 V至+17 V
VL1、VL2	VSS1、VSS2	-17 V至+0.3 V
VM1、VM2	VSS1、VSS2	-6 V至+6 V
VLL	VSS1、VSS2	-17 V至+0.3 V
VMM	VSS1、VSS2	-6 V至+VH
VDR_EN	VSS1、VSS2	-0.3 V至+6 V
V1至V15	VSS1、VSS2	VL - 0.3 V至VH + 0.3 V
RG输出	RGVSS	-0.3 V至RGVDD + 0.3 V
H1至H4输出	HVSS	-0.3 V至HVDD + 0.3 V
数字输出	DVSS	-0.3 V至DVDD + 0.3 V
数字输入	DVSS	-0.3 V至DVDD + 0.3 V
SCK、SL、SDATA	DVSS	-0.3 V至DVDD + 0.3 V
REFT/REFB、CCDIN	AVSS	-0.3 V至AVDD + 0.3 V
结温		~150°C
引脚温度, 10秒		350°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

表8. 热阻

封装类型	θ_{JA}	单位
CSP_BGA	40.3	°C/W

ESD警告



ESD (静电放电) 敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述

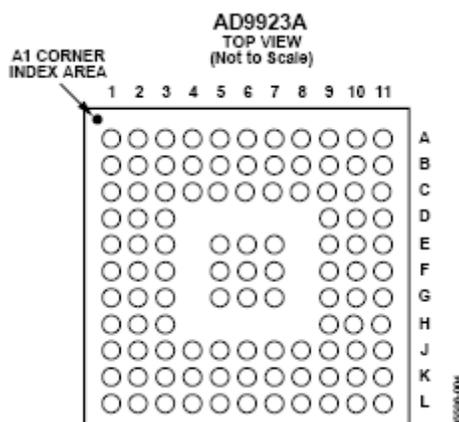


图4. 105引脚CSPBGA封装引脚配置

表9. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
A7	AVDD	P	AFE的模拟电源。
A1、A4、B2、B3、B4、B5、B6、B7	AVSS	P	AFE的模拟地。
B8	TCVDD	P	时序内核的模拟电源。
B9	TCVSS	P	时序内核的模拟地。
E1	DVDD1	P	数字逻辑电源1。
F2	DVSS1	P	数字逻辑地1。
K8、L7、L8	DVDD2	P	数字逻辑电源2。
K9	DVSS2	P	数字逻辑地2。
D9	HVDD	P	H1至H4、HL驱动器电源。
D10	HVSS	P	H1至H4、HL驱动器地。
B10	RGVDD	P	RG驱动器电源。
A10	RGVSS	P	RG驱动器地。
L4	DRVDD	P	数据输出驱动器电源。
L5	DRVSS	P	数据输出驱动器地。
J4	VDD1	P	垂直驱动器逻辑电源1。
K5	VSS1	P	垂直驱动器逻辑地1。
L10	VDD2	P	垂直驱动器逻辑电源2。
K10	VSS2	P	垂直驱动器逻辑地2。
F9	VH1	P	垂直驱动器高电源1。
D1	VH2	P	垂直驱动器高电源2。
E9	VL1	P	垂直驱动器低电源1。
C1	VL2	P	垂直驱动器低电源2。
C9	VM1	P	垂直驱动器中间电源1。
D3	VM2	P	垂直驱动器中间电源2。
F3	VLL	P	SUBCK驱动器低电源。
E3	VMM	P	SUBCK驱动器中间电源。
A6	CCDIN	AI	CCD信号输入。
A5	CCDGND	AI	CCD信号地。
A3	REFT	AO	基准电压源顶部旁路。
A2	REFB	AO	基准电压源底部旁路。
C3	SL	DI	三线式串行负载脉冲。
C2	SCK	DI	三线式串行时钟。
B1	SDI	DI	三线式串行数据输入。
G7	SYNC	DI	外部系统同步输入。
E5	RSTB	DI	复位信号，低电平有效脉冲。

AD9923A

引脚编号	引脚名称	类型 ¹	描述
A8	CLI	DI	参考时钟输入（主时钟）。
A9	CLO	DO	晶振时钟输出。
F11	H1	DO	CCD水平时钟1。
E11	H2	DO	CCD水平时钟2。
D11	H3	DO	CCD水平时钟3。
C11	H4	DO	CCD水平时钟4。
B11	HL	DO	CCD最后水平时钟。
C10	RG	DO	CCD复位门限时钟。
K6	VSUB	DO	CCD基底偏置。
F5	MSHUT	DO	机械快门脉冲。
G5	STROBE	DO	频闪脉冲。
G6	SUBCK	DO	CCD基底时钟（电子快门）。
F1	DCLK	DO	数据时钟输出。
G1	D0	DO	数据输出(LSB)。
H3	D1	DO	数据输出。
H2	D2	DO	数据输出。
H1	D3	DO	数据输出。
J3	D4	DO	数据输出。
J2	D5	DO	数据输出。
J1	D6	DO	数据输出。
K3	D7	DO	数据输出。
K2	D8	DO	数据输出。
K1	D9	DO	数据输出。
L3	D10	DO	数据输出。
L2	D11	DO	数据输出(MSB)。
D2	VD	DIO	垂直同步脉冲。从机模式下为输入，主机模式下为输出。
E2	HD	DIO	水平同步脉冲。从机模式下为输入，主机模式下为输出。
C8	V1	VO3	CCD垂直传输时钟。
G10	V2	VO2	CCD垂直传输时钟。
E7	V3	VO3	CCD垂直传输时钟。
G9	V4	VO2	CCD垂直传输时钟。
C4	V5A	VO3	CCD垂直传输时钟。
C5	V5B	VO3	CCD垂直传输时钟。
F10	V6	VO2	CCD垂直传输时钟。
C6	V7A	VO3	CCD垂直传输时钟。
C7	V7B	VO3	CCD垂直传输时钟。
G11	V8	VO2	CCD垂直传输时钟。
H11	V9	VO2	CCD垂直传输时钟。
H10	V10	VO2	CCD垂直传输时钟。
F6	V11	VO3	CCD垂直传输时钟。
F7	V12	VO3	CCD垂直传输时钟。
E10	V13	VO2	CCD垂直传输时钟。
K11	VDR_EN	DI	垂直驱动器输出使能引脚。
J5	TEST0	DI	测试输入。必须连接到VSS1或VSS2。
J7	TEST1	DI	测试输入。必须连接到VSS1或VSS2。
J8	TEST3	DI	测试输入。必须连接到VDD1或VDD2。
A11、E6、H9、J6、J9、J10、J11、K4、K7、L1、L6、L9、L11、G2、G3	NC		不连接。

¹ AI = 模拟输入，AO = 模拟输出，DI = 数字输入，DO = 数字输出，DIO = 数字输入/输出，P = 电源，VO2 = 垂直驱动器输出2电平，VO3 = 垂直驱动器输出3电平。

典型工作特性

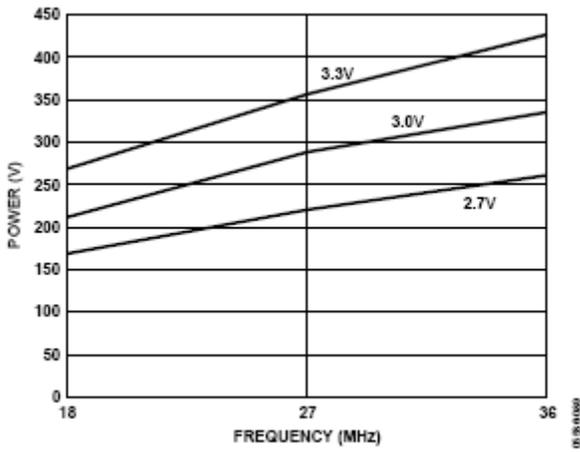


图5. 功耗与采样速率的关系

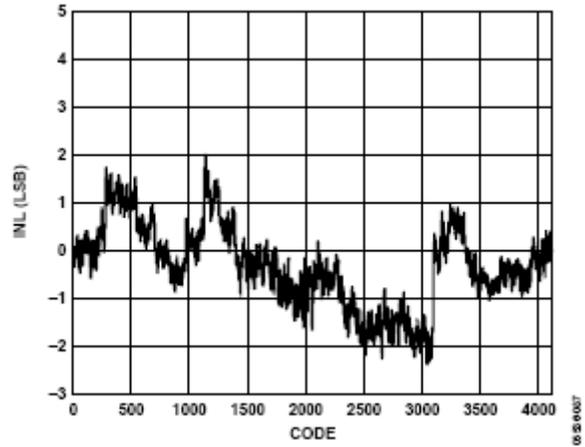


图7. 典型INL性能

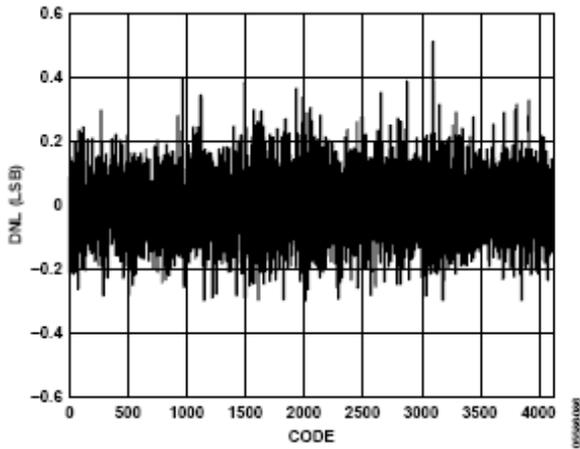


图6. 典型DNL性能

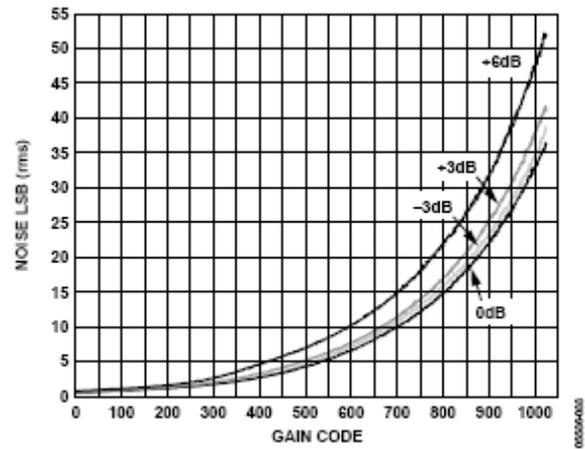


图8. 输出噪声与VGA增益的关系

等效电路

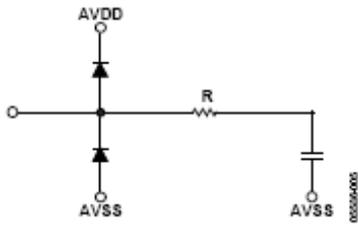


图9. CCDIN、CCDGND

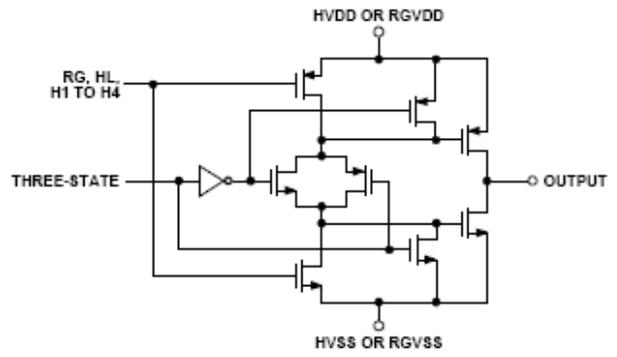


图12. HL、H1至H4和RG驱动器

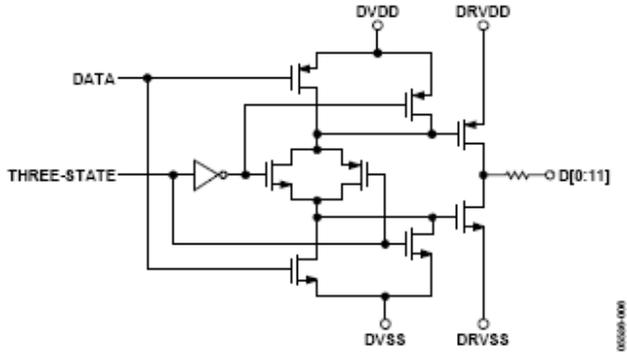


图10. 数字数据输出

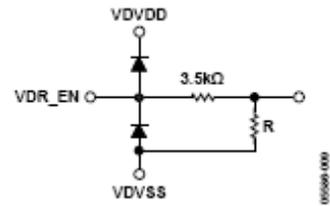


图13. VDR_EN输入

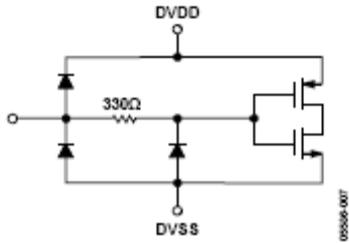


图11. 数字输入

术语

微分非线性(DNL)

在一个理想ADC中，码转换相距恰好1 LSB。DNL是指实际值与此理想值的偏差。因此，每个代码必须具有一个有限的宽度。12位分辨率保证无失码意味着，所有工作条件下都必须存在全部4096个代码。

积分非线性(INL)

INL是指测得各码与从零电平到满量程值的直线的偏差。用作零电平的该点出现在第一个码转换之前的0.5 LSB处。正满量程定义为超出最后一个码转换1.5 LSB的一个电平。从各输出码的中点到该直线的距离即为偏差。

峰值非线性

峰值非线性是一个完整信号链规格，指AD9923A输出与一条直线的峰值偏差。用作零电平的该点出现在第一个码转换之前的0.5 LSB处。正满量程定义为超出最后一个码转换1.5 LSB的一个电平。从各输出码的中点到该直线的距离即为偏差。该误差表示为2 V ADC满量程信号的百分比。输入信号始终会得到适当的放大，以填满ADC的满量程范围。

总输出噪声

均方根输出噪声利用直方图技术进行测量。ADC输出码的标准差以LSB为单位进行计算，代表整个信号链在指定增益设置下的均方根噪声电平。输出噪声可以通过下式转换为等效电压：

$$1 \text{ LSB} = (\text{ADC满量程}/2^n \text{ 个码})$$

其中， n 为ADC的分辨率，1 LSB等于0.488 mV。

电源抑制(PSR)

PSR是在电源引脚发生阶跃变化下进行测量的。电源电压发生一定的阶跃变化时，数据输出随之改变，PSR规格即据此而计算。

工作原理

图14显示了主机模式下AD9923A的典型系统框图。由CDS、VGA、黑色电平箝位和ADC组成的AD9923A AFE电路处理CCD输出。数字化像素信息被送至数字信号处理器芯片进行后处理和压缩。为了操作CCD，系统微处理器通过三线式串行接口将CCD时序参数写入AD9923A。AD9923A根据系统主时钟CLI产生CCD水平、垂直和内部AFE时钟。CLI由图像处理器或外部晶振提供。来自微处理器的一个同步脉冲提供外部同步信号，复位内部计数器，并且重新同步VD和HD输出。

AD9923A也可以在从机模式下工作，这时VD和HD由外部图像处理器提供。这种模式下，AD9923A时序与VD和HD同步。AD9923A内置用于HL、H1至H4和RG的水平驱动器，因此这些时钟可以直接连接到CCD。支持最高3.3 V的水平驱动器电压HVDD。垂直传输时钟、传感器门限脉冲和基底时钟需要外部垂直驱动器。

AD9923A还包括可编程MSHUT和STROBE输出，可以利用这些输出触发机械快门和频闪（闪光灯）电路。

图15和图16显示了AD9923A的水平和垂直计数器最大尺寸。内部水平和垂直时钟由这些计数器控制，以便指定行和像素的位置。HD最大长度为每行8192个像素，而VD最大长度为每场4096行。

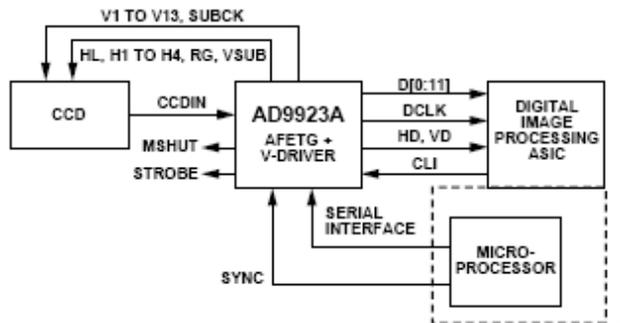


图14. 主机模式下的典型系统框图

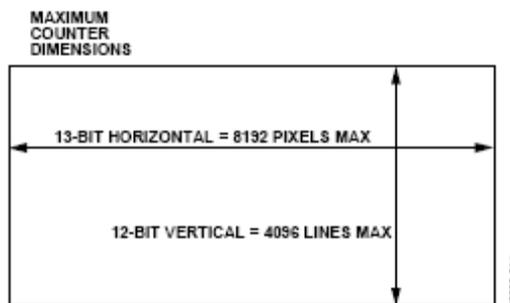


图15. 垂直和水平计数器

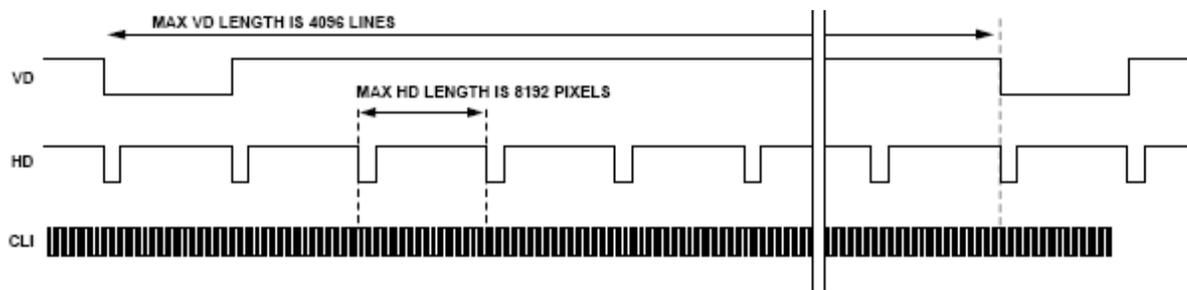


图16. VD/HD最大尺寸

PRECISION TIMING 高速时序产生

AD9923A利用灵活的*Precision Timing*内核产生高速时序信号。此内核是产生CCD和AFE所用时序的基础。它由复位门限(RG)、水平驱动器(H1至H4和HL)和采样时钟(SHP和SHD)组成。独特的架构使它能精确控制水平CCD读取和AFE相关双采样,从而成为系统设计人员优化图像质量的不二之选。

AD9923A的高速时序在主机模式和从机模式下的工作方式相同。有关同步和流水线延迟的更多信息,请参见“从机模式”部分中的“上电和同步”。

时序分辨率

*Precision Timing*内核使用一个1×主时钟输入(CLI)作为参考。此时钟的频率应与CCD像素时钟频率一致。图17显示了内部时序内核如何将主时钟周期分为48步或边沿位置。使用36 MHz CLI频率时,*Precision Timing*内核的边沿分辨率约为0.6 ns。如果无法获得1×系统时钟,可以设置CLIDIVIDE寄存器(地址0x30)以使用2×参考时钟,然后,AD9923A在内部将CLI频率除以2。

AD9923A包括一个主时钟输出(CLO),它是CLI的反转形式。此输出旨在用作晶振驱动器。可以将一个晶振放在CLI和CLO引脚之间,以产生AD9923A的主时钟。有关使用晶振的更多信息,请参见图80。

高速时钟可编程性

图18显示了RG、HL、H1至H4、SHP和SHD高速时钟是如何产生的。RG脉冲具有可编程的上升和下降沿,并且可以通过极性控制予以反转。HL、H1和H3水平时钟具有可编程的上升和下降沿,以及极性控制功能。H2和H4时钟分别是H1和H3时钟的反转形式。表10汇总了高速时序寄存器及其参数。图19显示了典型的2相水平时钟操作,其中H3和H4的边沿位置与H1和H2相同。

边沿位置寄存器为6位宽,但仅有48个有效的边沿位置可用。因此,寄存器值被映射到四个象限中,每个象限包含12个边沿位置。表11显示了寄存器值与边沿位置的对应关系。图20显示了高速时钟信号的默认时序位置。

水平驱动器和RG输出

除了可编程时序位置以外,AD9923A还具有用于RG和H1至H4输出的片内输出驱动器。这些驱动器非常强大,足以直接驱动CCD输入。针对特定负载,可以使用H1至H4、HL和RGDRV寄存器(地址0x36)调整水平驱动器和RG电流,以获得最佳上升/下降时间。每个输出的3位驱动设置可以4.1 mA的增量进行调整,最小设置0对应于0 mA或三态,而最大设置7对应于30.1 mA。

如图18、图19和图20所示,H2和H4输出分别是H1和H3输出的反转形式。H1/H2交越电压约为输出摆幅的50%。交越电压不可编程。

数字数据输出

AD9923A数据输出和DCLK相位可以通过DOUTPHASE寄存器(地址0x38,位[5:0])进行编程。可以设置从0到47的任何边沿,如图21所示。通常,DOUT和DCLK信号的相位保持一定的关系,具体取决于DOUTPHASE寄存器内容。通过将DCLKMODE寄存器(地址0x38,位[8])设置为高电平,也可以使DCLK输出相位相对于数据输出保持固定。这种模式下,DCLK输出仍然处于一个与CLI延迟版本相等的固定相位,而且数据输出相位仍然可编程。详情请参见“模拟前端描述/操作”部分。

从DCLK上升沿到DOUT转换有一个固定输出延迟时间,称为 t_{OD} 。使用DOUTDELAY寄存器(地址0x38,位[10:9]),可以将此延迟时间设置为0 ns到12 ns的四个值之一。默认值为8 ns。

通过AD9923A的流水线延迟如图22所示。CCD输入经由SHD进行采样之后,需经过16周期的延迟时间数据才可用。

表10. HL、H1至H4、RG、SHP/SHD的时序内核寄存器参数

参数	长度(位)	范围	描述
极性	1	高/低	HL、H1、H3和RG的极性控制(0 = 不反转, 1 = 反转)
正边沿	6	0到47边沿位置	HL、H1、H3和RG的正边沿位置(H2/H4分别是H1/H3的反转形式)
负边沿	6	0到47边沿位置	HL、H1、H3和RG的负边沿位置(H2/H4分别是H1/H3的反转形式)
采样位置	6	0到47边沿位置	内部SHP和SHD信号的采样位置
驱动强度	3	0到7电流阶跃	HL、H1至H4和RG输出的驱动电流(步进为4.1 mA)

表11. Precision Timing边沿位置

象限	边沿位置 (十进制)	寄存器值 (十进制)	寄存器值 (二进制)
I	0至11	0至11	000000至001011
II	12至23	16至27	010000至011011
III	24至35	32至43	100000至101011
IV	36至47	48至59	110000至111011

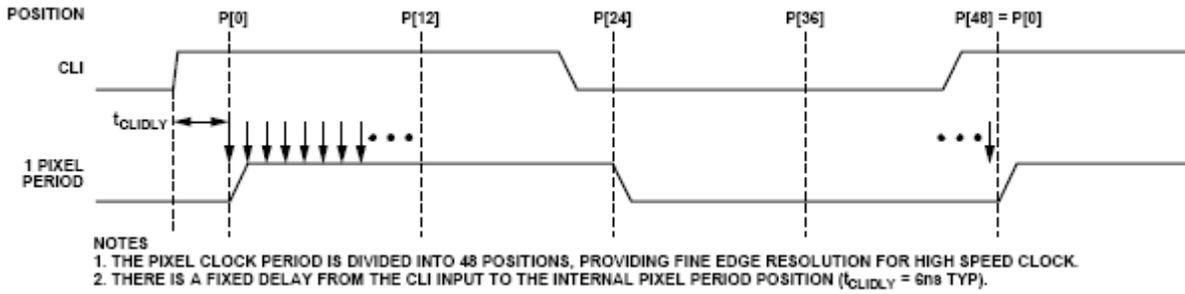


图17. CLI主时钟输入的高速时钟分辨率

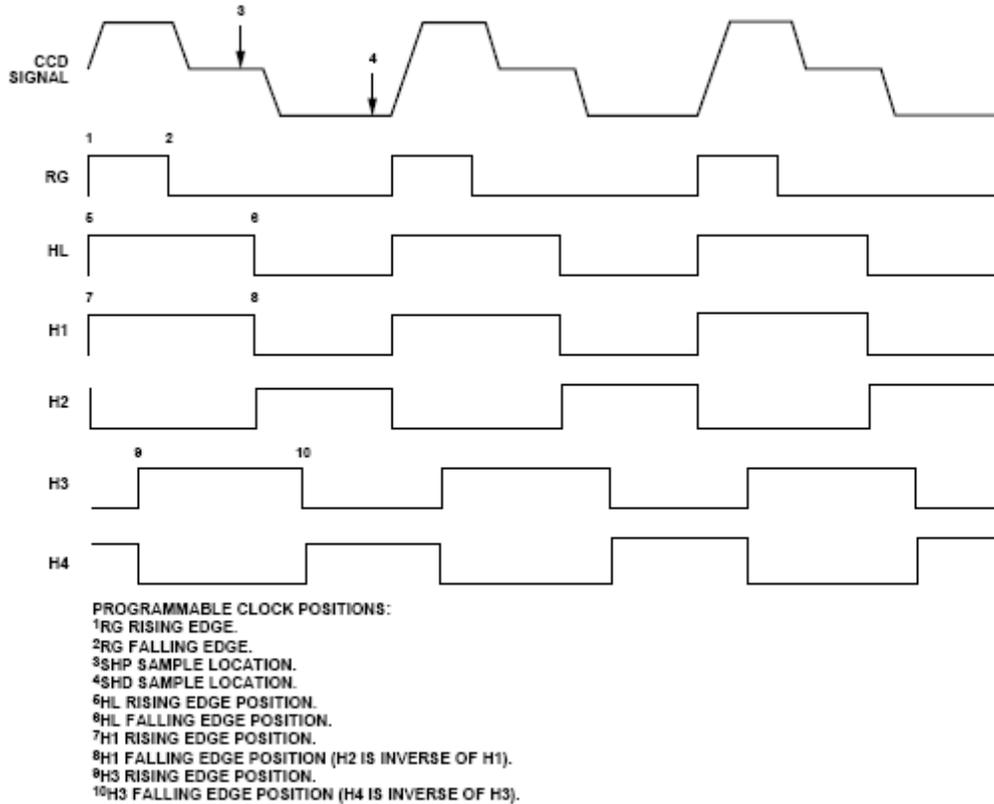


图18. 高速时钟可编程位置

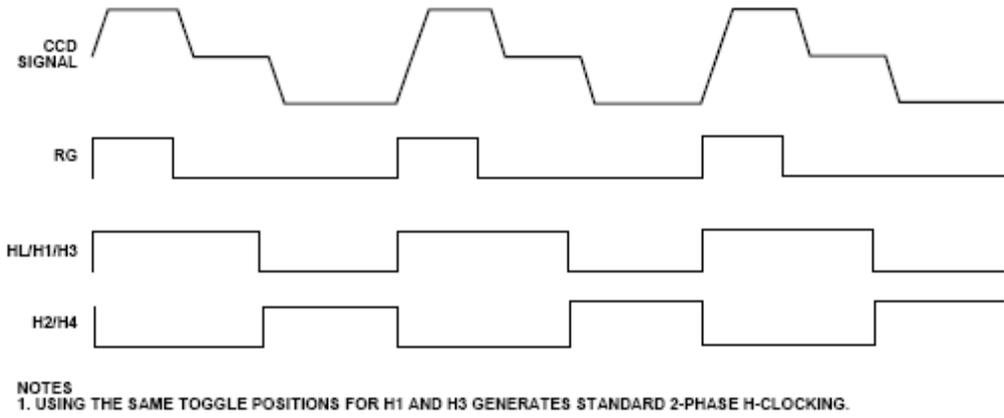


图19. 2相水平时钟操作

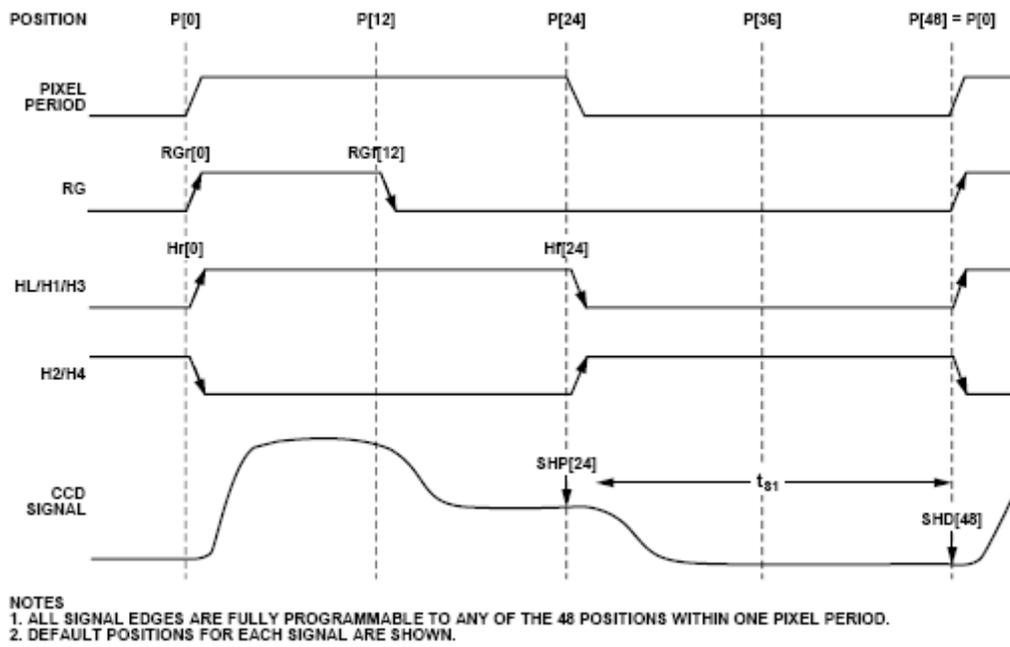


图20. 高速时序默认位置

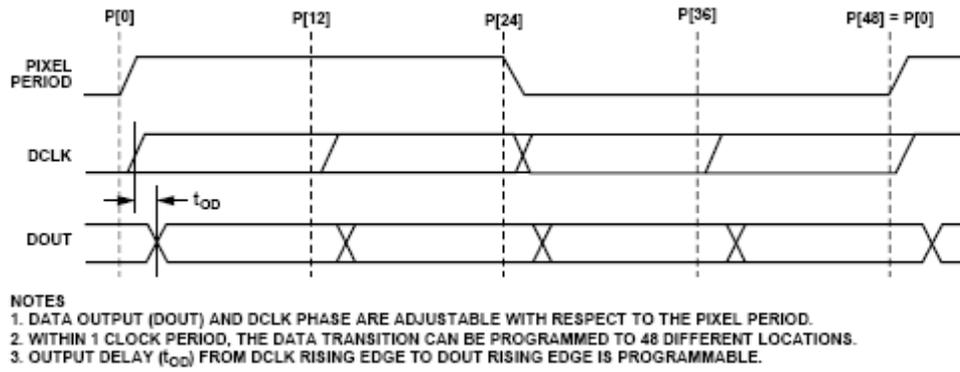
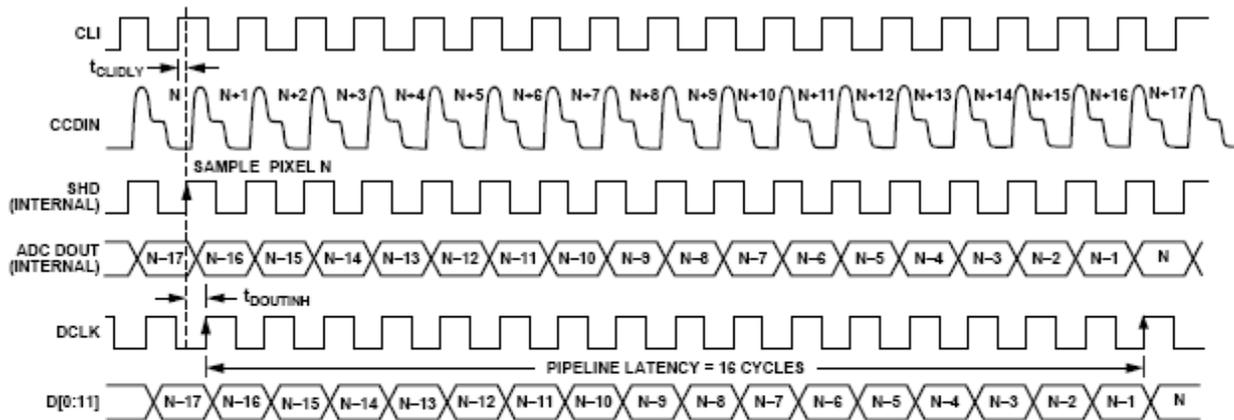


图21. 数字输出相位调整



NOTES

1. TIMING VALUES SHOWN ARE SHDLOC = 0, WITH DCLKMODE = 0.
2. HIGHER VALUES OF SHD AND/OR DOUTPHASE SHIFT DOUT TRANSITION TO THE RIGHT WITH RESPECT TO CLI LOCATION.
3. INHIBIT TIME FOR DOUT PHASE IS DEFINED BY $t_{DOUTINH}$, WHICH IS EQUAL TO SHDLOC PLUS 11 EDGES. IT IS RECOMMENDED THAT THE 12 EDGE LOCATIONS FOLLOWING SHDLOC NOT BE USED FOR THE DOUTPHASE LOCATION.
4. RECOMMENDED VALUE FOR DOUT PHASE IS TO USE THE SHDLOC EDGE OR THE 11 EDGES FOLLOWING SHDLOC.
5. RECOMMENDED VALUE FOR t_{OD} (DOUT DLY) IS 4ns.
6. THE DOUT LATCH CAN BE BYPASSED USING REGISTER 0x01, BIT [1] = 1 SO THAT THE ADC DATA OUTPUTS APPEAR DIRECTLY AT THE DATA OUTPUT PINS. THIS CONFIGURATION IS RECOMMENDED IF THE ADJUSTABLE DOUT PHASE IS NOT REQUIRED.

000006-001

图22. 数字数据输出流水线延迟

水平箝位和消隐

为了适应各种不同的应用，AD9923A的水平箝位和消隐脉冲是完全可编程的。在各场的不同区间都可以分别控制CLPOB、PBLK和HBLK。这样，暗像素箝位和消隐图样可以在读取的各个阶段改变，以支持不同的图像传输时序和高速行移位。

个别CLPOB和PBLK图样

AFE水平时序由CLPOB和PBLK组成，如图23所示。可以使用表12中的寄存器对这两个信号分别编程。SPOL是信号的起始极性，而TOG1和TOG2分别是脉冲的第一和第二跳变位置。两个信号都是低电平有效，应据此进行编程。

针对各个垂直序列，可以设置不同的CLPOB和PBLK图样。如“垂直时序产生”部分所述，可以创建多个垂直序列，各序列包含独特的CLPOB和PBLK脉冲图样。

图46显示了序列变化位置如何将读取场分为区间。可以为各区间指定不同的垂直序列，使得CLPOB和PBLK信号能够随着垂直时序的改变而变化。不用的CLPOB和PBLK跳变位置应设置为8191。

CLPOB和PBLK掩蔽区域

AD9923A允许在不改变现有CLPOB和/或PBLK图样设置的情况下，在场的某些行期间禁用CLPOB和/或PBLK信号。

要使用CLPOB掩蔽功能，必须设置CLPMASKSTART和CLPMASKEND寄存器，指定场中的起始行和结束行，从而忽略其中的CLPOB图样。CLPMASKSTART和CLPMASKEND寄存器共有三组，因而最多可以创建三个CLPOB掩蔽区域。

CLPOB掩蔽寄存器不是针对特定的垂直序列起作用，而是对任何现有的时序场都有效。要禁用CLPOB掩蔽功能，请将这些寄存器设置为最大值0xFFF（默认值）。

要使用PBLK掩蔽功能，必须设置PBLKMASKSTART和PBLKMASKEND寄存器，指定场中的起始行和结束行，从而忽略其中的PBLK图样。PBLKMASKSTART和PBLKMASKEND寄存器共有三组，因而最多可以创建三个PBLK掩蔽区域。

PBLK掩蔽寄存器不是针对特定的垂直序列起作用，而是对任何现有的时序场都有效。要禁用PBLK掩蔽功能，请将这些寄存器设置为最大值0xFFF（默认值）。

表12. CLPOB和PBLK图样寄存器

寄存器	长度 (位)	范围	描述
CLPOBPOL	1	高/低	各垂直序列的CLPOB起始极性
PBLKPOL	1	高/低	各垂直序列的PBLK起始极性
CLPOBTOG1	13	0到8191像素位置	各垂直序列的行内第一CLPOB跳变位置
CLPOBTOG2	13	0到8191像素位置	各垂直序列的行内第二CLPOB跳变位置
PBLKTOG1	13	0到8191像素位置	各垂直序列的行内第一PBLK跳变位置
PBLKBTOG2	13	0到8191像素位置	各垂直序列的行内第二PBLK跳变位置
CLPMASKSTART	12	0到4095行位置	CLPOB掩蔽区域一场内的起始行 (最多三个区域)
CLPMASKEND	12	0到4095行位置	CLPOB掩蔽区域一场内的结束行 (最多三个区域)
PBLKMASKSTART	12	0到4095行位置	PBLK掩蔽区域一场内的起始行 (最多三个区域)
PBLKMASKEND	12	0到4095行位置	PBLK掩蔽区域一场内的结束行 (最多三个区域)

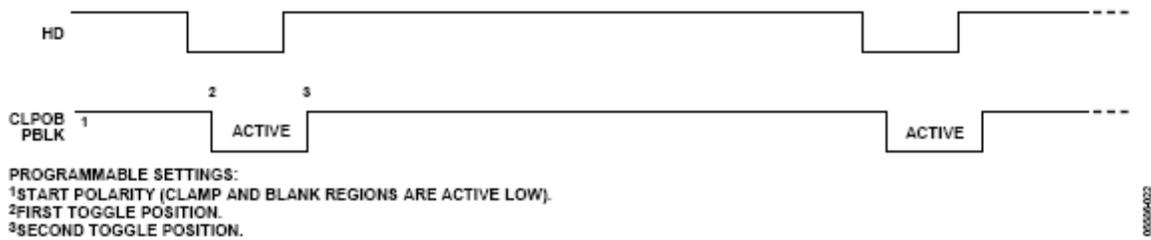


图23. 箝位和预消隐脉冲位置

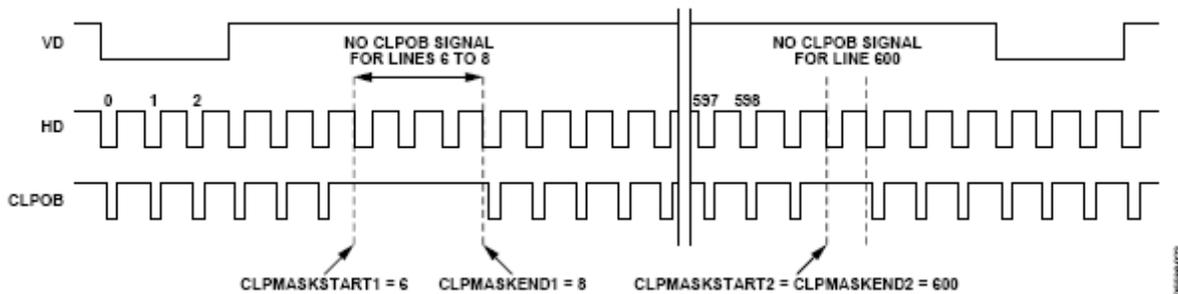


图24. CLPOB掩蔽示例

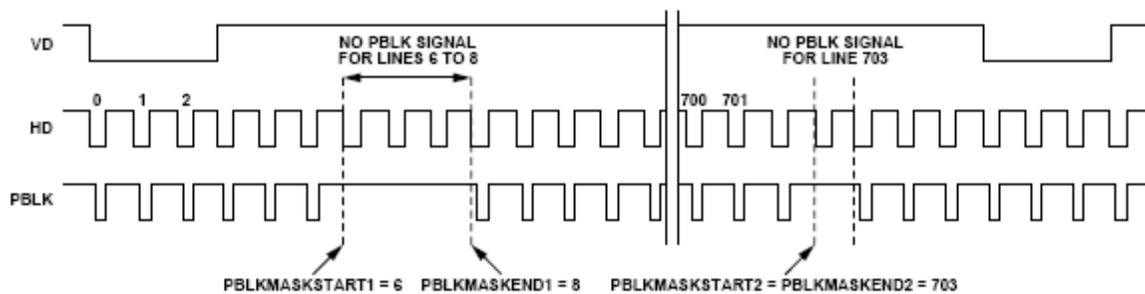


图25. PBLK掩蔽示例

个别HBLK图样

HBLK可编程时序如图26所示，它与CLPOB和PBLK相似，但没有起始极性控制功能。仅使用跳变位置来指定消隐周期的起始和结束位置。此外，一个极性控制寄存器HBLKMASK指定消隐期间的水平时钟信号的极性。如果将HBLKMASK设置为高电平，则在消隐期间H1 = H3 = 高电平，H2 = H4 = 低电平，如图27所示。与CLPOB和PBLK寄存器一样，每个垂直序列都可以使用HBLK寄存器，因此不同的垂直时序序列可以使用不同的消隐信号。

请注意，无论HBLKALT设置如何，AD9923A上任何不用的HBLK跳变位置的推荐设置都是8189。8190和8191不是不用

的HBLK跳变位置的有效设置，会导致不需要的HBLK跳变活动。

产生特殊HBLK图样

HBLK有6个可用跳变位置。通常，只使用2个跳变位置来产生标准HBLK间隔。然而，可以使用更多跳变位置来产生特殊HBLK图样，如图28所示。本例中的图样使用了所有6个跳变位置，以在HBLK间隔期间产生2个额外的脉冲组。通过更改跳变位置，可以创建不同的图样。

表13. HBLK图样寄存器

寄存器	长度 (位)	范围	描述
HBLKMASK	1	高/低	H1、H3、HL的掩蔽极性 (0 = 掩蔽低电平, 1 = 掩蔽高电平)
HBLKALT	3	0到7交替模式	使能HBLK跳变位置的不同奇/偶交替 0: 禁用交替 (HBLKTOGE1到HBLKTOGE6寄存器用于各行) 1: TOGE1和TOGE2用于奇数行, TOGE3至TOGE6用于偶数行 2: TOGE1和TOGE2用于偶数行, TOGE3至TOGE6用于奇数行 3: TOGE1至TOGE6用于偶数行, TOGO1至TOGE6用于奇数行 (FREEZE/RESUME不可用) 4到7: HBLKSTART、HBLKEND、HBLKLEN和HBLKREP寄存器用于各行
HBLKTOGE1	13	0到8189像素位置	HBLK第一跳变位置 (当HBLKALT = 3时, 仅适用于偶数行)
HBLKTOGE2	13	0到8189像素位置	HBLK第二跳变位置 (当HBLKALT = 3时, 仅适用于偶数行)
HBLKTOGE3	13	0到8189像素位置	HBLK第三跳变位置 (当HBLKALT = 3时, 仅适用于偶数行)
HBLKTOGE4	13	0到8189像素位置	HBLK第四跳变位置 (当HBLKALT = 3时, 仅适用于偶数行)
HBLKTOGE5	13	0到8189像素位置	第五跳变位置, 偶数行 (当HBLKALT = 4至7时, 它为HBLKSTART)
HBLKTOGE6	13	0到8189像素位置	第六跳变位置, 偶数行 (当HBLKALT = 4至7时, 它为HBLKEND)
HBLKLEN	13	0到8189像素	HBLK图样长度, 仅用于HBLKALT = 4至7时
HBLKREP	8	0到255次重复	HBLK图样重复次数, 仅用于HBLKALT = 4至7时
HBLKTOGO1	13	0到8189像素位置	当HBLKALT = 3时, 它为奇数行的第一跳变位置 (通常为VREPA_3)
HBLKTOGO2	13	0到8189像素位置	当HBLKALT = 3时, 它为奇数行的第二跳变位置 (通常为VREPA_4)
HBLKTOGO3	13	0到8189像素位置	当HBLKALT = 3时, 它为奇数行的第三跳变位置 (通常为FREEZE1)
HBLKTOGO4	13	0到8189像素位置	当HBLKALT = 3时, 它为奇数行的第四跳变位置 (通常为RESUME1)
HBLKTOGO5	13	0到8189像素位置	当HBLKALT = 3时, 它为奇数行的第五跳变位置 (通常为FREEZE2)
HBLKTOGO6	13	0到8189像素位置	当HBLKALT = 3时, 它为奇数行的第六跳变位置 (通常为RESUME2)



图26. 典型水平消隐(HBLK)脉冲位置

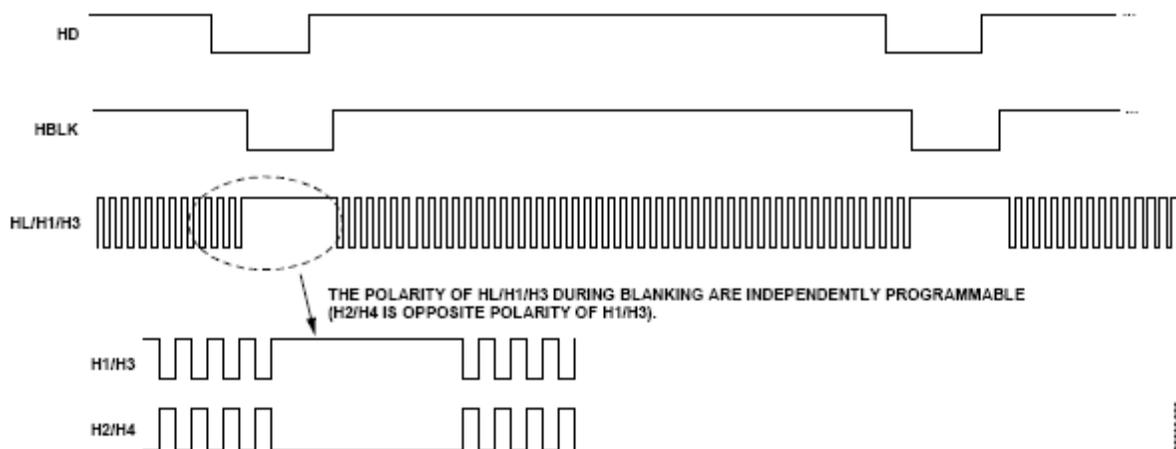


图27. HBLK掩蔽极性控制

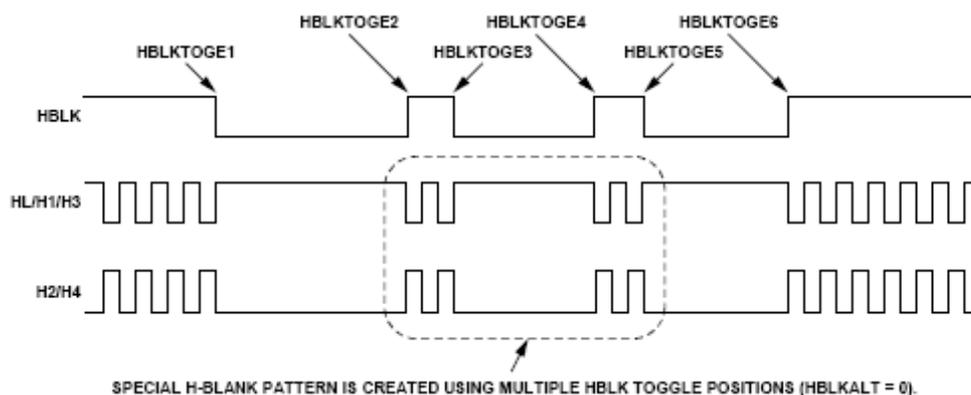


图28. 使用HBLK的多个跳变位置(HBLKALT = 0)

产生HBLK行交替

AD9923A可以交替改变奇数行和偶数行上的不同HBLK跳变位置。此功能既可以与垂直图样奇/偶交替一起使用，也可以独立使用。如果将1写入HBLKALT寄存器，则HBLKTOGE1和HBLKTOGE2用于奇数行，而HBLKTOGE3至HBLKTOGE6用于偶数行。如果将2写入HBLKALT寄存器，则结果完全相反：HBLKTOGE1和HBLKTOGE2用于偶数行，HBLKTOGE3至HBLKTOGE6用于奇数行。如果将3写入HBLKALT寄存器，则所有6个偶数跳变位置HBLKTOGE1至HBLKTOGE6都用于偶数行。此外还有6个

附加跳变位置HBLKTOGO1至HBLKTOGE6，它们用于奇数行。这些寄存器一般用于VPAT A组、VPAT B组和冻结/恢复功能，但当HBLKALT = 3时，这些寄存器成为HBLK的奇数行跳变位置。

将4、5、6或7写入HBLKALT时可以使能另一个HBLK功能。在这些模式下，HBLK图样利用一组不同的寄存器（HBLKSTART、HBLKEND、HBLKLEN和HBLKREP）和4个跳变位置产生。这就允许HBLK信号重复多次，如图32所示。

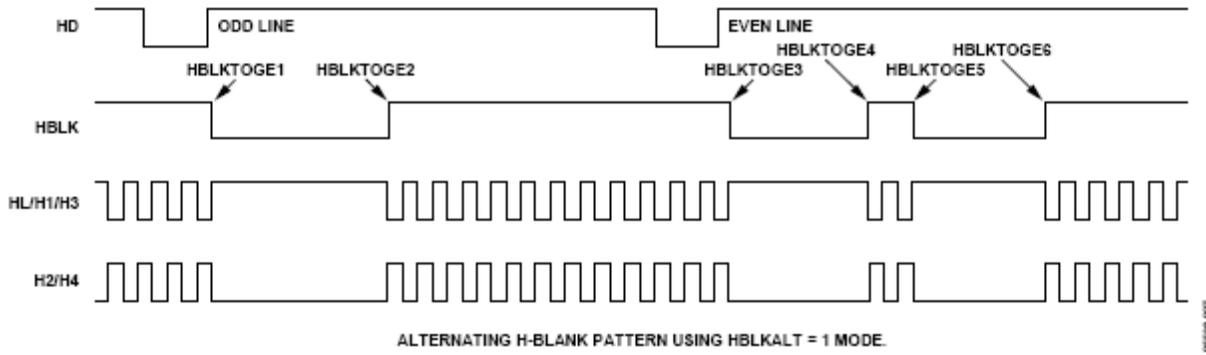


图29. HBLK奇/偶交替(HBLKALT = 1)

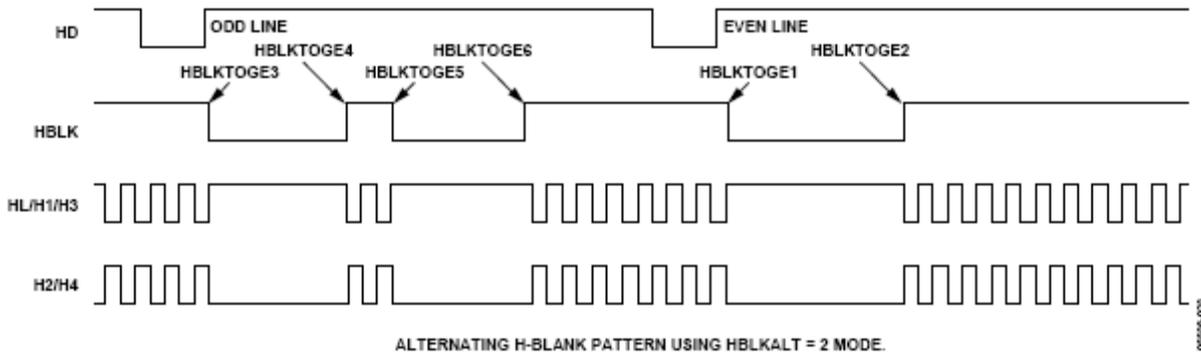


图30. HBLK奇/偶交替(HBLKALT = 2)

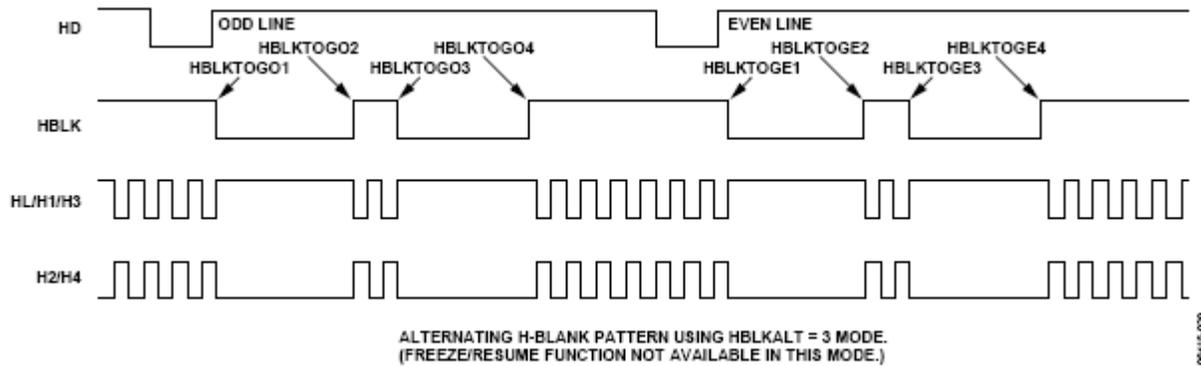


图31. HBLK奇/偶交替(HBLKALT = 3)

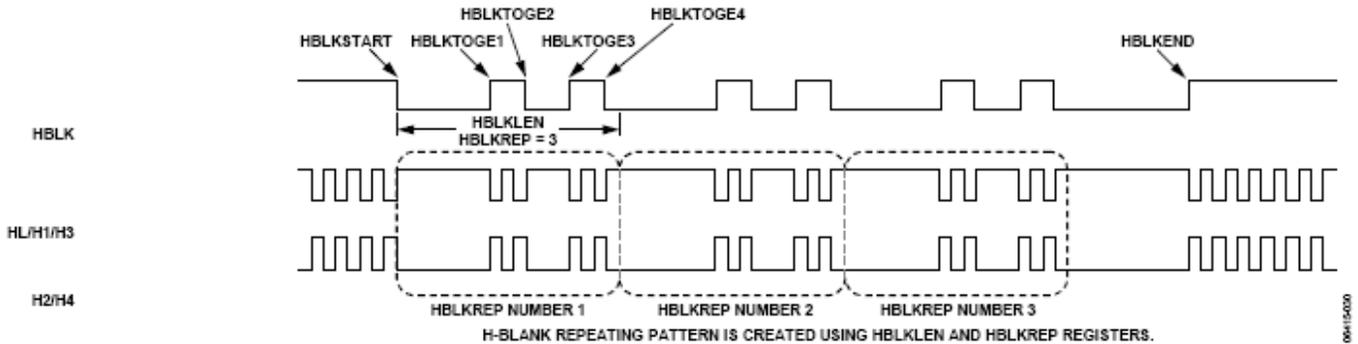


图32. HBLK重复图样 (HBLKALT = 4至7)

在HBLK期间增大垂直时钟宽度

AD9923A允许在HBLK间隔期间增大H1至H4脉冲宽度。水平时钟脉冲宽度可以通过降低水平时钟频率来增大(见表14)。

HBLKWIDTH寄存器(寄存器0x35, 位[6:4])是一个3位寄存器, 可以通过它将水平时钟频率降低1/2、1/4、1/6、1/8、1/10、1/12或1/14。降低的频率仅对位于HBLK区域内的H1至H4脉冲有效。

水平时序序列示例

图33显示了CCD布局的一个例子。水平寄存器包含28个伪像素, 这些伪像素出现在CCD输出的每行上。在垂直方向, 读取之前有10个光学黑色(OB)行, 读取之后有2个OB行。在水平方向, 读取之前有4个OB像素, 读取之后有48个OB像素。图34显示了读取有效像素期间使用的基本序列布局。每行末尾的48个OB像素用于CLPOB信号。PBLK是可选参数, 经常用于在无效CCD像素期间消隐数字输出。HBLK在垂直移位间隔期间使用。

HBLK、CLPOB和PBLK参数在垂直序列寄存器中进行编程。可以使用更为精细的箝位方案, 例如加入一个独立的序列以

在OB像素的整行期间箝位, 这要求配置一个独立的垂直序列用于读取OB行。

CLPMASKSTART和CLPMASKEND寄存器可以用来禁用数行的CLPOB, 而不会影响箝位序列的设置。

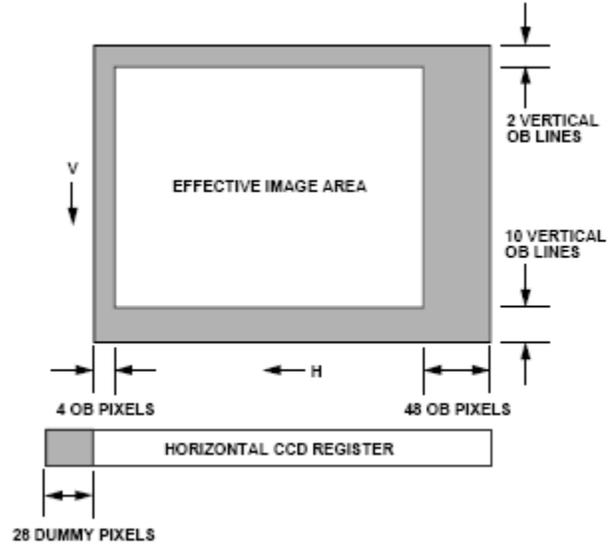


图33. CCD配置示例

表14. HBLK宽度寄存器

寄存器	长度(位)	范围	描述
HBLKWIDTH	3	1×至1/14×像素速率	在HBLK期间控制H1至H4的宽度, 将其设置为像素速率的一部分 0: 频率与像素速率相同 1: 1/2像素频率, 即H1至H4脉冲宽度加倍 2: 1/4像素频率 3: 1/6像素频率 4: 1/8像素频率 5: 1/10像素频率 6: 1/12像素频率 7: 1/14像素频率

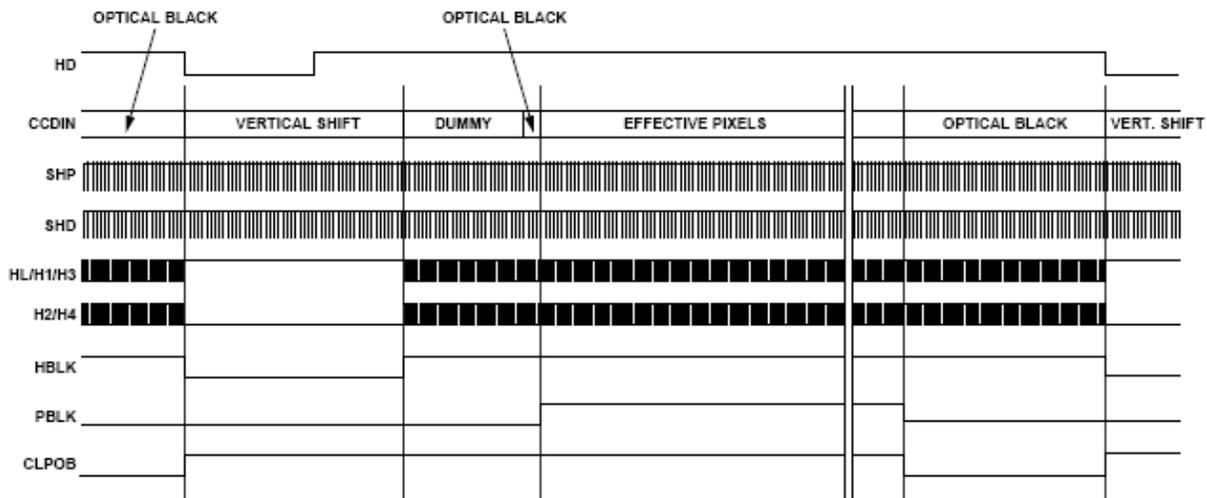


表34. 水平序列示例

垂直时序产生

AD9923A提供了一种非常灵活的垂直CCD时序产生解决方案，支持多个CCD和不同的系统架构。13相垂直传输时钟XV1至XV13用于将像素行移入CCD的水平输出寄存器。AD9923A允许利用图35所示的四步法将这些输出分别编程为各种读取配置。

1. 使用垂直图样组寄存器创建XV1至XV13的个别脉冲图样。

2. 使用垂直图样组构建序列并添加更多信息。
3. 将一个场分为多个区间，并为每个区间指定一个序列，以便构建整个场的读取过程。每个场最多可以包含9个区间，以支持读取过程的不同步骤，例如高速行移位和唯一垂直行传输等。垂直图样、垂直序列和场的总数是可编程的，并且受寄存器数量的限制。高速行移位和唯一垂直传输是读取过程所需不同步骤的例子。
4. 针对各种读取配置，使用MODE寄存器以任意顺序合并各场。

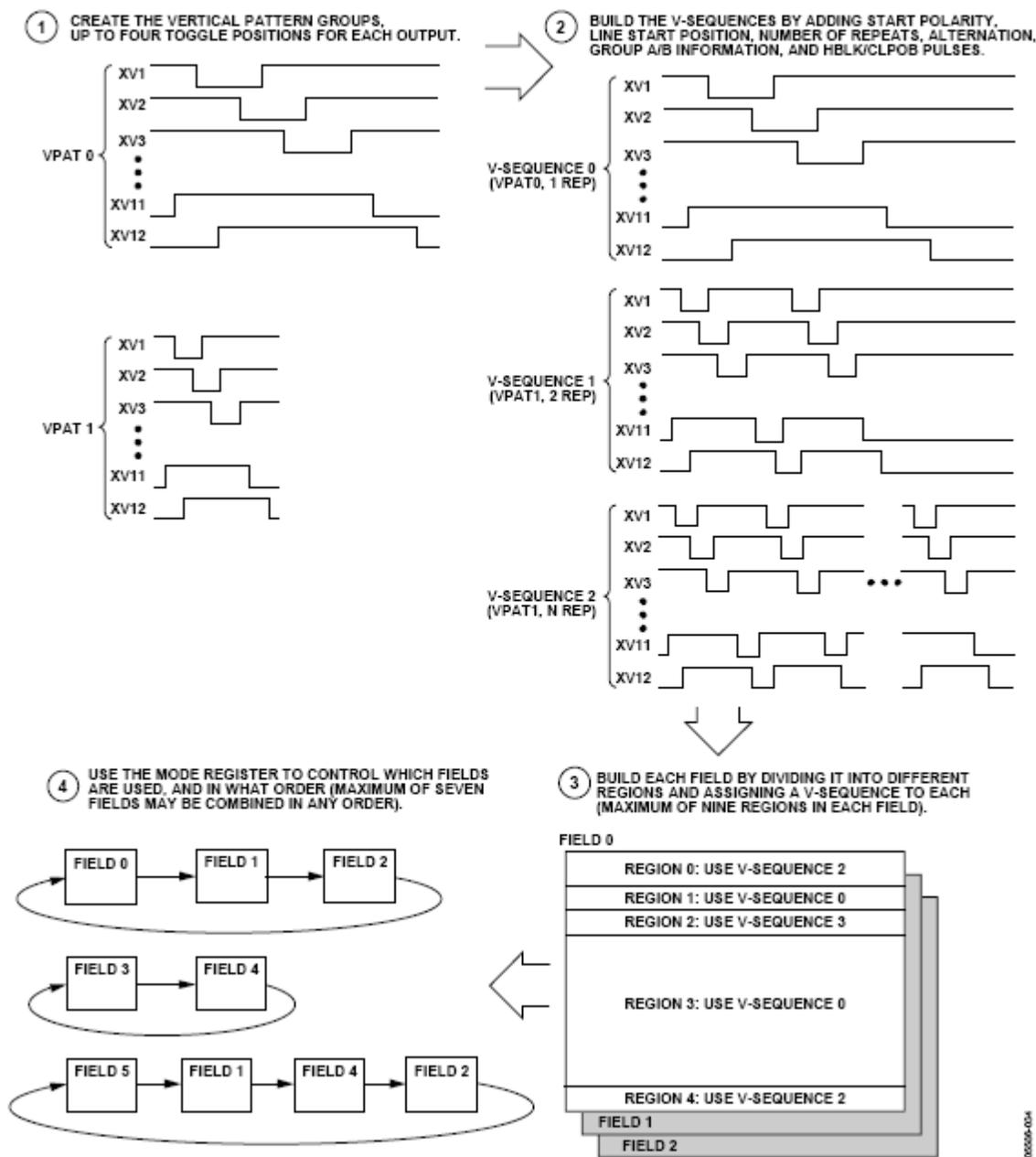


图35. 垂直时序产生过程总结

垂直图样(VPAT)组

垂直图样(VPAT)组定义XV1至XV13输出信号各自的脉冲图样。表15总结了可用于产生各VPAT组的寄存器信息。第一至第六跳变位置(XVTOG1、XVTOG2、XVTOG3、XVTOG4、XVTOG5、XVTOG6)是脉冲跃迁的像素位置。所有跳变位置均为13位值，可以将其放在水平线上的任何地方。

垂直序列寄存器中包括了更多用来指定输出脉冲的寄存器：XV1POL至XV13POL指定各信号的起始极性；VSTART指定

VPAT组的起始位置；VLEN指定VPAT组的总长，如果使用重复，则该参数可确定两次图样重复之间的像素数量。

为了实现最佳噪声性能，应确保VSTART与VLEN之和小于水平消隐区间的结束位置。

设置为像素0或像素8191的跳变位置会被忽略。未使用XV通道的跳变位置必须被设置为像素0或像素8191，以防产生不可预测的结果，因为垂直图样组寄存器的默认值是未知的。

表15. 垂直图样组寄存器

寄存器	长度 (位)	范围	描述
XVTOG1	13	0到8191像素位置	对于XV1至XV12各输出，它为行内的第一跳变位置
XVTOG2	13	0到8191像素位置	第二跳变位置
XVTOG3	13	0到8191像素位置	第三跳变位置
XVTOG4	13	0到8191像素位置	第四跳变位置
XVTOG5	13	0到8191像素位置	第五跳变位置
XVTOG6	13	0到8191像素位置	第六跳变位置

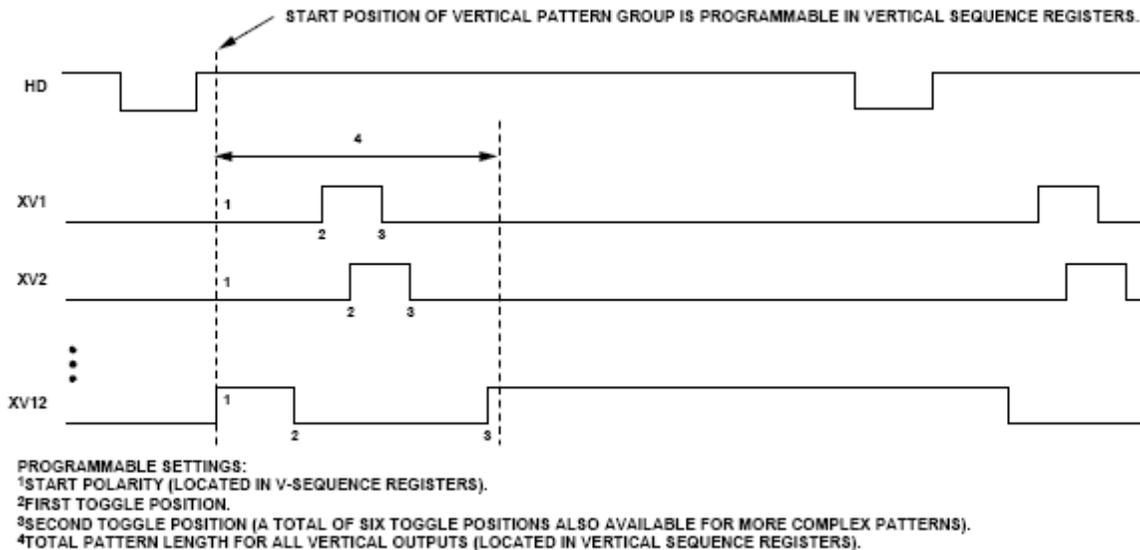


图36. 垂直图样组可编程性

垂直序列(VSEQ)

选择一个垂直图样组并添加重复、起始位置、水平箝位和消隐信息，即可创建一个垂直序列(VSEQ)。各VSEQ可以通过表16所示的寄存器进行编程。图37显示了如何利用各寄存器来产生垂直序列。

VPATSELA和VPATSELB寄存器选择给定垂直序列所用的垂直图样组。如果有2个组可用，则各垂直输出可以映射到不同的垂直图样组。对于选定的垂直图样组，可以利用偶数行和奇数行的VREP寄存器添加高速行移位或行像素合并的重复。一般而言，写入这两个寄存器的重复次数相同。如果奇数行和偶数行需要不同的重复次数，各寄存器可以使用不同

的值（参见“产生用于垂直序列和HBLK的行交替”部分）。VSTARTA和VSTARTB寄存器指定垂直图样组的起始像素位置。VMASK寄存器与FREEZE/RESUME寄存器一起用来使能XV输出的可选掩蔽。FREEZE1/RESUME1和FREEZE2/RESUME2寄存器可以分别或全部使能。

行长（以像素为单位）可利用HDLEN寄存器进行编程。各垂直序列可以具有不同的行长，以支持各种不同的图像读取技术。每行的最大像素数量为8192。请注意，场的最后一行可以利用HDLAST寄存器（位于场寄存器中，见表17）单独进行编程。

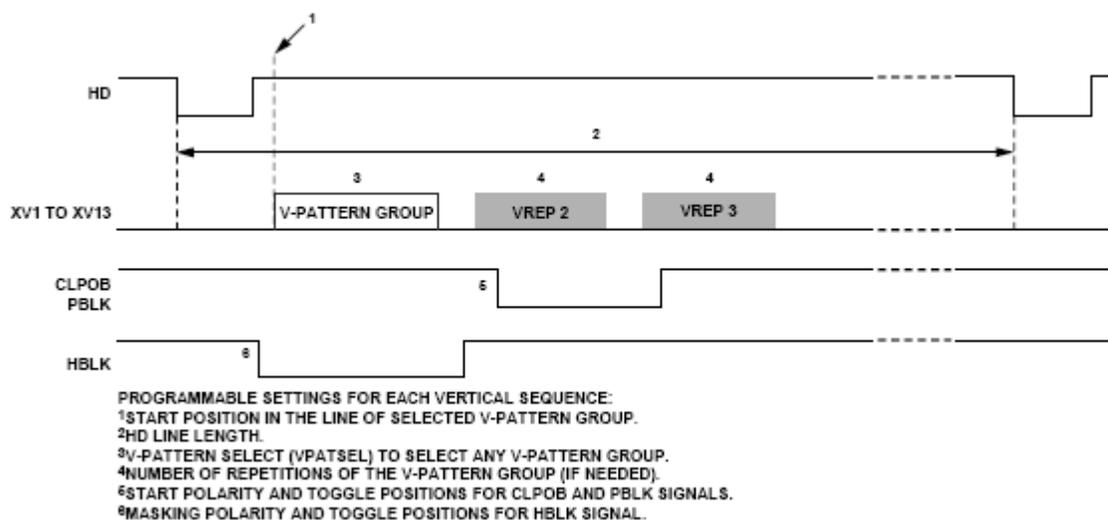


图37. 垂直序列可编程性

图16. 垂直序列寄存器¹

寄存器	长度 (位)	范围	描述
HOLD	1	开/关	与VMASK一起使用。1 = 保持，而不是FREEZE/RESUME。
VMASK	2	0到3掩蔽模式	使能XV1至XV13输出的掩蔽，位置由FREEZE/RESUME寄存器指定。 0 = 无掩蔽。 1 = 使能FREEZE1/RESUME1。 2 = 使能FREEZE2/RESUME2。 3 = 使能FREEZE1/RESUME1和FREEZE2/RESUME2。
HDLEN	13	0到8191像素	各垂直序列的HD行长。
XV1POL至XV13POL	1	高/低	XV1至XV13各输出的起始极性。
GROUPSEL	12	各XV输出的1b	将XV1至XV13各输出指定给垂直图样组A或垂直图样组B。 0 = 指定给VPATSELA。 1 = 指定给VPATSELB。
TWO_GROUP	1	高/低	设置为高电平时，所有XV输出都将A组和B组合并。
VPATSELA	5	0到31垂直图样编号	A组选定的垂直图样。
VPATSELB	5	0到31垂直图样编号	B组选定的垂直图样。如果SPVTP_ENABLE = 1，则VPATSELB用于插入SPVTP_ACTLINE中的第二VTP。
VPATA_MODE	2	0到3重复模式	选择交替重复模式，仅适用于A组。 0 = 禁用交替，所有行都使用VREPA_1。 1 = 2行。VREPA_1和VREPA_2交替（同奇/偶）。 2 = 3行。VREPA_1、VREPA_2和VREPA_3交替。 3 = 4行。VREPA_1、VREPA_2、VREPA_3和VREPA_4交替。
VSTARTA	13	0到8191像素位置	选定垂直图样组A的起始位置。
VSTARTB	13	0到8191像素位置	选定垂直图样组B的起始位置。如果SPVTP_ENABLE = 1，则VSTARTB用于SPVTP_ACTLINE中的VPATSELB起始位置。
VLENA	13	0到8191像素	选定垂直图样组A的长度。
VLENB	13	0到8191像素	选定垂直图样组B的长度。
VREPB_ODD	12	0到4095次重复	奇数行中垂直图样组B的重复次数。如果B组不需要交替，则将VREPB_ODD设置为与VREPB_EVEN相等。
VREPB_EVEN	12	0到4095次重复	偶数行中垂直图样组B的重复次数。如果B组不需要交替，则将VREPB_EVEN设置为与VREPB_ODD相等。
VREPA_1	12	0到4095次重复	第一行（奇数）中垂直图样组A的重复次数。
VREPA_2	12	0到4095次重复	第二行（偶数）中垂直图样组A的重复次数。
VREPA_3	12	0到4095次重复	第三行中垂直图样组A的重复次数。
VREPA_4	12	0到4095次重复	第四行中垂直图样组A的重复次数。
FREEZE1	13	0到8191像素位置	XV输出冻结或保持的像素位置（见VMASK）。
RESUME1	13	0到8191像素位置	XV输出恢复工作的像素位置（见VMASK）。
FREEZE2	13	0到8191像素位置	XV输出冻结或保持的像素位置（见VMASK）。
RESUME2	13	0到8191像素位置	XV输出恢复工作的像素位置（见VMASK）。
SPVTP_ACTLINE	12	0到4095行位置	第二VTP插入的有效行。
SPVTP_ENABLE	1	高/低	设置为高电平时，第二VTP插入SPVTP_ACTLINE中。

¹ CLPOB、PBLK和HBLK寄存器参见表12和表13。

A组/B组选择

AD9923A能够灵活地在垂直序列中使用两个垂直图样组。一般而言，所有垂直输出在一个序列期间都使用同一垂直图样组，但可以将某些输出指定给不同的垂直图样组。这对于某些CCD读取模式很有用。

GROUPSEL寄存器用于确定各XV输出是选择A组还是B组（LSB为XV1，MSB为XV13）。如果将各位设置为0，则选择A组；如果将各位设置为1，则选择B组。如果垂直输出只需要一个垂直图样组，则默认使用A组（GROUPSEL = 0），并且输出使用VPATSELA寄存器指定的垂直图样组。

如果需要B组的灵活性，则GROUPSEL寄存器中设置为1的输出使用VPATSELB寄存器所选择的垂直图样组。例如，图38显示输出XV12和XV13使用不同的垂直图样组B来执行特殊CCD时序。

A组和B组寄存器的另一个应用是合并两个VPAT组以获得更复杂的图样。这可以通过将TWO_GROUP寄存器设置为1来实现。图39显示了这种时序的一个例子。当TWO_GROUP = 1时，A组和B组跳变位置均会得到利用。此外，长度、起始极性和重复次数全都由A组的适当寄存器决定。图40显示了A组和B组合并且有重复时更复杂的操作。

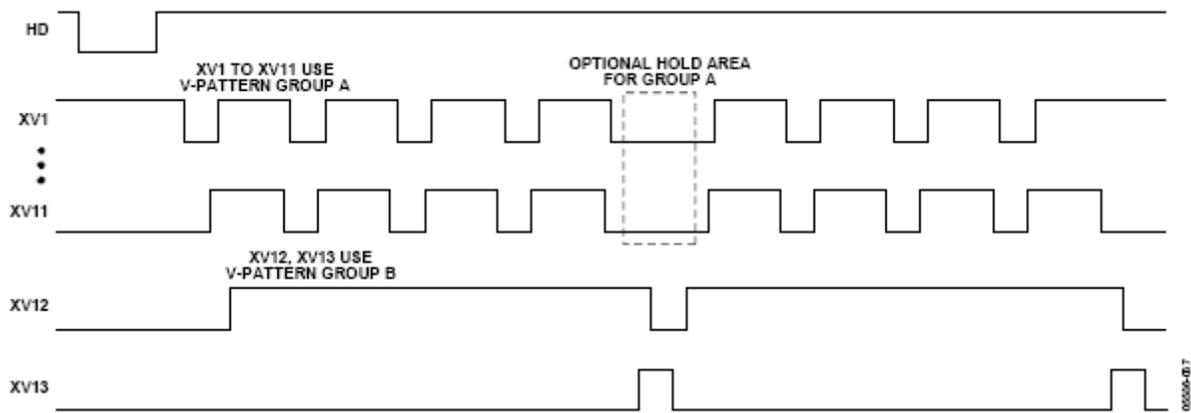


图38. 使用不同的A组和B组图样

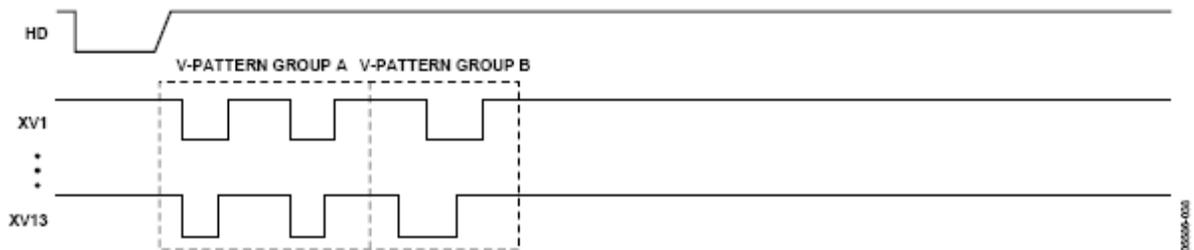


图39. A组和B组图样合并

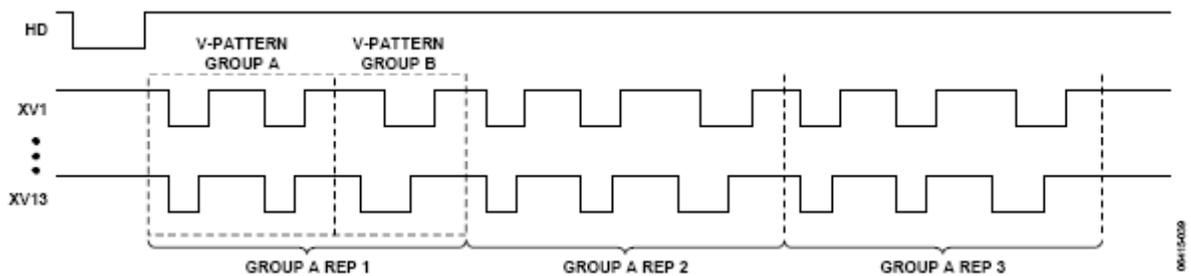


图40. A组和B组图样合并且有重复

产生用于垂直序列和HBLK的行交替

在低分辨率读取期间，一些CCD在交替行上需要不同数量的垂直时钟。AD9923A可以通过使用不同的VREP寄存器支持这种CCD。奇数行和偶数行上可以设置不同的VPAT重复次数。

请注意，奇数行和偶数行只有重复次数不同，VPAT组仍然相同。对于指定的A组和B组图样，存在不同的控制措施。A组和B组均可支持奇偶行交替。A组使用VREPA_1和VREPA_2寄存器，而B组使用VREPB_ODD和VREPB_EVEN寄存器。A组还能通过使用VREPA_3和VREPA_4寄存器支持

三行和四行交替。

此外还可以交替改变奇偶行的HBLK信号。当HBLKALT = 1时，HBLKTOGE1和HBLKTOGE2位置用于奇数行，HBLKTOGE3至HBLKTOGE6位置用于偶数行。这样就能在需要时调整奇偶行的HBLK间隔。

图41显示了VPAT同时重复交替和HBLK交替的例子。两类交替均可以独立使用。

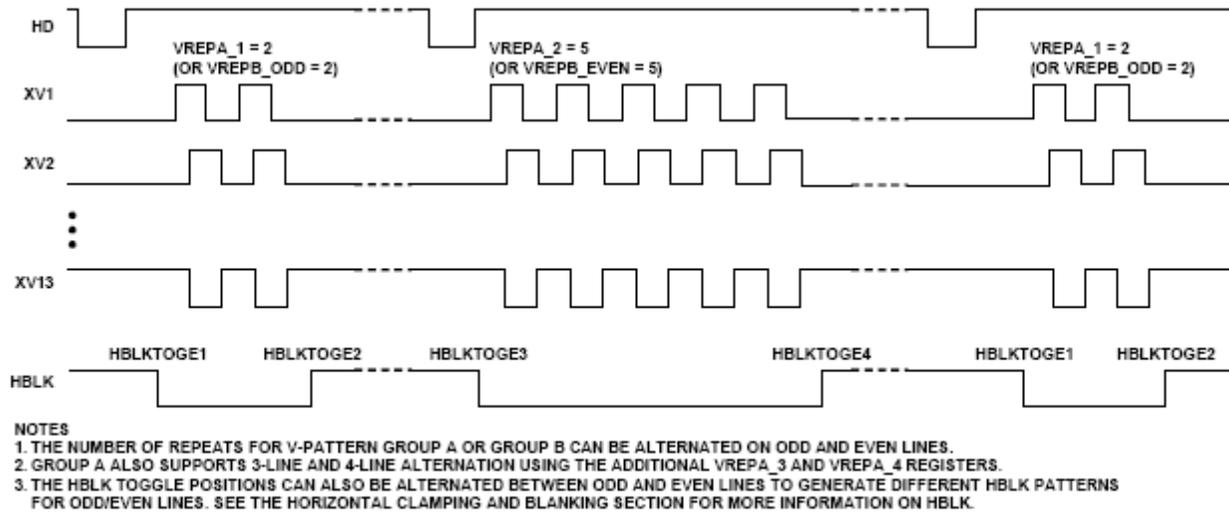


图41. VPAT重复和HBLK跳变位置的奇偶行交替

利用冻结/恢复寄存器进行掩蔽

如图42和图43所示，FREEZE/RESUME寄存器用于暂时掩蔽XV输出。掩蔽开始(FREEZE)和结束(RESUME)的像素位置构成一个区域，其中的垂直跳变位置会被忽略。在FREEZE寄存器指定的像素位置，XV输出保持在其当前直流状态：高电平或低电平。XV输出保持不变，直到内部像素计数器达到RESUME寄存器指定的像素位置，此时信号继续处理任何剩余的跳变位置。

由于提供了2组FREEZE/RESUME寄存器，因此同一行的垂直输出可以中断两次。FREEZE和RESUME位置通过VMASK寄存器使能。

FREEZE/RESUME与SWEEP功能不宜同时使用。

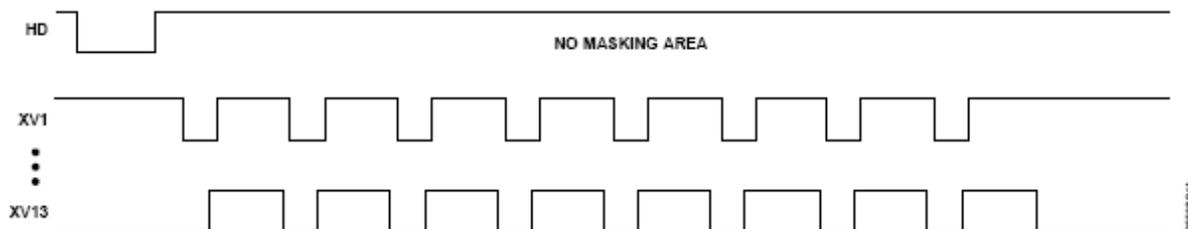


图42. 不使用FREEZE/RESUME

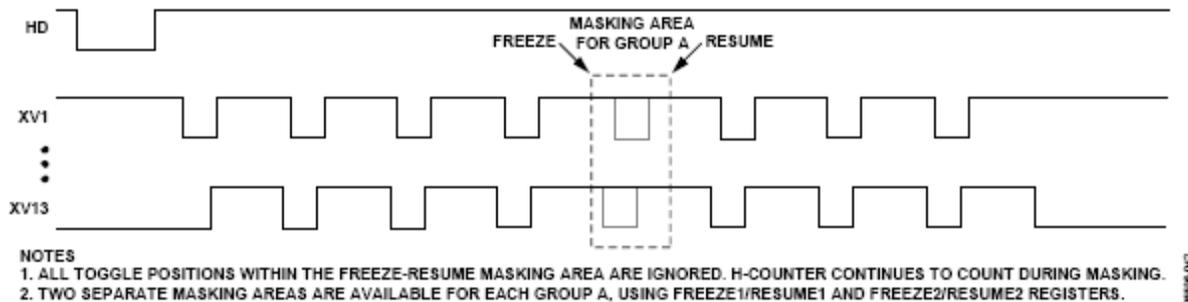


图43. 使用FREEZE/RESUME

使用FREEZE/RESUME寄存器创建保持区域

FREEZE/RESUME寄存器还能用来创建一个保持区域，XV输出被暂时保持住，稍后可以在该保持点进行恢复。如图44所示，这与使用VMASK寄存器不同，因为XV输出从它停止

的地方继续（而不是让像素计数器持续运行），FREEZE与RESUME位置之间的任何跳变位置都被忽略。指定给B组的信号不受保持区域影响。

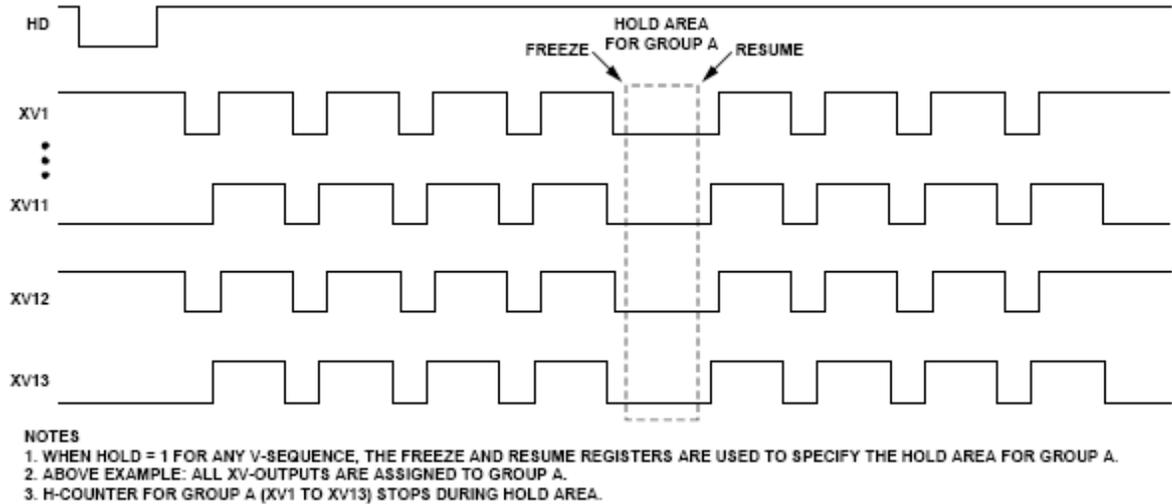


图44. A组的保持区域

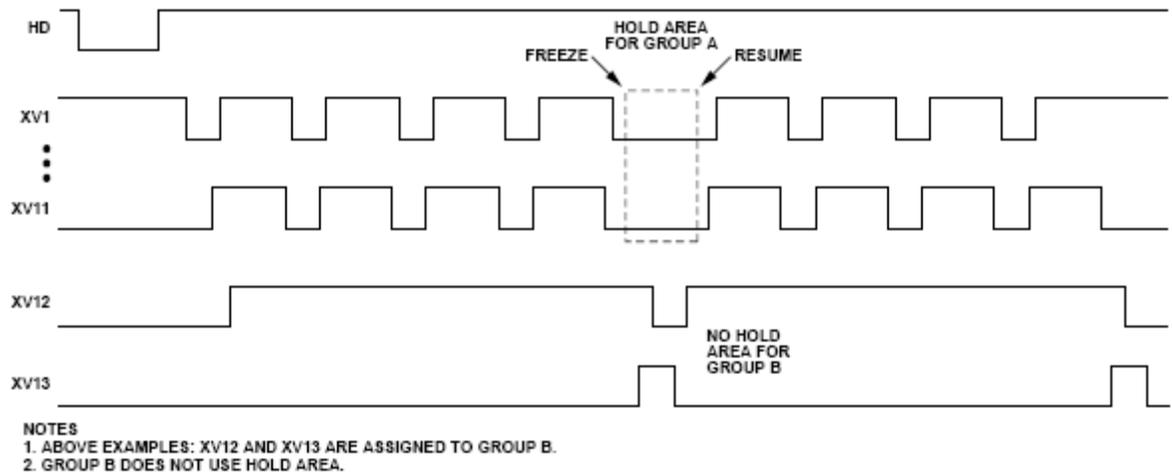


图45. B组不使用保持区域

完整场：合并垂直序列

完成垂直系列的创建之后，将其加以合并以创建不同的读取场。一个场最多包括9个区间。在各区间内可以选择不同的垂直序列。图46显示了序列变化位置(SCP)寄存器如何指定各区间的行边界，以及VSEQSEL寄存器如何选择各区间的垂直序列。场寄存器中也包括用于控制VSG输出的寄存器。表17总结了用于创建不同场的寄存器信息。

VSEQSEL寄存器（一个区间对应一个）选择各区间中哪些垂直序列有效。SWEEP寄存器可以使能任何区间的扫描模式。

MULTI寄存器用来使能任意区间的乘法器模式。SCP寄存器创建各区间的行边界。VDLEN寄存器指定场中的总行数。每行的像素总数(HDLEN)在垂直序列寄存器中指定，HDLAST寄存器指定场的最后一行的像素数量。当器件处于

从机模式时，HDLEN、VDLEN、HDLAST寄存器会被忽略。VPATSECOND寄存器用来在传感器门限(VSG)行中将第二垂直图样组添加到XV1至X12输出。

SGMASK寄存器用来使能或禁用各VSG输出。对于各VSG输出，都有2位用于分别使能SGACTLINE1和SGACTLINE2中的掩蔽。

掩蔽位设置为高电平时将禁用或掩蔽输出，而设置为低电平时将使能输出。SGPATSEL寄存器将8个SG图样之一指定给各VSG输出。每个SG图样都是利用SG图样寄存器独立创建。SGACTLINE1寄存器指定场中的哪一行包含VSG输出。可选的SGACTLINE2寄存器允许同一VSG脉冲在不同的行上重复，但SGACTLINE1和SGACTLINE2可以使用各自的掩蔽。

表17. 场寄存器

寄存器	长度（位）	范围	描述
VSEQSEL	5	0到31垂直序列编号	为场中各区间选定的垂直序列。
SWEEP	1	高/低	设置为高电平时，使能各区间的扫描模式。
MULTI	1	高/低	设置为高电平时，使能各区间的乘法器模式。
SCP	12	0到4095行编号	各区间的序列变化位置(SCP)。
VDLEN	12	0到4095行	各场中的总行数。
HDLAST	13	0到8191像素	各场中的最后一条HD行的长度（单位为像素）。
VSTARTSECOND	13	0到8191像素	VSG行中应用的第二垂直图样组的起始位置。
VPATSECOND	5	0到31垂直图样组编号	为VSG行中应用的第二图样选定的垂直图样组。
SGMASK	16	高/低，各VSG	设置为高电平时将掩蔽各VSG输出。每个VSG输出对应2个位： 一个位用于SGLINE1，另一个位用于SGLINE2。 [0] SGLINE1上的VSG1掩蔽。 [1] SGLINE2上的VSG1掩蔽。 [2] SGLINE1上的VSG2掩蔽。 [3] SGLINE2上的VSG2掩蔽。 [15] SGLINE1上的VSG8掩蔽。 [16] SGLINE2上的VSG8掩蔽。
SGPATSEL	24	0到7图样编号，各VSG	选择各VSG输出的VSG图样编号。VSG1[2:0]、VSG2[5:3]、VSG3[8:6]、VSG4[11:9]、VSG5[14:12]、VSG6[17:15]、VSG7[20:18]、VSG8[23:21]。
SGACTLINE1	12	0到4095行编号	选择场中VSG有效的行。
SGACTLINE2	12	0到4095行编号	选择场中要重复VSG信号的第二行。

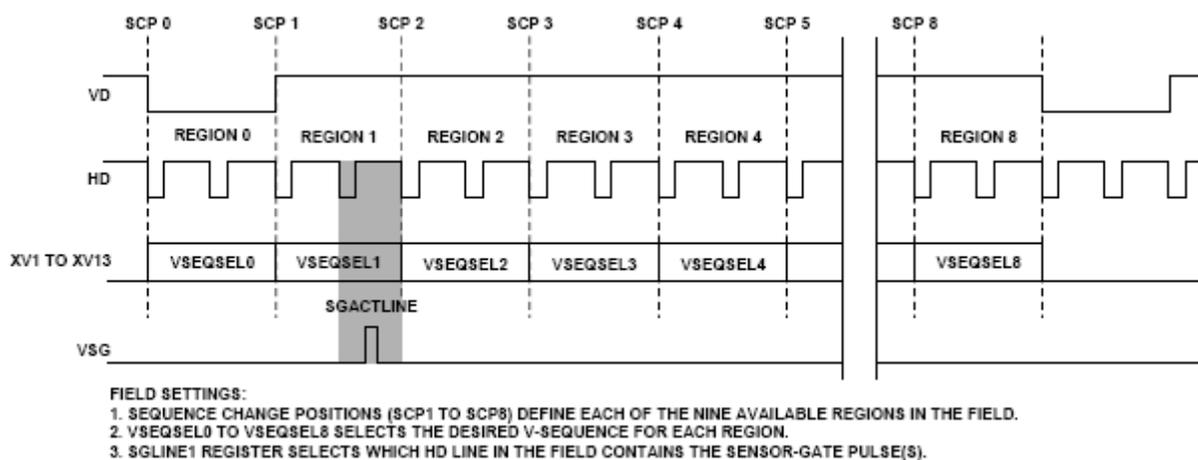


图46. 完整的场分为多个区间

VSG有效行中的第二垂直图样组和特殊垂直图样插入

在传感器门限行中，大多数CCD都需要附加垂直时序。当VSG1至VSG8传感器门限有效时，AD9923A可以在该行中输出XV1至XV13的第二垂直图样组。图47显示了一条典型的VSG行，它包括XV1至XV13的两套垂直图样组。在VSG行开始时，垂直图样组通过适当的VSEQSEL寄存器进行选择。第二垂直图样组对于VSG行是唯一的，通过位于场寄存器中的VPATSECONDD寄存器进行选择。第二VPAT组的起始位置使用VSTARTSECONDD寄存器。更多信息请参见表17。

除了将第二垂直图样插入VSG行以外，AD9923A还能将第二垂直图样插入各序列中的任何其它单行。要为特定序列使能此功能，需将适当的一组序列寄存器中的SPXV_EN寄存器置1。SPXV_ACT寄存器决定特殊第二垂直图样的有效行。VPATSELB和VSTARTTB寄存器控制所用的两个垂直图样以及特殊第二垂直图样的起始像素位置。更多信息请参见表18。

为避免发生意外现象，请勿使用VSG行中的特殊第二垂直图样，而应使用现有VPATSECONDD和VSTARTSECONDD寄存器将第二垂直图样插入VSG行中。建议利用VPATSECONDD和VSTARTSECONDD寄存器在传感器门限行中创建复杂的时序，而不要使用GROUPB寄存器。此外，由于特殊第二垂直图样插入功能需要使用一些B组寄存器，因此用户不能使用同一序列中的特殊第二垂直图样插入功能和B组。

表18. 特殊第二垂直图样插入

寄存器	长度 (位)	范围	描述
SPXV_EN	1	0或1	0 = 关, 1= 使能特殊第二垂直图样插入功能。
SPXV_ACT	12	行0到行4095	特殊第二垂直图样插入的有效行。
VPATSELB	5	0到31垂直图样编号	如果SPXV_EN = 1, 则此参数为针对特殊第二垂直图样插入所选定的垂直图样。
VSTARTTB	13	0到8191像素位置	如果SPXV_EN = 1, 则此参数为针对特殊第二垂直图样插入所选定的垂直图样的起始位置。

扫描模式操作

AD9923A包括一种额外的垂直时序工作模式，称为扫描模式。此模式用来产生遍及多个HD行的大量重复脉冲。通常情况下，AD9923A的垂直时序必须包含在一个HD行长以内，但若使能扫描模式，则HD边界会被忽略，直到完成整个区间为止。这在CCD读取操作等情况下很有用。根据CCD的垂直分辨率不同，最多可能需要3000个时钟周期（遍及多个HD行长）才能将电荷移出垂直隔行扫描CCD寄存器。图像曝光结束后，必须清除这些寄存器中的所有电荷才能传输图像。这可以在扫描模式下完成，方法是利用来自XV1至XV13输出的长系列脉冲快速移出所有电荷。要使能任一区间的扫描模式，需将相应的SWEEP寄存器设置为高电平。

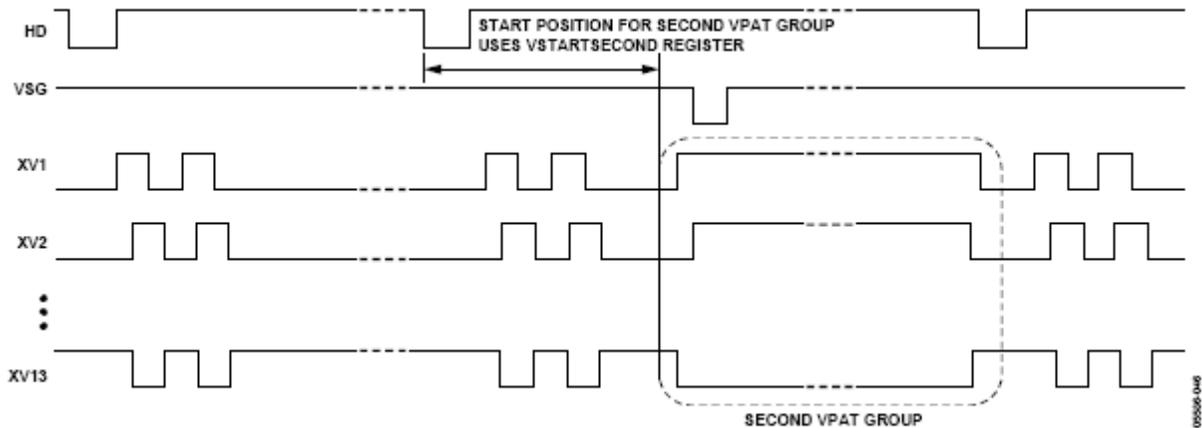


图47. 传感器门限行中的第二VPAT组示例

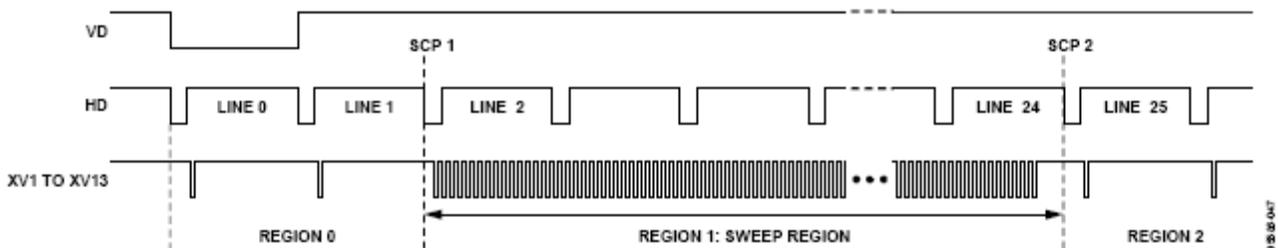


图48. 进行高速垂直移位的扫描区间示例

图48显示了扫描模式操作的一个例子。所需垂直脉冲的数量取决于CCD的垂直分辨率。XV1至XV13输出信号利用垂直图样寄存器（见表15）产生。单一脉冲利用极性和跳变位置寄存器产生。然后，根据CCD所需的垂直移位次数，写入与之一致的重复次数。在垂直序列寄存器中，通过VREP寄存器设置重复，以产生适当长度的脉冲串。通常情况下，脉冲串会在HD行长的末尾被截断，但如果使能了扫描模式，HD边界就会被忽略。在图48中，扫描区间包括23个HD行。扫描模式区间完成后，下一区间继续进行正常序列操作。使用扫描模式时，应利用序列变化位置寄存器将区间边界设置为适当的行，以防扫描操作与下一垂直序列重叠。

乘法器模式

为了产生非常宽的垂直时序脉冲，可以将一个垂直区间配置为乘法器区间。这种模式使用垂直图样寄存器的方式稍有不同。乘法器模式可用来支持非常规CCD时序要求，例如比13位垂直图样跳变位置寄存器还宽的垂直脉冲等。

起始极性和跳变位置的使用方式与标准VPAT组编程相同，但VLEN寄存器的使用方式不同。它不是利用像素计数器（HD计数器）来指定VPAT组的跳变位置（XVTOG1、XVTOG2、XVTOG3、XVTOG4、XVTOG5和XVTOG6），而是将VLEN值与XVTOG值相乘来产生非常长的脉冲。要计

算确切的跳变位置（用起始位置之后的像素数量表示），可以使用以下公式：

$$\text{乘法器模式跳变位置} = \text{XVTOG} \times \text{VLEN}$$

由于XVTOG值需乘以VLEN值，因此跳变位置放置的分辨率降低。

如果VLEN = 4，则跳变位置精度降为4个像素，而不是1个像素。表19总结了乘法器工作模式下VPAT组寄存器的使用信息。在乘法器模式下，应将最高跳变位置的值写入VREP寄存器。

图49所示的例子说明了这一操作。第一跳变位置为2，而第二跳变位置为9。在非乘法器模式下，这将导致垂直序列在单个HD行的像素2和像素9位置跳变。但在乘法器模式下，跳变位置需乘以VLEN = 4，因此第一跳变发生在像素计数等于8处，而第二跳变发生在像素计数等于36处。同时也会使能扫描模式，以便跳变位置能够跨过HD行边界。

MULTI功能仅适用于指定给A组的信号，并且不能与TWOGROUP功能同时使用，也不适用于指定给B组的任何信号。

表19. 乘法器模式寄存器参数

寄存器	长度 (位)	范围	描述
MULTI	1	高/低	高电平使能乘法器模式。
XVPOL	1	高/低	各VPAT组的XV1至XV13信号的起始极性。
XVTOG	13	0到8191像素位置	各VPAT组的XV1至XV13信号的跳变位置。
VLEN	13	0到8191像素	用作跳变位置计数器的乘法系数。
VREP	12	0至4095	应将VREPE/VREPO设置为XVTOG最高值。

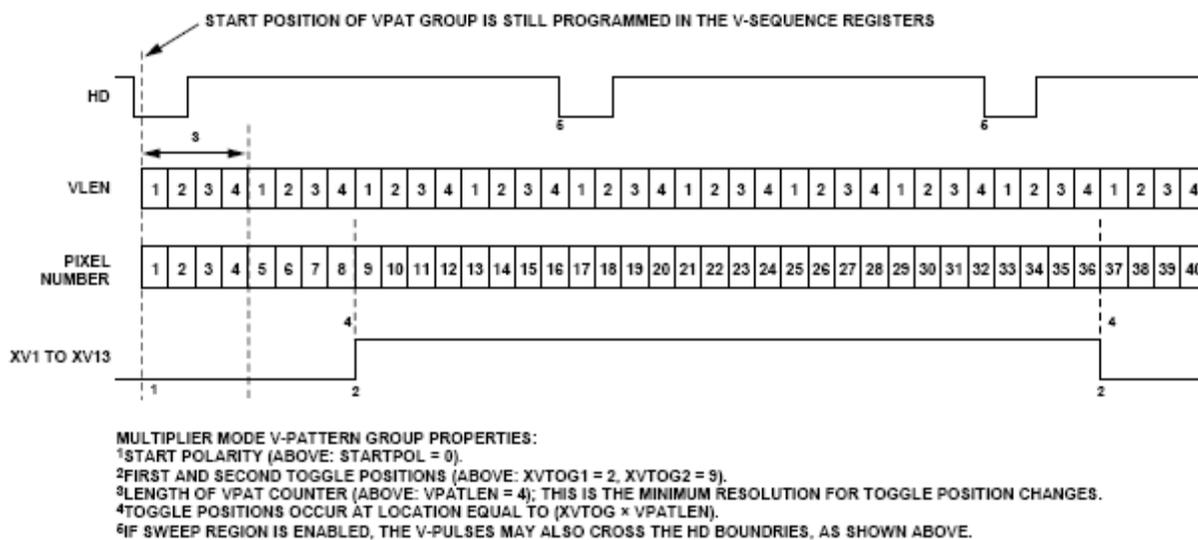


图49. 实现宽垂直脉冲时序的乘法器区间示例

垂直传感器门限（移位门限）图样

隔行扫描CCD使用垂直传感器门限(VSG)将像素电荷从光敏图像区域转移到光屏蔽垂直寄存器中。然后利用XV1至XV13垂直传输脉冲和高速水平时钟，从光屏蔽垂直寄存器中逐行读取图像。

表20总结了VSG图样寄存器信息。AD9923A具有8个VSG输出，即VSG1至VSG8。利用SGPATSEL寄存器可以将每个输出指定为8个编程图样中的一个。每个图样的产生方式与垂直图样组相似，都会使用可编程起始极性(SGPOL)、第一跳变位置(SGTOG1)和第二跳变位置(SGTOG2)。VSG1至VSG8脉冲所在的有效行可以通过SGACTLINE1和SGACTLINE2寄

存器进行设置。此外，利用SGMASK寄存器可以分别禁用VSG1至VSG8的每一个脉冲。各自独立掩蔽使得所有SG图样都能进行预编程，而且各场的相应脉冲可以分别使能。为了提供最大的灵活性，SGPATSEL、SGMASK和SGACTLINE寄存器可以针对各场分别进行编程。有关详细信息，请参见“完整场：合并垂直序列”部分。

此外还有SGMASK_BYP寄存器（地址0x59），它将覆盖场寄存器中的SG掩蔽设置。SGMASK_BYP寄存器允许在不更改场寄存器值的情况下改变传感器门限掩蔽。SGMASK_BYP寄存器由SCK更新，因此新SG掩蔽值会立即更新。

表20. VSG图样寄存器¹

寄存器	长度(位)	范围	描述
SGPOL	1	高/低	SG图样0到7的传感器门限起始极性。
SGTOG1	13	0到8191像素位置	SG图样0到7的第一跳变位置。
SGTOG2	13	0到8191像素位置	SG图样0到7的第二跳变位置。
SGMASK_BYP	8	高/低，各VSG	SGMASK旁路。此寄存器会覆盖各场寄存器中的SGMASK值。一位对应于一个输出，位[0]对应于VSG1输出，而位[7]对应于VSG8输出。 0 = 有效。 1 = 掩蔽输出。
SGMASK_BYP_EN	1	0或1	1: 使能SGMASK旁路。

¹ 参见表17中的场寄存器。

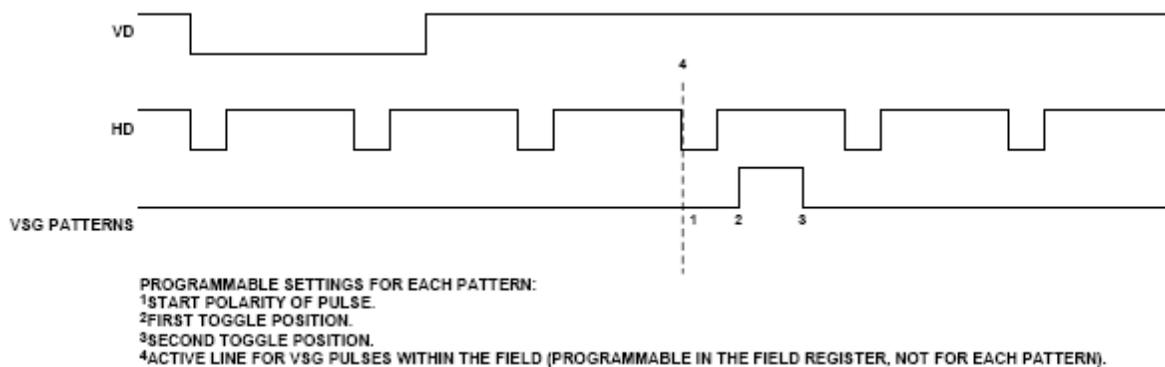


图50. 垂直传感器门限脉冲放置

MODE寄存器

MODE寄存器仅包括一个寄存器，用于选择AD9923A的场时序。通常情况下，所有场、垂直序列和垂直图样组信息都是在启动时写入AD9923A。工作期间，MODE寄存器允许用户选择场时序的任意组合，以满足系统的当前要求。在相机工作期间，将MODE寄存器与预编程时序一起使用可以大大降低系统编程要求。每次相机工作模式改变时，只需执行几次寄存器写操作即可，而不必重新写入垂直时序信息。

基本数码相机应用需要5个垂直时序场，一个用于草图模式，一个用于自动对焦，三个用于静止图像读取。5个场所用的寄存器时序信息在启动时加载。根据相机的使用方式不同，MODE寄存器选择相机工作期间哪一个场时序有效。

表21给出了MODE寄存器位的使用信息。与其它寄存器不同，MODE寄存器使用10个地址位作为数据位，因而寄存器

总大小增加至38位。地址MSB A11和A10分别为1和0，用于指定MODE寄存器写操作。三个MSB D37、D36和D35用于指定所用的场数。使用这三个位可以选择从1到7的值。其余寄存器位分为7个部分，每部分5位，用于选择所用的编程场及顺序。一个MODE写操作最多可以使用7个场。AD9923A以第一个场位指定的场时序开始，然后在下一个VD切换到第二个场位指定的时序，如此类推。

完成位D37至位D35指定的场数量之后，AD9923A的时序发生器从第一个场开始不断重复，直到对MODE寄存器执行新的写操作。图51显示了各种场配置的MODE寄存器设置。

表21. 模式寄存器内容—VD更新

地址（二进制）	数据位	默认值	描述
12b10_xx_xxxx_xxxx	[37:0]	0	必须将A11、A10设置为0x10；其余位A9:A0用作D37:D28
	[37:35]		场数（最多7个）
	[34:30]		场7的选定场
	[29:25]		场5的选定场
	[24:20]		场6的选定场
	[19:15]		场4的选定场
	[14:10]		场3的选定场
	[9:5]		场2的选定场
	[4:0]		场1的选定场

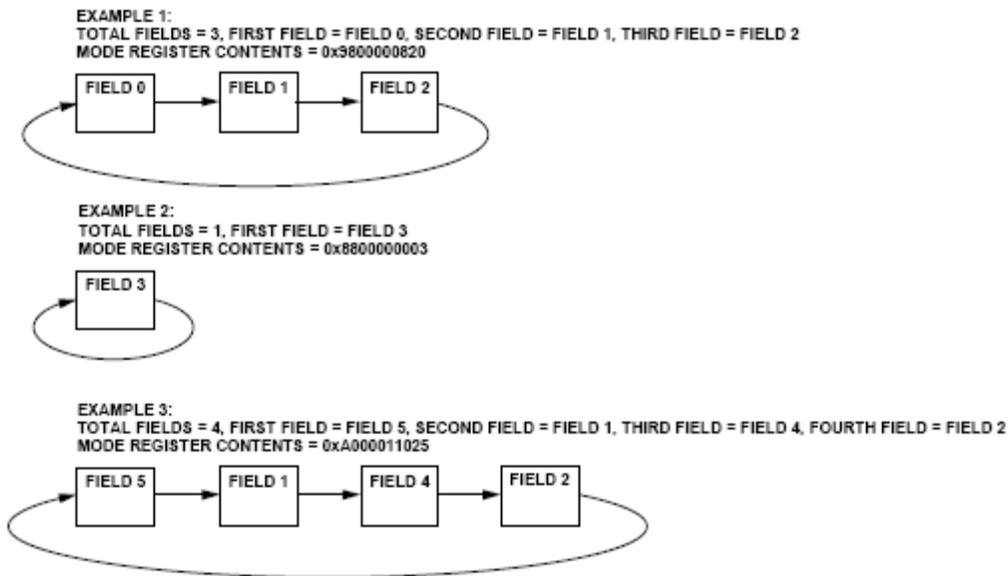


图51. 利用模式寄存器选择场时序

垂直时序示例

为了更好地了解如何使用AD9923A垂直时序产生,请考虑图52所示的CCD时序图示例,它说明了一个采用通用三场读取技术的CCD。如“完整场:合并垂直序列”部分所述,应将各读取场分为不同的区间,以便执行每一个读取步骤。序列变化位置(SCP)寄存器决定各区间的行边界。然后,VSEQSEL寄存器为各区间指定一个垂直序列。每个垂直序列包含各区间所需的特定时序信息:XV1至XV6脉冲(使用VPAT组)、HBLK/CLPOB时序和SG有效行的VSG图样。

在图52所示例子中,三个场每个需要4个区间,分别标示为区间0、区间1、区间2和区间3。AD9923A允许对多个场分别进行编程,因此为了满足本时序示例的要求,可以创建场0、场1和场2。本例中,各场的四个区间非常相似,但各场的寄存器能够灵活地适应更复杂的时序要求。

区间0

区间0是高速垂直移位区间。可以使用扫描模式来产生这种时序操作,并利用所需数量的高速垂直脉冲来清除CCD垂直寄存器中的任何电荷。

区间1

区间1由两行组成,采用标准、单行、垂直移位时序。此区间的时序与区间3的时序相同。

区间2

区间2是传感器门限行,其中VSG脉冲将图像传输到CCD垂直寄存器。对于SG有效行,此区间可能需要使用第二垂直图样组。

区间3

区间3与区间1一样,也使用标准、单行、垂直移位时序。总之,这三个场各需要4个区间。

区间1和区间3的时序本质上相同,这可以降低寄存器编程的复杂性。其它寄存器必须在读取操作中使用,例如MODE寄存器、快门控制寄存器(即TRIGGER,以及用来控制SUBCK、VSUB、MSHUT和STROBE输出的寄存器)、AFE增益寄存器(VGAGAIN和CDSGAIN)等。有关这些寄存器的说明,请参见“MODE寄存器”和“可变增益放大器”部分。

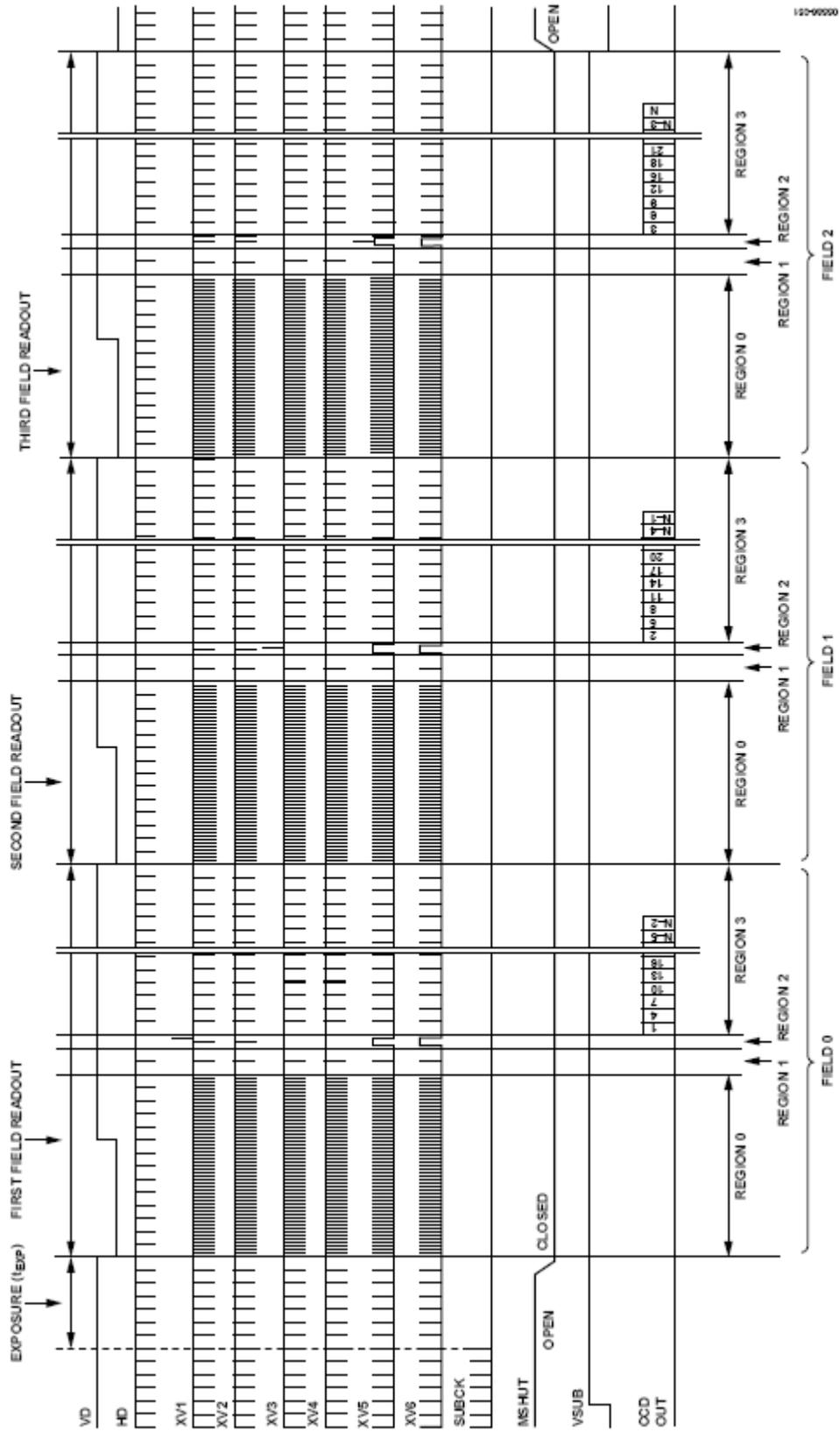


图52. CCD时序示例：将各场分为多个区间

垂直驱动器信号配置

如图 53 所示，XV1 至 XV13、VSG1 至 VSG8 和 XSUBCK 是 AD9923A 内部时序发生器的输出，而 V1 至 V13 和 SUBCK 是 AD9923A 垂直驱动器的相应输出。当 VDR_EN 为高电平时，垂直驱动器混合 XV 和 VSG 脉冲并将其放大到驱动 CCD 所需的高电压。表 22 至表 37 说明了这些信号的输出极性与其输入电平的关系。当针对所需的输出电平确定寄存器设置时，请参考这些表格。请注意，当 VDR_EN 为低电平时，V1 至 V13

被强制变为 VM，而 SUBCK 被强制变为 VLL。VDR_EN 引脚优先于来自时序发生器的 XV 和 VSG 信号。

VDR_EN 引脚既可以采用外部 3 V 逻辑信号驱动，也可以由 AD9923A 的一个快门输出（MSHUT、VSUB 或 STROBE）驱动。为使 AD9923A 与现有 AD9923 设计兼容，需利用二极管将 VDR_EN 引脚驱动到外部 3 V 逻辑信号或快门输出之一。

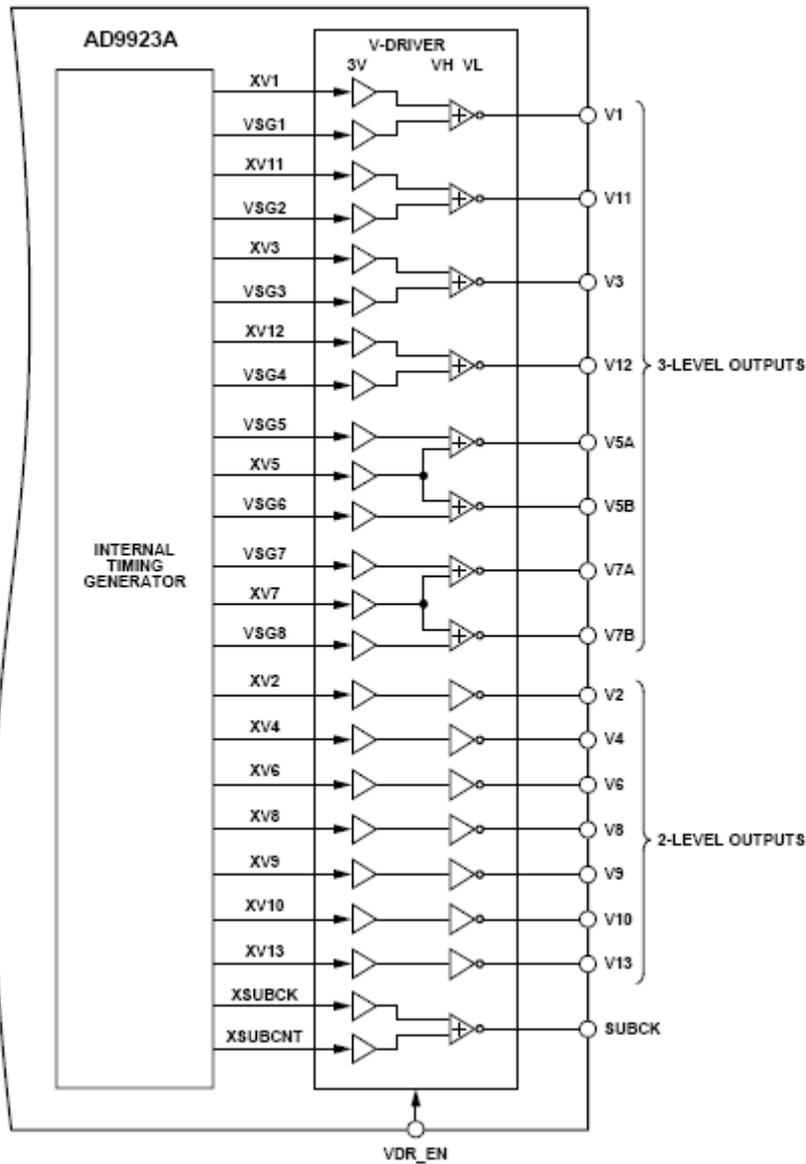


图 53. 内部垂直驱动器输入信号

表22. V1输出极性

垂直驱动器输入		V1输出
XV1	VSG1	
L	L	VH
L	H	VM
H	L	VL
H	H	VL

表23. V3输出极性

垂直驱动器输入		V3输出
XV3	VSG3	
L	L	VH
L	H	VM
H	L	VL
H	H	VL

表24. V5A输出极性

垂直驱动器输入		V5A输出
XV5	VSG5	
L	L	VH
L	H	VM
H	L	VL
H	H	VL

表25. V5B输出极性

垂直驱动器输入		V5B输出
XV5	VSG6	
L	L	VH
L	H	VM
H	L	VL
H	H	VL

表26. V7A输出极性

垂直驱动器输入		V7A输出
XV7	VSG7	
L	L	VH
L	H	VM
H	L	VL
H	H	VL

表27. V7B输出极性

垂直驱动器输入		V7B输出
XV7	VSG8	
L	L	VH
L	H	VM
H	L	VL
H	H	VL

表28. V11输出极性

垂直驱动器输入		V11输出
XV11	VSG2	
L	L	VH
L	H	VM
H	L	VL
H	H	VL

表29. V12输出极性

垂直驱动器输入		V12输出
XV12	VSG4	
L	L	VH
L	H	VM
H	L	VL
H	H	VL

表30. V2输出极性

垂直驱动器输入XV2	V2输出
L	VM
H	VL

表31. V4输出极性

垂直驱动器输入XV4	V4输出
L	VM
H	VL

表32. V6输出极性

垂直驱动器输入XV6	V6输出
L	VM
H	VL

表33. V8输出极性

垂直驱动器输入XV8	V8输出
L	VM
H	VL

表34. V9输出极性

垂直驱动器输入XV9	V9输出
L	VM
H	VL

AD9923A

表35. V10输出极性

垂直驱动器输入XV10	V10输出
L	VM
H	VL

表36. V13输出极性

垂直驱动器输入XV13	V13输出
L	VM
H	VL

表37. SUBCK输出极性

垂直驱动器输入		SUBCK输出
XSUBCK	XSUBCNT	
L	L	VH
L	H	VH
H	L	VMM
H	H	VLL

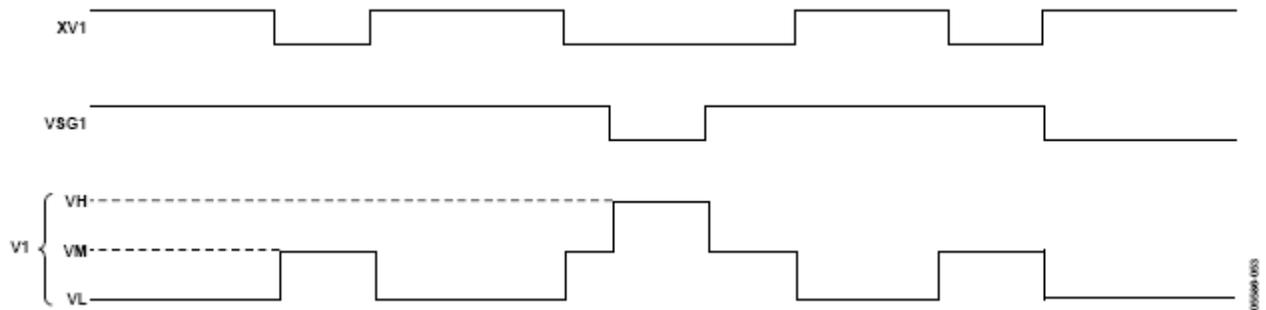


图54. XV1、VSG1和V1输出极性

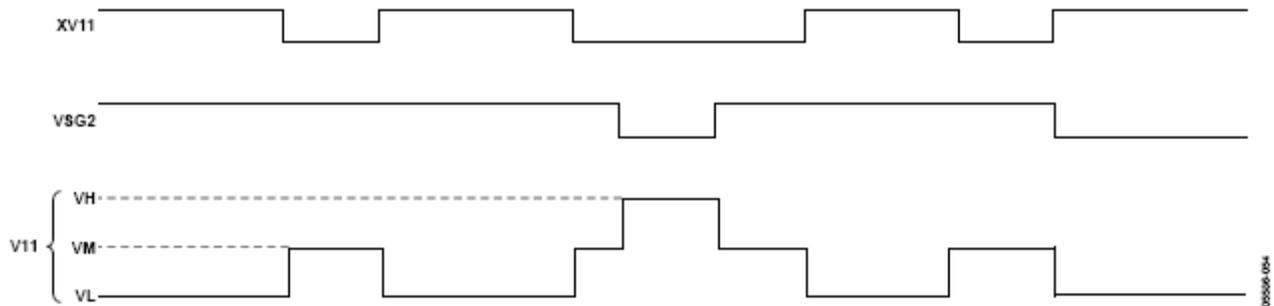


图55. XV11、VSG2和V11输出极性

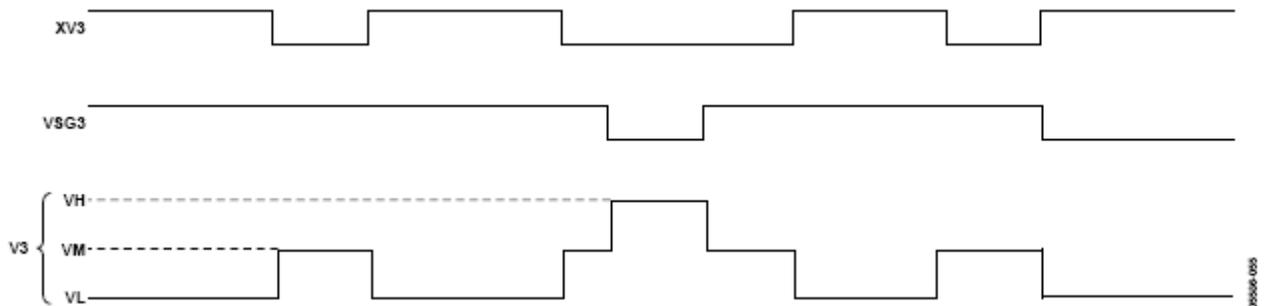


图56. XV3、VSG3和V3输出极性

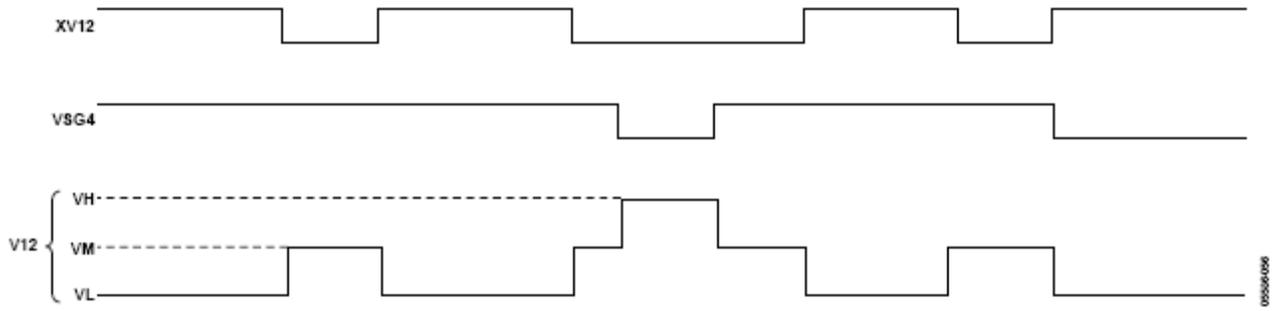


图57. XV12、VSG4和V12输出极性

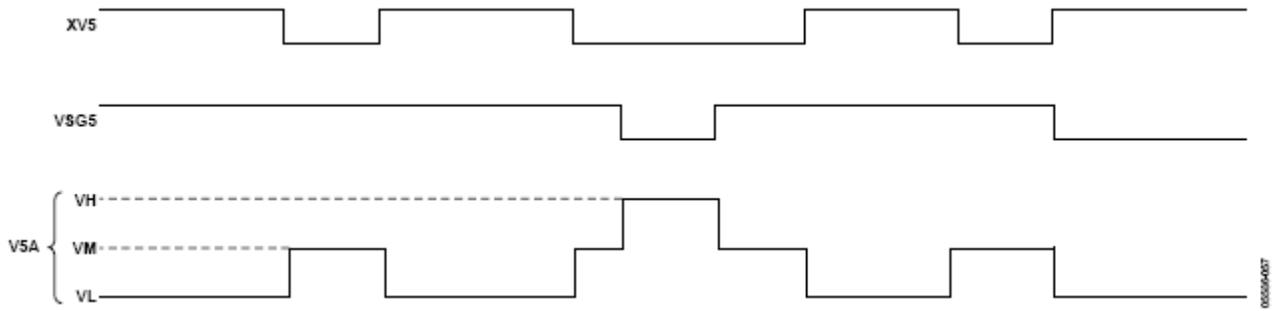


图58. XV5、VSG5和V5A输出极性

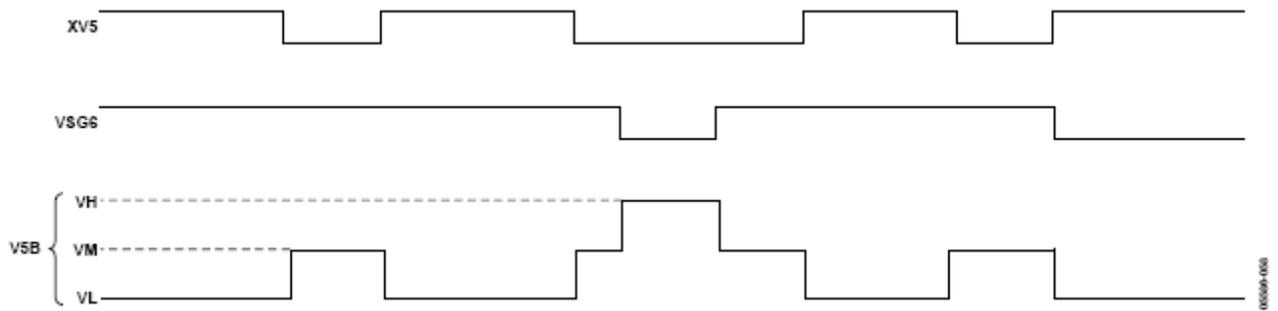


图59. XV5、VSG6和V5B输出极性

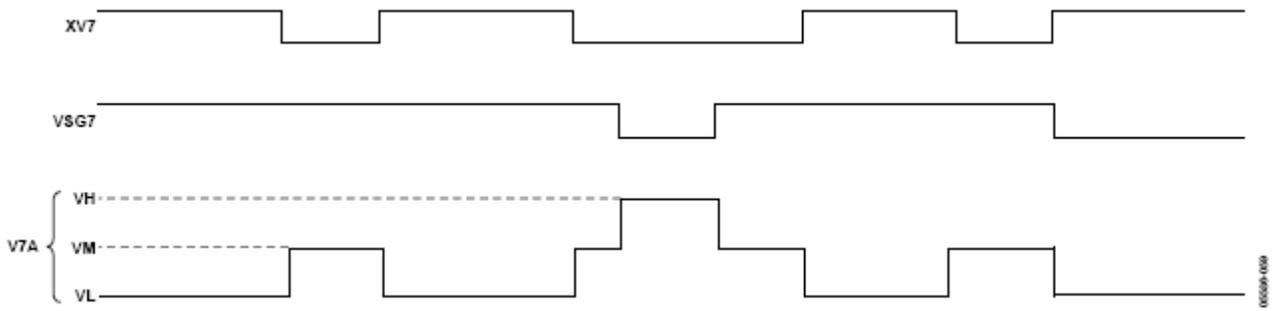


图60. XV7、VSG7和V7A输出极性

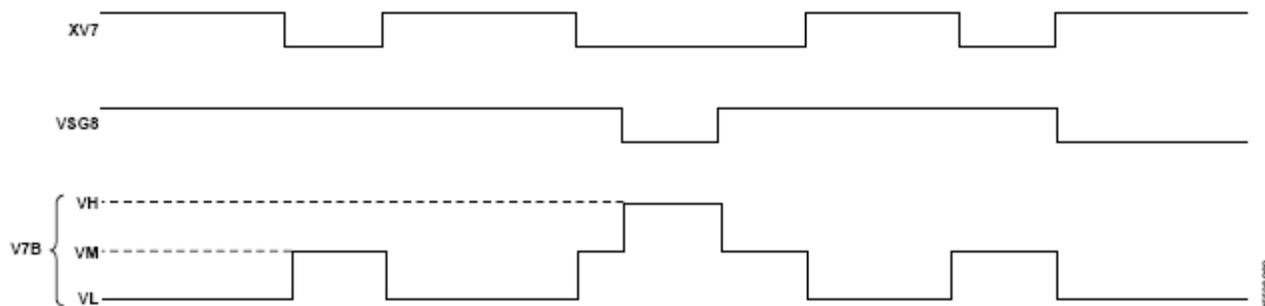


图61. XV7、VSG8和V7B输出极性

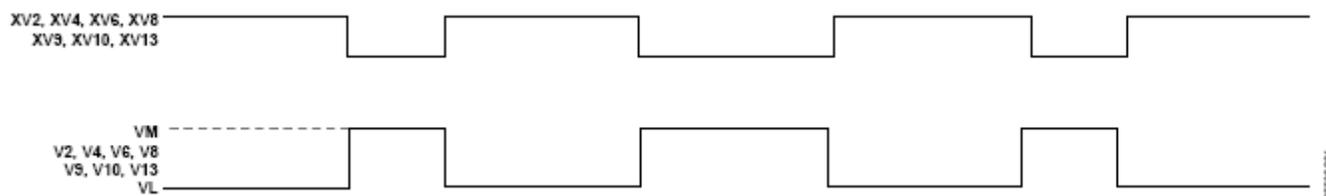


图62. XV2、XV4、XV6、XV8、XV9、XV10、XV13和V2、V4、V6、V8、V9、V10、V13输出极性

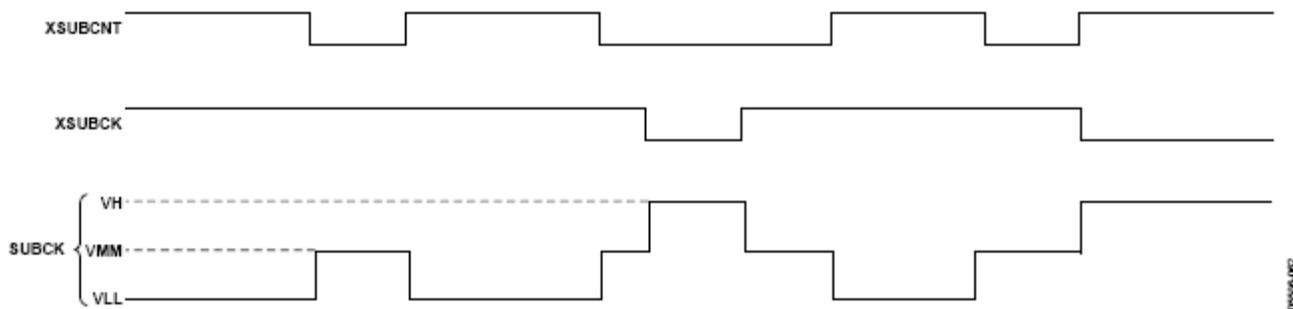


图63. XSUBCNT、XSUBCK和SUBCK输出极性

快门时序控制

CCD图像曝光时间由基底时钟信号(SUBCK)控制,它向CCD基底提供脉冲以清除累积的电荷。AD9923A支持三类电子快门:正常、高精度和低速。与SUBCK脉冲放置一起使用时,AD9923A可以适应不同的读取配置,从而进一步抑制多场读取期间的SUBCK脉冲。AD9923A还能提供可编程输出,以便控制外部机械快门(MSHUT)、频闪/闪光灯(STROBE)和CCD偏置选择信号(VSUB)。用户最多可以对4个通用快门脉冲(SHUT0至SHUT3)和2个VSUB脉冲(VSUB0和VSUB1)进行编程,并将其指定给三个快门输出引脚中的任何一个。用户也可以用逻辑XOR操作(以^符号表示)合并下列快门和VSUB脉冲,从而为MSHUT、STROBE和VSUB产生更复杂的

时序(每行最多4个跳变位置): $SHUT0 \wedge VSUB0$ 、 $SHUT0 \wedge VSUB1$ 、 $SHUT0 \wedge SHUT1$ 和 $SHUT0 \wedge SHUT2$ 。

SUBCK: 三电平输出

AD9923A支持SUBCK缓冲器提供三电平输出:VH、VMM和VLL。VH电源由SUBCK缓冲器与垂直驱动器输出共享,但VMM和VLL分别是SUBCK缓冲器的专用中间电源和低电源。SUBCK缓冲器有两个输入:XSUBCK和XSUBCNT。XSUBCNT由内部多路复用器产生,选择范围是XV1至XV13、VSG1至VSG8、MSHUT、STROBE、VSUB、SHUT0至SHUT3、FG_TRIG、高电平和低电平。

表38. XSUBCNT多路复用器

寄存器	长度 (位)	范围	描述
XSUBCNT _MUX	5	0至31	选择用于XSUBCNT的内部信号 0: XV6 1: XV8 2: XV9 3: XV10 4: VSG5 5: VSG6 6: VSG7 7: VSG8 8: VSG2 9: VSG3 10: VSG4 11: VSG1 12: XV13 13: VSUB 14: MSHUT 15: STROBE 16: XV1 17: XV2 18: XV3 19: XV4 20: XV5 21: XV7 22: XV11 23: XV12 24: SHUT0 25: SHUT1 26: SHUT2 27: SHUT3 28: FG_TRIG 29: 无效设置 30: 高电平 31: 低电平

SUBCK: 正常工作模式

默认情况下，AD9923A采用普通的SUBCK配置，每个VD场都有SUBCK信号的脉冲（见图64）。SUBCK脉冲每行出现一次，而场内的总重复次数决定曝光时间。行内的SUBCK脉冲极性和跳变位置可以利用SUBCKPOL和SUBCK1TOG寄存器进行编程（见表39）。每个场的SUBCK脉冲数量通过SUBCKNUM寄存器（地址0x64）进行编程。

如图64所示，SUBCK脉冲始终从SG有效行（在每个场的SGACTLINE寄存器中指定）之后的行开始。SUBCKPOL、SUBCK1TOG、SUBCK2TOG、SUBCKNUM和SUBCKSUPPRESS寄存器在传感器门限之后的行开始时更新，如“更新寄存器值”部分所述。

SUBCK: 高精度工作模式

高精度快门的使用方式与普通快门相同，但有一个额外寄存器用来控制最后一个SUBCK脉冲。在这种模式下，SUBCK脉冲每行出现一次，但场中最后一个SUBCK有一个额外SUBCK脉冲，其位置由SUBCK2TOGx寄存器决定，如图65所示。使用这种模式可以实现更高的曝光时间分辨率。如果SUBCK2TOGx寄存器保持最大值(0xFFFFF)，则会禁用最后一个SUBCK脉冲（默认设置）。

SUBCK: 低速工作模式

当曝光时间短于一个场长度时，使用正常和高精度快门操作。当曝光时间长于一个场间隔时间时，使用低速快门操作。AD9923A利用独立的曝光计数器实现长曝光时间。低速快门操作的场数在EXPOSURENUM寄存器（地址0x63）中指定。如图66所示，这种快门模式抑制0个场至4095个场（VD周期）的SUBCK和VSG输出。通过将VDHDOFF寄存器设置为1，可以在曝光期间抑制VD和HD输出。

为产生低速快门操作，需要写入TRIGGER寄存器的位D3以触发长曝光时间。当该位设置为高电平时，AD9923A将在下一个VD边沿开始曝光操作。如果EXPOSURENUM寄存器中指定的值大于0，AD9923A将抑制后续场的SUBCK输出。

如果使用TRIGGER寄存器产生曝光，但EXPOSURENUM寄存器设置为0，则SUBCK的行为与不使用TRIGGER寄存器的正常快门或高精度快门操作期间相同。

AD9923A

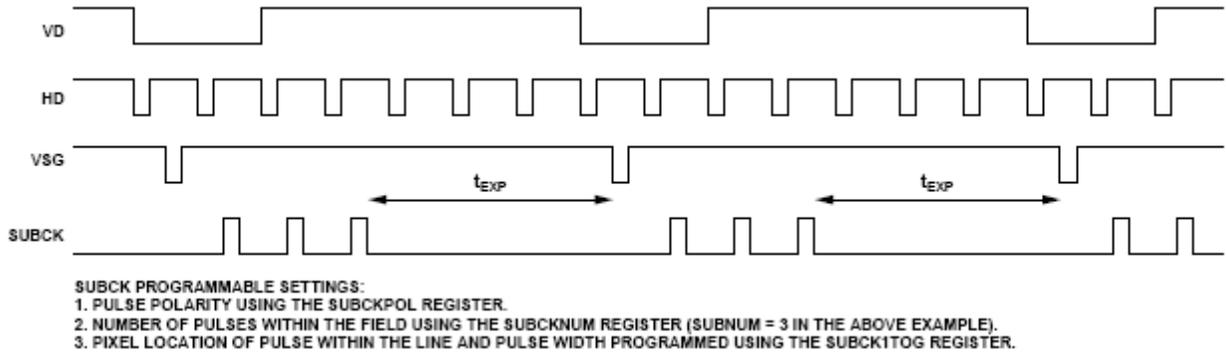


图64. 正常快门模式

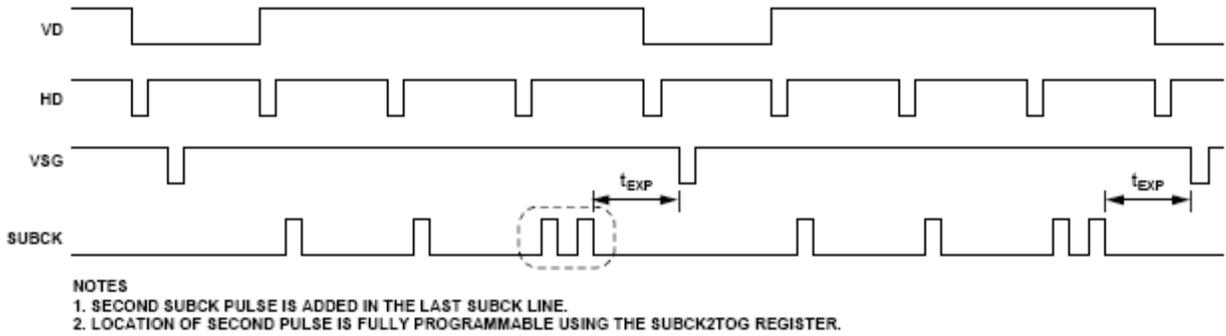


图65. 高精度快门模式

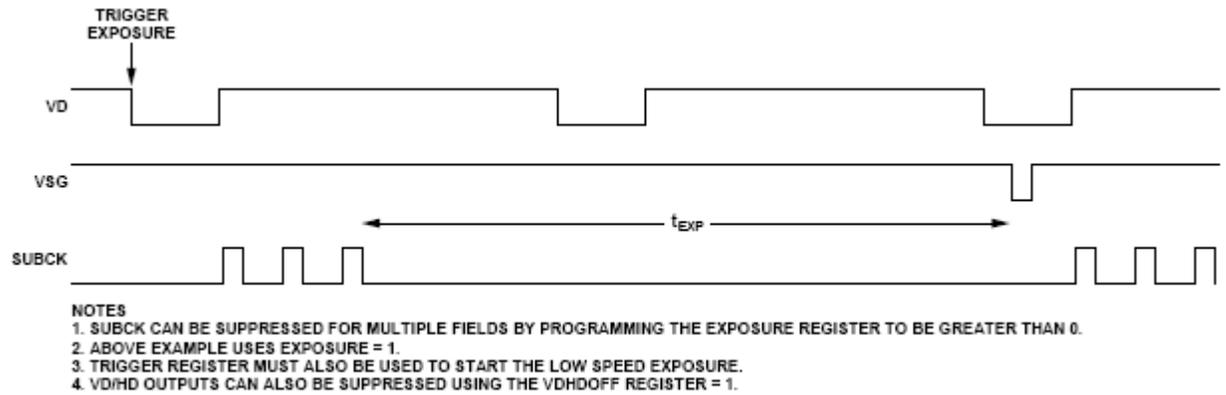


图66. 使用EXPOSURE寄存器的低速快门模式

SUBCK: 抑制

通常而言，SUBCK从传感器门限行(VSG)之后的行开始提供脉冲。有些CCD要求抑制VSG行之后一行或多行的SUBCK脉冲。通过SUBCKSUPPRESS寄存器可以使能这种抑制。

曝光后读取

曝光之后就会发生CCD数据读取，以传感器门限(VSG)操作开始。默认情况下，AD9923A在每个场中产生VSG脉冲。当只需要一个曝光和读取帧时(CCD预览模式就是这种情况)，VSG和SUBCK脉冲可以在每个场中工作。

但是，在读取期间，通常必须抑制SUBCK输出，直到读取完毕。READOUTNUM寄存器指定曝光后继续抑制SUBCK的额外场数。READOUTNUM可以设置为0到7场，并且应在启动时预先编程，而不能与曝光写入同时进行。典型的隔行CCD帧读取模式在读取期间一般需要2个场的SUBCK抑制(READOUTNUM = 2)。3场6相CCD在读取开始之后需要3个场的SUBCK抑制(READOUTNUM = 3)。

在最后一个场的读取期间，如果必须有SUBCK输出才能启动备份，则应将READOUTNUM寄存器设置为比CCD读取场总数少1的值。与曝光操作类似，读取操作必须利用TRIGGER寄存器触发。

SUBCK: 额外掩蔽

SUBCKMASK寄存器(地址0x65)支持更复杂的SUBCK掩蔽。如果SUBCKMASK = 1，它将从下一个VD边沿开始掩蔽SUBCK。如果SUBCKMASK = 2，用户可以选择内部SHUT3

信号并创建一个遍及多个场的自定义SUBCK掩蔽图样。

当使用TRIGGER寄存器产生曝光时，如“曝光后读取”部分所述，AD9923A默认在每一个场上输出SUBCK和VSG信号。这非常适合连续的单场曝光和读取操作，例如CCD实时预览模式等。但是，如果CCD要求较长的曝光时间，或者需要多个读取场，则必须通过TRIGGER寄存器启动特定曝光和读取序列。

TRIGGER寄存器中的曝光和读取位通常是使用，以便启动完整的曝光加读取操作。曝光之后，读取自动发生。EXPOSURE和READOUTNUM寄存器中的值决定各操作的长度。

可以单独启动读取操作，而不启动曝光操作。这将使得读取在下一个VD发生，并且会根据READOUTNUM寄存器中设置的值抑制SUBCK输出。

TRIGGER寄存器还控制SHUT和VSUB信号。每个信号都是独立控制，但依赖于曝光和读取操作的触发。图71给出了曝光和读取操作触发的完整示例。

另一方面，也可以手动控制曝光和读取操作，在每个VD场小心更新SUBCKSUPPRESS和VSG掩蔽寄存器。如下文所述，可以对快门信号进行部分或全部手动控制，从而更加灵活地产生自定义曝光/读取/快门信号时序。

表39. SUBCK和TRIGGER寄存器参数

寄存器	长度 (位)	范围	描述
TRIGGER	8	开/关, 8个信号	0: 触发SHUT0信号。 1: 触发SHUT1信号。 2: 触发SHUT2信号。 3: 触发SHUT3信号。 4: 触发VSUB0信号。 5: 触发VSUB1信号。 6: 触发EXPOSURE操作。 7: 触发READOUT操作。
READOUTNUM	3	0到7场	曝光后抑制SUBCK的场数。
EXPOSURENUM	12	0到4095场	曝光期间抑制SUBCK和VSG的场数 (低速快门)。
VDHDOFF	1	开/关	曝光期间禁用VD/HD输出。 1 = 禁用VD。 0 = 使能VD。
SUBCKPOL ¹	1	高/低	SUBCK1和SUBCK2的SUBCK起始极性。
SUBCK1TOG1 ¹	12	0到4095像素位置	第一SUBCK脉冲的第一跳变位置 (正常快门)。
SUBCK1TOG2 ¹	12	0到4095像素位置	第一SUBCK脉冲的第二跳变位置 (正常快门)。
SUBCK2TOG1 ¹	12	0到4095像素位置	最后一行中第二SUBCK脉冲的第一跳变位置 (高精度)。
SUBCK2TOG2 ¹	12	0到4095像素位置	最后一行中第二SUBCK脉冲的第二跳变位置 (高精度)。
SUBCKNUM ¹	12	1到4095脉冲	每场的SUBCK总数, 每行一个脉冲。
SUBCKSUPPRESS ¹	12	0到4095脉冲	VSG行之后抑制SUBCK的脉冲数。
SUBCKMASK ¹	2	0到3掩蔽模式	SUBCK输出的额外掩蔽。 0 = 无额外掩蔽。 1 = 在VD边沿开始掩蔽。 2 = 使用内部SHUT3信号掩蔽。

¹ 寄存器不由VD更新, 但在传感器门限之后的行开始时更新。

快门输出

AD9923A包括3个快门输出引脚: VSUB、MSHUT和STROBE。内部有6个快门信号可用: VSUB0、VSUB1、SHUT0、SHUT1、SHUT2和SHUT3。利用VSUB_CTRL、MSHUT_CTRL和STROBE_CTRL寄存器, 可以将这些信号以及下列组合中的任一个映射到任一输出引脚: SHUT0 ^ VSUB0、SHUT0 ^ VSUB1、SHUT0 ^ SHUT1、SHUT0 ^ SHUT2。

VSUB信号的行为与SHUT信号不同, 一般用于VSUB输出引脚。如果需要用更为常见的方法来处理快门信号, 则可以将SHUT信号用于VSUB输出引脚。

还可以将SYNC引脚配置为输出, 并利用TESTO_CTRL寄存器功能将内部快门信号或上述组合信号之一发送到SYNC引脚。这样, 在不需要外部SYNC输入功能的情况下, 将能灵活地提供最多4个快门输出。

VSUB信号操作

可以对CCD读取偏置(VSUB)进行编程, 以适应不同的CCD。图67显示了两种可用模式。在模式0下, 当曝光在最后一个SUBCK的场中开始时, VSUB变为有效。打开位置 (图67中的上升沿) 可以设置为场中的任意行。VSUB保持有效到图像读取结束为止。在模式1下, VSUB直到读取开始才变为有效。

还有一个称为VSUB_KEEPPON的功能。将适当的VSUB_KEEPPON位设置为高电平时, 即使读取已经完成, VSUB输出也将持续有效。以后若要禁用VSUB, 需将此位重新设置为低电平。

AD9923A包括2个可编程VSUB信号: VSUB0和VSUB1。这两个信号均可映射到VSUB输出引脚、MSHUT引脚或STROBE引脚。

SHUT信号操作

SHUT信号操作如图68至图71所示。

表40显示了用于控制SHUT信号的寄存器参数。使用SHUT信号的方法有三种：自动触发、单一触发和手动控制。

自动触发

SHUT信号一般是利用TRIGGER寄存器与曝光或读取操作一起触发。SHUT_ON和SHUT_OFF位置是完全可编程的，可以通过下列寄存器设置为曝光周期内的任何位置：

场寄存器：SHUT_ON_FD/SHUT_OFF_FD
行寄存器：SHUT_ON_LN/SHUT_OFF_LN
像素寄存器：SHUT_ON_PX/SHUT_OFF_PX。

场寄存器相对于曝光计数器的值定义行和像素值所用于的场。开/关位置最早可以出现在场包含最后一个SUBCK时（曝光场0），最晚可以出现在读取开始前的最终曝光场。开/关位置使用不同的场寄存器，因此可以出现在不同的曝光场中。

单一触发

SHUT信号可以在不触发曝光或读取操作的情况下触发。此时，SHUT信号通过TRIGGER寄存器触发，但不触发曝光位。SHUT的开/关位置均出现在下一个场，并且SHUT_ON_FD/SHUT_OFF_FD寄存器值被忽略。如果下一个场立即需要一个脉冲，但不发生曝光或读取操作，则需要使用单一触发操作。此外，如果曝光或读取操作通过手动产生，而不使用TRIGGER寄存器，并且SUBCK和VSG掩蔽也是通过手动控制，则也需要使用单一触发操作。

请注意，如果已经触发一个曝光操作，则无法使用单一触发操作。如果已经触发SHUT信号和一个曝光操作，则SHUT

信号的行为与自动触发模式下的行为相同。

手动控制

手动控制模式可以控制任意SHUT信号，而无需使用TRIGGER寄存器激活它。这种模式下，各个开/关行和像素位置是单独使用的，具体取决于手动信号控制寄存器的状态。请注意，VD间隔中只能使用一个跳变位置（关或开）。

与单一触发操作相同，当使能手动控制时，SHUT_ON_FD/SHUT_OFF_FD寄存器值会被忽略。

有一个单独的位用来使能SHUT信号手动控制，因此无论已触发曝光操作的状态如何，都可以使用此操作。

请注意，手动控制可以与自动或单一触发操作一起使用。如果利用手动控制打开SHUT信号，然后禁用手动控制，则SHUT信号仍然保持打开状态。如果随后发生一个触发操作，则打开位置跳变会被忽略，因为信号已经打开。这种情况下只能触发关闭位置。

请注意，AD9923A的SHUT信号触发机制与AD9923不同。对于AD9923，触发信号在写入TRIGGER寄存器（寄存器0x61）的场中的UPDATE行（寄存器0x18）上进行更新。如果在给定场中SHUT信号的触发位无效，将导致该SHUT信号所有出现在UPDATE行之后的跳变位置都被忽略。对于AD9923A，内部触发信号在写入触发寄存器之后的整行中都有效。因此，UPDATE行之后设置的任何跳变位置都会得到处理。

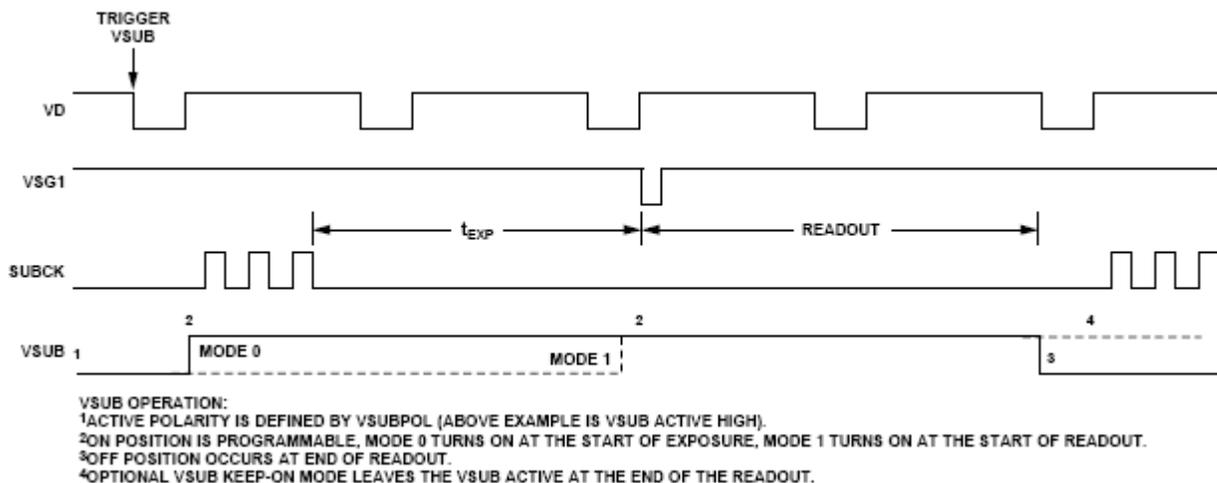


图67. VSUB0、VSUB1信号可编程性

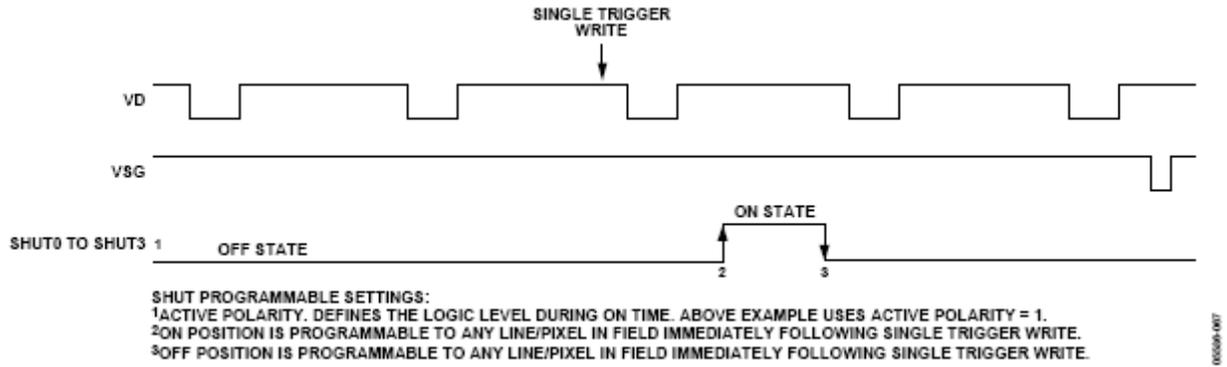


图68. SHUT0至SHUT3信号可编程性

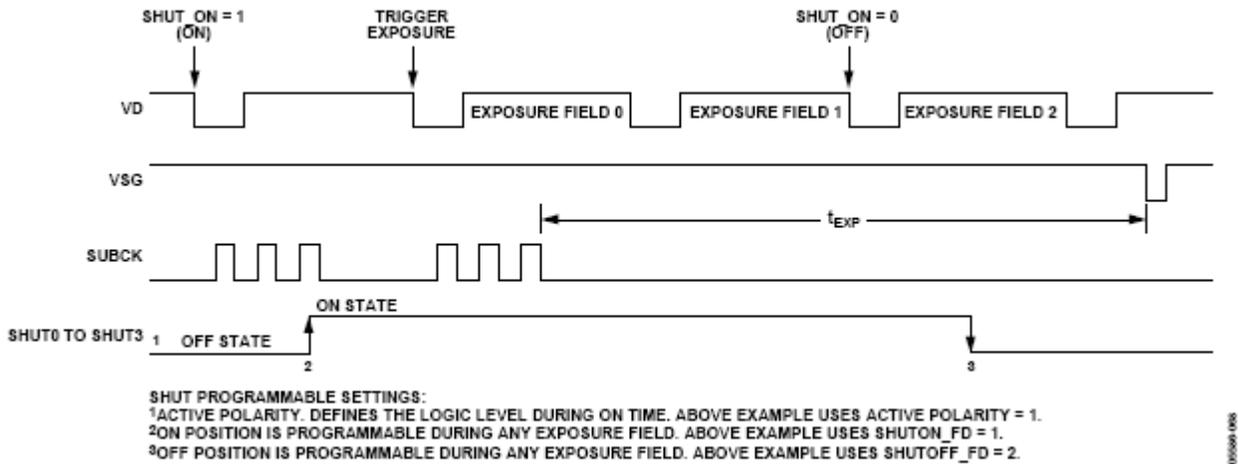


图69. SHUT0至SHUT3信号的手动控制

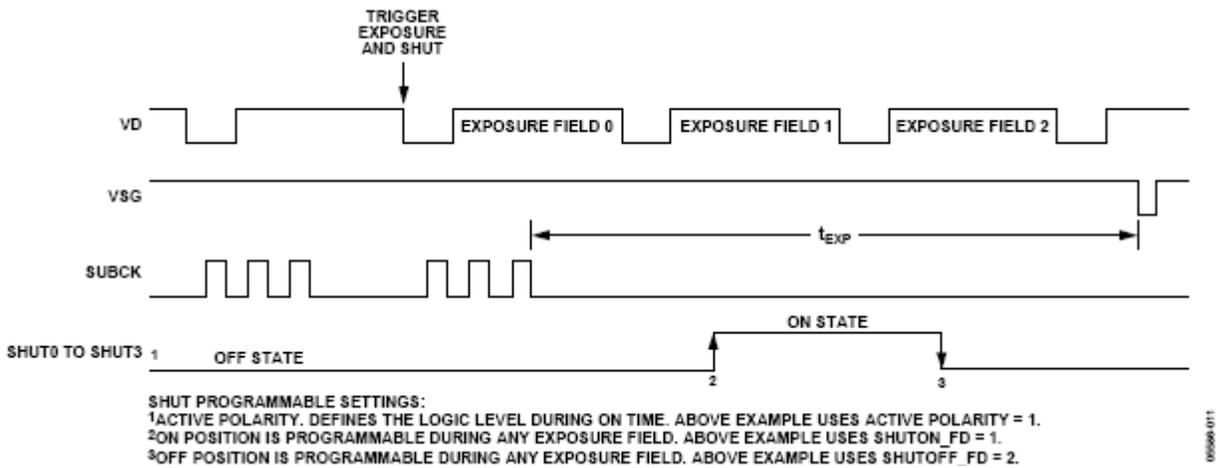


图70. SHUT0至SHUT3信号的单一触发控制

表40. VSUB0至VSUB1和SHUT0至SHUT3寄存器参数

寄存器	长度 (位)	范围	描述
VSUB_CTRL	3	0至7	选择要映射到VSUB引脚的内部快门信号。 0: SHUT0。 1: SHUT1。 2: SHUT2。 3: SHUT3。 4: 使用VSUB0_MUX输出。 5: 使用VSUB1_MUX输出。 6: 无效设置。 7: 使用SHUT1_SHUT2_MUX输出。
MSHUT_CTRL	3	0至7	选择要映射到MSHUT引脚的内部快门信号。 0: SHUT0。 1: SHUT1。 2: SHUT2。 3: SHUT3。 4: 使用VSUB0_MUX输出。 5: 使用VSUB1_MUX输出。 6: 无效设置。 7: 使用SHUT1_SHUT2_MUX输出。
STROBE_CTRL	3	0至7	选择要映射到STROBE引脚的内部快门信号。 0: SHUT0。 1: SHUT1。 2: SHUT2。 3: SHUT3。 4: 使用VSUB0_MUX输出。 5: 使用VSUB1_MUX输出。 6: 无效设置。 7: 使用SHUT1_SHUT2_MUX输出。
TEST0_CTRL	3	0至7	选择要映射到TEST0信号的内部快门信号。 0: SHUT0。 1: SHUT1。 2: SHUT2。 3: SHUT3。 4: 使用VSUB0_MUX输出。 5: 使用VSUB1_MUX输出。 6: 无效设置。 7: 使用SHUT1_SHUT2_MUX输出。
VSUB0_MUX	1	高/低	0 = 使用VSUB0。 1 = 使用SHUT0 ^ VSUB0。
VSUB1_MUX	1	高/低	0 = 使用VSUB1。 1 = 使用SHUT0 ^ VSUB1。
SHUT1_SHUT2_MUX	1	高/低	0 = 使用SHUT0 ^ SHUT1。 1 = 使用SHUT0 ^ SHUT2。
VSUB_MODE	1b	高/低	VSUB模式。参见图67。 0 = 模式0。 1 = 模式1。
VSUB_KEEPON	1	高/低	VSUB保持打开模式。设置为高电平时，VSUB在读取之后保持有效。
VSUB_ON	12	0到4095行位置	VSUB打开位置。可以在场中的任意行打开。
VSUBPOL	1	高/低	VSUB起始极性。当VSUB被触发打开时。
SHUT_ON	1	开/关	SHUT手动控制。 0 = SHUT关闭。 1 = SHUT打开。
SHUTPOL	1	高/低	SHUT有效极性。

寄存器	长度 (位)	范围	描述
SHUT_MAN	1	使能/禁用	使能SHUT手动控制模式。 0 = 禁用。 1 = 使能。
SHUT_ON_FD	12	0到4095场位置	打开MSHUT的场位置。无效或关闭。
SHUT_ON_LN	12	0到4095行位置	打开MSHUT的行位置。无效或关闭。
SHUT_ON_PX	13	0到8191像素位置	打开MSHUT的像素位置。无效或关闭。
SHUT_OFF_FD	12	0到4095场位置	关闭MSHUT的场位置。无效或关闭。
SHUT_OFF_LN	12	0到4095行位置	关闭MSHUT的行位置。无效或关闭。
SHUT_OFF_PX	13	0到8191像素位置	关闭MSHUT的像素位置。无效或关闭。

图71说明

本部分中的编号与图71中的编号一一对应。

1. 写入READOUTNUM寄存器（地址0x62），以指定CCD数据读取期间抑制SUBCK的场数。本例中，READOUTNUM = 3。

写入EXPOSURENUM寄存器（地址0x63），以指定曝光期间抑制SUBCK和VSG输出的场数。本例中，EXPOSURENUM = 1。

写入TRIGGER寄存器（地址0x61），以触发SHUT0 (STROBE)、SHUT1 (MSHUT)和VSUB0 (VSUB)信号，并开始曝光加读取操作。要触发这些事件（见图71），应设置寄存器TRIGGER = 0xD3。曝光周期结束之后，读取自动发生。

写入MODE寄存器，以配置后续5个场。曝光期间的前2个场与当前草图模式场相同，而后面的3个场是静止帧读取场。先前已经对草图模式场和后3个读取场的寄存器设置进行编程。

2. VD/HD下降沿更新来自步骤1的串行写入。
3. 如果VSUB0 MODE = 0（地址0x69），则VSUB输出在VSUB_ON寄存器（地址0x6A）指定的行打开。

4. STROBE输出在SHUT0_ON/SHUT0_OFF寄存器（地址0x6D/0x71）指定的位置打开和关闭。
5. MSHUT输出在SHUT1_OFF_FD、SHUT1_OFF_LN和SHUT1_OFF_PX寄存器（地址0x75和地址0x76）指定的位置关闭。SHUT1打开位置被忽略，因为SHUT1信号已经在之前的手动操作中打开（见步骤10）。
6. 下一VD下降沿自动启动第一个读取场。
7. 下一VD下降沿自动启动第二个读取场。
8. 下一VD下降沿自动启动第三个读取场。
9. 写入MODE寄存器，以重新配置单一草图模式场时序。将1写入SHUT1_MAN和SHUT1_ON寄存器（地址0x72），以手动恢复MSHUT输出。
10. VD/HD下降沿更新来自步骤9的串行写入。VSG输出返回到草图模式时序。SUBCK输出恢复操作。MSHUT输出返回到打开位置（有效或打开）。确保在需要再次自动触发SHUT1信号之前禁用SHUT1的手动控制。VSUB输出返回到关闭位置（无效）。

隔行帧的曝光和读取示例

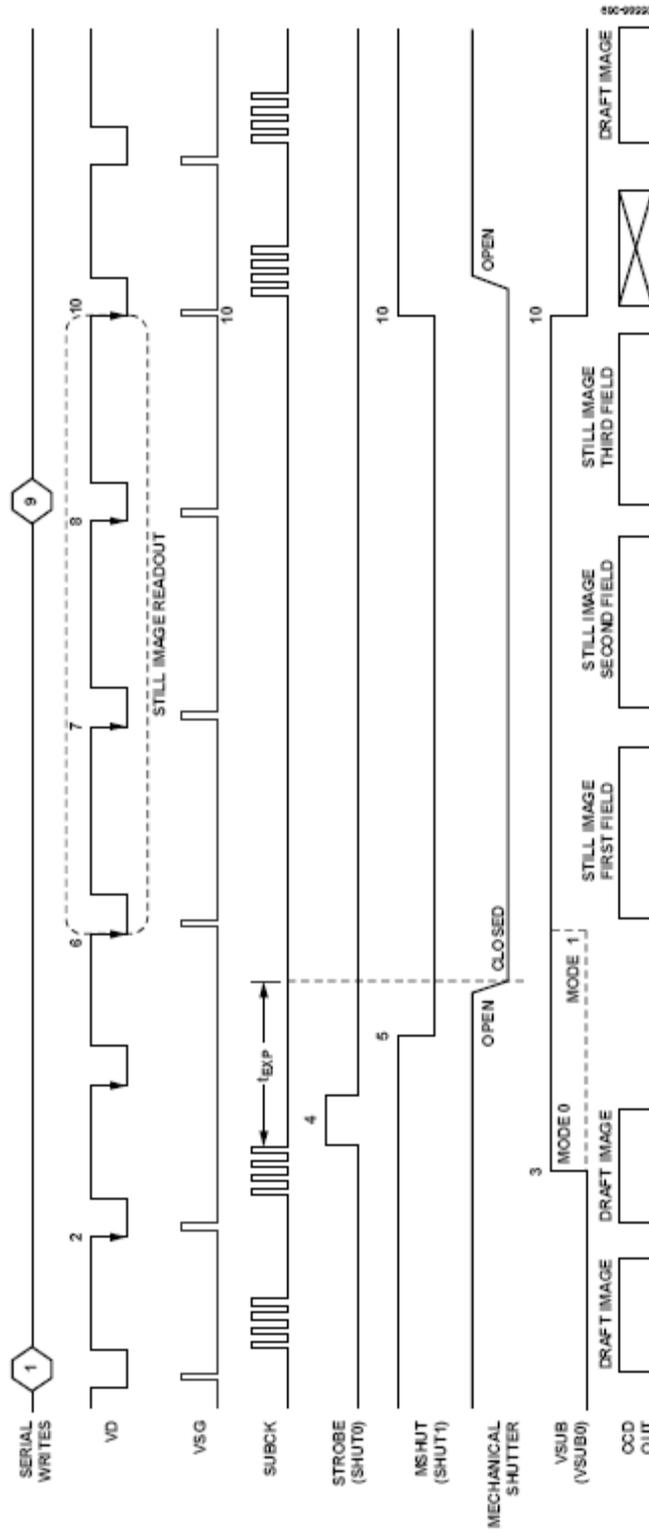


图71. 使用快门信号和MODE寄存器时的曝光和静止图像读取示例

FG_TRIG操作

AD9923A含有一个额外信号，它可以与快门操作或一般系统操作一起使用。FG_TRIG信号是内部产生的一个脉冲，可以通过SYNC引脚输出，用于快门或其它系统功能。FG_TRIG信号的独特之处在于它是相对于MODE寄存器场状态的输出。

FG_TRIG信号利用SHUT1起始极性和跳变位置寄存器产生，可以采用行和像素分辨率进行编程。SHUT1的场寄存器被忽略，因为FG_TRIG脉冲的场放置与MODE寄存器操作指定的场计数一致。FG_TRIGEN寄存器包括一个三位值，用于指定哪个场计数含有FG_TRIG脉冲。图72显示了如何使用这些寄存器产生FG_TRIG脉冲。

指定FG_TRIG信号之后，就可以通过FG_TRIGEN寄存器的位3使能该信号。如果SYNC引脚配置为输出(SYNCENABLE = 0)，FG_TRIG信号将被映射到SYNC输出。

表41. FG_TRIG操作寄存器

寄存器	地址	位位置	描述
SYNCENABLE	0x12	[0]	0 = SYNC引脚配置为输出。默认情况下，FG_TRIG信号通过SYNC引脚输出。 1 = SYNC引脚为外部同步输入。
FG_TRIGEN	0xF1	[3:0]	[2:0]根据模式场计数器选择脉冲的场计数。 [3] = 1时使能FG_TRIG信号输出。
SHUT1POL	0x72	[1]	[1] FG_TRIG起始极性。
SHUT1_ON_LN	0x74	[11:0]	FG_TRIG第一跳变，行位置。
SHUT1_ON_PX	0x74	[25:13]	FG_TRIG第一跳变，像素位置。
SHUT1_OFF_LN	0x76	[11:0]	FG_TRIG第二跳变，行位置。
SHUT1_OFF_PX	0x76	[25:13]	FG_TRIG第二跳变，像素位置。

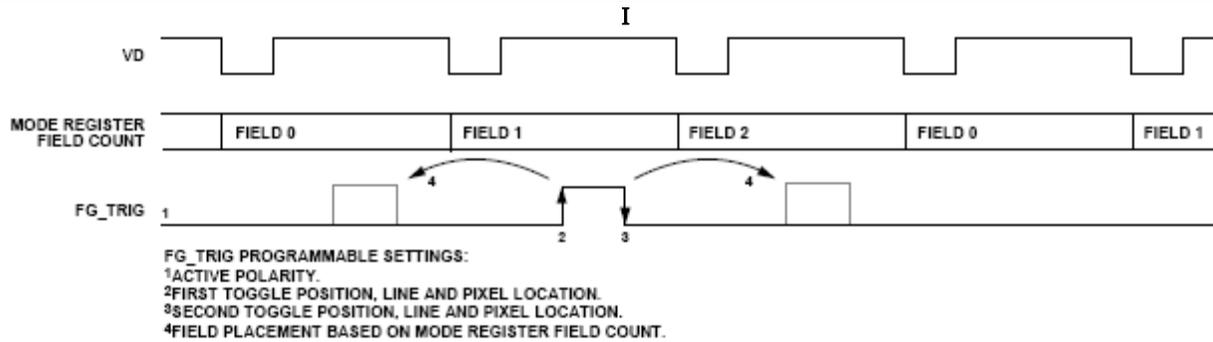


图72. FG_TRIG信号产生

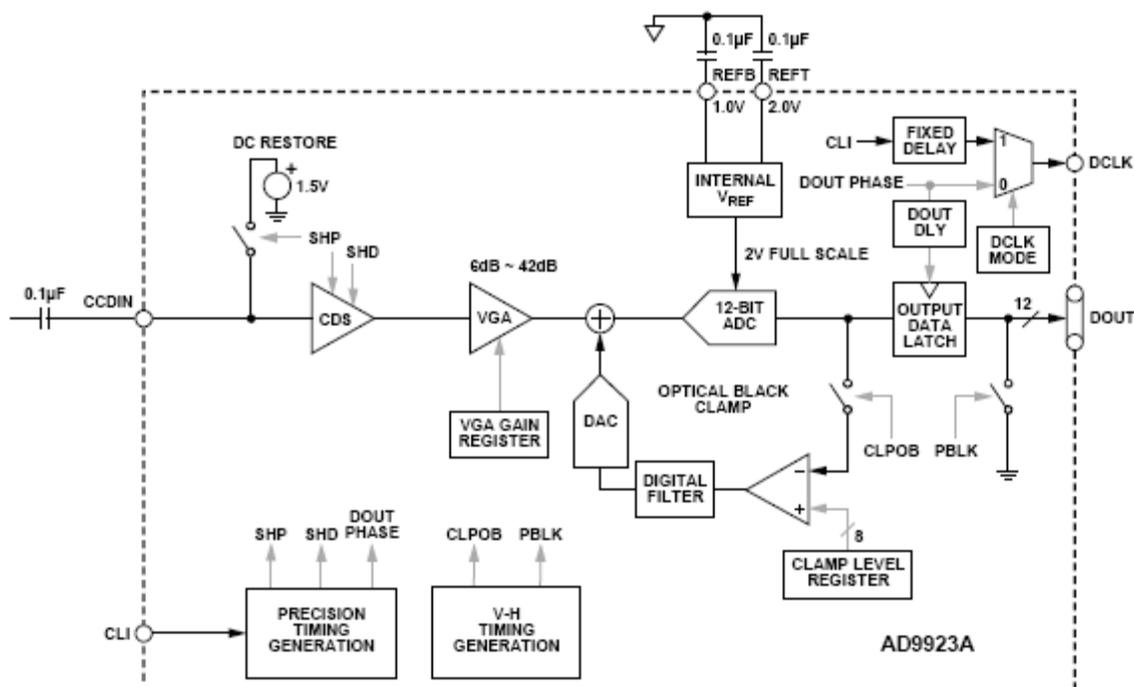


图73. 模拟前端功能框图

模拟前端描述/操作

图73显示了AD9923A的信号处理链。为了从原始CCD像素数据产生高质量图像，每一步都很重要。

直流复位

为了降低CCD输出信号的大直流失调，需使用一个直流复位电路和一个外部0.1 µF串联耦合电容。它将使CCD信号的直流电平恢复到约1.5 V，以便与AD9923A的3 V电源电压兼容。

相关双采样器

CDS电路对每个CCD像素采样两次，以便提取视频信息并抑制低频噪声。图20所示的时序说明了如何使用两个内部产生的CDS时钟（SHP和SHD）分别对CCD信号的基准和数据电平进行采样。SHP和SHD采样边沿的放置由SHPLOC和SHDLOC寄存器（地址0x37）的设置决定。这些时钟信号的放置对于实现最佳CCD性能至关重要。

CDS增益在CDSGAIN寄存器（地址0x04）中进行设置，可以设为-3 dB、0 dB（默认值）、+3 dB或+6 dB。+3 dB和+6 dB设置可以改善噪声性能，但会缩小输入范围（见图8）。

可变增益放大器

VGA级提供6 dB至42 dB的增益，可以通过串行数字接口进行编程，并且分辨率为10位。为使1 V输入信号与ADC的2 V满量程范围相匹配，最少需要6 dB的增益。与1 V满量程系统相比，等效增益范围为0 dB至36 dB。

VGA增益曲线呈线性dB特征。对于任意增益寄存器值，确切的VGA增益可以通过下式计算：

$$\text{增益(dB)} = (0.0358 \times \text{代码}) + 5.5 \text{ dB}$$

其中，代码范围为0至1023。

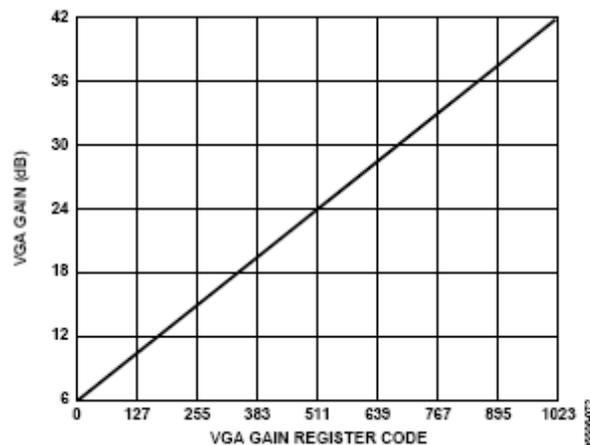


图74. VGA增益曲线

ADC

AD9923A采用针对高速和低功耗应用进行优化的高性能ADC架构。微分非线性(DNL)性能典型值优于1 LSB。ADC使用2 V输入范围。图6和图8给出了典型的线性和噪声性能曲线。

光学黑色箝位

光学黑色箝位环路能够消除信号链中的残余失调，并跟踪 CCD 黑色电平的低频变化。在每行的光学黑色（屏蔽）像素间隔期间，ADC 输出与用户通过 CLAMPLEVEL 寄存器选择的固定黑色基准电平进行比较。该值可以在 0 LSB 至 255 LSB 范围内进行设置，共有 1023 级。对所产生的误差信号进行滤波以降低噪声，并通过一个 DAC 将校正值施加于 ADC 输入。光学黑色箝位环路一般是每个水平行打开一次，但这个环路可以更新得更慢，以适应特定应用的要求。如果在后处理过程中使用外部数字箝位，则可以通过 CLPENABLE 寄存器（地址 0x00，位 D2）禁用 AD9923A 光学黑色箝位。即使该环路被禁用，CLAMPLEVEL 寄存器仍然可以用来提供可编程失调调整。

CLPOB 脉冲应在 CCD 光学黑色像素期间放置。为使箝位噪声最小，建议使用至少 20 个像素宽的 CLPOB 脉冲。虽然可以使用更短的脉冲宽度，但箝位噪声可能会提高，导致环路跟踪黑色电平低频变化的能力降低。时序示例参见“水平箝位和消隐”部分。

数字数据输出

数字输出数据利用 DOUTPHASE 寄存器值进行锁存，如图 73 所示。图 21 和图 22 显示了输出数据时序。也可以让输出锁存保持透明，这样 ADC 的数据输出将立即有效。将 DOUTLATCH 寄存器的位 D1 置 1 可将输出锁存设置为透明。将 DOUTDISABLE 寄存器 0x01 的位 D0 置 1 还可禁用数据输出（三态）。

DCLK 输出可以用于数据输出的外部锁存。默认情况下，DCLK 输出跟踪 DOUTPHASE 寄存器的值。通过改变 DCLKMODE 寄存器，可以使 DCLK 输出保持在固定的相位，而 DOUTPHASE 寄存器值则被忽略。

为了优化 DCLK 上升沿与数据输出转换之间的延迟时间，应使用 DOUTDELAY 寄存器。默认情况下，从 DCLK 上升沿到数据输出转换存在大约 8 ns 的延迟。有关更多信息，请参见“高速时序产生”部分。

切换数据输出会将噪声耦合到模拟信号路径中。为使切换噪声最小，应将 DOUTPHASE 寄存器设置为与 SHP 采样位置相同的边沿，或者设置为 SHP 采样位置之后最多 11 个边沿。其它设置可以产生良好的结果，但需要试验。建议 DOUTPHASE 位置不要处于 SHD 采样位置与 SHD 位置之后

的 11 个边沿之间。例如，如果 SHDLOC = 0，则应将 DOUTPHASE 设置为 12 或更大的边沿位置。如果数据输出不需要可调相位，则可以通过寄存器 0x01 的位 D1 使输出锁存保持透明。

数据输出编码一般为直接二进制，但可以通过将 GRAYEN 寄存器 0x01 的位 D2 置 1 而更改为格雷码。

主机模式的推荐上电序列

AD9923A 上电时，建议采用下面的操作序列（见图 75）：

1. 接通 AD9923A 的 +3 V 电源，并启动主时钟 (CLI)。
2. 接通垂直驱动器电源 (VH 和 VL)。对 VH 和 VL 的接通顺序没有要求。
3. 将 1 写入 SW_RST 寄存器（地址 0x10），以复位 AD9923A 的内部寄存器。
4. 加载所需的寄存器，以便配置所需的 VPAT 组、垂直序列、场时序信息、高速时序、水平时序和快门时序信息。
5. 若要将器件置于正常工作模式，则应将 0x04 写入 AFE STANDBY 寄存器（位 [1:0]，地址 0x00），并将 0x60 写入 TEST3 寄存器 0xEA。如果使用 CLO 输出驱动晶振，则还应将 1 写入寄存器 0x16，以使 CLO 振荡器上电。
6. 默认情况下，TG CORE_RSTB 寄存器 = 0，内部时序内核处于复位状态。将 1 写入 TG CORE_RSTB 寄存器（地址 0x15），以使内部时序内核开始工作。如果 CLI 输入使用 2 倍的时钟，则应在复位时序内核之前将 CLIDIVIDE 寄存器（地址 0x30）置 1。启动主时钟 (CLI) 之后至少应等待 500 μ s 才能复位时序内核，特别是在使用晶振或晶体振荡器时。
7. 将 1 写入 MASTER 寄存器（地址 0x20），以将 AD9923A 配置为主机模式时序。
8. 将 VDR_EN 信号拉高至 +3 V，以使能垂直驱动器输出。如果 VDR_EN = 0 V，则所有垂直驱动器输出等于 VM，并且 SUBCK = VLL。
9. 将 1 写入 OUTCONTROL 寄存器（地址 0x11），使输出在下一个 SYNC 上升沿之后变为有效。

10. 产生一个SYNC事件。如果SYNC在上电时为高电平，则应将SYNC输入拉低至少100 ns，然后再拉高。这将使内部计数器复位并启动VD/HD操作。第一个VD/HD边沿允许VD寄存器更新，其中包括使能所有

输出的OUTCONTROL寄存器。如果没有外部SYNC脉冲可用，则应写入SYNCPOL寄存器以产生一个内部SYNC脉冲，详见“在没有外部同步信号的情况下产生软件同步”部分。

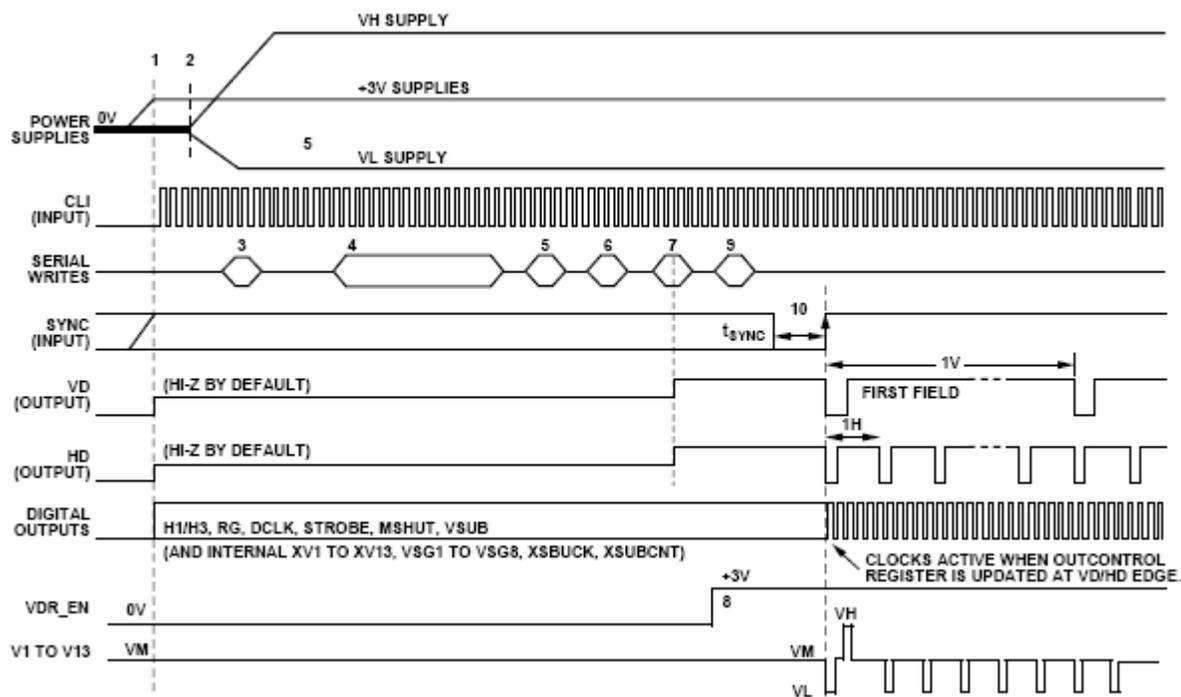


图75. 主机模式的推荐上电序列和同步

表42. 上电寄存器写序列

寄存器	地址	数据	描述
SW_RST	0x10	0x01	将所有寄存器复位至默认值
	0x20至0xFFF	用户自定义	水平、垂直、快门时序
STANDBY	0x00	0x04	AFE上电
TEST3	0xEA	0x60	将TEST3寄存器设置为所需值
OSC_RST	0x16	0x01	复位晶体振荡器电路
TGCORE_RSTB	0x15	0x01	复位内部时序内核
MASTER	0x20	0x01	配置主机模式
OUTCONTROL	0x11	0x01	SYNC之后使能所有输出
SYNCPOL	0x13	0x01	SYNC有效极性（仅用于软件同步）

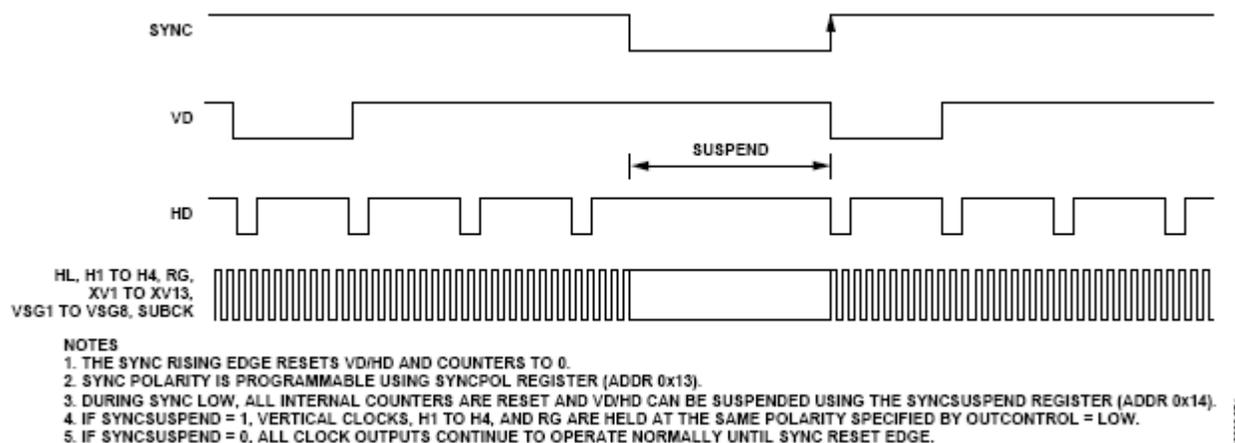


图76. AD9923A与外部时序同步的SYNC时序

在没有外部同步信号的情况下产生软件同步

如果没有外部同步脉冲可用，可以通过写入SYNCPOL寄存器（地址0x13）产生内部同步脉冲。如果使用的是软件SYNC选项，则SYNC输入（引脚35）在上电过程中应为低电平（VSS）。上电过程结束后，通过将SYNCENABLE寄存器（地址0x12）设置为低电平，可以使SYNC引脚用作输出。

上电之后，应遵循“主机模式的推荐上电序列”部分中所述的步骤1至步骤9。在步骤10中，不使用外部同步脉冲，而是将1写入SYNCPOL寄存器，以产生内部同步脉冲并开始时序操作。

主机模式操作中的SYNC

主机模式操作中的任何时候都可以使用SYNC输入，以使AD9923A计数器与外部时序同步，如图76所示。

要在SYNC操作中暂停数字输出操作，需将SYNCSPEND寄存器（地址0x14）置1。如果SYNCSPEND = 1，则输出的极性保持在与OUTCONTROL为低电平时相同的状态，如表43和表44所示。

从机模式中的上电和同步

除以下两项外，从机模式操作的上电过程与主机模式操作相同。

- 删除步骤8。不要将器件配置为主机模式时序。
- 从机模式不需要同步脉冲。将步骤10替换为启动外部VD和HD信号，从而同步器件，允许寄存器更新，并启动时序操作。

请注意，DCLK直到步骤7完成才开始进行跃迁。

当AD9923A处于从机模式时，VD/HD输入同步内部计数器。在VD的下降沿之后，HD的下降沿与内部水平计数器复位之间有34个主时钟沿（CLI）的延迟。复位操作如图77所示。

请注意，如果SHDLOC的设置未能达到SLI上升沿与内部SHD信号下降沿之间最短3 ns延迟的要求，则内部水平计数器可以在仅33个主时钟沿（CLI）之后复位。

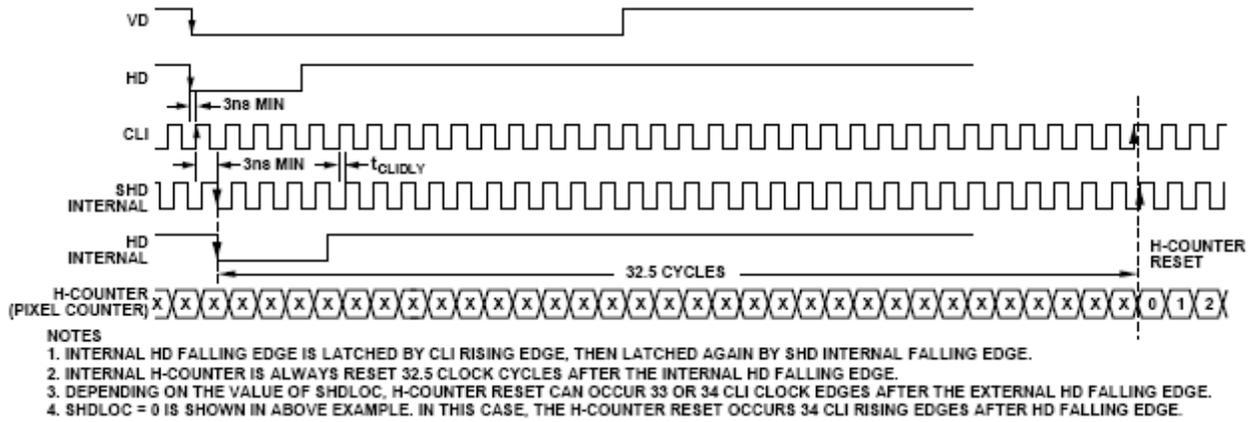


图77. 从机模式的外部VD/HD与内部水平计数器同步

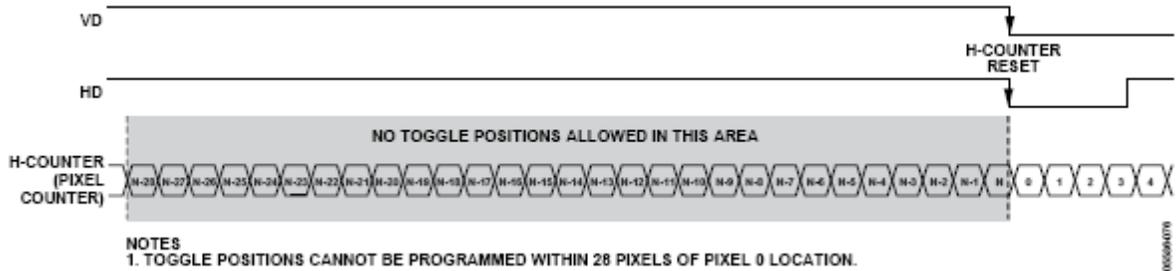


图78. 主机模式下的跳变位置抑制区域

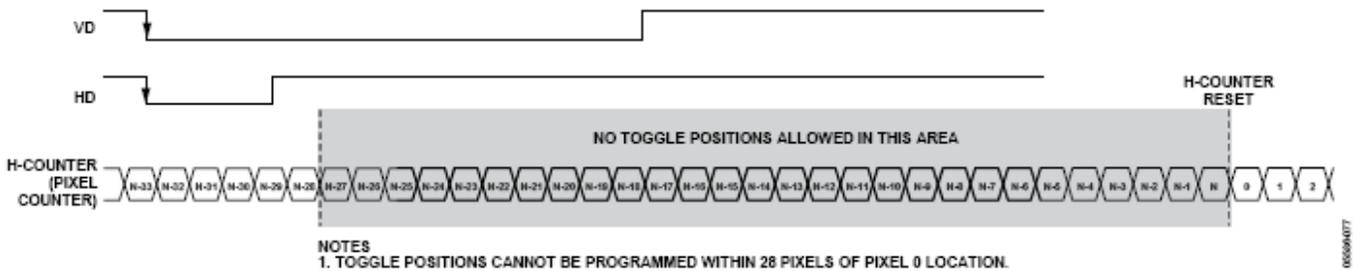


图79. 从机模式下的跳变位置抑制区域

计数器复位附近的垂直跳变位置放置

内部计数器复位期间，还需要考虑垂直跳变位置的放置。内部计数器复位之前有一个28像素的区间，在该区间不得设置跳变位置。

如图78所示，在主机模式下，HD下降沿之前的最后28个像素不应用于放置XV、VSG、SUBCK、HBLK、PBLK或CLPOB脉冲的跳变位置。

图79显示了针对从机模式的相同例子，其中也适用同样的限制规则，即不能使用计数器复位之前的最后28个像素。不过，由于计数器复位相对于VD/HD放置有延迟，因此抑制区域与主机模式下不同。

另外还建议不要将像素位置0用作VSG和SUBCK脉冲的跳变位置。

待机模式操作

AD9923A提供三种待机模式，用于优化各种应用的整体功耗。寄存器0x00的位[1:0]控制器件的掉电状态：

STANDBY[1:0] = 00 = 正常工作（全功耗）

STANDBY[1:0] = 01 = 待机模式1

STANDBY[1:0] = 2 = 待机模式2

STANDBY[1:0] = 3 = 待机模式3（最低功耗）

表43和表44总结了各种省电模式的工作信息。请注意，当OUTCONTROL = LO时，它在决定数字输出状态时优先于待机模式1和2，但待机模式3优先于OUTCONTROL。待机模式3的功耗最低，而且可以关断CLI与CLO之间的晶体振荡器电路。如果CLI和CLO与一个晶振一起来产生主时钟，则此电路关断后无时钟信号。器件从待机模式3回到正常工作模式时，应在写入STANDBY寄存器（位[1:0]，地址0x00）后至少500 μs才能复位时序内核，以便晶振电路有充足的时间完成建立。利用寄存器0xE2可以将垂直和快门输出设置为在待机模式3期间保持特定的值，详见表44。而利用寄存器0xF3可以将垂直输出设置为在OUTCONTROL为低电平时

或在待机模式1或2下保持特定的值。下面是当器件处于三种待机模式之一时，或者当OUTCONTROL为低电平时，这些寄存器中的各位到各种垂直和快门输出的映射规范。

- 确定输出极性时，待机模式3优先于OUTCONTROL。
- 这些极性假设OUTCONTROL为高电平，因为OUTCONTROL在处于低电平时优先于待机模式1和2。
- 待机模式1和2将H和RG驱动强度设置为最小值(4.3 mA)。
- 在从机模式下，无论器件处于何种待机模式或者OUTCONTROL状态，VD和HD都处于默认高阻态。

在上电期间，当垂直驱动器和CCD需要不同的极性以防止器件受损时，此特性很有用。

必须注意，当VDR_EN = 0 V时，无论STANDBY和OUTCONTROL寄存器值的状态如何，V1至V13都等于VM，SUBCK都等于VLL。

表43. 待机模式操作

I/O模块	待机模式3（默认） ^{1,2}	OUTCONTROL = 低 ²	待机模式2 ^{3,4}	待机模式1 ^{3,4}
AFE	关	无变化	关	仅REFT、REFB打开
时序内核	关	无变化	关	开
CLO振荡器	关	无变化	开	开
CLO	高	运行	运行	运行
HL	高阻态	低	低(4.3 mA)	低(4.3 mA)
H1	高阻态	低	低(4.3 mA)	低(4.3 mA)
H2	高阻态	高	高(4.3 mA)	高(4.3 mA)
H3	高阻态	低	低(4.3 mA)	低(4.3 mA)
H4	高阻态	高	高(4.3 mA)	高(4.3 mA)
RG	高阻态	低	低(4.3 mA)	低(4.3 mA)
VD ⁵	低	$\overline{\text{VDHDPOL}}$ 值	$\overline{\text{VDHDPOL}}$ 值	运行
HD	低	$\overline{\text{VDHDPOL}}$ 值	$\overline{\text{VDHDPOL}}$ 值	运行
DCLK	低	运行	低	运行
D0至D11	低	低	低	低

¹ 要退出待机模式3，请将00写入STANDBY（位[1:0]，地址0x00），然后在500 μs之后复位时序内核，以保证振荡器正确建立。

² 确定输出极性时，待机模式3优先于OUTCONTROL。

³ 这些极性假设OUTCONTROL为高电平，因为OUTCONTROL在处于低电平时优先于待机模式1和2。

⁴ 待机模式1和2将H和RG驱动强度设置为最小值(4.3 mA)。

⁵ 在从机模式下，无论待机模式或者OUTCONTROL状态如何，VD和HD都处于默认高阻态。

表44. 待机模式操作：垂直和快门输出

输出	待机模式3（默认） ^{1,2}	OUTCONTROL = 低	待机模式2 ^{3,4}	待机模式1 ^{3,4}
XV1	低	低	低	低
XV2	低	低	低	低
XV3	低	低	低	低
XV4	低	低	低	低
XV5	低	低	低	低
XV6	低	低	低	低
XV7	低	低	低	低
XV8	低	低	低	低
XV9	低	低	低	低
XV10	低	低	低	低
XV11	低	低	低	低
XV12	低	低	低	低
XV13	低	低	低	低
VSG1	低	高	高	高
VSG2	低	高	高	高
VSG3	低	高	高	高
VSG4	低	高	高	高
VSG5	低	高	高	高
VSG6	低	高	高	高
VSG7	低	高	高	高
VSG8	低	高	高	高
XSUBCK	低	高	高	高
VSUB ⁵	低	低	低	低
MSHUT ⁵	低	低	低	低
STROBE ⁵	低	低	低	低

¹当AD9923处于待机模式3时，垂直和快门输出的极性可以通过STANDBY3POL寄存器（地址0xE2，默认寄存器值为0x000000）进行设置。

²STANDBY3POL[23:0]寄存器（地址0xE2）的位分配：(MSB) STROBE、MSHUT、VSUB、XSUBCK、VSG8、VSG7、VSG6、VSG3、VSG5、VSG4、VSG2、VSG1、XV13、XV12、XV11、XV10、XV9、XV8、XV7、XV6、XV5、XV4、XV3、XV2和XV1 (LSB)。

³当AD9923处于待机模式1或2时，或者当OUTCONTROL为低电平时，垂直输出的极性可以通过STANDBY12POL寄存器（地址0xF3，默认寄存器值为0x3FE000）进行设置。

⁴STANDBY12POL[20:0]寄存器（地址0xF3）的位分配：(MSB) XSUBCK、VSG8、VSG7、VSG6、VSG3、VSG5、VSG4、VSG2、VSG1、XV13、XV12、XV11、XV10、XV9、XV8、XV7、XV6、XV5、XV4、XV3、XV2和XV1 (LSB)。

⁵当器件处于待机模式1或2时，或者当OUTCONTROL为低电平时，VSUB、MSHUT和STROBE极性由STANDBY3POL控制。

电路布局信息

AD9923A典型电路连接如图82所示。PCB布局对于利用AD9923A实现良好的图像质量至关重要。所有电源引脚（特别是AVDD、TCVDD、RGVDD和HVDD电源的引脚）必须采用高质量的高频芯片电容来对地去耦。

去耦电容应尽可能靠近电源引脚，并且通过极低阻抗路径连接到连续接地层。每个主电源（AVDD、HVDD和DRVDD）都应有一个至少4.7 μF 的旁路电容，但不是每个引脚都需要一个。在大多数应用中，RGVDD和HVDD共享电源更容易，此时每个电源引脚都需要单独进行旁路。DRVDD也可以使用独立的3 V电源，但应将其去耦至与芯片其余部分相同的接地层。DRVSS不宜使用独立的电源。

模拟旁路引脚（REFT和REFB）应小心对地去耦，并且去耦电容应尽可能靠近相应的引脚。模拟输入(CCDIN)电容也应靠近该引脚。

为避免信号产生过多失真，HL、H1至H4和RG走线的电感应非常低。为使互感最小，互补信号H1和H2的布线应尽可能对称并靠近。H3和H4信号也应如此。CCD对HL和H1至H4

有很大的瞬变电流要求，因此建议使用较重的PCB走线。如果可能，AD9923A应靠近CCD，以降低这些走线的电感。从AD9923A到CCD的布线应尽可能保持直线。

AD9923A还内置一个片内振荡器，用于驱动外部晶振。支持的最大晶振频率为36 MHz。图80显示了一个使用典型24 MHz晶振的应用示例。有关外部电阻和电容的确切值，请参见晶振制造商的数据手册。

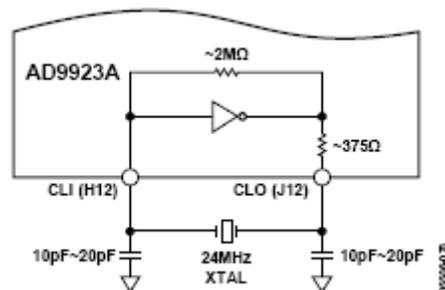


图80. 晶振驱动器应用

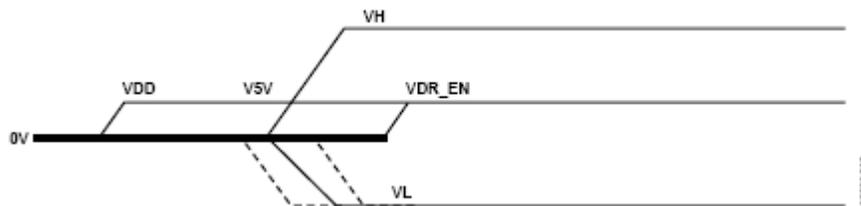


图81. AD9923A推荐上电序列

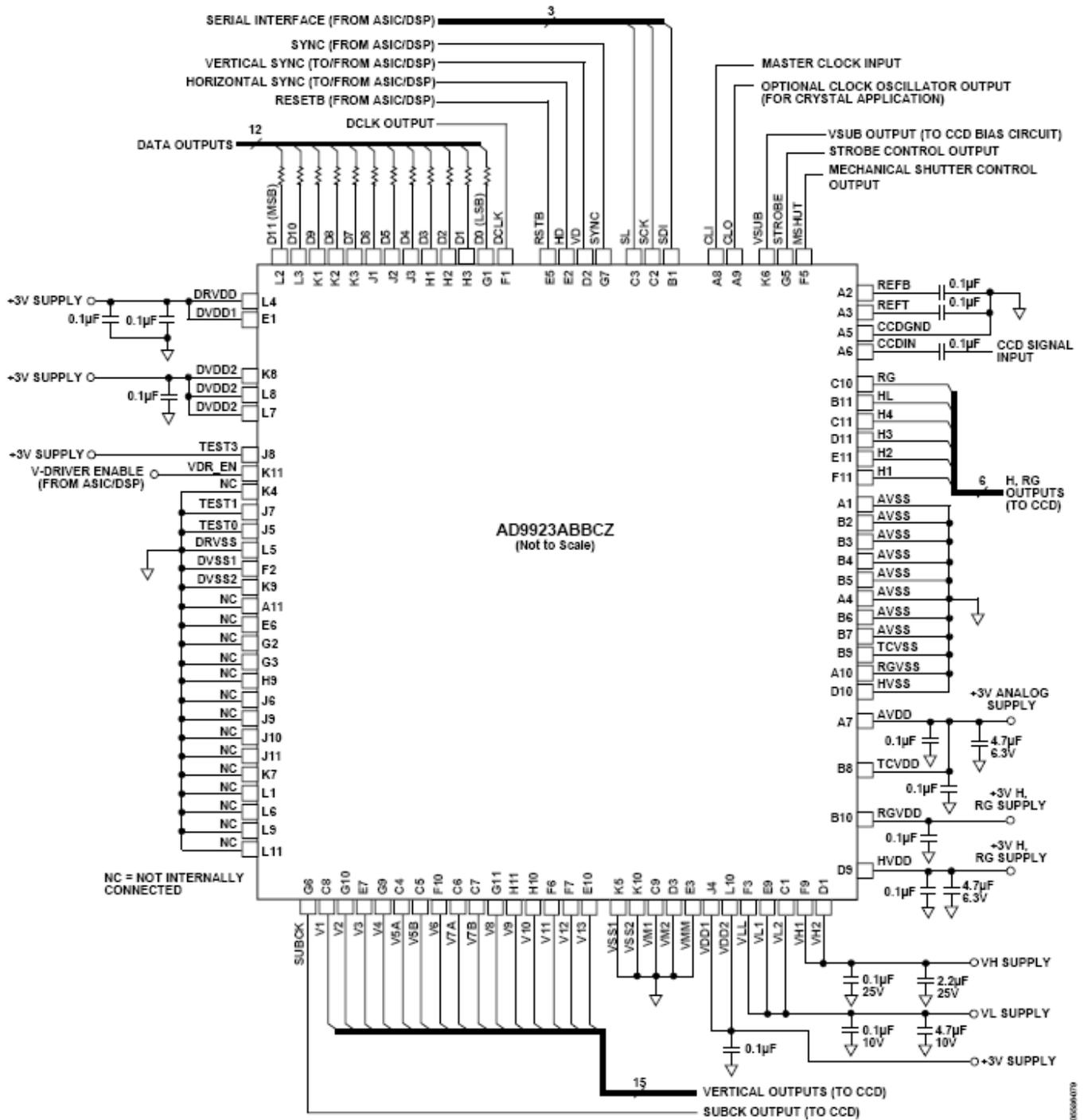
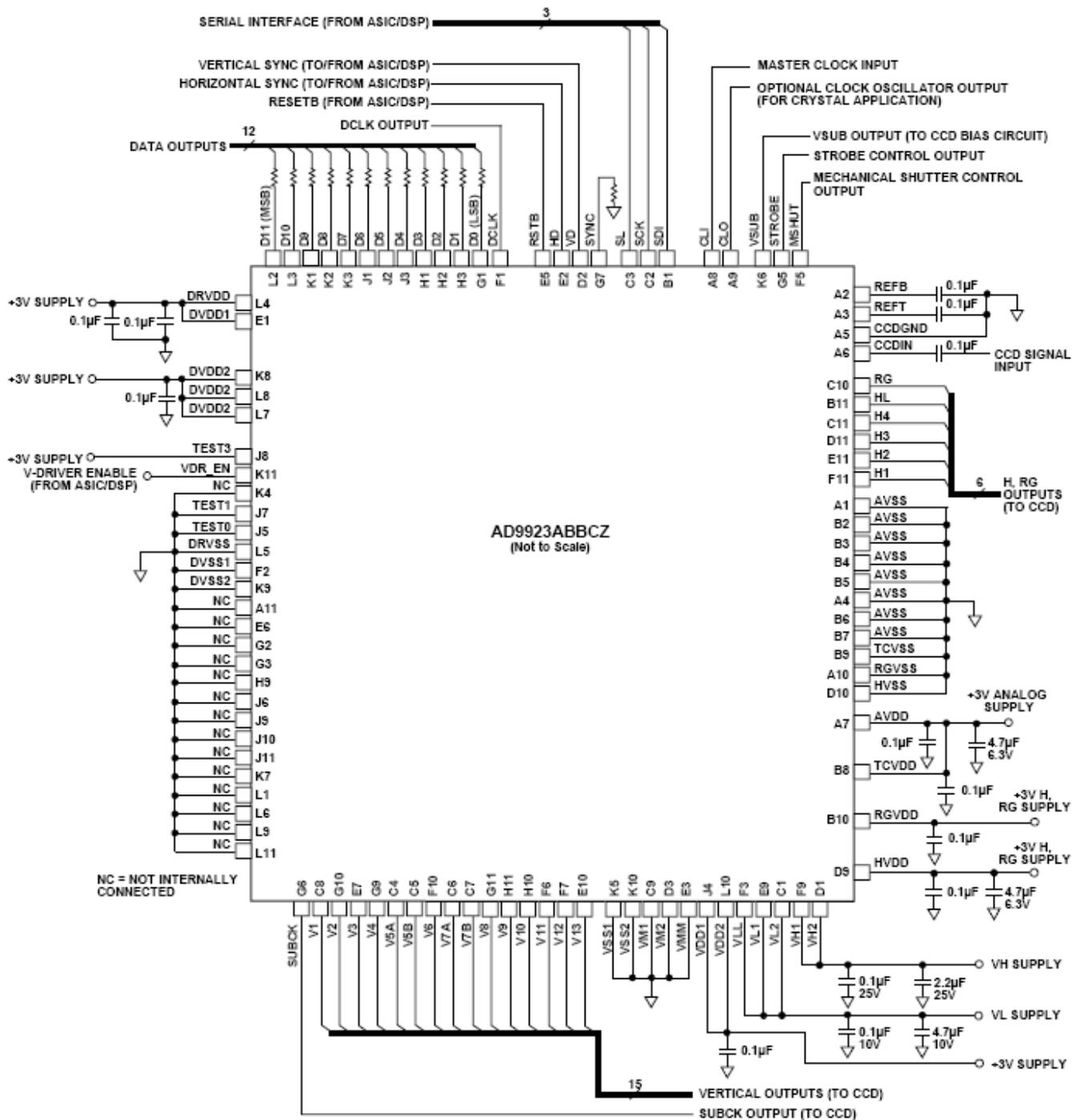


图82. AD9923ABBCZ使用外部硬件同步的典型电路配置

AD9923A



串行接口时序

AD9923A的所有内部寄存器均通过一个三线式串行接口进行访问。各寄存器由12位地址和28位数据字组成。地址和数据字的写入均以LSB开始。要写入各寄存器，需要40位操作，如图84所示。虽然许多数据字并没有28位宽，但每个寄存器都要求写入所有28位。例如，如果数据字只有20位宽，则高8位是无关位，在串行写入操作期间必须用0填充。如果写入的数据少于28位，

则寄存器不会用新数据进行更新。

图85显示了一种更有效的寄存器写入方法，它使用AD9923A的地址自动递增功能。采用这种方法时，首先写入所需的最低地址，然后写入多个28位数据字。每个数据字自动写入次高寄存器的地址。由于不需要写入各地址，因此寄存器加载速度更快。连续写操作可以从任何寄存器位置开始。

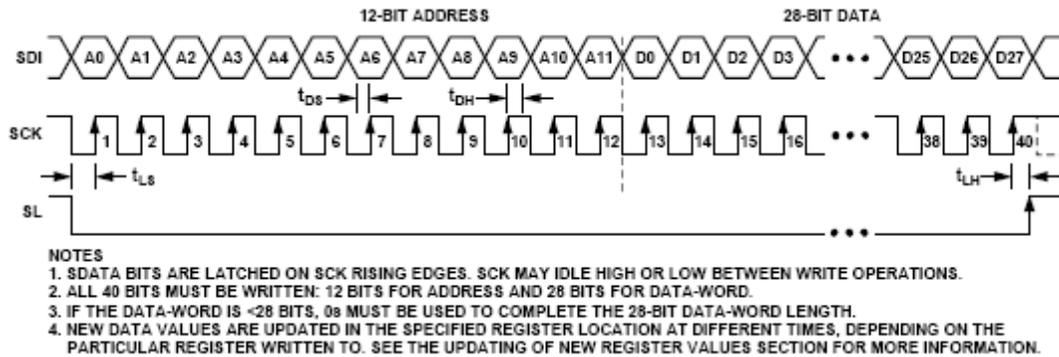


图84. 串行写入操作

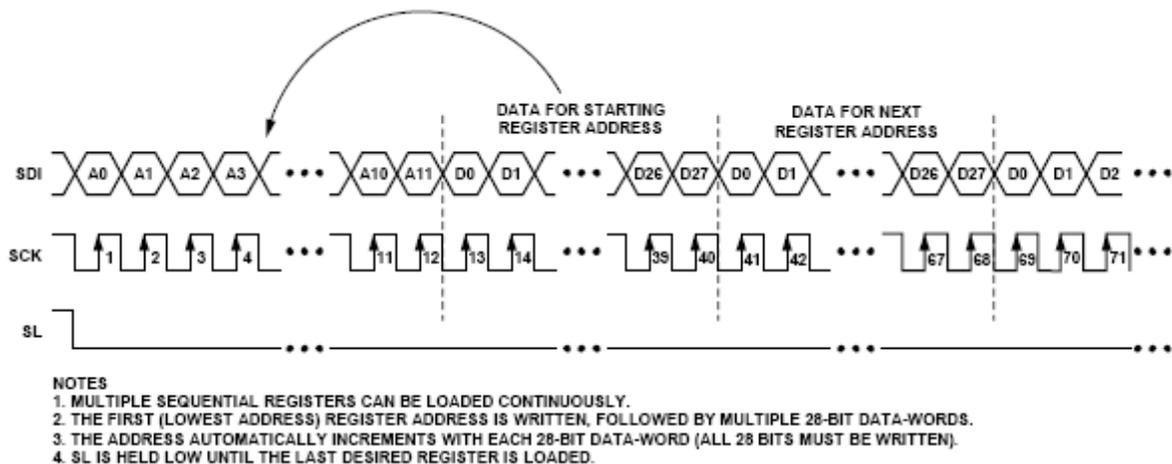


图85. 连续串行写入操作

内部寄存器布局

AD9923A地址空间分为两个寄存器区域，如图86所示。第一个区域为地址0x00至地址0x91，包含用于AFE、混项功能、VD/HD参数、时序内核、CLPOB掩蔽、SG图样、快门功能和存储器配置的寄存器。地址空间的第二个区域从地址0x400开始，包含用于垂直图样组、垂直序列和场的寄存器。这是一组可配置的寄存器；用户可以决定特定设计中使用多少垂直图样组、垂直序列和场。因此，这些寄存器的地址会因所选垂直图样和垂直序列的数量不同而改变。

寄存器0x90 (VPAT_NUM)和寄存器0x91 (VSEQ_NUM)指定所用垂直图样组和垂直序列的总数。垂直图样组的起始地址为0x400。垂直序列的起始地址基于所用垂直图样组的数量，每个垂直图样组占用40个寄存器地址。场寄存器的起始地址取决于垂直图样组的数量和垂直序列的数量。每个垂直序列占用20个寄存器地址，而每个场占用12个寄存器地址。

垂直序列的起始地址 = $0x400 + \text{垂直图样组数量} \times 40$ 。场的起始地址 = $\text{垂直序列的起始地址} + \text{垂直序列数量} \times 20$ 。VPAT、VSEQ和场寄存器必须占用连续的地址块。

图87显示了一个具有3个垂直图样组、4个垂直序列和2个场的示例。垂直图样组的起始地址为0x400。由于VPAT_NUM = 3，因此垂直图样组占用120个地址位置。垂直序列寄存器的起始地址为 $0x400 + 120 = 0x478$ 。由于VSEQ_NUM = 3，因此垂直序列占用60个地址位置，场寄存器的起始地址为 $0x448 + 60 = 0x4B4$ 。

AD9923A地址空间包含许多未使用的地址。不得向地址0x00与0x399之间的未定义地址写入数据，否则AD9923A可能出现异常。连续的寄存器写操作应小心执行，避免写入未定义的寄存器。

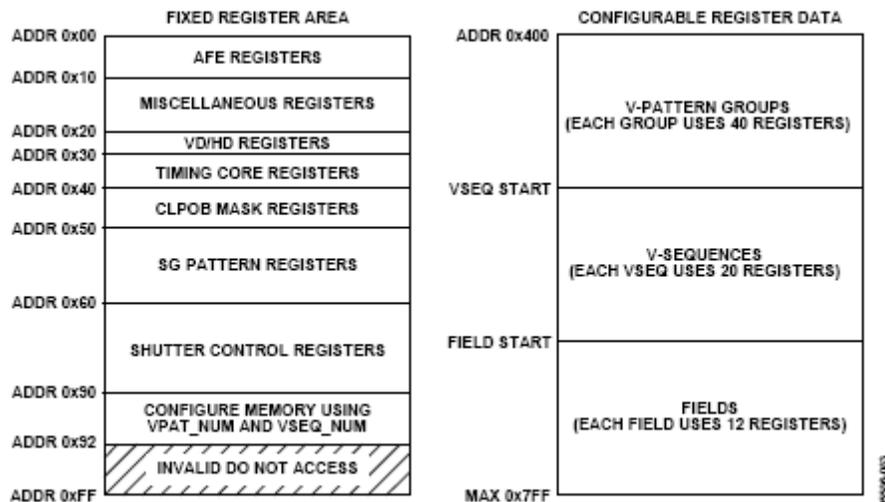


图86. AD9923A寄存器布局

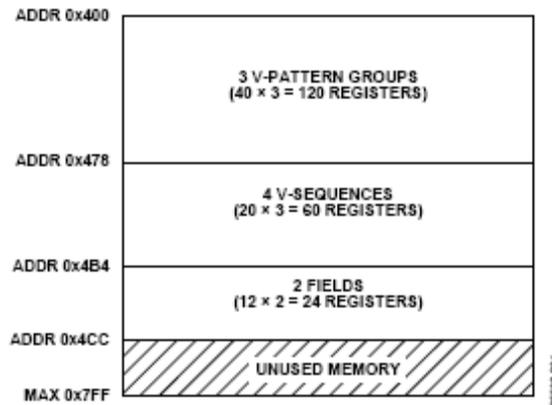


图87. 寄存器配置示例

更新新寄存器值

AD9923A内部寄存器在不同时间更新,具体时间依寄存器而定。表45总结了四种类型的寄存器更新信息。寄存器列表(表46至表58)还含有更新类型栏,用于明确各寄存器的更新时间:

- SCK更新: 一些寄存器在写入第28位数据(D27)时更新。这些寄存器用于上电和复位等不需要在下一VD边界才能选通的功能。
- VD更新: 许多寄存器都在下一个VD下降沿更新。由于在下一个VD边沿更新这些值,因此当前场不会被破坏,新寄存器值将被应用于下一个场。使用UPDATE寄存器(地址0x18)可以将VD更新进一步延迟到VD下降沿之后。这样可以将VD更新寄存器的更新延迟到场中任何所需的HD行。请注意,场寄存器不受UPDATE寄存器的影响。
- SG更新: 有几个快门寄存器是在SG有效行末尾的HD下降沿更新。这些寄存器控制SUBCK信号,因此SUBCK输出直到SG行完成时才更新。

- SCP更新: 所有垂直图样和垂直序列寄存器都在使用它们的下一个SCP更新。例如,在图88中,该场选择区间1使用垂直序列3来进行垂直输出,因此,垂直序列3或垂直图样组寄存器的写入数据(由垂直序列3引用)在SCP 1进行更新。如果对同一寄存器执行了多次写操作,则只会更新SCP1前写入的最后数据。同样,垂直序列5寄存器的写入数据在SCP 2更新,而垂直序列8寄存器的写入数据则在SCP 3处更新。

表45. 寄存器更新位置

更新类型	描述
SCK	寄存器在写入第28位数据(D27)时立即更新。
VD	寄存器在VD下降沿更新。使用UPDATE寄存器(地址0x18)可以进一步延迟VD更新寄存器的更新。场寄存器不受UPDATE寄存器的影响。
SG	寄存器是在SG有效行末尾的HD下降沿更新。
SCP	寄存器在使用该寄存器的下一个SCP更新。

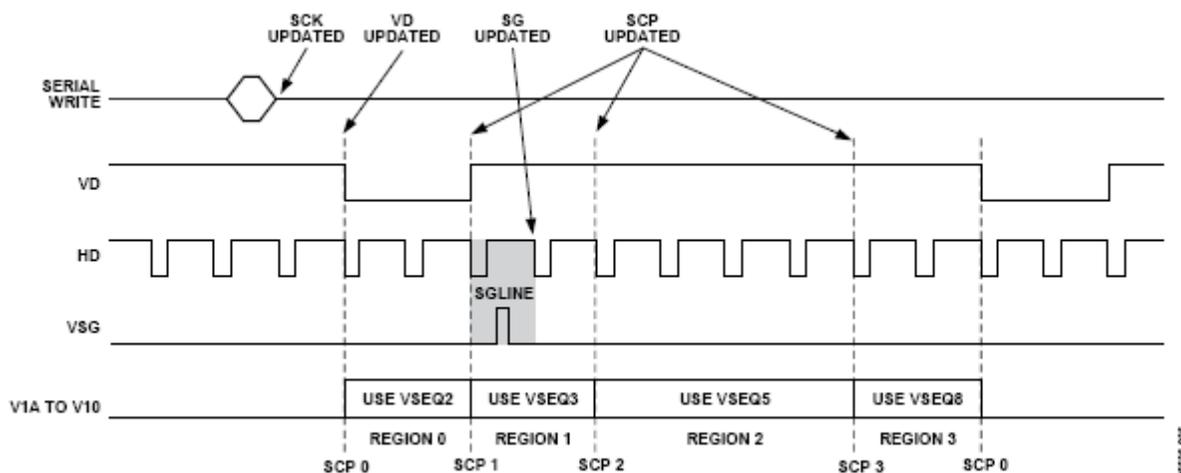


图88. 寄存器更新位置 (定义见表45)

AD9923A

完整的寄存器列表

当一个地址包含的数据位少于28位时，所有剩余的位必须用0填充。

表46. AFE寄存器

地址（十六进制）	数据位	默认值	更新类型	名称	描述
00	[1:0]	3	SCK	STANDBY	待机模式。 0: 正常工作。 1: 待机模式1。 2: 待机模式2。 3: 待机模式3。
	[2]	1		CLPENABLE	0: 禁用OB箝位。 1: 使能OB箝位。
	[3]	0		CLPSPEED	0: 选择正常OB箝位建立。 1: 选择快速OB箝位建立。
	[4]	0		FASTUPDATE	0: 忽略VGA更新。 1: 当VGA更新时快速箝位。
	[5]	0		PBLK_LVL	0: PBLK期间将数据输出消隐为0。 1: PBLK期间将数据输出消隐为设定的箝位电平。
	[6]	0		DCBYP	0: PBLK期间使能输入直流复位电路。 1: PBLK期间禁用输入直流复位电路。
	[15:11]	0		XSUBCNT_MUX	选择要用于XSUBCNT信号的内部信号。 0: 将XV6指定给XSUBCNT。 1: 将XV8指定给XSUBCNT。 2: 将XV9指定给XSUBCNT。 3: 将XV10指定给XSUBCNT。 4: 将VSG5指定给XSUBCNT。 5: 将VSG6指定给XSUBCNT。 6: 将VSG7指定给XSUBCNT。 7: 将VSG8指定给XSUBCNT。 8: 将VSG2指定给XSUBCNT。 9: 将VSG3指定给XSUBCNT。 10: 将VSG4指定给XSUBCNT。 11: 将VSG1指定给XSUBCNT。 12: 将XV13指定给XSUBCNT。 13: 将VSUB指定给XSUBCNT。 14: 将MSHUT指定给XSUBCNT。 15: 将STROBE指定给XSUBCNT。 16: 将XV1指定给XSUBCNT。 17: 将XV2指定给XSUBCNT。 18: 将XV3指定给XSUBCNT。 19: 将XV4指定给XSUBCNT。 20: 将XV5指定给XSUBCNT。 21: 将XV7指定给XSUBCNT。 22: 将XV11指定给XSUBCNT。 23: 将XV12指定给XSUBCNT。 24: 将SHUT0指定给XSUBCNT。 25: 将SHUT1指定给XSUBCNT。 26: 将SHUT2指定给XSUBCNT。 27: 将SHUT3指定给XSUBCNT。 28: 将FG_TRIG指定给XSUBCNT。 29: 无效设置。 30: XSUBCNT连接到高电平。 31: XSUBCNT连接到低电平。

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
01	[0]	0	SCK	DOUTDISABLE	0: 驱动数据输出。 1: 数据输出为三态。
	[1]	0		DOUTLATCH	0: 使用DOUTPHASE寄存器设置锁存数据输出。 1: 输出锁存为透明。
	[2]	0		GRAYEN	0: ADC数字输出数据采用直接二进制编码。 1: ADC数字输出数据采用格雷编码。
	[3]	1		TEST	置1。
04	[1:0]	1	VD	CDSGAIN	CDS增益设置。 0: -3 dB。 1: 0 dB。 2: +3 dB。 3: +6 dB。
05	[9:0]	F	VD	VGAGAIN	VGA增益。6 dB至42 dB (步进为0.035 dB)。
06	[9:0]	1EC	VD	CLAMPLEVEL	光学黑色箝位电平。0 LSB至256 LSB (步进为0.25 LSB)。

AD9923A

表47. 杂项寄存器

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
10	[0]	0	SCK	SW_RST	软件复位。位复位至0。 1: 将寄存器0x00至寄存器0x91复位至默认值。
11	[0]	0	VD	OUTCONTROL	0: 使所有直流输出无效。 1: 在下一VD边沿使能输出。
12	[0] [7:1] [9:8]	1 0 0	SCK	SYNCENABLE TEST OUTPUTPBLK	0: 将Ball G7配置为输出信号, 由寄存器0x12的位[9:8]决定。 1: 外部同步使能 (将Ball G7配置为SYNC输入)。 仅限测试模式。必须置0。 当SYNCENABLE = 0时, 选择要通过SYNC引脚输出的信号。 0: CLPOB。 1: PBLK。 2: GPO (来自寄存器0x1A)。 3: TESTOUT (来自快门寄存器)。
13	[0]	0	SCK	SYNCPOL	SYNC有效极性。 0: 低电平有效。 1: 高电平有效。
14	[0]	0	SCK	SYNCSUSPEND	在SYNC有效脉冲冲期间暂停时钟。 0: 不暂停。 1: 暂停。
15	[0]	0	SCK	TGCORE_RSTB	时序内核复位信号。 0: 复位TG内核。 1: 恢复操作。
16	[0]	0	SCK	OSC_RST	CLO振荡器复位。 0: 振荡器处于掉电状态。 1: 恢复振荡器操作。
17	[7:0] [8]	0 0	SCK	TEST1 TEST2	仅限测试模式。必须置0。 仅限测试模式。必须置0。
18	[11:0]	0	VD	UPDATE	串行更新行。设置场内的HD行, 以更新VD更新寄存器。
19	[0]	0	SCK	PREVENTUP	阻止VD更新寄存器更新。 0: 正常更新。 1: 阻止VD更新寄存器更新。
1A	[0]	0	VD	GPO	当SYNCENABLE = 0且OUTPUTPBLK = 2时的通用输出(GPO)值。 0: GPO在下一VD边沿为低电平。 1: GPO在下一VD边沿为高电平。

表48. VD/HD寄存器

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
20	[0]	0	SCK	MASTER	VD/HD主机或从机模式。 0: 从机模式。 1: 主机模式。
21	[0]	0	SCK	VDHDPOL	VD/HD有效极性。 0: 低电平。 1: 高电平。
22	[12:0] [24:13]	0 0	VD	HDRISE VDRISE	HD的上升沿位置。 VD的上升沿位置。

表49. 时序内核寄存器

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
30	[0]	0	SCK	CLIDIVIDE	CLI输入频率2分频。 0: 不分频。 1: 2分频。
31	[5:0] [13:8] [16]	0 20 1	SCK	H1POSLOC H1NEGLOC H1H2POL	H1上升沿位置。 H1下降沿位置。 H1/H2极性控制。 0: 与图18所示约定相反。 1: 不反向。
32	[5:0] [13:8] [16]	0 20 1	SCK	H3POSLOC H3NEGLOC H3H4POL	H3上升沿位置。 H3下降沿位置。 H3/H4极性控制。 0: 与图18所示约定相反。 1: 不反向。
33	[5:0] [13:8] [16]	0 20 1	SCK	HLPOSLOC HLNEGLOC HLPOL	HL上升沿位置。 HL下降沿位置。 HL极性控制。 0: 与图18所示约定相反。 1: 不反向。
34	[5:0] [13:8] [16]	0 10 1	SCK	RGPOSLOC RGNEGLOC RGPOL	RG上升沿位置。 RG下降沿位置。 RG极性控制。 0: 与图18所示约定相反。 1: 不反向。
35	[0] [1] [2] [3] [6:4]	0 0 0 0 0	VD	H1H2RETIME H3H4RETIME HLRETIME HLHBLKEN HBLKWIDTH	将H1/H2的HBLK重新定时为内部H1时钟。首选设置为1, 它使HBLK跳变位置增加一个周期的延迟。 0: 不重新定时。 1: 重新定时。 将H3/H4的HBLK重新定时为内部H3时钟。 将HL的HBLK重新定时为内部HL时钟。 使能HL输出的HBLK。 0: 禁用。 1: 使能。 在HBLK期间控制H1至H4的宽度, 将其设置为像素速率的一部分。 0: 频率与像素速率相同。 1: 1/2像素频率, 即H1至H4脉冲宽度加倍。 2: 1/4像素频率。 3: 1/6像素频率。 4: 1/8像素频率。 5: 1/10像素频率。 6: 1/12像素频率。 7: 1/14像素频率。
36	[3:0]	1	SCK	H1DRV	H1驱动强度。 0: 关。 1: 4.3 mA。 2: 8.6 mA。 3: 12.9 mA。 4: 17.2 mA。 5: 21.5 mA。 6: 25.8 mA。 7: 30.1 mA。

AD9923A

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
	[7:4] [11:8] [15:12] [19:16] [23:20]	1 1 1 1 1		H2DRV H3DRV H4DRV HLDRV RGDRV	H2驱动强度。 H3驱动强度。 H4驱动强度。 HL驱动强度。 RG驱动强度。
37	[5:0] [13:8]	24 0	SCK	SHPLOC SHDLOC	SHP采样位置。 SHD采样位置。
38	[5:0] [7:6] [8] [10:9] [11]	0 0 0 2 0	SCK	DOUTPHASE 不用 DCLKMODE DOUTDELAY DCLKINV	DOUT (内部信号) 相位控制。 必须置0。 DCLK模式。 0: DCLK跟踪DOUT相位。 1: DCLK相位固定。 相对于DCLK上升沿的数据输出延迟(t_{OD})。 0: 无延迟。 1: ~4 ns。 2: ~8 ns。 3: ~12 ns。 DCLK输出反向。 0: 不反向。 1: DCLK反向。

表50. CLPOB和PBLK掩蔽寄存器

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
40	[11:0] [12] [24:13]	FFF 0 FFF	VD	CLPOBMASKSTART1 不用 CLPOBMASKEND1	CLPOB掩蔽起始行1。 必须置0。 CLPOB掩蔽结束行1。
41	[11:0] [12] [24:13]	FFF 0 FFF	VD	CLPOBMASKSTART2 不用 CLPOBMASKEND2	CLPOB掩蔽起始行2。 必须置0。 CLPOB掩蔽结束行2。
42	[11:0] [12] [24:13]	FFF 0 FFF	VD	CLPOBMASKSTART3 不用 CLPOBMASKEND3	CLPOB掩蔽起始行3。 必须置0。 CLPOB掩蔽结束行3。
43	[11:0] [12] [24:13]	FFF 0 FFF	VD	PBLKMASKSTART1 不用 PBLKMASKEND1	PBLK掩蔽起始行1。 必须置0。 PBLK掩蔽结束行1。
44	[11:0] [12] [24:13]	FFF 0 FFF	VD	PBLKMASKSTART12 不用 PBLKMASKEND2	PBLK掩蔽起始行2。 必须置0。 PBLK掩蔽结束行2。
45	[11:0] [12] [24:13]	FFF 0 FFF	VD	PBLKMASKSTART3 不用 PBLKMASKEND3	PBLK掩蔽起始行3。 必须置0。 PBLK掩蔽结束行3。

表51. SG图样寄存器

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
50	[0]	1	VD	SGPOL_0	SGPattern 0的起始极性。 0: 低电平。 1: 高电平。
	[1]	1		SGPOL_1	SGPattern 1的起始极性。
	[2]	1		SGPOL_2	SGPattern 2的起始极性。
	[3]	1		SGPOL_3	SGPattern 3的起始极性。
	[4]	1		SGPOL_4	SGPattern 4的起始极性。
	[5]	1		SGPOL_5	SGPattern 5的起始极性。
	[6]	1		SGPOL_6	SGPattern 6的起始极性。
	[7]	1		SGPOL_7	SGPattern 7的起始极性。
51	[12:0]	1FFF	VD	SGTOG1_0	图样0。跳变位置1。
	[25:13]	1FFF		SGTOG2_0	图样0。跳变位置2。
52	[12:0]	1FFF	VD	SGTOG1_1	图样1。跳变位置1。
	[25:13]	1FFF		SGTOG2_1	图样1。跳变位置2。
53	[12:0]	1FFF	VD	SGTOG1_2	图样2。跳变位置1。
	[25:13]	1FFF		SGTOG2_2	图样2。跳变位置2。
54	[12:0]	1FFF	VD	SGTOG1_3	图样3。跳变位置1。
	[25:13]	1FFF		SGTOG2_3	图样3。跳变位置2。
55	[12:0]	1FFF	VD	SGTOG1_4	图样4。跳变位置1。
	[25:13]	1FFF		SGTOG2_4	图样4。跳变位置2。
56	[12:0]	1FFF	VD	SGTOG1_5	图样5。跳变位置1。
	[25:13]	1FFF		SGTOG2_5	图样5。跳变位置2。
57	[12:0]	1FFF	VD	SGTOG1_6	图样6。跳变位置1。
	[25:13]	1FFF		SGTOG2_6	图样6。跳变位置2。
58	[12:0]	1FFF	VD	SGTOG1_7	图样7。跳变位置1。
	[25:13]	1FFF		SGTOG2_7	图样7。跳变位置2。
59	[7:0]	0	SCK	SGMASK_BYP	SGMASK覆盖。这些值覆盖场寄存器中的VSG掩蔽值。 SGMASK覆盖使能。要使能覆盖必须置1。
	[8]	0	SCK	SGMASK_BYP_EN	

AD9923A

表52. 快门控制寄存器

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
60	[2:0]	0	VD	VSUB_CTRL	选择要用于VSUB输出引脚的内部信号。 0: 使用SHUT0参数 (寄存器0x06D至寄存器0x071)。 1: 使用SHUT1参数 (寄存器0x072至寄存器0x076)。 2: 使用SHUT2参数 (寄存器0x077至寄存器0x07B)。 3: 使用SHUT3参数 (寄存器0x07C至寄存器0x080)。 4: 使用VSUB0_MUX输出。 5: 使用VSUB1_MUX输出。 6: 无效设置。 7: 使用SHUT1_SHUT2_MUX输出。 关于VSUB0_MUX、VSUB1_MUX和SHUT1_SHUT2_MUX, 参见寄存器0xEB的位[15,13:12]。
	[5:3]	1		MSHUT_CTRL	选择要用于MSHUT输出引脚的内部信号。 0: 使用SHUT0参数。 1: 使用SHUT1参数。 2: 使用SHUT2参数。 3: 使用SHUT3参数。 4: 使用VSUB0_MUX输出。 5: 使用VSUB1_MUX输出。 6: 无效设置。 7: 使用SHUT1_SHUT2_MUX输出。 关于VSUB0_MUX、VSUB1_MUX和SHUT1_SHUT2_MUX, 参见寄存器0xEB的位[15,13:12]。
	[8:6]	2		STROBE_CTRL	选择要用于STROBE输出引脚的内部信号。 0: 使用SHUT0参数。 1: 使用SHUT1参数。 2: 使用SHUT2参数。 3: 使用SHUT3参数。 4: 使用VSUB0_MUX输出。 5: 使用VSUB1_MUX输出。 6: 无效设置。 7: 使用SHUT1_SHUT2_MUX输出。 关于VSUB0_MUX、VSUB1_MUX和SHUT1_SHUT2_MUX, 参见寄存器0xEB的位[15,13:12]。
	[11:9]	3		TESTO_CTRL	选择要用于TESTO信号的内部信号。 0: 使用SHUT0参数。 1: 使用SHUT1参数。 2: 使用SHUT2参数。 3: 使用SHUT3参数。 4: 使用VSUB0_MUX输出。 5: 使用VSUB1_MUX输出。 6: 无效设置。 7: 使用SHUT1_SHUT2_MUX输出。 关于VSUB0_MUX、VSUB1_MUX和SHUT1_SHUT2_MUX, 参见寄存器0xEB的位[15,13:12]。
61	[7:0]	0	VD	TRIGGER	曝光/读取操作的触发信号。高电平触发。 [0]: SHUT0。 [1]: SHUT1。 [2]: SHUT2。 [3]: SHUT3。 [4]: VSUB0。 [5]: VSUB1。

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
					[6]: EXPOSURE。 [7]: READOUT。 请注意, 当EXPOSURE和READOUT一起触发时, READOUT会在曝光完成后立即发生。
62	[2:0]	2	VD	READOUTNUM	READOUT期间抑制SUBCK脉冲的场数。
63	[11:0] [12]	0 0	VD	EXPOSURENUM VDHDOFF	曝光期间抑制SUBCK和VSG脉冲的场数。 曝光期间禁用VD和HD。 0: 使能。 1: 禁用。
64	[11:0] [23:12]	0 0	SG	SUBSUPPRESS SUBCKNUM	VSG行之后抑制的SUBCK脉冲数。 每场的SUBCK脉冲数。
65	[1:0]	0	SG	SUBCKMASK	SUBCK输出的额外掩蔽。 0: 无掩蔽。 1: 在VD边沿开始掩蔽。 2: 使用内部SHUT3信号掩蔽。 3: 同1和2 (1优先)。
66	[0]	1	SG	SUBCKPOL	SUBCK脉冲起始极性。
67	[12:0] [25:13]	1FFF 1FFF	SG	SUBCK1TOG1 SUBCK1TOG2	第一SUBCK脉冲跳变位置1。 第一SUBCK脉冲跳变位置2。
68	[12:0] [25:13]	1FFF 1FFF	SG	SUBCK2TOG1 SUBCK2TOG2	第二SUBCK脉冲跳变位置1。 第二SUBCK脉冲跳变位置2。
69	[0] [1]	0 0	VD	VSUB0_MODE VSUB0_KEEPPON	VSUB0读取模式。 0: 模式0。 1: 模式1。 VSUB0保持打开模式。 0: 在READOUT之后或下一VD关闭VUB0。 1: 在READOUT之后仍然保持VSUB0有效, 直到复位至0。
6A	[11:0] [12] [13]	0 0 1	VD	VSUB0_ON 不用 VSUB0POL	VSUB0打开位置。 必须置0。 VSUB0起始极性。
6B	[0] [1]	0 0	VD	VSUB1_MODE VSUB1_KEEPPON	VSUB1读取模式。 0: 模式0。 1: 模式1。 VSUB1保持打开模式。 1: 在读取之后仍然保持VSUB1有效。
6C	[11:0] [12] [13]	0 0 1	VD	VSUB1_ON 不用 VSUB1POL	VSUB1打开位置。 必须置0。 VSUB1起始极性。
6D	[0] [1] [2]	0 1 0	VD	SHUT0_ON SHUT0POL SHUT0_MAN	SHUT0手动信号控制。 0: 关。 1: 开。 SHUT0有效极性。1: 打开状态产生高电平输出。 SHUT0手动控制使能。 0: 禁用。 1: 使能手动控制。
6E	[11:0]	0	VD	SHUT0_ON_FD	SHUT0场打开位置。手动或非快门模式下忽略。
6F	[11:0] [12] [25:13]	0 0 0	VD VD	SHUT0_ON_LN 不用 SHUT0_ON_PX	SHUT0行打开位置。 必须置0。 SHUT0像素打开位置。
70	[11:0]	0	VD	SHUT0_OFF_FD	SHUT0场关闭位置。手动或非快门模式下忽略。

AD9923A

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
71	[11:0] [12] [25:13]	0 0 0	VD VD	SHUT0_OFF_LN 不用 SHUT0_OFF_PX	SHUT0行关闭位置。 必须置0。 SHUT0像素关闭位置。
72	[0] [1] [2]	0 1 0	VD	SHUT1_ON SHUT1POL SHUT1_MAN	SHUT1手动信号控制。 0: 关。 1: 开。 SHUT1有效极性。1 = 打开状态产生高电平输出。 SHUT1手动控制使能。 0: 禁用。 1: 使能手动控制。
73	[11:0]	0	VD	SHUT1_ON_FD	SHUT1场打开位置。手动或非快门模式下忽略。
74	[11:0] [12] [25:13]	0 0 0	VD VD	SHUT1_ON_LN 不用 SHUT1_ON_PX	SHUT1行打开位置。 必须置0。 SHUT1像素打开位置。
75	[11:0]	0	VD	SHUT1_OFF_FD	SHUT1场关闭位置。手动或非快门模式下忽略。
76	[11:0] [12] [25:13]	0 0 0	VD VD	SHUT1_OFF_LN 不用 SHUT1_OFF_PX	SHUT1行关闭位置。 必须置0。 SHUT1像素关闭位置。
77	[0] [1] [2]	0 1 0	VD	SHUT2_ON SHUT2POL SHUT2_MAN	SHUT2手动信号控制。 0: 关。 1: 开。 SHUT2有效极性。1: 打开状态产生高电平输出。 SHUT2手动控制使能。 0: 禁用。 1: 使能手动控制。
78	[11:0]	0	VD	SHUT2_ON_FD	SHUT2场打开位置。手动或非快门模式下忽略。
79	[11:0] [12] [25:13]	0 0 0	VD VD	SHUT2_ON_LN 不用 SHUT2_ON_PX	SHUT2行打开位置。 必须置0。 SHUT2像素打开位置。
7A	[11:0]	0	VD	SHUT2_OFF_FD	SHUT2场关闭位置。手动或非快门模式下忽略。
7B	[11:0] [12] [25:13]	0 0 0	VD VD	SHUT2_OFF_LN 不用 SHUT2_OFF_PX	SHUT2行关闭位置。 必须置0。 SHUT2像素关闭位置。
7C	[0] [1] [2]	0 1 0	VD	SHUT3_ON SHUT3POL SHUT3_MAN	SHUT3手动信号控制。 0: 关。 1: 开。 SHUT3有效极性。1: 打开状态产生高电平输出。 SHUT3手动控制使能。 0: 禁用。 1: 使能手动控制。
7D	[11:0]	0	VD	SHUT3_ON_FD	SHUT3场打开位置。手动或非快门模式下忽略。
7E	[11:0] [12] [25:13]	0 0 0	VD VD	SHUT3_ON_LN 不用 SHUT3_ON_PX	SHUT3行打开位置。 必须置0。 SHUT3像素打开位置。
7F	[11:0]	0	VD	SHUT3_OFF_FD	SHUT3场关闭位置。手动或非快门模式下忽略。
80	[11:0] [12] [25:13]	0 0 0	VD VD	SHUT3_OFF_LN 不用 SHUT3_OFF_PX	SHUT3行关闭位置。 必须置0。 SHUT3像素关闭位置。

表53. 存储器配置寄存器

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
90	[4:0]	0	VD	VPAT_NUM	垂直图样组总数。
91	[4:0]	0	VD	VSEQ_NUM	垂直序列总数。

表54. 待机极性、快门多路复用和FG_TRIG寄存器

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
E2	[24:0]	0	SCK	STANDBY3POL	待机模式3期间垂直和快门输出的可编程极性。 [0] = XV1极性。 [1] = XV2极性。 [2] = XV3极性。 [3] = XV4极性。 [4] = XV5极性。 [5] = XV6极性。 [6] = XV7极性。 [7] = XV8极性。 [8] = XV9极性。 [9] = XV10极性。 [10] = XV11极性。 [11] = XV12极性。 [12] = XV13极性。 [13] = VSG1极性。 [14] = VSG2极性。 [15] = VSG3极性。 [16] = VSG4极性。 [17] = VSG5极性。 [18] = VSG6极性。 [19] = VSG7极性。 [20] = VSG8极性。 [21] = XSUBCK极性。 [22] = VSUB极性。 注意：控制待机模式1、2、3或当OUTCONTROL为低电平时的极性。 [23] = MSHUT极性。 注意：控制待机模式1、2、3或当OUTCONTROL为低电平时的极性。 [24] = STROBE极性。 注意：控制待机模式1、2、3或当OUTCONTROL为低电平时的极性。
E6	[0]	0	SCK	VCNT_RUN	0: 计数器行为与AD9923在扫描区间相同。 1: 使能扫描区间最后一次重复之后的额外跳变。
EA	[9:0]	0	SCK	TEST3	必需的启动寄存器；必须设置为0x60。
EB	[11:0] [12] [13] [14] [15]	300 0 0 0 0	SCK SCK SCK SCK SCK	TEST4 VSUB0_MUX VSUB1_MUX TEST5 SHUT1_SHUT2_MUX	测试寄存器。 0: 使用VSUB0；1: 使用SHUT0 ^ VSUB0。 0: 使用VSUB1；1: 使用SHUT0 ^ VSUB1。 测试寄存器。置0。 0: 使用SHUT0 ^ SHUT1。 1: 使用SHUT0 ^ SHUT2。
F1	[3:0]	0	SCK	FG_TRIGEN	FG_TRIG操作使能和场计数选择。 [2:0]选择脉冲的场计数（根据模式场计数器）。 [3] = 1时使能FG_TRIG信号输出。

AD9923A

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
F3	[21:0]	3FE000	SCK	STANDBY12POL	<p>待机模式1、2或当OUTCONTROL为低电平时垂直输出和XSUBCK的可编程极性。</p> <p>[0] = XV1极性。 [1] = XV2极性。 [2] = XV3极性。 [3] = XV4极性。 [4] = XV5极性。 [5] = XV6极性。 [6] = XV7极性。 [7] = XV8极性。 [8] = XV9极性。 [9] = XV10极性。 [10] = XV11极性。 [11] = XV12极性。 [12] = XV13极性。 [13] = VSG1极性。 [14] = VSG2极性。 [15] = VSG3极性。 [16] = VSG4极性。 [17] = VSG5极性。 [18] = VSG6极性。 [19] = VSG7极性。 [20] = VSG8极性。 [21] = XSUBCK极性。</p>

表55. 模式寄存器: VD更新

地址 (二进制)	数据位	默认值	描述
12b10_xx_xxxx_xxxx (A11, A10 = 10)	[37:0] [37:35] [34:30] [29:25] [24:20] [19:15] [14:10] [9:5] [4:0]	0	A11、A10设置为10；其余位A9至A0用作D37:D28。 场数（最多7个）。 场7的选定场。 场6的选定场。 场5的选定场。 场4的选定场。 场3的选定场。 场2的选定场。 场1的选定场。

未使用XV通道的跳变位置必须设置为最大值。例如，如果使用的是XV1至XV8，则XV9至XV12的所有跳变位置都必须设置为最大值，以防产生不可预测的结果，因为默认值是未知的。

表56. 垂直图样组0 (VPAT0)寄存器

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
00	[12:0] [25:13]	未定义 未定义	SCP	XV1TOG1 XV1TOG2	XV1跳变位置1。 XV1跳变位置2。
01	[12:0] [25:13]	未定义 未定义	SCP	XV1TOG3 XV1TOG4	XV1跳变位置3。 XV1跳变位置4。
02	[12:0] [25:13]	未定义 未定义	SCP	XV2TOG1 XV2TOG2	XV2跳变位置1。 XV2跳变位置2。
03	[12:0] [25:13]	未定义 未定义	SCP	XV2TOG3 XV2TOG4	XV2跳变位置3。 XV2跳变位置4。
04	[12:0] [25:13]	未定义 未定义	SCP	XV3TOG1 XV3TOG2	XV3跳变位置1。 XV3跳变位置2。
05	[12:0] [25:13]	未定义 未定义	SCP	XV3TOG3 XV3TOG4	XV3跳变位置3。 XV3跳变位置4。
06	[12:0] [25:13]	未定义 未定义	SCP	XV4TOG1 XV4TOG2	XV4跳变位置1。 XV4跳变位置2。
07	[12:0] [25:13]	未定义 未定义	SCP	XV4TOG3 XV4TOG4	XV4跳变位置3。 XV4跳变位置4。
08	[12:0] [25:13]	未定义 未定义	SCP	XV5TOG1 XV5TOG2	XV5跳变位置1。 XV5跳变位置2。
09	[12:0] [25:13]	未定义 未定义	SCP	XV5TOG3 XV5TOG4	XV5跳变位置3。 XV5跳变位置4。
0A	[12:0] [25:13]	未定义 未定义	SCP	XV6TOG1 XV6TOG2	XV6跳变位置1。 XV6跳变位置2。
0B	[12:0] [25:13]	未定义 未定义	SCP	XV6TOG3 XV6TOG4	XV6跳变位置3。 XV6跳变位置4。
0C	[12:0] [25:13]	未定义 未定义	SCP	XV7TOG1 XV7TOG2	XV7跳变位置1。 XV7跳变位置2。
0D	[12:0] [25:13]	未定义 未定义	SCP	XV7TOG3 XV7TOG4	XV7跳变位置3。 XV7跳变位置4。
0E	[12:0] [25:13]	未定义 未定义	SCP	XV8TOG1 XV8TOG2	XV8跳变位置1。 XV8跳变位置2。
0F	[12:0] [25:13]	未定义 未定义	SCP	XV8TOG3 XV8TOG4	XV8跳变位置3。 XV8跳变位置4。
10	[12:0] [25:13]	未定义 未定义	SCP	XV9TOG1 XV9TOG2	XV9跳变位置1。 XV9跳变位置2。
11	[12:0] [25:13]	未定义 未定义	SCP	XV9TOG3 XV9TOG4	XV9跳变位置3。 XV9跳变位置4。
12	[12:0] [25:13]	未定义 未定义	SCP	XV10TOG1 XV10TOG2	XV10跳变位置1。 XV10跳变位置2。
13	[12:0] [25:13]	未定义 未定义	SCP	XV10TOG3 XV10TOG4	XV10跳变位置3。 XV10跳变位置4。
14	[12:0] [25:13]	未定义 未定义	SCP	XV11TOG1 XV11TOG2	XV11跳变位置1。 XV11跳变位置2。
15	[12:0] [25:13]	未定义 未定义	SCP	XV11TOG3 XV11TOG4	XV11跳变位置3。 XV11跳变位置4。
16	[12:0] [25:13]	未定义 未定义	SCP	XV12TOG1 XV12TOG2	XV12跳变位置1。 XV12跳变位置2。

AD9923A

地址（十六进制）	数据位	默认值	更新类型	名称	描述
17	[12:0] [25:13]	未定义 未定义	SCP	XV12TOG3 XV12TOG4	XV12跳变位置3。 XV12跳变位置4。
18	[12:0] [25:13]	未定义 未定义	SCP	XV1TOG5 XV1TOG6	XV1跳变位置5。 XV1跳变位置6。
19	[12:0] [25:13]	未定义 未定义	SCP	XV2TOG5 XV2TOG6	XV2跳变位置5。 XV2跳变位置6。
1A	[12:0] [25:13]	未定义 未定义	SCP	XV3TOG5 XV3TOG6	XV3跳变位置5。 XV3跳变位置6。
1B	[12:0] [25:13]	未定义 未定义	SCP SCP	XV4TOG5 XV4TOG6	XV4跳变位置5。 XV4跳变位置6。
1C	[12:0] [25:13]	未定义 未定义	SCP	XV5TOG5 XV5TOG6	XV5跳变位置5。 XV5跳变位置6。
1D	[12:0] [25:13]	未定义 未定义	SCP	XV6TOG5 XV6TOG6	XV6跳变位置5。 XV6跳变位置6。
1E	[12:0] [25:13]	未定义 未定义	SCP	XV7TOG5 XV7TOG6	XV7跳变位置5。 XV7跳变位置6。
1F	[12:0] [25:13]	未定义 未定义	SCP	XV8TOG5 XV8TOG6	XV8跳变位置5。 XV8跳变位置6。
20	[12:0] [25:13]	未定义 未定义	SCP	XV9TOG5 XV9TOG6	XV9跳变位置5。 XV9跳变位置6。
21	[12:0] [25:13]	未定义 未定义	SCP	XV10TOG5 XV10TOG6	XV10跳变位置5。 XV10跳变位置6。
22	[12:0] [25:13]	未定义 未定义	SCP	XV11TOG5 XV11TOG6	XV11跳变位置5。 XV11跳变位置6。
23	[12:0] [25:13]	未定义 未定义	SCP	XV12TOG5 XV12TOG6	XV12跳变位置5。 XV12跳变位置6。
24	[12:0] [25:13]	未定义 未定义	SCP	XV13TOG1 XV13TOG2	XV13跳变位置1。 XV13跳变位置2。
25	[12:0] [25:13]	未定义 未定义	SCP	XV13TOG3 XV13TOG4	XV13跳变位置3。 XV13跳变位置4。
26	[12:0] [25:13]	未定义 未定义	SCP	XV13TOG5 XV13TOG6	XV13跳变位置5。 XV13跳变位置6。
27	[25:0]	未定义	SCP	不用	必须置0。

表57. 垂直序列寄存器

地址（十六进制）	数据位	默认值	更新类型	名称	描述
00	[0] [1] [2] [4:3] [7:5] [12:8] [25:13]	未定义 未定义 未定义 未定义 未定义 未定义 未定义	SCP	CLPOBPOL PBLKPOL HOLD VMASK HBLKALT 不用 HDLEN	CLPOB起始极性。 PBLK起始极性。 保持功能。 使能垂直输出掩蔽。 0：无掩蔽。 1：使能Freeze1/Resume1。 2：使能Freeze2/Resume2。 3：使能Freeze1/Resume1和Freeze2/Resume2。 使能HBLK交替。 必须置0。 HD行长（行中的像素数）。

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
01	[0] [1] [2] [3] [4] [5] [6] [7] [8] [9] [10] [11] [12] [13] [14] [15] [16] [17] [18] [19] [20] [21] [22] [23] [24] [25]	未定义 未定义	SCP	XV1POL XV2POL XV3POL XV4POL XV5POL XV6POL XV7POL XV8POL XV9POL XV10POL XV11POL XV12POL XV13POL XV1POL2 XV2POL2 XV3POL2 XV4POL2 XV5POL2 XV6POL2 XV7POL2 XV8POL2 XV9POL2 XV10POL2 XV11POL2 XV12POL2 XV13POL13	XV1起始极性。 XV2起始极性。 XV3起始极性。 XV4起始极性。 XV5起始极性。 XV6起始极性。 XV7起始极性。 XV8起始极性。 XV9起始极性。 XV10起始极性。 XV11起始极性。 XV12起始极性。 XV13起始极性。 XV1第二极性。 XV2第二极性。 XV3第二极性。 XV4第二极性。 XV5第二极性。 XV6第二极性。 XV7第二极性。 XV8第二极性。 XV9第二极性。 XV10第二极性。 XV11第二极性。 XV12第二极性。 XV13第二极性。
02	[12:0] [13] [18:14] [23:19] [25:24]	未定义 未定义 未定义 未定义 未定义	SCP	GROUPSEL TWO_GROUP VPATSELB VPATSELA VPATA_MODE	选择A组或B组。0: A组; 1: B组。 1: 将A组和B组的所有跳变位置都用于一个垂直图样。 选定的垂直图样组B或特殊垂直图样第二位置。 选定的垂直图样组A。 交替重复次数。 0: 禁用交替, 所有行都使用VREPA_1。 1: 2行交替。 2: 3行交替。 3: 4行交替。
03	[12:0] [25:13]	未定义 未定义	SCP	VSTARTB VLENB	选定垂直图样组B的起始位置, 或者特殊垂直图样的起始位置。 选定垂直图样组B的长度。
04	[12:0] [25:13]	未定义 未定义	SCP	VSTARTA VLENA	选定垂直图样组A的起始位置。 选定垂直图样组A的长度。
05	[11:0] [12] [24:13]	未定义 未定义 未定义	SCP	VREPB_ODD 不用 VREPB_EVEN	奇数行中垂直图样组B的重复次数。 必须置0。 偶数行中垂直图样组B的重复次数。
06	[11:0] [12] [24:13]	未定义 未定义 未定义	SCP	VREPA_1 不用 VREPA_2	第一行中垂直图样组A的重复次数。 必须置0。

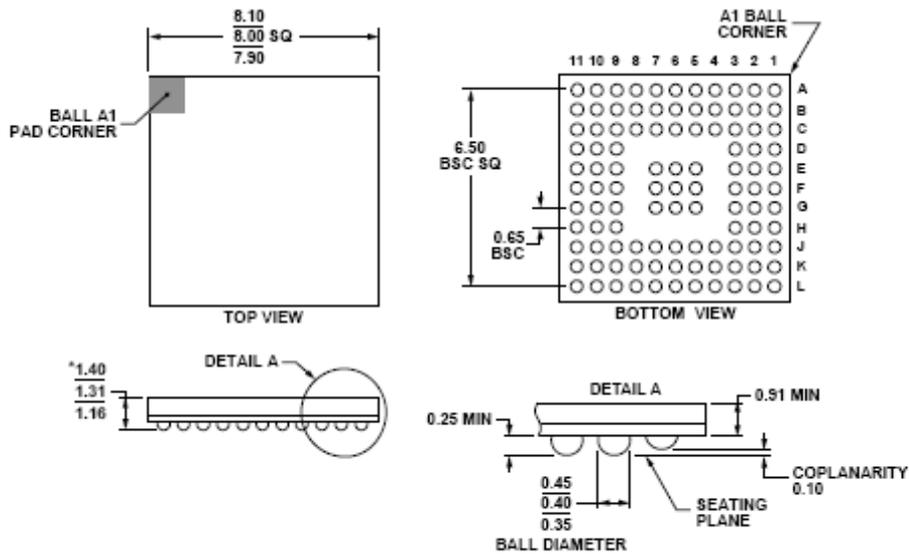
AD9923A

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
07	[12:0]	未定义	SCP	VREPA_3	第三行中垂直图样组A的重复次数, 或者奇数行的第一HBLK跳变位置。
	[25:13]	未定义		VEPA_4	第四行中垂直图样组A的重复次数, 或者奇数行的第二HBLK跳变位置。
08	[12:0]	未定义	SCP	FREEZE1	将XV1至XV13输出保持在其当前电平, 或者奇数行的第三HBLK跳变位置。
	[25:13]	未定义		RESUME1	恢复XV1至XV13输出的操作以完成图样, 或者奇数行的第四HBLK跳变位置。
09	[12:0]	未定义	SCP	FREEZE2	将XV1至XV13输出保持在其当前电平, 或者奇数行的第五HBLK跳变位置。
	[25:13]	未定义		RESUME2	恢复XV1至XV13输出的操作以完成图样, 或者奇数行的第六HBLK跳变位置。
0A	[12:0]	未定义	SCP	HBLKTOGE1	偶数行的第一HBLK跳变位置。
	[25:13]	未定义		HBLKTOGE2	偶数行的第二HBLK跳变位置。
0B	[12:0]	未定义	SCP	HBLKTOGE3	偶数行的第三HBLK跳变位置。
	[25:13]	未定义		HBLKTOGE4	偶数行的第四HBLK跳变位置。
0C	[12:0]	未定义	SCP	HBLKSTART	交替模式4至交替模式7下HBLK的起始位置, 或者偶数行的第五HBLK跳变位置。
	[25:13]	未定义		HBLKEND	交替模式4至交替模式7下HBLK的结束位置, 或者偶数行的第六HBLK跳变位置。
0D	[12:0]	未定义	SCP	HBLKLEN	HBLK交替模式4至交替模式7下的HBLK长度。
	[20:13]	未定义		HBLKREP	HBLK交替模式4至交替模式7下的HBLK重复次数。
	[21]	未定义		HBLKMASK_H1	HBLK期间H1的掩蔽极性。
	[22]	未定义		HBLKMASK_H3	HBLK期间H3的掩蔽极性。
0E	[12:0]	未定义	SCP	CLPOBTOG1	CLPOB跳变位置1。
	[25:13]	未定义		CLPOBTOG2	CLPOB跳变位置2。
0F	[12:0]	未定义	SCP	PBLKTOG1	PBLK跳变位置1。
	[25:13]	未定义		PBLKTOG2	PBLK跳变位置2。
10	[25:0]	未定义	SCP	不用	必须置0。
11	[11:0]	未定义	SCP	SPXV_ACT	特殊XV图样有效行。
	[12]	未定义		不用	必须置0。
	[13]	未定义		SPXV_EN	特殊XV图样使能 (高电平有效)。
12	[25:0]	未定义	SCP	不用	必须置0。
13	[25:0]	未定义	SCP	不用	必须置0。

表58. 场寄存器

地址 (十六进制)	数据位	默认值	更新类型	名称	描述
00	[4:0] [9:5] [14:10] [19:15] [24:20]	未定义 未定义 未定义 未定义 未定义	VD	SEQ0 SEQ1 SEQ2 SEQ3 SEQ4	为场中第一区间选定的垂直序列。 为场中第二区间选定的垂直序列。 为场中第三区间选定的垂直序列。 为场中第四区间选定的垂直序列。 为场中第五区间选定的垂直序列。
01	[4:0] [9:5] [14:10] [19:15]	未定义 未定义 未定义 未定义	VD	SEQ5 SEQ6 SEQ7 SEQ8	为场中第六区间选定的垂直序列。 为场中第七区间选定的垂直序列。 为场中第八区间选定的垂直序列。 为场中第九区间选定的垂直序列。
02	[1:0] [3:2] [5:4] [7:6] [9:8] [11:10] [13:12] [15:14] [17:16]	未定义 未定义 未定义 未定义 未定义 未定义 未定义 未定义 未定义	VD	MULT_SWEEP0 MULT_SWEEP1 MULT_SWEEP2 MULT_SWEEP3 MULT_SWEEP4 MULT_SWEEP5 MULT_SWEEP6 MULT_SWEEP7 MULT_SWEEP8	使能区间0的乘法器模式和/或扫描模式。 0: 乘法器关闭/扫描关闭。 1: 乘法器关闭/扫描打开。 2: 乘法器打开/扫描关闭。 3: 乘法器打开/扫描打开。 使能区间1的乘法器模式和/或扫描模式。 使能区间2的乘法器模式和/或扫描模式。 使能区间3的乘法器模式和/或扫描模式。 使能区间4的乘法器模式和/或扫描模式。 使能区间5的乘法器模式和/或扫描模式。 使能区间6的乘法器模式和/或扫描模式。 使能区间7的乘法器模式和/或扫描模式。 使能区间8的乘法器模式和/或扫描模式。
03	[11:0] [12] [24:13]	未定义 未定义 未定义	VD	SCP0 不用 SCP1	垂直序列变化位置0。 必须置0。 垂直序列变化位置1。
04	[11:0] [12] [24:13]	未定义 未定义 未定义	VD	SCP2 不用 SCP3	垂直序列变化位置2。 必须置0。 垂直序列变化位置3。
05	[11:0] [12] [24:13]	未定义 未定义 未定义	VD	SCP4 不用 SCP5	垂直序列变化位置4。 必须置0。 垂直序列变化位置5。
06	[11:0] [12] [24:13]	未定义 未定义 未定义	VD	SCP6 不用 SCP7	垂直序列变化位置6。 必须置0。 垂直序列变化位置7。
07	[11:0] [12] [24:13]	未定义 未定义 未定义	VD	SCP8 不用 VDLEN	垂直序列变化位置8。 必须置0。 VD场长度 (场中的行数)。
08	[12:0] [25:13]	未定义 未定义	VD	HDLAST VSTARTSECOND	HD最后一行的长度。场中最后一行的行长。 SG有效行上第二垂直图样的起始位置。
09	[4:0] [20:5]	未定义 未定义	VD	VPATSECOND SGMASK	为SG有效行选定的第二垂直图样组。 SG有效行期间VSG输出的掩蔽。
0A	[23:0]	未定义	VD	SGPATSEL	选择各VSG输出的VSG图样。
0B	[11:0] [12] [24:13]	未定义 未定义 未定义	VD	SGACTLINE1 不用 SGACTLINE2	SG有效行1。 必须置0。 SG有效行2。

外形尺寸



*COMPLIANT TO JEDEC STANDARDS MO-225 WITH THE EXCEPTION TO PACKAGE HEIGHT.

000007-A

图89. 105引脚芯片级球栅阵列[CSP_BGA]封装 (BC-105)

图示尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9923ABBCZ	-25°C至+85°C	105引脚芯片级球栅阵列[CSP_BGA]	BC-105
AD9923ABBCZRL	-25°C至+85°C	105引脚芯片级球栅阵列[CSP_BGA]	BC-105

¹ Z = 符合RoHS标准的器件。