

产品特性

14位分辨率、无失码

8通道多路复用器，输入可选择

单极性单端输入

差分输入(使用参考地)

伪双极性输入

吞吐速率：250 kSPS

INL/DNL：±0.5/±0.25 LSB(典型值)

信纳比(SINAD)：85 dB(20 kHz)

总谐波失真(THD)：-100 dB(20 kHz)

模拟输入范围：0 V至 V_{REF} (V_{REF} 可高达VDD)

多种基准源类型

内部可选择的2.5 V或4.096 V基准源

外部缓冲基准源(可达4.096 V)

外部基准源(可达VDD)

内部温度传感器(TEMP)

通道序列器，可选单极点滤波器，繁忙指示器

无流水线延迟，SAR架构

单电源工作：2.3 V至5.5 V，逻辑接口电压：1.8 V至5.5 V

串行接口，兼容SPI、MICROWIRE、QSPI和DSP

功耗

2.9 mW @ 2.5 V/200 kSPS

10.8 mW @ 5 V/250 kSPS

待机电流：50 nA

20引脚4 mm × 4 mm LFCSP封装

应用

多通道系统监控

电池供电设备

医疗仪器：ECG/EKG

移动通信：GPS

电力线路监控

数据采集

地震数据采集系统

仪器仪表

过程控制

功能框图

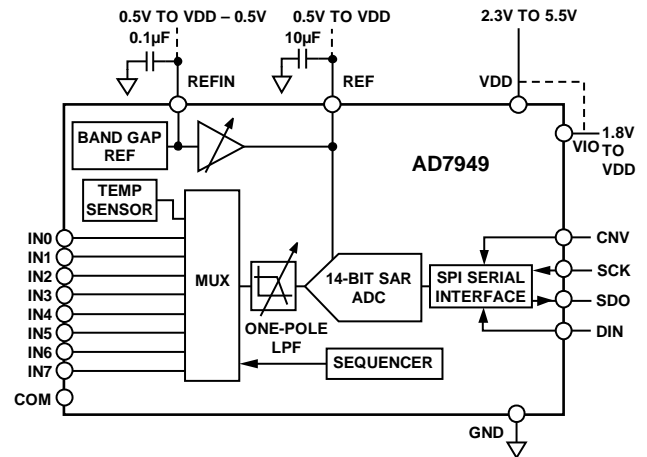


图1.

表1. 多通道14/16位PuLSAR® ADC

类型	通道	250 kSPS	500 kSPS	ADC驱动器
14位	8	AD7949		ADA4841-x
16位	4	AD7682		ADA4841-x
16位	8	AD7689	AD7699	ADA4841-x

概述

AD7949是一款8通道、14位、电荷再分配、逐次逼近型(SAR)模数转换器(ADC)，采用单电源(VDD)供电。

AD7949内置多通道、低功耗数据采集系统所需的所有元件，包括：无失码的真14位SAR型ADC；用于将输入配置为单端输入(使用或不使用参考地)、差分输入或双极性输入的8通道、低串扰多路复用器；内部低漂移基准电压源(可以选择2.5 V或4.096 V)和缓冲；温度传感器；可选择的单极点滤波器；以及多通道按顺序连续采样时所用的序列器。

AD7949使用简单的SPI接口实现配置寄存器的写入和转换结果的接收。SPI接口使用单独的电源(VIO)，它被设定为主逻辑电平。功耗与吞吐速率成正比。

AD7949采用20引脚微型LFCSP封装，工作温度范围为-40°C至+85°C。

Rev. D

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2008–2012 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	基准电压输出/输入.....	19
应用.....	1	电源.....	21
功能框图.....	1	从基准源为ADC供电.....	21
概述.....	1	数字接口.....	22
修订历史.....	3	转换期间读取/写入, 快速主机.....	22
技术规格.....	4	转换后读取/写入, 任何速度主机.....	22
时序规格.....	6	转换全程读取/写入, 任何速度主机.....	23
绝对最大额定值.....	8	配置寄存器, CFG.....	23
ESD警告.....	8	无繁忙指示器的通用时序.....	25
引脚配置和功能描述.....	9	含繁忙指示器的通用时序.....	26
典型性能参数.....	10	通道序列器.....	27
术语.....	13	无繁忙指示器的转换全程读取/写入.....	28
工作原理.....	14	含繁忙指示器的转换全程读取/写入.....	30
概述.....	14	应用须知.....	31
转换器操作.....	14	布局.....	31
传递函数.....	15	评估AD7949性能.....	31
典型连接图.....	16	外形尺寸.....	32
模拟输入.....	17	订购指南.....	32
驱动放大器选择.....	19		

修订历史

2012年3月—修订版C至修订版D

更改图26	16
更改“内部基准电压源/温度传感器”部分	19
更改“外部基准电压源和内部缓冲器”部分	20
更改表9的位[5:3]功能	24
更新外形尺寸	32

2011年8月—修订版B至修订版C

更改“内部基准电压”部分	18
更改“外部基准电压源和内部缓冲器”部分及 “外部基准电压源”部分	19
更改表9的位[5:3]功能	22

2009年5月—修订版A至修订版B

更改特性部分、应用部分和图1	1
更改技术规格部分	3
更改时序规格部分	5
更改表5	7
更改图4和表6	8
更改图20	11
更改转换器操作部分	13
更改表7	14
更改图25和图26	15
更改“双极性单电源”部分、“输入结构”部分和 “可选低通滤波器”部分	16
更改“输入配置”部分、“序列器”部分和“源电阻”部分	17
更改“内部基准电压源/温度传感器”部分	18

增加图30；重新排序	18
更改“外部基准电压源和内部缓冲器”部分、 “外部基准电压源”部分及“基准电压源去耦”部分	19
增加图31和图32	19
更改“电源”部分	20
“转换期间读取/写入，快速主机”部分更改为 “转换后读取/写入，任意速度主机”	21
更改配置寄存器、CFG部分和表9	22
增加“无繁忙指示器的通用时序”部分和图36	23
增加“含繁忙指示器的通用时序”部分和图37	24
增加“通道序列器”部分、“示例”部分和图38	25
更改“无繁忙指示器的转换全程读取/写入”部分和图40 ..	26
更改“含繁忙指示器的转换全程读取/写入”部分和图42 ...	27
更改“评估AD7949性能”部分	28
外形尺寸部分中增加裸露焊盘注释	29
更改订购指南	29

2008年5月—修订版0至修订版A

更改订购指南	26
--------------	----

2008年5月—版本0：初始版

技术规格

除非另有说明，VDD = 2.3 V至5.5 V，VIO = 1.8 V至VDD， $V_{REF} = VDD$ ，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表2.

参数	条件/注释	最小值	典型值	最大值	单位
分辨率		14			位
模拟输入					
电压范围	单极性模式 双极性模式	0 $-V_{REF}/2$		$+V_{REF}$ $+V_{REF}/2$	V
绝对输入电压	正输入，单极性和双极性模式 负或COM输入，单极性模式 负或COM输入，双极性模式	-0.1 -0.1 $V_{REF}/2 - 0.1$		$V_{REF} + 0.1$ $+0.1$ $V_{REF}/2 + 0.1$	V
模拟输入CMRR	$f_{IN} = 250$ kHz		$V_{REF}/2$		dB
25°C时漏电流	采集阶段		68		nA
输入阻抗 ¹			1		nA
吞吐速率					
转换速率					
全带宽 ²	VDD = 4.5 V至5.5 V	0		250	kSPS
	VDD = 2.3 V至4.5 V	0		200	kSPS
1/4带宽 ²	VDD = 4.5 V至5.5 V	0		62.5	kSPS
	VDD = 2.3 V至4.5 V	0		50	kSPS
瞬态响应:	满量程阶跃，全带宽			1.8	μs
	满量程阶跃，1/4带宽			14.5	μs
精度					
无失码		14			Bits
积分线性误差		-1	±0.5	+1	LSB ³
差分线性误差		-1	±0.25	+1	LSB
跃迁噪声	REF = VDD = 5 V		0.1		LSB
增益误差 ⁴		-5	±0.5	+5	LSB
增益误差匹配		-1	±0.2	+1	LSB
增益误差温漂			±1		ppm/°C
失调误差 ⁴			±0.5		LSB
失调误差匹配		-1	±0.2	+1	LSB
失调误差温漂			±1		ppm/°C
电源灵敏度	VDD = 5 V ± 5%		±0.2		LSB
交流精度 ⁵					
动态范围			85.6		dB ⁶
信噪比	$f_{IN} = 20$ kHz, $V_{REF} = 5$ V	84.5	85.5		dB
	$f_{IN} = 20$ kHz, $V_{REF} = 4.096$ V内部REF		85		dB
	$f_{IN} = 20$ kHz, $V_{REF} = 2.5$ V内部REF		84		dB
信纳比(SINAD)	$f_{IN} = 20$ kHz, $V_{REF} = 5$ V	84	85		dB
	$f_{IN} = 20$ kHz, $V_{REF} = 5$ V, -60 dB输入		33.5		dB
	$f_{IN} = 20$ kHz, $V_{REF} = 4.096$ V内部REF		85		dB
	$f_{IN} = 20$ kHz, $V_{REF} = 2.5$ V内部REF		84		dB
总谐波失真	$f_{IN} = 20$ kHz		-100		dB
无杂散动态范围	$f_{IN} = 20$ kHz		108		dB
通道间串扰	$f_{IN} = 100$ kHz, 邻道		-125		dB
采样动态性能					
-3 dB输入带宽	全带宽 1/4带宽		1.7 0.425		MHz
孔径延迟	VDD = 5 V		2.5		ns

参数	条件/注释	最小值	典型值	最大值	单位
内部基准电压源					
REF输出电压	2.5 V, 25°C	2.490	2.500	2.510	V
	4.096 V, 25°C	4.086	4.096	4.106	V
REFIN输出电压 ⁷	2.5 V, 25°C		1.2		V
	4.096 V, 25°C		2.3		V
REF输出电流			±300		μA
温度漂移			±10		ppm/°C
线性调整率	VDD = 5 V ± 5%		±15		ppm/V
长期漂移	1000小时		50		ppm
开启建立时间	CREF = 10 μF		5		ms
外部基准电压源					
电压范围	REF输入	0.5		VDD + 0.3	V
	REFIN输入(缓冲)	0.5		VDD - 0.5	V
耗用电流	250 kSPS, REF = 5 V		50		μA
温度传感器					
输出电压 ⁸	在25°C条件下		283		mV
温度灵敏度			1		mV/°C
数字输入					
逻辑电平					
V _{IL}		-0.3		+0.3 × VIO	V
V _{IH}		0.7 × VIO		VIO + 0.3	V
I _{IL}		-1		+1	μA
I _{IH}		-1		+1	μA
数字输出					
数据格式 ⁹					
流水线延迟 ¹⁰					
V _{OL}	I _{SINK} = +500 μA			0.4	V
V _{OH}	I _{SOURCE} = -500 μA	VIO - 0.3			V
电源					
VDD	额定性能	2.3		5.5	V
VIO	额定性能	2.3		VDD + 0.3	V
	工作范围	1.8		VDD + 0.3	V
待机电流 ^{11,12}	VDD和VIO = 5 V, 25°C		50		nA
功耗	VDD = 2.5 V, 100 SPS吞吐速率		1.5		μW
	VDD = 2.5 V, 100 kSPS吞吐速率		1.45	2.0	mW
	VDD = 2.5 V, 200 kSPS吞吐速率		2.9	4.0	mW
	VDD = 5 V, 250 kSPS吞吐速率		10.8	12.5	mW
	VDD = 5 V, 250 kSPS吞吐速率, 内部基准源		13.5	15.5	mW
每次转换的能量			50		nJ
温度范围 ¹³					
额定性能	T _{MIN} 至T _{MAX}	-40		+85	°C

¹ 参见模拟输入部分。

² 带宽在配置寄存器中设置。

³ LSB表示最低有效位。5 V输入范围时, 1 LSB = 305 μV。

⁴ 参见术语部分。这些规格包括整个温度范围内的波动, 但不包括外部基准电压源的误差贡献。

⁵ 除非另有说明, VDD = 5 V。

⁶ 除非另有说明, 所有用分贝(dB)表示的规格均参考满量程输入FSR, 并用低于满量程0.5 dB的输入信号进行测试。

⁷ 内部带隙基准电压源的输出。

⁸ 内部输出电压, 出现在专用多路复用器输入。

⁹ 单极性模式: 串行14位直接二进制。

双极性模式: 串行14位二进制补码。

¹⁰ 转换完成后立即提供转换结果。

¹¹ 根据需要, 所有数字输入强制接VIO或GND。

¹² 在采集阶段。

¹³ 欲了解温度范围, 请联系ADI公司销售代表。

AD7949

时序规格

除非另有说明，VDD = 4.5 V至5.5 V，VIO = 1.8 V至VDD，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表3.

参数 ¹	符号	最小值	典型值	最大值	单位
转换时间：CNV上升沿至数据可用	t _{CONV}			2.2	μs
采集时间	t _{ACQ}	1.8			μs
转换间隔时间	t _{CYC}	4.0			μs
转换期间数据写入/读取	t _{DATA}			1.0	μs
CNV脉冲宽度	t _{CNVH}	10			ns
SCK周期	t _{SCK}	t _{DSDO} + 2			ns
SCK低电平时间	t _{SCKL}	11			ns
SCK高电平时间	t _{SCKH}	11			ns
SCK下降沿至数据仍然有效	t _{HSDO}	4			ns
SCK下降沿至数据有效延迟时间	t _{DSDO}				
VIO高于2.7 V				18	ns
VIO高于2.3 V				23	ns
VIO高于1.8 V				28	ns
CNV低电平至SDO D15 MSB有效	t _{EN}				
VIO高于2.7 V				18	ns
VIO高于2.3 V				22	ns
VIO高于1.8 V				25	ns
CNV高电平或最后一个SCK下降沿至SDO高阻态	t _{DIS}			32	ns
CNV低电平至SCK上升沿	t _{CLSCK}	10			ns
SCK上升沿至DIN有效设置时间	t _{SDIN}	5			ns
SCK上升沿至DIN有效保持时间	t _{HDIN}	5			ns

¹ 负载条件参见图2和图3。

除非另有说明，VDD = 2.3 V至4.5 V，VIO = 1.8 V至VDD，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表4.

参数 ¹	符号	最小值	典型值	最大值	单位
转换时间：CNV上升沿至数据可用	t_{CONV}			3.2	μs
采集时间	t_{ACQ}	1.8			μs
转换间隔时间	t_{CYC}	5			μs
转换期间数据写入/读取	t_{DATA}			1.2	μs
CNV脉冲宽度	t_{CNVH}	10			ns
SCK周期	t_{SCK}	$t_{DSDO} + 2$			ns
SCK低电平时间	t_{SCKL}	12			ns
SCK高电平时间	t_{SCKH}	12			ns
SCK下降沿至数据仍然有效	t_{HSDO}	5			ns
SCK下降沿至数据有效延迟时间	t_{DSDO}				
VIO高于3 V				24	ns
VIO高于2.7 V				30	ns
VIO高于2.3 V				38	ns
VIO高于1.8 V				48	ns
CNV低电平至SDO D15 MSB有效	t_{EN}				
VIO高于3 V				21	ns
VIO高于2.7 V				27	ns
VIO高于2.3 V				35	ns
VIO高于1.8 V				45	ns
CNV高电平或最后一个SCK下降沿至SDO高阻态	t_{DIS}			50	ns
CNV低电平至SCK上升沿	t_{CLSCK}	10			ns
SCK上升沿至DIN有效设置时间	t_{SDIN}	5			ns
SCK上升沿至DIN有效保持时间	t_{HDIN}	5			ns

¹ 负载条件参见图2和图3。

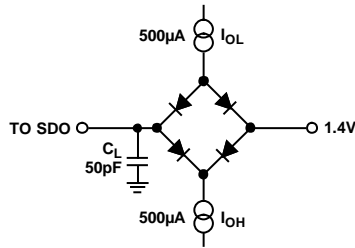
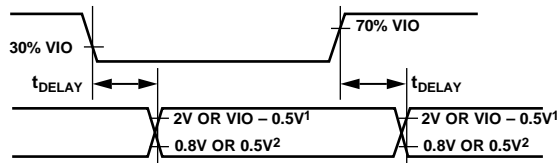


图2. 数字接口时序的负载电路



¹ 2V IF VIO ABOVE 2.5V, VIO - 0.5V IF VIO BELOW 2.5V.
² 0.8V IF VIO ABOVE 2.5V, 0.5V IF VIO BELOW 2.5V.

图3. 时序的电平

绝对最大额定值

表5.

参数	额定值
模拟输入 INx, ¹ COM ¹	GND - 0.3 V至VDD + 0.3 V 或VDD ± 130 mA
REF, REFIN	GND - 0.3 V至VDD + 0.3 V
电源电压	
VDD, VIO至GND	-0.3 V至+7 V
VIO至VDD	-0.3 V至VDD + 0.3 V
DIN、CNV、SCK至GND	-0.3 V至VIO + 0.3 V
SDO至GND	-0.3 V至VIO + 0.3 V
存储温度范围	-65°C至+150°C
结温	150°C
θ_{JA} 热阻(LFCSP)	47.6°C/W
θ_{JC} 热阻(LFCSP)	4.4°C/W

¹ 参见模拟输入部分。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

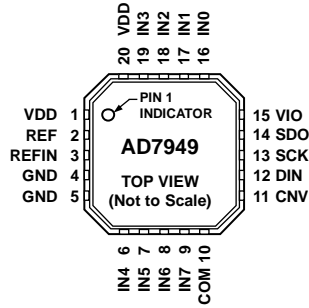
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. THE EXPOSED PAD IS NOT CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE SYSTEM GROUND PLANE.

07351-004

图4. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1, 20	VDD	P	电源。使用外部基准源并通过10 μ F和100 nF电容去耦时，标称值为2.5V至5.5V。使用内部基准源提供2.5V输出，最小值应为3.0V。
2	REF	AI/O	使用内部基准源提供4.096 V输出，最小值应为4.5V。 基准电压输入/输出。参见基准电压输出/输入部分。 使能内部基准源时，此引脚产生一个2.5V或4.096V的可选系统基准电压。 禁用内部基准源并使能缓冲时，REF产生REFIN引脚(最大值4.096V)上的电压的一个缓冲形式电压，适用于使用低成本、低功耗基准源的情况。 为改善漂移性能，应将一个精密基准源连接到REF(0.5V至VDD)。
3	REFIN	AI/O	无论何种基准源，此引脚都需要通过一个10 μ F电容去耦，去耦电容应尽可能靠近REF。参见基准电压源去耦部分。 内部基准电压输出/基准电压缓冲输入。参见基准电压输出/输入部分。 使用内部基准源时，内部存在无缓冲基准电压，并需要通过一个0.1 μ F电容去耦。 使用内部基准电压缓冲器时，施加一个0.5V至4.096V的基准源，经过缓冲后提供给REF引脚，如前所述。
4, 5	GND	P	电源地。
6至9	IN4至IN7	AI	通道4至通道7模拟输入。
10	COM	AI	公共通道输入。所有输入通道(IN[7:0])都可以参考一个0V或 $V_{REF}/2$ V的共模点。
11	CNV	DI	转换输入。在上升沿，CNV启动转换。转换期间，如果CNV保持高电平，则繁忙指示器使能。
12	DIN	DI	数据输入。此输入用于写入14位配置寄存器。可以在转换期间和转换后写入配置寄存器。
13	SCK	DI	串行数据时钟输入。此输入用于以MSB优先方式在SDO上逐个输出数据，以及在DIN上逐个输入数据。
14	SDO	DO	串行数据输出。转换结果通过此引脚输出，与SCK同步。单极性模式下，转换结果为直接二进制；双极性模式下，转换结果为二进制补码。
15	VIO	P	输入/输出接口数字电源。一般与主机接口电源相同(1.8V、2.5V、3V或5V)。
16至19	IN0至IN3	AI	通道0至通道3模拟输入。
21 (EPAD)	裸露焊盘 (EPAD)	NC	底部焊盘不在内部连接。为提高焊接接头的可靠性，建议将焊盘焊接到系统地层。

¹ AI = 模拟输入，AI/O = 模拟输入/输出，DI = 数字输入，DO = 数字输出，P = 电源。

典型工作特性

除非另有说明, $V_{DD} = 2.5\text{ V}$ 至 5.5 V , $V_{REF} = 2.5\text{ V}$ 至 5 V , $V_{IO} = 2.3\text{ V}$ 至 V_{DD} 。

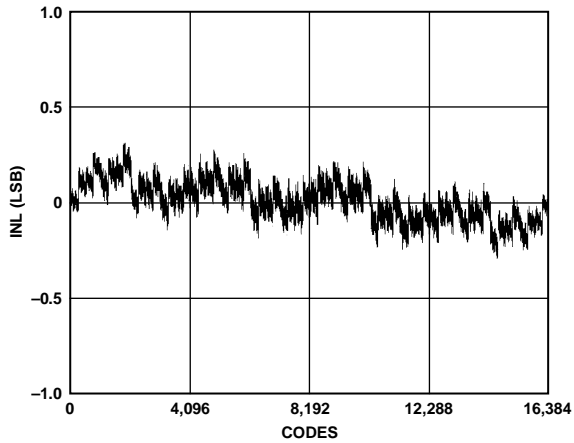


图5. 积分非线性与码的关系, $V_{REF} = V_{DD} = 5\text{ V}$

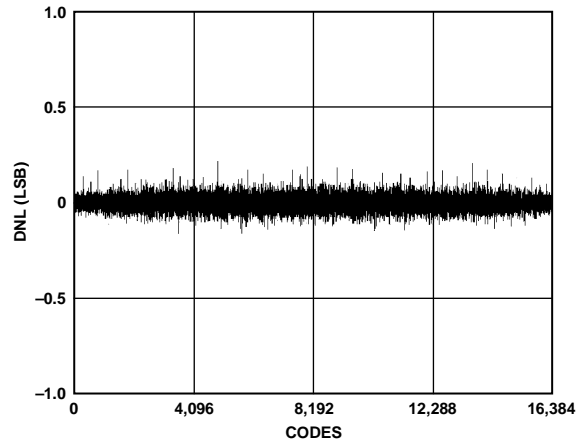


图8. 微分非线性与码的关系, $V_{REF} = V_{DD} = 5\text{ V}$

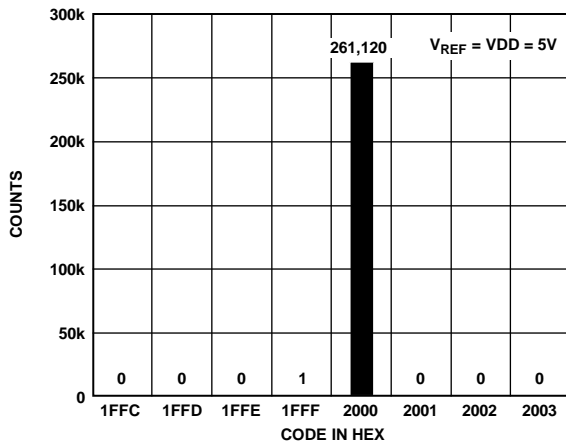


图6. 一个直流输入的直方图(码中心)

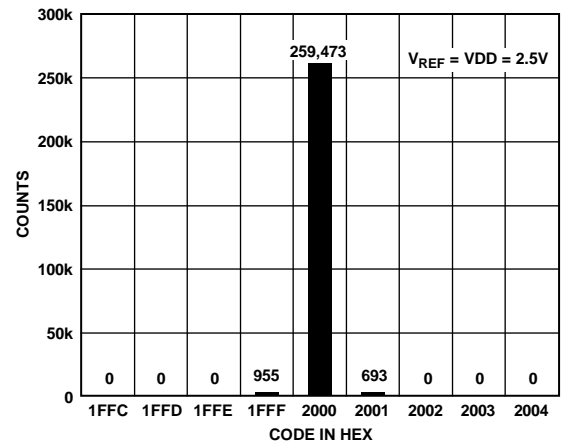


图9. 一个直流输入的直方图(码中心)

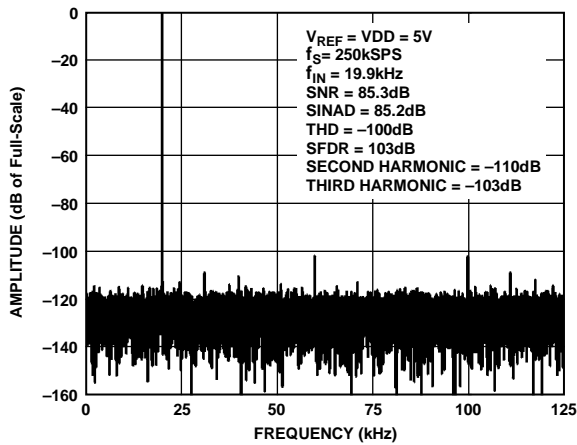


图7. 20 kHz FFT, $V_{REF} = V_{DD} = 5\text{ V}$

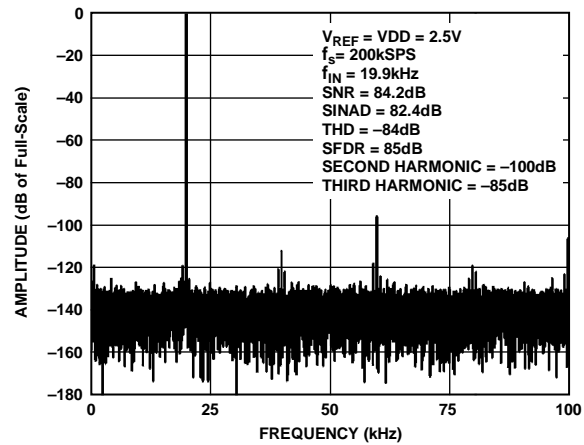


图10. 20 kHz FFT, $V_{REF} = V_{DD} = 2.5\text{ V}$

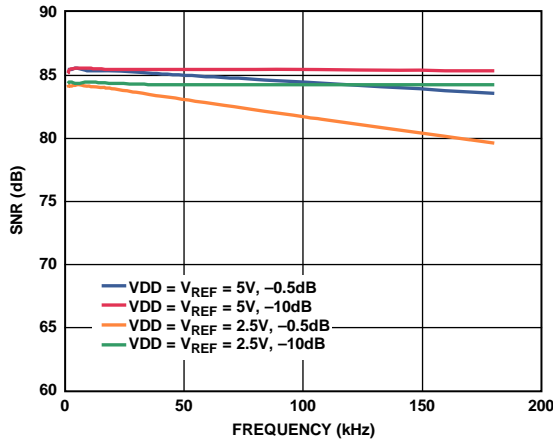


图11. SNR与频率的关系

07351-011

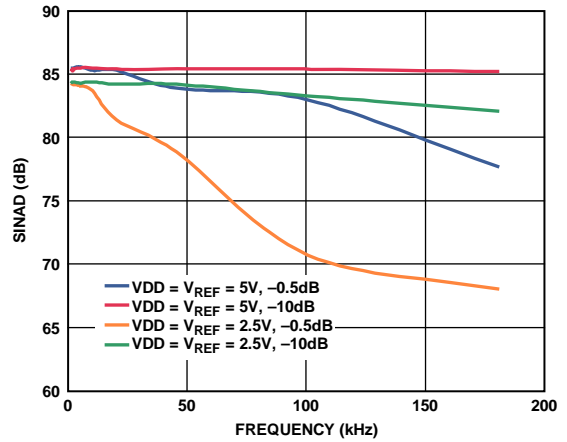


图14. SINAD与频率的关系

07351-014

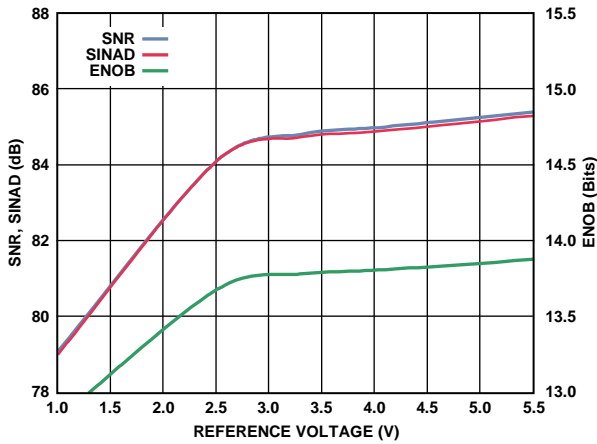


图12. SNR、SINAD和ENOB与基准电压的关系

07351-012

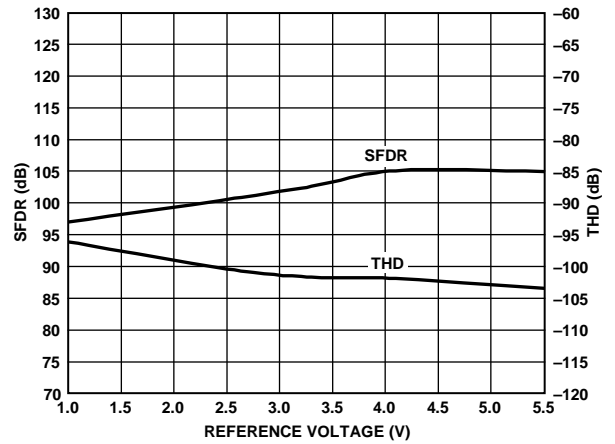


图15. SFDR和THD与基准电压的关系

07351-015

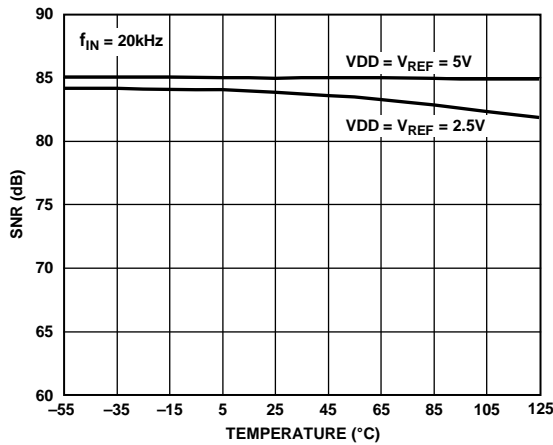


图13. SNR与温度的关系

07351-013

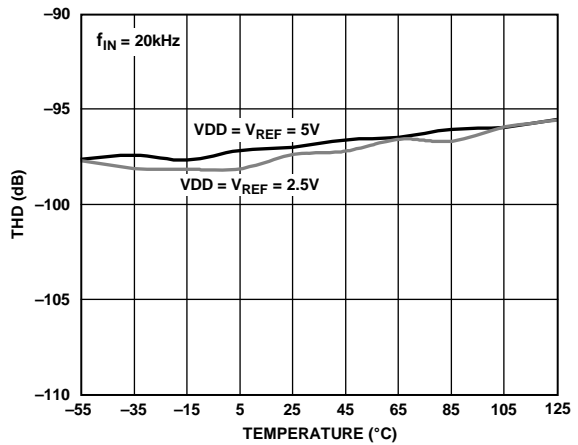


图16. THD与温度的关系

07351-016

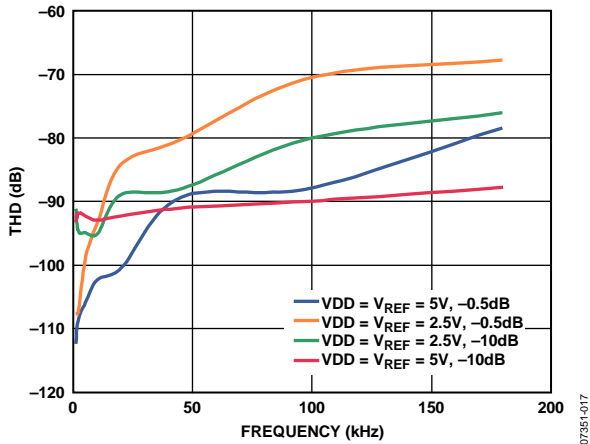


图17. THD与频率的关系

07351-017

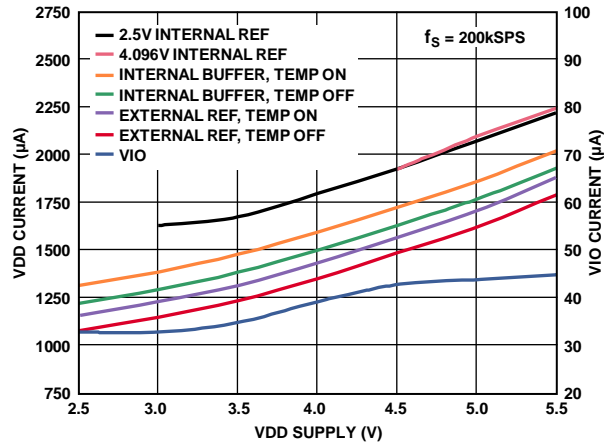


图20. 工作电流与电源的关系

07351-020

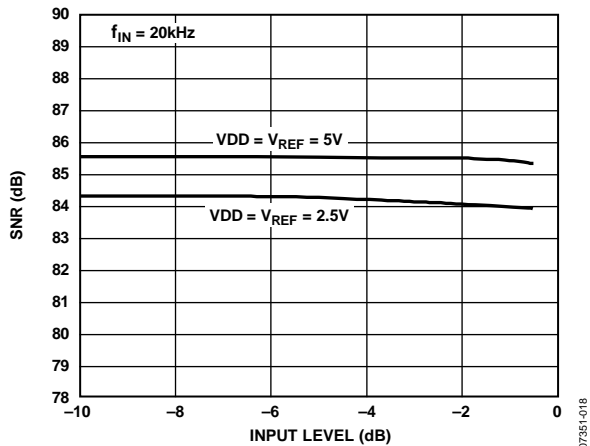


图18. SNR与输入电平的关系

07351-018

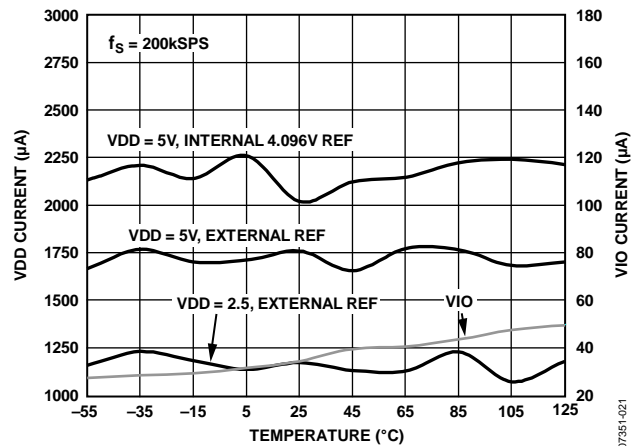


图21. 工作电流与温度的关系

07351-021

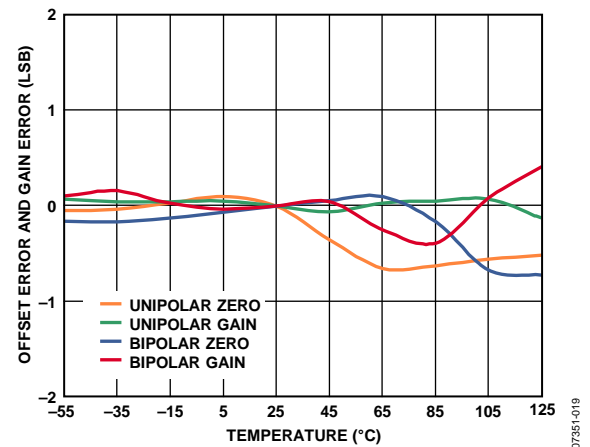


图19. 失调和增益误差与温度的关系

07351-019

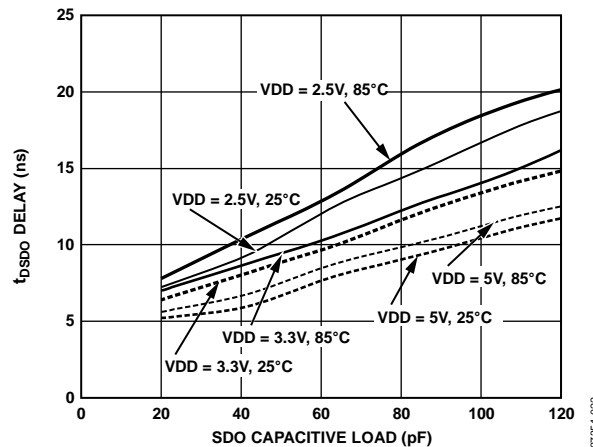


图22. t_{DSO} 延迟与SDO电容负载和电源的关系

07351-022

术语

最低有效位(LSB)

LSB是转换器可以表示的最小增量。对于N位分辨率的模数转换器，LSB用电压表示为：

$$LSB(V) = \frac{V_{REF}}{2^N}$$

积分非线性误差(INL)

INL是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码跃迁之前的 $\frac{1}{2}$ LSB处。正满量程定义为超出最后一个码跃迁 $1\frac{1}{2}$ LSB的一个电平。从各码的中心到该直线的距离即为偏差(见图24)。

差分非线性误差(DNL)

在一个理想ADC中，码跃迁相距1 LSB。DNL是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述这一规格。

失调误差

第一个码跃迁应对应于一个比模拟地高 $\frac{1}{2}$ LSB的电平。失调误差是指实际跃迁与该点的偏差。

增益误差

当一个模拟电压低于标称满量程 $1\frac{1}{2}$ LSB时，发生最后一个码转换(从111...10到111...11)。增益误差是指在消除失调误差之后，最后一个码转换的实际电平与理想电平的偏差，用LSB(或满量程范围的百分比)表示。与之非常相似的一个概念是满量程误差(也用LSB或满量程范围的百分比表示)，后者包括失调误差的影响。

孔径延迟

孔径延迟衡量采集性能，指从CNV输入的上升沿到输入信号可进行转换的时间。

瞬态响应：

瞬态响应是指施加满量程阶跃信号之后，ADC对输入进行精确采集所需的时间。

动态范围

动态范围指满量程的均方根值与输入短接在一起时测得的总均方根噪声之比，用分贝(dB)表示。

信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

信纳比(SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流除外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

总谐波失真(THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用分贝(dB)表示。

无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号的均方根幅值之差，用分贝(dB)表示。

有效位数(ENOB)

ENOB指利用正弦波输入测得的分辨率。它与SINAD的关系可以表示为：

$$ENOB = (SINAD_{dB} - 1.76)/6.02$$

它用位表示。

通道间串扰

通道间串扰衡量任意两个相邻通道之间的串扰水平，其测量方法是将一个直流信号施加于待测通道，并将一个满量程100 kHz正弦波信号施加于相邻通道。泄漏进入测试通道的信号量即为串扰，用分贝(dB)表示。

基准电压温度系数

基准电压温度系数是利用一批样品器件，分别在 T_{MIN} 、 $T(25^\circ\text{C})$ 和 T_{MAX} 测量最大和最小基准输出电压(V_{REF})，然后据此得出输出电压在 25°C 时的典型偏移。它用ppm/ $^\circ\text{C}$ 表示，计算公式为：

$$TCV_{REF}(\text{ppm}/^\circ\text{C}) = \frac{V_{REF}(\text{Max}) - V_{REF}(\text{Min})}{V_{REF}(25^\circ\text{C}) \times (T_{MAX} - T_{MIN})} \times 10^6$$

其中：

$V_{REF}(\text{Max})$ 为 T_{MIN} 、 $T(25^\circ\text{C})$ 或 T_{MAX} 时的最大 V_{REF} 。

$V_{REF}(\text{Min})$ 为 T_{MIN} 、 $T(25^\circ\text{C})$ 或 T_{MAX} 时的最小 V_{REF} 。

$V_{REF}(25^\circ\text{C})$ 为 25°C 时的 V_{REF} 。

$T_{MAX} = +85^\circ\text{C}$ 。

$T_{MIN} = -40^\circ\text{C}$ 。

工作原理

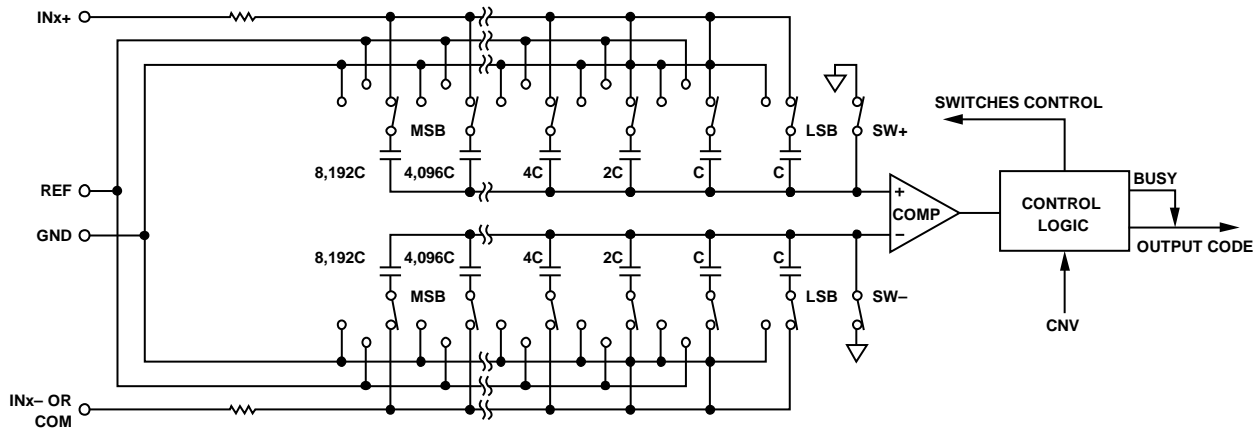


图23. ADC原理示意图

07351-023

概述

AD7949是8通道、14位、电荷再分配逐次逼近寄存器(SAR)型模数转换器(ADC)，每秒能够转换250,000个样本(250 kSPS)，两次转换之间器件关断。当采用外部基准电压源并以1 kSPS速率工作时，典型功耗为15 μ W，非常适合电池供电的应用。

AD7949内置多通道、低功耗数据采集系统所需的全部元件，包括：

- 14位无失码的SAR ADC
- 8通道、低串扰多路复用器
- 内部低漂移基准电压源和缓冲
- 温度传感器
- 可选单极点滤波器
- 通道序列器

这些元件通过一个SPI兼容的14位寄存器进行配置。转换结果也是SPI兼容的，可以在转换之后或转换期间读取，并且可以选择回读与转换相关的配置。

AD7949为用户提供了片内采样保持器，没有流水线延迟。

AD7949的额定工作电压为2.3 V至5.5 V，可以与任何1.8 V至5 V数字逻辑系列接口。该器件采用20引脚、4 mm \times 4 mm LFCSP封装，节省空间，配置灵活。它与16位AD7682、AD7689和AD7699引脚兼容。

转换器操作

AD7949是一款基于电荷再分配DAC的逐次逼近型ADC。图23显示了该ADC的简化电路图。容性DAC包含两个完全相同的14位二进制加权电容阵列，分别连接到比较器的两个输入端。

在采集阶段，与比较器输入相连的阵列端子通过SW+和SW-连接到GND。所有独立开关都连接到模拟输入端。

因此，电容阵列用作采样电容以采集INx+和INx-（或COM）输入端的模拟信号。当采集阶段完成且CNV输入变为高电平时，就会启动转换阶段。当转换阶段开始时，SW+和SW-首先断开。然后，两个电容阵列从输入端断开，并连接到GND输入端。因此，采集阶段结束时捕捉到的INx+与INx-（或COM）输入之间的差分电压施加于比较器输入端，导致比较器变得不平衡。在GND与REF之间切换电容阵列的各元件，比较器输入将按照二进制加权电压步进 ($V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/8,192$) 变化。控制逻辑从MSB开始切换这些开关，以便使比较器重新回到平衡状态。完成此过程后，器件返回采集阶段，而控制逻辑将产生ADC输出码和繁忙信号指示。

AD7949具有一个片上转换时钟，因此转换过程不需要串行时钟SCK。

传递函数

输入配置为单极性范围时(单端, COM为参考地, 或以INx-为参考地构成差分对), 数据输出为直接二进制。

输入配置为双极性范围时($COM = V_{REF}/2$ 或与 $INx- = V_{REF}/2$ 构成差分对), 数据输出为二进制补码。

AD7949的理想传递函数如图24所示, 其中显示了单极性和双极性范围, 并使用4.096 V内部基准电压源。

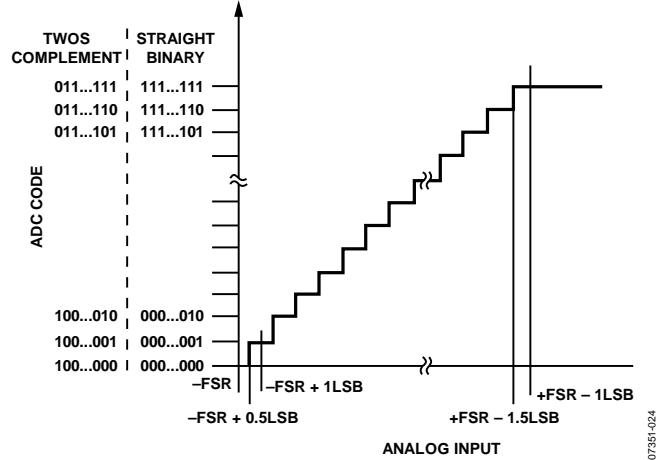


图24. ADC理想传递函数

表7. 输出码和理想输入电压

描述	单极性模拟输入 ¹ $V_{REF} = 4.096\text{ V}$	数字输出码 (直接二进制, 十六进制)	双极性模拟输入 ² $V_{REF} = 4.096\text{ V}$	数字输出码 (二进制补码, 十六进制数)
FSR - 1 LSB	4.095750 V	0x3FFF ³	2.047750 V	0x1FFF ³
中间电平 + 1 LSB	2.048250 V	0x2001	250 μV	0x0001
中间电平	2.048000 V	0x2000	0 V	0x0000
中间电平 - 1 LSB	2.047750 V	0x1FFF	-250 μV	0x3FFF
-FSR + 1 LSB	250 μV	0x0001	-2.047750 V	0x2001
-FSR	0 V	0x0000 ⁴	-2.048 V	0x2000 ⁴

¹ COM或 $INx- = 0\text{ V}$, 或者所有 INx 参考GND。

² COM或 $INx- = V_{REF}/2$ 。

³ 这也是超量程模拟输入($(INx+) - (INx-)$ 或COM高于 $V_{REF} - \text{GND}$)对应的码。

⁴ 这也是欠量程模拟输入($(INx+) - (INx-)$ 或COM低于GND)对应的码。

单极性或双极性

图25所示的例子为采用多个电源时AD7949的建议连接图。

双极性单电源

图26所示的例子为一个双极性输入系统，它采用单电源和内部基准电压源(可选择不同的VIO电源)。当放大器/信号调理电路位于远处并存在某一共模电压时，此电路也很有用。请注意，对于任何输入配置，INx输入都是单极性，并始终参考GND(即使在双极性范围也不存在负电压)。

对于此电路，可以使用轨到轨输入和输出放大器，但应注意并考虑失调电压与输入共模范围的关系($V_{REF} = 4.096\text{ V}$ 时， $1\text{ LSB} = 250\text{ }\mu\text{V}$)。请注意，当使用双极性输入配置时，转换结果为二进制补码格式。有关使用单电源放大器的更多信息，请参考ADI公司网站(www.analog.com)上的应用笔记AN-581：“单电源应用中的偏置和去耦运算放大器”。

模拟输入

输入结构

图27显示了AD7949输入结构的等效电路。两个二极管D1和D2为模拟输入(IN[7:0]和COM)提供ESD保护。切记，模拟输入信号决不能超过供电轨0.3 V以上，否则会造成二极管正偏，并开始传导电流。

这些二极管可以处理最高130 mA的正偏电流。例如，当输入缓冲电源与VDD不同时，最终可能会发生这种情况。此时，可以利用具有短路电流(即电流限制)的输入缓冲器保护器件。

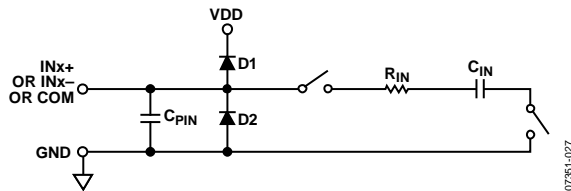


图27. 等效模拟输入电路

该模拟输入结构支持对INx+与COM或INx+与INx-之间的真差分信号进行采样。(COM或INx- = $GND \pm 0.1\text{ V}$ 或 $V_{REF} \pm 0.1\text{ V}$)。利用这些差分输入可以抑制两个输入的共模信号，如图28所示。

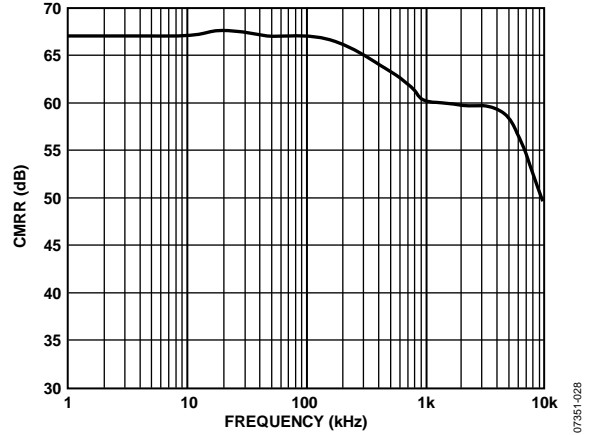


图28. 模拟输入CMRR与频率的关系

在采集阶段，模拟输入的阻抗可以看成是电容 C_{PIN} 与由 R_{IN} 和 C_{IN} 串联构成的网络的并联组合。 C_{PIN} 主要包括引脚电容。 R_{IN} 典型值为 $2.4\text{ k}\Omega$ ，是由串联电阻与开关的导通电阻构成的集总元件。 C_{IN} 典型值为 27 pF ，主要包括ADC采样电容。

可选低通滤波器

在转换阶段，开关断开，输入阻抗仅包括 C_{PIN} 。当AD7949进行采集时， R_{IN} 与 C_{IN} 构成一个单极点低通滤波器，可以降低不良混叠影响并限制来自驱动电路的噪声。该低通滤波器可以通过CFG[6]编程为全带宽或 $1/4$ 带宽，如表9所示。此设置将 R_{IN} 变为 $19\text{ k}\Omega$ 。请注意，使用该滤波器时，转换器吞吐速率也必须降低 $1/4$ 。如果在带宽(BW)设为 $1/4$ 时使用最高吞吐速率，就会违反转换器采集时间 t_{ACQ} 要求，导致THD提高。

输入配置

图29显示了利用配置寄存器CFG[12:10]配置模拟输入的不同方法。详情请参见“配置寄存器，CFG”部分。

模拟输入可以配置为：

- 图29 A，单端，参考系统地； $CFG[12:10] = 111_2$ 。这种配置中，所有输入(IN[7:0])的范围均为GND至 V_{REF} 。
- 图29 B，双极性差分，具有一个公共参考点； $COM = V_{REF}/2$ ； $CFG[12:10] = 010_2$ 。单极性差分，COM连接到参考地； $CFG[12:10] = 110_2$ 。这些配置中，所有输入(IN[7:0])的范围均为GND至 V_{REF} 。
- 图29 C，双极性差分对，负输入通道参考 $V_{REF}/2$ ； $CFG[12:10] = 00X2$ 。单极性差分对，负输入通道参考参考地； $CFG[12:10] = 10X2$ 。这些配置中，正输入通道的范围为GND至 V_{REF} 。负输入通道为参考 $V_{REF}/2$ (双极性对)或GND(单极性对)的参考地。正通道通过CFG[9:7]配置。如果CFG[9:7]为偶数，则使用IN0、IN2、IN4和IN6。如果CFG[9:7]为奇数，则使用IN1、IN3、IN5和IN7(括号中的通道)。例如，对于正通道为IN0的IN0/IN1对， $CFG[9:7] = 0002$ ；对于正通道为IN5的IN4/IN5对， $CFG[9:7] = 101_2$ 。请注意，对于序列器(详见通道序列器部分)，正通道始终为IN0、IN2、IN4和IN6。
- 图29D，输入配置为以上配置的任何组合(表明AD7949可以动态配置)。

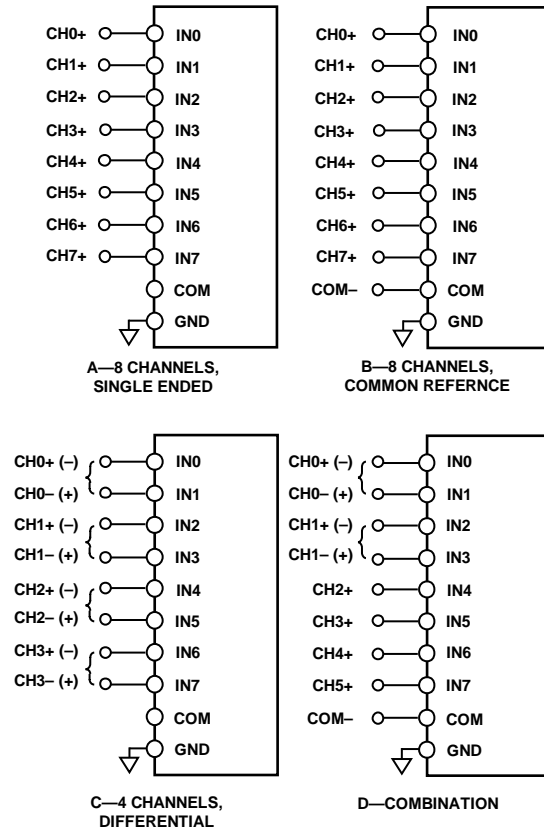


图29. 多路复用模拟输入配置

序列器

AD7949包括一个通道序列器，可用于重复扫描通道。有关序列器操作的详细信息，请参见通道序列器部分。

源阻抗

当驱动电路的源阻抗较低时，可以直接驱动AD7949。高源阻抗会显著影响交流特性，特别是THD。直流特性对输入阻抗的敏感度相对较低。最大的源阻抗取决于可容许的总谐波失真(THD)。THD性能下降程度是源阻抗和最大输入频率的函数。

驱动放大器选择

虽然AD7949很容易驱动，但驱动放大器必须满足下列要求：

- 驱动放大器所产生的噪声必须足够低，以保持AD7949的SNR和转换噪声性能。请注意，AD7949的噪声远低于大多数其它14位ADC，因此，在满足给定系统噪声要求的条件下，驱动放大器的噪声可以相对较高。来自放大器的噪声由 R_{IN} 和 C_{IN} 所构成的AD7949模拟输入电路低通滤波器进行滤波，或者由外部滤波器(如有)进行滤波。
- 对于交流应用，驱动器的THD性能应与AD7949相当。图17显示了AD7949的THD与频率的关系。
- 对于多通道、多路复用应用，在每个输入或输入对上，驱动放大器和AD7949模拟输入电路必须使电容阵列以14位水平(0.0015%)建立满量程阶跃。在放大器的数据手册中，更常见的是规定0.1%至0.01%的建立时间。这可能与14位水平的建立时间显著不同，因此选择之前应进行验证。

表8. 推荐的驱动放大器

放大器	典型应用
ADA4841-x	极低噪声、小尺寸、低功耗
AD8655	5 V单电源、低噪声
AD8021	极低噪声、高频
AD8022	低噪声、高频
OP184	低功耗、低噪声、低频
AD8605, AD8615	5 V单电源、低功耗

基准电压输出/输入

AD7949允许选择极低温度漂移的内部基准电压源、外部基准电压源或外部缓冲基准电压源。

AD7949的内部基准电压源提供出色的性能，可以用于几乎所有应用。可能的基准电压方案有6个，如表9所列，详情见以下各部分。

内部基准电压源/温度传感器

精密内部基准电压源适合大多数应用，可以设置为2.5 V或4.096 V输出，如表9所示。使能内部基准电压源时，REFIN引脚上同样存在带隙电压，要求一个0.1 μ F外部电容。REFIN的电流输出有限，如果后接一个适当的缓冲器，如AD8605等，则它可以用作一个源。请注意，内部基准电压源的设置不同(2.5 V或4.096 V)，REFIN的电压也不同。

使能该基准电压源也会使能内部温度传感器，它测量AD7949的内部温度，因而可用于执行系统校准。对于需要使用温度传感器的应用，内部基准电压源必须保持活动(内部缓冲器可以禁用)。请注意，当使用温度传感器时，输出为参考AD7949 GND引脚的直接二进制。

温度补偿使内部基准电压源的精度达到10 mV以内。基准电压经过调整，典型温漂为 ± 10 ppm/ $^{\circ}$ C。

如图30所示连接AD7949，以使用2.5 V或4.096 V内部基准电压源。

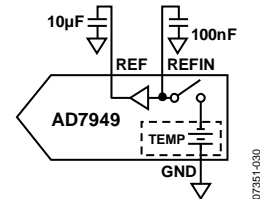


图30. 2.5 V或4.096 V内部基准电压源连接

AD7949

外部基准电压源和内部缓冲器

为改善温漂性能，可以让一个外部基准电压源配合内部缓冲器使用，如图31所示。外部源连接到片内单位增益缓冲器的输入端REFIN，并在REF引脚上产生输出。外部基准电压源配合内部缓冲器使用时，可以使能或禁用温度传感器。寄存器详情参见表9。缓冲器使能后，增益为1并限制在 $VDD - 0.2\text{ V}$ 的输入/输出，但最大容许电压必须小于或等于 $(VDD - 0.5\text{ V})$ 。

内部基准电压缓冲器在多转换器应用中很有用，因为这些应用通常需要一个缓冲器。此外，可以使用一个低功耗基准电压源，因为内部缓冲器提供了驱动AD7949的SAR架构所需的性能。

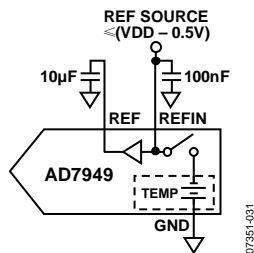


图31. 使用内部缓冲器的外部基准电压源

外部基准电压源

在任何一种基准电压方案中，都可以如图32所示将一个外部基准电压源直接连到REF引脚，因为REF的输出阻抗大于 $5\text{ k}\Omega$ 。为降低功耗，基准电压源和缓冲器应当关断。当仅用外部基准电压源时(如图35所示可选的基准电压源缓冲器)，内部缓冲器禁用。寄存器详情参见表9。为改善温漂性能，推荐使用ADR43x或ADR44x等外部基准电压源。

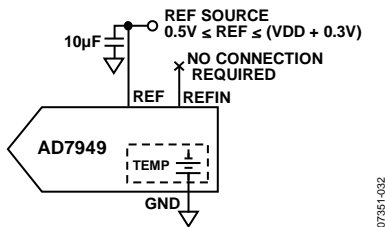


图32. 外部基准电压源

请注意，由于内部基准电压限制在 4.096 V ，因此使用 5 V 外部基准电压源时SNR性能最佳。SNR性能降低程度的计算公式如下：

$$SNR_{LOSS} = 20 \log \frac{4.096}{5}$$

基准电压源去耦

无论是使用内部基准源还是外部基准源，AD7949的基准电压输出/输入REF都具有动态输入阻抗，因此应利用低阻抗源驱动REF，REF与GND引脚之间应有效去耦。此去耦取决于选择何种基准电压源，但通常包括一个连接到REF和GND、具有最低寄生电感的低ESR电容。当使用内部基准电压源、ADR43x/ADR44x外部基准电压源或AD8031、AD8605等低阻抗缓冲器时， $10\text{ }\mu\text{F}$ (X5R、1206尺寸)的陶瓷芯片电容是合适的。

基准电压源去耦电容的位置对于AD7949的性能也很重要，详见布局部分的说明。去耦电容与ADC应位于同一侧，并且应利用粗PCB走线将去耦电容安装在REF引脚处。GND也应以最短路连接到基准源去耦电容，并通过数个过孔连接到模拟地。

如果需要，可以使用低至 $2.2\text{ }\mu\text{F}$ 的小去耦电容，它对性能(特别是DNL)的影响极小。

无论如何，REF与GND引脚之间不需要额外的低值陶瓷去耦电容(如 100 nF)。

对于使用多个AD7949器件或其它PulSAR器件的应用，使用内部基准电压缓冲器缓冲外部基准电压会更有效，这样能降低SAR转换串扰。

基准电压源温度系数(TC)会直接影响满量程，因此，在满量程精度非常重要的应用中，必须特别注意温度系数。例如，基准电压源 $\pm 10\text{ ppm}/^\circ\text{C}$ 的温度系数将使满量程以 $\pm 1\text{ LSB}/^\circ\text{C}$ 的幅度改变。

电源

AD7949使用两个电源引脚：模拟和数字内核电源(VDD)以及数字输入/输出接口电源(VIO)。VIO可以与1.8 V至VDD范围的任何逻辑直接接口。为减少所需的电源，VIO和VDD引脚可以连在一起。AD7949中VIO和VDD的电源时序无关。此外，该器件在很宽的频率范围内对电源变化非常不敏感，如图33所示。

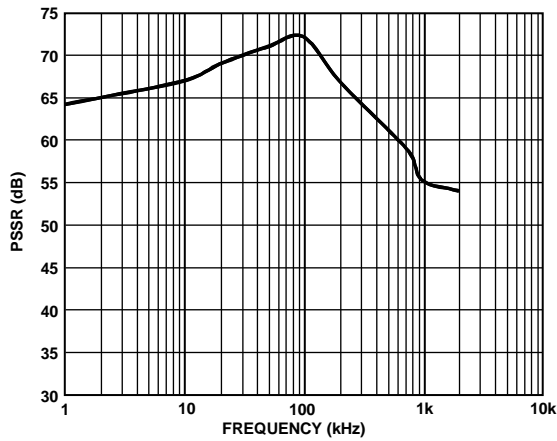


图33. PSRR与频率的关系

AD7949在每个转换阶段结束时自动降低功耗，因此，工作电流和功耗与采样速率成线性比例关系。这使得该器件非常适合低采样速率(甚至几赫兹)和电池供电的应用。

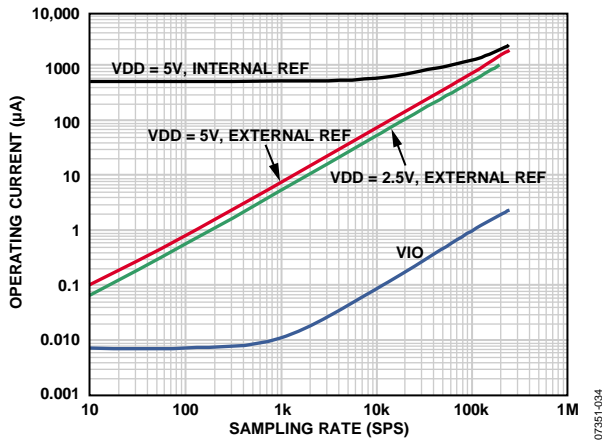
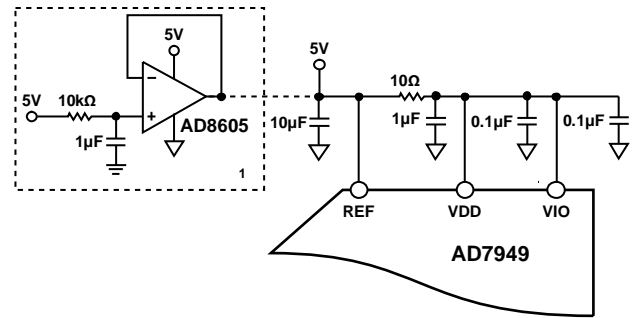


图34. 工作电流与采样速率的关系

从基准电压源为ADC供电

对于简单的应用，由于工作电流很低，AD7949可以直接采用图35所示的外部基准电压源电路供电。基准电压线路可以通过以下方式驱动：

- 直接采用系统电源。
- 具有足够电流输出能力的基准电压源，例如ADR43x或ADR44x。
- 基准电压缓冲器，如AD8605等，它也能对系统电源进行滤波，如图35所示。



1OPTIONAL REFERENCE BUFFER AND FILTER.

图35. 应用电路示例

数字接口

AD7949配有一个简单的4线接口，与SPI、MICROWIRE™、QSPI™、数字主机和DSP兼容，例如Blackfin® ADSP-BF53x、SHARC®、ADSP-219x和ADSP-218x。

接口使用CNV、DIN、SCK和SDO信号，用于启动转换的CNV与回读时序无关，这在低抖动采样或同步采样应用中很有用。

一个14位寄存器CFG[13:0]用于配置ADC的转换通道、基准电压源选择和其它元件，详情参见“配置寄存器，CFG”部分。

当CNV为低电平时，读取/写入可以发生在转换阶段、读取阶段以及转换全程(采集加转换)，详见以下各部分。CFG字在前14个SCK上升沿更新，转换结果在前13个(如果选择了繁忙模式，则为第14个)SCK下降沿输出。如果使能了CFG回读，则还需要14个SCK下降沿以输出与转换结果相关的CFG字，CFG MSB接在转换结果的LSB之后。

推荐使用非连续SCK时钟，因为选择器件时CNV为低电平，并且SCK一活动就开始写入新的配置字并输出数据。

请注意，在下面各部分中，时序图表示转换期间的数字活动(SCK、CNV、DIN、SDO)。但是，由于可能发生性能降低情况，数字活动只应发生在安全读取/写入数据时间 t_{DATA} 之前；AD7949提供了纠错电路，可以校正此时间内的错误位。从 t_{DATA} 到 t_{CONV} 的时间内则不会进行纠错，转换结果可能会被破坏。用户应在 t_{DATA} 之前配置AD7949并启动繁忙指示(如需要)。SCK或DIN在采样时刻附近跃迁时，也可能会破坏采样。因此，在CNV上升沿的大约前20 ns和后10 ns，建议使数字引脚保持安静；只要可能，就应使用非连续SCK时钟，避免潜在的性能降低问题。

转换期间读取/写入，快速主机

当在转换(n)期间执行读取/写入时，转换结果是上一次(n-1)转换的结果，写入CFG寄存器则是针对下一次(n+1)采集和转换。

CNV变为高电平以启动转换后，必须使其再变为低电平，以便在转换期间执行读取/写入。读取/写入的截止时间为 t_{DATA} ，此时间非常短促，因此主机必须使用快速SCK时钟。

所需的SCK频率可通过下式计算：

$$f_{SCK} \geq \frac{\text{Number_SCK_Edges}}{t_{DATA}}$$

t_{DATA} 与 t_{CONV} 之间的时间为安全时间，期间不应发生数字活动，否则会破坏敏感的位判断。

转换后读取/写入，任何速度主机

当在转换之后或采集阶段(n)执行读取/写入时，转换结果是上一次(n-1)转换的结果，写入则是针对下一次(n+1)采集。

对于最高吞吐速率，唯一的时间限制是读取/写入应发生在 t_{ACQ} (最短)时间内。对于较慢的吞吐速率，时间限制由用户要求的吞吐速率决定，主机可以任何速度运行。因此，对于较慢的主机，数据访问必须发生在采集阶段。

转换全程读取/写入，任何速度的主机

当在转换全程执行读取/写入时，数据访问开始于当前采集(n)阶段，并延伸至转换(n)阶段。转换结果是上一次(n-1)转换的结果，写入CFG寄存器则是针对下一次(n+1)采集和转换。

与转换期间读取/写入相似，读取/写入的截止时间为 t_{DATA} 。对于最高吞吐速率，唯一的时间限制是读取/写入应发生在 $t_{\text{ACQ}} + t_{\text{DATA}}$ 时间内。

对于较慢的吞吐速率，时间限制由用户要求的吞吐速率决定，主机可以任何速度运行。与采集期间读取/写入相似，对于较慢的主机，数据访问必须发生在采集阶段，可以延伸至转换阶段。

请注意，转换全程的数据访问要求将CNV驱动至高电平以启动新的转换，CNV为高电平时不允许进行数据访问。因此，使用这种方法时，主机必须执行两次突发数据访问。

配置寄存器，CFG

AD7949利用一个14位配置寄存器(CFG[13:0])，详见表9)配置输入、待转换通道、1极点滤波器带宽、基准电压源和通道序列器。CFG寄存器通过14个SCK上升沿锁存于DIN上(MSB优先)。CFG更新与边沿相关，允许使用异步或同步主机。

AD7949

可以在转换期间、采集期间或采集/转换全程写入该寄存器，寄存器更新则发生在转换 t_{CONV} (最大值)结束时。写入CFG寄存器时总是存在一个深度延迟。请注意，上电时CFG寄存器未定义，需要两次伪转换以便更新寄存器。若要用工厂设置预加载CFG寄存器，应使DIN处于高电平并保持两次转换的时间。这样，CFG[13:0] = 0x3FFF，AD7949的设置如下：

- IN[7:0]单极性，参考GND，按顺序构成序列
- 单极点滤波器使用全带宽
- 禁用内部基准电压源/温度传感器，使能缓冲器
- 使能内部序列器
- 不回读CFG寄存器

表9详细描述了配置寄存器各位的功能。更多信息参见工作原理部分。

13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFG	INCC	INCC	INCC	INx	INx	INx	BW	REF	REF	REF	SEQ	SEQ	RB

表9. 配置寄存器描述

位	名称	描述			
[13]	CFG	配置更新。 0 = 保持当前的配置设置。 1 = 覆盖寄存器的内容。			
[12:10]	INCC	输入通道配置。选择伪双极性、伪差分、输入对、单端或温度传感器。参见输入配置部分。			
		位12	位11	位10	功能
		0	0	X ¹	双极性差分对；INx - 参考 $V_{REF}/2 \pm 0.1 V$ 。
		0	1	0	双极性；INx - 参考 $COM = V_{REF}/2 \pm 0.1 V$ 。
		0	1	1	温度传感器。
		1	0	X ¹	单极性差分对；INx - 参考 $GND \pm 0.1 V$ 。
[9:7]	INx	以二进制方式选择输入通道。			
		位9	位8	位7	通道
		0	0	0	IN0
		0	0	1	IN1
		
1	1	1	IN7		
[6]	BW	选择低通滤波器的带宽。参见可选低通滤波器部分。 0 = 1/4带宽，使用附加串联电阻进一步限制噪声带宽。最高吞吐速率也必须降至1/4。 1 = 全带宽。			
[5:3]	REF	基准电压源/缓冲器选择。选择内部、外部或外部缓冲基准电压，并使能片内温度传感器。参见基准电压输出/输入部分。			
		位5	位4	位3	功能
		0	0	0	内部基准电压源，REF = 2.5 V输出，温度传感器使能。
		0	0	1	内部基准电压源，REF = 4.096 V输出，温度传感器使能。
		0	1	0	外部基准电压源，温度传感器使能。
		0	1	1	外部基准电压源，内部缓冲器，温度传感器使能。
1	1	0	外部基准电压源，温度传感器禁用。		
1	1	1	外部基准电压源，内部缓冲器，温度传感器禁用。		
[2:1]	SEQ	通道序列器。允许以IN0到IN[7:0]的方式扫描通道。参见通道序列器部分。			
		位2	位1	功能	
		0	0	禁用序列器。	
		0	1	序列扫描期间更新配置。	
		1	0	扫描IN0至IN[7:0](由CFG[9:7]设置)，然后扫描温度。	
1	1	扫描IN0至IN[7:0](由CFG[9:7]设置)。			
[0]	RB	回读CFG寄存器。 0 = 数据结束时回读当前配置。 1 = 不回读配置内容。			

¹ X = 无关位。

无繁忙指示器的通用时序

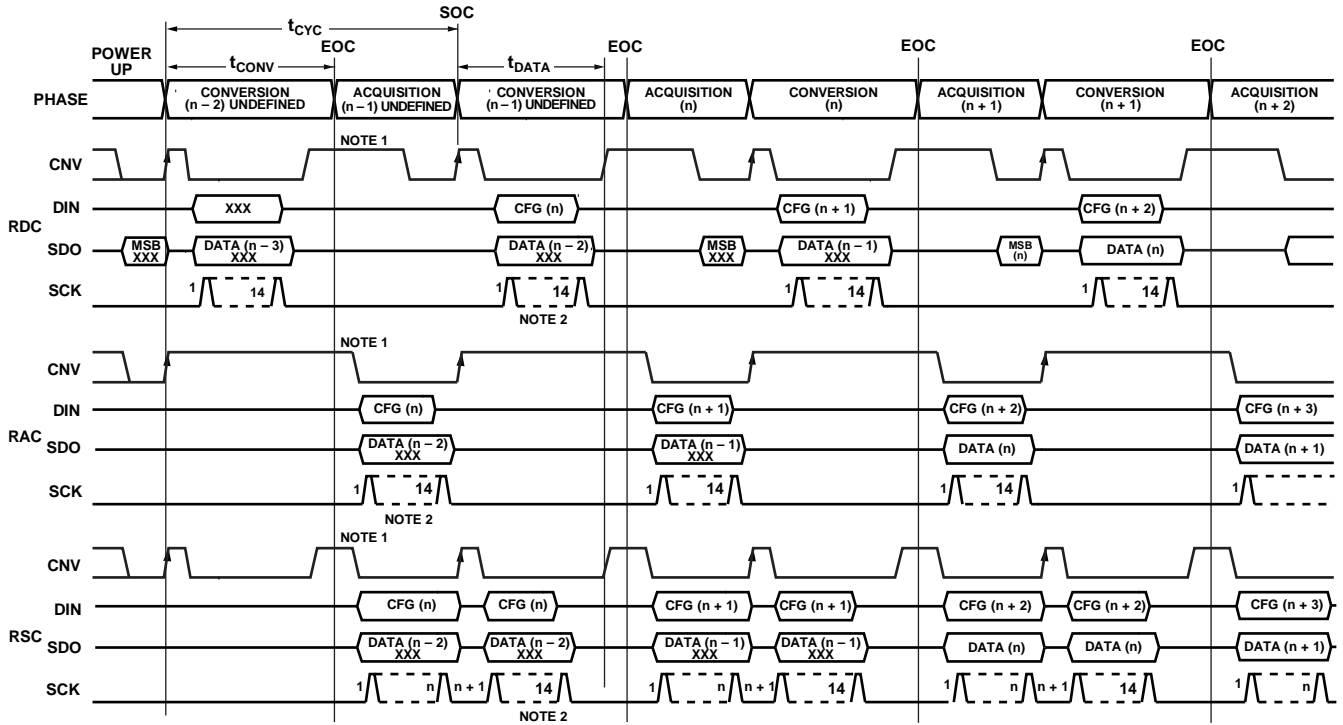
图36展示了所有三种模式的时序：转换期间读取/写入 (RDC)、转换后读取/写入 (RAC) 和转换全程读取/写入 (RSC)。请注意，CFG和数据回读的选通条件均为转换结束 (EOC)。转换结束时，如果CNV为高电平，则繁忙指示器禁用。

如前文的数字接口部分所述，数据访问的截止时间为安全数据读取/写入时间 t_{DATA} 。如果没有在EOC之前写入完整的CFG字，则CFG字被丢弃，当前配置仍然有效。如果没有在EOC之前完全读出转换结果，则转换结果丢失，ADC以当前转换的MSB更新SDO。详细时序参见图39和图40，其中显示了转换全程读取/写入的所有时序细节，包括设置、保持和SCK。

当CNV在EOC之后变为低电平时，SDO从高阻态变为MSB。SCK下降沿输出从MSB - 1开始的各位。

如果使用SPI，则根据时钟极性(CPOL)和时钟相位(CPHA)设置的不同，SCK空闲时可以为高电平或低电平。简单的解决办法是令CPOL = CPHA = 0，如图36所示，使SCK空闲时为低电平。

无论何种读取/写入模式，上电之后的前三次转换结果都是未定义的，因为有效CFG直到第2个EOC之后才出现，因而需要2次伪转换。另外，如果状态机在上电状态期间写入CFG(如RDC所示)，则下一个阶段需要重新写入CFG寄存器。请注意，在阶段(n - 1)写入CFG寄存器时，第一个有效数据出现在(n + 1)阶段。



- NOTES**
1. CNV MUST BE HIGH PRIOR TO THE END OF CONVERSION (EOC) TO AVOID THE BUSY INDICATOR.
 2. A TOTAL OF 14 SCK FALLING EDGES ARE REQUIRED TO RETURN SDO TO HIGH-Z. IF CFG READBACK IS ENABLED, A TOTAL OF 28 SCK FALLING EDGES IS REQUIRED TO RETURN SDO TO HIGH-Z.
 3. WITH THE SEQUENCER ENABLED, THE NEXT ACQUISITION PHASE WILL BE FOR IN0 AFTER THE LAST CHANNEL SET IN CFG[9:7] IS CONVERTED.

图36. 无繁忙指示器的AD7949通用接口时序

07351-036

含繁忙指示器的通用时序

图37展示了所有三种模式的时序：转换期间读取/写入 (RDC)、转换后读取/写入 (RAC) 和转换全程读取/写入 (RSC)。请注意，CFG和数据回读的选通条件均为转换结束 (EOC)。如前文所述，数据访问的截止时间为安全数据读取/写入时间 t_{DATA} 。如果没有在EOC之前写入完整的CFG字，则CFG字被丢弃，当前配置仍然有效。

转换结束时，如果CNV为低电平，则繁忙指示器使能。此外，为正确产生繁忙指示，主机必须至少置位15个SCK下降沿才能使SDO返回高阻态，因为SDO上的最后一位仍然有效。与无繁忙指示器的通用时序部分所述的情况不同，如果没有在EOC之前完全读出转换结果，输出的最后一位仍然存在。如果此位为低电平，则无法产生繁忙信号指

示，因为其产生条件为高阻态或高低转换。由于大多数SPI主机通常以8位或16位突发数据为限，因此这应当不是问题。无需担心额外的时钟，因为在第15个下降沿之后，SDO仍为高阻态。

如果使用SPI，则根据CPOL和CPHA设置的不同，SCK空闲时可以为高电平或低电平。简单的解决办法是令 $CPOL = CPHA = 1$ (图中未显示)，使SCK空闲时为高电平。

无论何种读取/写入模式，上电之后的前三次转换结果都是未定义的，因为有效CFG直到第2个EOC之后才出现，因而需要2次伪转换。另外，如果状态机在上电状态期间写入CFG (如RDC所示)，则下一个阶段需要重新写入CFG寄存器。请注意，在阶段(n-1)写入CFG寄存器时，第一个有效数据出现在(n+1)阶段。

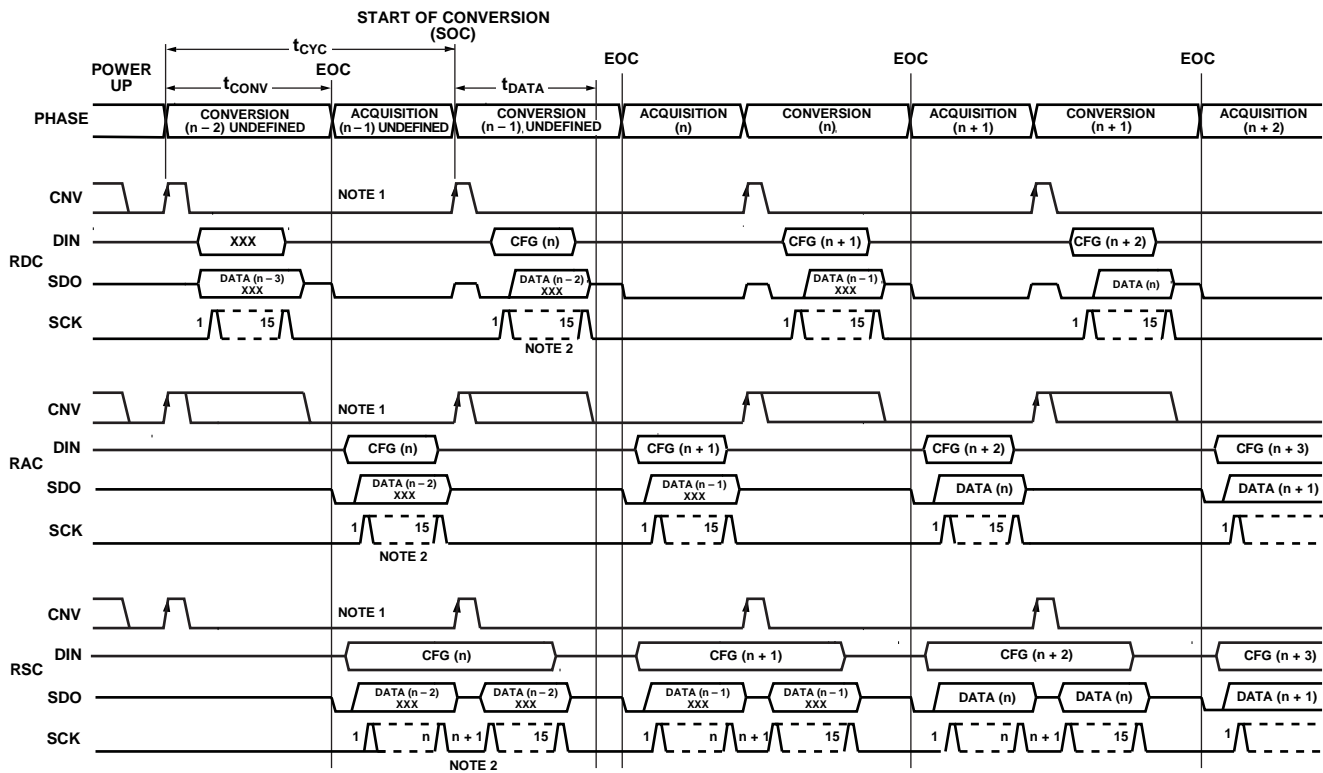


图37. 含繁忙指示器的AD7949通用接口时序

07351-037

通道序列器

AD7949包括一个通道序列器，可用于重复扫描通道。确定序列的最后一个通道后，以逐个或成对方式扫描通道，包括或不包括温度传感器。

序列器从IN0开始，以CFG[9:7]所设置的IN[7:0]结束。对于成对通道，通道配对取决于CFG[9:7]中设置的最后一个通道。请注意，在序列器模式下，成对通道的正输入始终在偶数通道(IN0、IN2、IN4、IN6)上，负输入始终在奇数通道(IN1、IN3、IN5、IN7)上。例如，如果CFG[9:7] = 110或111，则扫描所有成对通道时，正输入提供给IN0、IN2、IN4和IN6。

CFG[2:1]用于使能序列器。CFG寄存器更新后，在读出位13的数据时DIN必须处于低电平，否则CFG寄存器会再次开始更新。

请注意，以序列方式工作时，CFG寄存器的某些位可以改变。然而，如果更改CFG[11](成对或单个通道)或CFG[9:7](序列中的最后一个通道)，序列将重新初始化，并在CFG寄存器更新后转换IN0(或IN0/IN1对)。

图38详细显示了无繁忙指示器的所有三种模式的时序。更多信息参见“无繁忙指示器的通用时序”部分和“无繁忙指示器的转换全程读取/写入”部分。也可以在使能繁忙指示器

的情况下使用序列器，时序详情参见“含繁忙指示器的通用时序”部分和“含繁忙指示器的转换全程读取/写入”部分。

对于序列器操作，应在上电后的(n - 1)阶段设置CFG寄存器。在阶段(n)，序列器设置生效并获取IN0。第一个有效转换结果在阶段(n + 1)提供。对CFG[9:7]所设置的最后一个通道执行转换后，输出内部温度传感器数据(如果使能)，然后再次获取IN0。

示例

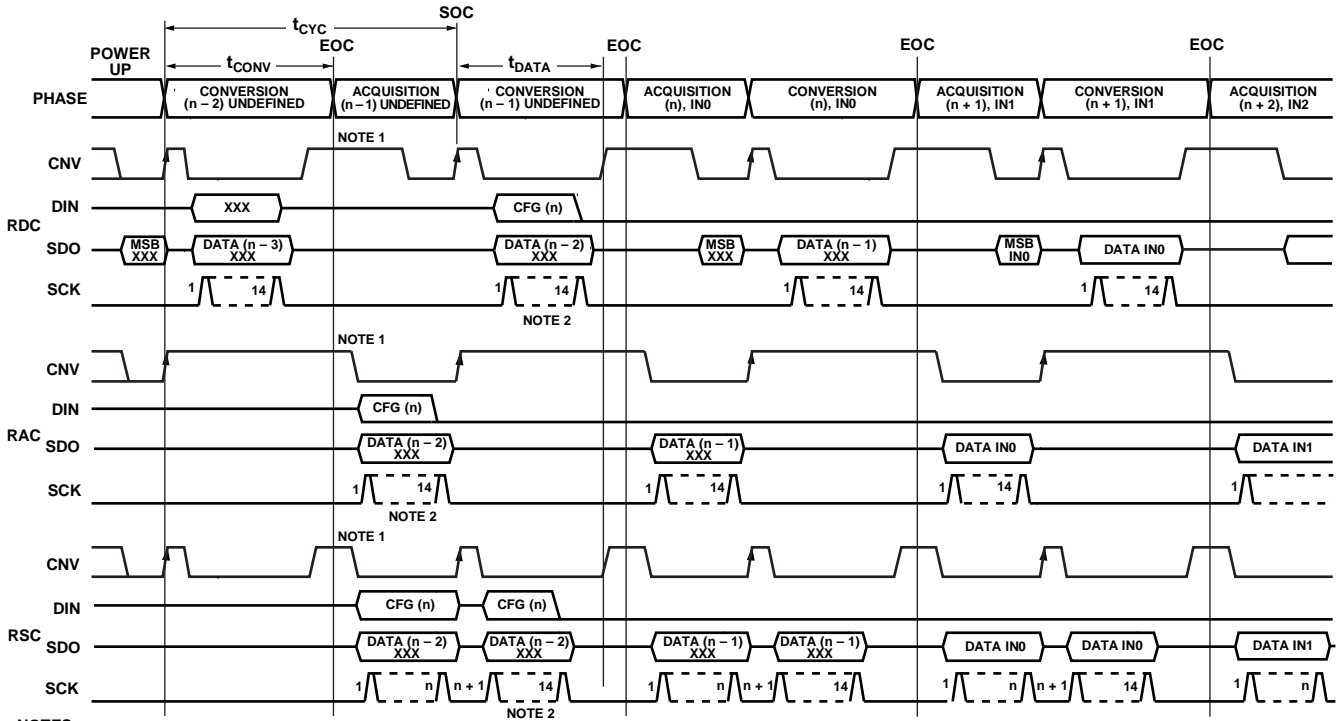
所有通道均被配置为单极性模式并参考GND，包括内部温度传感器，则序列器按以下顺序扫描通道：

IN0, IN1, IN2, IN3, IN4, IN5, IN6, IN7, TEMP, IN0, IN1, IN2, ...

如果是成对通道并使能内部温度传感器，则序列器按以下顺序扫描通道：

IN0, IN2, IN4, IN6, TEMP, IN0, ...

请注意，IN1、IN3、IN5和IN7参考GND或V_{REF}/2，详情参见输入配置部分。



- NOTES
1. CNV MUST BE HIGH PRIOR TO THE END OF CONVERSION (EOC) TO AVOID THE BUSY INDICATOR.
 2. A TOTAL OF 14 SCK FALLING EDGES ARE REQUIRED TO RETURN SDO TO HIGH-Z. IF CFG READBACK IS ENABLED, A TOTAL OF 28 SCK FALLING EDGES IS REQUIRED TO RETURN SDO TO HIGH-Z.

图38. 无繁忙指示器的通用通道序列器时序

07351-038

AD7949

无繁忙指示器的转换全程读取/写入

当AD7949连接到任何使用SPI、串行端口或FPGA的主机时，使用此模式。连接如图39所示，相应的时序如图40所示。对于SPI，主机应使用CPHA = CPOL = 0。所示的转换全程读取/写入时序包括数字接口部分所述的所有三种模式。对于此模式，主机必须根据转换时间进行数据传输。对于采用繁忙指示器的中断驱动传输，参见“含繁忙指示器的转换全程读取/写入”部分。

CNV上升沿启动转换，强制SDO进入高阻态，并忽略DIN上存在的数据。启动转换后，无论CNV为何状态，转换都会执行到完成为止。CNV在安全数据传输时间 t_{DATA} 之前必须返回高电平，然后保持高电平到转换时间 t_{CONV} 之后，以免产生繁忙信号指示。

转换完成后，AD7949进入采集阶段并关断状态。当主机在 t_{CONV} (最大值)之后使CNV变为低电平时，SDO上的MSB使能。主机此时还必须使能CFG寄存器的MSB(如有必要)，以便开始更新CFG。在CNV为低电平期间，CFG更新和数据回读均会发生。前14个SCK上升沿用于更新CFG，前13个SCK下降沿逐位输出转换结果，从MSB - 1开始。配置和读取的限制是二者必须发生在下一次转换的 t_{DATA} 时间逝去之前。必须写入所有14位CFG[13:0]，否则就会忽略该值。此外，如果没有在 t_{DATA} 逝去之前回读14位转换结果，转换结果就会丢失。

SDO数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第14个(或第28个)SCK下降沿之后，或者当CNV变为高电平时(以最先发生者为准)，SDO返回高阻态。

如果使能了CFG回读，则会在转换结果的LSB之后以MSB优先方式回读与转换结果相关的CFG寄存器。这种情况下，总共需要28个SCK下降沿才能使SDO返回高阻态。

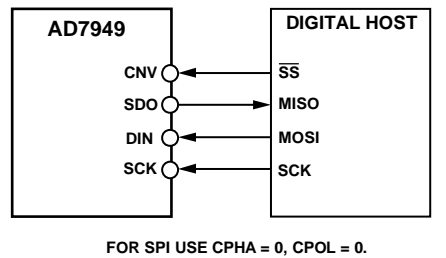
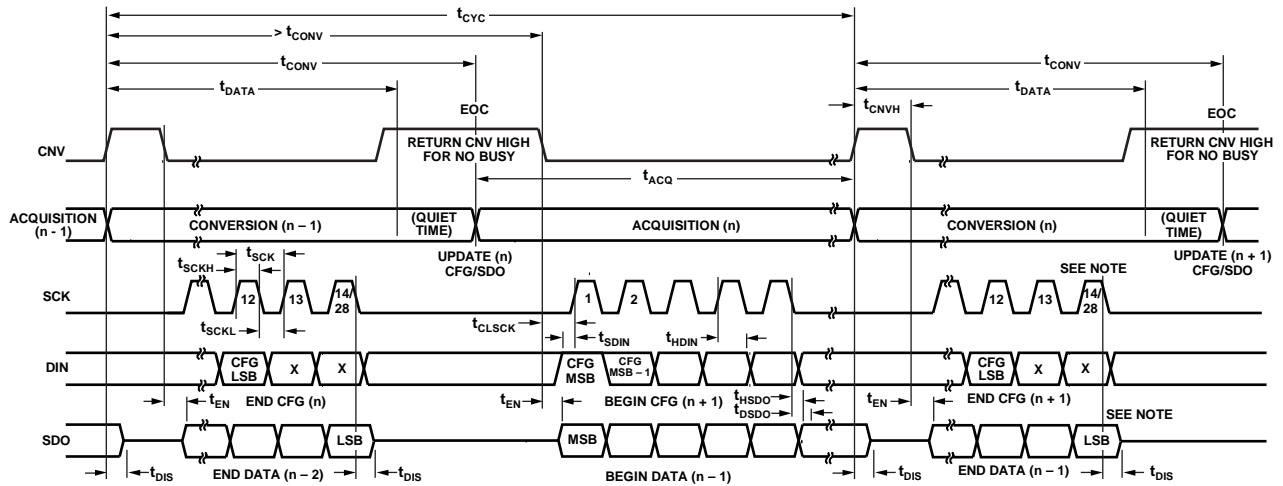


图39. 无繁忙指示器的AD7949连接图



- NOTES
 1. THE LSB IS FOR CONVERSION RESULTS OR THE CONFIGURATION REGISTER CFG (n - 1) IF
 13 SCK FALLING EDGES = LSB OF CONVERSION RESULTS.
 27 SCK FALLING EDGES = LSB OF CONFIGURATION REGISTER.
 ON THE 14TH OR 28TH SCK FALLING EDGE, SDO IS DRIVEN TO HIGH IMPEDANCE.

图40. 无繁忙指示器的AD7949串行接口时序

AD7949

含繁忙指示器的转换全程读取/写入

当AD7949连接到任何使用SPI、串行端口或FPGA并带中断输入的主机时，使用此模式。连接如图41所示，相应的时序如图42所示。对于SPI，主机应使用CPHA = CPOL = 1。所示的转换全程读取/写入时序包括数字接口部分所述的所有三种模式。

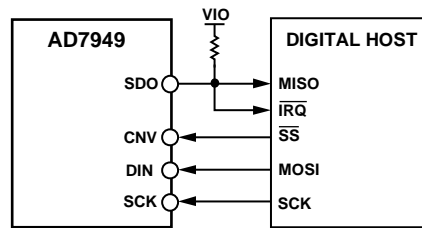
CNV上升沿启动转换，忽略DIN上存在的数据并强制SDO进入高阻态。启动转换后，无论CNV为何状态，转换都会执行到完成为止。CNV在安全数据传输时间 t_{DATA} 之前必须返回低电平，然后保持低电平到转换时间 t_{CONV} 之后，以产生繁忙信号指示。转换完成后，SDO从高阻态变为低电平状态(数据就绪)，上拉VIO后，SDO可以用于中断主机以开始数据传输。

转换完成后，AD7949进入采集阶段并关断状态。主机此时必须使能CFG寄存器的MSB(如有必要)，以便开始更新

CFG。在CNV为低电平期间，CFG更新和数据回读均会发生。前14个SCK上升沿用于更新CFG寄存器，前14个SCK下降沿逐位输出转换结果，从MSB开始。配置和读取的限制是二者必须发生在下一次转换的 t_{DATA} 时间逝去之前。必须写入所有14位CFG[13:0]，否则就会忽略该值。此外，如果没有在 t_{DATA} 逝去之前回读14位转换结果，转换结果就会丢失。

SDO数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在可选的第15个(或第29个)SCK下降沿之后，SDO返回高阻态。请注意，如果不使用可选的SCK下降沿，则无法检测繁忙特性，详见“含繁忙指示器的通用时序”部分。

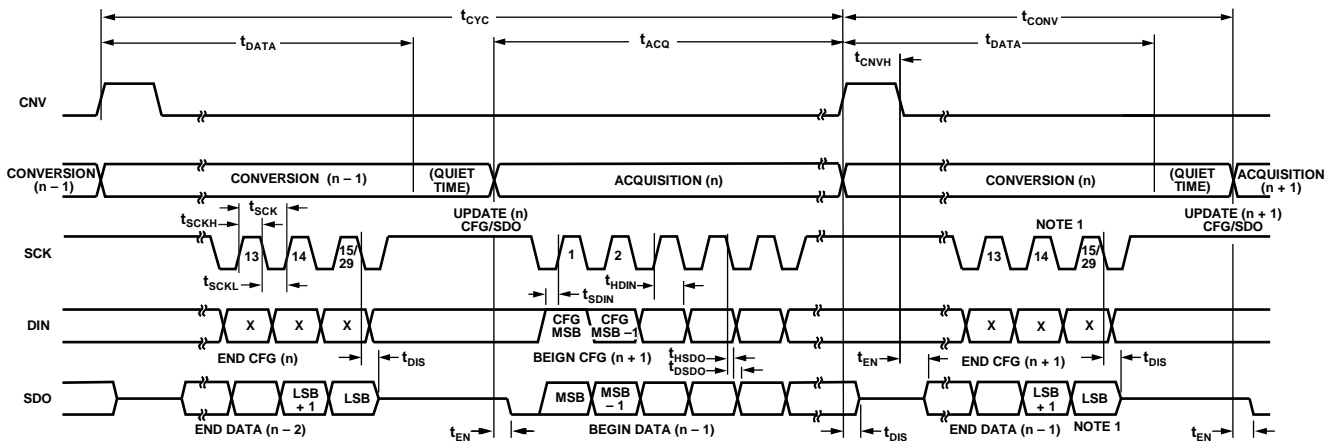
如果使能了CFG回读，则会在转换结果的LSB之后以MSB优先方式回读与转换结果相关的CFG寄存器。这种情况下，总共需要29个SCK下降沿才能使SDO返回高阻态。



FOR SPI USE CPHA = 1, CPOL = 1.

图41. 含繁忙指示器的AD7949连接图

07351-041



NOTES:
 1. THE LSB IS FOR CONVERSION RESULTS OR THE CONFIGURATION REGISTER CFG (n - 1) IF 14 SCK FALLING EDGES = LSB OF CONVERSION RESULTS.
 28 SCK FALLING EDGES = LSB OF CONFIGURATION REGISTER.
 ON THE 15TH OR 29TH SCK FALLING EDGE, SDO IS DRIVEN TO HIGH IMPEDANCE. OTHERWISE, THE LSB REMAINS ACTIVE UNTIL THE BUSY INDICATOR IS DRIVEN LOW.

图42. 含繁忙指示器的AD7949串行接口时序

07351-042

应用须知

布局

AD7949所在的印刷电路板(PCB)应采用模拟部分与数字部分分离设计,并限制在电路板的一定区域内。AD7949的所有模拟信号位于左侧,所有数字信号位于右侧,这种引脚排列可以简化设计。

避免在器件下方布设数字线路,否则会将噪声耦合至芯片管芯,除非在AD7949下方铺一个接地层用作屏蔽。诸如CNV或时钟之类的快速开关信号不应靠近模拟信号路径。避免数字信号与模拟信号交叠。

至少应使用一个接地层。数字和模拟部分可以共用或分割使用接地层。对于后一种情况,接地层应在AD7949下方连接。

AD7949的基准电压输入REF具有动态输入阻抗,应进行去耦,并使寄生电感最小。实现方法是将基准电压源的去耦

陶瓷电容靠近(理想情况是正对)REF和GND引脚放置,并用较宽的低阻抗走线进行连接。

最后,AD7949的电源VDD和VIO应通过陶瓷电容去耦,其值通常为100 nF,靠近AD7949放置,并用短而宽的走线连接,以提供低阻抗路径并减小电源线路上的毛刺噪声影响。

评估AD7949性能

AD7949评估板(EVAL-AD7949EDZ)的文档中给出了AD7949的其它推荐布局布线。评估板套件包括装配完善且经过测试的评估板、文档以及用于从PC通过转换器和评估开发数据捕捉板EVAL-CED1Z控制评估板的软件。

外形尺寸

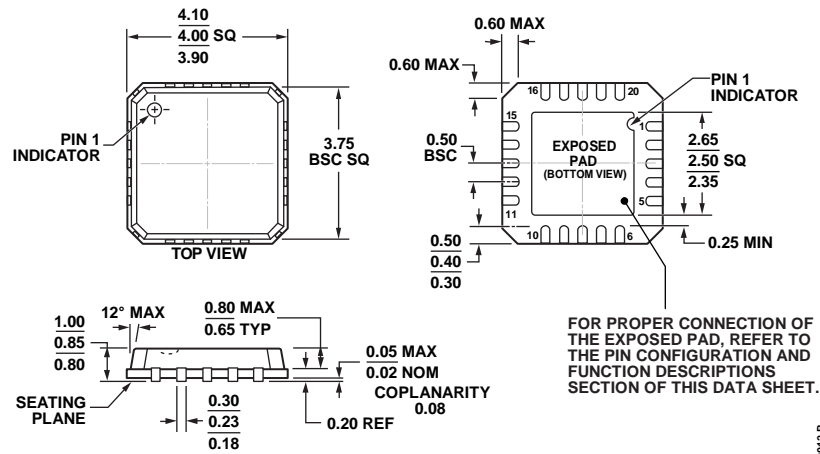


图43. 20引脚LFCSP_VQ封装, 4 mm x 4 mm超薄体 (CP-20-4), 尺寸单位: mm

订购指南

型号 ¹	注释	温度范围	封装描述	封装描述	订购数量
AD7949BCPZ		-40°C至+85°C	20引脚 LFCSP_VQ	CP-20-4	卷盘, 490
AD7949BCPZRL7		-40°C至+85°C	20引脚 LFCSP_VQ	CP-20-4	卷盘, 1,500
EVAL-AD7949EDZ			评估板		
EVAL-CED1Z	²		控制板		

¹ Z = 符合RoHS标准的器件。

² 此控制器板允许PC对所有带ED后缀的ADI评估板进行控制并与之通信。