



**ANALOG  
DEVICES**

**ADC, 具备功耗调节功能, 110.8 kHz带宽**

**AD7768/AD7768-4**

**产品特性**

精密交流和直流性能

8/4通道同步采样

每通道最大ADC输出数据速率: 256 kSPS

动态范围: 108 dB

最大输入带宽: 110.8 kHz(-3 dB带宽)

总谐波失真(THD): -120 dB(典型值)

±2 ppm满量程(FSR)积分非线性(INL)、±50 μV失调误差、±30 ppm增益误差

优化的功耗、噪声和输入带宽

可选功耗、速度和输入带宽(BW)模式

快速: 最高速度; 110.8 kHz带宽, 每通道51.5 mW

中速: 半速, 55.4 kHz带宽, 每通道27.5 mW

生态: 最低功耗, 13.8 kHz带宽, 每通道9.375 mW

输入带宽范围: 直流至110.8 kHz

可编程输入带宽/采样速率

数据接口支持循环冗余校验(CRC)错误检查

菊花链连接

线性相位数字滤波器

低延迟sinc5滤波器

宽带砖墙式滤波器: ±0.005 dB通带纹波(DC至102.4 kHz)

模拟输入预充电缓冲器

电源

AVDD1 = 5.0 V, AVDD2 = 2.25 V至5.0 V

IOVDD = 2.5 V至3.3 V 或 IOVDD = 1.8 V

64引脚LQFP封装, 无裸露焊盘

温度范围: -40°C至+105°C

**应用**

数据采集系统: USB/PXI/以太网

仪器仪表和工业控制环路

音频测试和测量

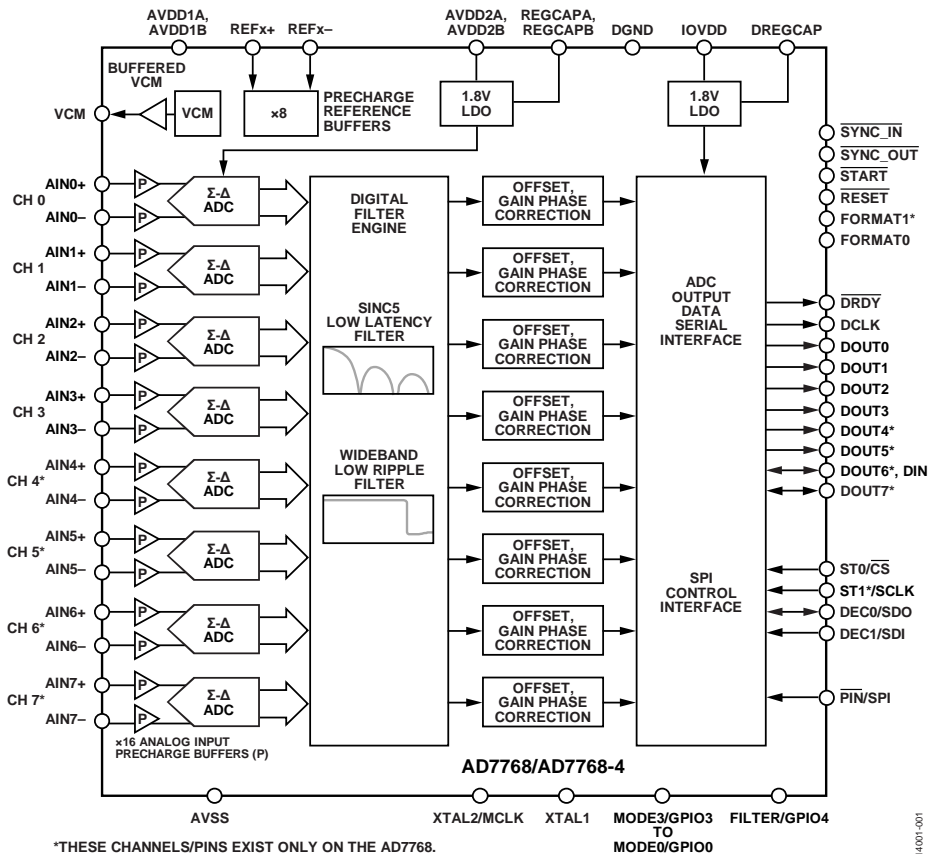
振动和资产状态监控

3相电能质量分析

声纳

高精度医疗脑电图(EEG)/肌电图(EMG)/心电图(ECG)

**功能框图**



\*THESE CHANNELS/PINS EXIST ONLY ON THE AD7768.

MODE0/GPIO0 TO MODE6/GPIO6

Rev. A

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106 U.S.A.  
Tel: 781.329.4700 ©2016 Analog Devices, Inc. All rights reserved.  
[Technical Support](#) [www.analog.com](http://www.analog.com)

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

## 目录

产品特性 .....	1	AD7768寄存器映射详解(SPI控制) .....	72
应用 .....	1	AD7768寄存器映射 .....	72
功能框图 .....	1	通道待机寄存器 .....	74
修订历史 .....	3	通道模式A寄存器 .....	74
概述 .....	5	通道模式B寄存器 .....	75
技术规格 .....	6	通道模式选择寄存器 .....	75
1.8 V IOVDD规格 .....	12	功耗模式选择寄存器 .....	76
时序规格 .....	16	通用器件配置寄存器 .....	76
1.8 V IOVDD时序规格 .....	17	数据控制：软件复位、同步和单次控制寄存器 .....	77
绝对最大额定值 .....	21	接口配置寄存器 .....	78
热阻 .....	21	数字滤波器RAM内置自测(BIST)寄存器 .....	78
ESD警告 .....	21	状态寄存器 .....	79
引脚配置和功能描述 .....	22	版本标识寄存器 .....	79
典型性能参数 .....	30	GPIO控制寄存器 .....	79
术语 .....	40	GPIO写入数据寄存器 .....	80
工作原理 .....	41	GPIO读取数据寄存器 .....	80
时钟、采样树和功耗调节 .....	41	模拟输入预充电缓冲器使能寄存器通道0至通道3 .....	80
噪声性能和分辨率 .....	42	模拟输入预充电缓冲器使能寄存器通道4至通道7 .....	81
应用信息 .....	44	正基准预充电缓冲器使能寄存器 .....	81
电源 .....	45	负基准预充电缓冲器使能寄存器 .....	82
器件配置 .....	46	失调寄存器 .....	82
引脚控制 .....	46	增益寄存器 .....	83
SPI控制 .....	49	同步相位失调寄存器 .....	83
SPI控制功能 .....	50	ADC诊断接收选择寄存器 .....	83
SPI控制模式额外诊断特性 .....	53	ADC诊断控制寄存器 .....	84
电路信息 .....	54	调制器延迟控制寄存器 .....	85
核心信号链 .....	54	斩波控制寄存器 .....	85
模拟输入 .....	55	AD7768-4寄存器映射详解(SPI控制) .....	86
VCM .....	56	AD7768-4寄存器映射 .....	86
基准输入 .....	56	通道待机寄存器 .....	88
时钟选择 .....	56	通道模式A寄存器 .....	88
数字滤波 .....	56	通道模式B寄存器 .....	89
抽取率控制 .....	58	通道模式选择寄存器 .....	89
抗混叠 .....	58	功耗模式选择寄存器 .....	89
校准 .....	59	通用器件配置寄存器 .....	90
数据接口 .....	61	数据控制：软件复位、同步和单次控制寄存器 .....	91
设置数据输出格式 .....	61	接口配置寄存器 .....	91
ADC转换输出：标头和数据 .....	62		
功能 .....	71		
GPIO功能 .....	71		

数字滤波器RAM内置自测(BIST)寄存器 .....	92	负基准预充电缓冲器使能寄存器 .....	95
状态寄存器 .....	92	失调寄存器 .....	96
版本标识寄存器 .....	93	增益寄存器 .....	96
GPIO控制寄存器 .....	93	同步相位失调寄存器 .....	96
GPIO写入数据寄存器 .....	94	ADC诊断接收选择寄存器 .....	96
GPIO读取数据寄存器 .....	94	ADC诊断控制寄存器 .....	97
模拟输入预充电缓冲器使能寄存器通道0和通道1 .....	94	调制器延迟控制寄存器 .....	97
模拟输入预充电缓冲器使能寄存器通道2和通道3 .....	95	斩波控制寄存器 .....	98
正基准预充电缓冲器使能寄存器 .....	95	外形尺寸 .....	99
		订购指南 .....	99

## 修订历史

### 2016年3月—修订版0至修订版A

增加AD7768-4 .....	通篇	更改“MCLK源选择”部分、 “接口配置”部分和“通过SPI实现ADC同步”部分 .....	52
“预充电模拟输入基准”更改为 “模拟输入预充电” .....	通篇	增加图81 .....	52
更改“概述”部分 .....	5	更改“RAM内置自测”部分 .....	53
更改表1 .....	6	更改“模拟输入”部分和图85 .....	55
更改表2 .....	12	增加图86 .....	55
更改表3和表4的 $t_{30}$ 参数 .....	16	增加表27 .....	56
更改表5 .....	17	更改“VCM”部分、“基准输入”部分和 “数字滤波”部分 .....	56
更改表6的 $t_{30}$ 参数和图2 .....	18	更改图87、图88和图89 .....	57
更改图4和图7 .....	19	更改“抗混叠”部分和“调制器采样频率”部分 .....	58
更改图8和图9 .....	20	更改“调制器斩波频率”部分、 表29和“调制器饱和点”部分 .....	59
更改图10和表9 .....	22	更改“同步相位失调调整”部分 .....	60
增加图11和表10；重新排序 .....	26	更改“设置数据输出格式”部分 .....	61
更改“典型工作特性”部分 .....	30	增加表32和图93 .....	61
更改“工作原理”部分和 “时钟、采样树和功耗调节”部分 .....	41	更改图94的标题和 “ADC转换输出：标头和数据”部分 .....	62
更改表11 .....	42	更改“数据接口：标准转换工作模式”部分 .....	63
增加“功耗与噪声性能优化示例”部分和 “输出ADC转换结果(DCLK)”部分 .....	42	更改图99 .....	64
更改“应用信息”部分和图73 .....	44	增加图100 .....	64
更改表14和“电源”部分 .....	45	增加图101 .....	65
移动“1.8 V IOVDD操作”部分 .....	46	更改“菊花链连接”部分和图104 .....	66
更改图75、“模拟电源内部连接” 部分和“引脚控制”部分 .....	46	增加图105 .....	67
增加图76 .....	47	更改“数据接口CRC检查”部分 .....	68
更改“通道待机”部分和 “访问ADC寄存器映射”部分 .....	49	更改表35 .....	69
增加表22 .....	49	更改表36 .....	70
更改“通道配置”部分 .....	50	更改“GPIO功能”部分和图108 .....	71
更改“通道模式”部分、 “通过SPI控制接口复位”部分、 “睡眠模式”部分和“通道待机”部分 .....	51	增加图109 .....	71
		更改“AD7768寄存器映射详解(SPI控制)” 部分和表37 .....	72
		更改“通道待机寄存器”部分 .....	74

# AD7768/AD7768-4

更改表42和表43 .....	76
更改表44 .....	77
更改表45和表46 .....	78
更改表49 .....	79
更改表61 .....	85
增加“AD7768-4寄存器映射详解(SPI控制)” 部分和表63 .....	86
增加表64和表65 .....	88
增加表66、表67和表68 .....	89
增加表69 .....	90
增加表70和表71 .....	91
增加表72和表73 .....	92
增加表74和表75 .....	93
增加表76、表77和表78 .....	94

增加表79、表80和表81 .....	95
增加表82、表83、表84和表85 .....	96
增加表86和表87 .....	97
增加表88 .....	98
更改“订购指南”部分 .....	99

**2016年1月—修订版0：初始版**

## 概述

AD7768/AD7768-4分别为每通道集成 $\Sigma$ - $\Delta$ 型调制器和数字滤波器的8通道和4通道、同步采样 $\Sigma$ - $\Delta$ 型模数转换器(ADC)，支持交流和直流信号的同步采样。

AD7768/AD7768-4在110.8 kHz最大输入带宽下实现108 dB动态范围，具备 $\pm 2$  ppm INL、 $\pm 50$   $\mu$ V失调误差和 $\pm 30$  ppm增益误差的典型性能。

AD7768/AD7768-4用户可在输入带宽、输出数据速率和功耗之间进行权衡，并选择三种功耗模式之一以优化噪声目标和功耗。AD7768/AD7768-4的灵活性使其成为适合低功耗直流和高性能交流测量模块的可重复使用平台。

AD7768/AD7768-4有三种工作模式：快速模式(最大256 kSPS、110.8 kHz输入带宽、每通道51.5 mW)、中速模式(最大128 kSPS、55.4 kHz输入带宽、每通道27.5 mW)和生态模式(最大32 kSPS、13.8 kHz输入带宽、每通道9.375 mW)。

AD7768/AD7768-4提供丰富的数字滤波性能，如宽带、 $\pm 0.005$  dB低通带纹波、集成急剧滚降性能的抗混叠低通滤波器，以及在奈奎斯特频率的105 dB阻带衰减。

频域测量可使用宽带线性相位滤波器。该滤波器在以下范围具有平坦的通带( $\pm 0.005$  dB纹波)：DC至102.4 kHz (256 kSPS)、DC至51.2 kHz (128 kSPS)或DC至12.8 kHz (32 kSPS)。

AD7768/AD7768-4还提供sinc响应(通过sinc5滤波器)、低带宽的低延迟路径和低噪声测量。可为每个通道选择并运行宽带和sinc5滤波器。

在这些滤波器选项内，用户可通过从抽取速率 $\times 32$ 、 $\times 64$ 、 $\times 128$ 、 $\times 256$ 、 $\times 512$ 和 $\times 1024$ 中进行选择来提高动态范围。改变抽取滤波的能力可对所需输入带宽的噪声性能进行优化。

每个ADC通道的嵌入式模拟功能可简化设计，如模拟输入上的预充电缓冲器可减小模拟输入电流，每通道的基准预充电缓冲器可减小基准电压输入端的输入电流和毛刺。

器件采用5 V AVDD1A和AVDD1B电源、2.25 V至5.0 V AVDD2A和AVDD2B电源以及2.5 V至3.3 V或1.8 V IOVDD电源供电(有关1.8 V IOVDD的具体电源供电要求，请参见“1.8 V IOVDD电源”部分)。

该器件需要一个外部基准电压源；绝对输入基准电压范围为1 V至AVDD1 - AVSS。

在本文档中为明确起见，AVDD1A和AVDD1B电源称为AVDD1，而AVDD2A和AVDD2B电源称为AVDD2。对于负电源，AVSS指AVSS1A、AVSS1B、AVSS2A、AVSS2B和AVSS引脚。

器件的额定工作温度范围为 $-40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$ ，提供10 mm  $\times$  10 mm、64引脚LQFP封装，印刷电路板(PCB)尺寸为12 mm  $\times$  12 mm。

在整篇数据手册中，多功能引脚(如晶振2/MCLK)由整个引脚名称或引脚的单个功能表示(例如MCLK即表示仅与此功能相关)。

# AD7768/AD7768-4

## 技术规格

除非另有说明, AVDD1A = AVDD1B = 4.5 V至5.5 V, AVDD2A = AVDD2B = 2.0 V至5.5 V, IOVDD = 2.25 V至3.6 V, AVSS = DGND = 0 V, REFx+ = 4.096 V, REFx- = 0 V, MCLK = 32.768 MHz, 模拟输入预充电缓冲器开启, 基准预充电缓冲器关闭, 宽带滤波器,  $f_{\text{CHOP}} = f_{\text{MOD}}/32$ ,  $T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$ 。1.8 V IOVDD规格参见表2。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
ADC速度和性能					
输出数据速率(ODR), 每通道 <sup>1</sup>	快速	8		256	kSPS
	中速	4		128	kSPS
	生态	1		32	kSPS
-3 dB带宽	快速, 宽带滤波器			110.8	kHz
	中速, 宽带滤波器			55.4	kHz
	生态, 宽带滤波器			13.8	kHz
数据输出编码 无失码 <sup>2</sup>		24	二进制补码, MSB优先		位
动态性能	1.8 V工作模式参见表2; 所有抽取率对应的动态范围和SNR参见表12和表13				
快速					
动态范围	32倍抽取, 256 kSPS ODR 输入短路, 宽带滤波器	106.2	108		dB
信噪比(SNR)	1 kHz、-0.5 dBFS正弦波输入 Sinc5滤波器	109	111		dB
	宽带滤波器	106	107.8		dB
信纳比(SINAD)	1 kHz、-0.5 dBFS正弦波输入	104.7	107.5		dB
总谐波失真(THD)	1 kHz、-0.5 dBFS正弦波输入		-120	-107	dB
无杂散动态范围(SFDR)			128		dBc
中速					
动态范围	32倍抽取, 128 kHz ODR 输入短路, 宽带滤波器	106.2	108		dB
SNR	Sinc5滤波器, 1 kHz、-0.5 dBFS正弦波输入	109	111		dB
	宽带滤波器, 1 kHz、-0.5 dBFS正弦波输入	106	107.8		dB
SINAD	1 kHz、-0.5 dBFS正弦波输入	105.8	107.5		dB
THD	1 kHz、-0.5 dBFS正弦波输入		-120	-113	dB
SFDR			128		dBc
生态					
动态范围	32倍抽取, 32 kHz ODR 输入短路, 宽带滤波器	106.2	108		dB
SNR	Sinc5滤波器, 1 kHz、-0.5 dBFS正弦波输入	109	111		dB
	宽带滤波器, 1 kHz、-0.5 dBFS正弦波输入	106	107.8		dB
SINAD	1 kHz、-0.5 dBFS正弦波输入	105.8	107.5		dB
THD	1 kHz、-0.5 dBFS正弦波输入		-120	-113	dB
SFDR			128		dBc
交调失真(IMD) <sup>3</sup>	$f_a = 9.7\text{ kHz}$ , $f_b = 10.3\text{ kHz}$				
	二阶		-125		dB
	三阶		-125		dB

参数	测试条件/注释	最小值	典型值	最大值	单位
精度	1.8 V工作模式参见表2				
INL	端点方法		±2	±7	FSR的ppm
失调误差 <sup>4</sup>	DCLK频率 ≤ 24 MHz		±50	±115	μV
	24 MHz至32.768 MHz DCLK频率 <sup>2</sup>		±75	±150	μV
失调误差漂移	DCLK频率 ≤ 24 MHz		±250		nV/°C
	24 MHz至32.768 MHz DCLK频率		±750		nV/°C
增益误差 <sup>4</sup>	T <sub>A</sub> = 25°C		±30	±70	FSR的ppm
增益温漂 <sup>2</sup>			±0.5	±1	ppm/°C
VCM引脚					
输出	相对于AVSS		(AVDD1 – AVSS)/2		V
负载调整率(ΔV <sub>OUT</sub> /ΔI <sub>L</sub> )			400		μV/mA
电压调整率	仅适用于以下VCM输出选项: V <sub>CM</sub> = ΔV <sub>OUT</sub> /Δ(AVDD1 – AVSS)/2; V <sub>CM</sub> = 1.65 V; V <sub>CM</sub> = 2.5 V		5		μV/V
短路电流			30		mA
模拟输入	参见模拟输入部分				
差分输入电压范围	V <sub>REF</sub> = (REFX+) – (REFX–)	–V <sub>REF</sub>		+V <sub>REF</sub>	V
输入共模范围 <sup>2</sup>		AVSS		AVDD1	V
绝对模拟输入电压限值 <sup>2</sup>		AVSS		AVDD1	V
模拟输入电流	快速模式				
未缓冲	差分成分		±48		μA/V
	共模成分		±17		μA/V
预充电缓冲器开启 <sup>5</sup>			–20		μA
输入电流漂移	快速模式; 参见图62				
未缓冲			±5		nA/V/°C
预充电缓冲器开启			±31		nA/°C
外部基准电压源					
基准电压	V <sub>REF</sub> = (REFX+) – (REFX–)	1		AVDD1 – AVSS	V
绝对基准电压限值 <sup>2</sup>	基准预充电缓冲器关闭	AVSS – 0.05		AVDD1 + 0.05	V
	基准预充电缓冲器开启	AVSS		AVDD1	V
平均基准电流	快速模式; 参见图63				
	基准预充电缓冲器关闭		±72		μA/V/通道
	基准预充电缓冲器开启		±16		μA/V/通道
平均基准电流漂移	快速模式; 参见图63				
	基准预充电缓冲器关闭		±1.7		nA/V/°C
	基准预充电缓冲器开启		±49		nA/V/°C
共模抑制			95		dB
数字滤波器响应					
低纹波宽带滤波器	FILTER = 0				
抽取率	多达6个可选抽取率; 参见“抽取率控制”部分	32		1024	
群延迟	延迟		34/ODR		s
建立时间	完全建立, 参见表35		68/ODR		s
通带纹波 <sup>2</sup>	DC至102.4 kHz (256 kSPS)			±0.005	dB
通带	±0.005 dB带宽		0.4 × ODR		Hz
	–0.1 dB带宽		0.409 × ODR		Hz
	–3 dB带宽		0.433 × ODR		Hz
阻带频率	衰减 > 105 dB		0.499 × ODR		Hz
阻带衰减	参见“宽带低纹波滤波器”部分		105		dB



# AD7768/AD7768-4

参数	测试条件/注释	最小值	典型值	最大值	单位
Sinc5滤波器 抽取率	FILTER = 1 多达6个可选抽取率； 参见“抽取率控制”部分	32		1024	
群延迟	延迟		3/ODR		s
建立时间	完全建立，参见表36		7/ODR		s
通带	-3 dB带宽		0.204 × ODR		Hz
抑制					
交流电源抑制比(PSRR)	$V_{IN} = 0.1\text{ V}$ , $AVDD1 = 5\text{ V}$ , $AVDD2 = 5\text{ V}$ , $IOVDD = 2.5\text{ V}$				
AVDD1			90		dB
AVDD2			100		dB
IOVDD			75		dB
直流电源抑制比(DC PSRR)	$V_{IN} = 1\text{ V}$				
AVDD1			100		dB
AVDD2			118		dB
IOV			90		dB
模拟输入共模抑制比(CMRR)					
DC	$V_{IN} = 0.1\text{ V}$	95			dB
AC	最高10 kHz		95		dB
通道间串扰	相邻通道上有-0.5 dBFS输入		-120		dB
时钟					
晶振频率		8	32.768	34	MHz
外部时钟(MCLK)	参见“时序规格”部分		32.768		MHz
占空比	针对数据手册性能 功能		50:50		%
MCLK脉冲宽度 <sup>2</sup>					
逻辑低电平		12.2			ns
逻辑高电平		12.2			ns
CMOS时钟输入电压	参见逻辑输入参数				
高电平, $V_{INH}$					
低电平, $V_{INL}$					
LVDS时钟 <sup>2</sup>	$R_L = 100\ \Omega$				
差分输入电压		100		650	mV
共模输入电压		800		1575	mV
绝对输入电压				1.88	V
ADC复位 <sup>2</sup>					
复位后ADC启动时间 <sup>6</sup>	至首次 $\overline{DRDY}$ 的时间，快速模式， 32倍抽取		1.58	1.66	ms
RESET低电平脉冲最小宽度	$t_{MCLK} = 1/\text{MCLK}$	$2 \times t_{MCLK}$			
逻辑输入	1.8 V工作模式参见表2				
输入电压 <sup>2</sup>					
高电平, $V_{INH}$		$0.65 \times \text{IOVDD}$			V
低电平, $V_{INL}$				0.7	V
迟滞 <sup>2</sup>		0.04		0.09	V
漏电流		-10	+0.03	+10	$\mu\text{A}$
	RESET 引脚 <sup>7</sup>	-10		+10	$\mu\text{A}$
逻辑输出	1.8 V工作模式参见表2				
输出电压 <sup>2</sup>					
高电平, $V_{OH}$	$I_{SOURCE} = 200\ \mu\text{A}$	$0.8 \times \text{IOVDD}$			V
低电平, $V_{OL}$	$I_{SINK} = 400\ \mu\text{A}$			0.4	V



参数	测试条件/注释	最小值	典型值	最大值	单位
漏电流	浮空态	-10		+10	μA
输出电容	浮空态		10		pF
系统校准 <sup>2</sup>					
满量程校准限值				$1.05 \times V_{REF}$	V
零电平校准限值		$-1.05 \times V_{REF}$			V
输入跨度		$0.4 \times V_{REF}$		$2.1 \times V_{REF}$	V
电源要求					
电源电压					
AVDD1 – AVSS		4.5	5.0	5.5	V
AVDD2 – AVSS		2.0	2.25至5.0	5.5	V
AVSS – DGND		-2.75		0	V
IOVDD – DGND	1.8 V工作模式参见表2	2.25	2.5至3.3	3.6	V
电源电流	除非另有说明，最大输出数据速率，CMOS MCLK，8个DOUTx信号，所有电源为最大电压，所有通道处于通道模式A				
AD7768	8个通道有效				
快速模式					
AVDD1电流	基准预充电缓冲器关闭/开启		36/57.5	40/64	mA
AVDD2电流			37.5	40	mA
IOVDD电流	宽带滤波器		63	67	mA
	Sinc5滤波器		27	29	mA
中速模式					
AVDD1电流	基准预充电缓冲器关闭/开启		18.5/29	20.5/32.5	mA
AVDD2电流			21.3	23	mA
IOVDD电流	宽带滤波器		34	37	mA
	Sinc5滤波器		16	18	mA
生态模式					
AVDD1电流	基准预充电缓冲器关闭/开启		5.1/8	5.8/9	mA
AVDD2电流			9.3	10.1	mA
IOVDD电流	宽带滤波器		12.5	13.7	mA
	Sinc5滤波器		8	9	mA
AD7768-4	4个通道有效				
生态模式					
AVDD1电流	基准预充电缓冲器关闭/开启		18.2/28.8	20.3/32.5	mA
AVDD2电流			18.8	20.3	mA
IOVDD Cur电流	宽带滤波器 <sup>2</sup>		43.5	46.8	mA
	宽带滤波器，仅SPI模式；通道模式A设置为sinc5滤波器 <sup>8</sup>		37	40	mA
	Sinc5滤波器 <sup>2</sup>		17	18.6	mA
快速模式					
AVDD1电流	基准预充电缓冲器关闭/开启		9.3/14.7	10.5/16.6	mA
AVDD2电流			10.7	11.7	mA
IOVDD电流	宽带滤波器 <sup>2</sup>		24.4	26.4	mA
	宽带滤波器，仅SPI模式；通道模式A设置为sinc5滤波器 <sup>8</sup>		21	23	mA
	Sinc5滤波器 <sup>2</sup>		11	12.3	mA
中速模式					
AVDD1电流	基准预充电缓冲器关闭/开启		2.7/4.1	3.1/4.7	mA
AVDD2电流			4.7	5.3	mA

# AD7768/AD7768-4

参数	测试条件/注释	最小值	典型值	最大值	单位	
IOVDD电流	宽带滤波器 <sup>2</sup>		10	11.1	mA	
	宽带滤波器，仅SPI模式； 通道模式A设置为sinc5滤波器 <sup>8</sup>		9	10	mA	
AD7768和AD7768-4— 2个通道有效 <sup>2</sup>	Sinc5滤波器 <sup>2</sup>		6.5	7.6	mA	
	仅串行外设接口(SPI)控制模式；关于 禁用通道的详细信息，参见“通道待 机”部分					
	快速模式					
	AVDD1电流	基准预充电缓冲器关闭/开启		9.3/14.7	10.5/16.6	mA
	AVDD2电流			9.5	10.5	mA
	IOVDD电流	宽带滤波器		33.7	36.3	mA
		宽带滤波器；禁用通道处于通道模式 A，设置为sinc5滤波器模式 <sup>8</sup>		23.4	25.5	mA
		Sinc5滤波器		11.9	13.3	mA
	中速模式					
	AVDD1电流	基准预充电缓冲器关闭/开启		4.8/7.5	5.5/8.6	mA
AVDD2电流			5.5	6.2	mA	
IOVDD电流	宽带滤波器		19.4	21.1	mA	
	宽带滤波器；禁用通道处于通道模式 A，设置为sinc5滤波器模式 <sup>8</sup>		14.1	15.5	mA	
	Sinc5滤波器		8.5	9.6	mA	
生态模式						
AVDD1电流	基准预充电缓冲器关闭/开启		1.52/2.2	1.77/2.6	mA	
AVDD2电流			2.4	3	mA	
IOVDD电流	宽带滤波器		8.6	9.7	mA	
	宽带滤波器；禁用通道处于通道模式 A，设置为sinc5滤波器模式 <sup>8</sup>		7.2	8	mA	
	Sinc5滤波器		5.8	6.7	mA	
待机模式	所有通道禁用(sinc5滤波器使能)		6.5	8	mA	
睡眠模式 <sup>2</sup>	完全关断(仅SPI控制模式)		0.73	1.2	mA	
晶振激励电流	与使用CMOS MCLK相比，使用外部晶 振导致的IOVDD额外电流		540		μA	
功耗	除非另有说明，外部CMOS MCLK，所 有通道有效，MCLK = 32.768 MHz，所 有通道处于通道模式A					
完全工作模式	模拟预充电缓冲器开启					
AD7768						
宽带滤波器						
快速	AVDD1 = 5 V，AVDD2 = IOVDD = 2.5 V， 基准预充电缓冲器关闭 <sup>2</sup>		412	446	mW	
	AVDD1 = 5 V，AVDD2 = IOVDD = 3.3 V， 基准预充电缓冲器开启 <sup>2</sup>		600	645	mW	
	AVDD1 = 5.5 V，AVDD2 = 5.5 V， IOVDD = 3.6 V，基准预充电缓冲器关闭		631	681	mW	
中速	AVDD1 = 5 V，AVDD2 = IOVDD = 2.5 V， 基准预充电缓冲器关闭 <sup>2</sup>		220	240	mW	
	AVDD1 = 5 V，AVDD2 = IOVDD = 3.3 V， 基准预充电缓冲器开启 <sup>2</sup>		320	345	mW	
	AVDD1 = 5.5 V，AVDD2 = 5.5 V， IOVDD = 3.6 V，基准预充电缓冲器关闭		341	372	mW	

参数	测试条件/注释	最小值	典型值	最大值	单位
生态	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, 基准预充电缓冲器关闭 <sup>2</sup>		75	85	mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, 基准预充电缓冲器开启 <sup>2</sup>		107	118	mW
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, 基准预充电缓冲器关闭		124	137	mW
Sinc5滤波器 快速	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, 基准预充电缓冲器关闭 <sup>2</sup>		325	355	mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, 基准预充电缓冲器开启 <sup>2</sup>		475	525	mW
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, 基准预充电缓冲器关闭		501	545	mW
中速	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, 基准预充电缓冲器关闭 <sup>2</sup>		175	195	mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, 基准预充电缓冲器开启 <sup>2</sup>		260	285	mW
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, 基准预充电缓冲器关闭		277	304	mW
生态	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, 基准预充电缓冲器关闭 <sup>2</sup>		65	72	mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, 基准预充电缓冲器开启 <sup>2</sup>		95	105	mW
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, 基准预充电缓冲器关闭		108	120	mW
AD7768-4 宽带滤波器 快速	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, 基准预充电缓冲器关闭		235		mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, 基准预充电缓冲器开启		336		mW
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, 基准预充电缓冲器关闭 <sup>2</sup>		360	392	mW
中速	仅SPI模式; AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, 基准预充电缓 冲器关闭, 通道模式A设置为sinc5 滤波器 <sup>8</sup>		337	368	mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, 基准预充电缓冲器关闭		127		mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, 基准预充电缓冲器开启		181		mW
生态	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, 基准预充电缓冲器关闭 <sup>2</sup>		198	218	mW
	仅SPI模式; AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, 基准预充电缓 冲器关闭, 通道模式A设置为sinc5 滤波器 <sup>8</sup>		186	205	mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, 基准预充电缓冲器关闭		49		mW
生态	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, 基准预充电缓冲器开启		66		mW
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, 基准预充电缓冲器关闭 <sup>2</sup>		77	87	mW
	仅SPI模式; AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, 基准预充电缓 冲器关闭, 通道模式A设置为sinc5 滤波器 <sup>8</sup>		73	83	mW

# AD7768/AD7768-4

参数	测试条件/注释	最小值	典型值	最大值	单位
Sinc5滤波器 快速	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, 基准预充电缓冲器关闭		168		mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, 基准预充电缓冲器开启		248		mW
中速	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, 基准预充电缓冲器关闭		265	291	mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, 基准预充电缓冲器关闭		94		mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, 基准预充电缓冲器开启		137		mW
	AVDD1 = 5.5 V, AVDD2 = 5.5 V, IOVDD = 3.6 V, 基准预充电缓冲器关闭		150	167	mW
生态	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, 基准预充电缓冲器关闭		40		mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, 基准预充电缓冲器开启		55		mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V, 基准预充电缓冲器开启		64	74	mW
待机模式	所有通道禁用(sinc5滤波器使能), AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V <sup>2</sup>			18	mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V <sup>2</sup>			26	mW
	AVDD1 = AVDD2 = 5.5 V, IOVDD = 3.6 V			29	mW
睡眠模式 <sup>2</sup>	完全关断(SPI控制模式)				
	AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V		1.8	4	mW
	AVDD1 = 5 V, AVDD2 = IOVDD = 3.3 V		2.5	5	mW
	AVDD1 = AVDD2 = 5.5 V, IOVDD = 3.6 V		2.7	6.5	mW

<sup>1</sup> 输出数据速率范围指的是针对32.768 MHz的固定MCLK速率，AD7768/AD7768-4提供的可编程抽取率。用户可通过改变MCLK速率来实现更宽的ODR范围。

<sup>2</sup> 这些技术规格未经生产测试，但受产品初始发布时的特性数据支持。

<sup>3</sup> 有关fa和fb输入频率的更多信息，参见“术语”部分。

<sup>4</sup> 经系统零电平校准，此失调误差与选定的编程输出数据速率所对应的噪声相当。系统满量程校准可以把增益误差降至与编程输出数据速率对应的噪声相当的水平。

<sup>5</sup> -25 μA是在模拟输入接近AVDD1或AVSS供电轨时测得的。当共模电压接近(AVDD1 - AVSS)/2时，输入电流会降低。模拟输入电流与MCLK频率和器件功耗模式相关。有关模拟输入电流如何随输入电压而变化的详细信息，参见图85和图86。

<sup>6</sup> 对于较低MCLK速率或较高抽取率，请使用表35和表36计算第一个DRDY脉冲之前的额外延迟。

<sup>7</sup> RESET引脚具有一个连接到IOVDD的内部上拉器件。

<sup>8</sup> 配置通道模式A为sinc5滤波器和/或将禁用通道指定为通道模式A可实现较低的功耗。要这样做，用户必须在SPI控制模式下工作，因为需要将通道指定为不同的通道模式(仅在SPI控制模式下可行)。若使用引脚控制模式，则所有通道(无论有效还是待机)都被分配给同一通道组，使用相同的滤波器类型。这意味着在引脚控制模式下，禁用通道的功耗高于SPI模式下可实现的功耗。更多信息参见“通道模式”部分。

## 1.8 V IOVDD规格

除非另有说明，AVDD1A = AVDD1B = 4.5 V至5.5 V，AVDD2A = AVDD2B = 2.0 V至5.5 V，IOVDD = 1.72 V至1.88 V，AVSS = DGND = 0 V，REFx+ = 4.096 V，REFx- = 0 V，MCLK = 32.768 MHz，模拟预充电缓冲器开启，基准预充电缓冲器关闭，宽带滤波器， $f_{\text{CHOP}} = f_{\text{MOD}}/32$ ， $T_A = -40^\circ\text{C}$ 至 $+105^\circ\text{C}$ 。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能	所有抽取率对应的动态范围和SNR参见表12和表13				
快速	32倍抽取，256 kSPS ODR				
动态范围	输入短路，宽带滤波器	106.2	108		dB
SNR	Sinc5滤波器，1 kHz、-0.5 dBFS正弦波输入	109	111		dB
	宽带滤波器，1 kHz、-0.5 dBFS正弦波输入	106	107.8		dB

# AD7768/AD7768-4

参数	测试条件/注释	最小值	典型值	最大值	单位
SINAD <sup>1</sup>	1 kHz、-0.5 dBFS正弦波输入	103.8	107.5		dB
THD	1 kHz、-0.5 dBFS正弦波输入		-120	-107	dB
SFDR			128		dBc
中速	32倍抽取, 128 kHz ODR				
动态范围	输入短路, 宽带滤波器	106.2	108		dB
SNR	1 kHz、-0.5 dBFS正弦波输入				
	Sinc5滤波器	109	111		dB
	宽带滤波器	106	107.8		dB
SINAD	1 kHz、-0.5 dBFS正弦波输入	105.8	107.5		dB
THD	1 kHz、-0.5 dBFS正弦波输入		-120	-113	dB
SFDR			128		dBc
生态	32倍抽取, 32 kHz ODR				
动态范围	输入短路, 宽带滤波器	106.2	108		dB
SNR	Sinc5滤波器, 1 kHz、-0.5 dBFS正弦波输入	109	111		dB
	宽带滤波器, 1 kHz、-0.5 dBFS正弦波输入	106	107.8		dB
SINAD	1 kHz、-0.5 dBFS正弦波输入	105.8	107.5		dB
THD	1 kHz、-0.5 dBFS正弦波输入		-120	-113	dB
SFDR			128		dBc
精度 <sup>1</sup>					
INL	端点方法		±2	±7	FSR的 ppm
失调误差 <sup>2</sup>	DCLK频率 ≤ 24 MHz		±50	±115	μV
	24 MHz至32.768 MHz DCLK频率		±75	±170	μV
失调误差漂移	DCLK频率 ≤ 24 MHz		±250		nV/°C
	24 MHz至32.768 MHz DCLK频率		±750		nV/°C
增益误差 <sup>2</sup>	T <sub>A</sub> = 25°C		±60	±120	ppm/FSR
增益温漂			±0.5	±2	ppm/°C
逻辑输入					
输入电压 <sup>1</sup>					
高电平, V <sub>INH</sub>		0.65 × IOVDD			V
低电平, V <sub>INL</sub>				0.4	V
迟滞 <sup>1</sup>		0.04		0.2	V
漏电流		-10	+0.03	+10	μA
	RESET引脚	-10		+10	μA
逻辑输出					
输出电压 <sup>1</sup>					
高电平, V <sub>OH</sub>	I <sub>SOURCE</sub> = 200 μA	0.8 × IOVDD			V
低电平, V <sub>OL</sub>	I <sub>SINK</sub> = 400 μA			0.4	V
漏电流	浮空态	-10		+10	μA
输出电容	浮空态		10		pF
电源要求					
电源电压					
AVDD1 – AVSS		4.5	5.0	5.5	V
AVDD2 – AVSS		2.0	2.25至5.0	5.5	V
AVSS – DGND		-2.75		0	V
IOVDD – DGND	DREGCAP短接到IOVDD	1.72	1.8	1.88	V
电源电流 <sup>1</sup>	除非另有说明, 最大输出数据速率, CMOS MCLK, 8个DOUTx信号, 所有电源为最大电压, 所有通道处于通道模式A				
AD7768	8个通道有效				
快速模式					
AVDD1电流	基准预充电缓冲器关闭/开启		36/57.5	40/64	mA
AVDD2电流			37.5	40	mA

# AD7768/AD7768-4

参数	测试条件/注释	最小值	典型值	最大值	单位
IOVDD电流	宽带滤波器		63	69	mA
	Sinc5滤波器		26	28.4	mA
中速模式					
AVDD1电流	基准预充电缓冲器关闭/开启		18.5/29	20.5/32.5	mA
AVDD2电流			21.3	23	mA
IOVDD电流	宽带滤波器		34	36.8	mA
	Sinc5滤波器		15	16.8	mA
生态模式					
AVDD1电流	基准预充电缓冲器关闭/开启		5.1/8	5.8/9	mA
AVDD2电流			9.3	10.1	mA
IOVDD电流	宽带滤波器		11.6	12.9	mA
	Sinc5滤波器		7	8.1	mA
<b>AD7768-4</b>					
快速模式					
AVDD1电流	基准预充电缓冲器关闭/开启		18.2/28.8	20.3/32.5	mA
AVDD2电流			18.8	20.3	mA
IOVDD电流	宽带滤波器		43.9	47.7	mA
	宽带滤波器, 仅SPI模式; 通道模式A设置为sinc5滤波器 <sup>3</sup>		36.8	41	mA
	Sinc5滤波器		16	17.7	mA
中速模式					
AVDD1电流	基准预充电缓冲器关闭/开启		9.3/14.7	10.5/16.6	mA
AVDD2电流			10.7	11.7	mA
IOVDD 电流	宽带滤波器		24	26.1	mA
	宽带滤波器, 仅SPI模式; 通道模式A设置为sinc5滤波器 <sup>3</sup>		20.4	22.7	mA
	Sinc5滤波器		10	11.3	mA
生态模式					
AVDD1电流	基准预充电缓冲器关闭/开启		2.7/4.1	3.1/4.7	mA
AVDD2电流			4.7	5.3	mA
IOVDD电流	宽带滤波器		9	10.2	mA
	宽带滤波器, 仅SPI模式; 通道模式A设置为sinc5滤波器 <sup>3</sup>		8.1	9.2	mA
	Sinc5滤波器		5.5	6.5	mA
<b>AD7768和AD7768-4—2</b>					
快速模式					
AVDD1电流	基准预充电缓冲器关闭/开启		9.3/14.7	10.5/16.6	mA
AVDD2电流			9.5	10.5	mA
IOVDD电流	宽带滤波器		33.8	36.7	mA
	宽带滤波器, 仅SPI模式; 禁用通道处于通道模式A, 设置为sinc5滤波器 <sup>3</sup>		23.1	25.6	mA
	Sinc5滤波器		11	12.3	mA
中速模式					
AVDD1电流	基准预充电缓冲器关闭/开启		4.8/7.5	5.5/8.6	mA
AVDD2 电流			5.5	6.2	mA
IOVDD电流	宽带滤波器		18.9	20.6	mA
	宽带滤波器, 仅SPI模式; 禁用通道处于通道模式A, 设置为sinc5滤波器 <sup>3</sup>		13.4	15.1	mA
	Sinc5滤波器		7.4	8.6	mA
生态模式					
AVDD1电流	基准预充电缓冲器关闭/开启		1.52/2.2	1.77/2.6	mA
AVDD2 电流			2.4	3	mA

参数	测试条件/注释	最小值	典型值	最大值	单位
IOVDD电流	宽带滤波器		7.6	8.8	mA
	宽带滤波器, 仅SPI模式; 禁用通道处于通道模式A, 设置为sinc5滤波器 <sup>3</sup>		6.3	7.2	mA
待机模式	Sinc5滤波器		4.8	5.8	mA
	所有通道禁用(sinc5滤波器使能)		6.5	8	mA
睡眠模式	完全关断(SPI控制模式)		0.73	1.2	mA
晶振激励电流	与使用CMOS MCLK相比, 使用外部晶振导致的IOVDD额外电流		540		μA
功耗 <sup>1</sup>	除非另有说明, 外部CMOS MCLK, 所有通道有效, AVDD1 = AVDD2 = 5.5 V, IOVDD = 1.88 V, MCLK = 32.768 MHz, 所有通道处于通道模式A				
完全工作模式	模拟预充电缓冲器开启				
AD7768	8个通道有效				
宽带滤波器					
快速	基准预充电缓冲器关闭		524	571	mW
	基准预充电缓冲器开启		638	704	mW
中速	基准预充电缓冲器关闭		284	309	mW
	基准预充电缓冲器开启		342	375	mW
生态	基准预充电缓冲器关闭		98.5	109	mW
	基准预充电缓冲器开启		118	130	mW
Sinc5滤波器					
快速	基准预充电缓冲器关闭		455	495	mW
中速	基准预充电缓冲器关闭		248	271	mW
生态	基准预充电缓冲器关闭		94	105	mW
AD7768-4	4个通道有效				
宽带滤波器					
快速	基准预充电缓冲器关闭		287	314	mW
	基准预充电缓冲器开启		345	381	mW
中速	基准预充电缓冲器关闭		156	172	mW
	基准预充电缓冲器开启		185	206	mW
生态	基准预充电缓冲器关闭		58	66	mW
	基准预充电缓冲器开启		66	75	mW
Sinc5滤波器					
快速	基准预充电缓冲器关闭		234	257	mW
中速	基准预充电缓冲器关闭		129	144	mW
生态	基准预充电缓冲器关闭		51	59	mW
待机模式	所有通道禁用(sinc5滤波器使能)			17	mW
睡眠模式	完全关断(SPI控制模式)		1.5	4.5	mW

<sup>1</sup> 这些技术规格未经生产测试, 但受产品初始发布时的特性数据支持。

<sup>2</sup> 经系统零电平校准, 此失调误差与选定的编程输出数据速率所对应的噪声相当。系统满量程校准可以把增益误差降至与编程输出数据速率对应的噪声相当的水平。

<sup>3</sup> 将通道模式A设置为sinc5滤波器和/或将禁用通道指定为通道模式A, 可实现较低的功耗, 原因是仅禁用和仅sinc5通道模式的内部时钟会被禁用。这种配置要求将sinc5和宽带滤波器分配给不同的通道或通道模式, 而且仅适用于SPI控制模式。在引脚控制模式下, 所有通道(无论有效还是待机)都使用同一通道模式。更多信息参见“通道模式”部分。



# AD7768/AD7768-4

## 时序规格

AVDD1A = AVDD1B = 5 V, AVDD2A = AVDD2B = 5 V, IOVDD = 2.25 V至3.6 V, 输入逻辑0 = DGND, 输入逻辑1 = IOVDD; DCLK引脚上的 $C_{LOAD} = 10$  pF, 其他数字输出上的 $C_{LOAD} = 20$  pF; REFx+ = 4.096 V,  $T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$ 。1.8 V IOVDD时序规格参见表5和表6。

表3. 数据接口时序<sup>1</sup>

参数	描述	测试条件/注释	最小值	典型值	最大值	单位
MCLK	主时钟		1.15		34	MHz
$f_{MOD}$	调制器频率	快速模式 中速模式 生态模式		MCLK/4 MCLK/8 MCLK/32		Hz Hz Hz
$t_1$	$\overline{DRDY}$ 高电平时间	$t_{DCLK} = t_8 + t_9$	$t_{DCLK} - 10\%$	28		ns
$t_2$	DCLK上升沿到 $\overline{DRDY}$ 上升沿				2	ns
$t_3$	DCLK上升到 $\overline{DRDY}$ 下降		-3.5		0	ns
$t_4$	DCLK上升到DOUTx有效				1.5	ns
$t_5$	DCLK上升到DOUTx无效		-3			ns
$t_6$	DOUTx有效到DCLK下降		9.5	$t_{DCLK}/2$		ns
$t_7$	DCLK下降沿到DOUTx无效		9.5	$t_{DCLK}/2$		ns
$t_8$	DCLK高电平时间, DCLK = MCLK/1 $t_{8a} = \text{DCLK} = \text{MCLK}/2$ $t_{8b} = \text{DCLK} = \text{MCLK}/4$ $t_{8c} = \text{DCLK} = \text{MCLK}/8$	50:50 CMOS时钟 $t_{MCLK} = 1/\text{MCLK}$	$t_{DCLK}/2$	$t_{DCLK}/2$	$(t_{DCLK}/2) + 5$	ns ns ns ns
$t_9$	DCLK低电平时间, DCLK = MCLK/1 $t_{9a} = \text{DCLK} = \text{MCLK}/2$ $t_{9b} = \text{DCLK} = \text{MCLK}/4$ $t_{9c} = \text{DCLK} = \text{MCLK}/8$	50:50 CMOS时钟	$(t_{DCLK}/2) - 5$	$t_{MCLK}/2$	$t_{DCLK}/2$	ns ns ns ns
$t_{10}$	MCLK上升到DCLK上升	CMOS时钟			30	ns
$t_{11}$	建立时间(菊花链输入)	DOUT6和DOUT7 (AD7768), DIN (AD7768-4)	14			ns
$t_{12}$	保持时间(菊花链输入)	DOUT6和DOUT7 (AD7768), DIN (AD7768-4)	0			ns
$t_{13}$	$\overline{START}$ 低电平时间		$1 \times t_{MCLK}$			ns
$t_{14}$	MCLK至 $\overline{SYNC\_OUT}$ 有效	DIN (AD7768-4)				
		$\overline{SYNC\_OUT}$ RETIME_EN位禁用; 从MCLK下降沿开始测量	4.5		22	ns
		$\overline{SYNC\_OUT}$ RETIME_EN位使能; 从MCLK上升沿开始测量	9.5		27.5	ns
$t_{15}$	$\overline{SYNC\_IN}$ 建立时间	CMOS时钟	0			ns
$t_{16}$	$\overline{SYNC\_IN}$ 保持时间	CMOS时钟	10			ns

<sup>1</sup> 这些技术规格未经生产测试, 但受产品初始发布时的特性数据支持。

表4. SPI控制接口时序<sup>1</sup>

参数	描述	测试条件/注释	最小值	典型值	最大值	单位
$t_{17}$	SCLK周期		100			ns
$t_{18}$	$\overline{CS}$ 下降沿到SCLK上升沿		26.5			ns
$t_{19}$	SCLK下降沿到 $\overline{CS}$ 上升沿		27			ns
$t_{20}$	$\overline{CS}$ 下降沿到数据输出使能		22.5		40.5	ns
$t_{21}$	SCLK高电平时间		20	50		ns
$t_{22}$	SCLK低电平时间		20	50		ns
$t_{23}$	SCLK下降沿到SDO有效				15	ns
$t_{24}$	SCLK下降后的SDO保持时间		7			ns
$t_{25}$	SDI建立时间		0			ns
$t_{26}$	SDI保持时间		6			ns
$t_{27}$	SCLK使能时间		0			ns

参数	描述	测试条件/注释	最小值	典型值	最大值	单位
t <sub>28</sub>	SCLK禁用时间		0			ns
t <sub>29</sub>	$\overline{\text{CS}}$ 高电平时间		10			ns
t <sub>30</sub>	$\overline{\text{CS}}$ 低电平时间	f <sub>MOD</sub> = MCLK/4	1.1 × t <sub>MCLK</sub>			ns
		f <sub>MOD</sub> = MCLK/8	2.2 × t <sub>MCLK</sub>			ns
		f <sub>MOD</sub> = MCLK/32	8.8 × t <sub>MCLK</sub>			ns

<sup>1</sup> 这些技术规格未经生产测试，但受产品初始发布时的特性数据支持。

## 1.8 V IOVDD时序规格

AVDD1A = AVDD1B = 5 V, AVDD2A = AVDD2B = 5 V, IOVDD = 1.72 V至1.88 V(DREGCAP接IOVDD), 输入逻辑0 = DGND, 输入逻辑1 = IOVDD, DCLK引脚上的C<sub>LOAD</sub> = 10 pF, 其他数字输出上的C<sub>LOAD</sub> = 20 pF, T<sub>A</sub> = -40°C至+105°C。t<sub>ODR</sub>为1/ODR。

表5. 数据接口时序<sup>1</sup>

参数	描述	测试条件/注释	最小值	典型值	最大值	单位
MCLK	主时钟		1.15		34	MHz
f <sub>MOD</sub>	调制器频率	快速模式 中速模式 生态模式		MCLK/4 MCLK/8 MCLK/32		Hz Hz Hz
t <sub>1</sub>	$\overline{\text{DRDY}}$ 高电平时间		t <sub>DCLK</sub> - 10%	28		ns
t <sub>2</sub>	DCLK上升沿到 $\overline{\text{DRDY}}$ 上升沿				2	ns
t <sub>3</sub>	DCLK上升沿到 $\overline{\text{DRDY}}$ 上升沿		-4.5		0	ns
t <sub>4</sub>	DCLK上升到DOUTx有效				2.0	ns
t <sub>5</sub>	DCLK上升到DOUTx无效		-4			ns
t <sub>6</sub>	DOUTx有效到DCLK下降		8.5	t <sub>DCLK</sub> /2		ns
t <sub>7</sub>	DCLK下降沿到DOUTx无效		8.5	t <sub>DCLK</sub> /2		ns
t <sub>8</sub>	DCLK高电平时间, DCLK = MCLK/1 t <sub>8a</sub> = DCLK = MCLK/2 t <sub>8b</sub> = DCLK = MCLK/4 t <sub>8c</sub> = DCLK = MCLK/8	50:50 CMOS时钟	t <sub>DCLK</sub> /2	t <sub>DCLK</sub> /2	(t <sub>DCLK</sub> /2) + 5	ns ns ns ns
t <sub>9</sub>	DCLK低电平时间, DCLK=MCLK/1 t <sub>9a</sub> = DCLK = MCLK/2 t <sub>9b</sub> = DCLK = MCLK/4 t <sub>9c</sub> = DCLK = MCLK/8	50:50 CMOS时钟	(t <sub>DCLK</sub> /2) - 5	t <sub>MCLK</sub> /2 t <sub>MCLK</sub> 2 × t <sub>MCLK</sub> 4 × t <sub>MCLK</sub>	(t <sub>DCLK</sub> /2)	ns ns ns ns
t <sub>10</sub>	MCLK上升到DCLK上升	CMOS时钟			37	ns
t <sub>11</sub>	建立时间(菊花链输入)	DOUT6和DOUT7 (AD7768), DIN (AD7768-4)	14			ns
t <sub>12</sub>	保持时间(菊花链输入)	DOUT6和DOUT7 (AD7768), DIN (AD7768-4)	0			ns
t <sub>13</sub>	$\overline{\text{START}}$ 低电平时间		1 × t <sub>MCLK</sub>			ns
t <sub>14</sub>	MCLK至 $\overline{\text{SYNC\_OUT}}$ 有效	CMOS时钟 $\overline{\text{SYNC\_OUT}}$ RETIME_EN位禁用; 从MCLK下降沿开始测量 $\overline{\text{SYNC\_OUT}}$ RETIME_EN位使能; 从MCLK上升沿开始测量	10 15		31 37	ns ns
t <sub>15</sub>	$\overline{\text{SYNC\_IN}}$ 建立时间	CMOS时钟	0			ns
t <sub>16</sub>	$\overline{\text{SYNC\_IN}}$ 保持时间	CMOS时钟	11			ns

<sup>1</sup> 这些技术规格未经生产测试，但受产品初始发布时的特性数据支持。

# AD7768/AD7768-4

表6. SPI控制接口时序<sup>1</sup>

参数	描述	测试条件/注释	最小值	典型值	最大值	单位
t <sub>17</sub>	SCLK周期		100			ns
t <sub>18</sub>	$\overline{CS}$ 下降沿到SCLK上升沿		31.5			ns
t <sub>19</sub>	SCLK下降沿到 $\overline{CS}$ 上升沿		30			ns
t <sub>20</sub>	$\overline{CS}$ 下降沿到数据输出使能		29		54	ns
t <sub>21</sub>	SCLK高电平时间		20	50		ns
t <sub>22</sub>	SCLK低电平时间		20	50		ns
t <sub>23</sub>	SCLK下降沿到SDO有效				16	ns
t <sub>24</sub>	SCLK下降后的SDO保持时间		7			ns
t <sub>25</sub>	SDI建立时间		0			ns
t <sub>26</sub>	SDI保持时间		10			ns
t <sub>27</sub>	SCLK使能时间		0			ns
t <sub>28</sub>	SCLK禁用时间		0			ns
t <sub>29</sub>	$\overline{CS}$ 高电平时间		10			ns
t <sub>30</sub>	$\overline{CS}$ 低电平时间	$f_{MOD} = MCLK/4$ $f_{MOD} = MCLK/8$ $f_{MOD} = MCLK/32$	$1.1 \times t_{MCLK}$ $2.2 \times t_{MCLK}$ $8.8 \times t_{MCLK}$			ns

<sup>1</sup> 这些技术规格未经生产测试，但受产品初始发布时的特性数据支持。

## 时序图

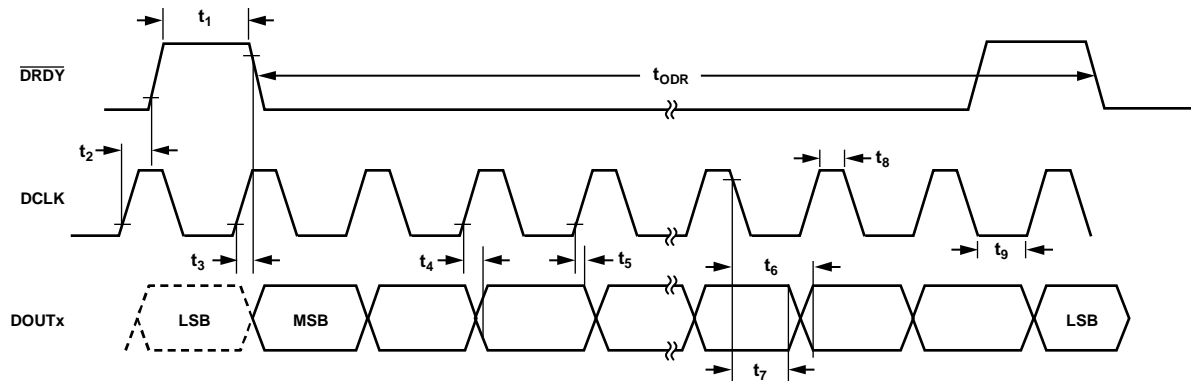


图2. 数据接口时序图

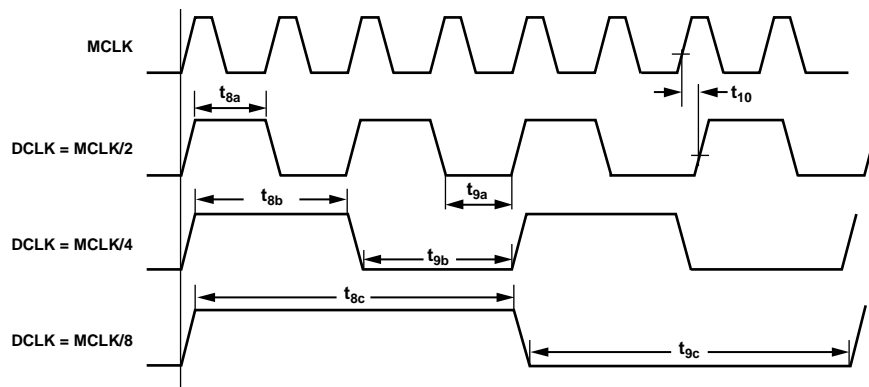


图3. MCLK至DCLK分频器时序图

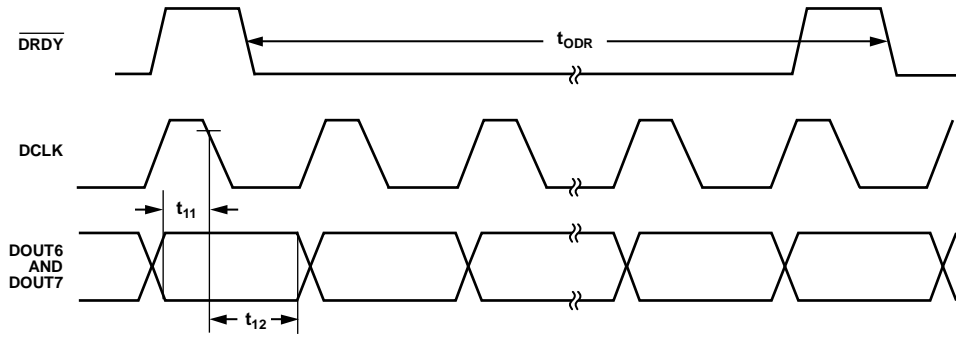


图4. 菊花链建立和保持时序图

14001-004

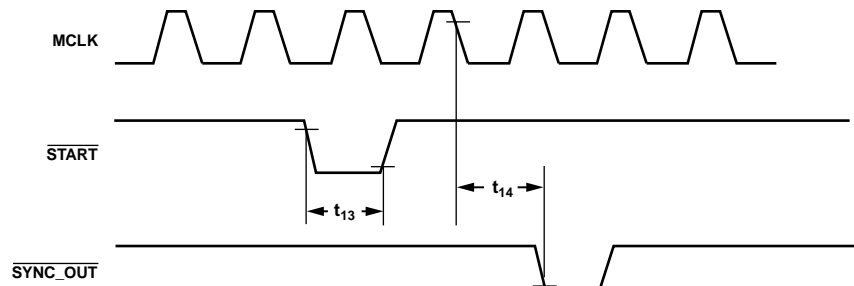


图5. 异步START和SYNC\_OUT时序图

14001-005

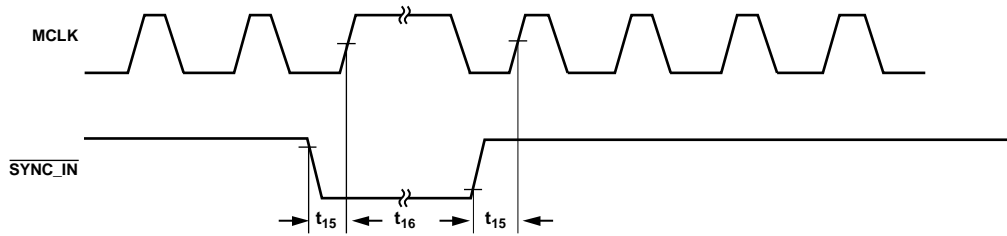


图6. 同步SYNC\_INE脉冲时序图

14001-006

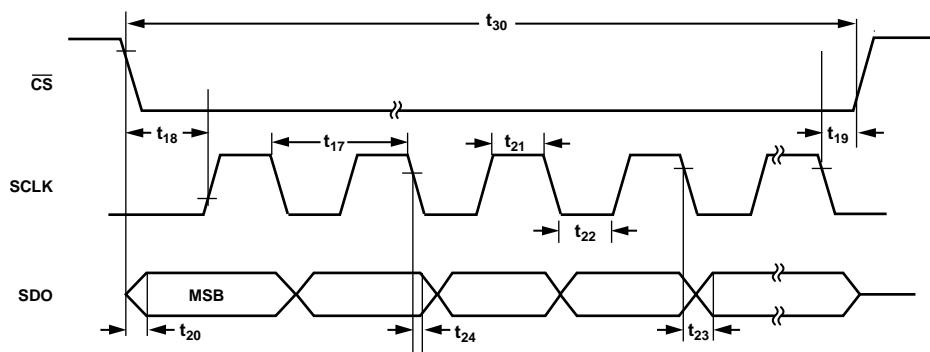


图7. SPI串行读取时序图

14001-007

# AD7768/AD7768-4

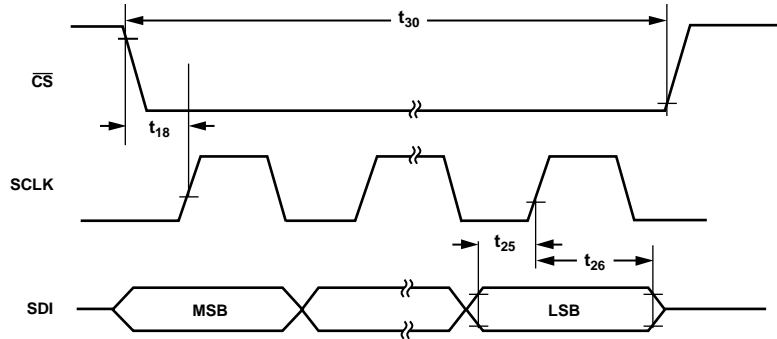


图8. SPI串行写入时序图

14001-008

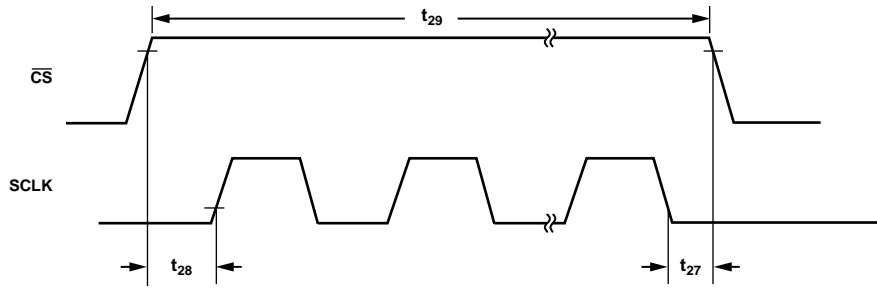


图9. SCLK使能和禁用时序图

14001-009

## 绝对最大额定值

表7.

参数	额定值
AVDD1、AVDD2至AVSS <sup>1</sup>	-0.3 V至+6.5 V
AVDD1至DGND	-0.3 V至+6.5 V
IOVDD至DGND	-0.3 V至+6.5 V
IOVDD、DREGCAP至DGND(对于1.8 V工作模式，IOVDD接DREGCAP)	-0.3 V至+2.25 V
IOVDD至AVSS	-0.3 V至+7.5 V
AVSS至DGND	-3.25 V至+0.3 V
模拟输入电压至AVSS	-0.3 V至AVDD1 + 0.3 V
基准输入电压至AVSS	-0.3 V至AVDD1 + 0.3 V
数字输入电压至DGND	-0.3 V至IOVDD + 0.3 V
数字输出电压至DGND	-0.3 V至IOVDD + 0.3 V
工作温度范围	-40°C至+105°C
存储温度范围	-65°C至+150°C
无铅焊接温度，回流焊(10秒至30秒)	260°C
最高结温	150°C
最大封装分类温度	260°C

<sup>1</sup> 100 mA以下的瞬态电流不会造成SCR闩锁。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最大值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

## 热阻

$\theta_{JA}$  针对最差条件，即器件焊接在电路板上实现表贴封装。

表8. 热阻

封装类型	$\theta_{JA}$	$\theta_{JC}$	单位	JEDEC板层数
64引脚 LQFP	38	9.2	°C/W	2P2S <sup>1</sup>

<sup>1</sup> 2P2S为JEDEC标准PCB配置，符合JEDEC标准JESD51-7。

## ESD警告



### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

# AD7768/AD7768-4

## 引脚配置和功能描述

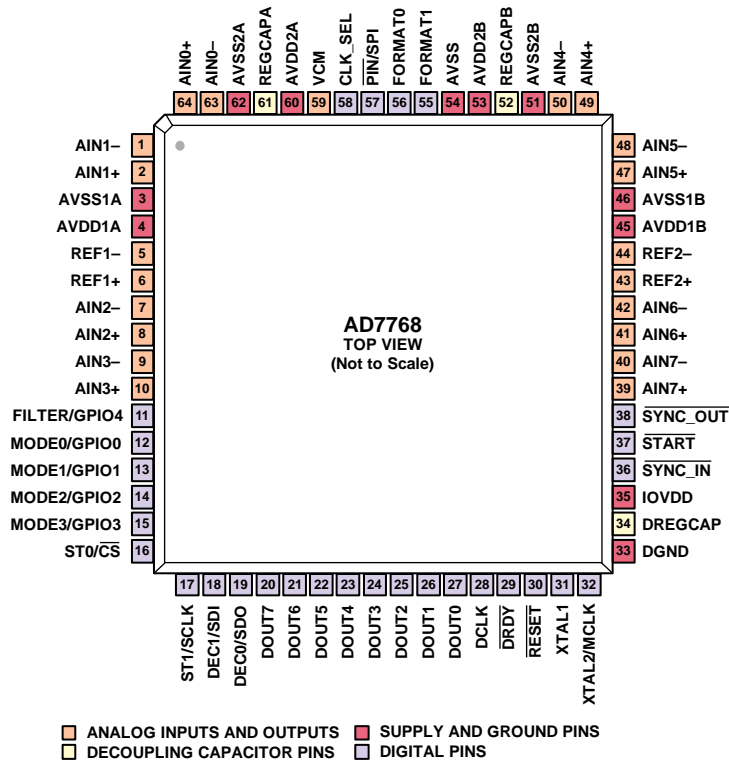


图10. AD7768引脚配置

表9. 引脚功能描述

引脚编号	引脚名称	类型 <sup>1</sup>	描述
1	AIN1-	AI	ADC通道1的负模拟输入。
2	AIN1+	AI	ADC通道1的正模拟输入。
3	AVSS1A	P	负模拟电源。此引脚标称电压为0 V。
4	AVDD1A	P	模拟电源电压，相对于AVSS为5 V ± 10%。
5	REF1-	AI	负基准输入。REF1-为通道0至通道3的负基准电压引脚。REF1-电压范围是AVSS至(AVDD1 - 1 V)。利用一个高质量电容将此引脚去耦至AVSS，并且此电容与引脚3之间应保持低阻抗。
6	REF1+	AI	负基准输入。REF1+为通道0至通道3的负基准电压引脚。REF1+电压范围是AVSS至(AVDD1 - 1 V)。利用一个高质量电容将此引脚去耦至AVSS，并且此电容与引脚3之间应保持低阻抗。
7	AIN2-	AI	ADC通道2的负模拟输入。
8	AIN2+	AI	ADC通道2的正模拟输入。
9	AIN3-	AI	ADC通道3的负模拟输入。
10	AIN3+	AI	ADC通道3的正模拟输入。
11	FILTER/GPIO4	DI/O	滤波器选择/通用输入/输出4。在引脚控制模式下，此引脚选择滤波器类型。此引脚设置为逻辑1时，选择sinc5滤波器。此sinc5滤波器是低延迟滤波器，最适合直流应用或用户在片外实现了专门后置滤波的应用。此引脚设置为逻辑0时，选择宽带低纹波滤波器响应。此滤波器具有很陡的过渡带和105 dB阻带衰减。奈奎斯特频率时的完全衰减(ODR/2)意味着在ODR/2时无混叠，直至第一斩波区。在SPI控制模式下，此引脚可用作通用输入/输出(GPIO4)。详情参见表49。



引脚编号	引脚名称	类型 <sup>1</sup>	描述
12, 13, 14, 15	MODE0/GPIO0, MODE1/GPIO1, MODE2/GPIO2, MODE3/GPIO3	DI/DI/O	模式选择/通用输入/输出引脚0至引脚3。 在引脚控制模式下，MODEx引脚设置所有ADC通道的工作模式，控制功耗、DCLK频率和ADC转换类型，允许单次转换模式。 在SPI控制模式下，GPIOx引脚和FILTER/GPIO4引脚构成5个通用输入/输出引脚(GPIO4至GPIO0)。详情参见表49。
16	ST0/ $\overline{CS}$	DI	待机0/片选输入。 在引脚控制模式下，逻辑1将通道0至通道3置于待机模式。 在SPI控制模式下，此引脚为SPI控制接口的低电平有效片选输入。VCM电压输出与通道0电路相关联。若通道0处于待机模式，VCM电压输出也会禁用，以便最大程度地节省功耗。当VCM用于AD7768外部时，必须使能通道0。
17	ST1/SCLK	DI	待机1/串行时钟输入。 在引脚控制模式下，此引脚的逻辑1状态将通道4至通道7置于待机模式。 在SPI控制模式下，此引脚为SPI控制接口的串行时钟输入引脚。晶振激励电路与通道4电路相关联。若通道4处于待机模式，该晶振电路也会禁用，以便最大程度地节省功耗。当AD7768使用外部晶振时，必须使能通道4。
18	DEC1/SDI	DI	抽取率控制输入1/串行数据输入。 在引脚控制模式下，DEC0和DEC1引脚配置所有ADC通道的抽取率。更多信息参见“设置抽取率”部分中的表17。 在SPI控制模式下，此引脚为用于将数据写入AD7768寄存器库的串行数据输入引脚。
19	DEC0/SDO	DI/O	抽取率控制输入0/串行数据输出。 在引脚控制模式下，DEC0和DEC1引脚配置所有ADC通道的抽取率。更多信息参见“设置抽取率”部分中的表17。 在SPI控制模式下，此引脚为串行数据输出引脚，用于从AD7768寄存器回读数据。
20	DOUT7	DI/O	转换数据输出7。此引脚与DCLK同步，由 $\overline{DRDY}$ 使能帧传输。当FORMATx引脚配置为01时，如果配置为同步多器件菊花链模式，则此引脚用作一个来自另一AD7768器件的数字输入。要在菊花链模式下使用AD7768，应根据最适合应用的接口格式，通过硬连线将FORMATx引脚配置为01、10或11。当FORMATx设置为01、10或11且未使用菊花链连接时，应通过一个下拉电阻将此引脚接地。
21	DOUT6	DI/O	转换数据输出6。此引脚与DCLK同步，由 $\overline{DRDY}$ 使能帧传输。如果配置为同步多器件菊花链模式，则此引脚用作一个来自另一AD7768器件的数字输入。要在菊花链模式下使用此引脚，应根据最适合应用的接口格式，通过硬连线将FORMATx引脚配置为01、10或11。当FORMATx设置为01、10或11且未使用菊花链连接时，应通过一个下拉电阻将此引脚接地。
22	DOUT5	DO	转换数据输出5。此引脚与DCLK同步，由 $\overline{DRDY}$ 使能帧传输。
23	DOUT4	DO	转换数据输出4。此引脚与DCLK同步，由 $\overline{DRDY}$ 使能帧传输。
24	DOUT3	DO	转换数据输出3。此引脚与DCLK同步，由 $\overline{DRDY}$ 使能帧传输。
25	DOUT2	DO	转换数据输出2。此引脚与DCLK同步，由 $\overline{DRDY}$ 使能帧传输。
26	DOUT1	DO	转换数据输出1。此引脚与DCLK同步，由 $\overline{DRDY}$ 使能帧传输。
27	DOUT0	DO	转换数据输出0。此引脚与DCLK同步，由使能帧传输。 $\overline{DRDY}$
28	DCLK	DO	ADC转换数据时钟。此引脚将转换数据输出到数字主机(数字信号处理器(DSP)/现场可编程门阵列(FPGA))。此引脚与 $\overline{DRDY}$ 和DOUT0至DOUT7上的转换数据输出同步，从MCLK信号获得。此引脚与SPI控制接口无关。
29	$\overline{DRDY}$	DO	数据就绪。 $\overline{DRDY}$ 是一个周期信号输出，用于使能8个ADC的转换结果帧传输。此引脚与DCLK和DOUT0至DOUT7同步。
30	$\overline{RESET}$	DI	硬件异步复位输入。器件完全上电后，建议利用此引脚执行硬复位，或通过SPI控制接口发出复位命令以执行软复位。

# AD7768/AD7768-4

引脚编号	引脚名称	类型 <sup>1</sup>	描述
31	XTAL1	DI	晶振的输入1或连接到LVDS时钟。当CLK_SEL为0时，晶振1连接到DGND。晶振激励电路与通道4电路相关联。若通道4处于待机模式，该晶振电路也会禁用，以便最大程度地节省功耗。当AD7768使用外部晶振时，必须使能通道4。配合LVDS时钟使用时，将此引脚连接到LVDS信号对的一条走线。用作LVDS输入时，AD7768会将此引脚上的上升沿检测为MCLK上升沿。
32	XTAL2/MCLK	DI	CMOS或晶振/LVDS采样时钟的输入2。此配置的详情参见CLK_SEL引脚。 外部晶振：晶振2连接到外部晶振。 LVDS时钟：配合LVDS时钟使用时，将此引脚连接到LVDS信号对的另一条走线。 CMOS时钟：此引脚用作MCLK输入。此引脚为CMOS输入，具有IOVDD/DGND的逻辑电平。用作CMOS时钟输入时，AD7768会将此引脚上的上升沿检测为MCLK上升沿。 晶振激励电路与通道4电路相关联。若通道4处于待机模式，该晶振电路也会禁用，以便最大程度地节省功耗。当AD7768使用外部晶振时，必须使能通道4。
33	DGND	P	数字地。此引脚标称电压为0 V。
34	DREGCAP	AO	数字低压差(LDO)稳压器的输出。用一个高质量、低ESR 10 μF电容将此引脚去耦至DGND。为实现最佳性能，应使用ESR小于400 mΩ的去耦电容。此引脚不能用于AD7768外部电路。对于1.8 V IOVDD工作模式，应通过外部走线将此引脚连接到IOVDD，以便为数字处理内核供电。
35	IOVDD	P	数字电源。此引脚设置所有接口引脚的逻辑电平。当IOVDD至少为2.25 V时，IOVDD还通过数字LDO为数字处理内核供电。对于1.8 V IOVDD工作模式，应通过外部走线将此引脚连接到DREGCAP，以便为数字处理内核供电。
36	<u>SYNC_IN</u>	DI	同步输入。SYNC_IN接收来自SYNC_OUT的同步信号。它用于任何需要同步采样或位于菊花链中的AD7768的同步。如果SYNC_IN引脚连接到系统同步脉冲，则忽略START和SYNC_OUT功能。此信号脉冲必须与MCLK时钟域同步。在由AD7768器件组成的菊花链系统中，必须连续施加两个同步脉冲以保证所有器件同步。在包含一个以上AD7768器件的系统中，若这些器件共享一个MCLK信号，且仅使用一个器件的DRDY引脚来检测新数据，则也需要两个同步脉冲。
37	<u>START</u>	DI	起始信号。START脉冲将AD7768与其他器件同步。该信号可以是异步信号。AD7768对输入采样，然后输出一个SYNC_OUT脉冲。必须将此SYNC_OUT脉冲发送至该器件以及任何其他必须一起同步的AD7768器件的SYNC_IN引脚。这意味着ADC及其数字主机无需采用同一时钟域工作，这对于ADC和控制器之间有长走线或背板的情况很有用。如果不使用此引脚，应通过一个上拉电阻将其连接到逻辑1电平。在由AD7768器件组成的菊花链系统中，必须连续施加两个同步脉冲以保证所有器件同步。在包含一个以上AD7768器件的系统中，若这些器件共享一个MCLK信号，且仅使用一个器件的DRDY引脚来检测新数据，则也需要两个同步脉冲。
38	<u>SYNC_OUT</u>	DO	同步输出。只有使用START输入时，此引脚才工作。使用START输入特性时，SYNC_OUT引脚必须通过外部走线连接到SYNC_IN。SYNC_OUT是一个与MCLK信号同步的数字输出；在START上输入的同步信号与MCLK信号内部同步，然后通过SYNC_OUT输出。SYNC_OUT也可以发送到其他需要同步采样和/或菊花链连接的AD7768器件，确保MCLK时钟域相关的器件同步。然后必须将其连线，以驱动同一AD7768和其他AD7768器件上的SYNC_IN引脚。
39	AIN7+	AI	ADC通道7的正模拟输入。
40	AIN7-	AI	ADC通道7的负模拟输入。
41	AIN6+	AI	ADC通道6的正模拟输入。
42	AIN6-	AI	ADC通道6的负模拟输入。
43	REF2+	AI	正基准输入。REF2+为通道4至通道7的正基准电压引脚。REF2+电压范围是(AVSS + 1 V)至AVDD1。在REF2+和REF2-之间施加一个1 V到 AVDD1-AVSS 的外部差分基准电压。利用一个高质量电容将此引脚去耦至AVSS，并且此电容与引脚46之间应保持低阻抗。

引脚编号	引脚名称	类型 <sup>1</sup>	描述
44	REF2-	AI	负基准输入。REF2-为通道4至通道7的负基准电压引脚。REF2-电压范围是AVSS至(AVDD1 - 1 V)。利用一个高质量电容将此引脚去耦至AVSS，并且此电容与引脚46之间应保持低阻抗。
45	AVDD1B	P	模拟电源电压。此引脚相对于AVSS为5 V ± 10%。
46	AVSS1B	P	负模拟电源。此引脚标称电压为0 V。
47	AIN5+	AI	ADC通道5的正模拟输入。
48	AIN5-	AI	ADC通道5的负模拟输入。
49	AIN4+	AI	ADC通道4的正模拟输入。
50	AIN4-	AI	ADC通道4的负模拟输入。
51	AVSS2B	P	负模拟电源。此引脚标称电压为0 V。
52	REGCAPB	AO	模拟LDO稳压器输出。用一个1 μF电容将此引脚去耦至AVSS。
53	AVDD2B	P	模拟电源电压。此引脚相对于AVSS为2 V至5.5 V。
54	AVSS	P	负模拟电源。此引脚标称电压为0 V。
55, 56	FORMAT1, FORMAT0	DI	格式选择引脚。在引脚控制和SPI控制模式下，通过硬连线将FORMATx引脚配置为所需的值。这些引脚设置用于输出ADC转换数据的DOUTx引脚数。FORMATx引脚由AD7768在上电时检查；然后，AD7768保持该数据输出配置(参见表31)。
57	$\overline{\text{PIN}}/\text{SPI}$	DI	引脚控制/SPI控制。此引脚设置控制方法。 逻辑0 = AD7768的引脚控制模式。引脚控制模式支持AD7768的引脚绑定配置，即将逻辑输入引脚连接到所需的逻辑电平。根据配置要求连接逻辑引脚(MODE0至MODE4、DECO和DEC1以及FILTER)。更多信息参见“引脚控制”部分。 逻辑1 = AD7768的SPI控制模式。使用SPI控制接口信号( $\overline{\text{CS}}$ 、SCLK、SDI和SDO)读写AD7768存储器映射。
58	CLK_SEL	DI	时钟选择位。 逻辑0 = 拉低此引脚时，选择CMOS时钟选项。该时钟施加于引脚32(引脚31连接到DGND)。 逻辑1 = 拉高此引脚时，选择晶振或LVDS时钟选项。晶振或LVDS时钟施加于引脚31和引脚32。 LVDS选项仅在SPI控制模式下可用。使能LVDS时钟选项需要一个写操作。
59	VCM	AO	共模电压输出。此引脚输出(AVDD1 - AVSS)/2 V，在引脚控制模式下，其默认值为2.5 V。在SPI控制模式下，将此引脚配置为(AVDD1 - AVSS)/2 V、2.5 V、2.14 V或1.65 V。当驱动大于0.1 μF的容性负载时，建议在该引脚与容性负载之间放置一个50 Ω串联电阻以确保稳定性。VCM电压输出与通道0电路相关联。若通道0处于待机模式，VCM电压输出也会禁用，以便最大程度地节省功耗。当VCM用于AD7768外部时，必须使能通道0。
60	AVDD2A	P	模拟电源电压。此引脚相对于AVSS为2 V至5.5 V。
61	REGCAPA	AO	模拟LDO稳压器输出。用一个1 μF电容将此引脚去耦至AVSS。
62	AVSS2A	P	负模拟电源。此引脚标称电压为0 V。
63	AIN0-	AI	ADC通道0的负模拟输入。
64	AIN0+	AI	ADC通道0的正模拟输入。

<sup>1</sup> AI为模拟输入，P为电源，DI/O为数字输入/输出，DI为数字输入，DO为数字输出，AO为模拟输出。



引脚编号	引脚名称	类型 <sup>1</sup>	描述
12, 13, 14, 15	MODE0/GPIO0, MODE1/GPIO1, MODE2/GPIO2, MODE3/GPIO3	DI/DI/O	模式选择/通用输入/输出引脚0至引脚3。 在引脚控制模式下, MODEx引脚设置所有ADC通道的工作模式, 控制功耗、DCLK频率和ADC转换类型, 允许单次转换模式。 在SPI控制模式下, GPIOx引脚和FILTER/GPIO4引脚构成5个通用输入/输出引脚(GPIO4至GPIO0)。详情参见表75。
16	ST0/ $\overline{\text{CS}}$	DI	待机0/片选输入。 在引脚控制模式下, 此引脚的逻辑1状态将通道0至通道3置于待机模式。 在SPI控制模式下, 此引脚为SPI控制接口的低电平有效片选输入。 VCM电压输出与通道0电路相关联。若通道0处于待机模式, VCM电压输出也会禁用, 以便最大程度地节省功耗。当VCM用于AD7768-4外部时, 必须使能通道0。晶振激励电路与通道2电路相关联。若通道2处于待机模式, 该晶振电路也会禁用, 以便最大程度地节省功耗。当AD7768-4使用外部晶振时, 必须使能通道2。
17	SCLK	DI	串行时钟输入。 在SPI控制模式下, 此引脚为SPI控制接口的串行时钟输入引脚。 在引脚控制模式下, 将此引脚连接到逻辑0或DGND。
18	DEC1/SDI	DI	抽取率控制输入1/串行数据输入。 在引脚控制模式下, DEC0和DEC1引脚配置所有ADC通道的抽取率。参见“设置抽取率”部分中的表17。
19	DEC0/SDO	DI/O	抽取率控制输入0/串行数据输出。 在SPI控制模式下, 此引脚为用于将数据写入AD7768-4寄存器库的串行数据输入引脚。 在引脚控制模式下, DEC0和DEC1引脚配置所有ADC通道的抽取率。参见“设置抽取率”部分中的表17。
20	DNC/DGND	DO/DI	不连接/数字地。这是未使用引脚。若FORMAT0连接到逻辑低电平, 此引脚应保持浮空。当FORMAT0连接到逻辑高电平时, 应通过一个下拉电阻将此引脚接DGND。
21	DIN	DI	数据输入菊花链。如果配置为同步多器件菊花链模式, 则此引脚用作一个来自另一AD7768-4器件的数字输入。要在菊花链中使用此引脚, 须将FORMAT0引脚硬连线到逻辑高电平。若FORMAT0连接到逻辑低电平, 或菊花链输入引脚未使用, 则通过一个下拉电阻将此引脚连接到DGND。
22, 23	DNC	DO	不连接。请勿连接该引脚。
24	DOUT3	DO	转换数据输出3。此引脚与DCLK同步, 由 $\overline{\text{DRDY}}$ 使能帧传输。
25	DOUT2	DO	转换数据输出2。此引脚与DCLK同步, 由 $\overline{\text{DRDY}}$ 使能帧传输。
26	DOUT1	DO	转换数据输出1。此引脚与DCLK同步, 由 $\overline{\text{DRDY}}$ 使能帧传输。
27	DOUT0	DO	转换数据输出0。此引脚与DCLK同步, 由使能帧传输。 $\overline{\text{DRDY}}$
28	DCLK	DO	ADC转换数据时钟。此引脚将转换数据输出到数字主机(DSP/FPGA)。此引脚与 $\overline{\text{DRDY}}$ 和DOUT0至DOUT3上的转换数据输出同步, 从MCLK信号获得。此引脚与SPI控制接口无关。
29	$\overline{\text{DRDY}}$	DO	ADC转换数据时钟。此引脚将转换数据输出到数字主机(DSP/FPGA)。此引脚与 $\overline{\text{DRDY}}$ 和DOUT0至DOUT3上的转换数据输出同步, 从MCLK信号获得。此引脚与SPI控制接口无关。
30	RESET	DI	硬件异步复位输入。器件完全上电后, 建议利用此引脚执行硬复位, 或通过SPI控制接口发出复位命令以执行软复位。
31	XTAL1	DI	晶振的输入1或连接到LVDS时钟。当CLK_SEL为0时, 晶振1连接到DGND。配合LVDS时钟使用时, 建议将此引脚连接到LVDS信号对的一条走线。用作LVDS输入时, AD7768-4会将此引脚上的上升沿检测为MCLK上升沿。



# AD7768/AD7768-4

引脚编号	引脚名称	类型 <sup>1</sup>	描述
32	XTAL2/MCLK	DI	CMOS/晶振/LVDS采样时钟的输入2。此配置的详情参见CLK_SEL引脚。 外部晶振：晶振2连接到外部晶振。 LVDS：配合LVDS时钟使用时，将此引脚连接到LVDS信号对的另一条走线。 CMOS时钟：此引脚用作MCLK输入。此引脚为CMOS输入，具有IOVDD/DGND的逻辑电平。用作CMOS时钟输入时，AD7768-4会将此引脚上的上升沿检测为MCLK上升沿。
33	DGND	P	数字地。标称值为GND(0 V)。
34	DREGCAP	AO	数字LDO稳压器输出。用一个高质量、低ESR 10 μF电容将此引脚去耦至DGND。为实现最佳性能，应使用ESR小于400 mΩ的去耦电容。此引脚不能用于AD7768-4外部电路。对于1.8 V IOVDD工作模式，应通过外部走线将此引脚连接到IOVDD，以便为数字处理内核供电。
35	IOVDD	P	数字电源。此引脚设置所有接口引脚的逻辑电平。当IOVDD至少为2.25 V时，IOVDD还通过数字LDO为数字处理内核供电。对于1.8 V IOVDD工作模式，应通过外部走线将此引脚连接到DREGCAP，以便为数字处理内核供电。
36	$\overline{\text{SYNC\_IN}}$	DI	同步输入。 $\overline{\text{SYNC\_IN}}$ 接收来自 $\overline{\text{SYNC\_OUT}}$ 的同步信号。它用于任何需要同步采样或位于菊花链中的AD7768-4的同步。如果AD7768-4 $\overline{\text{SYNC\_IN}}$ 引脚连接到系统同步脉冲，用户可忽略START和 $\overline{\text{SYNC\_OUT}}$ 功能。此信号脉冲必须与MCLK时钟域同步。
37	$\overline{\text{START}}$	DI	起始信号。START脉冲将AD7768-4与其他器件同步。该信号可以是异步信号。AD7768-4对输入采样，然后输出一个 $\overline{\text{SYNC\_OUT}}$ 脉冲。必须将此 $\overline{\text{SYNC\_OUT}}$ 脉冲发送至该器件以及任何其他必须一起同步的AD7768-4器件的 $\overline{\text{SYNC\_IN}}$ 引脚。这意味着ADC及其数字主机无需采用同一时钟域工作，这对于ADC和控制器之间有长走线或背板的情况很有用。如果不使用此引脚，应通过一个上拉电阻将其连接到逻辑1电平。在由AD7768-4器件组成的菊花链系统中，必须连续施加两个同步脉冲以保证所有器件同步。在包含一个以上AD7768-4器件的系统中，若这些器件共享一个MCLK信号，且仅使用一个器件的 $\overline{\text{DRDY}}$ 引脚来检测新数据，则也需要两个同步脉冲。
38	$\overline{\text{SYNC\_OUT}}$	DO	同步输出。只有使用START输入时，此引脚才工作。使用START输入特性时， $\overline{\text{SYNC\_OUT}}$ 必须通过外部走线连接到 $\overline{\text{SYNC\_IN}}$ 。 $\overline{\text{SYNC\_OUT}}$ 是一个与MCLK信号同步的数字输出；在START上输入的同步信号与MCLK信号内部同步，然后通过 $\overline{\text{SYNC\_OUT}}$ 输出。 $\overline{\text{SYNC\_OUT}}$ 也可以发送到其他需要同步采样和/或菊花链连接的AD7768-4器件，确保MCLK时钟域相关的器件同步。然后必须将其连线，以驱动同一AD7768-4和其他AD7768-4器件上的 $\overline{\text{SYNC\_IN}}$ 引脚。
43	REF2+	AI	正基准输入。REF2+为通道2和通道3的正基准电压引脚。REF2+电压范围是(AVSS + 1 V)至AVDD1。在REF2+和REF2-之间施加一个1 V到 AVDD1-AVSS 的外部差分基准电压。利用一个高质量电容将此引脚去耦至AVSS，并且此电容与引脚3之间应保持低阻抗。
44	REF2-	AI	负基准输入。REF2-为通道2和通道3的负基准电压引脚。REF2-电压范围是AVSS至(AVDD1 - 1 V)。利用一个高质量电容将此引脚去耦至AVSS，并且此电容与引脚3之间应保持低阻抗。
45	AVDD1B	P	模拟电源电压。此引脚相对于AVSS为5 V ± 10%。
46	AVSS1B	P	负模拟电源。此引脚标称电压为0 V。
47	AIN3+	AI	ADC通道3的正模拟输入。
48	AIN3-	AI	ADC通道3的负模拟输入。
49	AIN2+	AI	ADC通道2的正模拟输入。
50	AIN2-	AI	ADC通道2的负模拟输入。
51	AVSS2B	P	负模拟电源。此引脚标称电压为0 V。
52	REGCAPB	AO	模拟LDO稳压器输出。用一个1 μF电容将此引脚去耦至AVSS。

引脚编号	引脚名称	类型 <sup>1</sup>	描述
53	AVDD2B	P	模拟电源电压。相对于AVSS为2 V至5.5 V。
55	DGND	P	数字地。此引脚标称电压为0 V。
56	FORMAT0	DI	格式选择。在引脚控制和SPI控制模式下，通过硬连线将FORMAT0引脚配置为所需的值。此引脚设置用于输出ADC转换数据的DOUTx引脚数。FORMAT0引脚由AD7768-4在上电时检查，然后AD7768-4保持该数据输出配置。参见表32。
57	$\overline{\text{PIN}}/\text{SPI}$	DI	引脚控制/SPI控制。此引脚设置AD7768-4控制方法。 逻辑0 = AD7768-4的引脚控制模式。引脚控制模式支持AD7768-4的引脚绑定配置，即将逻辑输入引脚连接到所需的逻辑电平。根据配置要求连接逻辑引脚MODE0至MODE4、DEC0和DEC1以及FILTER。更多信息参见“引脚控制”部分。 逻辑1 = AD7768-4的SPI控制模式。使用SPI控制接口信号( $\overline{\text{CS}}$ 、SCLK、SDI和SDO)读写AD7768-4存储器映射。
58	CLK_SEL	DI	时钟选择位。 逻辑0 = 拉低此引脚时，选择CMOS时钟选项。该时钟施加于引脚32(引脚31连接到DGND)。 逻辑1 = 拉高此引脚时，选择晶振或LVDS时钟选项。晶振或LVDS时钟施加于引脚31和引脚32。LVDS选项仅在SPI控制模式下可用。使能LVDS时钟选项需要一个写操作。
59	VCM	AO	共模电压输出。此引脚输出(AVDD1 – AVSS)/2 V，在引脚控制模式下，其默认值为2.5 V。在SPI控制模式下，将此引脚配置为(AVDD1 – AVSS)/2 V、2.5 V、2.14 V或1.65 V。当驱动大于0.1 $\mu\text{F}$ 的容性负载时，建议在该引脚与容性负载之间放置一个50 $\Omega$ 串联电阻以确保稳定性。VCM电压输出与通道0电路相关联。若通道0处于待机模式，VCM电压输出也会禁用，以便最大程度地节省功耗。当VCM用于AD7768-4外部时，必须使能通道0。
60	AVDD2A	P	模拟电源电压。此引脚相对于AVSS为2 V至5.5 V。
61	REGCAPA	AO	模拟LDO稳压器输出。用一个1 $\mu\text{F}$ 电容将此引脚去耦至AVSS。
62	AVSS2A	P	负模拟电源。此引脚标称电压为0 V。
63	AIN0–	AI	ADC通道0的负模拟输入。
64	AIN0+	AI	ADC通道0的正模拟输入。

<sup>1</sup> AI为模拟输入，P为电源，DI/O为数字输入/输出，DI为数字输入，DO为数字输出，AO为模拟输出。



## 典型性能参数

除非另有说明，AVDD1 = 5 V，AVDD2 = 2.5 V，AVSS = 0 V，IOVDD = 2.5 V，V<sub>REF</sub> = 4.096 V，T<sub>A</sub> = 25°C，快速功耗模式，宽带滤波器，抽取 = ×32，MCLK = 32.768 MHz，模拟输入预充电缓冲器开启，基准预充电缓冲器关闭。

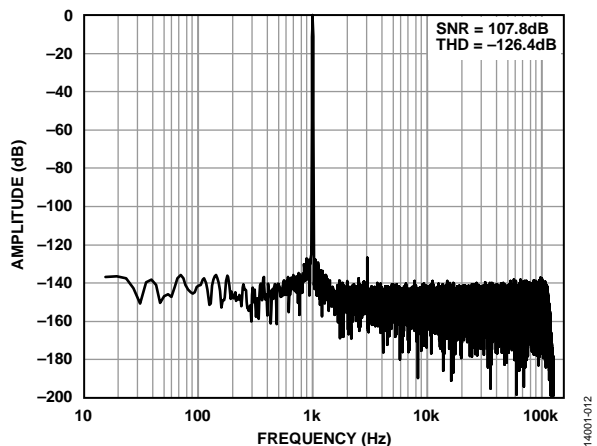


图12. FFT, 快速模式, 宽带滤波器, -0.5 dBFS

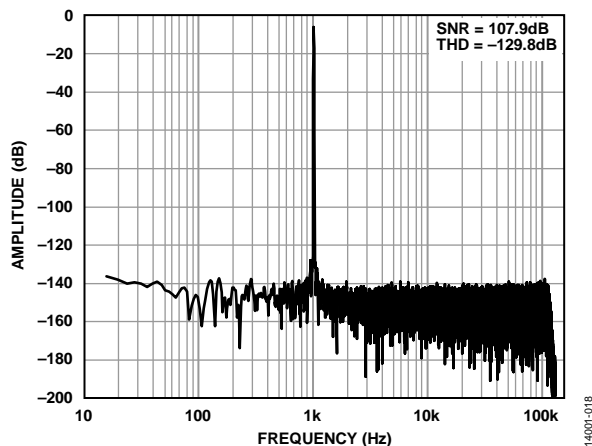


图15. FFT, 快速模式, 宽带滤波器, -6 dBFS

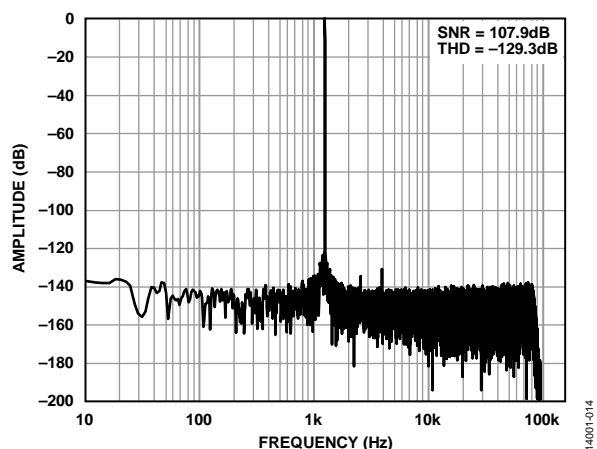


图13. FFT, 中速模式, 宽带滤波器, -0.5 dBFS

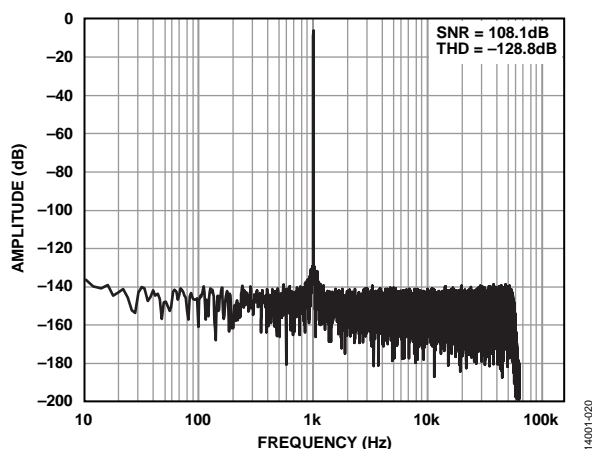


图16. FFT, 中速模式, 宽带滤波器, -6 dBFS

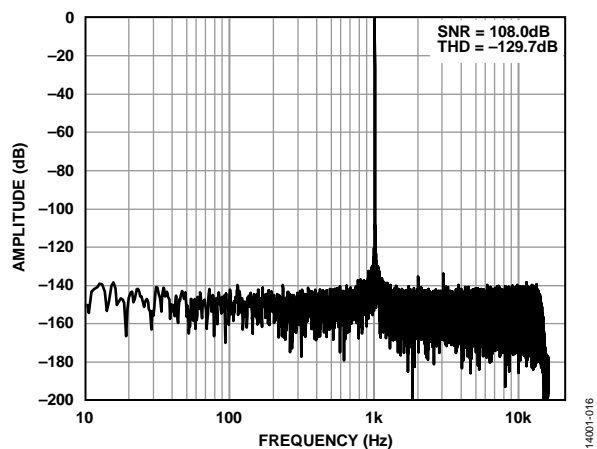


图14. FFT, 生态模式, 宽带滤波器, -0.5 dBFS

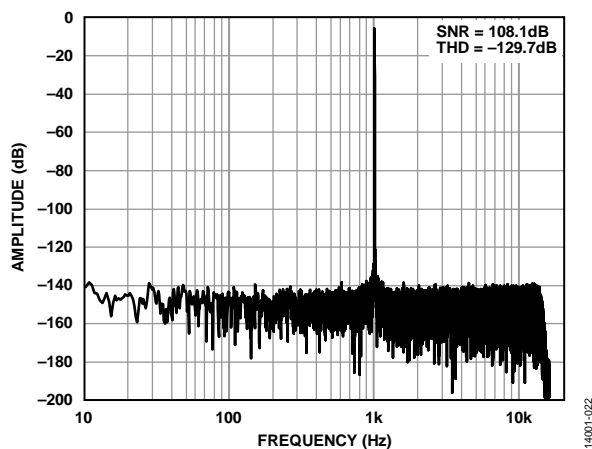


图17. FFT, 生态模式, 宽带滤波器, -6 dBFS

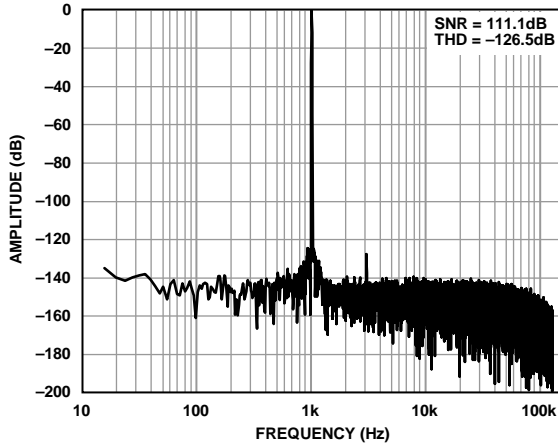


图18. FFT, 快速模式, Sinc5滤波器, -0.5 dBFS

14001-013

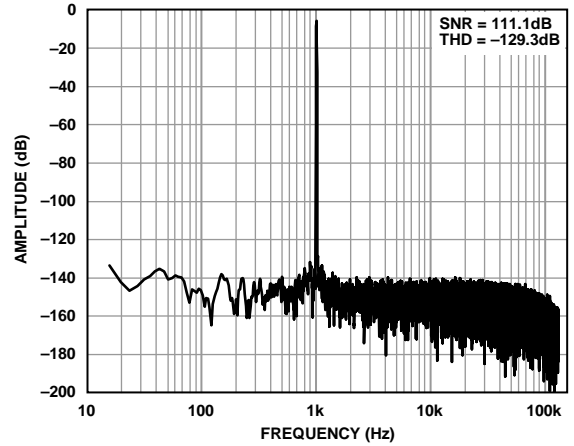


图21. FFT, 快速模式, Sinc5滤波器, -6 dBFS

14001-019

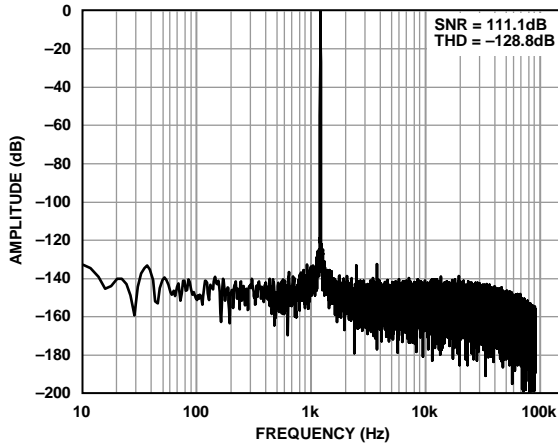


图19. FFT, 中速模式, Sinc5滤波器, -0.5 dBFS

14001-015

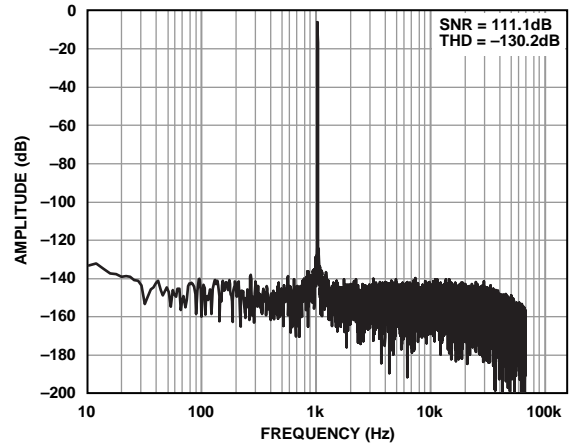


图22. FFT, 中速模式, Sinc5滤波器, -6 dBFS

14001-021

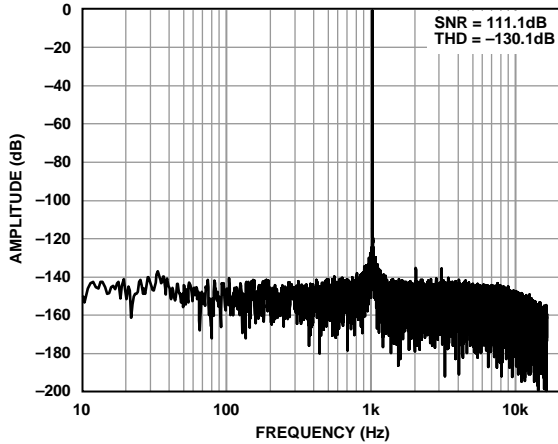


图20. FFT, 生态模式, Sinc5滤波器, -0.5 dBFS

14001-017

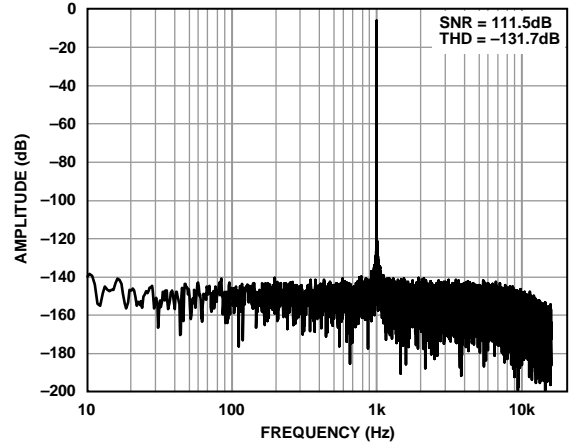


图23. FFT, 生态模式, Sinc5滤波器, -6 dBFS

14001-023

# AD7768/AD7768-4

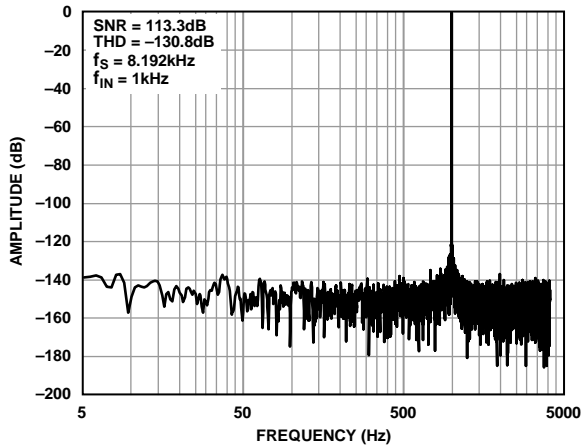


图24. FFT单次模式, Sinc5滤波器, 中速模式, 抽取 =  $\times 64$ ,  $-0.5$  dBFS, SYNC\_IN频率 = MCLK/4000

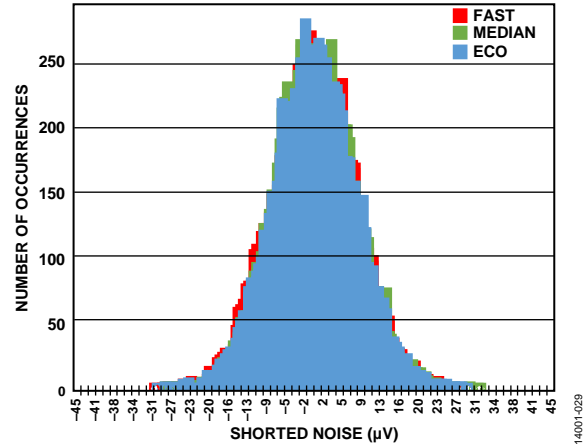


图27. 短路噪声, Sinc5滤波器

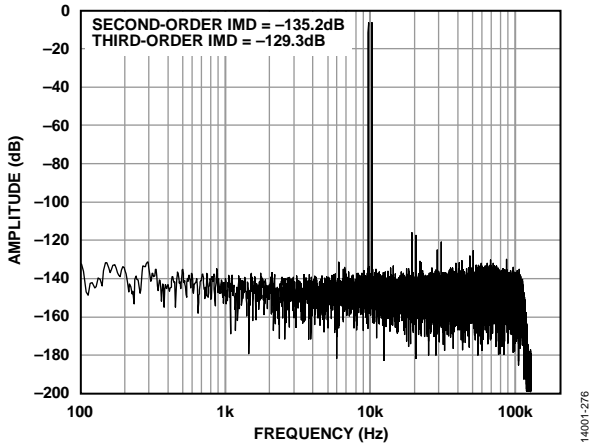


图25. 9.7 kHz和10.3 kHz输入信号下的IMD

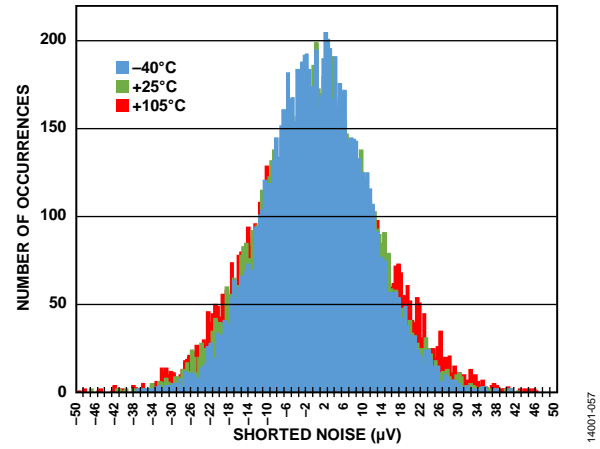


图28. 短路噪声与温度的关系, 宽带滤波器

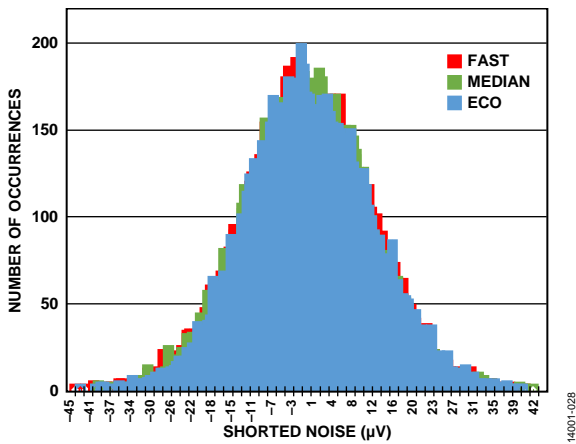


图26. 短路噪声, 宽带滤波器

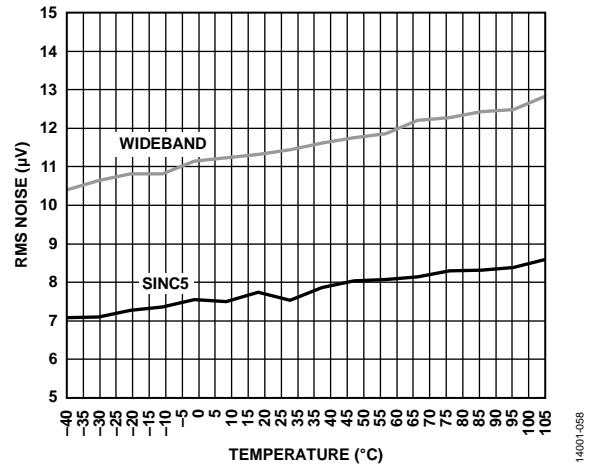


图29. RMS噪声与温度的关系, 快速模式

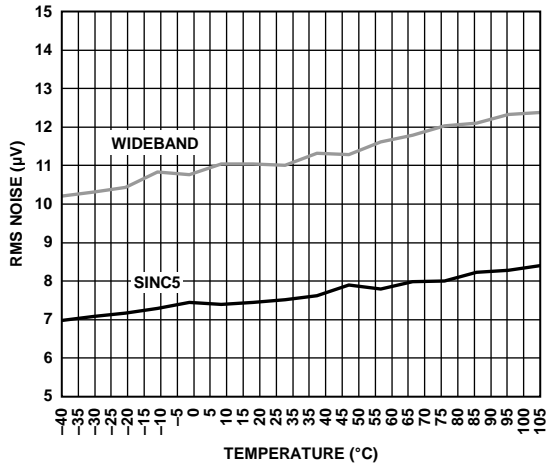


图30. RMS噪声与温度的关系，中速模式

14001-059

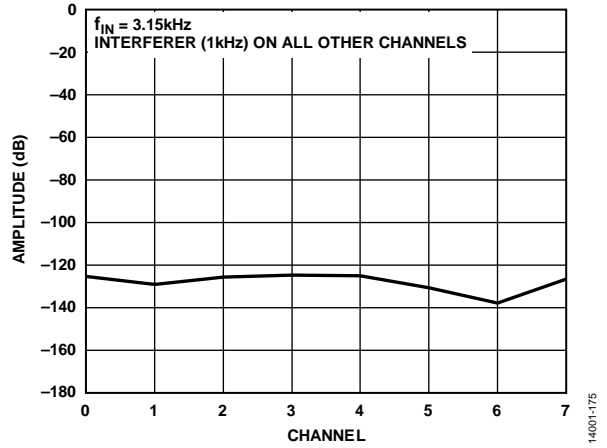


图33. 通道间串扰

14001-175

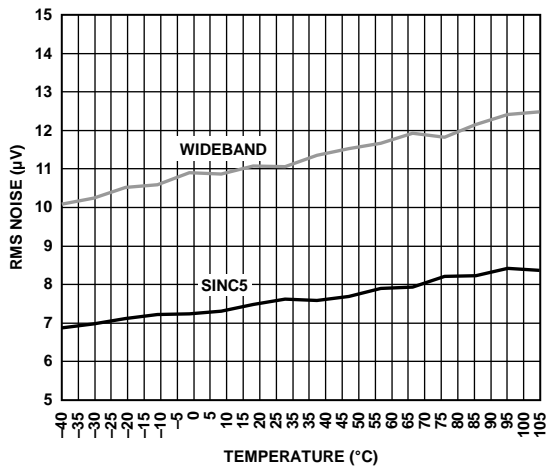


图31. RMS噪声与温度的关系，生态模式

14001-060

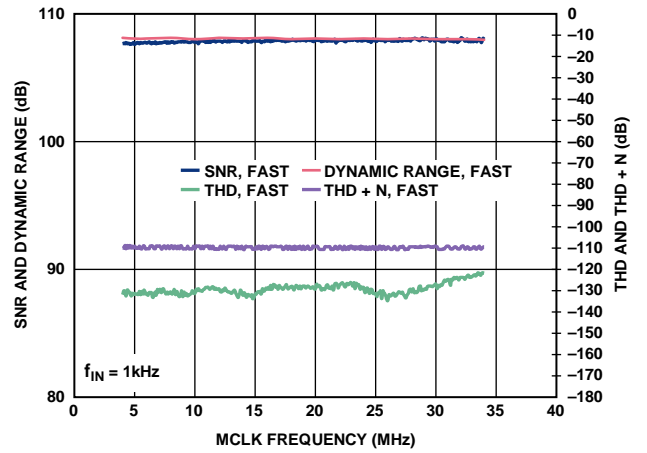


图34. SNR、动态范围、THD和THD+N与MCLK频率的关系

14001-062

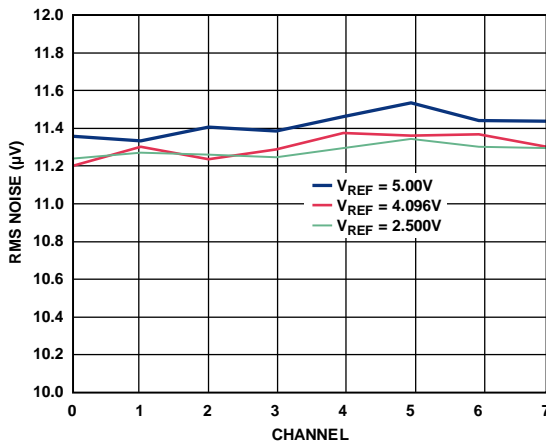


图32. 不同 $V_{REF}$ 值下每个通道的RMS噪声

14001-061

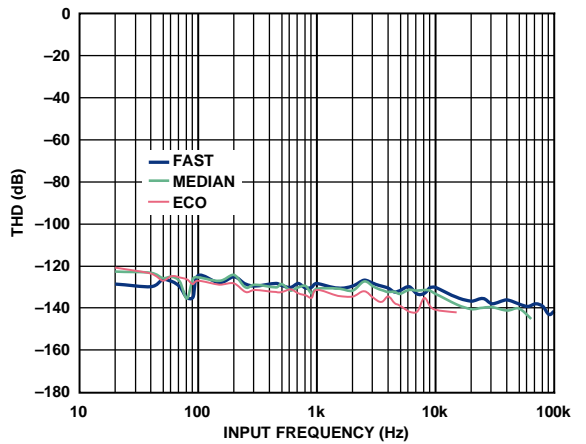


图35. THD与输入频率的关系，三种功耗模式，宽带滤波器

14001-034

# AD7768/AD7768-4

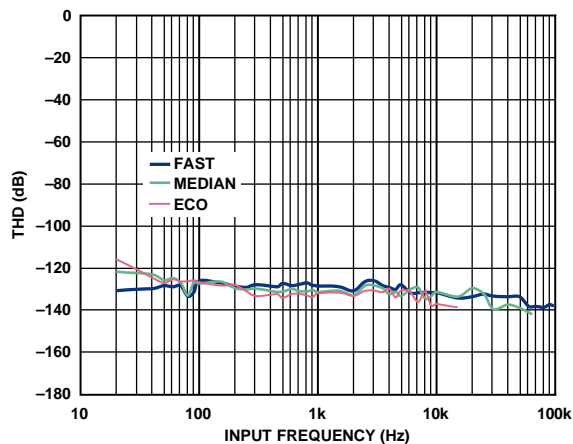


图36. THD与输入频率的关系，三种功耗模式，Sinc5滤波器

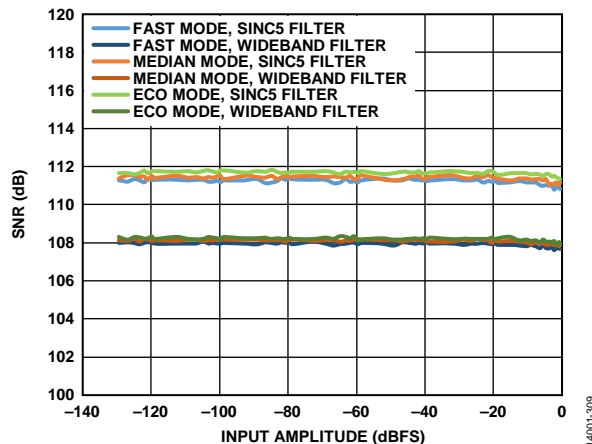


图39. SNR与输入幅度的关系

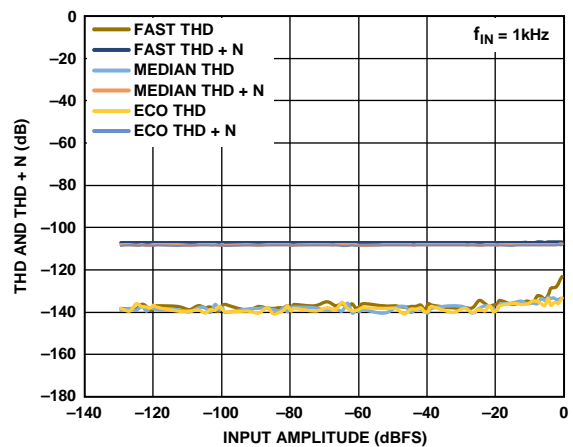


图37. THD和THD + N与输入幅度的关系，宽带滤波器

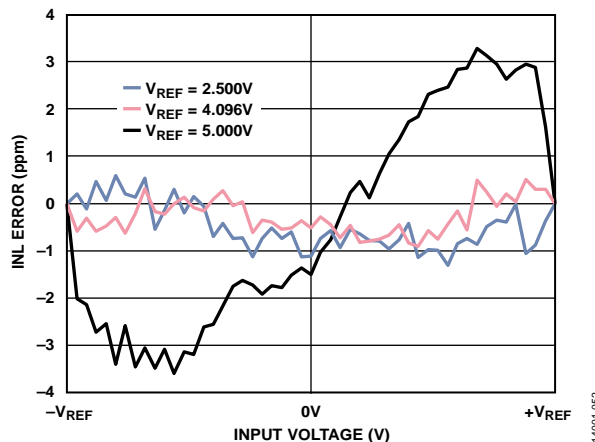


图40. 不同基准电压( $V_{REF}$ )下INL误差与输入电压的关系，快速模式

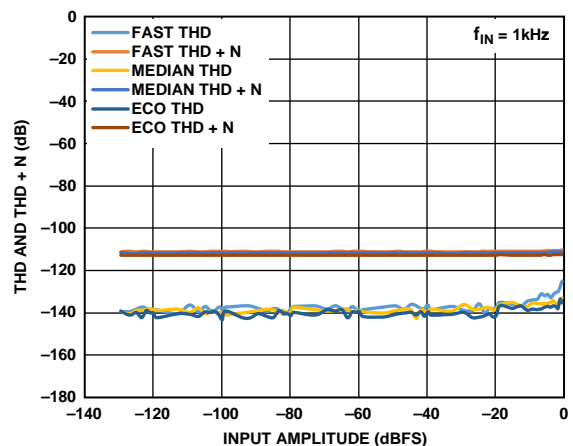


图38. THD和THD + N与输入幅度的关系，Sinc5滤波器

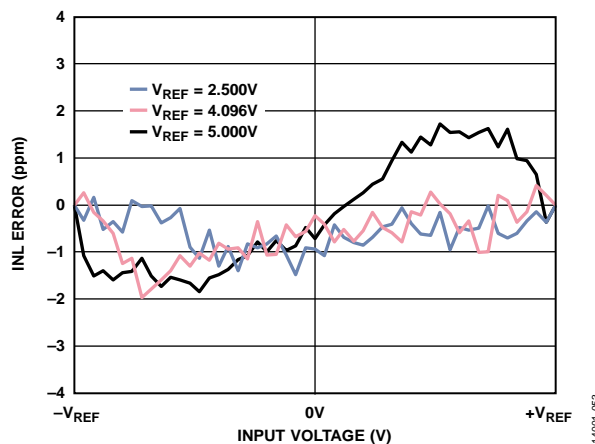


图41. 不同基准电压( $V_{REF}$ )下INL误差与输入电压的关系，中速模式

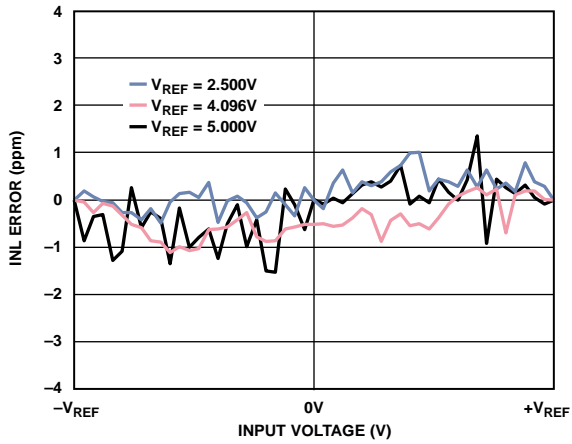


图42. 不同基准电压( $V_{REF}$ )下INL误差与输入电压的关系, 生态模式

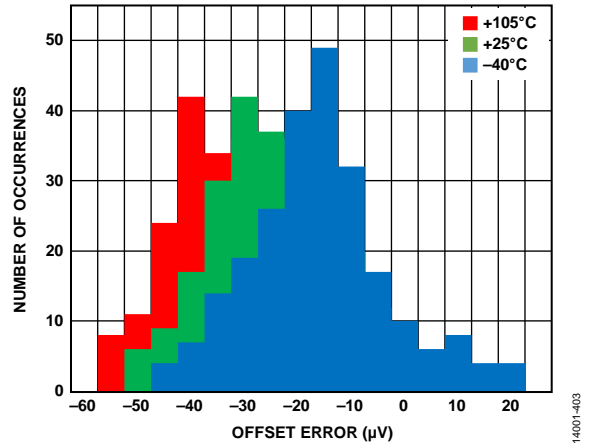


图45. 失调误差分布, DCLK = 24 MHz

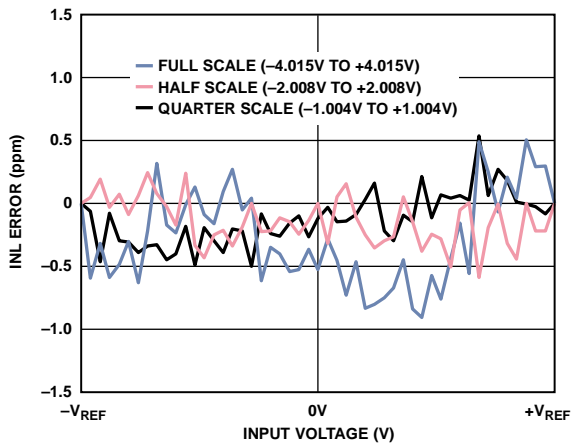


图43. INL误差与输入电压的关系, 满量程、半量程和1/4量程

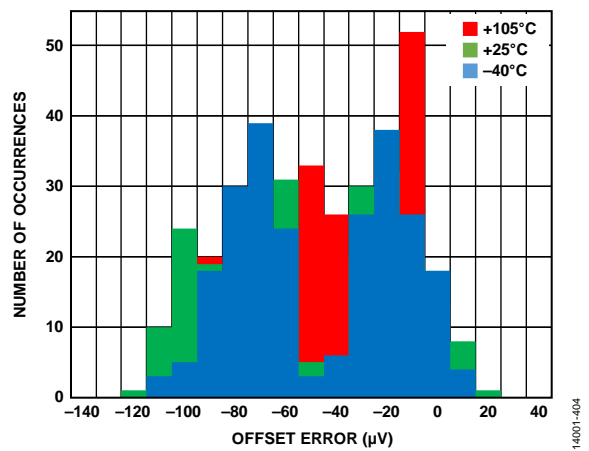


图46. 失调误差分布, DCLK = 32 MHz

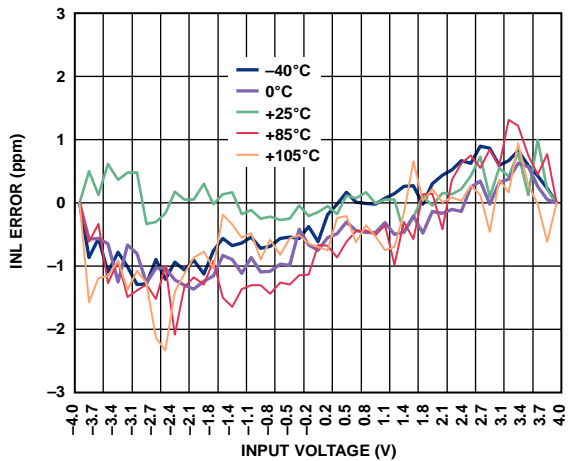


图44. 不同温度下INL误差与输入电压的关系, 快速模式

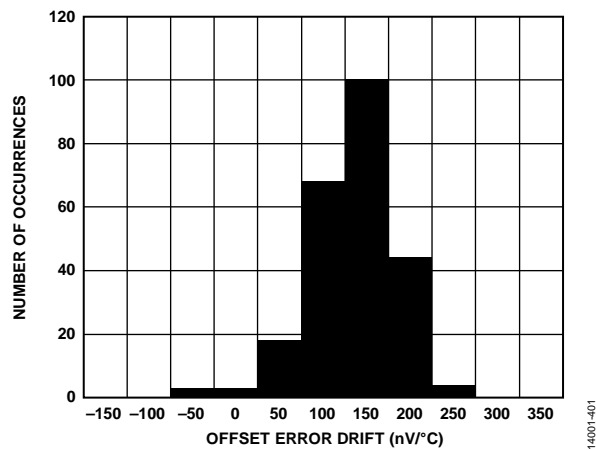


图47. 失调误差漂移, DCLK = 24 MHz

# AD7768/AD7768-4

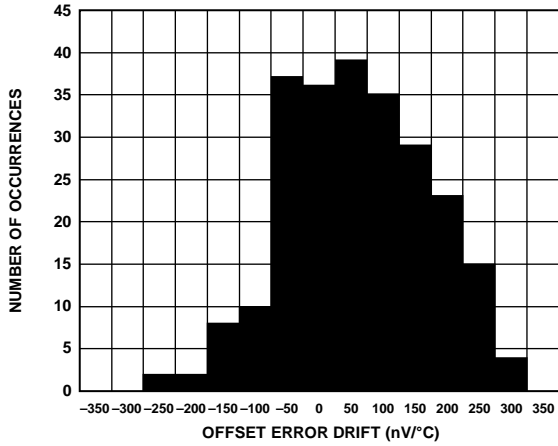


图48. 失调误差漂移,  $DCLK = 32\text{ MHz}$

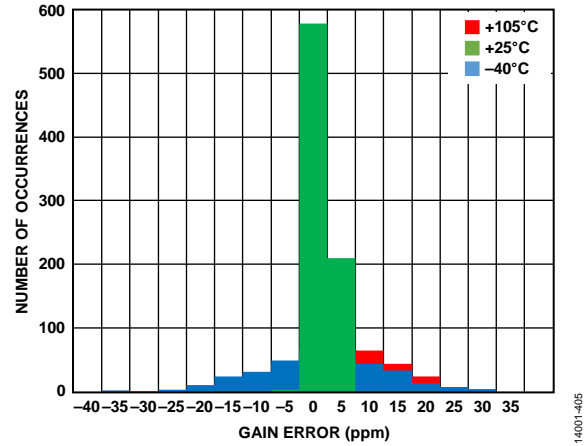


图51. 增益误差分布

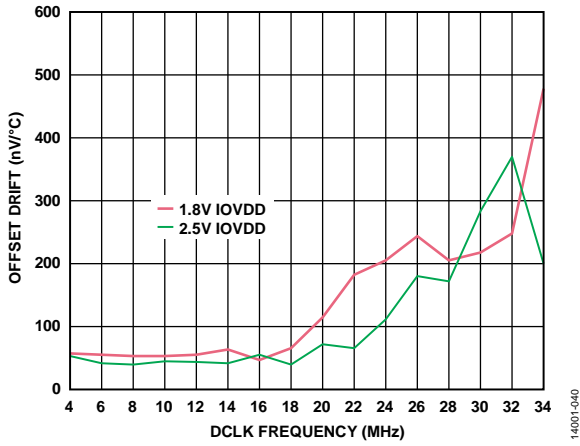


图49. 失调漂移与DCLK频率的关系

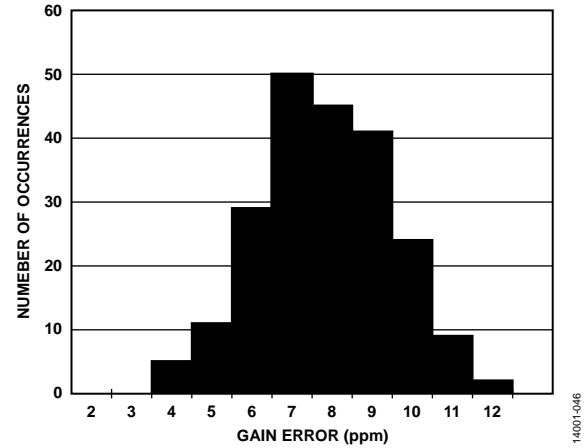


图52. 通道间增益误差匹配

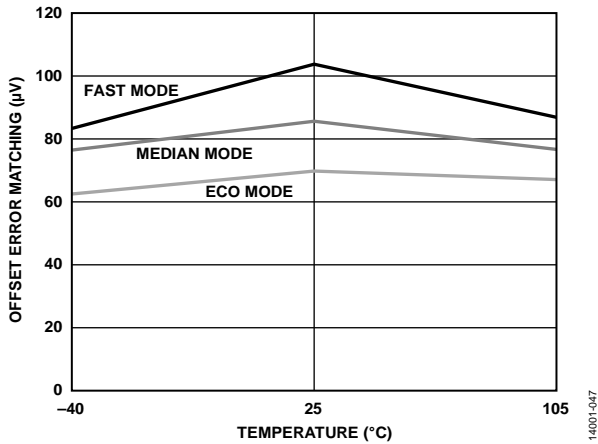


图50. 通道失调误差匹配

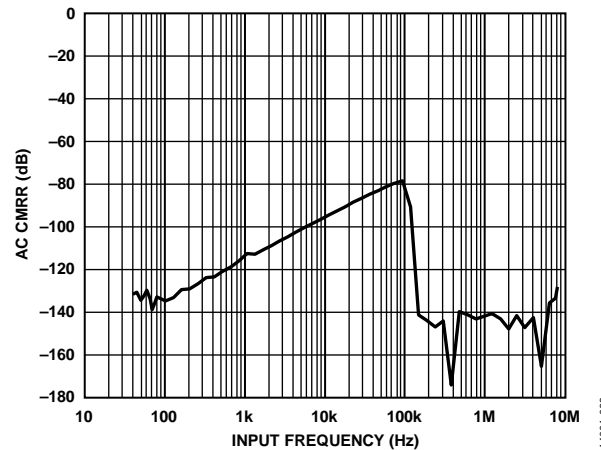


图53. 交流CMRR与输入频率的关系

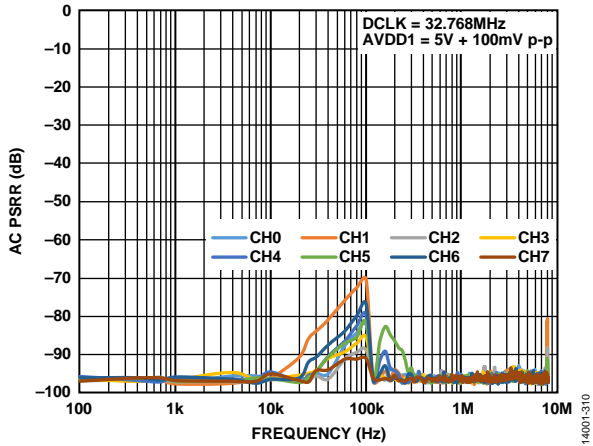


图54. 交流PSRR与频率的关系, AVDD1

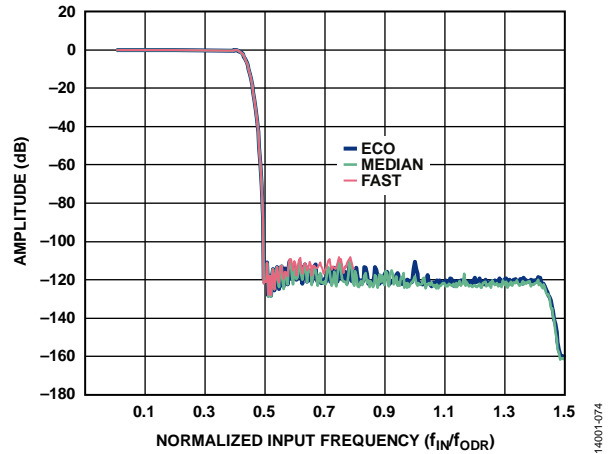


图57. 宽带滤波器曲线, 幅度与 $f_{IN}/f_{ODR}$ 的关系

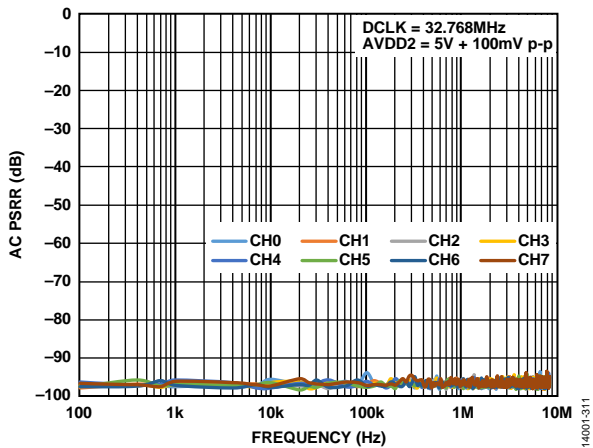


图55. 交流PSRR与频率的关系, AVDD2

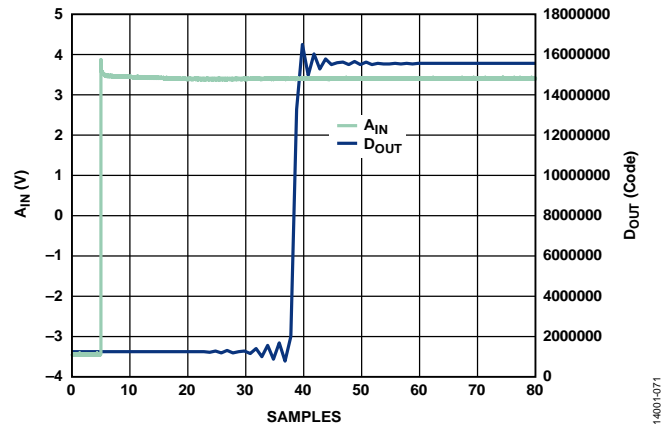


图58. 阶跃响应, 宽带滤波器

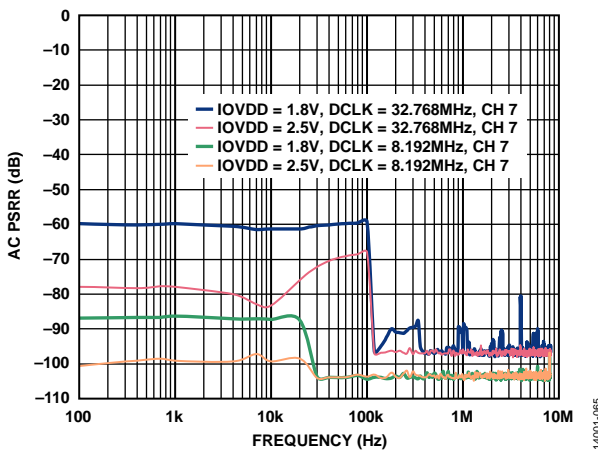


图56. 交流PSRR与频率的关系, IOVDD

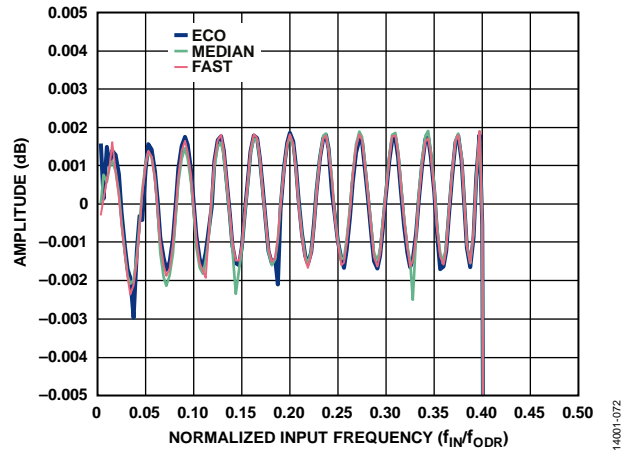


图59. 宽带滤波器纹波



# AD7768/AD7768-4

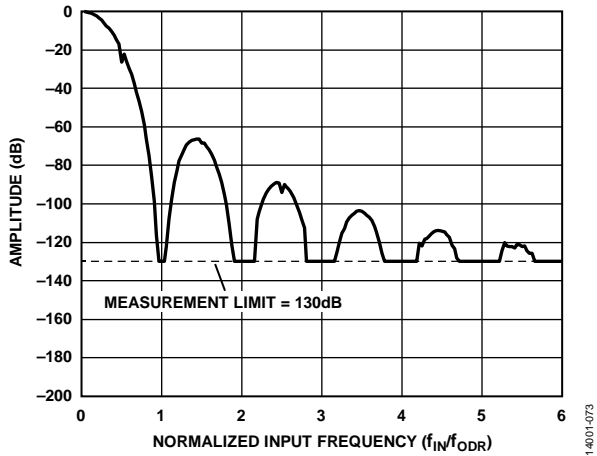


图60. Sinc5滤波器曲线，幅度与 $f_{IN}/f_{ODR}$ 的关系

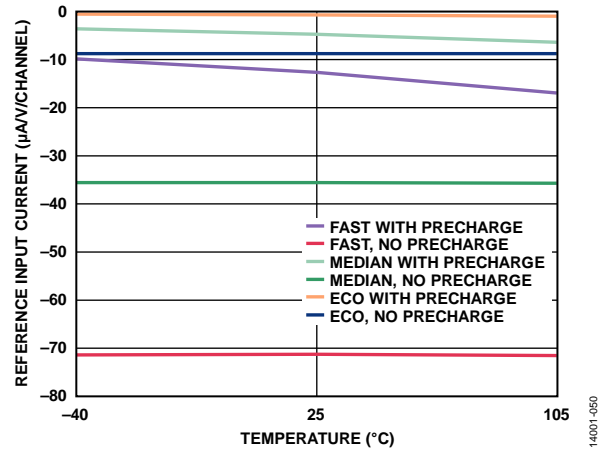


图63. 基准输入电流与温度的关系，基准预充电缓冲器开启/关闭

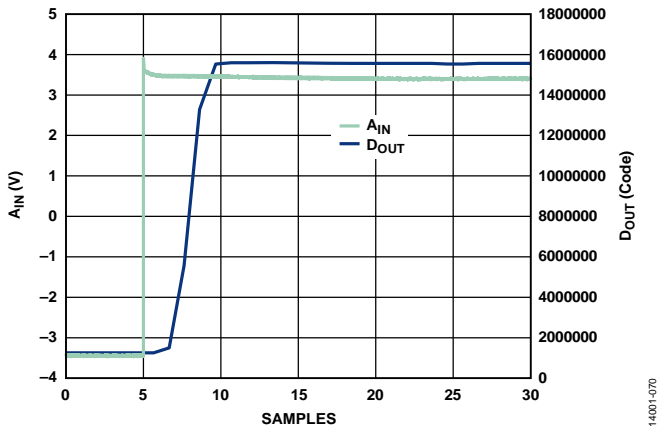


图61. 阶跃响应，Sinc5滤波器

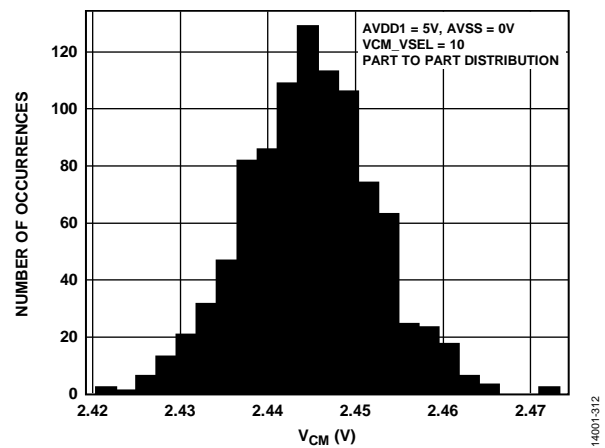


图64. VCM输出电压分布

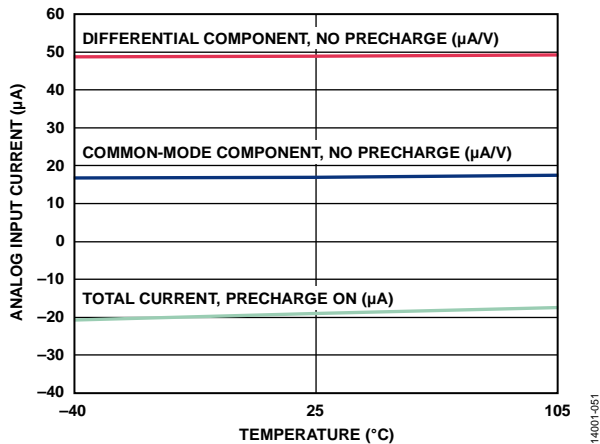


图62. 模拟输入电流与温度的关系，模拟输入预充电缓冲器开启/关闭

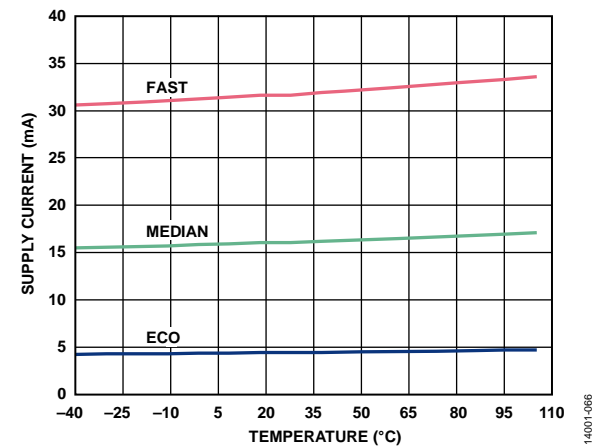


图65. 电源电流与温度的关系，AVDD1

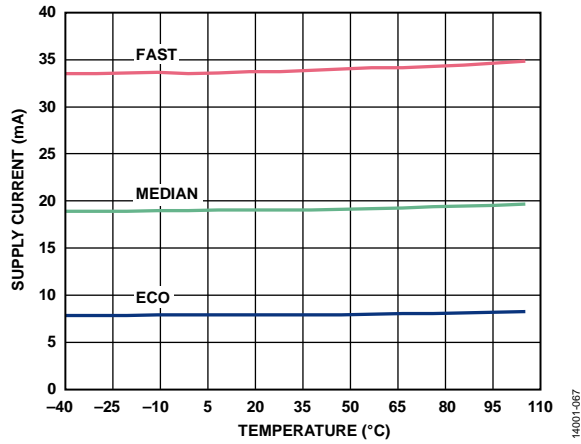


图66. 电源电流与温度的关系, AVDD2

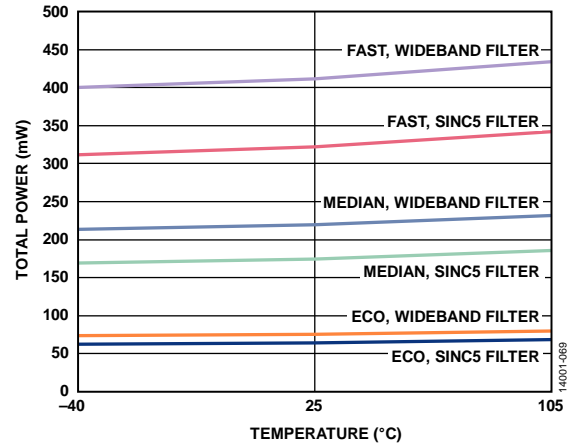


图68. 总功耗与温度的关系

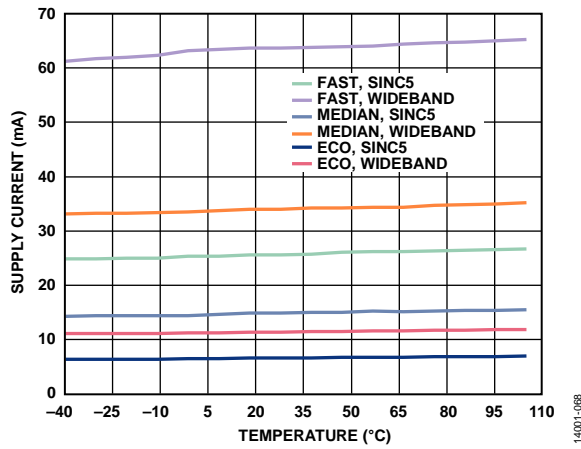


图67. 电源电流与温度的关系, IOVDD

## 术语

### 交流共模抑制比(AC CMRR)

交流共模抑制比定义为频率 $f$ 下的ADC输出功率与频率 $f_s$ 下施加于共模电压 $A_{INx+}$ 和 $A_{INx-}$ 的正弦波功率的比值。

$$AC\ CMRR\ (dB) = 10\log(P_f/P_{f_s})$$

其中:

$P_f$ 为频率 $f$ 下ADC的输出功率。

$P_{f_s}$ 为频率 $f_s$ 下ADC的输出功率。

### 增益误差

当模拟电压高于标称负满量程 $1/2$  LSB时(对于 $\pm 4.096$  V范围为 $-4.0959375$  V), 产生第一个码跃迁(从 $100...000$ 跃迁至 $100...001$ )。

当模拟电压低于标称正满量程 $1/2$  LSB时(对于 $\pm 4.096$  V范围为 $+4.0959375$  V), 发生最后一个码跃迁(从 $011...110$ 至 $011...111$ )。增益误差指最后一个跃迁的实际电平与第一个跃迁的实际电平之差与二者的理想电平之差的偏差。

### 增益误差漂移

增益误差漂移指温度变化 $1^\circ\text{C}$ 所引起的增益误差变化, 用 $\text{ppm}/^\circ\text{C}$ 表示。

### 积分非线性(INL)误差

INL误差是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码跃迁之前的 $1/2$  LSB处。正满量程定义为超出最后一个码跃迁 $1/2$  LSB的一个电平。从各码的中点到该直线的距离即为偏差。

### 交调失真(IMD)

当输入由两个频率分别为 $f_a$ 和 $f_b$ 的正弦波组成时, 任何具有非线性因素的有源器件都会以 $m f_a$ 、 $n f_b$ 的和与差频(其中 $m$ 、 $n = 0$ 、 $1$ 、 $2$ 、 $3...$ )的形式产生失真产物。交调失真项的 $m$ 和 $n$ 都不等于 $0$ 。例如, 二阶项包括 $(f_a + f_b)$ 和 $(f_a - f_b)$ , 而三阶项包括 $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 和 $(f_a - 2f_b)$ 。

AD7768/AD7768-4经过CCIF标准测试, 此标准使用两个相互接近的输入频率。在此情况下, 二阶项频率通常远离最初正弦波, 而三阶项频率通常靠近输入频率。因此, 二阶项和三阶项需分别指定。交调失真根据THD参数来计算,

它是个别失真产物的均方根和与基波和的振幅均方根的比值, 用分贝(dB)表示。

### 最低有效位(LSB)

最低有效位或LSB是转换器可以表示的最小增量。对于 $N$ 位分辨率的全差分输入ADC, LSB(单位为伏特)的计算公式如下:

$$LSB\ (V) = (2 \times V_{REF})/2^N$$

对于AD7768/AD7768-4,  $V_{REF}$ 为REFx+和REFx-引脚的电压差,  $N = 24$ 。

### 失调误差

理想中间电平输入电压( $0$  V)与产生中间电平输出码的实际电压之差称为失调误差。

### 电源抑制比(PSRR)

电源变化会影响转换器的满量程转换, 但不会影响其线性。电源抑制比指由于电源电压偏离标称值所引起的满量程转换点的最大变化。

### 信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比, 用分贝(dB)表示。

### 信纳比(SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流以外的所有其它频谱成分的均方根和之比, SINAD值用分贝(dB)表示。

### 无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号(不包括前五个谐波)的均方根幅值之差, 用分贝(dB)表示。

### 总谐波失真(THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比, 用分贝(dB)表示。

## 工作原理

AD7768和AD7768-4分别是8通道和4通道、同步采样、低噪声、24位 $\Sigma$ - $\Delta$ 型ADC。

AD7768/AD7768-4中的各ADC都有一个 $\Sigma$ - $\Delta$ 调制器，其时钟以 $f_{\text{MOD}}$ 的频率运行。调制器以 $2 \times f_{\text{MOD}}$ 的速率对输入进行采样，从而将模拟输入转换为等效数字表示。因此，这些样本代表模拟输入信号的量化版本。

$\Sigma$ - $\Delta$ 转换技术是一种过采样架构。这种过采样方法将良好噪声扩展到很宽的频段上(参见图69)。为降低信号频段中的量化噪声，高阶调制器对噪声频谱进行整形，将大部分噪声能量移出目标频段之外(参见图70)。调制器之后的数字滤波器消除大部分带外量化噪声(参见图71)。

有关 $\Sigma$ - $\Delta$  ADC基本情况及更高级概念的更多信息，参见指南MT-022和指南MT-023。

与模拟滤波相比，数字滤波有一定的优势。首先，它对元件容差以及元件参数随时间和温度的变化不敏感。由于AD7768/AD7768-4的数字滤波发生在模数转换之后，因而可以消除转换过程中注入的一些噪声；模拟滤波无法移除转换时注入的噪声。其次，数字滤波具有低通带纹波、急速滚降和高阻带衰减的特性，同时还能保持线性相位特性，这在模拟滤波器中是很难实现的。

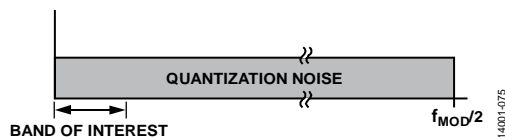


图69.  $\Sigma$ - $\Delta$ 型ADC量化噪声(线性比例X轴)

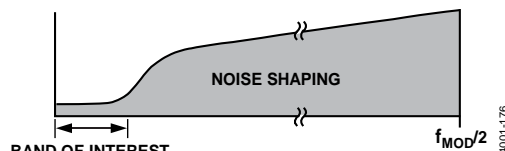


图70.  $\Sigma$ - $\Delta$ 型ADC噪声整形(线性比例X轴)

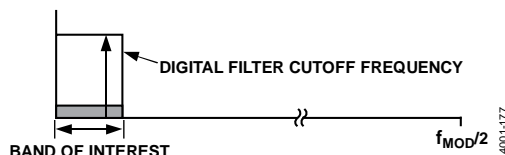


图71.  $\Sigma$ - $\Delta$ 型ADC数字滤波器截止频率(线性比例X轴)

## 时钟、采样树和功耗调节

AD7768/AD7768-4具有多个ADC核心。各ADC接收相同的主时钟信号MCLK。MCLK信号可从三个来源中选择：CMOS时钟、连接在XTAL1和XTAL2引脚之间的晶振或LVDS信号。AD7768/AD7768-4收到的MCLK信号定义调制器时钟速率 $f_{\text{MOD}}$ ，进而定义调制器的采样频率 $2 \times f_{\text{MOD}}$ 。该MCLK信号还用来定义数字输出时钟DCLK。 $f_{\text{MOD}}$ 和DCLK内部信号与MCLK同步。

图72所示为从MCLK输入到调制器、数字滤波器和DCLK输出的时钟树。MCLK和DCLK有分频器设置。这些分频器连同功耗模式和数字滤波器抽取设置，对AD7768/AD7768-4操作十分重要。

AD7768/AD7768-4能够根据输入带宽或噪声要求调整功耗。用户通过控制两个参数来实现这一调整：MCLK分频比和功耗模式。这两个设置共同决定调制器时钟频率( $f_{\text{MOD}}$ )和供给各调制器的偏置电流。功耗模式(快速、中速或生态)设置调制器的噪声、速度和功耗。它是调整ADC功耗的主要控制手段。MCLK分频比和功耗模式的所有设置适用于全部ADC通道。

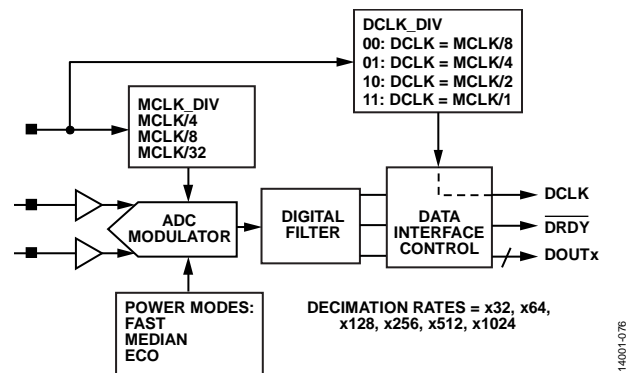


图72. 由MCLK、DCLK\_DIV和MCLK\_DIV设置定义的采样结构

调制器时钟频率( $f_{\text{MOD}}$ )通过选择时钟分频器设置来决定：MCLK/4、MCLK/8或MCLK/32。

尽管MCLK分频比和功耗模式是独立设置，但必须遵守一些限制规定。每种功耗模式都有一个有效的调制器频率范围。表11列出了能让器件实现最佳性能和最低功耗的推荐范围。对于给定功耗模式，AD7768/AD7768-4规格不包括超出最大 $f_{\text{MOD}}$ 时的性能和功能。

# AD7768/AD7768-4

例如在快速模式下，为使转换速度或输入带宽最大，要求MCLK为32.768 MHz，并且必须选择MCLK\_DIV = 4，以获得8.192 MHz的调制器频率。

表11. 各种功耗模式的推荐 $f_{MOD}$ 范围

功耗模式	推荐 $f_{MOD}$ (MHz)范围, MCLK = 32.768 MHz
生态	0.036至1.024
中速	1.024至4.096
快速	4.096至8.192

在引脚控制模式和SPI控制模式下，功耗模式、调制器频率和数据时钟频率设置有不同的控制方法。

在SPI控制模式下，用户可利用寄存器0x04和寄存器0x07设置功耗模式、MCLK分频器(MCLK\_DIV)和DCLK频率(AD7768的寄存器信息参见表42和表45，AD7768-4的寄存器信息参见表68和表71。功耗模式和MCLK\_DIV的独立选择意味着可以完全自由地选择MCLK速率以实现目标调制器频率。

在引脚控制模式下，MODEx引脚决定功耗模式、调制器频率和DCLK频率。调制器频率取决于功耗模式。这意味着 $f_{MOD}$ 在生态模式下为固定值MCLK/32，在中速模式下为MCLK/8，在快速模式下为MCLK/4(参见表20)。

## 功耗与噪声性能优化示例

根据测量的目标带宽，用户可以选择最低功耗或最高分辨率策略。这种选择是因为各种功耗模式的覆盖范围存在重叠。该器件能够实现MCLK分频比和数字滤波器抽取率(均值)设置的平衡。使用较低的调制器时钟频率可降低功耗。相反，使用较高的调制器时钟频率并使过采样量最大，可实现最高分辨率。

试举一例，考虑一个系统具有最大可用MCLK为16 MHz的约束条件。系统的目标测量带宽约为25 kHz，采用宽带滤波器，AD7768/AD7768-4的输出数据速率设置为62.5 kHz。由于可用MCLK频率和系统功耗预算较低，故使用中等功耗模式。

在中等功耗模式下，可利用两种配置达到MCLK分频比和抽取率的平衡，从而实现该25 kHz输入带宽。只有SPI控制模式才能提供这种灵活性。

## 配置A

为使动态范围最大化，使用如下设置：

- MCLK = 16 MHz
- 中等功耗
- $f_{MOD} = MCLK/4$

- 抽取 =  $\times 64$ (数字滤波器设置)
- ODR = 62.5 kHz

针对所需的带宽和可用的MCLK速率，这种配置使可用抽取率(或过采样比)最大。抽取的作用是对调制器噪声进行平均，使动态范围最大。

## 配置B

为使功耗最低，使用如下设置：

- MCLK = 16 MHz
- 中等功耗
- $f_{MOD} = MCLK/8$
- 抽取 =  $\times 32$ (数字滤波器设置)
- ODR = 62.5 kHz

这种配置降低了调制器和数字滤波器的时钟速度。

与配置A相比，配置B节省了48 mW的功耗。为此，配置B要求数字滤波器的抽取率降低2倍。由于抽取率(或过采样比)降低2倍，故与配置A相比，动态范围降低3 dB。

## 输出ADC转换结果(DCLK)

AD7768/AD7768-4 DCLK是主时钟输入的分频版本。如图72所示，DCLK\_DIV设置决定DCLK的速度。DCLK是一个连续时钟。

用户可将DCLK频率设置为MCLK的四个分频值之一：MCLK/1、MCLK/2、MCLK/4和MCLK/8。由于有8个通道，且每次转换有32位数据，故转换时间和DCLK设置直接决定了需要通过AD7768的FORMAT0和FORMAT1引脚，或AD7768-4的FORMAT0引脚设置的数据输出线数。因此，在选择FORMATx引脚设置之前，必须了解目标最小抽取率和所需的DCLK\_DIV设置。

## 噪声性能和分辨率

表12和表13显示了AD7768/AD7768-4宽带滤波器和sinc5数字滤波器在不同输出数据速率和功耗模式下的噪声性能。所示噪声值和动态范围是针对双极性输入范围和采用4.096 V外部基准电压( $V_{REF}$ )的典型值。均方根噪声是在模拟输入短路情况下测定的，利用片上VCM缓冲器输出将模拟输入驱动到(AVDD1 - AVSS)/2。

动态范围计算为均方根短路输入噪声与均方根满量程输入信号范围之比。

$$\text{动态范围 dB} = 20 \log_{10}((2 \times V_{REF}/2\sqrt{2})/(\text{RMS噪声}))$$

4.096 V基准电压下的LSB大小为488 nV，计算如下：

$$\text{LSB (V)} = (2 \times V_{REF})/2^4$$

表12. 宽带滤波器噪声：性能与输出数据速率的关系( $V_{REF} = 4.096\text{ V}$ )

输出数据速率(kSPS)	-3 dB带宽(kHz)	短路输入动态范围(dB)	均方根噪声( $\mu\text{V}$ )
快速模式			
256	110.8	107.96	11.58
128	55.4	111.43	7.77
64	27.7	114.55	5.42
32	13.9	117.58	3.82
16	6.9	120.56	2.72
8	3.5	123.5	1.94
中速模式			
128	55.4	108.13	11.36
64	27.7	111.62	7.6
32	13.9	114.75	5.3
16	6.9	117.79	3.74
8	3.5	120.8	2.64
4	1.7	123.81	1.87
生态模式			
32	13.9	108.19	11.28
16	6.9	111.69	7.54
8	3.5	114.83	5.25
4	1.7	117.26	3.71
2	0.87	120.88	2.62
1	0.43	123.88	1.85

表13. Sinc5滤波器噪声：性能与输出数据速率的关系( $V_{REF} = 4.096\text{ V}$ )

输出数据速率(kSPS)	-3 dB带宽(kHz)	短路输入动态范围(dB)	均方根噪声( $\mu\text{V}$ )
快速模式			
256	52.224	111.36	7.83
128	26.112	114.55	5.43
64	13.056	117.61	3.82
32	6.528	120.61	2.71
16	3.264	123.52	1.93
8	1.632	126.39	1.39
中速模式			
128	26.112	111.53	7.68
64	13.056	114.75	5.3
32	6.528	117.81	3.72
16	3.264	120.82	2.64
8	1.632	123.82	1.87
4	0.816	126.79	1.33
生态模式			
32	6.528	111.57	7.65
16	3.264	114.82	5.26
8	1.632	117.88	3.7
4	0.816	120.9	2.61
2	0.408	123.91	1.85
1	0.204	126.89	1.31



# AD7768/AD7768-4

## 应用信息

AD7768/AD7768-4为交流和直流信号处理提供一种多通道平台测量解决方案。

灵活的滤波使得AD7768/AD7768-4可基于通道来对交流和直流信号同时采样。利用功耗调节功能，测量的输入带宽与功耗可以互相交换。这种能力加上数字滤波的灵活性，使得用户可以在实现功耗、带宽和性能目标的同时优化测量的能效。

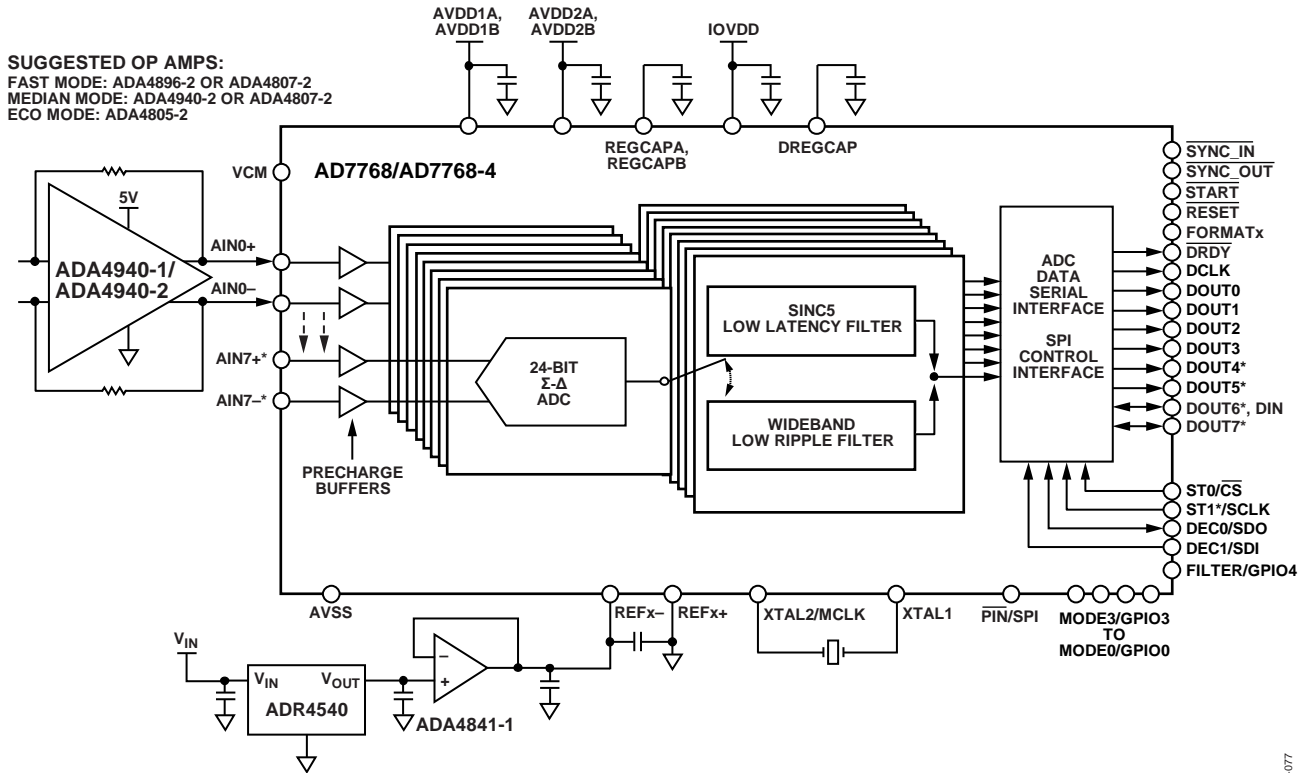
促使用户选择AD7768/AD7768-4作为其平台高分辨率ADC的关键能力说明如下：

- 8路全差分或伪差分模拟输入(AD7768, AD7768-4只有4个通道)。
- 快速吞吐同步采样ADC支持高达110.8 kHz的输入信号。
- 三种可选功耗模式(快速、中速和生态)，支持调整ADC的功耗与输入带宽以优化测量效率。
- 模拟输入预充电和基准电压预充电缓冲器降低外部放大器的驱动要求。
- 基于通道控制基准电压和模拟输入预充电缓冲器。

- 宽带低纹波数字滤波器支持交流测量。
- 快速sinc5滤波器支持精密低频测量。
- 可定义双通道模式(由用户选择的滤波器选项定义)和抽取率以用于不同的ADC通道。这样便可根据目标信号来优化输入带宽。
- 可选SPI或引脚绑定的控制与配置。
- 每通道均有失调、增益和相位校准寄存器。
- 供驱动放大器使用的共模电压输出缓冲器。
- 片上AVDD2和IOVDD LDO用于1.8 V低功耗内部电路。

要开始使用AD7768/AD7768-4，请参阅图73和表14以了解典型连接和最低要求。

表15显示了使用不同功耗模式和滤波器类型时AD7768/AD7768-4的典型功耗与性能。



\*THESE PINS EXIST ONLY ON THE AD7768.

图73. 典型连接图



表14. AD7768/AD7768-4工作要求

要求	描述
电源	5 V AVDD1电源, 2.25 V至5 V AVDD2电源, 1.8 V或2.5 V至3.3 V IOVDD电源(ADP7104/ADP7118)
外部基准电压源	2.5 V、4.096 V或5 V(ADR4525、ADR4540或ADR4550)
外部驱动放大器	ADA4896-2、ADA4940-1/ADA4940-2、ADA4805-2和ADA4807-2
外部时钟	晶振或CMOS/LVDS时钟, 用于ADC调制器采样
FPGA或DSP	输入/输出电压2.5 V至3.6 V或1.8 V(参见“1.8 V IOVDD工作模式”部分)

表15. 速度、动态范围、THD和功耗一览；8通道有效，32倍抽取<sup>1</sup>

功耗模式	输出数据速率 (kSPS)	THD (dB)	Sinc5滤波器			宽带滤波器		
			动态范围 (dB)	带宽 (kHz)	功耗 (mW/通道)	动态范围 (dB)	带宽 (kHz)	功耗 (mW/通道)
快速	256	-115	111	52.224	41	108	110.8	52
中速	128	-120	111	26.112	22	108	55.4	28
生态	32	-120	111	6.528	8.5	108	13.9	9.5

<sup>1</sup> 模拟预充电缓冲器开启, 基准预充电缓冲器和VCM禁用, 典型值, AVDD1 = 5 V, AVDD2 = IOVDD = 2.5 V, V<sub>REF</sub> = 4.096 V, MCLK = 32.768 MHz, DCLK = MCLK/4, T<sub>A</sub> = 25°C。

## 电源

AD7768/AD7768-4有三个独立电源: AVDD1(AVDD1A和AVDD2A)、AVDD2(AVDD2A和AVDD2B)和IOVDD。

这些电源的基准电位是AVSS和DGND。将所有AVSS电源引脚(AVSS1A、AVSS1B、AVSS2A、AVSS2B和AVSS)连接到同一电位(相对于DGND)。AVDD1A、AVDD1B、AVDD2A和AVDD2B以此AVSS轨为基准。IOVDD以DGND为基准。

电源电压范围如下:

- AVDD1 = 5 V ± 10%, 相对于AVSS
- AVDD2 = 2 V至5.5 V, 相对于AVSS
- IOVDD(内置稳压器) = 2.25 V至3.6 V, 相对于DGND
- IOVDD(旁路稳压器) = 1.72 V至1.88 V, 相对于DGND
- AVSS = -2.75 V至0 V, 相对于DGND

AVDD1A和AVDD1B (AVDD1)电源为模拟前端、基准输入和共模输出电路供电。AVDD1以AVSS为基准, 所有AVDD1电源都必须连接到同一电位(相对于AVSS)。如果AVDD1电源采用±2.5 V分离电源配置, 则ADC输入是真双极性。采用分离电源时, 请注意绝对最大额定值, 其中给出了AVSS和IOVDD电源之间允许的电压。

AVDD2A和AVDD2B (AVDD2)电源连接到内部1.8 V模拟LDO稳压器。这些稳压器为ADC内核供电。AVDD2以AVSS为基准, 所有AVDD2电源都必须连接到同一电位(相对于AVSS)。AVDD2相对于AVSS的电压范围是2 V(最小值)到5.5 V(最大值)。

IOVDD为内部1.8 V数字LDO稳压器供电。此稳压器为ADC的数字逻辑供电。IOVDD还设置ADC的SPI接口电平。IOVDD以DGND为基准, IOVDD相对于DGND的电压范围是2.25 V(最小值)至3.6 V(最大值)。IOVDD也可配置为以1.8 V电压工作。这种情况下, IOVDD和DREGCAP必须连在一起, 并且必须在1.72 V(最小值)到1.88 V(最大值)的范围内(相对于DGND)。有关AD7768/AD7768-4以1.8 V IOVDD工作的更多信息, 参见“1.8 V IOVDD工作模式”部分。

## 推荐电源配置

ADI公司提供广泛的电源管理产品, 可满足大多数高性能信号链的需求。

图74所示为一个采用ADP7118的电源解决方案示例。ADP7118提供正电源轨以实现转换器最佳性能, 根据所需的电源配置, 其可产生5 V、3.3 V单电源或AVDD1x、AVDD2x/IOVDD双电源。ADP7118可采用最高20 V的输入电压工作。

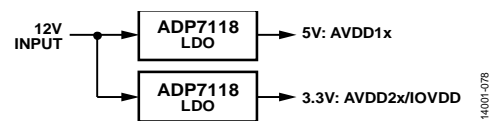


图74. 电源配置

也可以选择ADP7112或ADP7104来为AD7768/AD7768-4供电。有关低噪声LDO性能和电源滤波的更多信息, 请参阅应用笔记AN-1120。

# AD7768/AD7768-4

## 1.8 V IOVDD工作模式

AD7768/AD7768-4的IOVDD电源上包含一个内部1.8 V LDO，用以将IOVDD调低到数字内核的工作电压。利用该内部LDO，内部逻辑便可以1.8 V电压高效工作，输入/输出逻辑以IOVDD设置的电平工作。IOVDD电源在正常工作时额定范围是2.25 V到3.6 V，设置LDO旁路时为1.8 V。

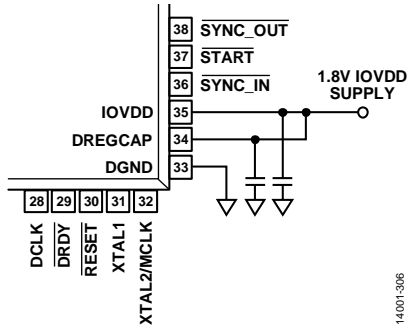


图75. 1.8 V IOVDD工作模式的DREGCAP和IOVDD连接图

用户可以将DREGCAP短接到IOVDD来旁路该LDO(参见图75)，此时内部LDO退出调节，内核电压和输入/输出逻辑电平设置为IOVDD电平。当旁路内部LDO时，IOVDD电源的最大工作电压等于内部数字内核的最大工作电压，即1.72 V至1.88 V。

以1.8 V IOVDD工作时，有多方面性能差异需要考虑。有关以1.8 V IOVDD工作的详细性能规格，参见“1.8 V IOVDD规格”部分。

## 模拟电源内部连接

AD7768/AD7768-4有两个模拟供电轨AVDD1和AVDD2，二者均以AVSS为基准。这些电源与数字引脚IOVDD、DREGCAP和DGND完全分离。为实现ADC的最佳性能和隔离度，一个以上的器件引脚将这些模拟供电轨供应给内部ADC。

- AVSS1A(引脚3)和AVSS2A(引脚62)内部连接。
- AVSS(引脚54)连接到基板，并且内部连接到AVSS1B(引脚46)和AVSS2B(引脚51)。
- 下列电源和基准输入引脚在芯片上是分离的：AVDD1A、AVDD1B、AVDD2A、AVDD2B、REF1+、REF1-、REF2+和REF2-。
- 在AD7768-4上，下列AVSS引脚在芯片上是分离的：引脚7、引脚8、引脚9、引脚10、引脚39、引脚40、引脚41和引脚42。

本部分说明了哪些电源内部短接以供参考。一般而言，请按照“电源”部分所述连接电源。

## 器件配置

AD7768/AD7768-4有独立路径来读取ADC转换数据和控制器件功能。

对于控制，该器件可配置为两种模式中的一种。这两种配置模式分别是：

- 引脚控制模式：引脚绑定的数字逻辑输入(支持配置选项的一个子集)
- SPI控制模式：通过3线或4线SPI接口(完整配置)

上电时， $\overline{\text{PIN}}/\text{SPI}$ 引脚的状态决定所用模式。上电后，无论使用何种控制模式，用户都必须立即使器件软复位或硬复位。

## 接口数据格式

使用器件时，串行接口的数据格式由AD7768的FORMAT0和FORMAT1引脚设置或AD7768-4的FORMAT0引脚决定。表31显示可以为各ADC指定一个DOUTx引脚，或者安排数据以时分复用方式共享这些DOUTx引脚。更多信息请参阅“数据接口”部分。

## 引脚控制

引脚控制模式无需SPI通信接口。当用户只需要一种已知配置时，或者只需要有限的重新配置时，可以使用这种模式来减少需要连接数字主机的信号数目。引脚控制模式在配置调整极少的数字隔离应用中很有用。引脚控制提供核心功能的一个子集，确保上电、复位或电源故障后器件处于已知工作状态。在引脚控制模式下，模拟输入预充电缓冲器默认使能以实现最佳性能。基准输入预充电缓冲器在引脚控制模式下禁用。

在引脚控制模式下变更配置后，用户必须向AD7768/AD7768-4提供一个同步信号，方法是将适当的脉冲施加于START引脚或SYNC\_IN引脚，确保配置变更正确应用于ADC和数字滤波器。

## 设置滤波器

有两种滤波器设置可供选择。在引脚控制模式下，所有ADC通道使用相同滤波器类型。滤波器类型由FILTER引脚选择，如表16所示。

表16. FILTER控制引脚

逻辑电平	功能
1	选择Sinc5滤波器
0	选择宽带滤波器

## 设置抽取率

引脚控制模式提供四种抽取率选择。抽取率通过DEC1和DEC0引脚选择。所选抽取率用于所有ADC通道。表17是DECx引脚的真值表。

**表17. 抽取率控制引脚真值表**

DEC1	DEC0	抽取率
0	0	×32
0	1	×64
1	0	×128
1	1	×1024

## 工作模式

使用引脚控制模式时，MODE3至MODE0引脚决定所有通道的配置。MODEx引脚控制的变量如表18所示。用户选择器件消耗的电流，ADC采样速度(功耗模式)，数字主机接收ADC结果的速度(DCLK\_DIV)，以及如何启动ADC转换(转换工作模式)。图76显示了在引脚控制模式下用于配置AD7768的输入，图77显示了在引脚控制模式下用于配置AD7768-4的输入。

**表18. MODEx引脚：控制变量**

控制变量	可能设置
采样速度/功耗模式	快速 中速 生态
数据时钟输出频率(DCLK_DIV)	DCLK = MCLK/1 DCLK = MCLK/2 DCLK = MCLK/4 DCLK = MCLK/8
转换工作模式	标准转换 单次转换

MODEx引脚对应16种不同设置。选择设置以优化AD7768/AD7768-4的使用，用户可以降低DCLK频率以减少功耗，以及选择单次或标准转换模式。

表20列出了引脚控制模式下通过MODEx引脚可以使用的工作模式的全部选择。

功耗模式设置会自动调整ADC的偏置电流，并将施加的MCLK信号分频到适合该模式的正确设置。注意：这与使用SPI控制不同，后者的ADC偏置电流控制和MCLK分频对应不同的位域。

在引脚控制模式下，为实现最佳性能，各种功耗模式的调制器速率是固定值。表19列出了各种功耗模式的调制器分频值。

**表19. 调制器速率，引脚控制模式**

功耗模式	调制器速率, $f_{MOD}$
快速	MCLK/4
中速	MCLK/8
生态	MCLK/32

## 诊断

引脚控制模式支持诊断功能的一个子集。各通道的内部错误在随同数据转换结果输出的状态标头中报告。

内部CRC错误、存储器映射翻转位和未检测到外部时钟通过状态标头的位7报告，指示需要复位。状态标头还报告滤波器未建立、滤波器类型和滤波器饱和和信号。用户可通过监视这些错误标志来判断何时应忽略数据。有关状态标头的更多信息，参见“ADC转换输出：标头和数据”部分。

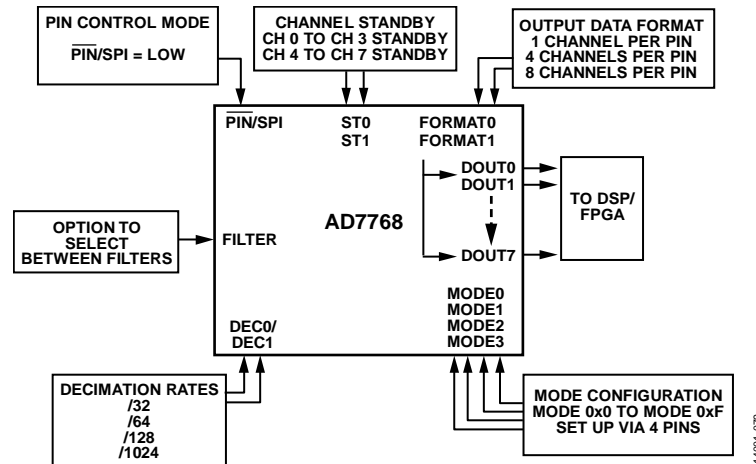


图76. AD7768引脚可配置功能

# AD7768/AD7768-4

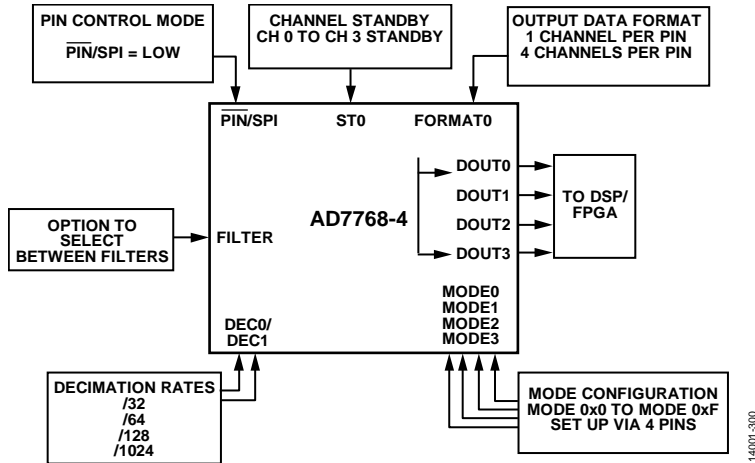


图77. AD7768-4引脚可配置功能

表20.MODEx选择详解：引脚控制模式

模式十六进制值	MODE3	MODE2	MODE1	MODE0	功耗模式	DCLK频率	数据转换
0x0	0	0	0	0	生态	MCLK/1	标准
0x1	0	0	0	1	生态	MCLK/2	标准
0x2	0	0	1	0	生态	MCLK/4	标准
0x3	0	0	1	1	生态	MCLK/8	标准
0x4	0	1	0	0	中速	MCLK/1	标准
0x5	0	1	0	1	中速	MCLK/2	标准
0x6	0	1	1	0	中速	MCLK/4	标准
0x7	0	1	1	1	中速	MCLK/8	标准
0x8	1	0	0	0	快速	MCLK/1	标准
0x9	1	0	0	1	快速	MCLK/2	标准
0xA	1	0	1	0	快速	MCLK/4	标准
0xB	1	0	1	1	快速	MCLK/8	标准
0xC	1	1	0	0	生态	MCLK/1	单次
0xD	1	1	0	1	中速	MCLK/1	单次
0xE	1	1	1	0	快速	MCLK/2	单次
0xF	1	1	1	1	快速	MCLK/1	单次

## 配置示例

表23所示例子采用最低功耗模式，AD7768/AD7768-4连接到FPGA。设置FORMATx引脚，使得所有8路数据输出DOUT0至DOUT7都连接到FPGA。为使功耗最低，使用最低DCLK频率。输入带宽通过选择64倍抽取和宽带滤波器来设置。

$$ODR = f_{MOD} \div \text{抽取率}$$

其中：

$$MCLK = 32.768 \text{ MHz.}$$

$f_{MOD}$  为MCLK/32(生态模式，参见表19)。

抽取率 = 64。

因此，本例中MCLK = 32.768 MHz，

$$ODR = (32.768 \text{ MHz}/32) \div 64 = 16 \text{ kHz}$$

为使DCLK频率最小，选择DCLK = MCLK/8，得到一个4 MHz DCLK信号。DCLK周期为1/4 MHz = 250 ns。各DOUTx引脚上的数据转换结果为32位长。转换数据需要32 × 250 ns = 8 μs的输出时间。所有32位都必须在ODR周期1/16 kHz(约为64 μs)内输出。本例中，读出转换数据所需时间8 μs远小于转换输出间隔时间64 μs。因此，表23所示的组合是可行的。

### 通道待机

表21和表23显示了用户如何将通道置于待机模式。将ST0或ST1设置为逻辑1便可把4个通道置于待机模式。在待机模式下，通道禁用，但在输出数据流中仍保有其位置。当ADC通道设置为待机时，8位标头和24位转换结果设置为全0。

VCM电压输出与通道0电路相关联。若通道0处于待机模式，VCM电压输出也会禁用，以便最大程度地节省功耗。当VCM用于AD7768/AD7768-4外部时，必须使能通道0。

晶振激励电路与通道4(AD7768-4为通道2)电路相关联。若通道4(或AD7768-4的通道2)处于待机模式，该晶振电路也会禁用，以便最大程度地节省功耗。当AD7768使用外部晶振时，必须使能通道4。当AD7768-4使用外部晶振时，必须使能通道2。

表21.AD7768 ST0和ST1引脚真值表

ST1	ST0	功能
0	0	所有通道均工作。
0	1	通道0至通道3待机。通道4至通道7工作。
1	0	通道4至通道7待机。通道0至通道3工作。
1	1	所有通道均待机。

表22.AD7768-4 ST0引脚真值表

ST0	功能
0	所有通道均工作。
1	通道0至通道3待机。

表23.MODEx示例选择

模式十六进制值	MODE3	MODE2	MODE1	MODE0	功耗模式	DCLK频率	数据转换
0x3	0	0	1	1	生态	MCLK/8	标准

### SPI控制

AD7768/AD7768-4有一个兼容QSPI™、MICROWIRE®和DSP的4线SPI接口。该接口以SPI模式0工作。在SPI模式0下，SCLK空闲时为低电平， $\overline{CS}$ 下降沿输出MSB，SCLK下降沿为驱动沿，SCLK上升沿为采样沿。这意味着，数据在下降/驱动沿输出，在上升/采样沿输入。



图78. SPI模式0 SCLK沿

### 访问ADC寄存器映射

要使用SPI控制模式，请将PIN/SPI引脚设置为逻辑高电平。SPI控制采用16位、4线接口，支持读和写访问。图80显示了AD7768/AD7768-4和数字主机之间的接口格式。

AD7768的SPI串行控制接口是用于控制和监测AD7768的独立路径。没有直接与数据接口相连的链路。MCLK和DCLK时序与SPI控制接口不是直接相关。然而，用户必须确保SPI读和写操作满足t30最低要求(参见表4和表6)，以便AD7768/AD7768-4能够检测到寄存器映射变化。

在复位之后的一定时间内，SPI访问会被忽略。复位之后应让ADC有足够的时间来启动(见表1)，然后才能通过SPI接口访问AD7768/AD7768-4。



# AD7768/AD7768-4

## SPI接口详解

每个SPI访问帧为16位长。SDI命令的MSB(位15)为 $\overline{R/\overline{W}}$ 位；1 = 读，0 = 写。SDI命令的位[14:8]为地址位。

SPI控制接口使用帧外协议。这意味着，主机(FPGA/DSP)利用两帧与AD7768/AD7768-4通信。第一帧发送一个16位指令( $\overline{R/\overline{W}}$ 、地址和数据)，第二帧为响应，AD7768/AD7768-4将该16位送回主机。

在主机写命令期间，SDO输出包含8个前置0，其后是8位数据，如图80所示。

图79显示了该帧外协议。寄存器访问响应始终偏移一个 $\overline{CS}$ 帧。在图79中，对第一个命令(CMD 1)的响应(读取RESP 1)由AD7768/AD7768-4在随后的 $\overline{CS}$ 帧期间输出，它与发送第二个命令(CMD 2)同时发生。

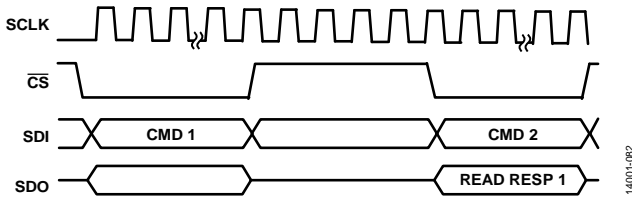


图79. 帧外协议

## SPI控制接口错误处理

AD7768/AD7768-4 SPI控制接口会检测其是否接收到非法命令。非法命令是指写入只读寄存器，写入不存在的寄存器地址，或读取不存在的寄存器地址。如果AD7768/AD7768-4收到任何非法命令，AD7768/AD7768-4将响应以错误输出0x0E00。

## SPI复位配置

在加电或复位后，AD7768/AD7768-4默认配置为如下低功耗设置：

- 生态模式， $f_{MOD} = MCLK/32$ 。
- $DCLK = MCLK/8$ 的接口配置，标头输出使能，CRC禁用。
- 通道模式A和通道模式B的滤波器配置设置为sinc5，抽取 =  $\times 1024$ 。
- 通道模式选择设置为0x00，所有通道都指定通道模式A。
- 所有通道的模拟输入预充电缓冲器使能，基准电压预充电缓冲器禁用。
- 失调、增益和相位校准设置到0位置。
- 使能连续转换模式。

## SPI控制功能

SPI控制为用户提供出色的灵活性和诊断功能。下面几节说明使用SPI控制时的功能和诊断特性。

更改这些配置寄存器设置之后，用户必须通过 $\overline{SPI\_SYNC}$ 命令或将适当的脉冲施加于 $\overline{START}$ 引脚或 $\overline{SYNC\_IN}$ 引脚来向AD7768/AD7768-4提供同步信号，确保配置变更正确应用于ADC和数字滤波器。

## 通道配置

AD7768具有8个全差分模拟输入通道。AD7768-4具有4个全差分模拟输入通道。利用通道配置寄存器可以配置的各通道，以满足具体通道的测量要求。利用通道待机寄存器0x00，可以使能或禁用通道。模拟输入和基准电压预充电缓冲器可以介于输入引脚来分配。各通道的增益、失调和相位校准可以利用校准寄存器来控制。更多信息请参见“基于通道的增益、失调和同步相位校准”部分。

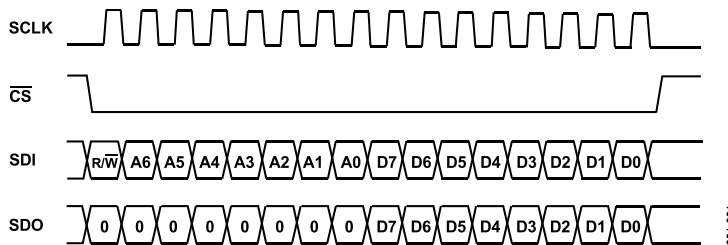


图80. 写/读命令

## 通道模式

在SPI控制模式下，用户可以设置两种通道模式：通道模式A(寄存器0x01)和通道模式B(寄存器0x02)。各通道模式寄存器可以有特定的滤波器类型和抽取率。利用通道模式选择寄存器(寄存器0x03)，用户可以给各通道指定通道模式A或通道模式B，将相应的模式映射到所需的ADC通道。这些模式允许选择不同的滤波器类型和抽取率并映射到任意ADC通道。

当不同通道选择不同的抽取率时，AD7768/AD7768-4以所选的最快抽取率输出一个数据就绪信号。任意以较慢输出数据速率运行的通道仅以该较慢速率更新。在有效结果数据之间，该通道的数据设为0，标头状态位中的重复数据位置1，以区别于真实转换结果(参见“ADC转换输出：标头和数据”部分)。

对于AD7768，通道模式A被视作主要组。就此而言，建议总是将至少一个通道指定为通道模式A。如果AD7768的所有8个通道都指定通道模式B，则任何通道的转换数据都不会通过数据接口输出。这一考虑不影响AD7768-4。

对于AD7768-4，建议尽可能将通道模式A设置为使用sinc5滤波器。与将通道模式A设置为使用宽带滤波器相比，使用sinc5滤波器可以节省少量的IOVDD功耗。

例如，要将AD7768-4的两个通道指定为宽带滤波器，其余两个通道指定为sinc5滤波器，建议将两个sinc5滤波器通道指定为通道模式A。将通道模式A设置为sinc5滤波器，将通道模式B指定为宽带滤波器，并将两个宽带滤波器通道指定为通道模式B。类似地，要将AD7768-4的所有四个通道指定为宽带滤波器，请将所有四个通道指定为通道模式B。将通道模式B设置为宽带滤波器，通道模式A则仍然设置为sinc5滤波器。这样指定通道可确保实现最低IOVDD功耗。

**表24. 通道模式A/通道模式B，寄存器0x01和寄存器0x02**

位	位名称	设置	描述	复位	访问类型
3	FILTER_TYPE_x	0 1	滤波器输出 宽带滤波器 Sinc5滤波器	0x1	RW
[2:0]	DEC_RATE_x	000至 101	抽取率 ×32至×1024	0x5	RW

**表25. 通道模式选择，寄存器0x03**

位	位名称	设置	描述	复位	访问类型
[7:0]	CH_x_MODE	0 1	通道x 模式A 模式B	0x0	RW

## 通过SPI控制接口复位

若要通过SPI接口使器件完全复位，必须连续写入两个命令到AD7768/AD7768-4数据控制寄存器。此操作会将所有寄存器完全复位到默认状况。命令及其顺序的详情参见表44(AD7768)或表70(AD7768-4)。

通过SPI控制接口复位之后，AD7768/AD7768-4对发生至其的第一个命令的响应是0x0E00。此响应加上所有寄存器都恢复默认值的事实，表明软件复位已成功。

## 睡眠模式

睡眠模式使AD7768/AD7768-4处于最低功耗模式。在睡眠模式下，所有ADC禁用，数字内核的大部分电路无效。

在睡眠模式下，AD7768/AD7768-4 SPI仍然有效，可供用户使用。写入寄存器0x04的位7可退出睡眠模式。为使功耗最低，进入睡眠模式之前应选择sinc5滤波器。

## 通道待机

为了高效使用电源，当选定的通道不使用时，用户可将这些通道置于待机模式，从而将其禁用。设置寄存器0x00中的不同位可将相应的通道禁用(AD7768参见表38，AD7768-4参见表64)。为了最大程度地省电，请利用通道模式配置将禁用通道切换到sinc5滤波器，以禁用与宽带滤波器相关的一些时钟。

为使省电最多，当禁用AD7768-4的通道时，应将通道模式A设置为sinc5滤波器，并将禁用通道指定为通道模式A，而有效通道处于通道模式B。

VCM电压输出与通道0电路相关联。若通道0处于待机模式，VCM电压输出也会禁用，以便最大程度地节省功耗。当VCM用于AD7768/AD7768-4外部时，必须使能通道0。

晶振激励电路与通道4(AD7768-4为通道2)电路相关联。若通道4(或AD7768-4的通道2)处于待机模式，该晶振电路也会禁用，以便最大程度地节省功耗。当AD7768使用外部晶振时，必须使能通道4。当AD7768-4使用外部晶振时，必须使能通道2。



# AD7768/AD7768-4

## 时钟选择

AD7768/AD7768-4中各ADC使用的内部调制器频率( $f_{MOD}$ )是从外加MCLK信号获得。MCLK分频位用于控制MCLK频率与内部调制器时钟频率之间的比值,以便用户选择最适合其配置的分频比。

合适的时钟配置取决于功耗模式、抽取率和系统提供的基本MCLK频率。有关正确设置MCLK\_DIV的更多信息,参见“时钟和采样树”部分。

## MCLK来源选择

以下时钟选项可用作SPI控制模式下的MCLK输入源:

- LVDS
- 外部晶振
- CMOS输入MCLK

设置CLK\_SEL为逻辑低电平时,AD7768/AD7768-4采用CMOS时钟工作。设置CLK\_SEL为逻辑高电平时,可以使用外部晶振。

如果CLK\_SEL设置为逻辑高电平且寄存器0x04的位3也置1,则可以将LVDS时钟信号施加于MCLK引脚。LVDS时钟专用于SPI控制模式,要求通过寄存器来选择(AD7768参见表42,AD7768-4参见表68)。

DCLK速率从MCLK获得。DCLK分频(MCLK和DCLK的比值)由接口配置选择寄存器0x07控制(AD7768参见表45,AD7768-4参见表71)。

## 接口配置

数据接口是一个主机输出接口,ADC转换结果由AD7768/AD7768-4以所选模式决定的速率输出。该接口由数据时钟(DCLK)、数据就绪(DRDY)帧输出和数据输出引脚(AD7768为DOUT0至DOUT7,AD7768-4为DOUT0至DOUT3)组成。

对于AD7768,可配置该接口通过1个、2个或8个DOUTx引脚输出转换数据。AD7768的DOUTx配置由FORMATx引脚选择(参见表31)。

对于AD7768-4,可配置该接口通过1个或4个DOUTx引脚输出转换数据。AD7768-4的DOUTx配置由FORMAT0引脚选择(参见表32)。

DCLK速率是MCLK输入的直接分频结果,可利用寄存器0x07的位[1:0]进行控制。最小DCLK速率可计算如下:

$$DCLK(\text{最小值}) = \text{输出数据速率} \times \text{每个DOUTx的通道数} \times 32\text{位}$$

其中,  $MCLK \geq DCLK$ 。

如果使能8个ADC, MCLK速率为32.768 MHz, ODR为256 kSPS, 并且使用两个DOUTx通道, 则DCLK(最小值)为

$$256 \text{ kSPS} \times \text{每个DOUTx 4个通道} \times 32\text{位} = 32.768 \text{ MHz}$$

其中,  $DCLK = MCLK/1$ 。

有关状态标头、CRC和接口配置的更多信息,参见“数据接口”部分。

## CRC保护

可配置AD7768/AD7768-4每隔4个或16个样本输出一个基于单个通道的CRC消息。此功能仅适用于SPI控制。CRC通过接口控制寄存器0x07使能(参见“CRC校验和数据接口”部分)。

## 通过SPI实现ADC同步

通过SPI实现ADC同步是指用户通过SPI接口请求ADC的同步脉冲。要以这种方式启动同步,请写入寄存器0x06的位7两次。

首先,用户必须写入0以将SYNC\_OUT设置为低电平,然后写入1,再次将SYNC\_OUT设置为逻辑高电平。

在SCLK最后一个上升沿之后识别SPI指令中的SPI\_SYNC命令,其中SPI\_SYNC位从低电平变为高电平。SPI\_SYNC命令随后通过SYNC\_OUT引脚与AD7768/AD7768-4 MCLK信号同步输出。用户必须将SYNC\_OUT信号连接到PCB上的SYNC\_IN引脚。

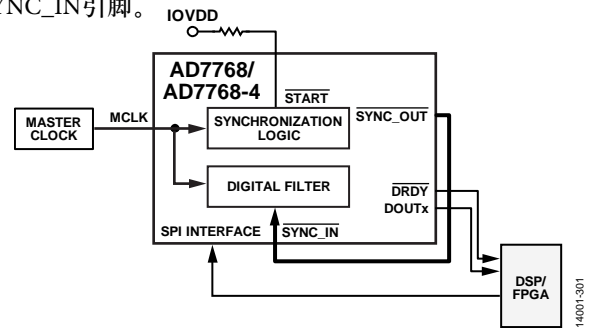


图81. 使用SPI\_SYNC进行同步的连接图

SYNC\_OUT引脚也可以连接到其他AD7768/AD7768-4器件的SYNC\_IN引脚,使得较大通道数系统可以同步采样。AD7768/AD7768-4器件的任何菊花链系统都要求所有ADC同步。

在由AD7768/AD7768-4器件组成的菊花链系统中,必须连续施加两个同步脉冲以保证所有器件同步。在包含一个以上AD7768/AD7768-4器件的系统中,若这些器件共享一个MCLK信号,且仅使用一个器件的DRDY引脚来检测新数据,则也需要两个同步脉冲。

根据SYNC\_IN引脚上存在的同步脉冲，SPI\_SYNC命令将AD7768/AD7768-4的数字滤波器复位。必须等到滤波器完全建立之后，数据接口才能输出有效数据。

### 模拟输入预充电缓冲器

AD7768/AD7768-4的各模拟输入端包含预充电缓冲器，用以简化对外部放大器的驱动要求。利用模拟输入预充电缓冲器寄存器，可以使能或禁用各模拟输入预充电缓冲器(AD7768参见表52和表53，AD7768-4参见表78和表79)。

### 基准电压预充电缓冲器

AD7768/AD7768-4的各基准输入端包含基准预充电缓冲器，用以简化对外部基准电压源的驱动要求，并且帮助化解基准输入端的非线性问题。利用基准预充电缓冲器寄存器，可以使能或禁用各基准预充电缓冲器(AD7768参见表54和表55，AD7768-4参见表80和表81)。

### 基于通道的增益、失调和同步相位校准

用户可调整AD7768/AD7768-4的增益、失调和同步相位。这些选项仅在SPI控制模式下可用。有关更多寄存器信息和校准指令，请参见“失调寄存器”部分、“增益寄存器”部分和“同步相位失调寄存器”部分。有关校准公式的信息，请参见“校准”部分。

### GPIO

在SPI控制模式下工作时，AD7768/AD7768-4有5个通用输入/输出(GPIO)引脚可用。有关GPIO配置的更多信息，请参见“GPIO功能”部分。

### SPI控制模式额外诊断特性

#### RAM内置自测

RAM内置自测(BIST)是对数字滤波器进行系数检查。AD7768/AD7768-4DSP路径利用某些内部存储器来存储与滤波和校准相关的数据。需要时，用户可启动这些存储器的内置自测(BIST)。当BIST正在运行时，无法执行正常转换。自测通过写入BIST控制寄存器0x08来启动。测试结果和状态由状态寄存器0x09提供(AD7768参见表47，AD7768-4参见表73)。

运行此测试时，正常ADC转换会中断。完成此测试后，要恢复正常ADC操作，需要一个同步脉冲。

#### 版本标识号

AD7768/AD7768-4包含一个版本标识寄存器，在SPI控制模式下可对其进行访问。通过此寄存器可以很好地验证串行控制接口是否正常工作。该寄存器信息参见“版本标识寄存器”部分。

#### 诊断仪模式

诊断仪模式可用于验证各ADC的功能，方法是将一个正满量程、中间电平或负满量程电压内部传送到ADC。然后，用户可以读取ADC转换结果，判断ADC是否正常工作。若要配置ADC转换诊断，参见“ADC诊断接收选择寄存器”部分和“ADC诊断控制寄存器”部分。

## 电路信息

### 核心信号链

AD7768/AD7768-4的每个ADC通道都有一条相同的从模拟输入引脚到数据接口的信号路径。图83所示为内核信号链实现的高级框图。每个ADC通道都有自己的 $\Sigma$ - $\Delta$ 调制器，其对模拟输入进行过采样，并将数字表示传送到数字滤波器模块。调制器采样频率( $f_{MOD}$ )范围参见“时钟、采样树和功耗调节”部分。数据经过滤波、增益和失调调整(取决于用户设置)后，通过数据接口输出。通过引脚或SPI接口控制该信号链的灵活设置，控制模式是在上电时由PIN/SPI输入引脚的状态决定。

AD7768/AD7768-4可使用最高5 V基准电压并将模拟输入(AINx+和AINx-)之间的差分电压转换为数字输出信号。模拟输入可以配置为差分输入或伪差分输入。作为伪差分输入时，AINx+或AINx-可连接到一个恒定输入电压(如0 V、GND、AVSS或其他基准电压)。ADC将模拟输入引脚之间的电压差转换为数字输出码。模拟输入AINx+和AINx-使用AVDD1/2的共模电压，可使ADC输入范围最大化。24位转换结果以二进制补码、MSB优先格式提供。图82显示了AD7768/AD7768-4的理想传递函数。

### ADC功耗模式

AD7768/AD7768-4有三种可选功耗模式。在引脚控制模式下，为实现最佳性能，调制器速率绑定功耗模式。在SPI控制模式下，用户可以选择功耗模式和调制器MCLK分频器设置。功耗模式选择为控制AD7768/AD7768-4的带宽和功

耗提供了更大灵活性。表11列出了各种功耗模式的推荐 $f_{MOD}$ 频率，表42显示了AD7768的寄存器信息，表68显示了AD7768-4的寄存器信息。

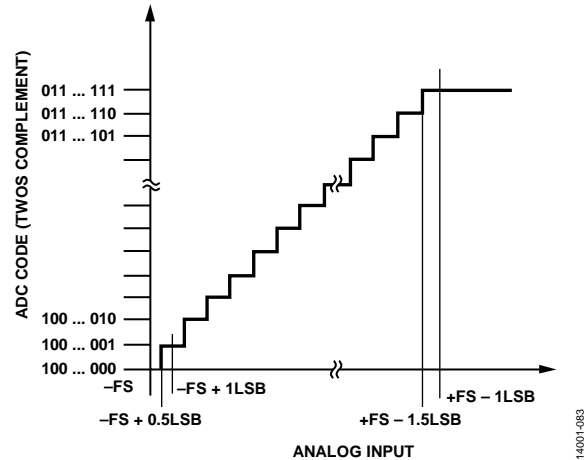


图82. ADC理想传递函数(FS为满量程)

表26. 输出码和理想输入电压

描述	模拟输入(AINx+ - AINx-) $V_{REF} = 4.096 V$	以二进制补码表示的数字输出码 (十六进制)
FS - 1 LSB	+4.095999512 V	0x7FFFFFFF
中间电平 + 1 LSB	+488 nV	0x000001
中间电平	0 V	0x000000
中间电平 - 1 LSB	-488 nV	0xFFFFF
-FS + 1 LSB	-4.095999512 V	0x800001
-FS	-4.096 V	0x800000

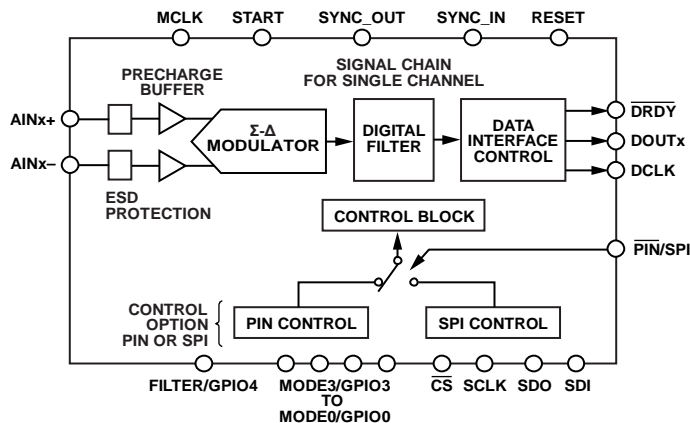


图83. 内核信号链和控制的高级框图

## 模拟输入

图84显示了AD7768/AD7768-4模拟前端。信号路径上显示了ESD保护二极管，其用来防止某些短时间过压和ESD事件影响ADC。模拟输入的采样频率是调制器采样频率 $f_{MOD}$ （其从MCLK获得）的两倍。默认情况下，ADC内部采样电容CS1和CS2由各通道的模拟输入预充电缓冲器驱动，以便简化外部网络的驱动要求。

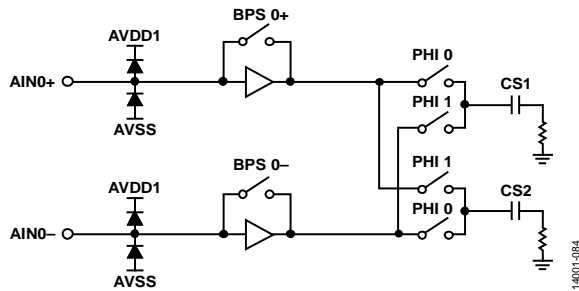


图84. 模拟前端

模拟输入预充电缓冲器为开关电容网络提供初始粗略充电，这占采样阶段的25%的时间。在第一阶段，旁路开关BPS 0+和BPS 0-保持断开。对于采样阶段余下的75%，旁路开关闭合，高精度建立电荷由外部源提供。PHI 0和PHI 1代表调制器时钟采样阶段，其将输入信号切换到采样电容CS1和CS2上。

模拟输入预充电缓冲器可降低采样级到外部电路的开关反冲。预充电缓冲器将平均输入电流减小8倍，使输入电流更独立于信号，从而降低采样失真效应。驱动要求的降低使得AD7768/AD7768-4可以使用更低功耗、更低带宽的前端驱动放大器，如ADA4940-1/ADA4940-2。

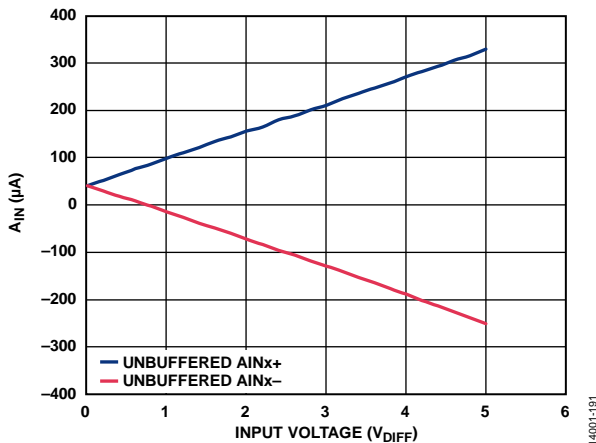


图85. 模拟输入电流( $A_{IN}$ )与输入电压的关系，模拟输入预充电缓冲器关闭， $V_{CM} = 2.5 V$ ， $f_{MOD} = 8.192 MHz$

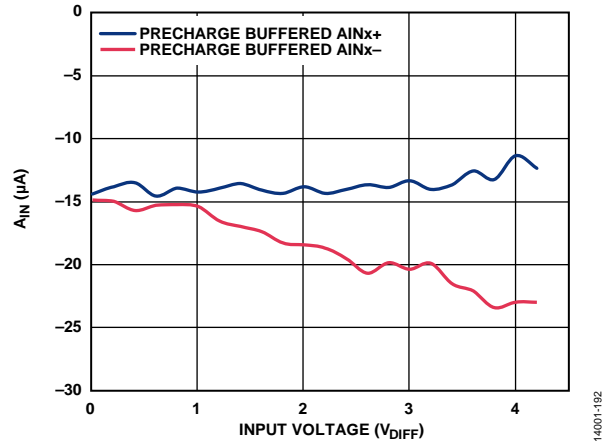


图86. 模拟输入电流( $A_{IN}$ )与输入电压的关系，模拟输入预充电缓冲器开启， $V_{CM} = 2.5 V$ ， $f_{MOD} = 8.192 MHz$

对寄存器0x11和寄存器0x12(预充电缓冲器寄存器1和预充电缓冲器寄存器2)执行寄存器写操作，可以开启或关闭模拟输入预充电缓冲器。各模拟输入预充电缓冲器可基于通道进行选择。在引脚控制模式下，模拟输入预充电缓冲器始终使能以实现最佳性能。

当禁用模拟输入预充电缓冲器时，模拟输入电流完全从模拟输入源获得。未缓冲的模拟输入电流由两个分量计算：模拟输入对上的差分输入电压和相对于AVSS的模拟输入电压。在禁用预充电缓冲器的情况下，对于32.768 MHz MCLK、快速模式且 $f_{MOD} = MCLK/4$ ，差分输入电流约为 $48 \mu A/V$ ，相对于地的电流约为 $17 \mu A/V$ 。

例如，若预充电缓冲器关闭， $A_{IN1+} = 5 V$ 且 $A_{IN1-} = 0 V$ ，则各输入引脚的电流估算如下：

$$A_{IN1+} = 5 V \times 48 \mu A/V + 5 V \times 17 \mu A/V = 325 \mu A$$

$$A_{IN1-} = -5 V \times 48 \mu A/V + 0 V \times 17 \mu A/V = -240 \mu A$$

当使能预充电缓冲器时，相对于AVSS的绝对电压决定大部分电流。当模拟输入接近AVDD1或AVSS供电轨时，测得约 $-25 \mu A$ 的最大输入电流。

任一预充电缓冲器使能或禁用时，模拟输入电流与调制器时钟速率成线性比例关系。模拟输入电流与输入电压的关系参见图85。

ADC模拟输入完全建立需要使用外部放大器。生态模式下使用ADA4805-2等放大器，中速模式下使用ADA4807-2或ADA4940-1/ADA4940-2，快速模式下使用ADA4807-2或ADA4896-2来驱动AD7768/AD7768-4(详情参见表27)。AD7768/AD7768-4以中速/生态模式工作或降低MCLK速率，可以降低放大器的负载和速度要求，这样便可将更低功耗的放大器用于模拟输入，以实现最佳信号链效率。



# AD7768/AD7768-4

表27. 放大器配对选项

功耗模式	放大器	放大器功耗 (mW/通道) <sup>1</sup>	模拟输入预充电缓冲器	总功耗(放大器 + AD7768) (mW/通道) <sup>1</sup>
快速	ADA4896-2	40.6	开	92.1
快速	ADA4807-2	13.6	开	65.1
中速	ADA4805-2	7.5	开	35.0
生态	ADA4805-2	7.525	开	16.9

<sup>1</sup> 25°C时的典型功耗。

## VCM

AD7768/AD7768-4在引脚59上提供一个缓冲共模电压输出。此输出可以偏置模拟输入信号。通过将VCM缓冲器纳入ADC中，AD7768/AD7768-4减少了器件数和电路板空间。在引脚控制模式下，VCM电位为固定值(AVDD1 - AVSS)/2，并且默认使能。

在SPI控制模式下，利用通用配置寄存器(寄存器0x05)配置VCM电位。输出可以使能或禁用，设置为(AVDD1 - AVSS)/2、1.65 V、2.14 V或2.5 V(相对于AVSS)。

VCM电压输出与通道0电路相关联。若通道0处于待机模式，VCM电压输出也会禁用，以便最大程度地节省功耗。当VCM用于AD7768/AD7768-4外部时，必须使能通道0。

## 基准输入

AD7768/AD7768-4有2个差分基准输入对。对于AD7768，REF1+和REF1-是通道0至通道3的基准输入，REF2+和REF2-是通道4至通道7的基准输入。对于AD7768-4，REF1+和REF1-是通道0和通道1的基准输入，REF2+和REF2-是通道2和通道3的基准输入。绝对输入基准电压范围为1 V至AVDD1 - AVSS。

像模拟输入一样，基准输入也有预充电缓冲器选项。对于每个REFx+和REFx-，每个ADC都有一个缓冲器。预充电缓冲器有助于减轻外部基准电路的负担。

在引脚控制模式下，基准预充电缓冲器默认关闭。在SPI控制模式下，用户可以使能或禁用基准预充电缓冲器。对于单极性模拟电源，在SPI控制模式下，用户可以通过仅使能REFx+缓冲器来实现最佳性能和效率。基准输入电流与调制器时钟速率成线性比例关系。

对于32 MHz MCLK和MCLK/4快速模式，未缓冲情况下每通道的差分输入电流约为72 μA/V，预充电缓冲器使能时每通道约为16 μA/V。

若预充电缓冲器关闭，REFx+ = 5 V，REFx- = 0 V，则

$$REF_{x\pm} = 5 \text{ V} \times 72 \text{ } \mu\text{A/V} = 360 \text{ } \mu\text{A}$$

若预充电缓冲器开启，REFx+ = 5 V，REFx- = 0 V，则

$$REF_{x\pm} = 5 \text{ V} \times 16 \text{ } \mu\text{A/V} = 80 \text{ } \mu\text{A}$$

为实现最佳性能和裕量，建议使用ADR444或ADR4540等4.096 V基准电压源。

为在高采样速率下实现最佳性能，建议使用ADA4841-1或AD8031等外部基准电压驱动放大器。

## 时钟选择

AD7768/AD7768-4内置一个用于器件初始上电的振荡器。在AD7768/AD7768-4完成启动例程之后，器件一般会将内部时钟控制权转移到外部施加的MCLK。在给定数量的内部时钟周期内，AD7768/AD7768-4计数外部MCLK的下降沿，以判断时钟是否有效并具有至少1.15 MHz的频率。如果外部MCLK有故障，则控制权转移不会发生，AD7768/AD7768-4在状态标头中输出一个错误，器件状态寄存器中的时钟错误位置1。不会输出转换数据，需要复位以退出该错误状态。

AD7768/AD7768-4有三个时钟源输入选项：外部CMOS、晶振或LVDS。时钟在上电时选择，由CLK\_SEL引脚的状态决定。

若CLK\_SEL = 0，则选择CMOS时钟选项，时钟施加于引脚32(引脚31接DGND)。

若CLK\_SEL = 1，则选择晶振或LVDS选项，晶振或LVDS施加于引脚31和引脚32。LVDS选项仅在SPI控制模式下可用。通过SPI写入寄存器0x04的位3可使能LVDS时钟选项。

## 数字滤波

AD7768/AD7768-4有两类数字滤波器。在SPI控制模式下，可以基于通道选择这些滤波器。在引脚控制模式下，所有通道只能选择一种滤波器。AD7768/AD7768-4提供以下数字滤波器：

- Sinc5低延迟滤波器，-3 dB带宽为0.204 × ODR
- 宽带低纹波滤波器，-3 dB带宽为0.433 × ODR

两种滤波器均支持6个不同的抽取率，允许用户根据所需的功耗模式或分辨率选择最佳输入带宽和转换速度。

### Sinc5滤波器

多数精密 $\Sigma$ - $\Delta$ 型ADC使用sinc滤波器。AD7768/AD7768-4中的sinc5滤波器提供低延迟信号路径，适用于直流输入、控制环路或需要其他特定后处理的应用。sinc5滤波器路径的噪声和功耗是最低的。sinc5滤波器的-3 dB带宽为 $0.204 \times \text{ODR}$ 。表13列出了sinc5滤波器在不同功耗模式和抽取率下的噪声性能。

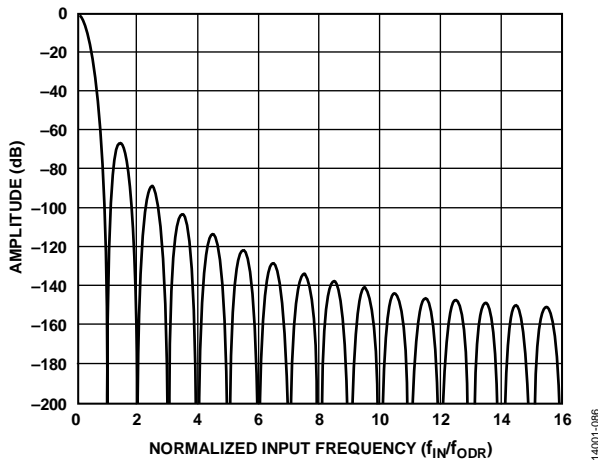


图87. Sinc5滤波器频率响应(抽取率 =  $\times 32$ )

使用sinc5滤波器时，AD7768/AD7768-4的建立时间如表36所示。

### 宽带低纹波滤波器

宽带滤波器具有 $0.4 \times \text{ODR}$ 的低纹波通带，纹波在 $\pm 0.005$  dB范围内。宽带滤波器在 $0.499 \times \text{ODR}$ (奈奎斯特)时提供完全衰减，抗混叠保护最强。从奈奎斯特频率到 $f_{\text{CHOP}}$ ，宽带滤波器的通带纹波为 $\pm 0.005$  dB，阻带衰减为105 dB。有关抗混叠和 $f_{\text{CHOP}}$ 混叠的更多信息，参见“抗混叠”部分。

宽带滤波器是一种超高阶数字滤波器，群延迟约为 $34/\text{ODR}$ 。同步脉冲之后，从SYNC\_IN上升沿到数据完全建立有一个额外的延迟。使用宽带滤波器时，AD7768/AD7768-4的建立时间如表35所示。表12列出了宽带滤波器在不同功耗模式和抽取率下的噪声性能。

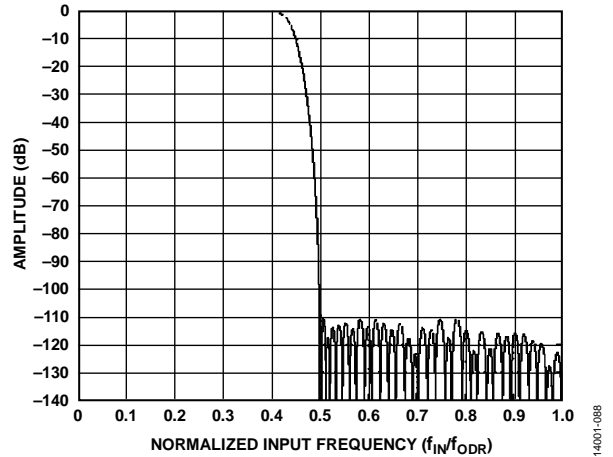


图88. 宽带滤波器频率响应

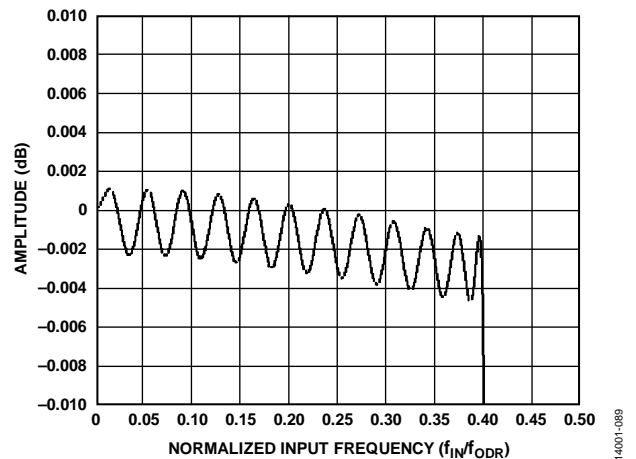


图89. 宽带滤波器通带纹波

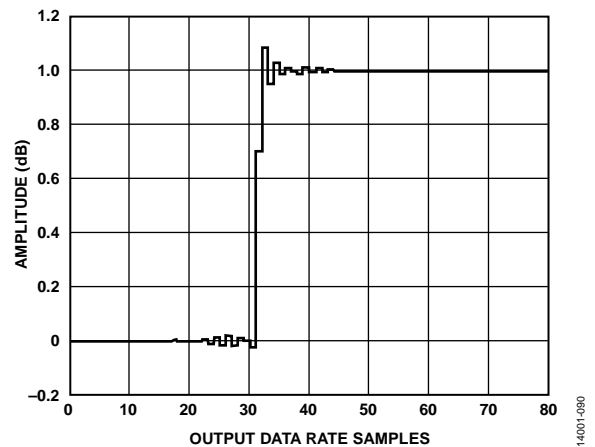


图90. 宽带滤波器阶跃响应

# AD7768/AD7768-4

## 抽取率控制

AD7768/AD7768-4的数字滤波器具有可编程抽取率。通过设置抽取率，用户可以降低测量带宽，从而降低速度但提高分辨率。使用SPI控制时，AD7768/AD7768-4的抽取率由通道模式寄存器控制。利用给定的抽取率和滤波器类型，这些寄存器设置两种不同的通道模式。每个ADC通过通道模式选择寄存器映射到其中一种模式。表28详细列出了模式A和模式B可用的抽取率和滤波器类型选项。

在引脚控制模式下，抽取率由DEC0和DEC1引脚控制。引脚控制模式下的抽取率配置参见表17。

**表28. 通道x模式寄存器，寄存器0x01和寄存器0x02**

位	名称	逻辑值	抽取率
3	FILTER_TYPE_x	0	宽带滤波器
		1	Sinc5滤波器
[2:0]	DEC_RATE_x	000	32
		001	64
		010	128
		011	256
		100	512
		101	1024
		110	1024
		111	1024

## 抗混叠

由于AD7768/AD7768-4是开关电容、离散时间ADC，用户可能希望采用外部模拟抗混叠滤波器来防止带外音折回。

本节中的带外音指大于模拟输入端数字滤波器通带频率规格的输入频率。

设计AD7768/AD7768-4的抗混叠滤波器时，必须考虑三个主要混叠区域。了解各区域的混叠要求之后，用户便可设计抗混叠滤波器来满足特定应用的需求。这三个要考虑的区域与调制器采样频率、调制器斩波频率和调制器饱和点相关。

## 调制器采样频率

AD7768/AD7768-4调制器信号传递函数包含一个频率为 $f_{MOD}$ 奇数倍的陷波，用以抑制调制器时钟相关的信号音或谐波。调制器本身会衰减频率为 $f_{MOD}$ 、 $3 \times f_{MOD}$ 、 $5 \times f_{MOD}$ 等等的信号。对于32.768 MHz的MCLK频率，衰减约为35 dB(快速模式)、41 dB(中速模式)或53 dB(生态模式)。MCLK频率每降低一半(例如将时钟从32.768 MHz降至16.384 MHz)，各种功耗模式下的衰减便提高6 dB。

调制器不会抑制频率为 $2 \times f_{MOD}$ 左右区域及 $f_{MOD}$ 偶数倍的信号。这些频率的信号由AD7768/AD7768-4混叠。对于AD7768/AD7768-4，第一个需要保护的区域是在 $2 \times f_{MOD}$ 处。典型开关电容、离散时间 $\Sigma$ - $\Delta$ 调制器对于频率为 $f_{MOD}$ 的混叠没有防护，因此，AD7768/AD7768-4在这方面具有独特优势。

图91所示为调制器和宽带数字滤波器对模拟输入端带外音的频率响应。图91表明了带内混叠幅度与模拟输入端信号采样频率的关系。输入信号与调制器频率的关系通过归一化方式表示为输入信号( $f_{IN}$ )与调制器频率( $f_{MOD}$ )之比。该数据表明了使用宽带滤波器时ADC相对于带外音的频率响应。输入频率( $f_{IN}$ )从DC扫描到20 MHz。在快速模式下，使用8.192 MHz  $f_{MOD}$ 频率，x轴 $f_{IN}/f_{MOD}$ 比值范围是0到2.44(相当于0 Hz到20 MHz的 $f_{IN}$ )。类似的特性也出现在中速和生态模式下。

图91中的陷波对应的输入频率( $f_{IN}$ )为 $f_{MOD}$ (x轴上表示为 $f_{IN}/f_{MOD} = 1.00$ )。此频率的输入会被衰减35 dB，此外还有外部抗混叠滤波器的衰减，因而外部滤波器的频率滚降要求得以降低。如果进一步扫描频率，陷波将在 $f_{IN}/f_{MOD} = 3.00$ 时重新出现。

根据采样理论， $f_{IN} = 2 \times f_{MOD}$ 时(x轴上表示为2.00)提供0 dB衰减，表示位于此频率的所有信号直接混叠回ADC转换结果中。

AD7768/AD7768-4宽带滤波器也能提供额外的混叠保护。宽带滤波器在奈奎斯特频率( $f_{ODR}/2$ ，其中 $f_{ODR} = f_{MOD}/抽取率$ )时具有完全衰减，因此，接近 $f_{ODR}/2$ 的输入频率，尤其是输入频率的谐波，不会折回AD7768/AD7768-4的通带中。



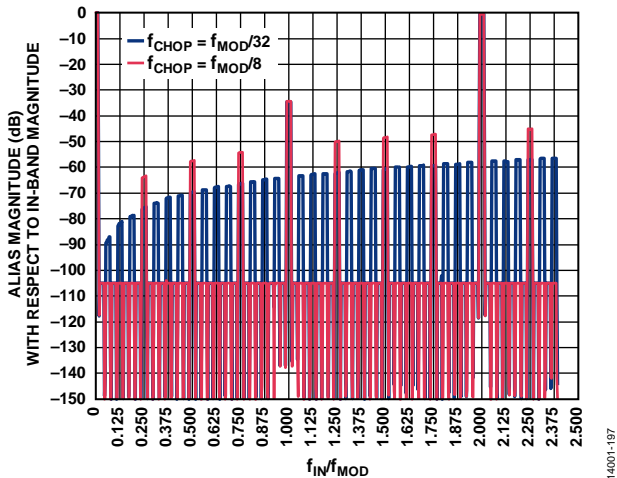


图91. AD7768/AD7768-4对带外输入音的抑制，宽带滤波器，抽取率 =  $\times 32$ ， $f_{\text{MOD}} = 8.192 \text{ MHz}$ ，模拟输入从DC扫描到20 MHz

### 调制器斩波频率

图91显示了两种与AD7768/AD7768-4调制器斩波频率相关的情况。

AD7768/AD7768-4利用与斩波放大器相似的调制器斩波技术来消除失调、失调漂移和1/f噪声。AD7768/AD7768-4默认斩波速率为 $f_{\text{MOD}}/32$ 。在引脚控制模式下，斩波频率硬连线到 $f_{\text{MOD}}/32$ 。在SPI控制模式下，用户可以选择 $f_{\text{MOD}}/32$ 或 $f_{\text{MOD}}/8$ 的斩波频率。

如图91所示，在与斩波频率( $f_{\text{CHOP}}$ )偶数倍相关的频率时，数字滤波器的阻带衰减会降低。所有其他带外频率(不包括已经讨论过的与调制器时钟频率 $f_{\text{MOD}}$ 相关的频率)都会被数字滤波器的阻带衰减抑制。频率在 $(2 \times f_{\text{CHOP}}) \pm f_{3\text{dB}}$ 范围内的带外音( $f_{3\text{dB}}$ 为所用的滤波器带宽)，会被衰减到斩波频率设置所决定的包络(参见图91)，并且混叠到通带中。 $f_{\text{CHOP}}$ 的其他偶数倍(即 $N \times f_{\text{CHOP}}$ ， $N$ 为偶数)附近的带外音，会以同样方式发生衰减和混叠。

$f_{\text{MOD}}/32$ 斩波可使AD7768/AD7768-4实现最佳噪声、失调和失调漂移性能。

对于交流性能，选择 $f_{\text{MOD}}/8$ 斩波可能有用，因为这会将第一斩波音移到更高频率。然而，与默认斩波速率 $f_{\text{MOD}}/32$ 相比，以 $f_{\text{MOD}}/8$ 斩波可能导致噪声和失调性能略有下降(动态范围损失约1 dB)。

表29显示了不同阶抗混叠滤波器选项在关键频率时实现的抗混叠性能： $f_{\text{MOD}}/32$ 和 $f_{\text{MOD}}/8$ 针对斩波混叠， $f_{\text{MOD}}/16$ 针对调制器饱和， $2 \times f_{\text{MOD}}$ 针对0 dB衰减的第一区。假定抗混叠滤波器的转折频率为 $f_{\text{MOD}}/64$ ，其只比使用滤波器32倍抽取

设置时AD7768/AD7768-4数字滤波器能够通过的最大输入带宽高一点。

表29. 外部抗混叠滤波器衰减

RC滤波器	$f_{\text{MOD}}/32$ (dB)	$f_{\text{MOD}}/16$ (dB)	$f_{\text{MOD}}/8$ (dB)	$2 \times f_{\text{MOD}}$ (dB)
一阶	-6	-12	-18	-42
二阶	-12	-24	-36	-84
三阶	-18	-36	-54	-126

### 调制器饱和点

可以把 $\Sigma$ - $\Delta$ 调制器看作一个采用负反馈的标准控制环路。该控制环路的作用是确保平均处理的误差信号随着时间推移变得非常小。它使用积分器来记住之前的误差，并迫使平均误差为0。当输入信号变化率相对于调制器时钟 $f_{\text{MOD}}$ 提高时，处理的电压反馈误差会更大。高于某一频率时，误差开始使调制器发生饱和。

对于AD7768/AD7768-4，根据输入信号变化率、输入信号幅度和基准输入电平，当输入大于 $f_{\text{MOD}}/16$ 时，调制器可能会饱和。 $f_{\text{MOD}}/8$ 的半功率输入音也可能导致调制器饱和。在可能有高幅度和频率带外音的应用中，需要一阶抗混叠滤波器，其-3 dB转折频率设置为 $f_{\text{MOD}}/16$ 以防调制器饱和。例如，若AD7768/AD7768-4以全速工作且使用 $\times 32$ 抽取率以实现256 kSPS的输出数据速率，则调制器速率等于8.192 MHz。这种情况下，为了防止饱和，应将抗混叠滤波器-3 dB转折频率设置为512 kHz。

### 校准

在SPI控制模式下，AD7768/AD7768-4为用户提供了基于通道调整失调、增益和相位延迟的能力。

### 失调整

CHx\_OFFSET\_MSB、CHx\_OFFSET\_MID和CHx\_OFFSET\_LSB寄存器是用于通道失调调整的24位带符号二进制补码寄存器。如果通道增益设置位于理想标称值0x555555，则失调寄存器调整的LSB将使数字输出改变-4/3 LSB。例如，失调寄存器从0变为100时，数字输出改变-133 LSB。失调校准先于增益校准，4/3的比例随着增益调整(通过通道x增益寄存器)而线性改变(AD7768参见表56和表57，AD7768-4参见表82和表83)。复位或周期供电之后，失调寄存器值回到默认出厂设置。

# AD7768/AD7768-4

## 增益调整

各ADC通道都有相关联的增益系数。系数存储在三个单字节寄存器中，分别是MSB、MID和LSB。每个增益寄存器都有出厂设置值。一般来说，此增益值约为0x555555(对于一个ADC通道)。用户可以覆盖增益寄存器设置。然而，在复位或周期供电之后，增益寄存器值会回到硬编码的出厂设置。

利用下式计算输出的近似结果：

$$\text{数据} = \left( \frac{3 \times V_{IN}}{V_{REF}} \times 2^{21} - (\text{失调}) \right) \times \frac{\text{增益}}{4} \times \frac{4,194,300}{2^{42}}$$

其中：

*Offset*为失调寄存器设置。

*Gain*为增益寄存器设置。

## 同步相位失调调整

AD7768/AD7768-4的所有通道共用一个同步信号。同步相位失调寄存器允许用户相对于SYNC\_IN引脚上接收的同步边沿，改变各通道的相位延迟。

默认情况下，所有ADC通道同时响应SYNC\_IN脉冲。同步相位寄存器可用于均衡ADC输入通道彼此之间的已知外部相位差。相位补偿范围以最大一个转换周期为限，校正分辨率取决于所用的抽取率。

表30显示了各抽取率下用于相位失调的分辨率和寄存器位。

表30. 相位延迟分辨率

抽取率	分辨率	步数	相位寄存器位
×32	1/f <sub>MOD</sub>	32	[7:3]
×64	1/f <sub>MOD</sub>	64	[7:2]
×128	1/f <sub>MOD</sub>	128	[7:1]
×256	1/f <sub>MOD</sub>	256	[7:0]
×512	2/f <sub>MOD</sub>	256	[7:0]
×1024	4/f <sub>MOD</sub>	256	[7:0]

调整通道同步相位可能影响同步脉冲到第一个DRDY脉冲的时间,以及到标头状态位6(滤波器未建立数据位)清零的时间,即数据建立的时间。

如果所有通道都使用Sinc5滤波器，假设至少一个通道的同步相位失调调整为0，则到第一个DRDY脉冲的时间不受同步相位失调调整影响。如果所有通道的同步相位失调设置都不是0，则到第一个DRDY脉冲的时间会延迟，延迟量取决于应用失调最少的通道。具有同步失调调整设置，并且其内部同步信号相对于其他通道有延迟的通道，可能要等到下一个DRDY脉冲之后才会输出已建立的数据。换言之，对于具有附加相位延迟的通道，AD7768/AD7768-4输出的已建立数据之间可能有一个ODR周期的延迟。

如果所有通道都使用宽带滤波器，则到第一个DRDY脉冲的时间和到建立数据的时间会延迟，延迟量取决于相位延迟设置最大的通道。这种情况下，接口会等待最迟的通道，并在该通道就绪时输出所有通道的数据。

## 数据接口

### 设置数据输出格式

数据接口格式由FORMATx引脚设置决定。FORMATx引脚的逻辑状态在上电时读取，决定ADC转换结果通过多少条数据线(DOUTx)输出。

由于FORMATx引脚是在AD7768上电时读取，并且器件一直处于这种输出配置，因此必须用硬连线方式实现这种功能，不得动态改变。表31、图92、图93和图95显示了AD7768数字输出引脚的格式配置。

对于给定数据接口配置，所需的最小DCLK速率计算如下：

$$DCLK(\text{最小值}) = \text{输出数据速率} \times \text{每个DOUTx的通道数} \times 32$$

其中，MCLK ≥ DCLK。

例如，如果MCLK = 32.768 MHz且使用2条DOUTx线，则：

$$DCLK(\text{最小值}) = 256 \text{ kSPS} \times \text{每个DOUTx} 4 \text{ 个通道} \times 32 = 32.768 \text{ Mbps}$$

因此，DCLK = MCLK/1。

或者，如果MCLK = 32.768 MHz且使用8条DOUTx线，则：

$$DCLK(\text{最小值}) = 256 \text{ kSPS} \times \text{每个DOUTx} 1 \text{ 个通道} \times 32 = 8.192 \text{ Mbps}$$

因此，DCLK = MCLK/4。

DCLK速率越高，则越容易以较少的DOUTx线接收AD7768/AD7768-4的转换数据。然而，随着DCLK频率提

高，ADC失调性能会下降。为实现最佳失调和失调漂移性能，应使用尽可能低的DCLK频率。用户可通过适当选择MCLK频率、DCLK分频器和/或所用的DOUTx线数来降低DCLK频率。表1和表2给出了各种DCLK频率对应的失调和失调漂移规格，图49显示了典型失调漂移与DCLK频率的关系。

表31. FORMATx真值表 - AD7768

FORMAT1	FORMAT0	描述
0	0	每个ADC通道通过自己的专用引脚输出。使用DOUT0至DOUT7。
0	1	ADC共享DOUT0和DOUT1引脚：通道0至通道3通过DOUT0输出；通道4至通道7通过DOUT1输出。ADC通道以时分复用(TDM)输出方式共用数据引脚。使用DOUT0和DOUT1。
1	X	所有通道以TDM输出方式通过DOUT0引脚输出。仅使用DOUT0。

表32. FORMAT0真值表 - AD7768-4

FORMAT0	描述
0	每个ADC通道通过自己的专用引脚输出。使用DOUT0至DOUT3。
1	所有通道以TDM输出方式通过DOUT0引脚输出。仅使用DOUT0。

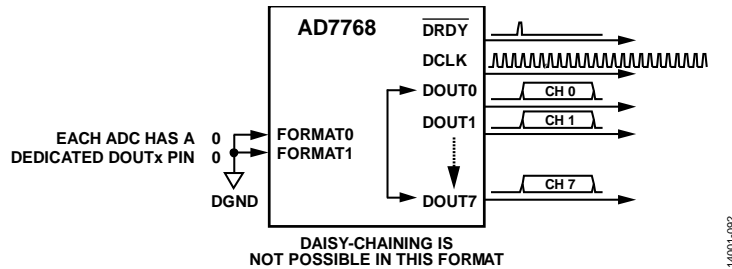


图92. AD7768 FORMATx = 00, 8个数据输出引脚

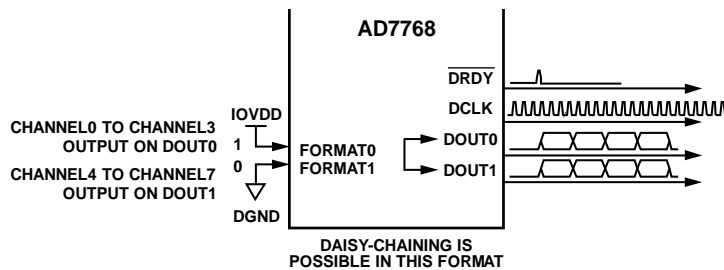


图93. AD7768 FORMATx = 01, 2个数据输出引脚

# AD7768/AD7768-4

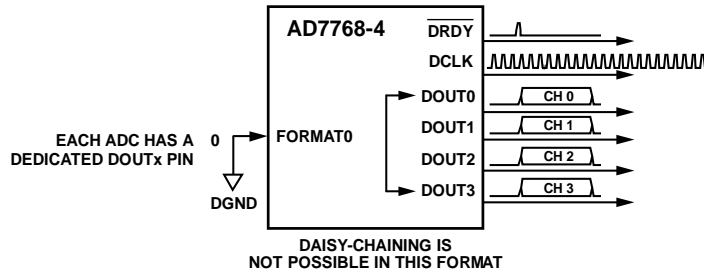


图94. AD7768-4 FORMAT0 = 0, 4个数据输出引脚

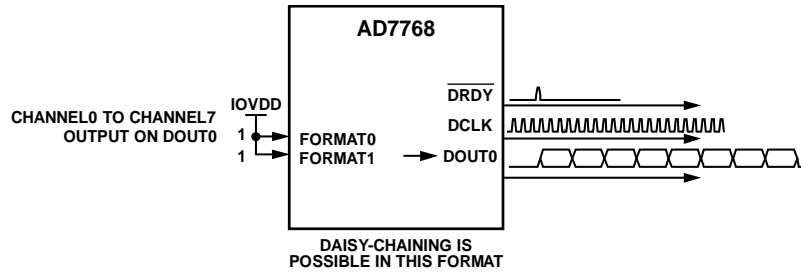


图95. AD7768 FORMATx = 10或11, 或AD7768-4 FORMAT0 = 1, 1个数据输出引脚

## ADC转换输出：标头和数据

根据FORMATx引脚设置，AD7768数据通过DOUT0至DOUT7引脚输出。根据FORMAT0引脚设置，AD7768-4数据通过DOUT0至DOUT3引脚输出。各ADC结果的数据输出实际结构如图96所示。各ADC结果有32位。前8位是标头状态位，包含状态信息和通道号。各标头状态位的名称如表33所示，其功能将在下面说明。此标头之后是24位ADC输出，采用二进制补码编码方式，MSB优先。

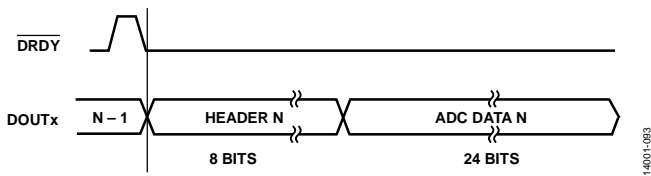


图96. ADC输出：8位标头、24位ADC转换数据

表33. 标头状态位

位	位名称
7	CHIP_ERROR
6	滤波器未建立
5	重复数据
4	滤波器类型
3	滤波器饱和
[2:0]	通道ID[2:0]

## 芯片错误

芯片错误位指示发生了严重错误。若此位置1，则需要复位以清除此位。此位指示未检测到外部时钟、存储器映射位意外改变状态或检测到内部CRC错误。

若是未检测到外部时钟，则无论施加于ADC通道的模拟输入电压是多少，转换结果输出都是全0。

## 滤波器未建立

上电、复位或同步之后，AD7768/AD7768-4清除数字滤波器并开始转换。由于数字滤波器需要加权，从第一次转换到数据完全建立会有一个延迟。使用宽带滤波器和sinc5滤波器时，AD7768/AD7768-4的建立时间分别如表35和表36所示。如果该建立延迟时间尚未过去，此位便为1。

## 重复数据

如果不同通道使用不同的抽取率，较慢通道的数据输出将会重复。此类情况下，标头正常输出，重复数据位置1，后续重复ADC结果输出为全0。此位指示全0转换结果不是真实的，由于选择了两个不同抽取率，出现了数据重复情况。这种情况只能发生在AD7768/AD7768-4的SPI控制模式下。

## 滤波器类型

在引脚控制模式下，所有通道使用同一种滤波器工作，所选滤波器由FILTER引脚的逻辑电平决定。在SPI控制模式下，可以利用模式寄存器，基于通道选择数字滤波器。对于使用宽带滤波器的通道，此标头位为0；对于使用sinc5滤波器的通道，此标头位为1。

## 滤波器饱和

滤波器饱和位指示滤波器输出在正满量程或负满量程处削波。如果信号超出数字滤波器规格，滤波器就会削波，而不会回绕。引起削波的原因可能是模拟输入超出模拟输入范围，或者输入的阶跃变化引起数字滤波器过冲。当模拟输入信号和通道增益寄存器设置共同导致滤波器看到的信息高于模拟输入范围时，也可能发生削波。

## 通道ID

通道ID位指示随后的转换数据来自哪一个ADC通道(参见表34)。

**表34. 通道ID与通道号的关系**

通道	通道ID 2	通道ID 1	通道ID 0
通道 0	0	0	0
通道 1	0	0	1
通道 2	0	1	0
通道 3	0	1	1
通道 4	1	0	0
通道 5	1	0	1
通道 6	1	1	0
通道 7	1	1	1

## 数据接口：标准转换工作模式

在标准工作模式下，AD7768/AD7768-4作为主机工作，数据流入DSP或FPGA。AD7768/AD7768-4向从机提供数据、

数据时钟(DCLK)和下降沿帧使能信号(DRDY)。所有这些信号都是同步的。与DSP/FPGA的数据接口连接如图102所示。FORMATx引脚决定AD7768/AD7768-4如何输出数据。图97至图99显示数据接口在标准模式下以最大数据速率工作。在所有情况下，DRDY的置位都比数据转换结果的MSB出现在数据引脚上要早一个时钟周期。

每个DRDY下降沿启动新ADC转换数据的输出。DRDY下降沿后输出的前8位是标头位，后24位是ADC转换结果。

图97、图98和图99是不同的例子，反映了FORMATx引脚对标准转换模式下工作的AD7768输出的影响。图100和图101显示了AD7768-4接口配置的两个例子。

图97至图99代表AD7768以最大数据速率在三种FORMATx选项下运行的情况。

图97显示FORMATx = 00，各ADC有自己的数据输出引脚，以MCLK/4位速率运行。在引脚控制模式下，这可通过选择模式0xA(快速模式、DCLK = MCLK/4、标准转换，参见表20)来实现，抽取率设置为×32。

图98显示FORMATx = 01，共享DOUT1，以最大位速率运行。在引脚控制模式下，这可通过选择模式0x8(快速模式、DCLK = MCLK/1、标准转换)来实现，抽取率为×32。

若采用引脚控制模式，图99所示例子代表模式0x4(中速模式、DCLK = MCLK/1、标准转换)，抽取率为×32，一个DOUTx引脚以最大可能的输出数据容量工作。

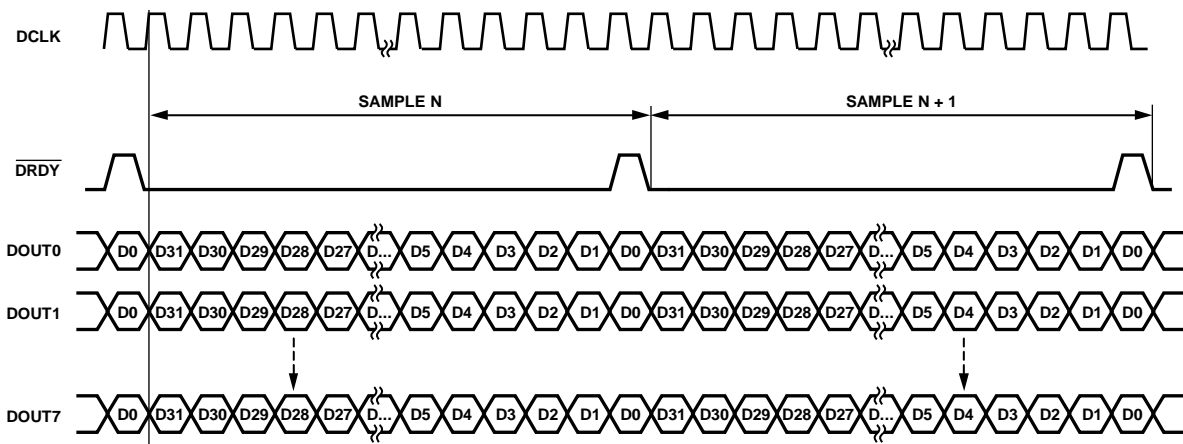


图97. AD7768 FORMATx = 00: 各ADC有专用数据输出引脚，最大数据速率



# AD7768/AD7768-4

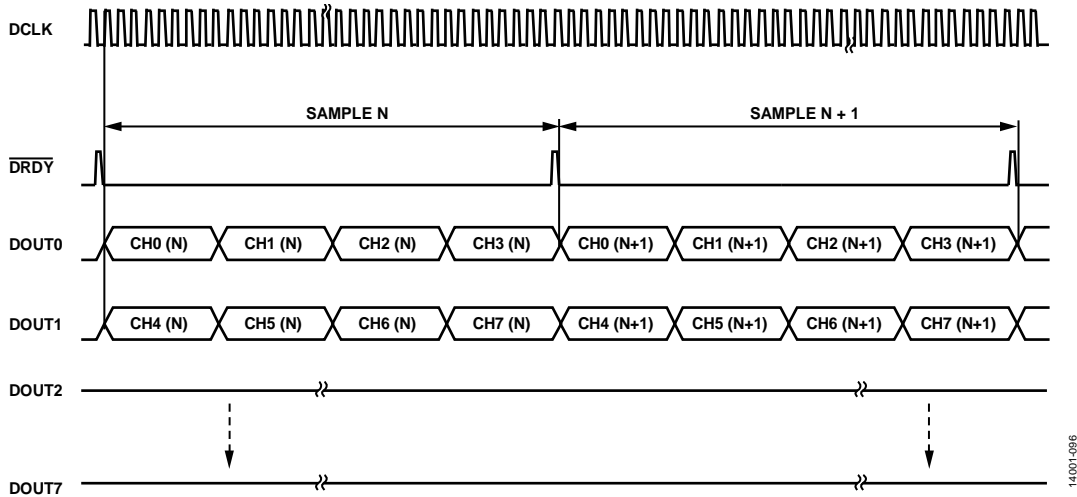


图98. AD7768  $FORMATx = 01$ : 通道0至通道3共享DOUT0, 通道4至通道7共享DOUT1, 最大数据速率

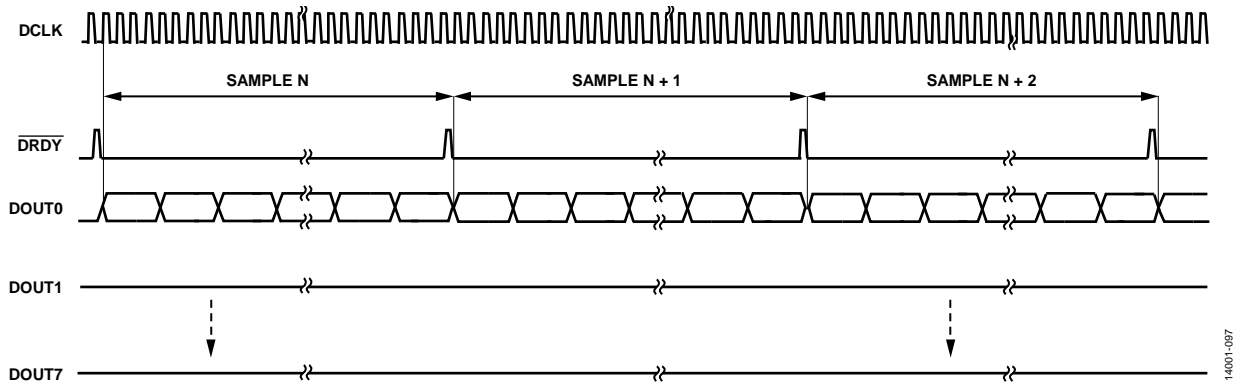


图99. AD7768  $FORMATx = 11$ 或 $10$ : 通道0至通道7仅通过DOUT0输出, 最大数据速率

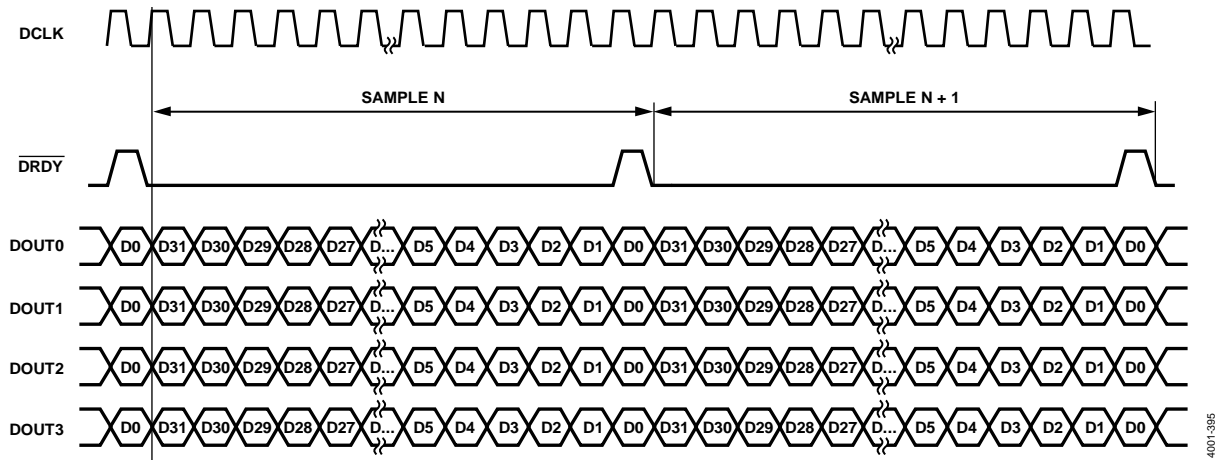


图100. AD7768-4  $FORMAT0 = 0$ : 各ADC有专用数据输出引脚, 最大数据速率



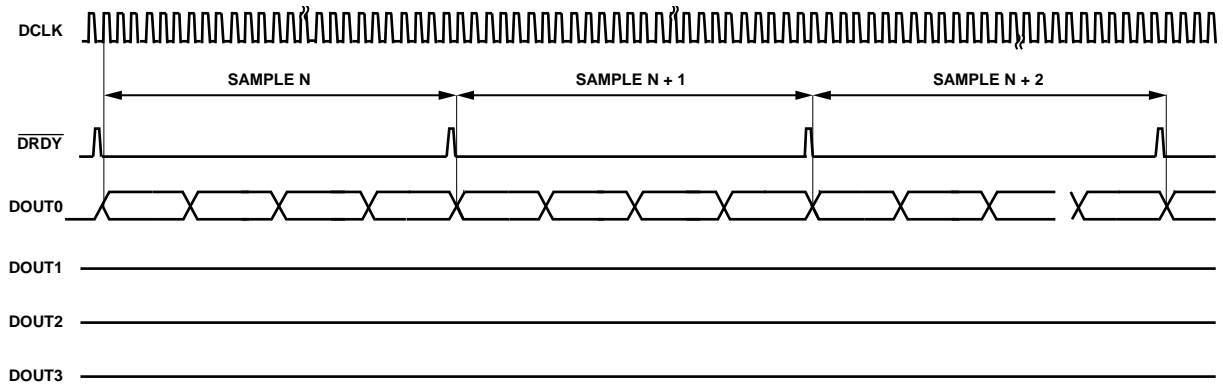


图101. AD7768-4 FORMAT0 = 1: 通道0至通道3仅通过DOUT0输出, 最大数据速率

14001-302

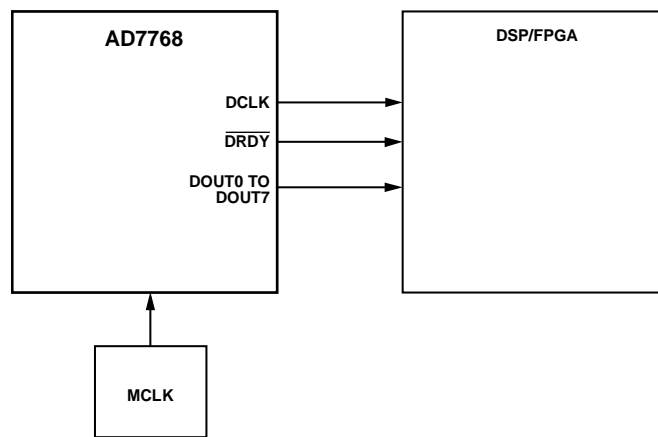


图102. 数据接口: 标准转换工作模式, AD7768 = 主机, DSP/FPGA = 从机

14001-094

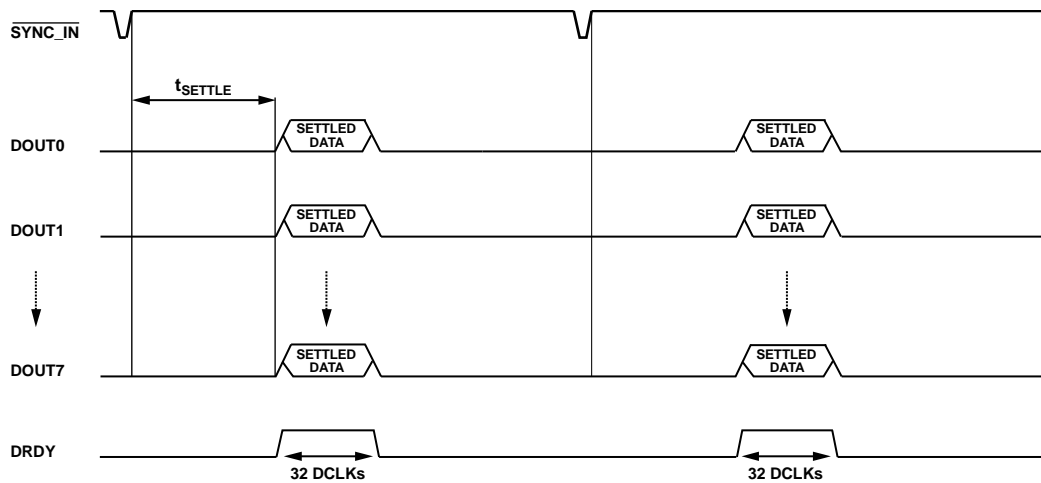


图103. AD7768 单次模式

14001-098

# AD7768/AD7768-4

## 数据接口：单次转换工作模式

单次模式在SPI和引脚控制模式下均可用。在引脚控制模式下，选择模式0xC或模式0xF便可使用这种转换模式。在SPI控制模式下，应将数据控制寄存器0x06的位4(单次)置1。图103显示了器件的单次工作模式。

在单次模式下，AD7768/AD7768-4是伪从机。转换应主机(如DSP或FPGA)请求而发生。SYNC\_IN引脚发起转换请求。在单次模式下，所有ADC连续运行，但SYNC\_IN引脚上升沿控制数据输出的时间点。

为接收数据，主机必须向SYNC\_IN引脚发送脉冲以复位滤波器并使DRDY变为低电平。DRDY随后变为高电平，告知主机该器件已可提供有效且已建立的数据。不同于标准模式，DRDY会在有效数据所需的时钟周期内保持高电平，结束后才变为低电平。因此，在这种转换模式下，它是高电平有效数据帧。

当主机向SYNC\_IN发送脉冲且AD7768/AD7768-4收到此信号的上升沿时，数字滤波器复位，滤波器的完全建立时间经过之后，便会提供数据。建立时间的长短取决于滤波器路径和抽取率。采用sinc5滤波器的单次模式可提供最快的吞吐速率，因为此滤波器的建立时间比宽带滤波器要短。

一旦建立后的数据可通过任意通道提供，器件变化输出所有通道的数据。通道标头状态位的位6指示数据是否已完全建立。

所有通道上的数据建立之前的时间( $t_{SETTLE}$ )如图103所示。所有通道上的数据建立之后，DRDY置位高电平，器件通过所有通道输出所需的已建立数据，然后DRDY置位低电平。如果用户为各ADC配置相同的滤波器和抽取率，则所有通道的数据都在第一DRDY输出帧建立，避免了数据建立的不同步，确保所有ADC的数据同时输出。然后，器件等待下一个SYNC\_IN信号以输出更多数据。

由于所有ADC连续采样，故单次模式会影响AD7768/AD7768-4的采样原理。具体说来，用户向器件周期性发送SYNC\_IN脉冲是一种对ADC输出进行子采样的形式。子采样以SYNC\_IN脉冲速率发生。SYNC\_IN脉冲必须与主时钟同步，以确保相干采样并降低抖动对频率响应的影响。

## 菊花链连接

菊花链连接是将不同AD7768/AD7768-4器件的多个ADC输出端级联起来，这样多个器件就可以使用相同数据接口线。只有一个ADC器件的数据接口与数字主机直接相连。

对于AD7768/AD7768-4，其实现方法是使用DOUT0和DOUT1级联多个器件，或者仅使用DOUT0。使能两个数据输出引脚还是仅使能一个数据输出引脚，取决于FORMATx引脚。通过菊花链连接器件的能力以及菊花链支持的器件数量，取决于所用的功耗模式、DCLK和抽取率。

通过菊花链连接器件时，允许使用的最大DCLK频率受表3或表5中的时序规格组合的限制，另外还受器件之间的数据传播延迟以及各AD7768/AD7768-4器件的MCLK信号间偏斜的限制。传播延迟和MCLK偏斜取决于PCB布局和走线长度。

这一特性特别有助于减少器件数量和线路连接；例如在隔离式多转换器应用或接口能力有限的系统中，希望器件和连接越少越好。

使用菊花链时，AD7768 DOUT6和DOUT7变成串行数据输入，DOUT0和DOUT1仍为串行数据输出，受FORMATx引脚的控制。对于AD7768-4，DIN引脚为菊花链串行数据输入引脚，DOUT0为串行数据输出引脚。

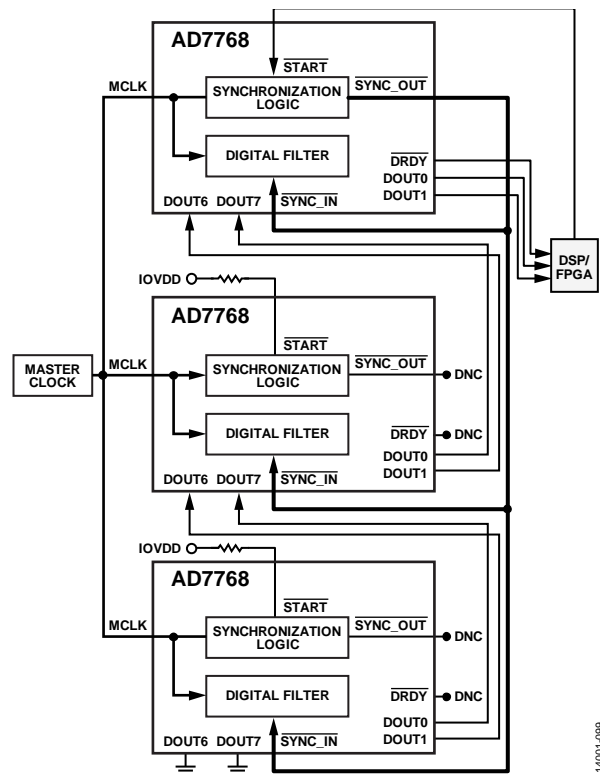


图104. 以菊花链方式连接多个AD7768器件

图104显示了FORMATx = 01时通过菊花链连接多个AD7768器件的例子。这种情况下，AD7768器件的DOUT1和DOUT0引脚级联到菊花链中下一器件的DOUT6和DOUT7引脚。数据回读与读取移位寄存器相似，即数据在DCLK的上升沿输出。

所示方案的工作原理是：上游AD7768器件的DOUT0和DOUT1引脚的输出数据传送到链中下一个AD7768器件的DOUT6和DOUT7输入。数据以这种方式穿过菊花链，直到它被送至链中最后一个下游器件的DOUT0和DOUT1引脚上。

菊花链中的器件必须利用下述方法之一进行同步：

- 将一个同步信号施加于菊花链中所有器件的 $\overline{\text{SYNC\_IN}}$ 引脚。
- 把第一个器件的 $\overline{\text{SYNC\_OUT}}$ 引脚连接到该器件的 $\overline{\text{SYNC\_IN}}$ 引脚以及菊花链中所有其他器件的 $\overline{\text{SYNC\_IN}}$ 引脚，并将一个异步信号施加于START输入。
- 通过SPI控制接口发生SPI\_SYNC命令。

在图104所示的配置中，一个异步信号施加于 $\overline{\text{START}}$ 引脚，第一个器件的 $\overline{\text{SYNC\_OUT}}$ 引脚连接到菊花链中所有器件的 $\overline{\text{SYNC\_IN}}$ 引脚。

仅使用DOUT0引脚时，AD7768和AD7768-4实现菊花链连接的方式相似。这种情况下，只有AD7768/AD7768-4的引脚21用作串行数据输入引脚。

在由AD7768/AD7768-4器件组成的菊花链系统中，必须连续施加两个同步脉冲以保证所有器件同步。在包含一个以上AD7768/AD7768-4器件的系统中，若这些器件共享一个MCLK信号，且仅使用一个器件的DRDY引脚来检测新数据，则也需要两个同步脉冲。

通过菊花链连接器件时，可使用的最大DCLK频率与AD7768/AD7768-4时序规格(表3和表5中的 $t_4$ 、 $t_8$ 和 $t_{11}$ )以及AD7768/AD7768-4器件间的时序差异(PCB上的器件布局 and 间距所引起)有关。

使用以下公式来帮助确定接口的最大工作频率：

$$f_{\text{最大值}} = \frac{1}{2 \times (t_{11} + t_4 + t_8 + t_p + t_{\text{SKEW}})}$$

其中：

$f_{\text{MAX}}$ 为最大可用DCLK频率。

$t_{11}$ 、 $t_4$ 和 $t_8$ 为AD7768/AD7768-4时序规格(参见表3和表5)。

$t_p$ 为菊花链中相邻AD7768/AD7768-4器件之间的数据最大传播延迟。

$t_{\text{SKEW}}$ 为菊花链中任何一对AD7768/AD7768-4器件看到的MCLK信号最大偏斜。

## 同步

通过菊花链连接两个以上的AD7768/AD7768-4器件时，一个重要考虑是同步。多个器件同步的基本条件是各器件由同一基本MCLK信号提供时钟。

AD7768/AD7768-4提供三种选项来简化系统同步。使用哪个选项取决于系统，但最终取决于用户能否提供一个真正与基本MCLK信号同步的同步脉冲。

如果用户无法提供一个与基本MCLK信号同步的信号，那么有以下两种方法可以选用：

- 施加一个START脉冲给第一个AD7768或AD7768-4器件。第一个AD7768或AD7768-4器件对异步START脉冲进行采样，在第一个器件的 $\overline{\text{SYNC\_OUT}}$ 上产生一个与基本MCLK信号相关的脉冲以供本地分配。
- 使用通过SPI同步(仅适用于SPI控制模式)，向第一个AD7768/AD7768-4器件写入一个同步命令。与 $\overline{\text{START}}$ 引脚方法相似，SPI同步在第一个器件的 $\overline{\text{SYNC\_OUT}}$ 上产生一个与基本MCLK信号相关的脉冲以供本地分配。

在以上两种情况中，都要把第一个器件的 $\overline{\text{SYNC\_OUT}}$ 引脚连接到该器件的 $\overline{\text{SYNC\_IN}}$ 引脚以及所有其他要同步器件的 $\overline{\text{SYNC\_IN}}$ 引脚(参见图105)。其他器件的 $\overline{\text{SYNC\_OUT}}$ 引脚必须保持开路。通过上拉电阻将所有未使用的 $\overline{\text{START}}$ 引脚连接到逻辑1电平。

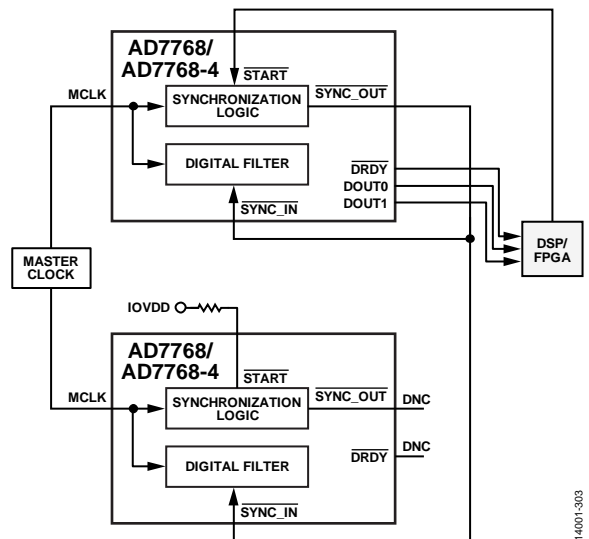


图105. 多个AD7768/AD7768-4器件利用同步 SYNC\_OUT

# AD7768/AD7768-4

如果用户能够提供一个与基本MCLK同步的信号，那么可以将此信号直接施加于SYNC\_IN引脚。从一个星形点连接该信号，并将其直接连到各AD7768/AD7768-4器件的SYNC\_IN引脚(参见图106)。在MCLK上升沿对该信号采样；与SYNC\_IN输入相关的建立和保持时间是相对于AD7768/AD7768-4 MCLK上升沿。

这种情况下，应通过一个上拉电阻将START引脚连接到逻辑1电平；SYNC\_OUT不使用，可以保持开路。

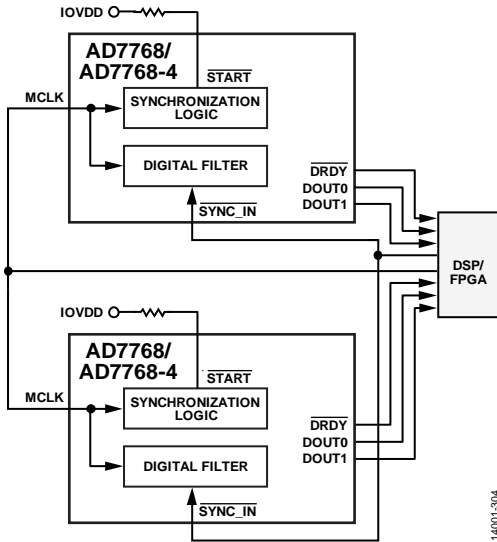


图106. 多个AD7768/AD7768-4器件仅利用同步 SYNC\_IN

## CRC校验和数据接口

作为标准，AD7768/AD7768-4每通道提供32位，其默认由8个状态标头位和24个数据位组成。

标头位默认值参见表33中的描述。不过还有一个选项，即对ADC转换数据进行CRC校验。此功能仅在SPI控制模式下可用。它受接口配置寄存器(寄存器0x07)中的CRC\_SELECT控制。若使用，AD7768/AD7768-4会在内部基于通道计算CRC消息。然后每4个样本或每16个样本，CRC会取代8位标头。

下面是四样本模式下CRC如何工作的示例(参见图107)：

1. 将一个同步脉冲施加于AD7768/AD7768-4之后，CRC寄存器清零为0xFF。
2. 给定通道的后续4个24位转换数据样本(N至N+3)用于CRC计算。
3. 同步脉冲之后输出的前三个样本(N至N+2)的标头包含正常状态位。
4. 对于同步脉冲之后的第四个样本(N+3)，送出的不是正常标头状态位，而是8位CRC，然后是样本转换数据。此CRC计算包括紧接在CRC标头之后输出的转换数据。
5. CRC寄存器随后再次清零为0xFF，对同步脉冲之后的第五个到第八个样本重新开始上述过程。

可以让不同通道以不同速率输出数据(例如，通道0使用32倍抽取，通道1使用64倍抽取)。这种情况下，CRC标头仍是同时出现在所有通道上，也就是同步之后的每第四个DRDY脉冲。对于ODR相对较慢的通道，CRC仍是每4个或16个DRDY周期计算和输出一次，这意味着它会包括空数据。因此，CRC计算是针对空样本或空样本与实际转换数据的组合。

AD7768/AD7768-4使用一个CRC多项式计算CRC消息。所用的8位CRC多项式为 $x^8 + x^2 + x + 1$ 。

要生成校验和，需将数据左移8位，产生一个后8位为1的数值。

对齐多项式，使其MSB与该数据最左侧的逻辑1对齐。对该数据应用一个异或(XOR)函数以产生一个新的、更短的数字。再次对齐多项式，使其MSB与新结果最左侧的逻辑1对齐，重复上述步骤。最后，原始数据将减少至小于多项式的值。此值即是8位校验和。

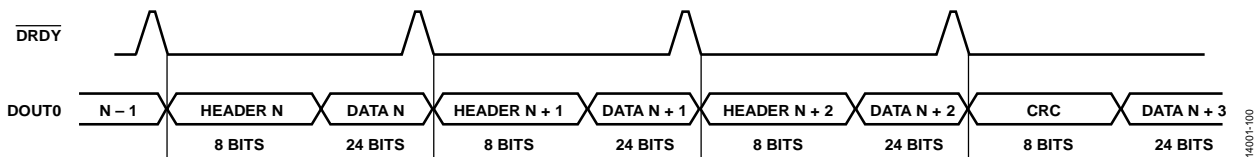


图107. CRC 4位流

表35. 宽带滤波器SYNC\_IN至数据建立

功耗模式	滤波器类型		抽取系数		从SYNC_IN上升沿之后的第一个MCLK上升沿到第一个DRDY上升沿的延迟	从SYNC_IN上升沿之后的第一个MCLK上升沿到最早建立数据DRDY上升沿的延迟		
						MCLK周期		
	群A	群B	群A	群B	群B	群A	群B	
快速	宽带	宽带	32	未用	336	8400	不适用	
	宽带	宽带	64	未用	620	16,748	不适用	
	宽带	宽带	128	未用	1187	33,443	不适用	
	宽带	宽带	256	未用	2325	66,837	不适用	
	宽带	宽带	512	未用	4601	133,625	不适用	
	宽带	宽带	1024	未用	9153	267,201	不适用	
	宽带	宽带	32	32	758	8822	8822	
	宽带	宽带	32	64	758	8822	17,014	
	宽带	宽带	32	128	758	8822	33,526	
	宽带	宽带	32	256	758	8822	66,934	
	宽带	宽带	32	512	758	8822	133,622	
	宽带	宽带	32	1024	758	8822	267,253	
	宽带	宽带	64	32	759	17,015	8823	
	宽带	宽带	128	32	760	33,528	8824	
	宽带	宽带	256	32	762	66,938	8826	
	宽带	宽带	512	32	782	133,646	8846	
	宽带	宽带	1024	32	806	267,302	8870	
	中速	宽带	宽带	32	未用	656	16,784	不适用
		宽带	宽带	64	未用	1225	33,481	不适用
		宽带	宽带	128	未用	2359	66,871	不适用
宽带		宽带	256	未用	4635	133,659	不适用	
宽带		宽带	512	未用	9187	267,235	不适用	
宽带		宽带	1024	未用	18,291	534,387	不适用	
宽带		宽带	32	32	820	16,948	16,948	
宽带		宽带	32	64	820	16,948	33,588	
宽带		宽带	32	128	820	16,948	66,868	
宽带		宽带	32	256	820	16,948	133,684	
宽带		宽带	32	512	820	16,948	267,316	
宽带		宽带	32	1024	820	16,948	534,580	
宽带		宽带	64	32	822	33,590	16,950	
宽带		宽带	128	32	824	66,872	16,952	
宽带		宽带	256	32	844	133,708	16,972	
宽带		宽带	512	32	836	267,332	16,964	
宽带		宽带	1024	32	852	534,612	16,980	
生态		宽带	宽带	32	未用	2587	67,099	不适用
		宽带	宽带	64	未用	4855	133,879	不适用
		宽带	宽带	128	未用	9391	267,439	不适用
	宽带	宽带	256	未用	18,495	534,591	不适用	
	宽带	宽带	512	未用	36,703	1,068,895	不适用	
	宽带	宽带	1024	未用	73,119	2,137,503	不适用	
	宽带	宽带	32	32	2587	67,099	67,099	
	宽带	宽带	32	64	2587	67,099	134,683	
	宽带	宽带	32	128	2587	67,099	267,803	
	宽带	宽带	32	256	2587	67,099	535,067	
	宽带	宽带	32	512	2587	67,099	1,069,595	
	宽带	宽带	32	1024	2587	67,099	2,137,627	
	宽带	宽带	64	32	2587	134,683	67,099	
	宽带	宽带	128	32	2587	267,803	67,099	
	宽带	宽带	256	32	2587	535,067	67,099	
	宽带	宽带	512	32	2587	1,069,595	67,099	
	宽带	宽带	1024	32	2587	2,137,627	67,099	

# AD7768/AD7768-4

表36. Sinc5滤波器SYNC\_IN至数据建立<sup>1</sup>

功耗模式	滤波器类型		抽取系数		从SYNC_IN上升沿之后的第一个MCLK上升沿到第一个DRDY上升沿的延迟	从SYNC_IN上升沿之后的第一个MCLK上升沿到最早建立数据DRDY上升沿的延迟	
	群A	群B	群A	群B	MCLK周期	群A	群B
						MCLK周期	MCLK周期
快速	Sinc5	Sinc5	32	未用	199	839	不适用
	Sinc5	Sinc5	64	未用	327	1607	不适用
	Sinc5	Sinc5	128	未用	583	3143	不适用
	Sinc5	Sinc5	256	未用	1095	6215	不适用
	Sinc5	Sinc5	512	未用	2119	12359	不适用
	Sinc5	Sinc5	1024	未用	4167	24,647	不适用
	Sinc5	Sinc5	32	32	199	839	839
	Sinc5	Sinc5	32	64	199	839	1607
	Sinc5	Sinc5	32	128	199	839	3143
	Sinc5	Sinc5	32	256	199	839	6215
	Sinc5	Sinc5	32	512	199	839	12,359
	Sinc5	Sinc5	32	1024	199	839	24,647
	Sinc5	Sinc5	64	32	199	1607	839
	Sinc5	Sinc5	1024	32	199	24,647	839
中速	Sinc5	Sinc5	32	未用	383	1663	不适用
	Sinc5	Sinc5	64	未用	639	3199	不适用
	Sinc5	Sinc5	128	未用	1151	6271	不适用
	Sinc5	Sinc5	256	未用	2175	12,415	不适用
	Sinc5	Sinc5	512	未用	4223	24,703	不适用
	Sinc5	Sinc5	1024	未用	8319	49,279	不适用
	Sinc5	Sinc5	32	32	383	1663	1663
	Sinc5	Sinc5	32	64	383	1663	3199
	Sinc5	Sinc5	32	128	383	1663	6271
	Sinc5	Sinc5	32	256	398	1663	12,415
	Sinc5	Sinc5	32	512	398	1663	24,703
	Sinc5	Sinc5	32	1024	398	1663	49,279
	Sinc5	Sinc5	64	32	383	3199	1663
	Sinc5	Sinc5	1024	32	398	49,279	1663
生态	Sinc5	Sinc5	32	未用	1487	6607	不适用
	Sinc5	Sinc5	64	未用	2511	12,751	不适用
	Sinc5	Sinc5	128	未用	4559	25,039	不适用
	Sinc5	Sinc5	256	未用	8655	49,615	不适用
	Sinc5	Sinc5	512	未用	16,847	98,767	不适用
	Sinc5	Sinc5	1024	未用	33,231	197,071	不适用
	Sinc5	Sinc5	32	32	1487	6607	6607
	Sinc5	Sinc5	32	64	1487	6607	12,751
	Sinc5	Sinc5	32	128	1487	6607	25,039
	Sinc5	Sinc5	32	256	1487	6607	49,615
	Sinc5	Sinc5	32	512	1487	6607	98,767
	Sinc5	Sinc5	32	1024	1487	6607	197,071
	Sinc5	Sinc5	64	32	1487	12,751	6607
	Sinc5	Sinc5	1024	32	1487	197,071	6607

<sup>1</sup> 此表基于默认内部时钟分频设置：快速模式为MCLK/4，中速模式为MCLK/8，生态模式为MCLK/32。



## 功能

### GPIO功能

以SPI模式工作时，AD7768/AD7768-4具有额外的GPIO功能。这种完全可配置的模式允许器件使用5个GPIO。各GPIOx引脚可以设置为输入或输出(读或写)。

在写入模式下，这些GPIO引脚可用来控制其他电路，如开关、多路复用器、缓冲器等，像通过AD7768/AD7768-4的SPI接口进行控制一样。以这种方式共享SPI接口时，与需要多个控制信号的系统相比，用户可以使用较少的控制器数据线。这种共享在需要减少跨越隔离栅的控制线数量的系统中尤其有用。图108和图109分别详细显示了AD7768和AD7768-4提供的GPIO引脚选项。

类似地，GPIO读取是一个有用的特性，因为它允许外设向输入GPIO发送信息，然后可从AD7768/AD7768-4的SPI接口读取此信息。

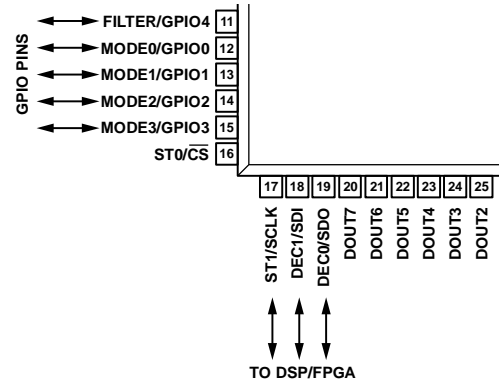


图108. AD7768 GPIO功能

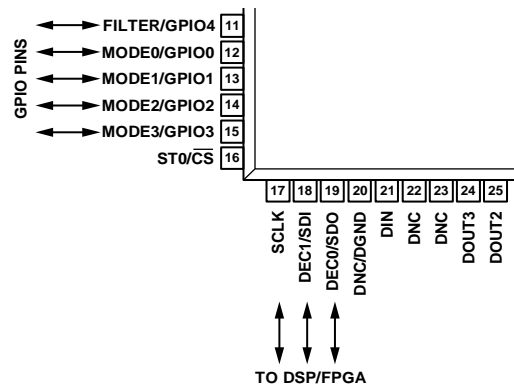


图109. AD7768-4 GPIO功能

GPIOx引脚的配置控制和回读在寄存器0x0E、寄存器0x0F和寄存器0x10中设置(欲了解更多信息，AD7768参见表49、表50和表51，AD7768-4参见表75、表76和表77)。

# AD7768/AD7768-4

## AD7768寄存器映射详解(SPI控制)

### AD7768寄存器映射

关于AD7768-4寄存器映射和寄存器功能，参见表63和“AD7768-4寄存器映射详解(SPI控制)”部分。

表37. AD7768寄存器映射详解

寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x00	通道待机	CH_7	CH_6	CH_5	CH_4	CH_3	CH_2	CH_1	CH_0	0x00	RW
0x01	通道模式A	未用				FILTER_TYPE_A	DEC_RATE_A			0x0D	RW
0x02	通道模式B	未用				FILTER_TYPE_B	DEC_RATE_B			0x0D	RW
0x03	通道模式选择	CH_7_MODE	CH_6_MODE	CH_5_MODE	CH_4_MODE	CH_3_MODE	CH_2_MODE	CH_1_MODE	CH_0_MODE	0x00	RW
0x04	POWER_MODE	SLEEP_MODE	未用	POWER_MODE		LVDS_ENABLE	未用	MCLK_DIV		0x00	RW
0x05	通用配置	未用	保留	RETIME_EN	VCM_PD	保留	未用	VCM_VSEL		0x08	RW
0x06	数据控制	SPI_SYNC	未用		SINGLE_SHOT_EN	未用		SPI_复位		0x80	RW
0x07	接口配置	未用				CRC_SELECT		DCLK_DIV		0x0	RW
0x08	BIST控制	未用							RAM_BIST_START	0x0	RW
0x09	器件状态	未用				CHIP_ERROR	NO_CLOCK_ERROR	RAM_BIST_PASS	RAM_BIST_RUNNING	0x0	R
0x0A	版本ID	REVISION_ID								0x06	R
0x0B	保留	保留								0x00	R
0x0C	保留	保留								0x00	R
0x0D	保留	保留								0x00	R
0x0E	GPIO控制	UGPIO_ENABLE	未用		GPIOE4_FILTER	GPIOE3_MODE3	GPIOE2_MODE2	GPIOE1_MODE1	GPIO0_MODE0	0x00	RW
0x0F	GPIO写入数据	未用			GPIO4_WRITE	GPIO3_WRITE	GPIO2_WRITE	GPIO1_WRITE	GPIO0_WRITE	0x00	RW
0x10	GPIO读取数据	未用			GPIO4_READ	GPIO3_READ	GPIO2_READ	GPIO1_READ	GPIO0_READ	0x00	R
0x11	预充电缓冲器1	CH3_PREBUF_NEG_EN	CH3_PREBUF_POS_EN	CH2_PREBUF_NEG_EN	CH2_PREBUF_POS_EN	CH1_PREBUF_NEG_EN	CH1_PREBUF_POS_EN	CH0_PREBUF_NEG_EN	CH0_PREBUF_POS_EN	0xFF	RW
0x12	预充电缓冲器2	CH7_PREBUF_NEG_EN	CH7_PREBUF_POS_EN	CH6_PREBUF_NEG_EN	CH6_PREBUF_POS_EN	CH5_PREBUF_NEG_EN	CH5_PREBUF_POS_EN	CH4_PREBUF_NEG_EN	CH4_PREBUF_POS_EN	0xFF	RW
0x13	正基准预充电缓冲器	CH7_REFP_BUF	CH6_REFP_BUF	CH5_REFP_BUF	CH4_REFP_BUF	CH3_REFP_BUF	CH2_REFP_BUF	CH1_REFP_BUF	CH0_REFP_BUF	0x00	RW
0x14	负基准预充电缓冲器	CH7_REFN_BUF	CH6_REFN_BUF	CH5_REFN_BUF	CH4_REFN_BUF	CH3_REFN_BUF	CH2_REFN_BUF	CH1_REFN_BUF	CH0_REFN_BUF	0x00	RW
0x1E	通道0失调	CH0_OFFSET_MSB								0x00	RW
0x1F		CH0_OFFSET_MID									
0x20		CH0_OFFSET_LSB									
0x21	通道1失调	CH1_OFFSET_MSB								0x00	RW
0x22		CH1_OFFSET_MID									
0x23		CH1_OFFSET_LSB									
0x24	通道2失调	CH2_OFFSET_MSB								0x00	RW
0x25		CH2_OFFSET_MID									
0x26		CH2_OFFSET_LSB									
0x27	通道3失调	CH3_OFFSET_MSB								0x00	RW
0x28		CH3_OFFSET_MID									
0x29		CH3_OFFSET_LSB									
0x2A	通道4失调	CH4_OFFSET_MSB								0x00	RW
0x2B		CH4_OFFSET_MID									
0x2C		CH4_OFFSET_LSB									
0x2D	通道5失调	CH5_OFFSET_MSB								0x00	RW
0x2E		CH5_OFFSET_MID									
0x2F		CH5_OFFSET_LSB									
0x30	通道6失调	CH6_OFFSET_MSB								0x00	RW
0x31		CH6_OFFSET_MID									
0x32		CH6_OFFSET_LSB									
0x33	通道7失调	CH7_OFFSET_MSB								0x00	RW
0x34		CH7_OFFSET_MID									
0x35		CH7_OFFSET_LSB									

# AD7768/AD7768-4

寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW	
0x36	通道0增益	CH0_GAIN_MSB								0xXX	RW	
0x37		CH0_GAIN_MID										
0x38		CH0_GAIN_LSB										
0x39	通道1增益	CH1_GAIN_MSB								0xXX	RW	
0x3A		CH1_GAIN_MID										
0x3B		CH1_GAIN_LSB										
0x3C	通道2增益	CH2_GAIN_MSB								0xXX	RW	
0x3D		CH2_GAIN_MID										
0x3E		CH2_GAIN_LSB										
0x3F	通道3增益	CH3_GAIN_MSB								0xXX	RW	
0x40		CH3_GAIN_MID										
0x41		CH3_GAIN_LSB										
0x42	通道4增益	CH4_GAIN_MSB								0xXX	RW	
0x43		CH4_GAIN_MID										
0x44		CH4_GAIN_LSB										
0x45	通道5增益	CH5_GAIN_MSB								0xXX	RW	
0x46		CH5_GAIN_MID										
0x47		CH5_GAIN_LSB										
0x48	通道6增益	CH6_GAIN_MSB								0xXX	RW	
0x49		CH6_GAIN_MID										
0x4A		CH6_GAIN_LSB										
0x4B	通道7增益	CH7_GAIN_MSB								0xXX	RW	
0x4C		CH7_GAIN_MID										
0x4D		CH7_GAIN_LSB										
0x4E	通道0同步失调	CH0_SYNC_OFFSET								0x00	RW	
0x4F	通道1同步失调	CH1_SYNC_OFFSET								0x00	RW	
0x50	通道2同步失调	CH2_SYNC_OFFSET								0x00	RW	
0x51	通道3同步失调	CH3_SYNC_OFFSET								0x00	RW	
0x52	通道4同步失调	CH4_SYNC_OFFSET								0x00	RW	
0x53	通道5同步失调	CH5_SYNC_OFFSET								0x00	RW	
0x54	通道6同步失调	CH6_SYNC_OFFSET								0x00	RW	
0x55	通道7同步失调	CH7_SYNC_OFFSET								0x00	RW	
0x56	诊断接收器 (Rx)	CH7_RX	CH6_RX	CH5_RX	CH4_RX	CH3_RX	CH2_RX	CH1_RX	CH0_RX	0x00	RW	
0x57	诊断复用控制	未用	GRP_B_SEL			未用	GRP_A_SEL			0x00	RW	
0x58	调制器延迟控制	未用				CLK_MOD_DEL_EN		保留			0x02	RW
0x59	Chop	未用				GRPA_CHOP		GRPB_CHOP			0x0A	RW

# AD7768/AD7768-4

## 通道待机寄存器

地址：0x00；复位：0x00；名称：通道待机

通过设置通道待机寄存器中的相应位，可将每个ADC通道独立置于待机模式。当一个通道处于待机模式时，其在数据输出流中的位置会被保留。8位标头为全0，转换结果输出也是24个0。

VCM电压输出与通道0电路相关联。若通道0处于待机模式，VCM电压输出也会禁用，以便最大程度地节省功耗。当VCM用于AD7768外部时，必须使能通道0。

晶振激励电路与通道4电路相关联。若通道4处于待机模式，该晶振电路也会禁用，以便最大程度地节省功耗。当AD7768使用外部晶振时，必须使能通道4。

表38. 通道待机寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
7	CH_7	0 1	通道7 使能 待机	0x0	RW
6	CH_6	0 1	通道6 使能 待机	0x0	RW
5	CH_5	0 1	通道5 使能 待机	0x0	RW
4	CH_4	0 1	通道4 使能 待机	0x0	RW
3	CH_3	0 1	通道3 使能 待机	0x0	RW
2	CH_2	0 1	通道2 使能 待机	0x0	RW
1	CH_1	0 1	通道1 使能 待机	0x0	RW
0	CH_0	0 1	通道0 使能 待机	0x0	RW

## 通道模式A寄存器

地址：0x01；复位：0x0D；名称：通道模式A

AD7768 ADC有两个模式选项。通道模式由通道模式A和通道模式B寄存器的内容定义。然后，每种模式根据需要映射到所需的ADC通道。通道模式A和通道模式B允许选择不同滤波器类型和抽取率并映射到任意ADC通道。

选择不同的抽取率时，AD7768以所选的最快抽取率输出一个数据就绪信号。任意以较慢输出数据速率运行的通道仅以该较慢速率更新。在有效结果数据之间，该通道的数据设为0，标头状态位中的重复数据位置1，以区别于真实转换结果(参见“ADC转换输出：标头和数据”部分)。

表39. 通道模式A寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
3	FILTER_TYPE_A	0 1	滤波器选择 宽带滤波器 Sinc5滤波器	0x1	RW
[2:0]	DEC_RATE_A	000 001 010 011 100 101 110 111	抽取率选择 ×32 ×64 ×128 ×256 ×512 ×1024 ×1024 ×1024	0x5	RW

**通道模式B寄存器**

地址: 0x02; 复位: 0x0D; 名称: 通道模式B

表40. 通道模式B寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
3	FILTER_TYPE_B	0 1	滤波器选择 宽带滤波器 Sinc5滤波器	0x1	RW
[2:0]	DEC_RATE_B	000 001 010 011 100 101 110 111	抽取率选择 ×32 ×64 ×128 ×256 ×512 ×1024 ×1024 ×1024	0x5	RW

**通道模式选择寄存器**

地址: 0x03; 复位: 0x00; 名称: 通道模式选择

此寄存器选择各ADC通道映射到通道模式A还是通道模式B。

表41. 通道模式选择寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
7	CH_7_MODE	0 1	通道7 模式A 模式B	0x0	RW
6	CH_6_MODE	0 1	通道6 模式A 模式B	0x0	RW
5	CH_5_MODE	0 1	通道5 模式A 模式B	0x0	RW
4	CH_4_MODE	0 1	通道4 模式A 模式B	0x0	RW
3	CH_3_MODE	0 1	通道3 模式A 模式B	0x0	RW

# AD7768/AD7768-4

位	位名称	设置	描述	复位	访问类型
2	CH_2_MODE	0 1	通道2 模式A 模式B	0x0	RW
1	CH_1_MODE	0 1	通道1 模式A 模式B	0x0	RW
0	CH_0_MODE	0 1	通道0 模式A 模式B	0x0	RW

## 功耗模式选择寄存器

地址：0x04；复位：0x00；名称：POWER\_MODE

表42. POWER\_MODE的位功能描述

位	位名称	设置	描述	复位	访问类型
7	SLEEP_MODE	0 1	在睡眠模式下，许多数字时钟被禁用，所有ADC都被禁用。不禁用模拟LDO。 AD7768 SPI仍然有效，可供用户使用。写入此位会使AD7768退出睡眠模式。 正常工作。 睡眠模式。	0x0	RW
[5:4]	POWER_MODE	00 10 11	功耗模式。功耗模式位控制AD7768上所有ADC使用的偏置电流的功耗模式设置。用户可以根据应用需要选择电流消耗目标。当映射到正确的MCLK分频设置时，快速、中速和生态功耗模式可提供最佳性能。这些功耗模式位不控制ADC的MCLK分频。关于MCLK输入的分频控制，参见MCLK_DIV位。 生态模式。 中速模式。 快速模式。	0x0	RW
3	LVDS_ENABLE	0 1	LVDS时钟。 禁用LVDS输入时钟。 使能LVDS输入时钟。	0x0	RW
[1:0]	MCLK_DIV	00 10 11	MCLK分频。MCLK分频位控制施加于AD7768输入的MCLK与各ADC调制器使用的时钟之间的分频比。合适的分频比取决于以下因素：功耗模式、抽取率和系统提供的基本MCLK。有关正确设置MCLK_DIV的更多信息，参见“时钟、采样树和功耗调节”部分。 MCLK/32：基本MCLK为32.768 MHz，生态模式设置为MCLK/32。 MCLK/8：基本MCLK为32.768 MHz，中速模式设置为MCLK/8。 MCLK/4：基本MCLK为32.768 MHz，快速模式设置为MCLK/4。	0x0	RW

## 通用器件配置寄存器

地址：0x05；复位：0x08；名称：通用配置

表43. 通用配置寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
5	RETIME_EN	0 1	SYNC_OUT 信号重定时使能位。 禁用： $\overline{\text{SYNC\_OUT}}$ 正常时序。 使能： $\overline{\text{SYNC\_OUT}}$ 信号从交替MCLK边沿获得。	0x0	RW



位	位名称	设置	描述	复位	访问类型
4	VCM_PD	0 1	VCM缓冲器掉电。 使能：VCM缓冲器正常工作。 掉电：VCM缓冲器掉电。	0x0	RW
[1:0]	VCM_VSEL	00 01 10 11	VCM电压。这些位选择VCM引脚的输出电压。此电压从AVDD1电源获得，可输出为AVDD1电压的一半或其他固定电压(相对于AVSS)。VCM电压输出与通道0电路相关联。若通道0处于待机模式，VCM电压输出也会禁用，以便最大程度地节省功耗。当VCM用于AD7768外部时，必须使能通道0。 (AVDD1 – AVSS)/2 V。 1.65 V。 2.5 V。 2.14 V。	0x0	RW

### 数据控制：软件复位、同步和单次控制寄存器

地址：0x06；复位：0x80；名称：数据控制

表44. 数据控制寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
7	SPI_SYNC	0 1	AD7768的软件同步。此命令与向START引脚发送信号脉冲的效果相同。为了使用SPI_SYNC，用户必须两次写入此位。首先写入0，使SPI_SYNC变为低电平，再写入1，将SPI_SYNC再次设置为逻辑高电平。在SCLK最后一个上升沿之后识别SPI指令中的SPI_SYNC命令，其中SPI_SYNC位从低电平变为高电平。SPI_SYNC命令随后通过SYNC_OUT引脚输出，其与AD7768 MCLK同步。用户必须将SYNC_OUT信号连接到PCB上的SYNC_IN引脚。SYNC_OUT引脚也可以连接到其他AD7768器件的SYNC_IN引脚，以支持较大通道数的同步采样系统。若SYNC_IN引脚上有同步脉冲，AD7768的数字滤波器将复位。必须等到滤波器完全建立之后，数据接口才能输出数据。在由AD7768器件组成的菊花链系统中，必须连续施加两个同步脉冲以保证所有器件同步。在包含一个以上AD7768器件的系统中，若这些器件共享一个MCLK信号，且仅使用一个器件的DRDY引脚来检测新数据，则也需要两个同步脉冲。 变为SPI_SYNC低电平。 变为SPI_SYNC高电平。	0x1	RW
4	SINGLE_SHOT_EN	0 1	单次模式。使能单次模式。在单次模式下，AD7768响应SYNC_IN上升沿而输出一个转换结果。 禁用。 使能。	0x0	RW
[1:0]	SPI_RESET	00 01 10 11	软复位。这些位用于使器件通过SPI端口完全复位。要产生复位，必须按正确顺序接收到两个连续命令：首先将0x03写入软复位寄存器，然后将0x02写入软复位寄存器。该序列导致数字内核复位，所有寄存器回到默认值。软复位之后，若SPI主机向AD7768发送命令，它将在下一帧响应该命令，输出0x0E00。 不起作用。 不起作用。 第二复位命令。 第一复位命令。	0x0	RW

# AD7768/AD7768-4

## 接口配置寄存器

地址: 0x07; 复位: 0x0; 名称: 接口配置

表45. 接口配置寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
[3:2]	CRC_SELECT	00 01 10 11	CRC选择。利用这些位，用户可以在数据接口上实现CRC。选定后，根据所选的CRC选项，CRC替换每第4个或第16个输出样本的标头。CRC有两个选项，二者使用同一多项式： $x^8 + x^2 + x + 1$ 。用户可以选择相对较少地执行CRC，即每第16个样本执行一次，以降低CRC计算的占空比，或者选择相对较多地执行CRC，即每第4个样本执行一次。CRC基于各通道来计算，仅包括转换数据。 无CRC。每次转换都有状态位。 每4个样本用CRC消息替代标头。 每16个样本用CRC消息替代标头。 每16个样本用CRC消息替代标头。	0x0	RW
[1:0]	DCLK_DIV	00 01 10 11	DCLK分频比。这些位控制用于通过DOUTx引脚输出转换数据的DCLK时钟分频比。DCLK信号从施加于AD7768的MCLK获得。利用DCLK分频模式，用户可以优化DCLK输出以适合应用。根据应用优化DCLK取决于用户要求。当AD7768在最少DOUTx引脚上使用最高容量输出时，例如抽取率为32，使用DOUT0和DOUT1引脚，则DCLK必须等于MCLK。这种情况下，只有选择无分频设置，用户才能在转换期间内输出所有数据。但在其他情况下，ADC可能以快速模式和高抽取率运行，或以中速、生态模式运行，DCLK不需要像MCLK那样快。此类情况下，利用DCLK分频可以降低时钟速度，使得信号路由和隔离更简单。 8分频。 4分频。 2分频。 无分频。	0x0	RW

## 数字滤波器RAM内置自测(BIST)寄存器

地址: 0x08; 复位: 0x0; 名称: BIST控制

表46. BIST控制寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
0	RAM_BIST_START	0 1	RAM BIST。滤波器RAM BIST是内部RAM的内置自测功能。运行此测试时，正常ADC转换会中断。完成此测试后，要恢复正常ADC操作，需要一个同步脉冲。该测试可以根据用户选择的间隔时间不时执行。RAM BIST的状态和结果由器件状态寄存器提供；参见表47中的RAM_BIST_PASS和RAM_BIST_RUNNING位。 关。 开始RAM BIST。	0x0	RW

**状态寄存器**

地址：0x09；复位：0x0；名称：器件状态

表47. 器件状态寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
3	CHIP_ERROR	0 1	芯片错误。芯片错误位是一个全局错误标志，在各ADC转换输出的状态字节中输出。下列位会引起芯片错误位变为逻辑高电平：上电后对内部硬编码设置的CRC校验未通过；对内部存储器的XOR检查未通过(此检查在后台连续运行)；上电时检测到时钟错误。 0 无错误。 1 错误已发生。	0x0	R
2	NO_CLOCK_ERROR	0 1	外部时钟检查。此位指示是否正确检测到外部施加的MCLK。如果上电时未将MCLK正确施加于ADC，此位会置1，DCLK频率约为16 MHz。如果此位置1，数据输出标头的状态位中的芯片错误位就会变为逻辑高电平，而且无论施加于ADC通道的模拟输入电压是多少，转换结果输出都是全0。 0 检测到MCLK。 1 未检测到MCLK。	0x0	R
1	RAM_BIST_PASS	0 1	BIST通过/失败。RAM BIST结果状态。此位指示最近RAM BIST的结果。结果锁存到此寄存器，只能通过器件复位清零。 0 BIST失败或未运行。 1 BIST通过。	0x0	R
0	RAM_BIST_RUNNING	0 1	BIST状态。通过回读此位的值，用户可了解BIST测试是否完成。 0 BIST未运行。 1 BIST未运行。	0x0	R

**版本标识寄存器**

地址：0x0A；复位：0x06；名称：版本ID

表48. 版本ID寄存器的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	REVISION_ID	ASIC版本。版本信息的8位ID。	0x06	R

**GPIO控制寄存器**

地址：0x0E；复位：0x00；名称：GPIO控制

表49. GPIO控制寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
7	UGPIO_ENABLE	0 1	用户GPIO使能。GPIOx引脚是双功能引脚，只能在SPI控制模式下使用。默认情况下，当AD7768以SPI控制模式上电时，GPIOx引脚禁用。此位是所有GPIOx输入/输出的通用使能/禁用位。各通用引脚的方向由此寄存器的位[4:0]决定。 0 GPIO禁用。 1 GPIO使能。	0x0	RW
4	GPIOE4_FILTER	0 1	GPIO4方向。此位指定GPIO4的方向，即用作输入还是输出。对于SPI控制，GPIO4映射到引脚11，即FILTER/GPIO4引脚。 0 输入。 1 输出。	0x0	RW

# AD7768/AD7768-4

位	位名称	设置	描述	复位	访问类型
3	GPIOE3_MODE3	0 1	GPIO3方向。此位指定GPIO3的方向，即用作输入还是输出。对于SPI控制，GPIO3映射到引脚15，即MODE3/GPIO3引脚。 输入。 输出。	0x0	RW
2	GPIOE2_MODE2	0 1	GPIO2方向。此位指定GPIO2的方向，即用作输入还是输出。对于SPI控制，GPIO2映射到引脚14，即MODE2/GPIO2引脚。 输入。 输出。	0x0	RW
1	GPIOE1_MODE1	0 1	GPIO1方向。此位指定GPIO1的方向，即用作输入还是输出。对于SPI控制，GPIO1映射到引脚13，即MODE1/GPIO1引脚。 输入。 输出。	0x0	RW
0	GPIO0_MODE0	0 1	GPIO0方向。此位指定GPIO0的方向，即用作输入还是输出。对于SPI控制，GPIO0映射到引脚12，即MODE0/GPIO0引脚。 输入。 输出。	0x0	RW

## GPIO写入数据寄存器

地址：0x0F；复位：0x00；名称：GPIO写入数据

当通用引脚用作通用输出时，此寄存器写入要通过各通用输出引脚设置的值。位[4:0]中的各位直接映射到GPIOx引脚。

表50. GPIO写入数据寄存器的位功能描述

位	位名称	描述	复位	访问类型
4	GPIO4_WRITE	GPIO4/FILTER	0x0	RW
3	GPIO3_WRITE	GPIO3/MODE3	0x0	RW
2	GPIO2_WRITE	GPIO2/MODE2	0x0	RW
1	GPIO1_WRITE	GPIO1/MODE1	0x0	RW
0	GPIO0_WRITE	GPIO0/MODE0	0x0	RW

## GPIO读取数据寄存器

地址：0x10；复位：0x00；名称：GPIO读取数据

当通用引脚用作通用输入时，此寄存器回读各通用输入引脚的逻辑输入电平值。位[4:0]中的各位直接映射到GPIO0至GPIO4引脚。

表51. GPIO读取数据寄存器的位功能描述

位	位名称	描述	复位	访问类型
4	GPIO4_READ	GPIO4/FILTER	0x0	R
3	GPIO3_READ	GPIO3/MODE3	0x0	R
2	GPIO2_READ	GPIO2/MODE2	0x0	R
1	GPIO1_READ	GPIO1/MODE1	0x0	R
0	GPIO0_READ	GPIO0/MODE0	0x00	R

## 模拟输入预充电缓冲器使能寄存器通道0至通道3

地址：0x11；复位：0xFF；名称：预充电缓冲器1

此寄存器用于开启或关闭模拟输入上的预充电缓冲器。写入这些寄存器时，用户必须写入所需位设置的逆值。例如，要清除此寄存器的位7，用户必须将0x01写入寄存器。这将使位7清0，所有其他位置1。如果用户写入0x01后再读取寄存器，读取的数据将是所需的0xFE。

表52. 预充电缓冲器1寄存器的位功能描述

位	位名称	设置	描述	复位
7	CH3_PREBUF_NEG_EN	0 1	关 开	0x1

位	位名称	设置	描述	复位
6	CH3_PREBUF_POS_EN	0	关	0x1
		1	开	
5	CH2_PREBUF_NEG_EN	0	关	0x1
		1	开	
4	CH2_PREBUF_POS_EN	0	关	0x1
		1	开	
3	CH1_PREBUF_NEG_EN	0	关	0x1
		1	开	
2	CH1_PREBUF_POS_EN	0	关	0x1
		1	开	
1	CH0_PREBUF_NEG_EN	0	关	0x1
		1	开	
0	CH0_PREBUF_POS_EN	0	关	0x1
		1	开	

### 模拟输入预充电缓冲器使能寄存器通道4至通道7

地址：0x12；复位：0xFF；名称：预充电缓冲器2

此寄存器用于开启或关闭模拟输入上的预充电缓冲器。写入这些寄存器时，用户必须写入所需位设置的逆值。例如，要清除此寄存器的位7，用户必须将0x01写入寄存器。这将使位7清0，所有其他位置1。如果用户写入0x01后再读取寄存器，读取的数据将是所需的0xFE。

表53. 预充电缓冲器2寄存器的位功能描述

位	位名称	设置	描述	复位
7	CH7_PREBUF_NEG_EN	0	关	0x1
		1	开	
6	CH7_PREBUF_POS_EN	0	关	0x1
		1	开	
5	CH6_PREBUF_NEG_EN	0	关	0x1
		1	开	
4	CH6_PREBUF_POS_EN	0	关	0x1
		1	开	
3	CH5_PREBUF_NEG_EN	0	关	0x1
		1	开	
2	CH5_PREBUF_POS_EN	0	关	0x1
		1	开	
1	CH4_PREBUF_NEG_EN	0	关	0x1
		1	开	
0	CH4_PREBUF_POS_EN	0	关	0x1
		1	开	

### 正基准预充电缓冲器使能寄存器

地址：0x13；复位：0x00；名称：正基准预充电缓冲器

此寄存器用于开启或关闭从通道0到通道7的各ADC基准正输入上的预充电缓冲器。

表54. 正基准预充电缓冲器寄存器的位功能描述

位	位名称	设置	描述	复位
7	CH7_REFP_BUF	0	关	0x0
		1	开	
6	CH6_REFP_BUF	0	关	0x0
		1	开	
5	CH5_REFP_BUF	0	关	0x0
		1	开	

# AD7768/AD7768-4

位	位名称	设置	描述	复位
4	CH4_REFP_BUF	0	关	0x0
		1	开	
3	CH3_REFP_BUF	0	关	0x0
		1	开	
2	CH2_REFP_BUF	0	关	0x0
		1	开	
1	CH1_REFP_BUF	0	关	0x0
		1	开	
0	CH0_REFP_BUF	0	关	0x0
		1	开	

## 负基准预充电缓冲器使能寄存器

地址: 0x14; 复位: 0x00; 名称: 负基准预充电缓冲器

此寄存器用于开启或关闭从通道0到通道7的各ADC基准负输入上的预充电缓冲器。

表55.负基准预充电缓冲器寄存器的位功能描述

位	位名称	设置	描述	复位
7	CH7_REFN_BUF	0	关	0x0
		1	开	
6	CH6_REFN_BUF	0	关	0x0
		1	开	
5	CH5_REFN_BUF	0	关	0x0
		1	开	
4	CH4_REFN_BUF	0	关	0x0
		1	开	
3	CH3_REFN_BUF	0	关	0x0
		1	开	
2	CH2_REFN_BUF	0	关	0x0
		1	开	
1	CH1_REFN_BUF	0	关	0x0
		1	开	
0	CH0_REFN_BUF	0	关	0x0
		1	开	

## 失调寄存器

CHx\_OFFSET\_MSB、CHx\_OFFSET\_MID和CHx\_OFFSET\_LSB寄存器是用于通道失调调整的24位带符号二进制补码寄存器。

如果通道增益设置位于理想标称值0x555555, 则失调寄存器调整的LSB将使数字输出改变-4/3 LSB。例如, 失调寄存器从0变为100时, 数字输出改变-133 LSB。失调调整先于增益调整, 4/3的比例随着增益调整(通过CHx\_GAIN\_x寄存器)而线性改变。复位或周期供电之后, 寄存器值回到默认出厂设置。

表56.每通道24位失调寄存器, 各通道对应三个8位寄存器, 分为MSB、MID和LSB

地址			名称	描述	复位			访问类型
MSB	Mid	LSB			MSB	Mid	LSB	
0x1E	0x1F	0x20	通道0失调	通道0失调寄存器: 高、中、低字节(总共24位)	0x00	0x00	0x00	RW
0x21	0x22	0x23	通道1失调	通道1失调寄存器: 高、中、低字节(总共24位)	0x00	0x00	0x00	RW
0x24	0x25	0x26	通道2失调	通道2失调寄存器: 高、中、低字节(总共24位)	0x00	0x00	0x00	RW
0x27	0x28	0x29	通道3失调	通道3失调寄存器: 高、中、低字节(总共24位)	0x00	0x00	0x00	RW
0x2A	0x2B	0x2C	通道4失调	通道4失调寄存器: 高、中、低字节(总共24位)	0x00	0x00	0x00	RW
0x2D	0x2E	0x2F	通道5失调	通道5失调寄存器: 高、中、低字节(总共24位)	0x00	0x00	0x00	RW
0x30	0x31	0x32	通道6失调	通道6失调寄存器: 高、中、低字节(总共24位)	0x00	0x00	0x00	RW
0x33	0x34	0x35	通道7失调	通道7失调寄存器: 高、中、低字节(总共24位)	0x00	0x00	0x00	RW



## 增益寄存器

各ADC通道都有相关联的增益系数。系数存储在三个单字节寄存器中，分别是MSB、MID和LSB。每个增益寄存器都有出厂设置值。一般来说，此增益值约为0x555555(对于一个ADC通道)。用户可以覆盖增益寄存器设置，但在复位或周期供电之后，增益寄存器值会回到硬编码的出厂设置。

**表57. 每通道24位增益寄存器，各通道对应三个8位寄存器，分为MSB、MID和LSB**

地址			名称	描述	复位			访问类型
MSB	Mid	LSB			MSB	Mid	LSB	
0x36	0x37	0x38	通道0增益	通道0增益寄存器：高、中、低字节(总共24位)	0xXX	0xXX	0xXX	RW
0x39	0x3A	0x3B	通道1增益	通道1增益寄存器：高、中、低字节(总共24位)	0xXX	0xXX	0xXX	RW
0x3C	0x3D	0x3E	通道2增益	通道2增益寄存器：高、中、低字节(总共24位)	0xXX	0xXX	0xXX	RW
0x3F	0x40	0x41	通道3增益	通道3增益寄存器：高、中、低字节(总共24位)	0xXX	0xXX	0xXX	RW
0x42	0x43	0x44	通道4增益	通道4增益寄存器：高、中、低字节(总共24位)	0xXX	0xXX	0xXX	RW
0x45	0x46	0x47	通道5增益	通道5增益寄存器：高、中、低字节(总共24位)	0xXX	0xXX	0xXX	RW
0x48	0x49	0x4A	通道6增益	通道6增益寄存器：高、中、低字节(总共24位)	0xXX	0xXX	0xXX	RW
0x4B	0x4C	0x4D	通道7增益	通道7增益寄存器：高、中、低字节(总共24位)	0xXX	0xXX	0xXX	RW

## 同步相位失调寄存器

AD7768的所有通道共用一个同步信号。同步相位失调寄存器允许用户相对于SYNC\_IN引脚上接收的同步边沿，改变各通道的相位延迟。有关使用此功能的详细信息，参见“同步相位失调调整”部分。

**表58. 每通道8位同步相位失调寄存器**

地址	名称	描述	复位	访问类型
0x4E	通道0同步失调	通道0同步相位失调寄存器	0x00	RW
0x4F	通道1同步失调	通道1同步相位失调寄存器	0x00	RW
0x50	通道2同步失调	通道2同步相位失调寄存器	0x00	RW
0x51	通道3同步失调	通道3同步相位失调寄存器	0x00	RW
0x52	通道4同步失调	通道4同步相位失调寄存器	0x00	RW
0x53	通道5同步失调	通道5同步相位失调寄存器	0x00	RW
0x54	通道6同步失调	通道6同步相位失调寄存器	0x00	RW
0x55	通道7同步失调	通道7同步相位失调寄存器	0x00	RW

## ADC诊断接收选择寄存器

地址：0x56；复位：0x00；名称：诊断Rx

AD7768 ADC诊断允许用户选择零电平、正满量程或负满量程的ADC输入进行转换，从而验证ADC通道是否正常工作。此寄存器用于使能该诊断功能。使能各通道的接收(Rx)功能，并将此寄存器中的各位置1。

ADC诊断特性依赖于模拟输入预充电缓冲器的某些特性。用户必须确保使能所选通道的模拟输入预充电缓冲器，以便在内部接收诊断电压。

**表59. 诊断Rx寄存器的位功能描述**

位	位名称	设置	描述	复位	访问类型
7	CH7_RX	0	未使用	0x0	RW
		1	接收		
6	CH6_RX	0	未使用	0x0	RW
		1	接收		
5	CH5_RX	0	未使用	0x0	RW
		1	接收		

# AD7768/AD7768-4

位	位名称	设置	描述	复位	访问类型
4	CH4_RX	0 1	通道4 未使用 接收	0x0	RW
3	CH3_RX	0 1	通道3 未使用 接收	0x0	RW
2	CH2_RX	0 1	通道2 未使用 接收	0x0	RW
1	CH1_RX	0 1	通道1 未使用 接收	0x0	RW
0	CH0_RX	0 1	通道0 未使用 接收	0x0	RW

## ADC诊断控制寄存器

地址：0x57；复位：0x00；名称：诊断复用控制

AD7768 ADC诊断允许用户选择零电平、正满量程或负满量程的ADC输入进行转换，从而验证ADC通道是否正常工作。此寄存器控制施加于各ADC通道的诊断电压。用户有三个输入电压可选。根据通道所属的模式(模式A或模式B，由通道模式选择寄存器0x03设置)，所选电压映射到相应的通道。

将ADC诊断接收选择寄存器中的位[7:0]置1，然后分别通过位[2:0]和位[6:4]，选择模式A通道和模式B通道所需的电压检查。

位	位名称	设置	描述	复位	访问类型
[6:4]	GRPB_SEL	000 011 100 101	多路复用器B。 关。 正满量程ADC检查。将一个接近正满量程的电压内部施加于ADC通道。 负满量程ADC检查。将一个接近负满量程的电压内部施加于ADC通道。 零电平ADC检查。将一个接近0V的电压内部施加于ADC通道。	0x0	RW
[2:0]	GRPA_SEL	000 011 100 101	多路复用器A。 关。 正满量程ADC检查。将一个接近正满量程的电压内部施加于ADC通道。 负满量程ADC检查。将一个接近负满量程的电压内部施加于ADC通道。 零电平ADC检查。将一个接近0V的电压内部施加于ADC通道。	0x0	RW

**调制器延迟控制寄存器**

地址：0x58；复位：0x02；名称：调制器延迟控制

表61.调制器延迟控制寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
[3:2]	CLK_MOD_DEL_EN	00 01 10 11	使能延迟调制器时钟。 禁用所有通道的延迟时钟。 仅使能AD7768通道0至通道3的延迟时钟。 仅使能AD7768通道4至通道7的延迟时钟。 使能所有通道的延迟时钟。	0x0	RW
[1:0]	保留	10	不是用户选项。必须设置为0x2。	0x2	RW

**斩波控制寄存器**

地址：0x59；复位：0x0A；名称：斩波控制

表62.斩波控制寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
[3:2]	GRPA_CHOP	01 10	群A斩波 $f_{MOD}/8$ 斩波 $f_{MOD}/32$ 斩波	0x2	RW
[1:0]	GRPB_CHOP	01 10	群B斩波 $f_{MOD}/8$ 斩波 $f_{MOD}/32$ 斩波	0x2	RW

# AD7768/AD7768-4

## AD7768-4寄存器映射详解(SPI控制)

### AD7768-4寄存器映射

表63.AD7768-4寄存器映射详解

寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW	
0x00	通道待机			未用		CH_3	CH_2	CH_1	CH_0	0x00	RW	
0x01	通道模式A			未用		FILTER_TYPE_A		DEC_RATE_A		0x0D	RW	
0x02	通道模式B			未用		FILTER_TYPE_B		DEC_RATE_B		0x0D	RW	
0x03	通道模式选择	保留		CH_3_MODE	CH_2_MODE	保留		CH_1_MODE	CH_0_MODE	0x00	RW	
0x04	POWER_MODE	SLEEP_MODE	未用	POWER_MODE		LVDS_ENABLE	未用	MCLK_DIV		0x00	RW	
0x05	通用配置	未用	保留	RETIME_EN	VCM_PD	保留	未用	VCM_VSEL		0x08	RW	
0x06	数据控制	SPI_SYNC		未用	SINGLE_SHOT_EN		未用	SPI_RESET		0x80	RW	
0x07	接口配置			未用		CRC_SELECT		DCLK_DIV		0x0	RW	
0x08	BIST控制			未用					RAM_BIST_START	0x0	RW	
0x09	器件状态			未用		CHIP_ERROR	NO_CLOCK_ERROR	RAM_BIST_PASS	RAM_BIST_RUNNING	0x0	R	
0x0A	版本ID	REVISION_ID									0x06	R
0x0B	保留	保留									0x00	R
0x0C	保留	保留									0x00	R
0x0D	保留	保留									0x00	R
0x0E	GPIO控制	UGPIO_ENABLE		未用	GPIOE4_FILTER	GPIOE3_MODE3	GPIOE2_MODE2	GPIOE1_MODE1	GPIO0_MODE0	0x00	RW	
0x0F	GPIO写入数据		未用		GPIO4_WRITE	GPIO3_WRITE	GPIO2_WRITE	GPIO1_WRITE	GPIO0_WRITE	0x00	RW	
0x10	GPIO读取数据		未用		GPIO4_READ	GPIO3_READ	GPIO2_READ	GPIO1_READ	GPIO0_READ	0x00	R	
0x11	预充电缓冲器1		保留			CH1_PREBUF_NEG_EN	CH1_PREBUF_POS_EN	CH0_PREBUF_NEG_EN	CH0_PREBUF_POS_EN	0xFF	RW	
0x12	预充电缓冲器2		保留			CH3_PREBUF_NEG_EN	CH3_PREBUF_POS_EN	CH2_PREBUF_NEG_EN	CH2_PREBUF_POS_EN	0xFF	RW	
0x13	正基准预充电缓冲器	保留		CH3_REFP_BUF	CH2_REFP_BUF	保留		CH1_REFP_BUF	CH0_REFP_BUF	0x00	RW	
0x14	负基准预充电缓冲器	保留		CH3_REFN_BUF	CH2_REFN_BUF	保留		CH1_REFN_BUF	CH0_REFN_BUF	0x00	RW	
0x1E	通道0失调	CH0_OFFSET_MSB									0x00	RW
0x1F		CH0_OFFSET_MID										
0x20		CH0_OFFSET_LSB										
0x21	通道1失调	CH1_OFFSET_MSB									0x00	RW
0x22		CH1_OFFSET_MID										
0x23		CH1_OFFSET_LSB										
0x24	保留	保留									0x00	RW
0x25		保留										
0x26		保留										
0x27	保留	保留									0x00	RW
0x28		保留										
0x29		保留										
0x2A	通道2失调	CH2_OFFSET_MSB									0x00	RW
0x2B		CH2_OFFSET_MID										
0x2C		CH2_OFFSET_LSB										
0x2D	通道3失调	CH3_OFFSET_MSB									0x00	RW
0x2E		CH3_OFFSET_MID										
0x2F		CH3_OFFSET_LSB										
0x30	保留	保留									0x00	RW
0x31		保留										
0x32		保留										
0x33	保留	保留									0x00	RW
0x34		保留										
0x35		保留										
0x36	通道0增益	CH0_GAIN_MSB									0xFF	RW
0x37		CH0_GAIN_MID										
0x38		CH0_GAIN_LSB										

# AD7768/AD7768-4

寄存器	名称	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x39	通道1增益	CH1_GAIN_MSB								0xXX	RW
0x3A		CH1_GAIN_MID									
0x3B		CH1_GAIN_LSB									
0x3C	保留	保留								0xXX	RW
0x3D		保留									
0x3E		保留									
0x3F	保留	保留								0xXX	RW
0x40		保留									
0x41		保留									
0x42	通道2增益	CH2_GAIN_MSB								0xXX	RW
0x43		CH2_GAIN_MID									
0x44		CH2_GAIN_LSB									
0x45	通道3增益	CH3_GAIN_MSB								0xXX	RW
0x46		CH3_GAIN_MID									
0x47		CH3_GAIN_LSB									
0x48	保留	保留								0xXX	RW
0x49		保留									
0x4A		保留									
0x4B	保留	保留								0xXX	RW
0x4C		保留									
0x4D		保留									
0x4E	通道0同步失调	CH0_SYNC_OFFSET								0x00	RW
0x4F	通道1同步失调	CH1_SYNC_OFFSET								0x00	RW
0x50	保留	保留								0x00	RW
0x51	保留	保留								0x00	RW
0x52	通道2同步失调	CH2_SYNC_OFFSET								0x00	RW
0x53	通道3同步失调	CH3_SYNC_OFFSET								0x00	RW
0x54	保留	保留								0x00	RW
0x55	保留	保留								0x00	RW
0x56	诊断Rx	保留		CH3_RX	CH2_RX	保留		CH1_RX	CH0_RX	0x00	RW
0x57	诊断复用控制	未用	GRPB_SEL			未用	GRPA_SEL			0x00	RW
0x58	调制器延迟控制	未用			CLK_MOD_DEL_EN		保留			0x02	RW
0x59	斩波控制	未用			GRPA_CHOP		GRPB_CHOP			0x0A	RW

# AD7768/AD7768-4

## 通道待机寄存器

地址：0x00；复位：0x00；名称：通道待机

通过设置通道待机寄存器中的相应位，可将每个ADC通道独立置于待机模式。当一个通道处于待机模式时，其在数据输出流中的位置会被保留。8位标头为全0，转换结果输出也是24个0。

VCM电压输出与通道0电路相关联。若通道0处于待机模式，VCM电压输出也会禁用，以便最大程度地节省功耗。当VCM用于AD7768-4外部时，必须使能通道0。

晶振激励电路与通道2电路相关联。若通道2处于待机模式，该晶振电路也会禁用，以便最大程度地节省功耗。当AD7768-4使用外部晶振时，必须使能通道2。

表64. 通道待机寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
3	CH_3	0 1	通道3 使能 待机	0x0	RW
2	CH_2	0 1	通道2 使能 待机	0x0	RW
1	CH_1	0 1	通道1 使能 待机	0x0	RW
0	CH_0	0 1	通道0 使能 待机	0x0	RW

## 通道模式A寄存器

地址：0x01；复位：0x0D；名称：通道模式A

AD7768-4 ADC有两个模式选项。通道模式由通道模式A和通道模式B寄存器的内容定义。然后，每种模式根据需要映射到所需的ADC通道。模式A和模式B允许选择不同滤波器类型和抽取率并映射到任意ADC通道。

选择不同的抽取率时，AD7768-4以所选的最快抽取率输出一个数据就绪信号。任意以较慢输出数据速率运行的通道仅以该较慢速率更新。在有效结果数据之间，该通道的数据设为0，标头状态位中的重复数据位置1，以区别于真实转换结果(参见“ADC转换输出：标头和数据”部分)。

表65. 通道模式A寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
3	FILTER_TYPE_A	0 1	滤波器选择 宽带滤波器 Sinc5滤波器	0x1	RW
[2:0]	DEC_RATE_A	000 001 010 011 100 101 110 111	抽取率选择 ×32 ×64 ×128 ×256 ×512 ×1024 ×1024 ×1024	0x5	RW

**通道模式B寄存器**

地址：0x02；复位：0x0D；名称：通道模式B

表66. 通道模式B寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
3	FILTER_TYPE_B	0 1	滤波器选择 宽带滤波器 Sinc5滤波器	0x1	RW
[2:0]	DEC_RATE_B	000 001 010 011 100 101 110 111	抽取率选择 ×32 ×64 ×128 ×256 ×512 ×1024 ×1024 ×1024	0x5	RW

**通道模式选择寄存器**

地址：0x03；复位：0x00；名称：通道模式选择

此寄存器选择各ADC通道映射到通道模式A还是通道模式B。

表67. 通道模式选择寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
5	CH_3_MODE	0 1	通道3 模式A 模式B	0x0	RW
4	CH_2_MODE	0 1	通道2 模式A 模式B	0x0	RW
1	CH_1_MODE	0 1	通道1 模式A 模式B	0x0	RW
0	CH_0_MODE	0 1	通道0 模式A 模式B	0x0	RW

**功耗模式选择寄存器**

地址：0x04；复位：0x00；名称：POWER\_MODE

表68. POWER\_MODE的位功能描述

位	位名称	设置	描述	复位	访问类型
7	SLEEP_MODE	0 1	在睡眠模式下，许多数字时钟被禁用，所有ADC都被禁用。不禁用模拟LDO。 AD7768-4 SPI仍然有效，可供用户使用。写入此位会使AD7768-4退出睡眠模式。 0 正常工作。 1 睡眠模式。	0x0	RW



# AD7768/AD7768-4

位	位名称	设置	描述	复位	访问类型
[5:4]	POWER_MODE	00 10 11	功耗模式。功耗模式位控制AD7768-4上所有ADC使用的偏置电流的功耗模式设置。用户可以根据应用需要选择电流消耗目标。当映射到正确的MCLK分频设置时，快速、中速和生态功耗模式可提供最佳性能。这些功耗模式位不控制ADC的MCLK分频。关于MCLK输入的分频控制，参见MCLK_DIV位。 生态。 中速。 快速。	0x0	RW
3	LVDS_ENABLE	0 1	LVDS时钟。 禁用LVDS输入时钟。 使能LVDS输入时钟。	0x0	RW
[1:0]	MCLK_DIV	00 10 11	MCLK分频。MCLK分频位控制施加于AD7768-4输入的MCLK与各ADC调制器使用的时钟之间的分频比。合适的分频比取决于以下因素：功耗模式、抽取率和系统提供的基本MCLK。有关正确设置MCLK_DIV的更多信息，参见“时钟、采样树和功耗调节”部分。 MCLK/32：基本MCLK为32.768 MHz，生态模式设置为MCLK/32。 MCLK/8：基本MCLK为32.768 MHz，中速模式设置为MCLK/8。 MCLK/4：基本MCLK为32.768 MHz，快速模式设置为MCLK/4。	0x0	RW

## 通用器件配置寄存器

地址：0x05；复位：0x08；名称：通用配置

表69. 通用配置寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
5	RETIME_EN	0 1	SYNC_OUT 信号重定时使能位。 禁用：SYNC_OUT正常时序。 使能：SYNC_OUT信号从交替MCLK边沿获得。	0x0	RW
4	VCM_PD	0 1	VCM缓冲器掉电。 使能：VCM缓冲器正常工作。 掉电：VCM缓冲器掉电。	0x0	RW
3	保留	1	不是用户选项。该位必须置1。	0x1	RW
[1:0]	VCM_VSEL	00 01 10 11	VCM电压。这些位选择VCM引脚的输出电压。此电压从AVDD1电源获得，可输出为AVDD1电压的一半或其他固定电压(相对于AVSS)。VCM电压输出与通道0电路相关联。若通道0处于待机模式，VCM电压输出也会禁用，以便最大程度地节省功耗。当VCM用于AD7768-4外部时，必须使能通道0。 (AVDD1 – AVSS)/2 V。 1.65 V。 2.5 V。 2.14 V。	0x0	RW

**数据控制：软件复位、同步和单次控制寄存器**

地址：0x06；复位：0x80；名称：数据控制

表70. 数据控制寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
7	SPI_SYNC	0 1	AD7768-4的软件同步。此命令与向START引脚发送信号脉冲的效果相同。为了使用SPI_SYNC，用户必须两次写入此位。首先写入0，使SPI_SYNC变为低电平，再写入1，将SPI_SYNC再次设置为逻辑高电平。在SCLK最后一个上升沿之后识别SPI指令中的SPI_SYNC命令，其中SPI_SYNC位从低电平变为高电平。SPI_SYNC命令随后通过SYNC_OUT引脚输出，其与AD7768-4 MCLK同步。用户必须将SYNC_OUT信号连接到PCB上的SYNC_IN引脚。SYNC_OUT引脚也可以连接到其他AD7768-4器件的SYNC_IN引脚，以支持较大通道数的同步采样系统。若SYNC_IN引脚上有同步脉冲，AD7768-4的数字滤波器将复位。必须等到滤波器完全建立之后，数据接口才能输出数据。在由AD7768-4器件组成的菊花链系统中，必须连续施加两个同步脉冲以保证所有器件同步。在包含一个以上AD7768-4器件的系统中，若这些器件共享一个MCLK信号，且仅使用一个器件的DRDY引脚来检测新数据，则也需要两个同步脉冲。 0 变为SPI_SYNC低电平。 1 变为SPI_SYNC高电平。	0x1	RW
4	SINGLE_SHOT_EN	0 1	单次模式。使能单次模式。在单次模式下，AD7768-4响应SYNC_IN上升沿而输出一个转换结果。 0 禁用。 1 使能。	0x0	RW
[1:0]	SPI_复位	00 01 10 11	软复位。这些位用于使器件通过SPI端口完全复位。要产生复位，必须按正确顺序接收到两个连续命令：首先将0x03写入软复位寄存器，然后将0x02写入软复位寄存器。该序列导致数字内核复位，所有寄存器回到默认值。软复位之后，若SPI主机向AD7768-4发送命令，它将在下一帧响应该命令，输出0x0E00。 00 不起作用。 01 不起作用。 10 第二复位命令。 11 第一复位命令。	0x0	RW

**接口配置寄存器**

地址：0x07；复位：0x0；名称：接口配置

表71. 接口配置寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
[3:2]	CRC_SELECT	00 01 10 11	CRC选择。利用这些位，用户可以在数据接口上实现CRC。选定后，根据所选的CRC选项，CRC替换每第4个或第16个输出样本的标头。CRC有两个选项，二者使用同一多项式： $x^8 + x^2 + x + 1$ 。用户可以选择相对较少地执行CRC，即每第16个样本执行一次，以降低CRC计算的占空比，或者选择相对较多地执行CRC，即每第4个样本执行一次。CRC基于各通道来计算，仅包括转换数据。 00 无CRC。每次转换都有状态位。 01 每4个样本用CRC消息替代标头。 10 每16个样本用CRC消息替代标头。 11 每16个样本用CRC消息替代标头。	0x0	RW

# AD7768/AD7768-4

位	位名称	设置	描述	复位	访问类型
[1:0]	DCLK_DIV	00 8分频。 01 4分频。 10 2分频。 11 无分频。	DCLK分频比。这些位控制用于通过DOUTx引脚输出转换数据的DCLK时钟分频比。DCLK信号从施加于AD7768-4的MCLK获得。利用DCLK分频模式，用户可以优化DCLK输出以适合应用。根据应用优化DCLK取决于用户要求。当AD7768-4在最少DOUTx引脚上使用最高容量输出时，例如抽取率为32，使用DOUT0和DOUT1引脚，则DCLK必须等于MCLK。这种情况下，只有选择无分频设置，用户才能在转换期间内输出所有数据。但在其他情况下，ADC可能以快速模式和高抽取率运行，或以中速、生态模式运行，DCLK不需要像MCLK那样快。此类情况下，利用DCLK分频可以降低时钟速度，使得信号路由和隔离更简单。	0x0	RW

## 数字滤波器RAM内置自测(BIST)寄存器

地址：0x08；复位：0x0；名称：BIST控制

表72.BIST控制寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
0	RAM_BIST_START	0 关。 1 开始RAM BIST。	RAM BIST。滤波器RAM BIST是数字滤波器使用的系数存储RAM的内置自测功能。运行此测试时，正常ADC转换会中断。完成此测试后，要恢复正常ADC操作，需要一个同步脉冲。该测试可以根据用户选择的间隔时间不时执行。RAM BIST的状态和结果由器件状态寄存器提供；参见表73中的RAM_BIST_PASS和RAM_BIST_RUNNING位。	0x0	RW

## 状态寄存器

地址：0x09；复位：0x0；名称：器件状态

表73.器件状态寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
3	CHIP_ERROR	0 无错误。 1 错误已发生。	芯片错误。芯片错误位是一个全局错误标志，在各ADC转换输出的状态字节中输出。下列位会引起芯片错误位变为逻辑高电平：上电后对内部硬编码设置的CRC校验未通过；对存储器映射的XOR检查未通过(此检查在后台连续运行)；上电时检测到时钟错误。	0x0	R
2	NO_CLOCK_ERROR	0 检测到MCLK。 1 未检测到MCLK。	外部时钟检查。此位指示是否正确检测到外部施加的MCLK。如果上电时未将MCLK正确施加于ADC，此位会置1，DCLK频率约为16 MHz。如果此位置1，数据输出标头的状态位中的芯片错误位就会变为逻辑高电平，而且无论施加于ADC通道的模拟输入电压是多少，转换结果输出都是全0。	0x0	R

位	位名称	设置	描述	复位	访问类型
1	RAM_BIST_PASS	0 1	BIST通过/失败。RAM BIST结果状态。此位指示最近RAM BIST的结果。结果锁存到此寄存器，只能通过器件复位清零。 BIST失败或未运行。 BIST通过。	0x0	R
0	RAM_BIST_RUNNING	0 1	BIST状态。通过回读此位的值，用户可了解BIST测试是否完成。 BIST未运行。 BIST正在运行。	0x0	R

### 版本标识寄存器

地址：0x0A；复位：0x06；名称：版本ID

表74. 版本ID寄存器的位功能描述

位	位名称	描述	复位	访问类型
[7:0]	REVISION_ID	ASIC版本。版本信息的8位ID。	0x06	R

### GPIO控制寄存器

地址：0x0E；复位：0x00；名称：GPIO控制

表75. GPIO控制寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
7	UGPIO_ENABLE	0 1	用户GPIO使能。GPIOx引脚是双功能引脚，只能在SPI控制模式下使用。默认情况下，当AD7768-4以SPI控制模式上电时，GPIOx引脚禁用。此位是所有GPIOx输入/输出的通用使能/禁用位。各通用引脚的方向由此寄存器的位[4:0]决定。 GPIO禁用。 GPIO使能。	0x0	RW
4	GPIOE4_FILTER	0 1	GPIO4方向。此位指定GPIO4的方向，即用作输入还是输出。对于SPI控制，GPIO4映射到引脚11，即FILTER/GPIO4引脚。 输入。 输出。	0x0	RW
3	GPIOE3_MODE3	0 1	GPIO3方向。此位指定GPIO3的方向，即用作输入还是输出。对于SPI控制，GPIO3映射到引脚15，即MODE3/GPIO3引脚。 输入。 输出。	0x0	RW
2	GPIOE2_MODE2	0 1	GPIO2方向。此位指定GPIO2的方向，即用作输入还是输出。对于SPI控制，GPIO2映射到引脚14，即MODE2/GPIO2引脚。 输入。 输出。	0x0	RW
1	GPIOE1_MODE1	0 1	GPIO1方向。此位指定GPIO1的方向，即用作输入还是输出。对于SPI控制，GPIO1映射到引脚13，即MODE1/GPIO1引脚。 输入。 输出。	0x0	RW
0	GPIO0_MODE0	0 1	GPIO0方向。此位指定GPIO0的方向，即用作输入还是输出。对于SPI控制，GPIO0映射到引脚12，即MODE0/GPIO0引脚。 输入。 输出。	0x0	RW

# AD7768/AD7768-4

## GPIO写入数据寄存器

地址：0x0F；复位：0x00；名称：GPIO写入数据

当通用引脚用作通用输出时，此寄存器写入要通过各通用输出引脚设置的值。位[4:0]中的各位直接映射到GPIOx引脚。

表76. GPIO写入数据寄存器的位功能描述

位	位名称	描述	复位	访问类型
4	GPIO4_WRITE	GPIO4/FILTER	0x0	RW
3	GPIO3_WRITE	GPIO3/MODE3	0x0	RW
2	GPIO2_WRITE	GPIO2/MODE2	0x0	RW
1	GPIO1_WRITE	GPIO1/MODE1	0x0	RW
0	GPIO0_WRITE	GPIO0/MODE0	0x0	RW

## GPIO读取数据寄存器

地址：0x10；复位：0x00；名称：GPIO读取数据

当通用引脚用作通用输入时，此寄存器回读各通用输入引脚的逻辑输入电平值。位[4:0]中的各位直接映射到GPIO0至GPIO4引脚。

表77. GPIO读取数据寄存器的位功能描述

位	位名称	描述	复位	访问类型
4	GPIO4_READ	GPIO4/FILTER	0x0	R
3	GPIO3_READ	GPIO3/MODE3	0x0	R
2	GPIO2_READ	GPIO2/MODE2	0x0	R
1	GPIO1_READ	GPIO1/MODE1	0x0	R
0	GPIO0_READ	GPIO0/MODE0	0x00	R

## 模拟输入预充电缓冲器使能寄存器通道0和通道1

地址：0x11；复位：0xFF；名称：预充电缓冲器1

此寄存器用于开启或关闭模拟输入上的预充电缓冲器。写入这些寄存器时，用户必须写入所需位设置的逆值。例如，要清除此寄存器的位7，用户必须将0x01写入寄存器。这将使位7清0，所有其他位置1。如果用户写入0x01后再读取寄存器，读取的数据将是所需的0xFE。

表78. 预充电缓冲器1寄存器的位功能描述

位	位名称	设置	描述	复位
3	CH1_PREBUF_NEG_EN	0	关	0x1
		1	开	
2	CH1_PREBUF_POS_EN	0	关	0x1
		1	开	
1	CH0_PREBUF_NEG_EN	0	关	0x1
		1	开	
0	CH0_PREBUF_POS_EN	0	关	0x1
		1	开	

**模拟输入预充电缓冲器使能寄存器通道2和通道3****地址：0x12；复位：0xFF；名称：预充电缓冲器2**

此寄存器用于开启或关闭模拟输入上的预充电缓冲器。写入这些寄存器时，用户必须写入所需位设置的逆值。例如，要清除此寄存器的位7，用户必须将0x01写入寄存器。这将使位7清0，所有其他位置1。如果用户写入0x01后再读取寄存器，读取的数据将是所需的0xFE。

**表79. 预充电缓冲器2寄存器的位功能描述**

位	位名称	设置	描述	复位
3	CH3_PREBUF_NEG_EN	0	关	0x1
		1	开	
2	CH3_PREBUF_POS_EN	0	关	0x1
		1	开	
1	CH2_PREBUF_NEG_EN	0	关	0x1
		1	开	
0	CH2_PREBUF_POS_EN	0	关	0x1
		1	开	

**正基准预充电缓冲器使能寄存器****地址：0x13；复位：0x00；名称：正基准预充电缓冲器**

此寄存器用于开启或关闭从通道0到通道3的各ADC基准正输入上的预充电缓冲器。

**表80. 正基准预充电缓冲器寄存器的位功能描述**

位	位名称	设置	描述	复位
5	CH3_REFP_BUF	0	关	0x0
		1	开	
4	CH2_REFP_BUF	0	关	0x0
		1	开	
1	CH1_REFP_BUF	0	关	0x0
		1	开	
0	CH0_REFP_BUF	0	关	0x0
		1	开	

**负基准预充电缓冲器使能寄存器****地址：0x14；复位：0x00；名称：负基准预充电缓冲器**

此寄存器用于开启或关闭从通道0到通道3的各ADC基准负输入上的预充电缓冲器。

**表81. 负基准预充电缓冲器寄存器的位功能描述**

位	位名称	设置	描述	复位
5	CH3_REFN_BUF	0	关	0x0
		1	开	
4	CH2_REFN_BUF	0	关	0x0
		1	开	
1	CH1_REFN_BUF	0	关	0x0
		1	开	
0	CH0_REFN_BUF	0	关	0x0
		1	开	

# AD7768/AD7768-4

## 失调寄存器

CH<sub>x</sub>\_OFFSET\_MSB、CH<sub>x</sub>\_OFFSET\_MID和CH<sub>x</sub>\_OFFSET\_LSB寄存器是用于通道失调调整的24位带符号二进制补码寄存器。如果通道增益设置位于理想标称值0x555555，则失调寄存器调整的LSB将使数字输出改变-4/3 LSB。例如，失调寄存器从0变为100时，数字输出改变-133 LSB。失调调整先于增益调整，4/3的比例随着增益调整(通过CH<sub>x</sub>\_GAIN\_x寄存器)而线性改变。复位或周期供电之后，寄存器值回到默认出厂设置。

**表82. 每通道24位失调寄存器，各通道对应三个8位寄存器，分为MSB、MID和LSB**

地址			名称	描述	复位			访问类型
MSB	Mid	LSB			MSB	Mid	LSB	
0x1E	0x1F	0x20	通道0失调	通道0失调寄存器：高、中、低字节(总共24位)	0x00	0x00	0x00	RW
0x21	0x22	0x23	通道1失调	通道1失调寄存器：高、中、低字节(总共24位)	0x00	0x00	0x00	RW
0x2A	0x2B	0x2C	通道2失调	通道2失调寄存器：高、中、低字节(总共24位)	0x00	0x00	0x00	RW
0x2D	0x2E	0x2F	通道3失调	通道3失调寄存器：高、中、低字节(总共24位)	0x00	0x00	0x00	RW

## 增益寄存器

各ADC通道都有相关联的增益系数。系数存储在三个单字节寄存器中，分别是MSB、MID和LSB。每个增益寄存器都有出厂设置值。一般来说，此增益值约为0x555555(对于一个ADC通道)。用户可以覆盖增益寄存器设置，但在复位或周期供电之后，增益寄存器值会回到硬编码的出厂设置。

**表83. 每通道24位增益寄存器，各通道对应三个8位寄存器，分为MSB、MID和LSB**

地址			名称	描述	复位			访问类型
MSB	Mid	LSB			MSB	Mid	LSB	
0x36	0x37	0x38	通道0增益	通道0增益寄存器：高、中、低字节(总共24位)	0xXX	0xXX	0xXX	RW
0x39	0x3A	0x3B	通道1增益	通道1增益寄存器：高、中、低字节(总共24位)	0xXX	0xXX	0xXX	RW
0x42	0x43	0x44	通道2增益	通道2增益寄存器：高、中、低字节(总共24位)	0xXX	0xXX	0xXX	RW
0x45	0x46	0x47	通道3增益	通道3增益寄存器：高、中、低字节(总共24位)	0xXX	0xXX	0xXX	RW

## 同步相位失调寄存器

AD7768-4的所有通道共用一个同步信号。同步相位失调寄存器允许用户相对于SYNC\_IN引脚上接收的同步边沿，改变各通道的相位延迟。有关使用此功能的详细信息，参见“同步相位失调调整”部分。

**表84. 每通道8位同步相位失调寄存器**

地址	名称	描述	复位	访问类型
0x4E	通道0同步失调	通道0同步相位失调寄存器	0x00	RW
0x4F	通道1同步失调	通道1同步相位失调寄存器	0x00	RW
0x52	通道2同步失调	通道2同步相位失调寄存器	0x00	RW
0x53	通道3同步失调	通道3同步相位失调寄存器	0x00	RW

## ADC诊断接收选择寄存器

地址：0x56；复位：0x00；名称：诊断Rx

AD7768-4 ADC诊断允许用户选择零电平、正满量程或负满量程的ADC输入进行转换，从而验证ADC通道是否正常工作。此寄存器用于使能该诊断功能。使能各通道的接收(Rx)功能，并将此寄存器中的各位置1。

ADC诊断特性依赖于模拟输入预充电缓冲器的某些特性。用户必须确保使能所选通道的模拟输入预充电缓冲器，以便在内部接收诊断电压。

**表85. 诊断Rx寄存器的位功能描述**

位	位名称	设置	描述	复位	访问类型
5	CH3_RX	0	通道3未使用	0x0	RW
		1	接收		



位	位名称	设置	描述	复位	访问类型
4	CH2_RX	0 1	通道2 未使用 接收	0x0	RW
1	CH1_RX	0 1	通道1 未使用 接收	0x0	RW
0	CH0_RX	0 1	通道0 未使用 接收	0x0	RW

### ADC诊断控制寄存器

地址：0x57；复位：0x00；名称：诊断复用控制

AD7768-4 ADC诊断允许用户选择零电平、正满量程或负满量程的ADC输入进行转换，从而验证ADC通道是否正常工作。此寄存器控制施加于各ADC通道的诊断电压。用户有三个输入电压可选。根据通道所属的模式(模式A或模式B，由通道模式选择寄存器0x03设置)，所选电压映射到相应的通道。

将ADC诊断接收选择寄存器中的位[7:0]置1，然后分别通过位[2:0]和位[6:4]，选择模式A通道和模式B通道所需的电压检查。

表86. 诊断复用控制寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
[6:4]	GRPB_SEL	000 011 100 101	多路复用器B。 关。 正满量程ADC检查。将一个接近正满量程的电压内部施加于ADC通道。 负满量程ADC检查。将一个接近负满量程的电压内部施加于ADC通道。 零电平ADC检查。将一个接近0V的电压内部施加于ADC通道。	0x0	RW
[2:0]	GRPA_SEL	000 011 100 101	多路复用器A。 关。 正满量程ADC检查。将一个接近正满量程的电压内部施加于ADC通道。 负满量程ADC检查。将一个接近负满量程的电压内部施加于ADC通道。 零电平ADC检查。将一个接近0V的电压内部施加于ADC通道。	0x0	RW

### 调制器延迟控制寄存器

地址：0x58；复位：0x02；名称：调制器延迟控制

表87. 调制器延迟控制寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
[3:2]	CLK_MOD_DEL_EN	00 01 10 11	使能延迟调制器时钟。 禁用所有通道的延迟时钟。 仅使能AD7768-4通道0和通道1的延迟时钟。 仅使能AD7768-4通道2和通道3的延迟时钟。 使能所有通道的延迟时钟。	0x0	RW
[1:0]	保留	10	不是用户选项。必须设置为0x2。	0x2	RW

# AD7768/AD7768-4

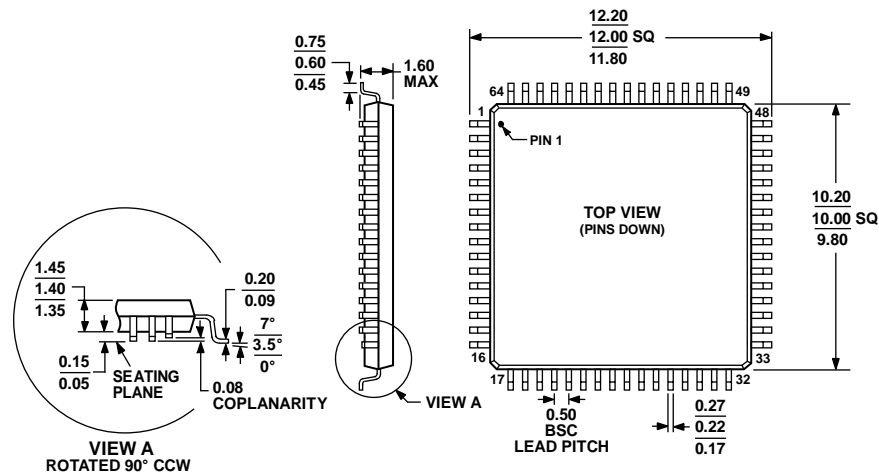
## 斩波控制寄存器

地址：0x59；复位：0x0A；名称：斩波控制

表88. 斩波控制寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
[3:2]	GRPA_CHOP		群A斩波	0x2	RW
		01	$f_{MOD}/8$ 斩波		
		10	$f_{MOD}/32$ 斩波		
[1:0]	GRPB_CHOP		群B斩波	0x2	RW
		01	$f_{MOD}/8$ 斩波		
		10	$f_{MOD}/32$ 斩波		

## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

图110. 64引脚薄型四方扁平封装[LQFP]  
(ST-64-2)

图示尺寸单位: 毫米

051706-A

## 订购指南

型号 <sup>1</sup>	温度范围	温度范围	封装选项
AD7768BSTZ	-40°C至+105°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7768BSTZ-RL7	-40°C至+105°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7768BSTZ-RL	-40°C至+105°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7768-4BSTZ	-40°C至+105°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7768-4BSTZ-RL7	-40°C至+105°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7768-4BSTZ-RL	-40°C至+105°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
EVAL-AD7768FMCZ		评估板	
EVAL-AD7768-4FMCZ		AD7768-4评估板	
EVAL-SDP-CH1Z		控制器板	

<sup>1</sup> Z = 符合RoHS标准的器件。