

产品特性

6个独立的模数转换器(ADC)

真双极性模拟输入

引脚/软件可选范围: $\pm 10\text{ V}$ 或 $\pm 5\text{ V}$

高吞吐速率: 250 kSPS

iCMOS®工艺技术

低功耗: 140 mW(250 kSPS, 5 V电源)

宽输入带宽

信噪比(SNR): 86.5 dB(50 kHz输入频率)

片内基准电压源及缓冲器

并行、串行和菊花链接口模式

高速串行接口

串行外设接口(SPI)/QSPI™/MICROWIRE®/DSP兼容

关断模式: 100 mW(最大值)

64引脚LQFP

改进电源时序(PSS)鲁棒性

应用

电源线路监控系统

仪表和控制系统

多轴定位系统

概述

AD7656A¹内置六个16位、快速、低功耗、逐次逼近型模数转换器(ADC),并集成到一个封装中,采用iCMOS®工艺(工业级CMOS)设计。iCMOS是一种将高压硅与亚微米CMOS及互补双极性技术相结合的工艺。通过这种工艺,可开发在33 V高压下工作的高性能模拟IC,其体积性能比是以往的高压器件所无法实现的。与采用传统CMOS工艺的模拟IC不同,iCMOS元件不但可以输入双极性信号,同时还能提升性能,大幅降低功耗并减小封装尺寸。

AD7656A的吞吐速率最高可达250 kSPS,并且内置宽带宽(12 MHz)采样保持放大器,可处理最高12 MHz的输入频率。

¹ 受美国专利第6,731,232号保护。

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文,敬请谅解翻译中可能存在的语言组织或翻译错误,ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性,请参考ADI提供的最新英文版数据手册。

功能框图

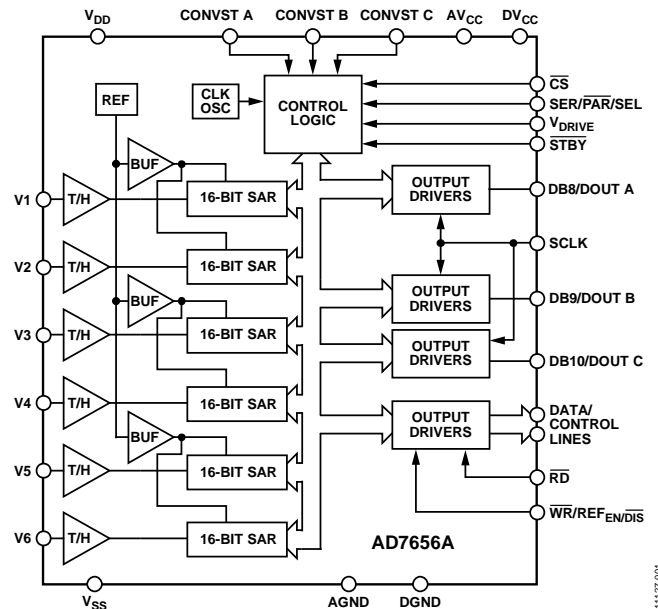


图1.

转换过程与数据采集利用CONVST x信号和内部振荡器进行控制。三个CONVST x引脚(CONVST A、CONVST B和CONVST C)允许三对ADC独立地进行同步采样。AD7656A同时具有一个高速并行接口和一个高速串行接口,为器件与微处理器或数字信号处理器(DSP)进行接口创造了条件。在串行接口模式下,AD7656A允许多个ADC以菊花链形式连接至单个串行接口。AD7656A可在 $\pm 4 \times V_{REF}$ 和 $\pm 2 \times V_{REF}$ 范围内支持真双极性输入信号。AD7656A还内置一个2.5 V片内基准电压源。

多功能引脚名称可能仅通过相关功能来引用。

产品特色

1. 片内集成6个16位、250 kSPS ADC。
2. 6个真双极性、高阻抗模拟输入。
3. 并行和高速串行接口。

目录

产品特性	1	工作原理	15
应用	1	转换器详解	15
功能框图	1	ADC传递函数	16
概述	1	基准电压源部分	16
产品特点	1	典型连接图	16
修订历史	2	驱动模拟输入	17
技术规格	3	接口部分	17
时序规格	5	ADC软件选择	19
绝对最大额定值	6	串行读取操作	21
电源时序控制	6	菊花链模式(DCEN = 1, SER/ $\overline{\text{PAR}}$ /SEL = 1)	21
热阻	6	应用须知	24
ESD警告	6	布局布线	24
引脚配置和功能描述	7	外形尺寸	25
典型性能参数	10	订购指南	25
术语	13		

修订历史

2013年12月—修订版0：初始版

技术规格

除非另有说明, $V_{REF} = 2.5$ V内部/外部基准电压, $AV_{CC} = 4.75$ V至5.25 V, $DV_{CC} = 4.75$ V至5.25 V, $V_{DRIVE} = 2.7$ V至5.25 V; 对于 $\pm 4 \times V_{REF}$ 范围, $V_{DD} = 11$ V至16.5 V, $V_{SS} = -11$ V至-16.5 V; 对于 $\pm 2 \times V_{REF}$ 范围, $V_{DD} = 6$ V至16.5 V, $V_{SS} = -6$ V至-16.5 V; $f_{SAMPLE} = 250$ kSPS, $T_A = T_{MIN}$ 至 T_{MAX} 。

表1.

参数	最小值	典型值	最大值	单位	测试条件/注释
动态性能					$f_{IN} = 50$ kHz正弦波
信纳比(SINAD) ¹	84	85.5		dB	
信噪比(SNR) ¹	85	86.5		dB	
总谐波失真(THD) ¹			-90	dB	
RANGE引脚 = 0		-92		dB	$V_{DD}/V_{SS} = \pm 6$ V至 ± 11 V
RANGE引脚 = 1		-100		dB	$V_{DD}/V_{SS} = \pm 12$ V至 ± 16.5 V
峰值谐波或杂散噪声(SFDR) ¹		-100		dB	
交调失真(IMD) ¹					$f_a = 50$ kHz, $f_b = 49$ kHz
二阶项		-112		dB	
三阶项		-107		dB	
孔径延迟			10	ns	
孔径延迟匹配			4	ns	
孔径抖动		35		ps	
通道间隔离 ¹		-100		dB	未选中通道的 f_{IN} 最高可达100 kHz
全功率带宽		12		MHz	-3 dB时
		2		MHz	-0.1 dB时
直流精度					
分辨率		16		位	
无失码	15			位	25°C时
	16			位	
积分非线性(INL) ¹			± 3	LSB	
		± 1		LSB	
正满量程误差 ¹		$\pm 0.22\%$	± 0.75	% FSR	
正满量程误差匹配 ¹			± 0.35	% FSR	
双极性零电平误差 ¹		$\pm 0.004\%$	± 0.023	% FSR	
双极性零电平误差匹配 ¹			± 0.038	% FSR	
负满量程误差 ¹		$\pm 0.22\%$	± 0.75	% FSR	
负满量程误差匹配 ¹			± 0.35	% FSR	
模拟输入					各范围的 V_{DD}/V_{SS} 最小值见表6
输入电压范围	$-4 \times V_{REF}$		$+4 \times V_{REF}$	V	RANGE引脚 = 0
	$-2 \times V_{REF}$		$+2 \times V_{REF}$	V	RANGE引脚 = 1
直流漏电流			± 1	μ A	
输入电容 ²		10		pF	$\pm 4 \times V_{REF}$ 范围(跟踪模式)
		14		pF	$\pm 2 \times V_{REF}$ 范围(跟踪模式)
基准电压输入/输出					
基准输入电压范围	2.5		3	V	
直流漏电流			± 1	μ A	
输入电容 ²		18.5		pF	$REF_{ENVDIS} = 1^3$
基准输出电压	2.49		2.51	V	
长期稳定性		150		ppm	1000小时
基准电压源温度系数			25	ppm/°C	
		6		ppm/°C	

AD7656A

参数	最小值	典型值	最大值	单位	测试条件/注释
逻辑输入					
输入高电压(V_{INH})	$0.7 \times V_{DRIVE}$			V	典型值 10 nA, $V_{IN} = 0 \text{ V}$ 或 V_{DRIVE}
输入低电压(V_{INL})			$0.3 \times V_{DRIVE}$	V	
输入电流(I_{IN})			± 1	μA	
输入电容(C_{IN}) ²			10	pF	
逻辑输出					
输出高电压(V_{OH})	$V_{DRIVE} - 0.2$			V	$I_{SOURCE} = 200 \mu\text{A}$ $I_{SINK} = 200 \mu\text{A}$
输出低电压(V_{OL})			0.2	V	
悬空态漏电流			± 1	μA	
悬空态输出电容 ²			10	pF	
输出编码					
转换速率					
转换时间			3.1	μs	仅并行接口模式
采样保持器采集时间 ^{1,2}			550	ns	
吞吐速率			250	kSPS	
电源要求					
V_{DD} 范围	6		16.5	V	对于 $4 \times V_{REF}$ 范围, $V_{DD} = 11 \text{ V}$ 至 16.5 V 对于 $4 \times V_{REF}$ 范围, $V_{SS} = -11 \text{ V}$ 至 -16.5 V
V_{SS} 范围	-6		-16.5	V	
AV_{CC}	4.75		5.25	V	数字输入 = 0 V 或 V_{DRIVE} $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25 \text{ V}$, $V_{DD} = 16.5 \text{ V}$, $V_{SS} = -16.5 \text{ V}$ $f_{SAMPLE} = 250 \text{ kSPS}$, $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25 \text{ V}$, $V_{DD} = 16.5 \text{ V}$, $V_{SS} = -16.5 \text{ V}$ $V_{SS} = -16.5 \text{ V}$, $f_{SAMPLE} = 250 \text{ kSPS}$ $V_{DD} = 16.5 \text{ V}$, $f_{SAMPLE} = 250 \text{ kSPS}$ $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25 \text{ V}$, $V_{DD} = 16.5 \text{ V}$, $V_{SS} = -16.5 \text{ V}$ $SCLK$ on or off, $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25 \text{ V}$, $V_{DD} = 16.5 \text{ V}$, $V_{SS} = -16.5 \text{ V}$ $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25 \text{ V}$, $V_{DD} = 16.5 \text{ V}$, $V_{SS} = -16.5 \text{ V}$ $f_{SAMPLE} = 250 \text{ kSPS}$
DV_{CC}	4.75		5.25	V	
V_{DRIVE}	2.7		5.25	V	
I_{TOTAL} ⁴					
正常模式(静态)			28	mA	
正常模式(工作状态)			26	mA	
I_{SS} (工作状态)			0.25	mA	
I_{DD} (工作状态)			0.25	mA	
部分关断模式			7	mA	
完全关断模式(\overline{STBY} 引脚)			80	mA	
功耗					
正常模式(静态)			143	mW	
正常模式(工作状态)			140	mW	
部分关断模式			35	mW	
完全关断模式(\overline{STBY} 引脚)			100	mW	

¹ 参见术语部分。

² 样片在初次发布期间均经过测试, 以确保符合标准要求。

³ 多功能引脚名称可能仅通过相关功能来引用。

⁴ 包括 I_{AVCC} 、 I_{VDD} 、 I_{VSS} 、 I_{VDRIVE} 和 I_{DVCC} 。

时序规格

除非另有说明， AV_{CC} 和 $DV_{CC} = 4.75\text{ V}$ 至 5.25 V ， $V_{DRIVE} = 2.7\text{ V}$ 至 5.25 V ， $V_{REF} = 2.5\text{ V}$ 外部/内部基准电压， $T_A = T_{MIN}$ 至 T_{MAX} 。对于 $\pm 4 \times V_{REF}$ 范围， $V_{DD} = 11\text{ V}$ 至 16.5 V ， $V_{SS} = -11\text{ V}$ 至 -16.5 V ；对于 $\pm 2 \times V_{REF}$ 范围， $V_{DD} = 6\text{ V}$ 至 16.5 V ， $V_{SS} = -6\text{ V}$ 至 -16.5 V 。样片在初次发布期间均经过测试，以确保符合标准要求。所有输入信号均指定 $t_R = t_F = 5\text{ ns}$ (10%到90%的 V_{DD})并从1.6V电平起开始计时。

表2.

参数	在 T_{MIN} 、 T_{MAX} 的限值		单位	描述 ¹
	$V_{DRIVE} < 4.75\text{ V}$	$V_{DRIVE} = 4.75\text{ V}$ 至 5.25 V		
并行接口模式				
$t_{CONVERT}$	3	3	μs (典型值)	转换时间，内部时钟
t_{QUIET}	150	150	ns(最小值)	总线释放到下一次转换开始的最短安静时间
t_{ACQ}	550	550	ns(最小值)	采集时间
t_1	60	60	ns(最小值)	CONVST x高电平到BUSY高电平
t_{10}	25	25	ns(最小值)	最短CONVST x低电平脉冲
$t_{WAKE-UP}$	2	2	ms(最大值)	STBY上升沿到CONVST x上升沿，图中未显示。
	25	25	μs (最大值)	部分关断模式
并行写入操作				
t_{11}	15	15	ns(最小值)	\overline{WR} 脉冲宽度
t_{12}	0	0	ns(最小值)	\overline{CS} 到 \overline{WR} 建立时间
t_{13}	5	5	ns(最小值)	\overline{CS} 到 \overline{WR} 保持时间
t_{14}	5	5	ns(最小值)	\overline{WR} 上升沿前的数据建立时间
t_{15}	5	5	ns(最小值)	\overline{WR} 上升沿后的数据保持时间
并行读取操作				
t_2	0	0	ns(最小值)	BUSY到 \overline{RD} 延迟时间
t_3	0	0	ns(最小值)	\overline{CS} 到 \overline{RD} 建立时间
t_4	0	0	ns(最小值)	\overline{CS} 到 \overline{RD} 保持时间
t_5	45	36	ns(最小值)	\overline{RD} 脉冲宽度
t_6	45	36	ns(最大值)	\overline{RD} 下降沿后的数据访问时间
t_7	10	10	ns(最小值)	\overline{RD} 上升沿后的数据保持时间
t_8	12	12	ns(最大值)	\overline{RD} 上升沿后的总线释放时间
t_9	6	6	ns(最小值)	两次读取之间的最短间隔时间
串行接口模式				
f_{SCLK}	18	18	MHz(最大值)	串行读取时钟频率
t_{16}	12	12	ns(最大值)	从 \overline{CS} 到SDATA三态禁用的延迟时间
t_{17}^2	22	22	ns(最大值)	SCLK上升沿/ \overline{CS} 下降沿后的数据访问时间
t_{18}	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns(最小值)	SCLK低电平脉宽
t_{19}	$0.4 \times t_{SCLK}$	$0.4 \times t_{SCLK}$	ns(最小值)	SCLK高电平脉宽
t_{20}	10	10	ns(最小值)	在SCLK下降沿后SCLK到数据有效的保持时间
t_{21}	18	18	ns(最大值)	\overline{CS} 上升沿到SDATA高阻抗状态

¹ 多功能引脚名称可能仅通过相关功能来引用。

² 数据输出引脚上利用一个缓冲器进行此项测量。

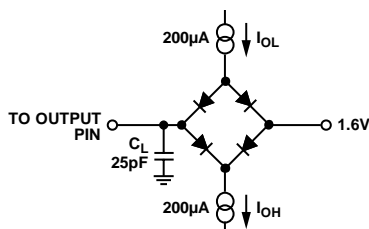


图2. 数字输出时序规格的负载电路

AD7656A

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表3.

参数	额定值
V_{DD} 至AGND, DGND	0V至+16.5V
V_{SS} 至AGND, DGND	0V至-16.5V
V_{DD} 至 AV_{CC}	$AV_{CC} + 0.7\text{V}$ 至16.5V
AV_{CC} 至AGND, DGND	-0.3V至+7V
DV_{CC} 至 AV_{CC}	-0.3V至 $AV_{CC} + 0.3\text{V}$
DV_{CC} 至DGND, AGND	-0.3V至+7V
AGND至DGND	-0.3V至+0.3V
V_{DRIVE} 至DGND	-0.3V至 $DV_{CC} + 0.3\text{V}$
模拟输入电压至AGND	$V_{SS} + 1\text{V}$ 至 $V_{DD} - 1\text{V}$
数字输入电压至DGND	-0.3V至 $V_{DRIVE} + 0.3\text{V}$
数字输出电压至DGND	-0.3V至 $V_{DRIVE} + 0.3\text{V}$
REFIN/REFOUT至AGND	-0.3V至 $AV_{CC} + 0.3\text{V}$
输入电流至除电源外的任何引脚 ¹	$\pm 10\text{ mA}$
工作温度范围	-40°C 至 $+85^\circ\text{C}$
存储温度范围	-65°C 至 $+150^\circ\text{C}$
结温	150°C
铅锡焊接温度	
回流焊(10秒至30秒)	$240(0)^\circ\text{C}$
无铅回流焊温度	$260(0)^\circ\text{C}$

¹ 100 mA以下的瞬态电流不会造成SCR闩锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

电源时序控制

为了保证器件的可靠性，需要同时施加 V_{DD} 和 V_{SS} 。如果无法保证同时施加，必须先让 V_{DD} 上电，再是 V_{SS} 。如果在 V_{DD} 和 V_{SS} 完全上电之前对模拟输入端施加一个负电压，则必须在模拟输入端上放置一个560 Ω 电阻。

多种时序组合会导致暂时高电流状态，但当所有电源都上电时，器件会回到正常工作电流。模拟输入(A_{IN})在 AV_{CC} 之前进入芯片会引起模拟输入端出现暂时高电流。数字输入在 DV_{CC} 之前进入芯片，以及 DV_{CC} 在其他电源之前上电，也会导致暂时高电流状态。

热阻

θ_{JA} 针对最差条件，即焊接在电路板上的器件为表贴封装。这些技术规格适用于4层电路板。

表4. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
64引脚 LQFP	45	11	$^\circ\text{C}/\text{W}$

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

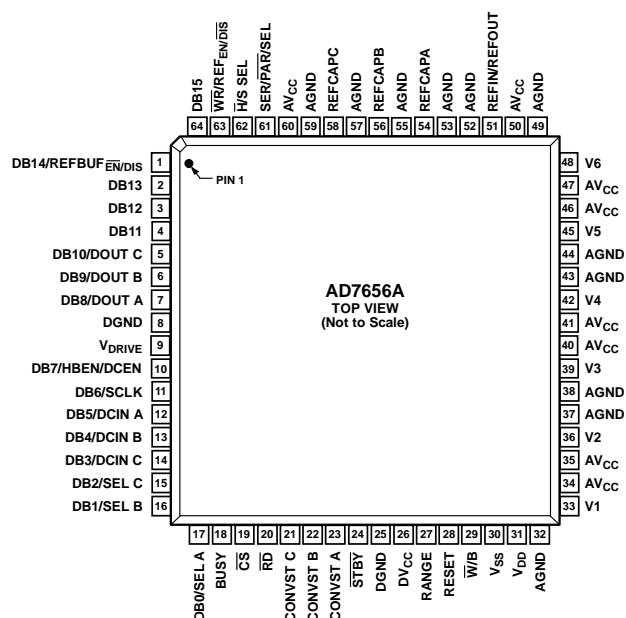


图3. 引脚配置

表5. 引脚功能描述¹

引脚编号	引脚名称	说明
1	DB14/REFBUF $\overline{\text{EN}}/\text{DIS}$	数据位14/使能和禁用基准电压缓冲器。当SER/ $\overline{\text{PAR}}/\text{SEL} = 0$ 时，此引脚充当三态并行数字输入/输出引脚。
2, 3, 64	DB13, DB12, DB15	数据位13、数据位12和数据位15。当SER/ $\overline{\text{PAR}}/\text{SEL} = 0$ 时，这些引脚充当三态并行数字输入/输出引脚。当CS和RD均处于低电平时，这些引脚用来输出转换结果。当CS和WR均处于低电平时，这些引脚用来写入控制寄存器。当SER/ $\overline{\text{PAR}}/\text{SEL} = 1$ 时，将这些引脚和DGND相连。
4	DB11	数据位11/数字地。当SER/ $\overline{\text{PAR}}/\text{SEL} = 0$ 时，此引脚充当三态并行数字输出引脚。当SER/ $\overline{\text{PAR}}/\text{SEL} = 1$ 时，将此引脚和DGND相连。
5	DB10/DOUT C	数据位10/串行数据输出C。当SER/ $\overline{\text{PAR}}/\text{SEL} = 0$ 时，此引脚充当三态并行数字输出引脚。当SER/ $\overline{\text{PAR}}/\text{SEL} = 1$ 且SEL C = 1时，此引脚用作DOUT C，输出串行转换数据。在此配置下，串行接口具有三路DOUT x输出线。
6	DB9/DOUT B	数据位9/串行数据输出B。当SER/ $\overline{\text{PAR}}/\text{SEL} = 0$ 时，引脚6充当三态并行数字输出引脚。当SER/ $\overline{\text{PAR}}/\text{SEL} = 1$ 且SEL B = 1时，引脚6用作DOUT B，输出串行转换数据。在此配置下，串行接口具有两路DOUT x输出线。
7	DB8/DOUT A	数据位8/串行数据输出A。当SER/ $\overline{\text{PAR}}/\text{SEL} = 0$ 时，此引脚充当三态并行数字输出引脚。当SER/ $\overline{\text{PAR}}/\text{SEL} = 1$ 且SEL A = 1时，此引脚用作DOUT A，输出串行转换数据。
8, 25	DGND	数字地。这些引脚是AD7656A上所有数字电路的接地基准点。两个DGND引脚都连接到系统的DGND平面。理想情况下，DGND和AGND电压保持等电位，并且电位差(甚至在瞬态电压存在时)不得超过0.3 V。
9	V _{DRIVE}	逻辑电源输入。此引脚的电源电压决定逻辑接口的工作电压。此引脚的标称电源与主机接口电源相同。应将此引脚去耦至DGND，并且将10 μF 和100 nF去耦电容接在V _{DRIVE} 引脚上。

AD7656A

引脚编号	引脚名称	说明
10	DB7/HBEN/DCEN	数据位7/高字节使能/菊花链使能。在并行字节模式($SER/\overline{PAR}/SEL = 0$ 且 $\overline{W}/B = 0$)，引脚10用作数据位7。在并行字节模式($SER/\overline{PAR}/SEL = 0$ 且 $\overline{W}/B = 1$)，引脚10用作HBEN。在此模式下且HBEN引脚处于逻辑高电平时，数据以MSB字节优先方式在DB15至DB8上输出。当HBEN引脚处于逻辑低电平时，数据以LSB字节优先方式在DB15至DB8上输出。在串行模式($SER/\overline{PAR}/SEL = 1$)，引脚10用作DCEN。当DCEN引脚处于逻辑高电平时，AD7656A采用菊花链模式工作，DB5至DB3用作DCIN A至DCIN C。处于串行模式但不采用菊花链模式时，应将DCEN连接至DGND。
11	DB6/SCLK	数据位6/串行时钟。当 $SER/\overline{PAR}/SEL = 0$ 时，此引脚充当三态并行数字输出引脚。当 $SER/\overline{PAR}/SEL = 1$ 时，此引脚用作SCLK输入，并成为串行传输的读取串行时钟。
12	DB5/DCIN A	数据位5/菊花链输入A。当 $SER/\overline{PAR}/SEL$ 处于低电平时，此引脚充当三态并行数字输出引脚。当 $SER/\overline{PAR}/SEL = 1$ 且DCEN = 1时，此引脚充当菊花链输入A。处于串行模式但不采用菊花链模式时，应将此引脚连接至DGND。
13	DB4/DCIN B	数据位4/菊花链输入B。当 $SER/\overline{PAR}/SEL = 0$ 时，此引脚充当三态并行数字输出引脚。当 $SER/\overline{PAR}/SEL = 1$ 且DCEN = 1时，此引脚充当菊花链输入B。处于串行模式但不采用菊花链模式时，应将此引脚连接至DGND。
14	DB3/DCIN C	数据位3/菊花链输入C。当 $SER/\overline{PAR}/SEL = 0$ 时，此引脚充当三态并行数字输出引脚。当 $SER/\overline{PAR}/SEL = 1$ 且DCEN = 1时，此引脚充当菊花链输入C。处于串行模式但不采用菊花链模式时，应将此引脚连接至DGND。
15	DB2/SEL C	数据位2/选择DOUT C。当 $SER/\overline{PAR}/SEL = 0$ 时，此引脚充当三态并行数字输出引脚。当 $SER/\overline{PAR}/SEL = 1$ 时，此引脚用作SEL C，并用来配置串行接口。如果此引脚为1，则串行接口使用3个DOUT输出引脚工作，并使能DOUT C作为串行输出端。如果此引脚为0，则不使能DOUT C作为串行数据输出引脚。不用的DOUT引脚应保持不连接。
16	DB1/SEL B	数据位1/选择DOUT B。当 $SER/\overline{PAR}/SEL = 0$ 时，此引脚充当三态并行数字输出引脚。当 $SER/\overline{PAR}/SEL = 1$ 时，此引脚用作SEL B，并用来配置串行接口。如果此引脚为1，则串行接口使用2或3个DOUT x输出引脚工作，并使能DOUT B作为串行输出端。如果此引脚为0，则不使能DOUT B作为串行数据输出端引脚，而仅使用一个DOUT输出引脚DOUT A。不用的DOUT引脚应保持不连接。
17	DB0/SEL A	数据位0/选择DOUT A。当 $SER/\overline{PAR}/SEL = 0$ 时，此引脚充当三态并行数字输出引脚。当 $SER/\overline{PAR}/SEL = 1$ 时，引脚17用作SEL A，并用来配置串行接口。如果此引脚为1，则串行接口使用1、2或3个DOUT x输出引脚工作，并使能DOUT A作为串行输出端。在串行模式下，此引脚必须始终为1。
18	BUSY	输出繁忙。开始转换时，此引脚变为高电平，并保持高电平直到转换完成，并且转换数据被锁存到输出数据寄存器。当BUSY信号为高电平时，请勿在AD7656A上启动新转换。
19	\overline{CS}	片选。此低电平有效逻辑输入使能数据帧传输。在并行模式下，如果 \overline{CS} 和 \overline{RD} 均处于逻辑低电平，则会使用输出总线，转换结果通过并行数据总线线路输出。在并行模式下，如果 \overline{CS} 和 \overline{WR} 均处于逻辑低电平，则可利用DB15至DB8将数据写入片上控制寄存器。在串行模式下，可利用 \overline{CS} 使能串行数据帧传输，并输出串行输出数据的最高有效位(MSB)。
20	\overline{RD}	读取数据。在并行模式下，如果 \overline{CS} 和 \overline{RD} 均处于逻辑低电平，则使能输出总线。在串行模式下， \overline{RD} 线路应保持低电平。
21, 22, 23	CONVST C, CONVST B, CONVST A	转换开始输入C、转换开始输入B和转换开始输入A。这些逻辑输入用来启动ADC对转换。CONVST A、CONVST B、CONVST C分别用于对V1和V2、V3和V4、V5和V6启动同步转换。当CONVST x引脚从低电平变为高电平时，所选ADC对的取样保持开关从采样切换到保持，然后便启动转换。利用这些输入端，还可让ADC对进入部分关断模式。
24	\overline{STBY}	待机模式输入。此引脚用来让全部六个片上ADC进入待机模式。 \overline{STBY} 引脚处于高电平时表示正常操作，处于低电平时表示待机操作。
26	DV _{CC}	数字电源4.75 V至5.25 V。理想情况下，DV _{CC} 和AV _{CC} 电压保持等电位，并且电位差(甚至在瞬态电压存在时)不得超过0.3 V。应将此电源去耦至DGND，并且将10 μF和100 nF去耦电容接在DV _{CC} 引脚上。

引脚编号	引脚名称	说明
27	RANGE	模拟输入范围选择。逻辑输入。此引脚的逻辑电平决定模拟输入通道的输入范围。当此引脚在BUSY下降沿为逻辑1时，下一次转换的范围为 $\pm 2 \times V_{REF}$ 。当此引脚在BUSY下降沿为逻辑0时，下一次转换的范围为 $\pm 4 \times V_{REF}$ 。在硬件选择模式下，在BUSY下降沿检查RANGE引脚。在软件模式(H/S SEL = 1)下，可将RANGE引脚和DGND相连，然后由控制寄存器内的RNGA、RNGB和RNGC位决定输入范围。
28	RESET	复位输入。当设为逻辑高电平时，此引脚可复位AD7656A，当前转换(如有)将被中止。内部寄存器设为全0。在硬件模式下，根据硬件选择引脚上的逻辑电平来配置AD7656A。所有模式下，器件必须在上电后收到一个RESET脉冲。复位高电平脉冲宽度典型值为100 ns。在RESET脉冲之后，AD7656A需由有效的CONVST脉冲启动转换；CONVST脉冲通常包括一个高至低的CONVST下降沿，随后是一个低至高的CONVST上升沿。在RESET脉冲期间，CONVST x信号必须为高电平。
29	W/B	Word/字节输入。当此引脚处于逻辑低电平时，可利用并行数据线DB15至DB0来传输AD7656A的输入输出数据。当此引脚处于逻辑高电平时，使能字节模式。在此模式下，利用数据线DB15至DB8来传输数据，DB7用作HBEN。要获得16位转换结果，需进行双字节读取。在串行模式下，此引脚应与DGND相连。
30	V _{SS}	负电源电压。这是模拟输入部分的负电源电压。V _{SS} 引脚上应放置10 μF和100 nF去耦电容。
31	V _{DD}	正电源电压。这是模拟输入部分的正电源电压。V _{DD} 引脚上应放置10 μF和100 nF去耦电容。
32, 37, 38, 43, 44, 49, 52, 53, 55, 57, 59	AGND	模拟地。AD7656A上所有模拟电路的接地基准点。所有模拟输入信号和外部基准信号都参照AGND电压。所有AGND引脚都连到系统的AGND平面。理想情况下，AGND和DGND电压保持等电位，并且电位差(甚至在瞬态电压存在时)不得超过0.3 V。
33, 36, 39, 42, 45, 48	V1至V6	模拟输入1至模拟输入6。这些是单端模拟输入。在硬件模式下，这些通道上的模拟输入范围由RANGE引脚决定。在软件模式下，由控制寄存器的位RNGC至位RNGA决定(参见表9)。
34, 35, 40, 41, 46, 47, 50, 60	AV _{CC}	模拟电源电压，4.75 V至5.25 V。AV _{CC} 引脚是ADC内核的电源电压。理想情况下，AV _{CC} 和DV _{CC} 电压保持等电位，并且电位差(甚至在瞬态电压存在时)不得超过0.3 V。应将这些电源去耦至AGND，并且将10 μF和100 nF去耦电容接在AV _{CC} 引脚上。
51	REFIN/REFOUT	基准电压输入/基准电压输出。引脚51提供片上基准电压，供AD7656A外部使用。或者，可禁用内部基准电压源，并将外部基准电压源施加到此输入端。参见“基准电压源”部分。使能内部基准电压源时，应利用至少一个10 μF去耦电容对引脚51去耦。
54, 56, 58	REFCAPA, REFCAPB, REFCAPC	基准源去耦电容A、基准源去耦电容B及基准源去耦电容C。去耦电容连接到这些引脚，以便对每对ADC的基准电压源缓冲进行去耦。每个REFCAPx引脚应通过10 μF和100 nF电容去耦至AGND。
61	SER/ <u>PAR</u> /SEL	串行/ <u>Parallel</u> 选择输入。当此引脚处于低电平时，选择并行接口。当此引脚处于高电平时，选择串行接口模式。在串行模式下，DB10至DB8用作DOUTC至DOUTA，DB0至DB2用作DOUT选择，DB7用作DCEN。在串行模式下，DB15和DB13至DB11应与DGND相连。
62	<u>H/S</u> SEL	Hardware/ <u>软件</u> 选择输入。逻辑输入。当 <u>H/S</u> SEL = 0时，AD7656A在硬件选择模式下工作，并通过CONVST x引脚来选择需同步采样的ADC对。当H/S SEL = 1时，通过写入控制寄存器操作来选择需同步采样的ADC对。在串行模式下，CONVST A用来启动对所选ADC对的转换。
63	<u>WR</u> /REF _{EN/DIS}	写入数据/ <u>使能/Disable</u> 基准电压源。当 <u>H/S</u> SEL引脚处于高电平，且 <u>CS</u> 和 <u>WR</u> 均处于逻辑低电平时，利用DB15至DB8将数据写入内部控制寄存器。当H/S SEL引脚处于低电平时，此引脚用来使能或禁用内部基准电压。当H/S SEL = 0且REF _{EN/DIS} = 0时，禁用内部基准电压，必须将外部基准电压施加到REFIN/REFOUT引脚。当H/S SEL = 0且REF _{EN/DIS} = 1时，使能内部基准电压源，且必须对REFIN/REFOUT引脚进行去耦。参见“基准电压源”部分。

¹ 多功能引脚名称可能仅通过相关功能来引用。

典型性能参数

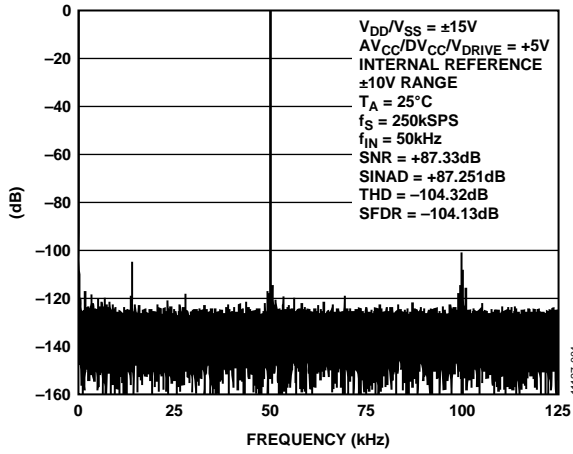


图4. FFT(±10 V范围)

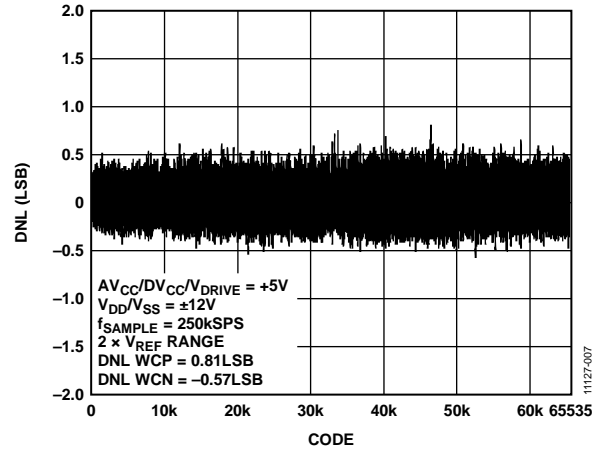


图7. 典型DNL

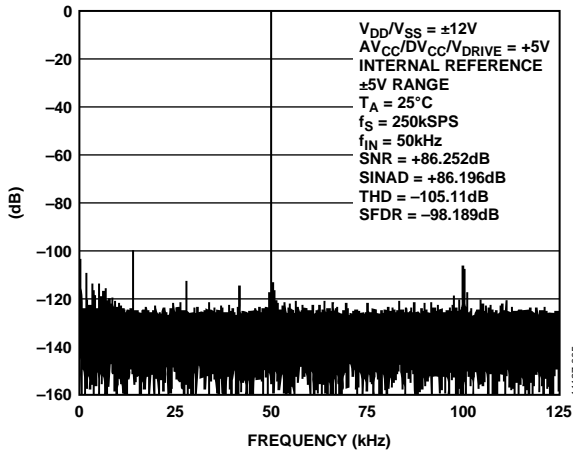


图5. FFT(±5 V范围)

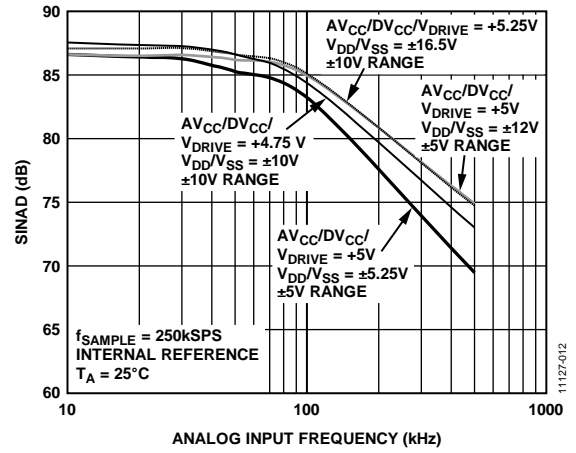


图8. SINAD与模拟输入频率的关系

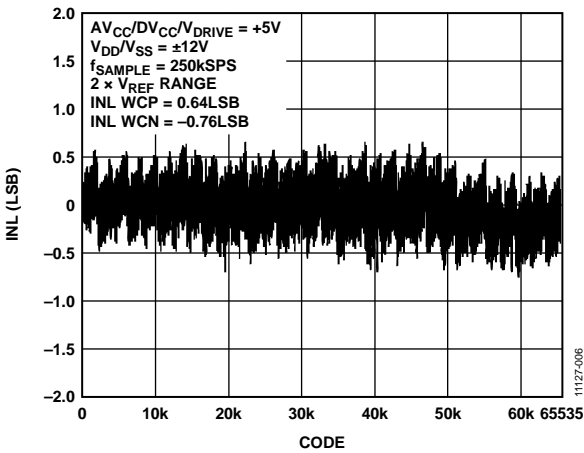


图6. 典型INL

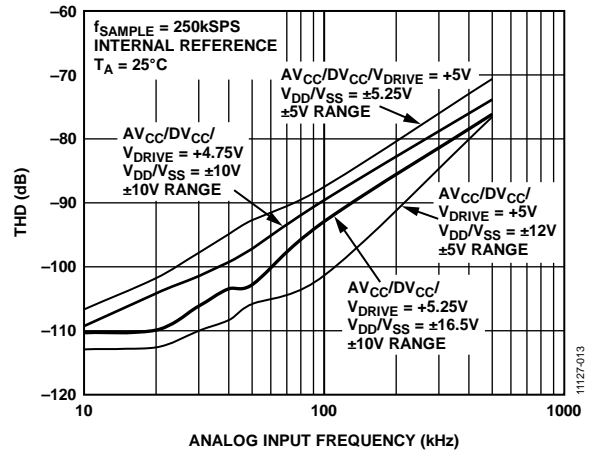


图9. THD与模拟输入频率的关系

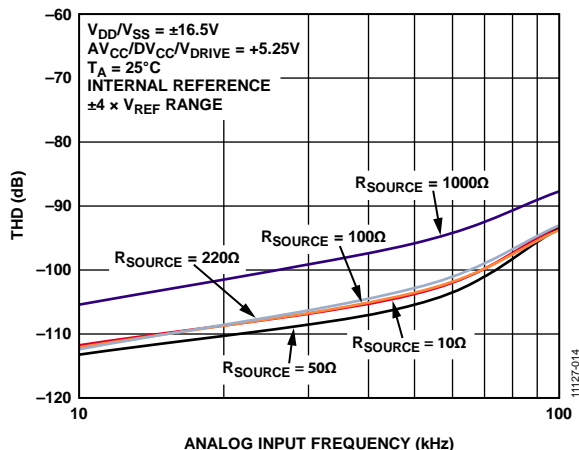


图10. 不同源阻抗下及 $\pm 4 \times V_{REF}$ 范围内, 总谐波失真(THD)性能与模拟输入频率的关系

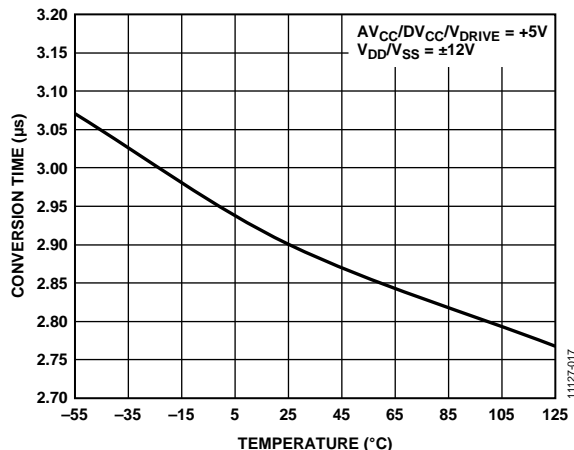


图13. 转换时间与温度的关系

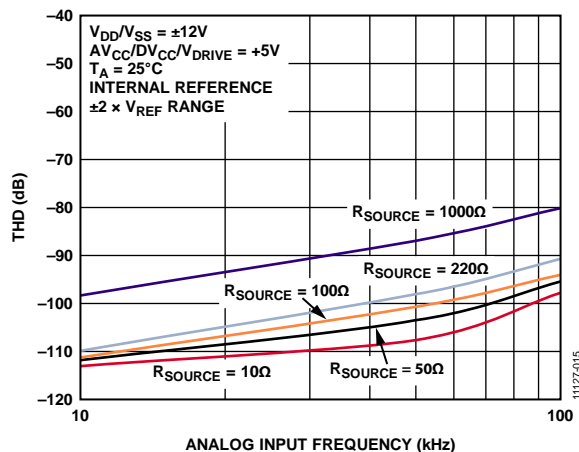


图11. 不同源阻抗下及 $\pm 2 \times V_{REF}$ 范围内, 总谐波失真(THD)性能与模拟输入频率的关系

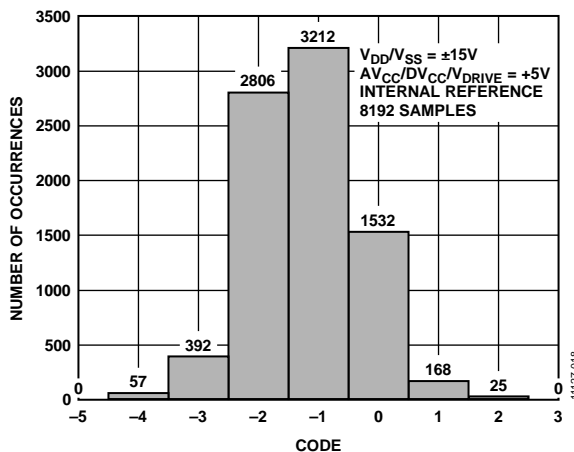


图14. 码直方图

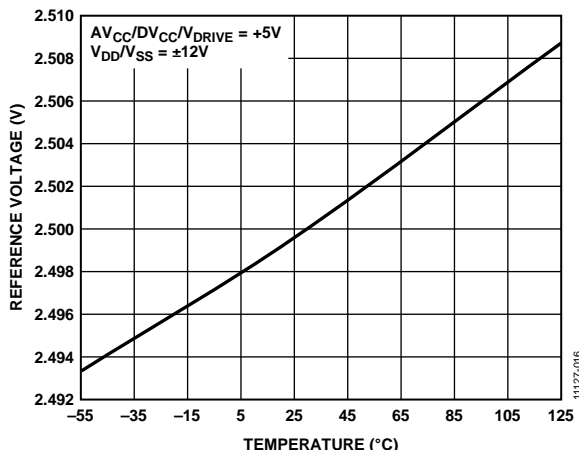


图12. 基准电压与温度的关系

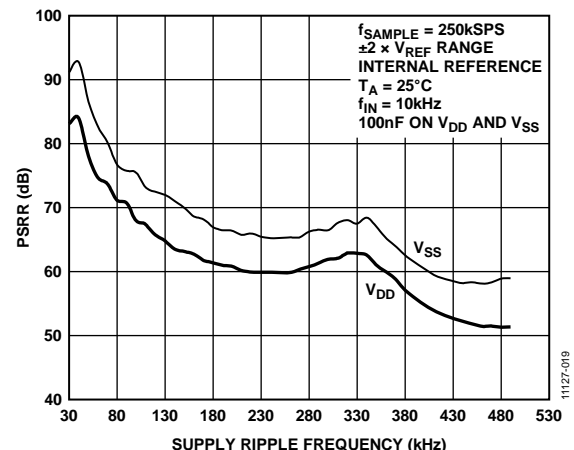


图15. PSRR与电源纹波频率的关系

AD7656A

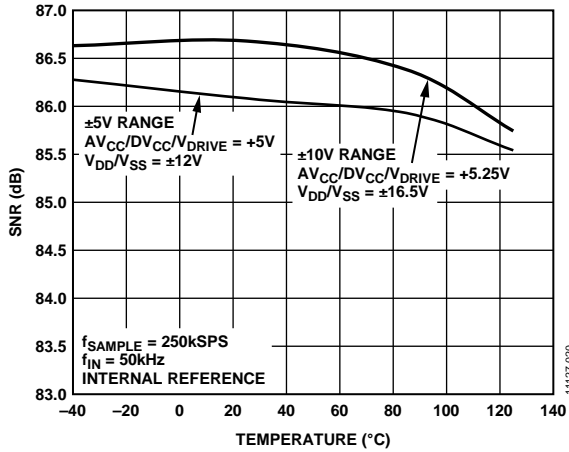


图16. SNR与温度的关系

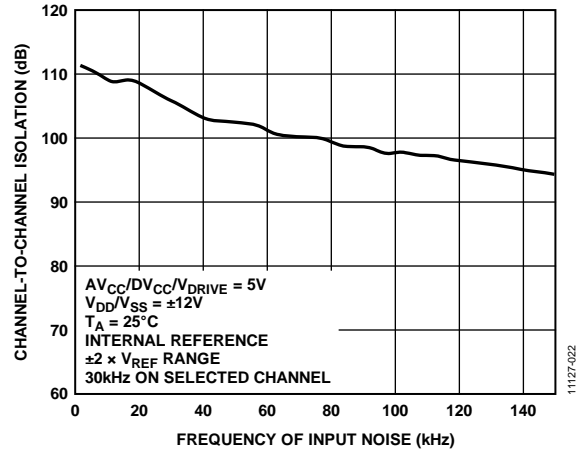


图18. 通道间隔离

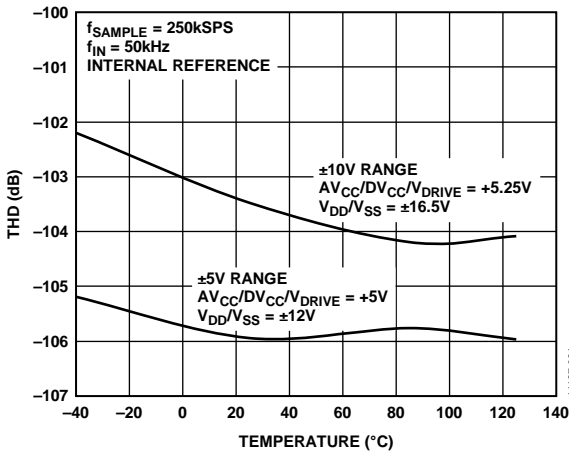


图17. THD与温度的关系

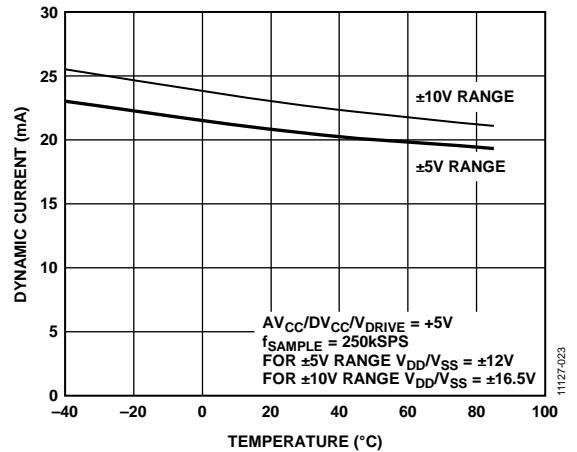


图19. 动态电流与温度的关系

术语

积分非线性(INL)

INL指ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。传递函数的两个端点，起点在低于第一个码转换的 $\frac{1}{2}$ LSB处的零电平，终点在高于最后一个码转换的 $\frac{1}{2}$ LSB处的满量程。

差分非线性(DNL)

DNL指ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

双极性零电平误差

双极性零电平误差指中间电平转换(全1到全0)与理想 V_{IN} 电压，即AGND - 1 LSB的偏差。

双极性零电平误差匹配

双极性零电平误差匹配指任何两个输入通道之间双极性零电平误差的差异。

正满量程误差

正满量程误差指校正双极性零电平误差之后，最后一个码转换(011 ... 110至011 ... 111)与理想值($4 \times V_{REF} - 1$ LSB或 $2 \times V_{REF} - 1$ LSB)的偏差。

正满量程误差匹配

正满量程误差匹配指任何两个输入通道之间正满量程误差的差异。

负满量程误差

负满量程误差指校正双极性零电平误差之后，第一个码转换(10 ... 000至10 ... 001)与理想值($-4 \times V_{REF} + 1$ LSB或 $-2 \times V_{REF} + 1$ LSB)的偏差。

负满量程误差匹配

负满量程误差匹配指任何两个输入通道之间负满量程误差的差异。

采样保持器采集时间

采样保持放大器在转换结束后恢复跟踪模式。采样保持器采集时间是转换结束后，采样保持放大器输出达到最终值(在 ± 1 LSB内)所需的时间。更多详情参见采样保持放大器部分。

信噪比(SNR)

SNR指输出信号测量结果的均方根值与奈奎斯特频率以下除谐波和直流外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

信纳比(SINAD)

信纳比(SINAD)是指在ADC输出端测得的信号对噪声及失真比。这里的信号是基波幅值的均方根值。噪声为所有达到采样频率一半($f_{SAMPLE}/2$ ，直流信号除外)的非基波信号之和。

在数字化过程中，这个比值的大小取决于量化级数，量化级数越多，量化噪声就越小。对于一个正弦波输入的理想N位转换器，信纳比理论值计算公式为：

$$SINAD = (6.02 N + 1.76) \text{ dB}$$

因此，16位转换器的信纳比理论值为98 dB。

总谐波失真(THD)

THD指所有谐波均方根和与基波的比值。对于AD7656A，其定义为：

$$THD(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中：

V_1 是基波幅度的均方根值。

V_2 、 V_3 、 V_4 、 V_5 及 V_6 是二次到六次谐波幅度的均方根值。

峰值谐波或杂散噪声

峰值谐波或杂散噪声是指在ADC输出频谱(最高达 $f_{SAMPLE}/2$ ，直流信号除外)中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于噪底内的ADC，则由噪声峰值决定。

交调失真(IMD)

当输入由两个频率分别为 f_a 和 f_b 的正弦波组成时，任何非线性有源器件都会以和与差频 $m f_a \pm n f_b$ (其中 $m, n = 0, 1, 2, 3$)的形式产生失真产物。交调失真项的 m 和 n 都不等于0。例如，二阶项包括 $(f_a + f_b)$ 和 $(f_a - f_b)$ ，而三阶项包括 $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 和 $(f_a - 2f_b)$ 。

AD7656A经过CCIF标准测试，此标准使用最大输入带宽附近的两个输入频率。在此情况下，二阶项频率通常远离最初正弦波，而三阶项频率通常靠近输入频率。因此，二阶和三阶项需分别指定。交调失真根据THD参数来计算，它是个别失真积的均方根和与基波和的幅值均方根的比值，用分贝(dB)表示。

AD7656A

通道间隔离

通道间隔离衡量任意两个通道之间的串扰水平。通过向所有未选定的输入通道施加一个满量程、100 kHz正弦波信号，并决定该信号在选定通道内随30 kHz信号的衰减程度来测量。

电源抑制比(PSRR)

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制是由于电源电压偏离标称值所引起的最大满量程转换点变化。参见典型工作特性部分。

图15显示AD7656A的电源抑制比与电源纹波频率的关系。电源抑制比定义为满量程频率 f 下ADC输出功率与频率 f_{SAMPLE} 下施加于ADC V_{DD} 和 V_{SS} 电源的200 mV p-p正弦波功率的比值：

$$PSRR \text{ (dB)} = 10 \log (P_f/P_{f_s})$$

其中：

P_f 是在频率 f 下ADC的输出功率。

P_{f_s} 是在频率 f_s 下耦合到 V_{DD} 和 V_{SS} 电源的功率。

满量程百分比(% FSR)

%FSR采用ADC的完整理论范围而计算得出。

工作原理

转换器详解

AD7656A是一款高速、低功耗转换器，允许对六个片上ADC进行同步采样，其模拟输入可以接受真双极性输入信号。通过RANGE引脚或RNGx位，可选择 $\pm 4 \times V_{REF}$ 或 $\pm 2 \times V_{REF}$ 作为下一次转换的输入范围。

AD7656A内置六个SAR ADC、六个采样保持放大器、一个2.5 V片上基准电压源、基准电压缓冲器和高速串行并行接口。三个CONVST x(CONVST A、CONVST B和CONVST C)引脚连在一起时，可以对所有六个ADC进行同步采样。或者，六个ADC可分成三对。每对都有一个相关的CONVST信号，用来对每对、四个或全部六个ADC启动同步采样。CONVST A用来对V1和V2启动同步采样，CONVST B用来对V3和V4启动同步采样，而CONVST C用来对V5和V6启动同步采样。

通过脉冲激活CONVST x输入，可启动AD7656A的转换。在CONVST x的上升沿，所选ADC对的采样保持放大器进入保持模式，并开始转换。达到CONVST x上升沿后，BUSY信号变为高电平，表示正在进行转换。AD7656A的转换时钟由内部产生，转换时间为3 μ s。BUSY信号恢复低电平表示转换结束。在BUSY下降沿时，采样保持放大器返回跟踪模式。数据可通过并行或串行接口从输出寄存器读取。

采样保持放大器

利用采样保持放大器，AD7656A ADC可以用16位分辨率精确转换满量程幅度的输入正弦波。即使AD7656A以最大吞吐速率工作，采样保持放大器的输入带宽也大于ADC的奈奎斯特频率。该器件可支持高达12 MHz的输入频率。

采样保持放大器在CONVST x上升沿时对其各自输入进行同步采样。采样保持放大器的孔径时间(即外部CONVST x信号从采样到实际进入保持模式的延迟时间)为10 ns。无论是单个器件还是器件之间，所有六个采样保持放大器的孔径时间都完全匹配。因此允许对六个以上ADC进行同步采样。BUSY下降沿表示转换结束，此时采样保持放大器返回跟踪模式，采集时间开始计时。

模拟输入

AD7656A可处理真双极性输入电压。RANGE引脚的逻辑电平或控制寄存器中RNGx位的写入值决定下一次转换的模拟输入范围。当RANGE引脚或RNGx位为1时，下一次转换的模拟输入范围为 $\pm 2 \times V_{REF}$ 。当RANGE引脚或RNGx位为0时，下一次转换的模拟输入范围为 $\pm 4 \times V_{REF}$ 。

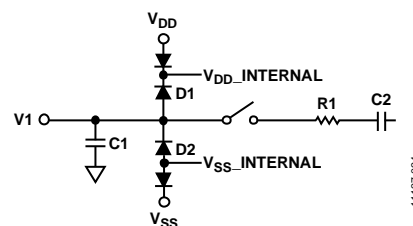


图20. 等效模拟输入结构

图20显示了AD7656A模拟输入结构的等效电路。二极管D1和D2提供模拟输入的ESD保护。切记，模拟输入信号决不能比 V_{DD} 和 V_{SS} 供电轨限值大 $V_{SS} + 1$ V和 $V_{DD} - 1$ V。否则会造成这些二极管正偏，并开始向基板内传导电流。这些二极管可以传导但不会对器件造成彻底损坏的最大电流为10 mA。图20中的电容C1通常约为4 pF，并且主要在引脚电容上。电阻R1是一个集总元件，由开关(即采样保持开关)的导通电阻组成，一般约为25 Ω 。电容C2是ADC采样电容，一般为10 pF。

AD7656A的高压模拟输入结构需要 V_{DD} 和 V_{SS} 双电源。这些电源必须大于模拟输入范围(各模拟输入范围的电源要求见表6)。AD7656A需要一个4.75 V至5.25 V的低压 AV_{CC} 电源给ADC内核供电，一个4.75 V至5.25 V的 DV_{CC} 电源作为数字电源，以及一个2.7 V至5.25 V的 V_{DRIVE} 电源作为接口电源。

在选定模拟输入范围使用最小电源电压时，为了满足指定性能要求，可能必须降低最大吞吐率。

表6. 最低 V_{DD}/V_{SS} 电源电压要求

模拟输入范围 (V)	基准电压(V)	满量程输入 (V)	最小 V_{DD}/V_{SS} (V)
$\pm 4 \times V_{REF}$	2.5	± 10	± 11
$\pm 4 \times V_{REF}$	3.0	± 12	± 13
$\pm 2 \times V_{REF}$	2.5	± 5	± 6
$\pm 2 \times V_{REF}$	3.0	± 6	± 7

AD7656A

ADC传递函数

AD7656A的输出编码方式为二进制补码。所设计的码转换在连续LSB整数值的中点(即1/2 LSB和3/2 LSB)进行。AD7656A的LSB大小为FSR/65,536。理想的传递特性如图21所示。

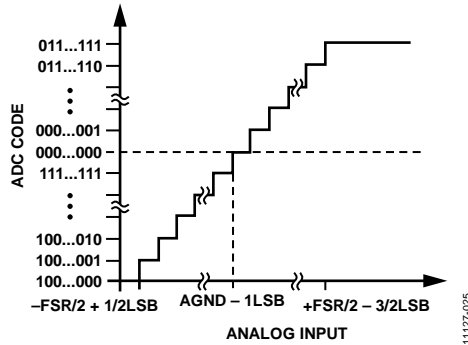


图21. 传递特性

LSB大小取决于所选的模拟输入范围(见表7)。

表7. 各模拟输入范围的LSB大小

输入范围(V)	LSB大小(mV)	满量程范围
±10	0.305	20 V/65,536
±5	0.152	10 V/65,536

基准电压源部分

REFIN/REFOUT引脚既可使用AD7656A的2.5 V基准电压源,也可连接外部基准电压源,以便为器件转换提供基准电压源。

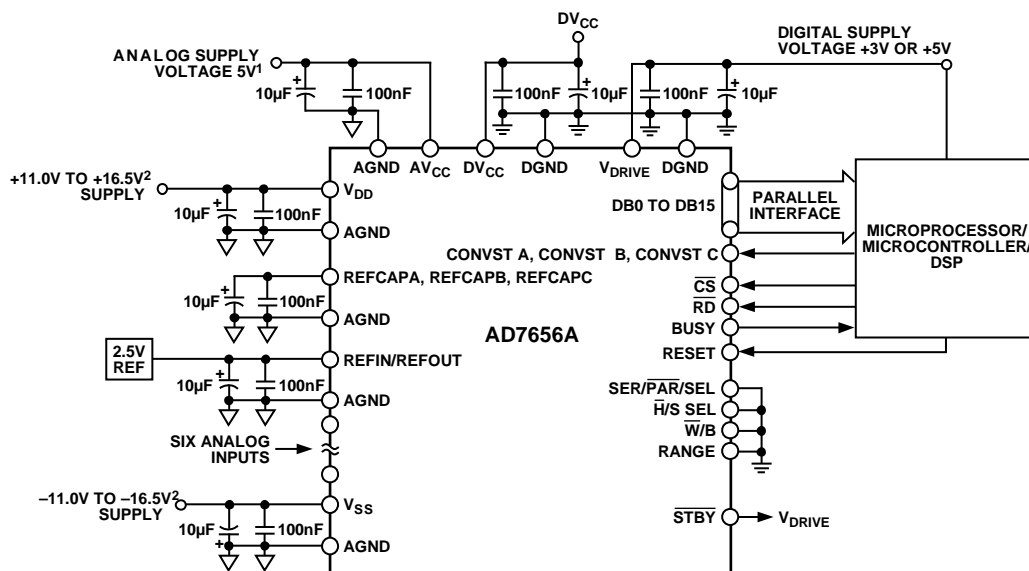
AD7656A可以接受2.5 V至3 V范围内的外部基准电压源。使用外部基准电源时,必须禁用内部基准电压源。复位后,AD7656A默认在外部基准电压源模式下工作,并使能内部

基准电压缓冲器。内部基准电压源既可在硬件模式下使能,也可在软件模式下使能。若要在硬件模式下使能内部基准电压源,需将 $\overline{\text{H/S SEL}}$ 引脚置于0并将 $\text{REF}_{\text{EN/DS}}$ 引脚置于1。若要在软件模式下使能内部基准电压源,需将 $\overline{\text{H/S SEL}}$ 引脚置于1,并写入控制寄存器,将DB9置1。对于内部基准电压源模式,使用一个10 μF 和100 nF电容对REFIN/REFOUT引脚进行去耦。

AD7656A内置三个片内基准电压缓冲器。三对ADC各对应一个基准电压缓冲器。这些基准电压缓冲器要求在REFCAPA、REFCAPB和REFCAPC引脚上使用外部去耦电容,应在这些REFCAPx引脚上放置10 μF 和100 nF去耦电容。内部基准电压缓冲器可在软件模式下禁用,通过向内部控制寄存器写入DB8位来实现。如果选择串行接口,可在硬件模式下,将DB14/REFBUF $_{\text{EN/DS}}$ 引脚设为高电平来禁用内部基准电压缓冲器。如果内部基准电压源及其缓冲器均禁用,可向REFCAPx引脚施加外部缓冲基准电压源。

典型连接图

图22显示了AD7656A的典型连接图。该器件具有八个 AV_{CC} 电源引脚。 AV_{CC} 电源用于AD7656A转换过程;因此,必须对其进行良好去耦。每个 AV_{CC} 电源引脚应通过一个10 μF 钽电容和一个100 nF陶瓷电容进行去耦。AD7656A既可在内部基准电压下工作,也可在外部施加的基准电压下工作。在图22所示配置中,器件被配置为在外部基准电压下工作。REFIN/REFOUT引脚通过一个10 μF 和100 nF电容对REFIN/REFOUT引脚通过一个10 μF 和100 nF电容对REFIN/REFOUT引脚通过一个10 μF 和100 nF电容对REFIN/REFOUT引脚进行去耦。三个内部基准电压缓冲器均已使能。REFCAPx引脚各自通过10 μF 和100 nF电容对REFCAPx引脚各自通过10 μF 和100 nF电容对REFCAPx引脚各自通过10 μF 和100 nF电容对REFCAPx引脚进行去耦。



¹DECOUPLING SHOWN ON THE AV_{CC} PIN APPLIES TO EACH AV_{CC} PIN.
²SEE THE POWER SUPPLY SEQUENCING SECTION.

图22. 典型连接图

其中六个 AV_{CC} 电源引脚用于给AD7656A的六个ADC内核供电，也就是用于转换过程。每个模拟输入引脚周围都有一个 AV_{CC} 电源引脚和一个AGND引脚。这些 AV_{CC} 和AGND引脚是各个ADC内核的电源和地。例如，引脚33为V1，引脚34是ADC内核1的 AV_{CC} 电源，引脚32则是ADC内核1的AGND。减少去耦的替代解决方案是将这六个 AV_{CC} 电源引脚合并为三对，即引脚34和引脚35一对，引脚40和引脚41一对，引脚46和引脚47一对。

对于AD7656A，可在每个引脚对上连接一个100 μ F去耦电容。所有其它电源引脚和基准引脚均应通过10 μ F去耦电容进行去耦。

如果 AV_{CC} 和 DV_{CC} 采用相同的电源，则应在电源引脚之间放置一个铁氧体磁珠或小型RC滤波器。

AGND引脚连到系统模拟接地平面。DGND引脚连到系统内部的数字接地平面。在系统内将AGND和DGND层连在某处。此连接应尽可能靠近系统内的AD7656A。

V_{DRIVE} 电源连接到为处理器供电的同一电源。 V_{DRIVE} 的电压控制输出逻辑信号的电压值。

V_{DD} 和 V_{SS} 信号应通过一个至少10 μ F的去耦电容进行去耦。这些电源用于AD7656A模拟输入端的高压模拟输入结构。

驱动模拟输入

AD7656A的驱动器放大器和模拟输入电路必须在指定的550 ns采集时间内，将满量程步进输入建立至16位水平(0.0015%)。驱动器放大器所产生的噪声必须尽可能低，以便保持AD7656A的SNR和转换噪声性能。此外，驱动器的THD性能还需要适合AD7656A。

AD8021满足所有这些要求。AD8021需要一个10 pF的外部补偿电容。如果需要双通道版的AD8021，可使用AD8022。

AD8610和AD797也可用来驱动AD7656A。

接口部分

AD7656A提供两种接口选项：并行接口和高速串行接口。所需接口模式可通过SER/PAR SEL引脚来选择。并行接口模式可采用字($\overline{W}/B = 0$)或字节($\overline{W}/B = 1$)工作模式。接口模式将在以下章节中加以介绍。

并行接口(SER/PAR/SEL = 0)

AD7656A内置六个16位ADC。将所有三个CONVST x引脚(CONVST A、CONVST B和CONVST C)连在一起，便可对六个ADC进行同步采样。AD7656A需由CONVST x脉冲启动转换；CONVST x脉冲通常包括一个CONVST x下降沿，随后为一个CONVST x上升沿。CONVST x上升沿对所选的ADC启动同步转换。AD7656A内置一个片内振荡器用于转换。转换时间 $t_{CONVERT}$ 为3 μ s。BUSY信号变为低电平表示转换结束。BUSY信号下降沿用来让采样保持放大器进入跟踪模式。分别向三个CONVST x引脚发出脉冲信号，AD7656A还可以实现六个ADC的成对同步转换。CONVSTA、CONVSTB、CONVST C分别用于对V1和V2、V3和V4、V5和V6启动同步转换。同步采样ADC的转换结果储存在输出数据寄存器内。

数据可以通过并行数据总线，利用标准 \overline{CS} 和 \overline{RD} 信号($\overline{W}/B = 0$)从AD7656A读取。通过并行总线读取数据时，需将SER/PAR SEL和低电平相连。通过内部选通 \overline{CS} 和 \overline{RD} 输入信号，可以将转换结果输出到数据总线。当 \overline{CS} 和 \overline{RD} 均为逻辑低电平时，数据线DB0至DB15引脚不再呈高阻态。

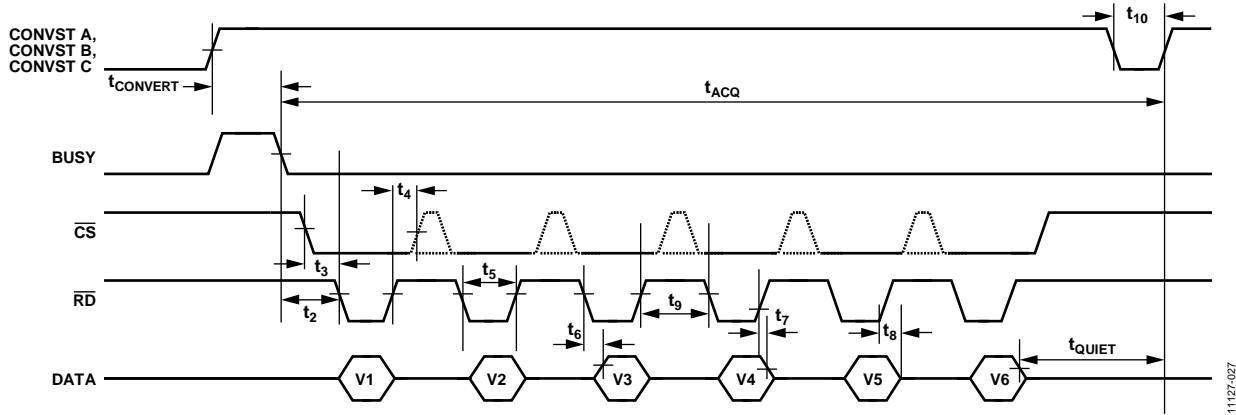


图23. 并行接口时序图($\overline{W/B} = 0$)

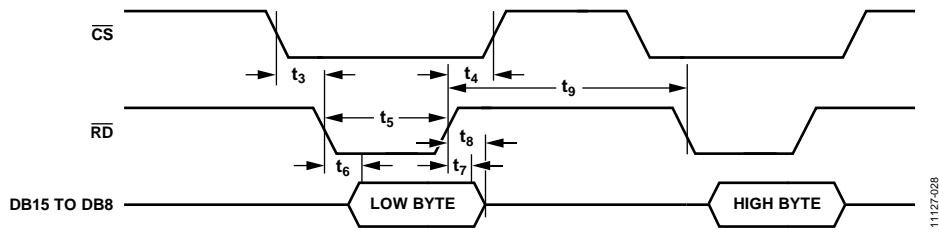


图24. 并行接口—字节工作模式的读取周期($\overline{W/B} = 1, HBEN = 0$)

\overline{CS} 信号可永久性地接低电平，而 \overline{RD} 信号可用来获取转换结果。BUSY信号变为低电平后即可开始读取操作。所需读取操作次数取决于同步采样的ADC数目(见图23)。如果CONVST A和CONVST B同时变低，需要四次读取操作从V1、V2、V3及V4获得转换结果。如果CONVST A和CONVST C同时变低，需要四次读取操作从V1、V2、V5及V6获得转换结果。转换结果以升序输出。

使用三个CONVST x信号独立地启动三对ADC转换时，应确保BUSY信号处于高电平时未在通道对上启动转换。此外，建议不要在读取序列期间启动转换，因为那样会影响转换性能。要获得指定性能，建议在转换后进行读取。对于未使用的输入通道对，应将相应CONVST x引脚和 V_{DRIVE} 相连。

如果只能使用8位总线，则可将AD7656A接口配置成字节工作模式($\overline{W/B} = 1$)。在此配置下，DB7/HBEN/DCEN引脚具有HBEN功能。AD7656A的各通道转换结果可通过两次读取操作来获取，每次读取操作在DB15至DB8上获得8位数据(见图24)。HBEN引脚决定读取操作先获取16位转换结果的高字节还是低字节。要始终先获取DB15至DB8上的低字节，应将HBEN引脚接低电平。要始终先获取DB15至DB8上的高字节，应将HBEN引脚接高电平。在字节模式下，当所有三个CONVST x引脚一起发出脉冲来启动所有六个ADC的同步转换时，需进行12次读取操作来读取六个16位转换结果。字节模式下，DB6至DB0保持不连接状态。

ADC软件选择

\overline{H}/S SEL引脚决定需同步采样的ADC组合方式。当 \overline{H}/S SEL引脚处于逻辑低电平时，需同步采样的通道组合由CONVST A、CONVST B和CONVST C引脚决定。当 \overline{H}/S SEL引脚处于逻辑高电平时，需同步采样的通道组合由控制寄存器中DB15至DB13的内容决定。在此模式下，必须进行控制寄存器写入操作。

控制寄存器是8位只写寄存器。此寄存器的数据写入通过 \overline{CS} 和 \overline{WR} 引脚以及DB15至DB8数据引脚来完成(参见图25)。控制寄存器如表8所示。要选择需同步采样的ADC对，应在写入操作期间将对应的数据线设为高电平。

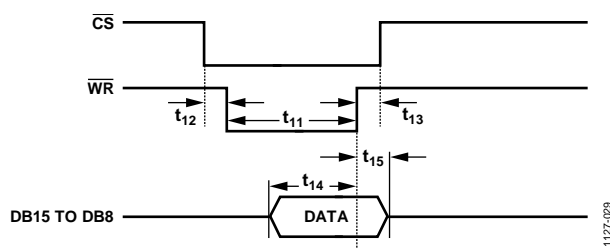


图25. 并行接口—字模式写入周期($\overline{W}/B=0$)

AD7656A控制寄存器可设置各ADC对的范围。控制器寄存器中的DB12至DB10位用于设置各ADC对的范围。

AD7656A发生复位后，控制寄存器全部清0。

CONVST A信号用来对通过控制寄存器选择的通道组合启动同步转换。在软件工作模式下(\overline{H}/S SEL = 1)，CONVST B和CONVST C信号可接低电平。所需读取脉冲数取决于控制寄存器中设置的ADC数目，以及器件采用字还是字节工作模式。转换结果以升序输出。

在写操作期间，当 \overline{RD} 处于逻辑高电平且 \overline{CS} 和 \overline{WR} 处于逻辑低电平时，数据总线位DB15至DB8为双向，成为控制寄存器的输入。当 \overline{WR} 变为逻辑高电平时，DB15至DB8的逻辑状态锁存到控制寄存器内。

表8. 控制寄存器的各位(默认全0)

DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8
VC	VB	VA	RNGC	RNGB	RNGA	REFEN	REFBUF

表9. 控制寄存器位功能描述(默认全0)

位	引脚名称	说明
DB15	VC	此位选择V5和V6模拟输入进行下一次转换。当其设为1时，在下一个CONVST A上升沿可对V5和V6进行同步转换。
DB14	VB	此位选择V3和V4模拟输入进行下一次转换。当其设为1时，在下一个CONVST B上升沿可对V3和V4进行同步转换。
DB13	VA	此位选择V1和V2模拟输入进行下一次转换。当其设为1时，在下一个CONVST C上升沿可对V1和V2进行同步转换。
DB12	RNGC	此位选择V5和V6的模拟输入范围。当其设为1时，下一次转换选择 $\pm 2 \times V_{REF}$ 范围。当其设为0时，下一次转换选择 $\pm 4 \times V_{REF}$ 范围。
DB11	RNGB	此位选择V3和V4的模拟输入范围。当其设为1时，下一次转换选择 $\pm 2 \times V_{REF}$ 范围。当其设为0时，下一次转换选择 $\pm 4 \times V_{REF}$ 范围。
DB10	RNGA	此位选择V1和V2的模拟输入范围。当其设为1时，下一次转换选择 $\pm 2 \times V_{REF}$ 范围。当其设为0时，下一次转换选择 $\pm 4 \times V_{REF}$ 范围。
DB9	REFEN	此位选择内部基准电压源或外部基准电压源。当其设为0时，选择外部基准电压源模式。当其设为1时，则选择内部基准电压源模式。
DB8	REFBUF	此位选择是使用内部基准电压缓冲器，还是绕过这些缓冲器。当其设为0时，使能内部基准电压缓冲器，同时需要对REFCAPx引脚去耦。当其设为1时，禁用内部基准电压缓冲器，同时应将缓冲后的基准电压源施加于REFCAPx引脚。

AD7656A

更改模拟输入范围($\overline{H}/S\ SEL = 0$)

利用AD7656A RANGE引脚, 用户可以选择 $\pm 2 \times V_{REF}$ 或 $\pm 4 \times V_{REF}$ 作为六路模拟输入的范围。当 $\overline{H}/S\ SEL$ 引脚处于低电平时, 在BUSY信号下降沿对RANGE引脚的逻辑状态进行采样, 以决定下一次同步转换的模拟输入范围。当RANGE引脚在BUSY信号的下沿处于逻辑高电平时, 下一次转换的模拟输入范围为 $\pm 2 \times V_{REF}$ 。当RANGE引脚在BUSY信号的下沿处于逻辑低电平时, 下一次转换的模拟输入范围为 $\pm 4 \times V_{REF}$ 。RESET脉冲之后, 在其后的第一个BUSY下降沿会更新模拟输入范围。

更改模拟输入范围($\overline{H}/S\ SEL = 1$)

当 $\overline{H}/S\ SEL$ 引脚处于高电平时, 可通过写入控制寄存器来更改模拟输入范围。利用控制寄存器内的DB12至DB10位, 可以选择下一次转换的模拟输入范围。每对模拟输入都具有一个相应的范围位, 允许分别对每对ADC的模拟输入范围进行编程。当RNGx位设为1时, 下一次转换范围为 $\pm 2 \times V_{REF}$ 。当RNGx位设为0时, 下一次转换范围为 $\pm 4 \times V_{REF}$ 。

串行接口($SER/\overline{PAR}/SEL = 1$)

通过脉冲发出1、2或全部3个CONVST x信号, AD7656A就可利用其片上调整振荡器, 在CONVST x上升沿对所选通道对进行同步转换。达到CONVST x上升沿后, BUSY信号变为高电平, 表明已开始转换。完成转换后(3 μ s后), BUSY信号恢复低电平。此时, 输出寄存器载入新转换结果, 可从AD7656A读取数据。要通过串行接口从器件回读数据, SER/\overline{PAR} 应接高电平。 \overline{CS} 和SCLK信号用来传输AD7656A的数据。该器件具有三个DOUT x引脚: DOUT A、DOUT B及DOUT C。可通过一条、两条或所有三条DOUT x线路从各器件回读数据。

图26显示六个同步转换以及采用三条DOUT x线路的读取序列。同样在图26中, 通过32个SCLK传输获取AD7656A的数据; 不过, 还可利用 \overline{CS} 信号通过两个16 SCLK单独帧传输来获取三条DOUT x线路上的数据。当选择串行接口, 且在所有三条DOUTx线路上逐个输出转换数据时, 将DB0/SEL A、DB1/SEL B及DB2/SEL C和 V_{DRIVE} 相连。这些引脚分别用来使能DOUT A至DOUT C线路。

如果需要在两路数据输出线上逐个输出转换数据, 则使用DOUT A和DOUT B。要使能DOUT A和DOUT B, 应将DB0/SEL A及DB1/SEL B与 V_{DRIVE} 相连, 而DB2/SEL C应接低电平。执行六个同步转换且仅用两条DOUT x线路时, 可通过一个48 SCLK传输来获取AD7656A的数据。利用两条DOUT x线路实现所有六个ADC同步转换的读取序列如图27所示。如果所有六个ADC进行同步转换, 则只用两条DOUT x线路来读取AD7656A的结果, DOUT A逐个输出V1、V2及V5的结果, DOUT B逐个输出V3、V4及V6的结果。

也可只用一条DOUT x线路逐个输出数据, 此时利用DOUT A来获取转换数据。要将AD7656A配置为这种工作模式, 应将DB0/SEL A与 V_{DRIVE} 相连, 而DB1/SEL B和DB2/SEL C应接低电平。只用一条DOUT x线路的缺点是吞吐速率下降。可利用一个96 SCLK传输、三个32 SCLK单独帧传输或六个16 SCLK单独帧传输来获取AD7656A数据。在串行模式下, \overline{RD} 信号应接低电平。串行模式下, 不用的DOUT x线应保持不连接。

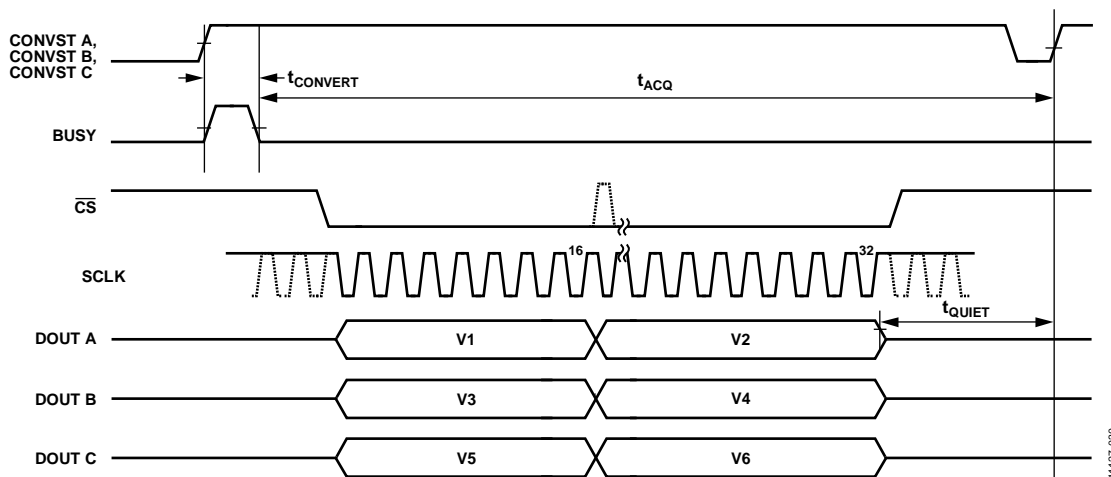


图26. 采用三条DOUT x线的串行接口

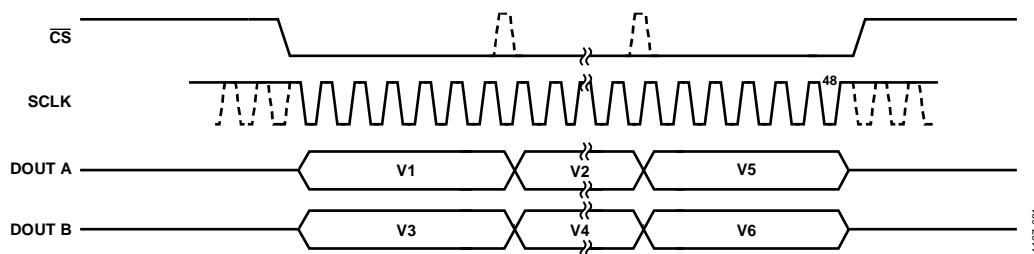


图27. 采用两条DOUT x线的串行接口

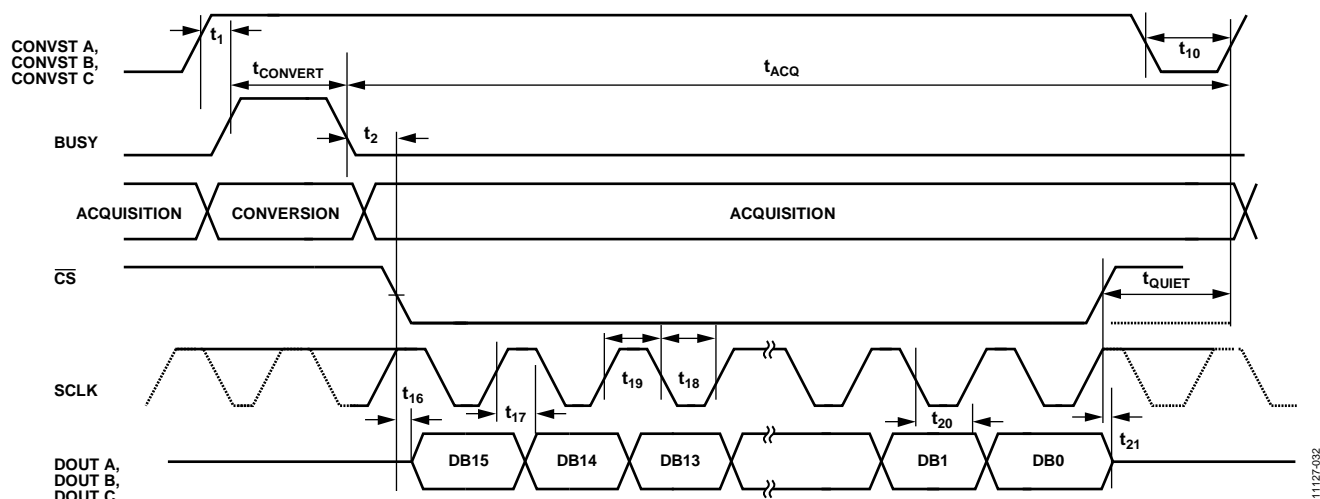


图28. 串行读取操作

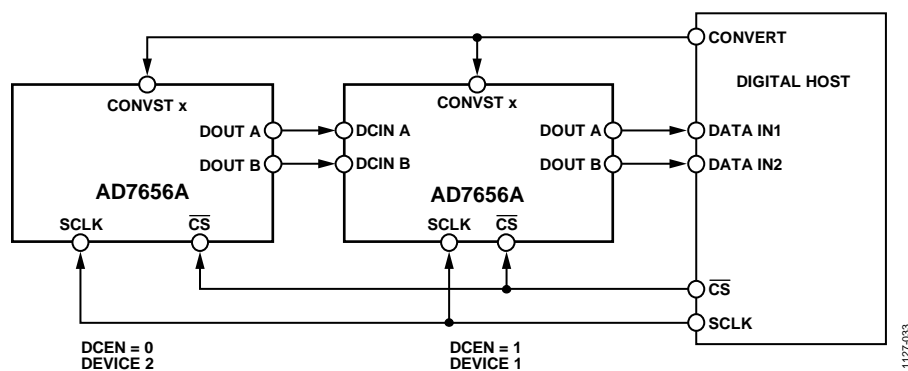


图29. 菊花链配置

串行读取操作

图28显示串行模式下从AD7656A读取数据的时序图。SCLK输入信号为串行接口提供时钟源。 $\overline{\text{CS}}$ 信号变为低电平时，即可从AD7656A获取数据。 $\overline{\text{CS}}$ 下降沿使总线脱离三态状况，并逐个输出16位转换结果的MSB。ADC输出16位转换结果；AD7656A的数据流由16位转换数据组成，MSB优先。

转换结果的首个数据位在 $\overline{\text{CS}}$ 下降沿后的第一个SCLK下降沿有效。随后15个数据位在SCLK信号的上升沿逐个输出。数据在SCLK下降沿有效。要获取各转换结果，必须向AD7656A提供16个时钟脉冲。图28显示如何利用16-SCLK读取操作来获取转换结果。

菊花链模式(DCEN = 1, SER/PAR/SEL = 1)

利用3/2/1个DOUT x引脚从AD7656A回读转换数据时，可利用DCEN引脚来配置器件以菊花链模式工作。菊花链功能允许多个AD7656A器件级联在一起，有利于减少元件数和接线。两个器件的菊花链连接示例如图29所示。此配置显示采用两条DOUT x线。利用一个公共CONVST x信号，可以对12路模拟输入进行同步采样。DB5、DB4及DB3引脚用作菊花链模式的DCINA至DCIN C数据输入引脚。

AD7656A

CONVST x上升沿启动AD7656A转换。BUSY信号变为低电平，显示转换完成后，用户就可以开始从两个器件读取数据。图30显示两个AD7656A器件在菊花链模式下工作时的串行时序图。

\overline{CS} 下降沿用来使能AD7656A的串行帧传输，使总线脱离三态，并逐个输出第一个转换结果的MSB。在图30示例中，全部12个ADC通道均进行同步采样。在此示例中，使用两条DOUT x线路来读取转换结果。 \overline{CS} 使能一个96 SCLK帧传输。在第一组48 SCLK期间，转换数据从器件2传输到器件1。器件2上的DOUT A将转换数据从V1、V2和V5传输到器件1内的DCIN A；器件2上的DOUT B将转换结果从V3、V4及V6传输到器件1内的DCIN B。

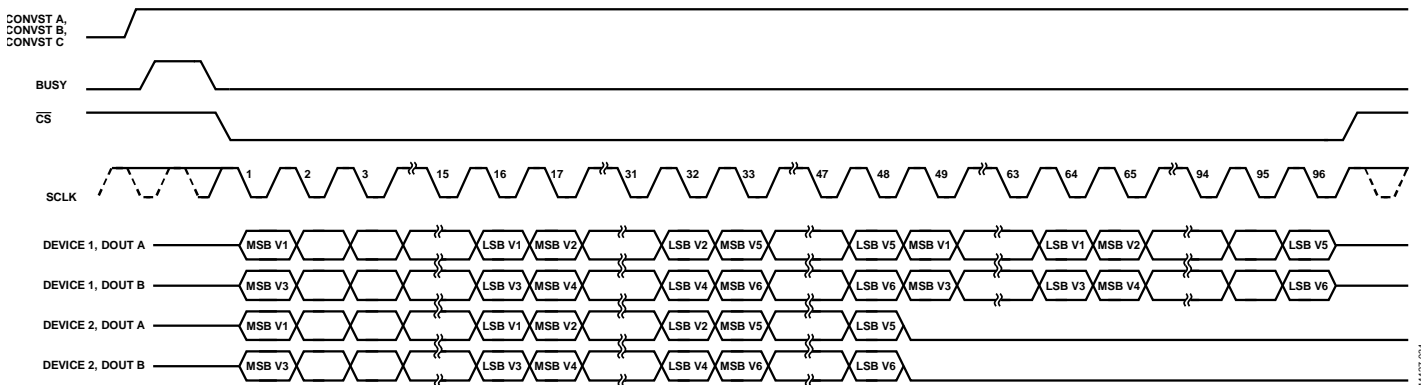


图30. 采用两条DOUT x线的菊花链串行接口时序

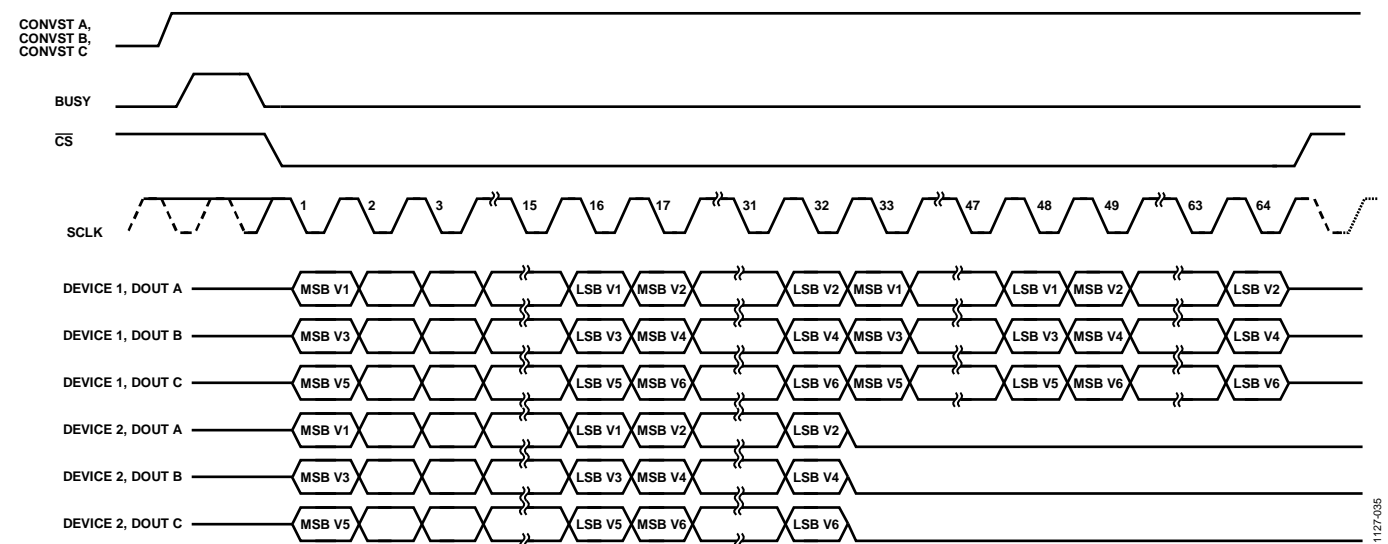


图31. 采用三条DOUT x线的菊花链串行接口时序

在第一组48 SCLK期间，器件1将数据传输到数字主机内。器件1上的DOUT A传输V1、V2及V5的转换数据；器件1上的DOUT B传输V3、V4及V6的转换数据。在最后一组48 SCLK期间，器件2逐个输出0，器件1将第一组48 SCLK期间从器件2逐个输入的数据传输至数字主机内。如果DCEN在传输期间保持高电平，则此示例还可利用六个16-SCLK单独的帧传输来实现。

图31显示两个AD7656A器件以菊花链模式配置并采用三条DOUT x线路工作的时序。假设对所有12路输入进行同步采样，在读取操作期间 \overline{CS} 使能一个64 SCLK帧传输。在此传输的第一组32 SCLK期间，器件1的转换结果逐个输入数字主机，器件2的转换结果则逐个输入器件1。在此传输的最后一组32 SCLK期间，器件2的转换结果从器件1逐个输出，并输入数字主机，同时器件2逐个输出0。

待机/部分关断工作模式(SER/PAR/SEL = 0或SER/PAR/SEL = 1)

每对ADC都可分别通过在BUSY下降沿之前拉低CONVST x信号来进入部分关断模式。CONVST x信号变为高电平时，ADC对上电，采样保持放大器进入跟踪模式。经过从部分关断模式到恢复正常工作的上电时间后，CONVST x信号通常会收到一个上升沿以启动有效转换。在部分关断模式下，基准电压缓冲器保持上电。当某个ADC对处于部分关断模式时，其它ADC仍可进行转换。

AD7656A支持关断模式，器件可以进入低功耗模式，此时最大功耗为100 mW。拉低逻辑输入 $\overline{\text{STBY}}$ 即可将AD7656A

置于待机模式，拉高 $\overline{\text{STBY}}$ 则再次上电，恢复正常操作。AD7656A处于待机模式时，输出数据缓冲器仍会继续工作，用户可继续获取器件的转换结果。利用此待机功能，可以降低AD7656A以低吞吐速率工作时的平均功耗。AD7656A可在BUSY变为低电平，各转换结束时进入待机模式，并可在下一次转换前再次脱离待机模式。唤醒时间指AD7656A脱离待机模式所需的时间。唤醒时间限制AD7656A在转换之间关断时的最大吞吐速率。参见“技术规格”部分。

应用须知

布局布线

AD7656A的印刷电路板(PCB)应采用模拟部分与数字部分分离设计,并限制在电路板的不同区域内。

至少使用一个接地层。数字和模拟部分可以共用或分割使用接地层。使用分割的接地层时,数字地和模拟地应单点连接。单点接地点最好在AD7656A正下方或尽可能靠近器件。

如果AD7656A所在系统内有多个器件要求模数接地,仍应坚持单点接地,把接地点放置在尽可能靠近AD7656A的一个星型接地点。确保每个接地引脚与地层的良好连接。避免多个接地引脚共用一个到地层的连接的情况。每个接地引脚应使用单个过孔或多个过孔连接到电源层。

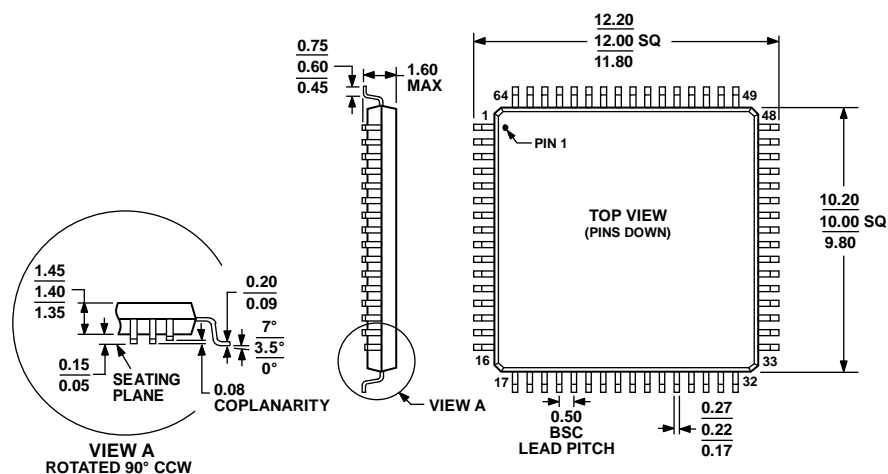
应避免在器件下方铺设数字线路,否则会将噪声耦合至芯片。应允许模拟接地层布设在AD7656A下方,以避免噪声耦合。如CONVST_x或时钟等快速切换信号要使用数字地加以屏蔽,以免将噪声辐射到电路板的其它部分,而且快速切换信号绝不能靠近模拟信号路径。避免数字信号与模拟信号交叠。电路板上的邻近走线应彼此垂直,以减小电路板的馈通效应。

AV_{CC}、DV_{CC}、V_{DRIVE}、V_{DD}及V_{SS}引脚的电源线路应采用尽可能宽的走线,以提供低阻抗路径,并减小电源线路上的毛刺噪声效应。应在AD7656A电源引脚和电路板的电源走线之间建立良好连接,每个电源引脚使用单个过孔或多个过孔连接至电源走线和电源层。

良好的去耦也很重要,以便降低AD7656A的电源阻抗,并减少电源尖峰幅度。所有电源引脚V_{DD}、V_{SS}、AV_{CC}、DV_{CC}和V_{DRIVE}上都应连接典型值为100 nF的去耦陶瓷电容。去耦电容应靠近(理想情况是紧靠)这些引脚及其对应接地引脚放置。此外,每个电源引脚上都应放置低ESR 10 μF电容。应避免引脚共用这些电容。应使用大过孔将这些电容与电源和接地层相连。过孔和电容焊盘之间应使用较宽、较短的走线,或使过孔紧邻电容焊盘,以便最大程度地降低寄生电感。对于AV_{CC}去耦,推荐的去耦电容为100 nF、低ESR陶瓷电容和10 μF、低ESR钽电容。应在AV_{CC}电源进入电路板处放置一个大型去耦钽电容。

减少去耦的替代配置如“典型连接图”部分所述。这种去耦配置将AV_{CC}电源引脚合并成对并允许电源对之间共享去耦电容。六个AV_{CC}内核电源引脚合并为三对,即引脚34和引脚35一对,引脚40和引脚41一对,引脚46和引脚47一对。将每对中的电源引脚连在一起;这些引脚在AD7656A引脚配置上的位置可轻松做到这一点。对于AD7656A,应当用100 μF电容对各对引脚进行去耦。对于这种最低去耦配置,所有其它电源引脚和基准引脚均应通过10 μF去耦电容进行去耦。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

图32. 64引脚薄型四方扁平封装[LQFP]
(ST-64-2)

图示尺寸单位: mm

051706-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD7656ABSTZ	-40°C至+85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7656ABSTZ-RL	-40°C至+85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2

¹ Z = 符合RoHS标准的器件。

注释

注释

AD7656A

注释