

### 产品特性

多引脚/软件可编程输入范围:

5 V、10 V、±5 V、±10 V

输入范围/模式选择: 引脚或串行SPI®兼容

吞吐速率: 250 kSPS

16位分辨率、无失码

积分非线性(INL): 典型值±0.75 LSB, 最大值±1.5 LSB(FSR的±23 ppm)

信噪比(SNR): 94 dB(2 kHz)

iCMOS®工艺技术

5 V内部基准电压: 典型漂移量为3 ppm/°C

片内温度传感器

无流水线延迟(SAR架构)

并行(16位或8位总线)和串行5 V/3.3 V接口

SPI-/QSPI™-/MICROWIRE™-/DSP兼容

功耗

90 mW @ 250 kSPS

10 mW @ 1 kSPS

48引脚LQFP和LFCSP(7 mm × 7 mm)封装

### 应用

过程控制

医疗仪器

高速数据采集

数字信号处理

仪器仪表

频谱分析

自动测试设备

### 概述

AD7610是一款16位电荷再分配逐次逼近型(SAR)架构模数转换器(ADC), 采用ADI公司的iCMOS高电压工艺制造。该器件的输入范围和工作模式可通过硬件或专用只写串行配置端口来配置。AD7610内置一个16位高速采样ADC、一个内部转换时钟、一个内部基准电压源(和缓冲)、纠错电路, 以及串行和并行系统接口端口。在CNVST的下降沿, 它对IN+和IN-之间的模拟输入电压差进行采样。AD7610具有四种不同的模拟输入范围: 0V至5V、0V至10V、±5V和±10V。功耗与吞吐量呈线性比例关系。该器件提供无铅48引脚薄型四方扁平封装(LQFP)和引脚架构芯片级封装(LFCSP\_VQ)两种形式。工作温度范围为-40°C至+85°C。

### 功能框图

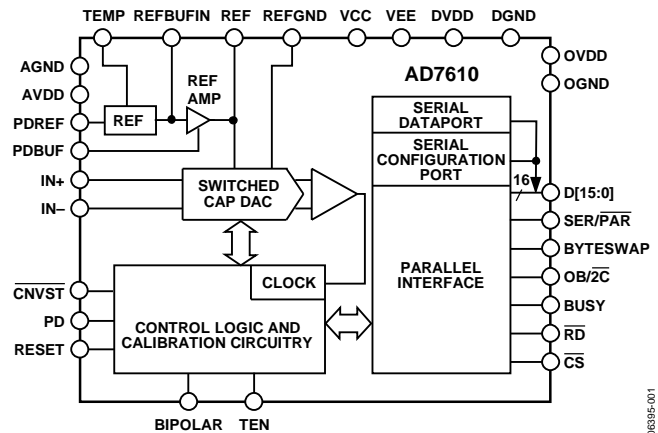


图1.

表1. 48引脚14/16/18位PulSAR的选择

类型	100 kSPS至 250 kSPS	500 kSPS至 570 kSPS	800 kSPS至 1000 kSPS	>1000 kSPS
伪差分	AD7651 AD7660 AD7661	AD7650 AD7652 AD7664 AD7666	AD7653 AD7667	
真双极性	AD7610 AD7663	AD7665	AD7612 AD7671 AD7951	
真差分	AD7675	AD7676	AD7677	AD7621 AD7622 AD7623
18位真差分	AD7678	AD7679	AD7674	AD7641 AD7643
多通道/同步		AD7654 AD7655		

Rev. A

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2006–2012 Analog Devices, Inc. All rights reserved.  
[Technical Support](#) [www.analog.com](http://www.analog.com)

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

## 目录

特性.....	1	基准电压输入/输出.....	20
应用.....	1	电源.....	21
功能框图.....	1	转换控制.....	22
概述.....	1	接口.....	23
修订历史.....	2	数字接口.....	23
技术规格.....	3	并行接口.....	23
时序规格.....	5	串行接口.....	24
绝对最大额定值.....	7	主机串行接口.....	24
ESD警告.....	7	从机串行接口.....	26
引脚配置和功能描述.....	8	硬件配置.....	28
典型性能参数.....	11	软件配置.....	28
术语.....	15	微处理器接口.....	29
工作原理.....	16	应用信息.....	30
概述.....	16	布局指南.....	30
转换器操作.....	16	评估性能.....	30
传递函数.....	17	外形尺寸.....	31
典型连接图.....	18	订购指南.....	31
模拟输入.....	19		

## 修订历史

### 2012年12月—修订版0至修订版A

增加裸露焊盘注释.....	8
更改“电源时序”部分.....	23
更新“外形尺寸”.....	31
更改“订购指南”.....	31

### 2006年10月—修订版0：初始版

## 技术规格

除非另有说明, AVDD = DVDD = 5 V; OVDD = 2.7 V至5.5 V; VCC = 15 V; VEE = -15 V; V<sub>REF</sub> = 5 V, 所有规格均相对于T<sub>MIN</sub>至T<sub>MAX</sub>而言。

表2.

参数	条件/注释	最小值	典型值	最大值	单位
分辨率		16			位
模拟输入					
V <sub>IN</sub> 电压范围	V <sub>IN+</sub> - V <sub>IN-</sub> = 0 V至5 V	-0.1		+5.1	V
	V <sub>IN+</sub> - V <sub>IN-</sub> = 0 V至10 V	-0.1		+10.1	V
	V <sub>IN+</sub> - V <sub>IN-</sub> = ±5 V	-5.1		+5.1	V
	V <sub>IN+</sub> - V <sub>IN-</sub> = ±10 V	-10.1		+10.1	V
	V <sub>IN-</sub> 至AGND	-0.1		+0.1	V
模拟输入CMRR	f <sub>IN</sub> = 100 kHz		75		dB
输入电流	V <sub>IN</sub> = ±5 V, ±10 V @ 250 kSPS		100 <sup>1</sup>		μA
输入阻抗	参见模拟输入部分				
吞吐速度					
完整周期				4	μs
吞吐速率				250	kSPS
直流精度					
积分线性误差 <sup>2</sup>		-1.5	±0.75	+1.5	LSB <sup>3</sup>
无失码 <sup>2</sup>		16			位
差分线性误差 <sup>2</sup>		-1		+1.5	LSB
跃迁噪声			0.55		LSB
零误差(单极性或双极性)		-35		+35	LSB
零误差温度漂移			±1		ppm/°C
双极性满量程误差		-50		+50	LSB
单极性满量程误差		-70		+70	LSB
满量程误差温度漂移			±1		ppm/°C
电源灵敏度	AVDD = 5 V ± 5%		3		LSB
交流精度					
动态范围	V <sub>IN</sub> = 0 V至5 V, f <sub>IN</sub> = 2 kHz, -60 dB	92.5	93.5		dB <sup>4</sup>
	V <sub>IN</sub> = 0 V至10 V, ±5 V, f <sub>IN</sub> = 2 kHz, -60 dB		94		dB
	V <sub>IN</sub> = ±10 V, f <sub>IN</sub> = 2 kHz, -60 dB		94.5		dB
信噪比	V <sub>IN</sub> = 0 V至5 V, 0 V至10 V, f <sub>IN</sub> = 2 kHz	92	93		dB
	V <sub>IN</sub> = ±5 V, ±10 V, f <sub>IN</sub> = 2 kHz		94		dB
	V <sub>IN</sub> = 0 V至5 V, f <sub>IN</sub> = 20 kHz		93.5		dB
信纳比(SINAD)	V <sub>IN</sub> = ±5 V, f <sub>IN</sub> = 2 kHz		92.5		dB
	V <sub>IN</sub> = 0 V至10 V, ±5 V, f <sub>IN</sub> = 2 kHz		93		dB
	V <sub>IN</sub> = ±10 V, f <sub>IN</sub> = 2 kHz		93.5		dB
总谐波失真	f <sub>IN</sub> = 2 kHz		-107		dB
无杂散动态范围	f <sub>IN</sub> = 2 kHz		107		dB
-3 dB输入带宽	V <sub>IN</sub> = 0 V至5 V		650		kHz
孔径延迟			2		ns
孔径抖动			5		ps rms
瞬态响应:	满量程阶跃			500	ns
内部基准电压源	PDREF = PDBUF = 低电平				
输出电压	REF @ 25°C	4.965	5.000	5.035	V
温度漂移	-40°C至+85°C		±3		ppm/°C
电压调整率	AVDD = 5 V ± 5%		±15		ppm/V
长期漂移	1000小时		50		ppm
开启建立时间	C <sub>REF</sub> = 22 μF		10		ms
基准电压缓冲器	PDREF = 高电平				
REFBUF <sub>IN</sub> 输入电压范围		2.4	2.5	2.6	V

# AD7610

参数	条件/注释	最小值	典型值	最大值	单位
外部基准电压源	PDREF = PDBUF = 高电平				
电压范围	REF	4.75	5	AVDD + 0.1	V
耗用电流	250 kSPS吞吐速率		30		μA
温度引脚					
电压输出	在25 °C条件下		311		mV
温度灵敏度			1		mV/°C
输出电阻			4.33		kΩ
数字输入					
逻辑电平					
V <sub>IL</sub>		-0.3		+0.6	V
V <sub>IH</sub>		2.1		OVDD + 0.3	V
I <sub>IL</sub>		-1		+1	μA
I <sub>IH</sub>		-1		+1	μA
数字输出					
数据格式	并行或串行16位				
流水线延迟 <sup>5</sup>					
V <sub>OL</sub>	I <sub>SINK</sub> = 500 μA			0.4	V
V <sub>OH</sub>	I <sub>SOURCE</sub> = -500 μA	OVDD - 0.6			V
电源					
额定性能					
AVDD		4.75 <sup>6</sup>	5	5.25	V
DVDD		4.75	5	5.25	V
OVDD		2.7		5.25	V
VCC		7	15	15.75	V
VEE		-15.75	-15	0	V
工作电流 <sup>7,8</sup>	@250 kSPS吞吐量				
AVDD			8		mA
带有内部基准源			6.3		mA
禁用内部基准电压源			3.3		mA
DVDD			0.3		mA
OVDD			0.3		mA
VCC	VCC = 15 V, 具有内部基准电压缓冲		1.4		mA
VCC	VCC = 15 V		0.8		mA
VEE	VEE = -15 V		0.7		mA
功耗	@250 kSPS吞吐量				
带有内部基准源	PDREF = PDBUF = 低电平		90	110	mW
禁用内部基准电压源	PDREF = PDBUF = 高电平		70	90	mW
省电模式 <sup>9</sup>	PD = 高电平		10		μW
温度范围 <sup>10</sup>					
额定性能	T <sub>MIN</sub> 至 T <sub>MAX</sub>	-40		+85	°C

<sup>1</sup> 在V<sub>IN</sub> = 0 V至5 V或0 V至10 V范围内，输入电流通常为40 μA。在所有输入范围内，输入电流与吞吐量成正比。参见模拟输入部分。

<sup>2</sup> 使用端点测量线性度，而非最佳拟合。所有线性度均使用5 V外部基准电压测量。

<sup>3</sup> LSB表示最低有效位。所有LSB表示的规格并不包括基准电压源引起的误差。

<sup>4</sup> 所有以dB为单位的规格均参考满量程输入范围FSR。除非另有说明，采用低于满量程0.5 dB的输入信号进行测试。

<sup>5</sup> 转换完成后立即提供转换结果。

<sup>6</sup> 4.75 V或V<sub>REF</sub> - 0.1 V，取较大者。

<sup>7</sup> 在并行读取模式下进行测试。

<sup>8</sup> 具有内部基准电压，PDREF = PDBUF = 低电平；内部基准电压禁用，PDREF = PDBUF = 高电平。具有内部基准电压缓冲，PDBUF = 低电平。

<sup>9</sup> 所有数字输入强制为OVDD。

<sup>10</sup> 扩展温度范围请咨询销售人员。

## 时序规格

除非另有说明, AVDD = DVDD = 5 V; OVDD = 2.7 V至5.5 V; VCC = 15 V; VEE = -15 V;  $V_{REF} = 5 V$ , 所有规格均相对于  $T_{MIN}$  至  $T_{MAX}$  而言。

表3.

参数	符号	最小值	典型值	最大值	单位
转换和复位(参见图33和图34)					
转换脉冲宽度	$t_1$	10			ns
转换间隔时间	$t_2$	4			$\mu s$
CNVST 低电平至BUSY高电平延迟	$t_3$			35	ns
BUSY高电平(不包括转换后主串行读取)	$t_4$			1.45	$\mu s$
孔径延迟	$t_5$		2		ns
转换结束至BUSY低电平延迟	$t_6$	10			ns
转换时间	$t_7$			1.45	$\mu s$
采集时间	$t_8$	380			ns
RESET脉冲宽度	$t_9$	10			ns
并行接口模式(参见图35和图37)					
CNVST 低电平至DATA有效延迟	$t_{10}$			1.41	$\mu s$
DATA有效到BUSY低电平延迟时间	$t_{11}$	20			ns
总线访问请求至DATA有效	$t_{12}$			40	ns
总线释放时间	$t_{13}$	2		15	ns
主机串行接口模式 <sup>1</sup> (参见图39和图40)					
$\overline{CS}$ 低电平至SYNC有效延迟	$t_{14}$			10	ns
$\overline{CS}$ 低电平至内部SDCLK有效延迟 <sup>1</sup>	$t_{15}$			10	ns
$\overline{CS}$ 低电平至SDOUT延迟	$t_{16}$			10	ns
CNVST 低电平到SYNC延迟时间, 转换期间读取	$t_{17}$		560		ns
SYNC置位到SDCLK第一沿延迟	$t_{18}$	3			ns
内部SDCLK周期 <sup>2</sup>	$t_{19}$	30		45	ns
内部SDCLK高电平 <sup>2</sup>	$t_{20}$	15			ns
内部SDCLK低电平 <sup>2</sup>	$t_{21}$	10			ns
SDOUT有效设置时间 <sup>2</sup>	$t_{22}$	4			ns
SDOUT有效保持时间 <sup>2</sup>	$t_{23}$	5			ns
SDCLK最后沿至SYNC延迟 <sup>2</sup>	$t_{24}$	5			ns
$\overline{CS}$ 高电平至SYNC高阻态	$t_{25}$			10	ns
$\overline{CS}$ 高电平至内部SDCLK高阻态	$t_{26}$			10	ns
$\overline{CS}$ 高电平至SDOUT高阻态	$t_{27}$			10	ns
转换后主机串行读取中的BUSY高电平 <sup>2</sup>	$t_{28}$		见表4		
CNVST 低电平到SYNC延迟时间, 转换之后读取	$t_{29}$		1.31		$\mu s$
SYNC解除置位到BUSY低电平延迟时间	$t_{30}$		25		ns
从机串行/串行配置接口模式 <sup>1</sup> (参见图42、图43和图45)					
外部SDCLK、SCCLK设置时间	$t_{31}$	5			ns
外部SDCLK有效沿到SDOUT延迟时间	$t_{32}$	2		18	ns
SDIN/SCIN设置时间	$t_{33}$	5			ns
SDIN/SCIN保持时间	$t_{34}$	5			ns
外部SDCLK/SCCLK周期	$t_{35}$	25			ns
外部SDCLK/SCCLK高电平	$t_{36}$	10			ns
外部SDCLK/SCCLK低电平	$t_{37}$	10			ns

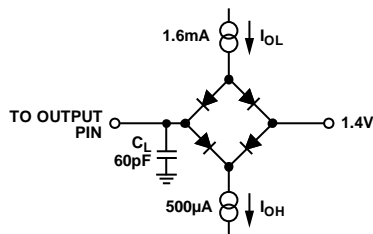
<sup>1</sup> 在串行接口模式中, SDSYNC、SDSCLK以及SDOUT的时序在最大10 pF的负载 $C_L$ 下定义, 其它情况下, 负载最大值为60 pF。

<sup>2</sup> 转换期间串行主机读取模式。转换模式后串行模式读取参见表4。

# AD7610

表4. 转换后主机读取模式的串行时钟时序

DIVSCLK[1] DIVSCLK[0]	符号	0 0	0 1	1 0	1 1	单位
SYNC至SDCLK第一沿延迟最小值	$t_{18}$	3	20	20	20	ns
内部SDCLK周期最小值	$t_{19}$	30	60	120	240	ns
内部SDCLK周期最大值	$t_{19}$	45	90	180	360	ns
内部SDCLK高电平最小值	$t_{20}$	15	30	60	120	ns
内部SDCLK低电平最小值	$t_{21}$	10	25	55	115	ns
SDOUT有效设置时间最小值	$t_{22}$	4	20	20	20	ns
SDOUT有效保持时间最小值	$t_{23}$	5	8	35	90	ns
SDCLK最后沿至SYNC延迟最小值	$t_{24}$	5	7	35	90	ns
BUSY高电平宽度最大值	$t_{28}$	2.25	3.00	4.40	7.30	$\mu$ s



NOTES  
1. IN SERIAL INTERFACE MODES, THE SYNC, SCLK, AND SDOUT ARE DEFINED WITH A MAXIMUM LOAD  $C_L$  OF 10pF; OTHERWISE, THE LOAD IS 60pF MAXIMUM.

图2. 数字接口时序的负载电路，  
SDOUT、SYNC和SCLK输出， $C_L = 10 \text{ pF}$

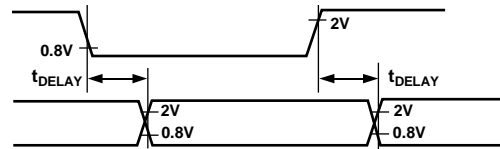


图3. 用于确定时序的基准电平

## 绝对最大额定值

表5.

参数	额定值
模拟输入/输出 IN <sup>+</sup> 、IN <sup>-1</sup> 至AGND REF、REFBUF <sub>IN</sub> 、TEMP、 REFGND至AGND	$V_{EE} - 0.3\text{ V}$ 至 $V_{CC} + 0.3\text{ V}$ $AVDD + 0.3\text{ V}$ 至 $AGND - 0.3\text{ V}$
地电压差 AGND、DGND、OGND	±0.3 V
电源电压 AVDD、DVDD、OVDD AVDD至DVDD、AVDD至OVDD DVDD至OVDD VCC至AGND、DGND VEE至GND	-0.3 V至+7 V ±7 V ±7 V -0.3 V至+16.5 V +0.3 V至-16.5 V
数字输入 PDREF, PDBUF <sup>2</sup>	-0.3 V至 OVDD + 0.3 V ±20 mA
内部功耗 <sup>3</sup>	700 mW
内部功耗 <sup>4</sup>	2.5 W
结温	125°C
存储温度范围	-65°C至+125°C

<sup>1</sup> 参见模拟输入部分。

<sup>2</sup> 参见基准电压输入部分。

<sup>3</sup> 针对空气中的器件而言：48引脚LQFP封装， $\theta_{JA} = 91^\circ\text{C/W}$ ， $\theta_{JC} = 30^\circ\text{C/W}$ 。

<sup>4</sup> 针对空气中的器件而言：48引脚LFCSP封装， $\theta_{JA} = 26^\circ\text{C/W}$ 。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

### ESD警告

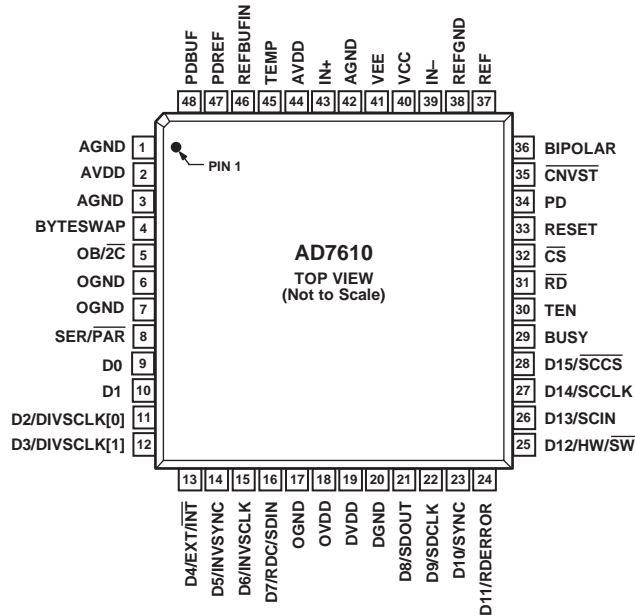


#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

# AD7610

## 引脚配置和功能描述



NOTES  
1. FOR THE LEAD FRAME CHIP SCALE PACKAGE (LFCSP), THE EXPOSED PAD SHOULD BE CONNECTED TO VEE. THIS CONNECTION IS NOT REQUIRED TO MEET THE ELECTRICAL PERFORMANCES.

0639E-004

图4. 引脚配置

表6. 引脚功能描述

引脚编号	名称	类型 <sup>1</sup>	描述
1, 3, 42	AGND	P	模拟电源地引脚。所有模拟I/O的地基准点。所有模拟I/O应以AGND为基准，并连接到系统的模拟接地层。此外，AGND、DGND和OGND电压应保持相同电位。
2, 44	AVDD	P	模拟电源引脚。标称值为4.75 V至5.25 V，使用10 μF和100 nF电容去耦。
4	BYTESWAP	DI	并行模式选择(8位/16位)。高电平时，LSB通过D[15:8]输出，MSB通过D[7:0]输出；低电平时，LSB通过D[7:0]输出，MSB通过D[15:8]输出。
5	OB/ $\overline{2C}$	DI <sup>2</sup>	标准二进制/二进制补码输出。高电平时，数字输出为标准二进制。低电平时，MSB反转，其内部移位寄存器输出二进制补码。
6, 7, 17	OGND	P	输入/输出接口数字电源地。数字输出的地基准点。应连接到系统的数字接地，理想情况下与AGND和DGND保持相同电位。
8	SER/ $\overline{PAR}$	DI	串行/并行选择输入。 当SER/ $\overline{PAR}$ = 低电平时，选择并行模式。 当SER/ $\overline{PAR}$ = 高电平时，选择串行模式。数据总线的某些位作为串行端口，其余数据位为高阻抗输出。
9, 10	D[0:1]	DO	并行端口数据输出总线的位0和位1。这些引脚始终是输出，与SER/ $\overline{PAR}$ 的状态无关。
11, 12	D[2:3] or DIVSCLK[0:1]	DI/O	在并行模式下，这些输出用作并行端口数据输出总线的位2和位3。 串行数据时钟分频选择。在转换后串行主机读取模式(SER/ $\overline{PAR}$ = 高电平，EXT/ $\overline{INT}$ = 低电平，RDC/SDIN = 低电平)，这些输入可用于减慢内部生成、用于输出数据的串行数据时钟。在其它串行模式下，这些引脚为高阻态输出。
13	D4 or EXT/ $\overline{INT}$	DI/O	在并行模式下，此输出用作并行端口数据输出总线的位4。 串行数据时钟源选择。在串行模式下，此输入用于选择AD7610输出数据的内部生成(主模式)或外部(从模式)串行数据时钟。 当EXT/ $\overline{INT}$ = 低电平时，主机模式；在SDCLK输出端选择内部串行数据时钟。 当EXT/ $\overline{INT}$ = 高电平时，从机模式；输出数据与连接到SDCLK输入端的外部时钟信号(由 $\overline{CS}$ 选通)同步。



引脚编号	名称	类型 <sup>1</sup>	描述
14	D5或 INVSYNC	DI/O	在并行模式下，此输出用作并行端口数据输出总线的位5。 串行数据反转同步选择。在串行主机模式下(SER/PAR = 高电平，EXT/ $\overline{\text{INT}}$ = 低电平)。此输入用于选择SYNC信号的有效状态。 INVSYNC = 低电平时，SYNC为高电平有效。 INVSYNC = 高电平时，SYNC为低电平有效。
15	D6或 INVSCLK	DI/O	在并行模式下，此输出用作并行端口数据输出总线的位6。 在所有串行模式下，反转SDCLK/SCCLK选择。此输入用于反转SDCLK与SCCLK。 INVSCLK = 低电平时，使用SDCLK/SCCLK的上升沿。 INVSCLK = 高电平时，使用SDCLK/SCCLK的下降沿。
16	D7或 RDC or  SDIN	DI/O	在并行模式下，此输出用作并行端口数据输出总线的位7。 转换期间串行数据读取。在串行主机模式下(SER/PAR = 高电平，EXT/ $\overline{\text{INT}}$ = 低电平)，RDC用于选择读取模式。参见主机串行接口部分。 RDC = 低电平时，转换之后读取当前结果。注意，此模式下不能实现最高吞吐量。 RDC = 高电平时，在当前转换期间读取上一次转换结果。 串行数据输入。在串行从模式下(SER/ $\overline{\text{PAR}}$ = 高电平，EXT/ $\overline{\text{INT}}$ = 高电平)，SDIN可用作菊花链的数据输入，将两个或更多ADC的转换结果传输到单一SDOUT线路上。读取序列开始之后延迟16个SDCLK周期，SDIN上的数字数据电平通过SDOUT输出。
18	OVDD	P	输入/输出接口数字电源。此引脚的标称电源与主机接口电源相同为2.5 V、3 V、或5 V，并使用10 $\mu\text{F}$ 和100 nF电容去耦。
19	DVDD	P	数字电源。标称值为4.75 V至5.25 V，使用10 $\mu\text{F}$ 和100 nF电容去耦。可由AVDD供电。
20	DGND	P	数字电源地。数字输出的地基准点。应连接到系统数字地，理想情况下与AGND和OGND保持相同电位。
21	D8或 SDOUT	DO	在并行模式下，此输出用作并行端口数据输出总线的位8。 串行数据输出。在所有串行模式下，此引脚用作与SDCLK同步的串行数据输出。转换结果存储在片内寄存器中。AD7610以MSB优先方式从内部移位寄存器提供转换结果。数据格式由OB/2C的逻辑电平决定。 当EXT/ $\overline{\text{INT}}$ = 低电平时，(主机模式)SDOUT在SDCLK的上升沿和下降沿均有效。 当EXT/ $\overline{\text{INT}}$ = 高电平时(从机模式)。 当INVSCLK = 低电平时，SDOUT在SDCLK的上升沿更新。 当INVSCLK = 高电平时，SDOUT在SDCLK的下降沿更新。
22	D9或 SDCLK	DI/O	在并行模式下，此输出用作并行端口数据输出总线的位9。 串行数据时钟。在所有串行模式下，此引脚根据EXT/ $\overline{\text{INT}}$ 引脚的逻辑状态，用作串行数据时钟的输入或输出。数据SDOUT更新的有效沿取决于INVSCLK引脚的逻辑状态。
23	D10或 SYNC	DO	在并行模式下，此输出用作并行端口数据输出总线的位10。 串行数据帧同步。在串行主机模式下(SER/PAR = 高电平，EXT/ $\overline{\text{INT}}$ = 低电平)，该输出用作数字输出帧同步信号，配合内部数据时钟使用。 当启动一个读序列且INVSYNC为低电平时，SYNC变为高电平，并在SDOUT输出有效期间保持高电平。 当启动一个读序列且INVSYNC为高电平时，SYNC变为低电平，并在SDOUT输出有效期间保持低电平。
24	D11或 RDERROR	DO	在并行模式下，此输出用作并行端口数据输出总线的位11。 串行数据读取错误。在串行从机模式下(SER/ $\overline{\text{PAR}}$ = 高电平，EXT/ $\overline{\text{INT}}$ = 高电平)，该输出用作未完成读取错误标志。在当前转换完成时，若数据读取已经开始却并未完成，那么当前数据将丢失，且RDERROR变为高电平。
25	D12或 HW/SW	DI/O	在并行模式下，此输出用作并行端口数据输出总线的位12。 串行配置硬件/软件选择。在串行模式下，此输入用于通过硬件或软件配置AD7610。参见硬件配置部分和软件配置部分。 当HW/SW = 低电平时，利用串行配置寄存器通过软件配置AD7610。 当HW/SW = 高电平时，通过专用硬件输入引脚配置AD7610。
26	D13或 SCIN	DI/O	在并行模式下，此输出用作并行端口数据输出总线的位13。 串行配置数据输入。在串行软件配置模式下(SER/PAR = 高电平，HW/ $\overline{\text{SW}}$ = 低电平)，此输入用于将配置数据串行写入串行配置寄存器，MSB优先。此输入引脚上的数据用SCCLK锁存。参见软件配置部分。

# AD7610

引脚编号	名称	类型 <sup>1</sup>	描述															
27	D14 or SCCLK	DI/O	在并行模式下，此输出用作并行端口数据输出总线的位14。串行配置时钟。在串行软件配置模式下(SER/PAR = 高电平，HW/SW = 低电平)，此输入引脚用于输入数据到SCIN。数据SCIN更新的有效沿取决于INVSCLK引脚的逻辑状态。参见软件配置部分。															
28	D15 or SCCS	DI/O	在并行模式下，此输出用作并行端口数据输出总线的位15。串行配置芯片选择。在串行软件配置模式下(SER/PAR = 高电平，HW/SW = 低电平)，此输入使能串行配置端口。参见软件配置部分。															
29	BUSY	DO	输出繁忙。开始转换时，此引脚变为高电平，并保持高电平直到转换完成，并且数据被锁存到片内移位寄存器。BUSY的下降沿可以用作数据就绪时钟信号。注意，在转换后主机读取模式下(SER/PAR = 高电平，EXT/INT = 低电平，RDC = 低电平)，繁忙时间根据表4发生变化。															
30	TEN	DI <sup>2</sup>	输入范围选择。按如下方式与BIPOLAR配合使用 <table border="1"> <thead> <tr> <th>输入范围</th> <th>BIPOLAR</th> <th>TEN</th> </tr> </thead> <tbody> <tr> <td>0V至5V</td> <td>低电平</td> <td>低电平</td> </tr> <tr> <td>0V至10V</td> <td>低电平</td> <td>高电平</td> </tr> <tr> <td>±5V</td> <td>高电平</td> <td>低电平</td> </tr> <tr> <td>±10V</td> <td>高电平</td> <td>高电平</td> </tr> </tbody> </table>	输入范围	BIPOLAR	TEN	0V至5V	低电平	低电平	0V至10V	低电平	高电平	±5V	高电平	低电平	±10V	高电平	高电平
输入范围	BIPOLAR	TEN																
0V至5V	低电平	低电平																
0V至10V	低电平	高电平																
±5V	高电平	低电平																
±10V	高电平	高电平																
31	RD	DI	读取数据。CS和RD均为低电平时，使能接口并行或串行输出总线。															
32	CS	DI	片选。CS和RD均为低电平时，使能接口并行或串行输出总线。CS还用于在从串行模式下选通外部时钟(不用于串行可编程端口)。															
33	RESET	DI	复位输入。高电平时，复位AD7610。当前转换(如有)中止。RESET的下降沿将数据输出复位到全0(OB/2C = 高电平时)，并清空配置寄存器。参见数字接口部分。此引脚如果不用，可以接至。															
34	PD	DI <sup>2</sup>	关断输入。PD = 高电平时，ADC关断。功耗降低，当前转换完成后禁止转换。数字接口在关断期间仍保持有效。															
35	CNVST	DI	转换开始。CNVST下降沿使内部采样保持器进入保持状态，并且启动转换。															
36	BIPOLAR	DI <sup>2</sup>	输入范围选择。参见引脚30的描述。															
37	REF	AI/O	基准电压输入/输出。PDREF/PDBUF = 低电平时，使能内部基准源与缓冲，在此引脚上产生5V电压。PDREF/PDBUF = 高电平时，内部基准源与缓冲禁用，允许使用电压最高为AVDD的外部电源电压基准。无论是否有内部基准电压与缓冲，都使用至少一个22μA的去耦电容。参见基准电压源去耦部分。															
38	REFGND	AI	基准输入模拟地。连接到模拟接地层。															
39	IN-	AI	模拟输入地检测。应连接到模拟接地层或远端检测地。															
40	VCC	P	高电压正电源。标称值为+7V至+15V。															
41	VEE	P	高电压负电源。标称值为0V至-15V(在单极性范围内为0V)。															
43	IN+	AI	模拟输入。参考IN-。															
45	TEMP	AO	温度传感器模拟输出。当内部基准电压源接通时(PDREF = PDBUF = 低电平)使能。参见温度传感器部分。															
46	REFBUFIN	AI	基准电压缓冲器输入端。当使用带有内部基准电压缓冲的外部基准电压时(PDBUF = 低电平，PDREF = 高电平)，将2.5V电压施加于该引脚，在REF引脚上产生5V电压。参见基准电压输入部分。															
47	PDREF	DI	内部基准电压省电输入。 低电平时，使能内部基准电压。 高电平时，内部基准电压关断，必须使用外部基准电压。															
48	PDBUF	DI	内部基准电压缓冲省电输入。 低电平时，使能缓冲(使用内部基准电压时必须为低电平)。 高电平时，缓冲关断。															
49	EPAD <sup>3</sup>	NC	裸露焊盘。底部焊盘不在内部连接。建议将该焊盘焊接至VEE。															

<sup>1</sup> AI = 模拟输入；AI/O = 双向模拟；AO = 模拟输出；DI = 数字输入；DI/O = 双向数字；DO = 数字输出；P = 电源。

<sup>2</sup> 在串行配置模式下(SER/PAR = 高电平，HW/SW = 低电平)，此输入可以用串行配置寄存器进行编程，该引脚与此无关。参见硬件配置部分和软件配置部分。

<sup>3</sup> 仅限LFCS\_VQ封装。

### 典型性能参数

AVDD = DVDD = 5 V、OVDD = 5 V、VCC = 15 V、VEE = -15 V、V<sub>REF</sub> = 5 V、T<sub>A</sub> = 25°C。

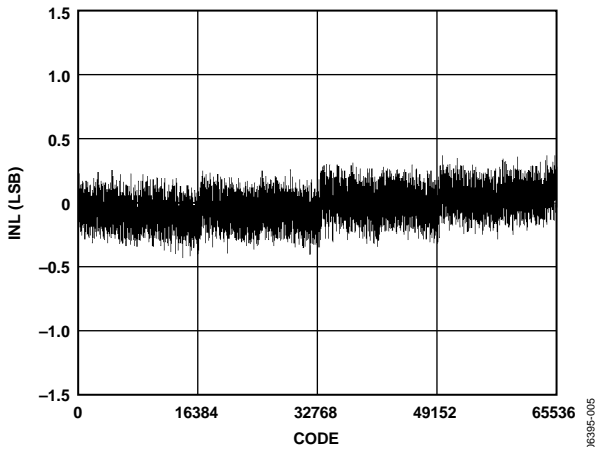


图5. 积分非线性与代码的关系

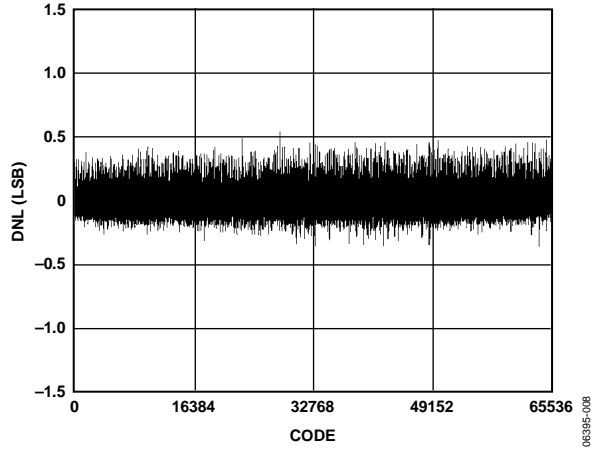


图8. 差分非线性与代码的关系

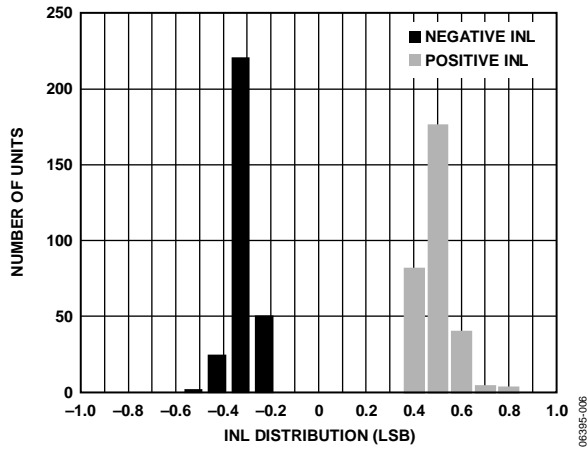


图6. 积分非线性分布(296个器件)

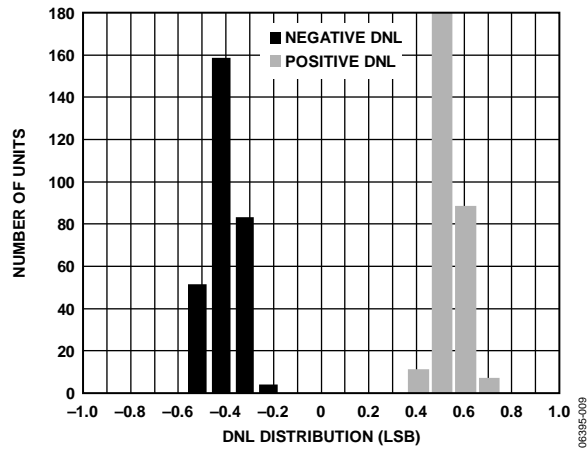


图9. 差分非线性分布(296个器件)

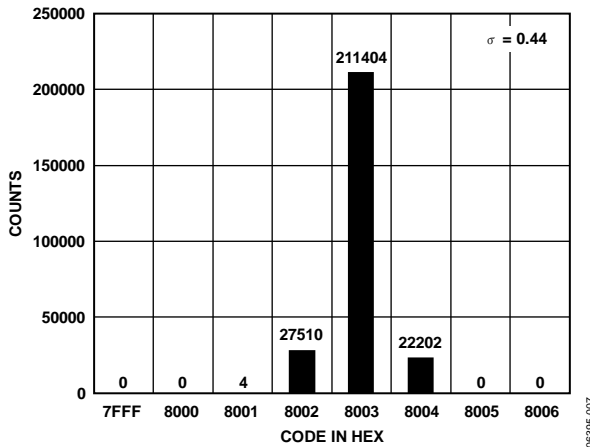


图7. 一个直流输入的261,120次转换的直方图(码中心)

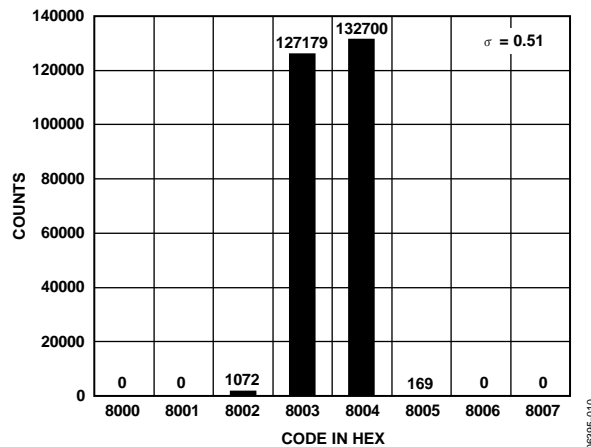


图10. 一个直流输入的261,120次转换的直方图(码跃迁)

# AD7610

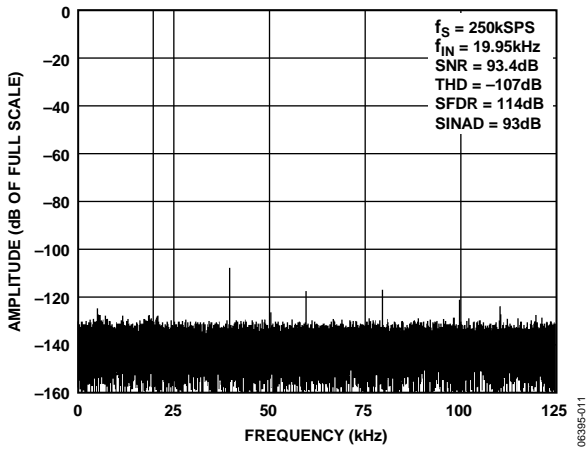


图11. FFT 20 kHz

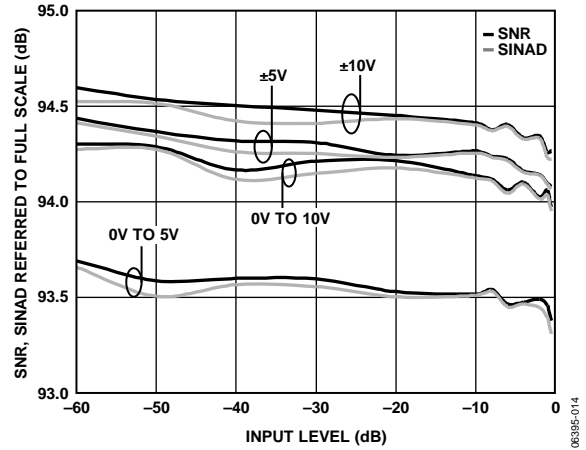


图14 信噪比和信纳比与输入电平的关系(以满量程为基准)

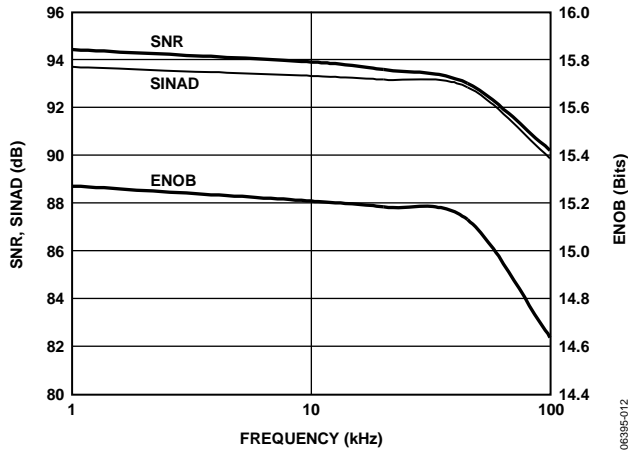


图12. 信噪比(SNR)、信纳比(SINAD)和有效位数(ENOB)与频率的关系

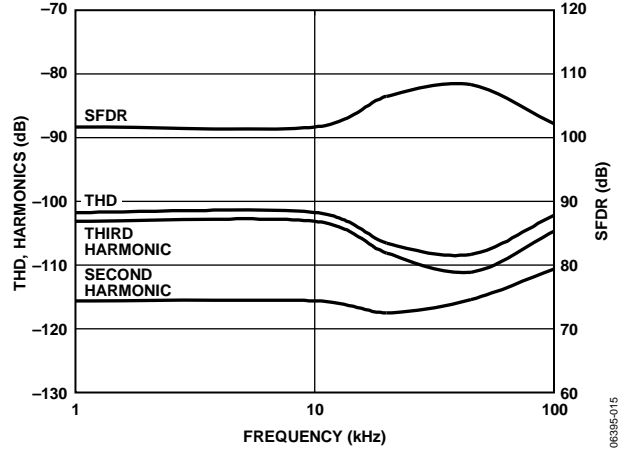


图15. 总谐波失真(THD)、谐波和无杂散动态范围(SFDR)与频率的关系

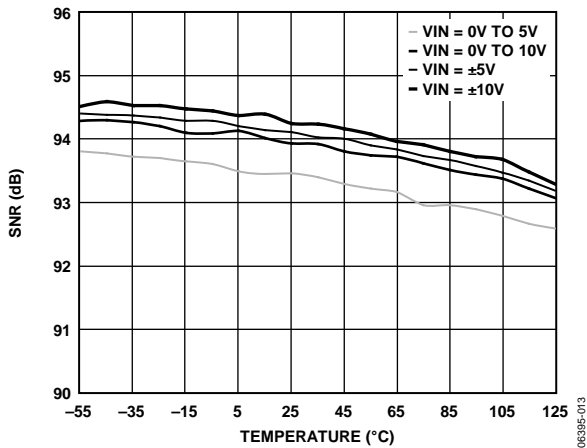


图13. SNR与温度的关系

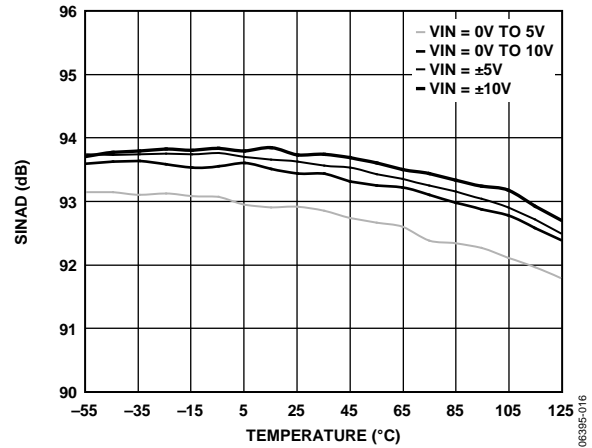


图16 信纳比与温度的关系

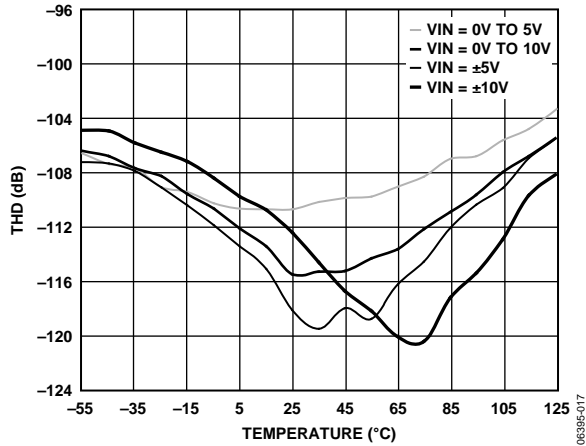


图17. THD与温度的关系

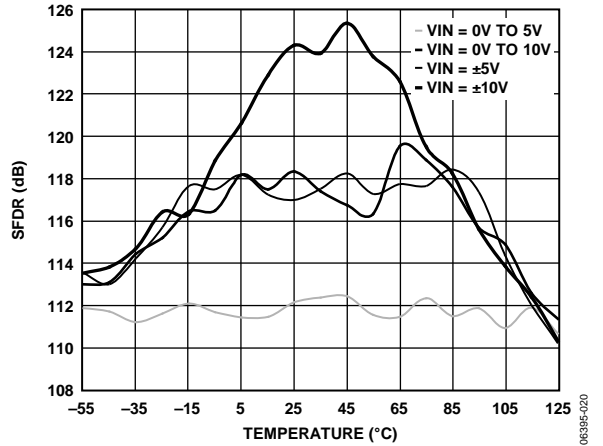


图20. 无杂散动态范围与温度的关系(谐波除外)

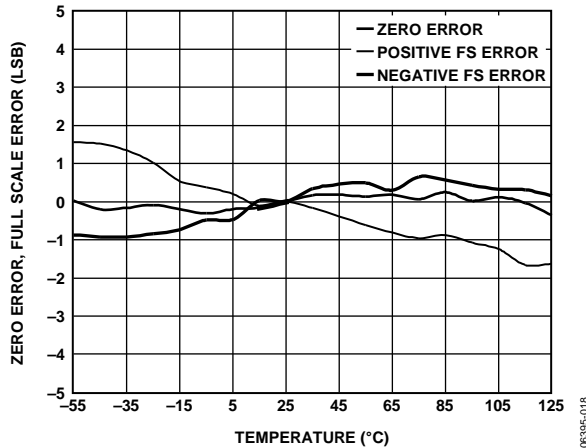


图18. 零误差, 正、负满量程与温度的关系

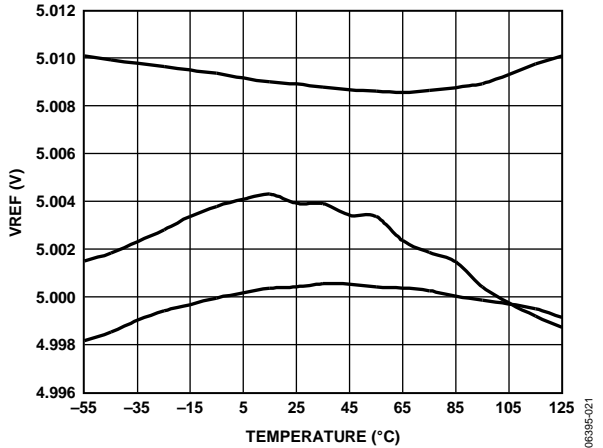


图21. 典型基准电压输出与温度的关系(3个器件)

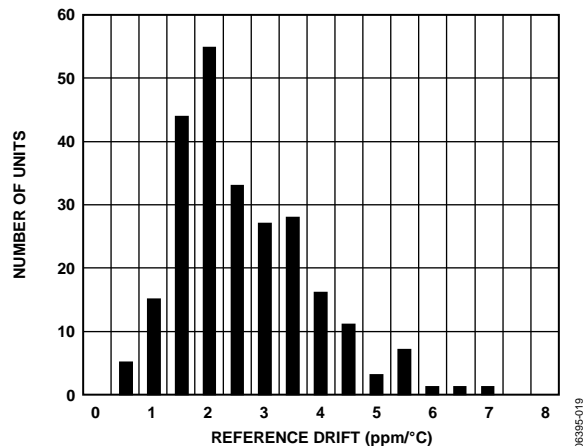


图19. 基准电压温度系数分配(247个器件)

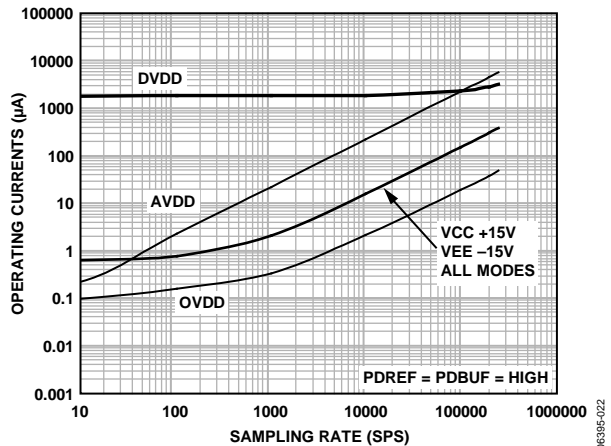


图22. 工作电流与采样速率的关系

# AD7610

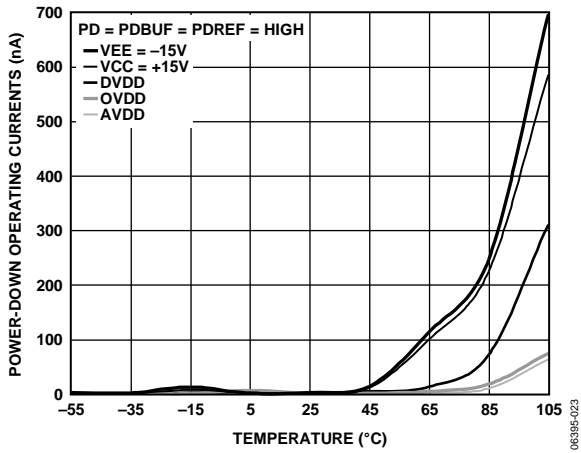


图23. 省电工作电流与温度的关系

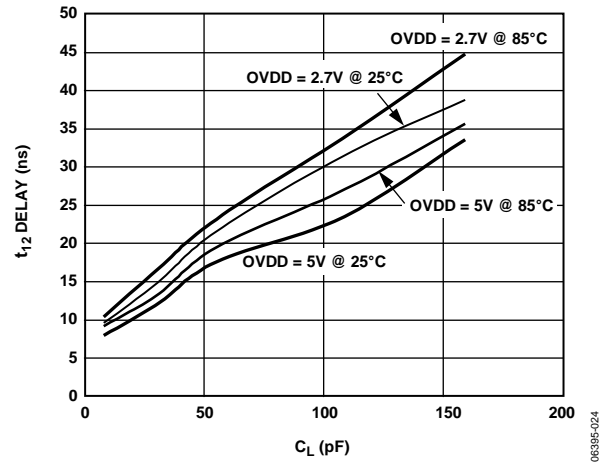


图24. 典型延迟时间与负载电容 $C_L$ 的关系

## 术语

### 最低有效位(LSB)

最低有效位或LSB是转换器可以表示的最小增量。对于N位分辨率的模数转换器，LSB用电压表示为：

$$LSB(V) = \frac{V_{INp-p}(max)}{2^N}$$

### 积分非线性误差(INL)

线性误差是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的点出现在第一个码跃迁之前的 $\frac{1}{2}$  LSB处。正满量程定义为超出最后一个码跃迁 $1\frac{1}{2}$  LSB的一个电平。从各码的中点到该直线的距离即为偏差。

### 差分非线性误差(DNL)

在一个理想ADC中，码跃迁相距1 LSB。差分非线性是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述这一规格。

### 双极性零误差

理想中间电平输入电压(0 V)与产生中间电平输出码的实际电压之差。

### 单极性失调误差

第一个码跃迁应对应于一个比模拟地高 $\frac{1}{2}$  LSB的电平。单极性失调误差是指实际跃迁与该点的偏差。

### 满量程误差

当一个模拟电压低于标称满量程 $1\frac{1}{2}$  LSB时，发生最后一个码跃迁(从111...10到111...11)。满量程误差是指最后一个码跃迁的实际电平与理想电平的偏差，用LSB(或满量程范围的百分比)表示，包括失调误差的影响。与之密切相关的是增益误差(也用LSB或满量程范围的百分比表示)，其不包括失调误差的影响。

### 动态范围

动态范围指满量程的均方根值与-60 dB典型输入下测得的均方根噪声之比，用分贝(dB)表示。

### 信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

### 总谐波失真(THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用分贝(dB)表示。

### 信纳比(SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流除外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

### 无杂散动态范围(SFDR)

输入信号与峰值杂散信号的均方根幅值之差，用分贝(dB)表示。

### 有效位数(ENOB)

ENOB指利用正弦波输入测得的分辨率。它与SINAD相关，计算公式如下：

$$ENOB = [(SINAD_{dB} - 1.76)/6.02]$$

### 孔径延迟

孔径延迟用于衡量采集性能，指从 $\overline{CNVST}$ 输入的下沿到输入信号可进行转换的时间。

### 瞬态响应：

对AD7610的输入应用满量程阶跃函数之后，AD7610实现额定精度所需的时间。

### 基准电压温度系数

基准电压温度系数是利用一批样品器件，分别在 $T_{MIN}$ 、 $T(25^{\circ}C)$ 和 $T_{MAX}$ 测量最大和最小基准输出电压( $V_{REF}$ )，然后据此得出输出电压在 $25^{\circ}C$ 时的典型偏移。它用ppm/ $^{\circ}C$ 表示，计算公式为：

$$TCV_{REF}(ppm/^{\circ}C) = \frac{V_{REF}(Max) - V_{REF}(Min)}{V_{REF}(25^{\circ}C) \times (T_{MAX} - T_{MIN})} \times 10^6$$

其中：

$V_{REF}(Max)$ 为 $T_{MIN}$ 、 $T(25^{\circ}C)$ 或 $T_{MAX}$ 时的最大 $V_{REF}$ 。

$V_{REF}(Min)$ 为 $T_{MIN}$ 、 $T(25^{\circ}C)$ 或 $T_{MAX}$ 时的最小 $V_{REF}$ 。

$V_{REF}(25^{\circ}C)$ 为 $25^{\circ}C$ 时的 $V_{REF}$ 。

$T_{MAX} = +85^{\circ}C$ 。

$T_{MIN} = -40^{\circ}C$ 。

## 工作原理

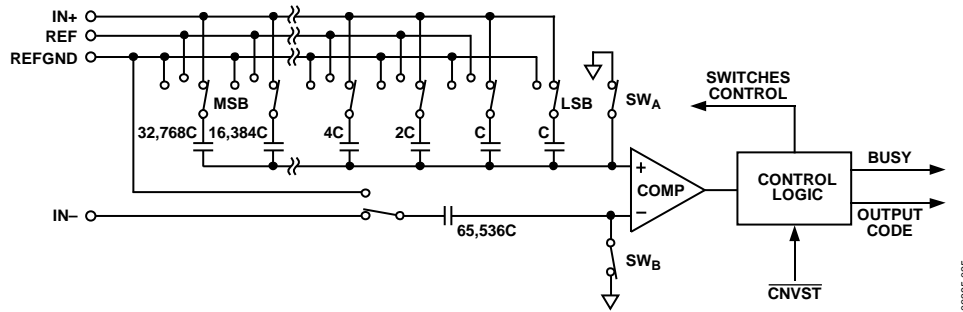


图25. ADC原理示意图

## 概述

AD7610是一款快速、低功耗、高精度、16位模数转换器(ADC)，采用逐次逼近型容性数模转换器(CDAC)架构。

AD7610可以随时使用并行或串行硬件模式输入，或在串行软件模式中通过配置寄存器，使用专用的仅可进行写操作的SPI兼容接口，将输入范围配置为四种范围之一。AD7610采用ADI公司的iCMOS高电压工艺专利技术，支持0至5 V、0至10 V、 $\pm 5$  V和 $\pm 10$  V输入范围，无需使用传统的薄膜。仅需一个输入采样周期 $t_s$ 来锁存正确的配置。重新配置ADC时不需要复位或上电周期。

AD7610能够每秒转换250,000个样本(250 kSPS)，功耗与吞吐量成线性比例关系，因而适合电池供电系统。

AD7610为用户提供片内采样保持、逐次逼近型ADC，没有任何流水线延迟，堪称多路复用多通道应用的理想之选。

对于单极性输入范围，AD7610一般需要三个电源：VCC、AVDD(可为DVDD供电)和OVDD(可与5 V、3.3 V或2.5 V数字逻辑接口)。对于双极性输入范围，AD7610需要使用额外的VEE电源。

该器件采用无铅48引脚LQFP封装或微型LFCSP 7 mm  $\times$  7 mm封装，既节省空间又很灵活。此外，AD7610可以配置为并行或串行SPI兼容接口。

## 转换器操作

AD7610是一款基于电荷再分配DAC的逐次逼近型ADC。图25显示了该ADC的简化电路图。CDAC包含两个完全相同的二进制加权电容阵列(各有16个电容)，并连接到两个比较器输入。

在采集阶段，与比较器输入相连的阵列端子通过SW+和SW-连接到AGND。所有独立开关都连接到模拟输入端。因此，电容阵列用作采样电容，并采集IN+和IN-输入端的模拟信号。一旦采集阶段结束并且 $\overline{\text{CNVST}}$ 输入变为低电平，即启动转换阶段。当转换阶段开始时，SW+和SW-首先断开。然后，两个电容阵列从输入端断开，连接到REFGND输入。因此，采集阶段结束时捕获的输入(IN+和IN-)之间差分电压施加于比较器输入端，导致比较器不平衡。在REFGND和REF之间切换电容阵列的各元件，比较器输入将按照二进制加权电压步进( $V_{\text{REF}}/2$ 、 $V_{\text{REF}}/4$ 至 $V_{\text{REF}}/65536$ )变化。控制逻辑从MSB优先开始切换这些开关，使比较器重新回到平衡状态。

完成此过程后，控制逻辑产生ADC输出码，使BUSY输出为低电平。



## 传递函数

AD7610利用OB/2C数字输入或通过配置寄存器，可提供两种输出编码格式：标准二进制和二进制补码。不同 $V_{IN}$ 模拟输入范围的理想传递特性和数字输出码参见26和表7。注意，使用配置寄存器时，无需考虑OB/2C的输入，应连接到高电平或低电平。

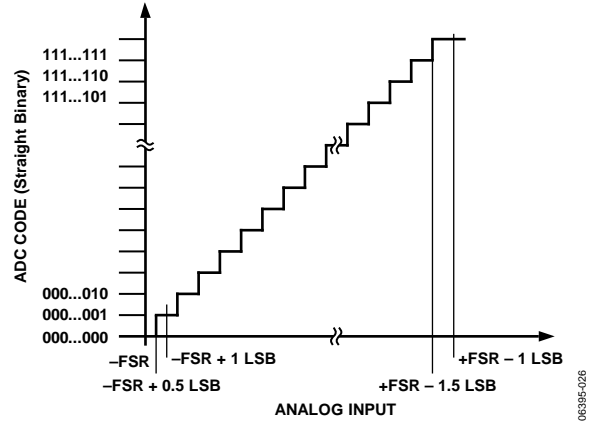


图26. ADC理想传递函数

表7. 输出码和理想输入电压

描述	$V_{REF} = 5V$				数字输出码	
	$V_{IN} = 5V$	$V_{IN} = 10V$	$V_{IN} = \pm 5V$	$V_{IN} = \pm 10V$	标准二进制	二进制补码
FSR - 1 LSB	4.999924 V	9.999847 V	+4.999847 V	+9.999695 V	0xFFFF <sup>1</sup>	0x7FFF <sup>1</sup>
FSR - 2 LSB	4.999847 V	9.999695 V	+4.999695 V	+9.999390 V	0xFFFE	0x7FFE
中间电平 + 1 LSB	2.500076 V	5.000153 V	+152.6 $\mu$ V	+305.2 $\mu$ V	0x8001	0x0001
中间电平	2.5 V	5.000000 V	0 V	0 V	0x8000	0x0000
中间电平	2.499924 V	4.999847 V	-152.6 $\mu$ V	-305.2 $\mu$ V	0x7FFF	0xFFFF
-FSR + 1 LSB	76.3 $\mu$ V	152.6 $\mu$ V	-4.999847 V	-9.999695 V	0x0001	0x8001
-FSR	0 V	0 V	-5 V	-10 V	0x0000 <sup>2</sup>	0x8000 <sup>2</sup>

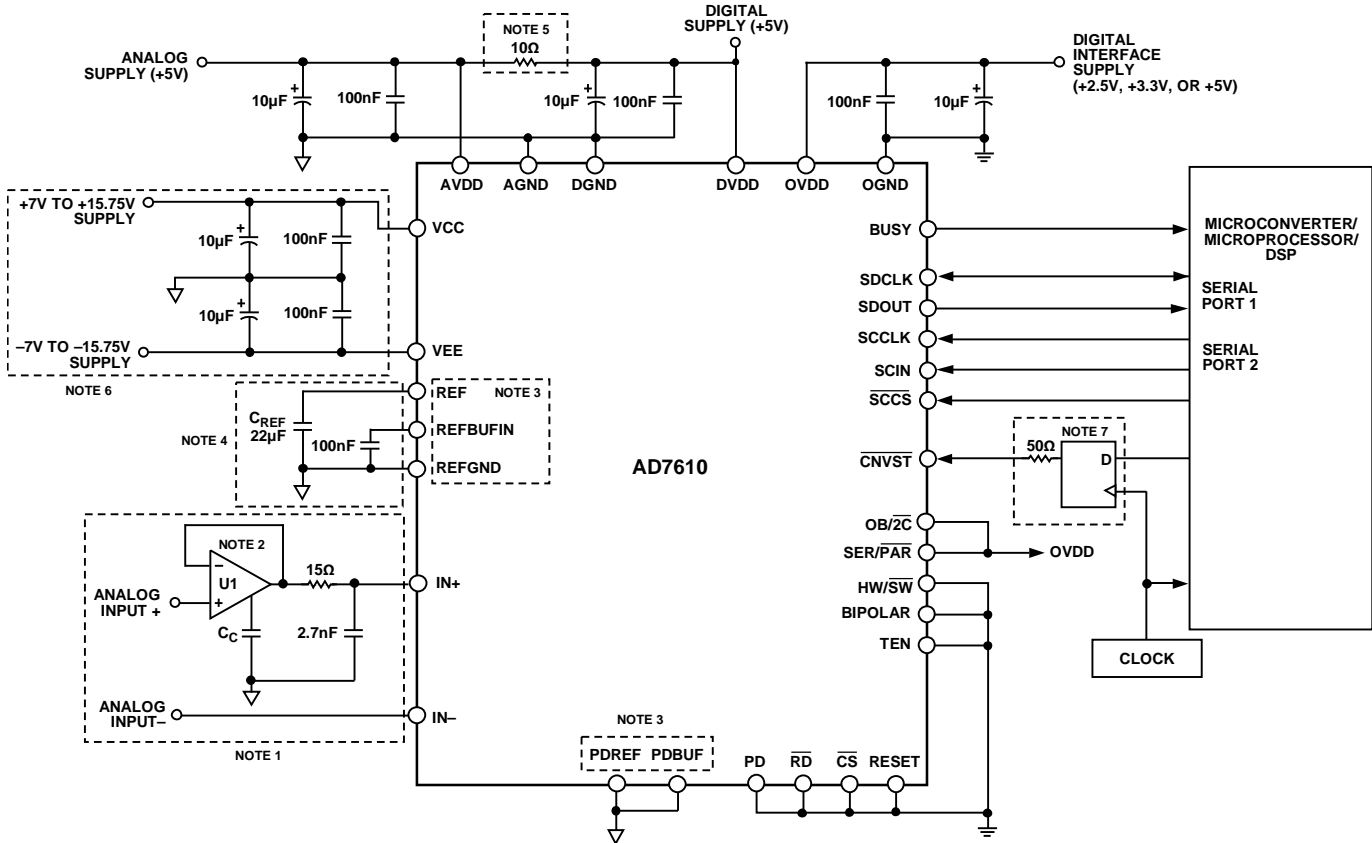
<sup>1</sup> 这也是超量程模拟输入( $V_{IN}^+ - V_{IN}^-$  大于  $V_{REF} - V_{REFGND}$ )对应的码。

<sup>2</sup> 这也是超量程模拟输入( $V_{IN}^+ - V_{IN}^-$  小于  $V_{REF} - V_{REFGND}$ )对应的码。

# AD7610

## 典型连接图

图27显示使用内部基准电压、串行数据和串行配置接口的AD7610典型连接图。图27所示不同电路均可选择，下文将详述。



- NOTES**
1. SEE ANALOG INPUT SECTION. ANALOG INPUT(-) IS REFERENCED TO AGND ±0.1V.
  2. THE AD8021 IS RECOMMENDED. SEE DRIVER AMPLIFIER CHOICE SECTION.
  3. THE CONFIGURATION SHOWN IS USING THE INTERNAL REFERENCE. SEE VOLTAGE REFERENCE INPUT SECTION.
  4. A 22µF CERAMIC CAPACITOR (X5R, 1206 SIZE) IS RECOMMENDED (FOR EXAMPLE, PANASONIC ECJ4YB1A226M). SEE VOLTAGE REFERENCE INPUT SECTION.
  5. OPTION, SEE POWER SUPPLY SECTION.
  6. THE VCC AND VEE SUPPLIES SHOULD BE VCC = [VIN(MAX) +2V] and VEE = [VIN(MIN) -2V] FOR BIPOlar INPUT RANGES. FOR UNIPOLAR INPUT RANGES, VEE CAN BE 0V. SEE POWER SUPPLY SECTION.
  7. OPTIONAL LOW JITTER CNVST, SEE CONVERSION CONTROL SECTION.

图27. 使用串行接口和串行可编程端口的典型连接图

06385-027

## 模拟输入

### 输入范围选择

在并行模式和串行硬件模式中，使用BIPOLAR(双极性)和TEN(10伏范围)输入来选择输入范围。引脚详细说明参见表6，使用引脚或配置寄存器进行模式选择设置参见硬件配置部分和软件配置部分。注意，使用配置寄存器时，无需考虑BIPOLAR和TEN输入，应连接到高电平或低电平。

### 输入结构

图28显示AD7610输入结构的等效电路。

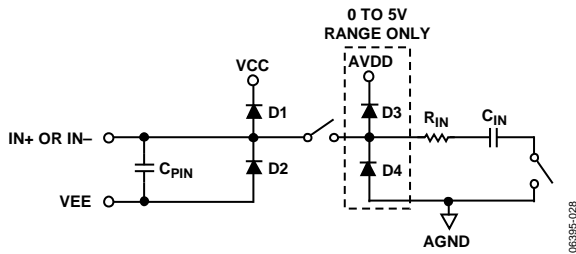


图28. AD7610模拟输入示意图

四个二极管D1至D4为模拟输入IN+ 和 IN-提供ESD保护。切记，模拟输入信号不得超过供电轨0.3 V以上，否则会造成二极管正偏，并开始传导电流。这些二极管可以处理最高120 mA的正偏电流。例如，当输入缓冲的U1电源与AVDD、VCC和VEE不同时，最终可能会发生这种情况。在这种情况下，尽管大多数运算放大器的短路电流小于100 mA，仍可以利用具有短路电流限制的输入缓冲器保护器件。注意，D3和D4仅在0 V至5 V范围内使用，针对从更高电压范围切换过来的应用提供额外的保护。

该模拟输入结构支持IN+和IN-之间差分信号的采样。利用此差分输入可以抑制两个输入共有的小信号，如图29所示，它显示了典型共模抑制比(CMRR)与频率的关系。

例如，如果利用IN-检测远程信号地，则传感器与本地ADC地之间的地电位差将被消除。

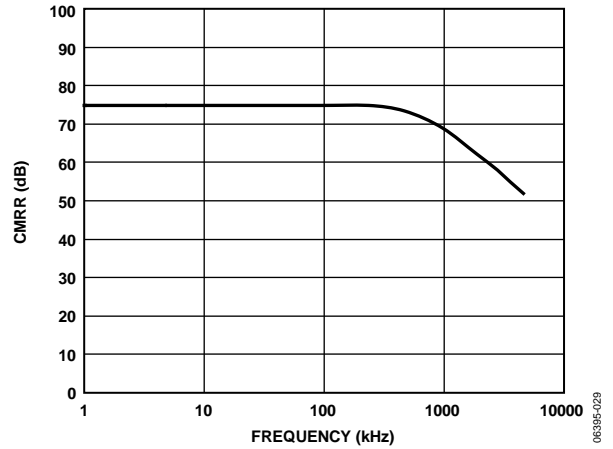


图29. 模拟输入CMRR与频率的关系

在交流信号采集阶段，模拟输入(IN+和IN-)的阻抗可以看成是电容 $C_{PIN}$ 与由 $R_{IN}$ 和 $C_{IN}$ 串联构成的网络的并联组合。 $C_{PIN}$ 主要包括引脚电容。 $R_{IN}$ 典型值为5 k $\Omega$ ，是由串联电阻与开关的导通电阻构成的集总元件。 $C_{IN}$ 主要包括ADC采样电容，其大小取决于所选的输入范围，在0 V至5 V范围内一般为48 pF，在0 V至10 V和 $\pm 5$  V范围内一般为24 pF，在 $\pm 10$  V范围内一般为12 pF。在转换阶段，开关断开时，输入阻抗仅包括 $C_{PIN}$ 。

由于AD7610的输入阻抗非常高，可以直接由低阻源驱动，没有增益误差。为了通过AD7610模拟输入电路进一步滤除噪声，可以在放大器输出和ADC模拟输入之间使用一个外部单极RC滤波器，如图27所示。然而，较大的源阻抗会显著地影响交流特性，特别是总谐波失真(THD)。最大的源阻抗取决于可容许的总谐波失真(THD)。THD性能下降程度是源阻抗和最大输入频率的函数。

# AD7610

## 驱动放大器选择

虽然AD7610很容易驱动，但驱动放大器必须满足下列要求：

- 对于多通道、多路复用的应用，驱动放大器和AD7610模拟输入电路必须使电容阵列以16位水平(0.0015%)建立满量程阶跃。对于放大器来说，更常见的是规定0.1%至0.01%的建立时间。这与16位水平的建立时间明显不同，因此选择驱动器之前应进行验证。运算放大器AD8021具有超低噪声特性和高增益带宽，即使增益高达13，它也能达到这一建立时间要求。
- 驱动器放大器所产生的噪声需尽可能低，以保持AD7610的SNR和转换噪声性能。来自驱动器的噪声由外部单极点低通滤波器滤除，如图27所示。放大器引起的SNR性能下降可表示为

$$SNR_{LOSS} = 20 \log \left( \frac{V_{NADC}}{\sqrt{V_{NADC}^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

其中：

$V_{NADC}$ 是ADC的噪声，即：

$$V_{NADC} = \frac{V_{INP-P}}{\frac{SNR}{10^{20}}}$$

$f_{-3dB}$ 是输入滤波器的截止频率(3.9 MHz)。

$N$ 为放大器的噪声系数(采用缓冲器配置时为+1)。

$e_N$ 为运算放大器的等效输入电压噪声密度，单位nV/√Hz。

- 驱动器的THD性能必须适合AD7610。图15所示为驱动器应该超过的THD与频率的关系。

AD8021符合这些要求，几乎适合所有应用。AD8021需要具有类似NPO陶瓷或云母型电容良好线性度的10 pF外部补偿电容。此外，推荐使用同相+1增益，有助于获得最好的信噪比。

当需要增益为1的双通道版本时，也可以使用AD8022。如果不要求高频(100 kHz以上)性能，也可以选择AD829。在增益为1的应用中，需要82 pF补偿电容。低频应用中需要低偏置电流时可选择AD8610。

由于AD7610使用大几何形状的高压输入开关，当所用的放大器处于最大全功率带宽时，可获得最佳线性度性能。使放大器利用ADC的更多动态范围会增加线性误差。对于需要更大分辨率的应用，应在驱动AD7610单位增益跟随器之前额外使用一个具有增益的放大器。推荐的运算放大器见表8。

表8. 推荐的驱动放大器

放大器	典型应用
ADA4841-x	12 V 电源、极低噪声、低失真、低功耗、低频率
AD829	±15 V 电源、极低噪声、低频率
AD8021	±12 V 电源、极低噪声、高频率
AD8022	±12 V 电源、极低噪声、高频率、双通道
AD8610/AD8620	±13 V 电源、低偏置电流、低频率、单/双通道

## 基准电压输入/输出

AD7610允许选择极低温度漂移的内部基准电压源、外部基准电压源或外部缓冲基准电压源。

AD7610的内部基准电压源提供出色的性能，可以用于几乎所有应用。然而，只有使用外部基准电压源才能保证线性度性能。

**内部基准电压 (REF = 5 V)****(PDREF = 低电平, PDBUF = 低电平)**

要使用内部基准电压, PDREF和PDBUF输入必须为低电平。这可以使能片内带隙基准电压源、缓冲器和TEMP传感器, 从而在REF引脚获得5.00 V基准电压。

内部基准电压源通过温度补偿, 精度可达到 $5.000\text{ V} \pm 35\text{ mV}$ 。经过调整后, 基准电压源的典型漂移量为 $3\text{ ppm}/^\circ\text{C}$ 。此典型漂移特性如图19所示。

**2.5 V外部基准电压源和内部缓冲(REF = 5 V) (PDREF = 高电平, PDBUF = 低电平)**

要使用带内部缓冲的外部基准电压源, PDREF应为高电平, PDBUF应为低电平。这样会关断内部基准电压源, 使2.5 V基准电压施加于REFBUFIN, 在REF引脚产生5 V电压。内部基准电压缓冲器在多转换器应用中很有用, 因为这些应用通常需要一个缓冲器。

**5V 外部基准电压(PDREF = 高电平, PDBUF = 高电平)**

要直接通过REF引脚使用外部基准电压源, PDREF和PDBUF都应为高电平。PDREF和PDBUF会分别关断内部基准电压源和内部基准电压缓冲。为改善温漂性能, 推荐使用ADR445或ADR435等外部基准电压源。

**基准电压源去耦**

无论是使用内部基准源还是外部基准源, AD7610的基准电压输入(REF)都具有动态输入阻抗, 因此应利用低阻抗源驱动REF, REF与REFGND输入之间应有效去耦。此去耦取决于选择何种基准电压源, 但通常包括一个连接到REF和REFGND、具有最低寄生电感的低ESR电容。当使用内部基准电压源或ADR445/ADR435外部基准电压源时,  $22\text{ }\mu\text{F}$  (X5R、1206尺寸)的陶瓷芯片电容(或 $47\text{ }\mu\text{F}$ 钽电容)较为合适。

基准电压去耦电容的位置对于AD7610的性能也很重要。去耦电容与ADC应位于同一侧, 并且应利用粗PCB走线将去耦电容安装在REF引脚处。REFGND也应以最短距离连接到基准源去耦电容, 并通过数个过孔连接到模拟地。

对于使用多个AD7610或其它PulSAR器件的应用, 使用内部基准电压缓冲器来缓冲2.5 V外部基准电压会更有效。

基准电压源温度系数(TC)会直接影响满量程, 因此, 在满量程精度非常重要的应用中, 必须特别注意温度系数。例如, 基准电压源 $\pm 15\text{ ppm}/^\circ\text{C}$ 的温度系数将使满量程以 $\pm 1\text{ LSB}/^\circ\text{C}$ 的幅度改变。

**温度传感器**

使能内部基准电压源(PDREF = PDBUF = 低电平)时, 片内温度传感器输出(TEMP)使能, 可用于测量AD7610的温度。为了提高整个温度范围内的校准精度, 将TEMP引脚的输出连接至模拟开关(例如ADG779)的一路输入, ADC则用于测量其自身温度。这种配置如图30所示。

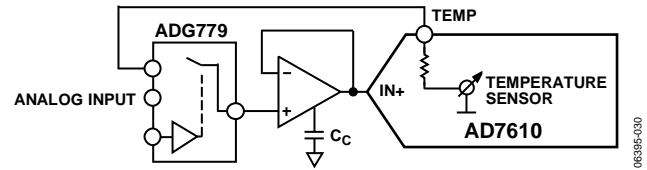


图30. 使用温度传感器

**电源**

AD7610使用5组电源引脚:

- AVDD: 5 V模拟内核电源
- VCC: 模拟高压正电源
- VEE: 高压负电源
- DVDD: 5 V数字内核电源
- OVDD: 数字输入/输出接口电源

**内核电源**

AVDD和DVDD分别为AD7610模拟和数字内核供电。这些电源需要足够的去耦, 每个电源上至少包括一个 $10\text{ }\mu\text{F}$ 电容和 $100\text{ nF}$ 电容。 $100\text{ nF}$ 电容应尽可能靠近AD7610。为了减少所需电源的数量, DVDD可以通过一个简单的RC滤波器从模拟电源供电, 如图27所示。

**高压电源**

器件需要高压双极性电源VCC和VEE, 这些电源至少应比最大输入 $V_{IN}$ 大2 V。

例如, 如果使用双极10 V范围, 电源至少应为 $\pm 12\text{ V}$ 。这些电源也需要足够的去耦, 每个电源上至少包括一个 $10\text{ }\mu\text{F}$ 电容和 $100\text{ nF}$ 电容。对于单极性操作, VEE电源可以接地, THD性能会略有降低。

**数字输出电源**

OVDD为数字输出供电, 可以与工作在2.3 V至5.25 V范围的任何逻辑直接接口。OVDD应设置为与系统接口相同的电平。该电源需要足够的去耦, 至少应包括 $10\text{ }\mu\text{F}$ 电容和 $100\text{ nF}$ 电容;  $100\text{ nF}$ 电容应尽可能靠近AD7610。

# AD7610

## 电源时序

AD7610要求控制AVDD和DVDD电源的上电时序。AVDD应先于或与DVDD同时上电。这可以利用图27中的配置或按照这种方式供电来实现。其它电源的时序可根据需要控制，只要遵从绝对最大额定值要求即可。AD7610在宽频率范围内对AVDD电源变化非常不敏感，如图31所示。

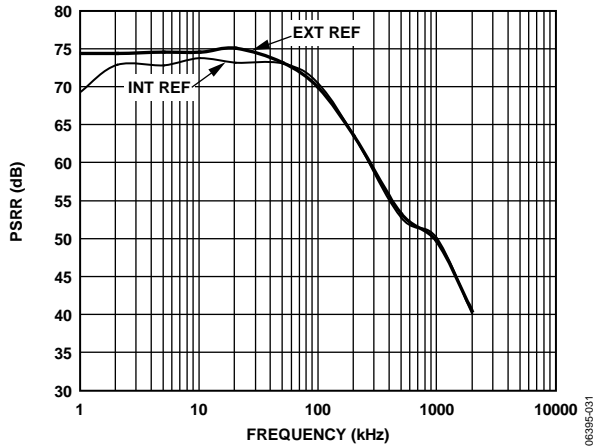


图31. AVDD PSRR与频率的关系

## 功耗与吞吐量

AD7610在每个转换阶段结束时自动降低功耗。在采集阶段，工作电流非常低，因此当转换速率降低时，功耗显著降低(参见图32)。这一特性使得AD7610非常适合电池供电的极低功耗应用。

应当注意，即使在采集阶段，数字接口仍保持有效。为了进一步降低工作数字电源电流，数字输入应驱动至接近供电轨(即OVDD和OGND)。

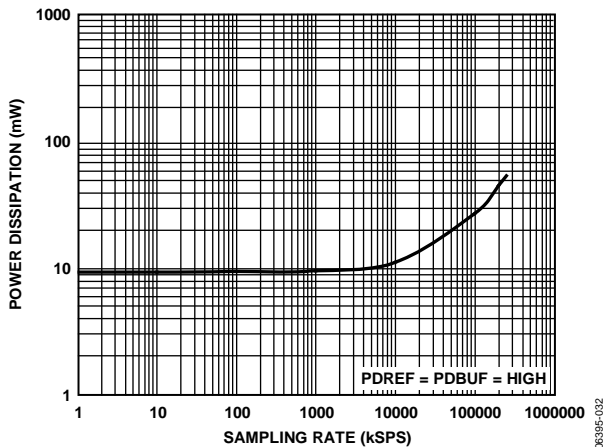


图32. 功耗与采样速率的关系

## 关断

设置PD = 高电平可关断AD7610，从而将电源电流降至其最小值，如图23所示。当ADC关断时，电流转换(如果有)完成，数字总线保持有效。为了进一步降低数字电源电流，输入应驱动至OVDD或OGND。

也可通过配置寄存器设置实现关断。详情参见软件配置部分。注意，使用配置寄存器时，无需考虑PD输入，应连接到高电平或低电平。

## 转换控制

AD7610由 $\overline{\text{CNVST}}$ 输入控制。 $\overline{\text{CNVST}}$ 上必须出现下降沿才能启动转换。转换过程的详细时序图如图33所示。一旦启动转换，就无法重新开始或中止，甚至通过关断输入PD也不行，只有等到转换完成。 $\overline{\text{CNVST}}$ 信号独立工作，与 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 信号无关。

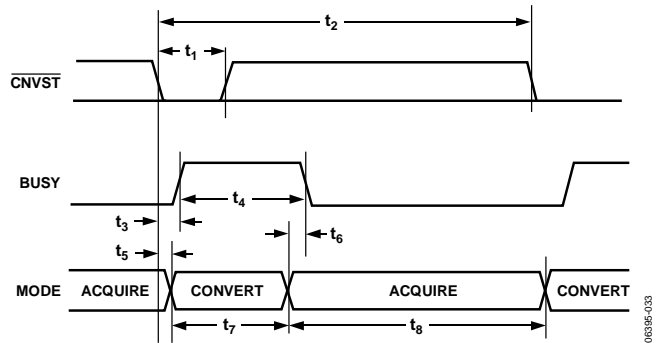


图33. 基本转换时序

虽然 $\overline{\text{CNVST}}$ 是一个数字信号，但设计时应特别注意，应当采用快速、干净的边沿以及过冲/欠冲或响铃振荡极小的电平。

$\overline{\text{CNVST}}$ 走线应该用地屏蔽，并在驱动此线路的器件输出端附近增加一个低阻值(例如50  $\Omega$ )的串行电阻。

针对SNR性能至关重要的应用， $\overline{\text{CNVST}}$ 信号的抖动应非常低。可以使用专用振荡器来产生 $\overline{\text{CNVST}}$ ，或者用高频、低抖动时钟为 $\overline{\text{CNVST}}$ 提供时钟，如图27所示。

## 接口

### 数字接口

AD7610具有多功能数字接口，可以设置为串行或并行接口与主机连接。串行接口与并行数字总线复用。AD7610数字接口也支持2.5V、3.3V或5V逻辑。在大多数应用中，OVDD电源引脚连接到主机系统接口的2.5V至5.25V数字电源。最后，利用OB/2C输入引脚可以选择标准二进制或二进制补码编码方式。

$\overline{CS}$ 和 $\overline{RD}$ 这两个信号控制数字接口。只要至少其中一个信号为高电平，接口输出便处于高阻态。通常而言，在多电路应用中， $\overline{CS}$ 用于选择各AD7610，并在单AD7610设计中保持低电平。 $\overline{RD}$ 一般用于使能数据总线上的转换结果。

### 复位

RESET输入用于复位AD7610。RESET的上升沿中断当前的转换(如果有)并使数据总线为三态。RESET的下降沿复位AD7610，清空数据总线和配置寄存器。RESET时序参见图34。

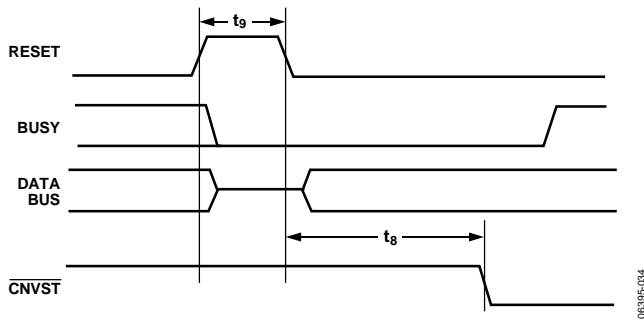


图34. RESET时序

### 并行接口

当SER/PAR处于低电平时，AD7610使用并行接口。

#### 主机并行接口

将 $\overline{CS}$ 和 $\overline{RD}$ 置为低电平可以连续读取数据，这样仅需要极少的微处理器连接。不过，在这种模式下，数据总线一直被占用，不能用于共享总线的应用(除非器件保持复位状态)。图35展示了此模式的时序。

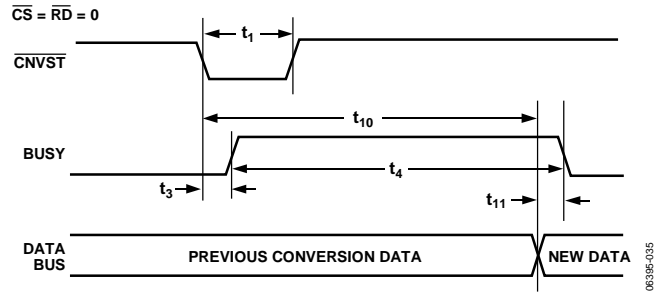


图35. 读取时的主机并行数据时序(连续读取)

#### 从机并行接口

在从机并行读取模式下，可以在每次转换之后，即下一个采集阶段读取数据，也可以在下一次转换期间读取数据，如图36和37所示。如果在转换期间读取数据，建议仅在转换阶段的前半段读取。这可以避免数字接口和最关键的模拟转换电路的电压瞬变之间出现馈通。

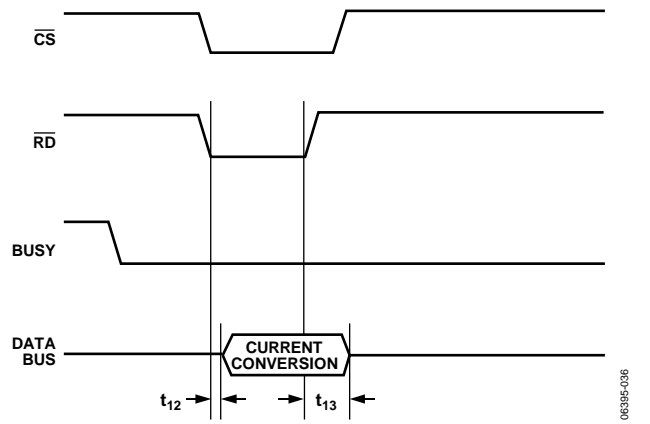


图36. 读取时的从机并行数据时序(转换之后读取)

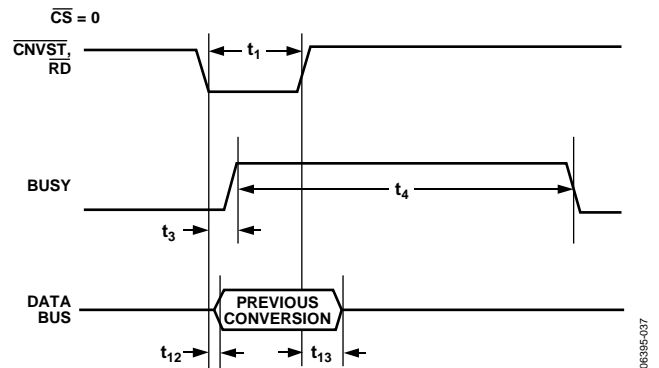


图37. 读取时的从机并行数据时序(转换期间读取)

# AD7610

## 8位接口(主机或从机)

BYTESWAP引脚可以与8位总线无缝接口。如图38所示，当BYTESWAP为低电平时，最低有效字节通过D[7:0]输出，最高有效字节通过D[15:8]输出。当BYTESWAP为高电平时，LSB字节与MSB字节交换，LSB通过D[15:8]输出，MSB通过D[7:0]输出。如果将BYTESWAP连接到地址线，则16位数据可以分两个字节通过D[15:8]或D[7:0]读取。此接口可以在主机和从机并行读取模式下使用。

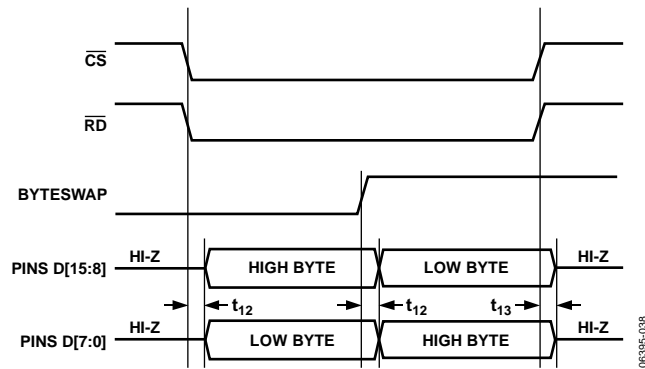


图38. 8位和16位并行接口

## 串行接口

AD7610提供一个串行接口(SPI兼容)，可在数据引脚D[15:2]上实现多路复用。当SER/ $\overline{\text{PAR}}$ 处于高电平时，AD7610使用串行接口。

## 数据接口

AD7610以MSB优先方式在SDOUT引脚上输出16位数据。此数据与SDCLK引脚上提供的16个时钟脉冲同步。输出数据在数据时钟的上升沿和下降沿均有效。

## 串行配置接口

AD7610的串行配置引脚也与数据引脚D[15:12]复用，所以只有在串行模式下才可以通过串行配置寄存器进行配置。更多信息参见硬件配置部分和软件配置部分。

## 主机串行接口

在D[10:2]上复用，并用于主机串行接口的引脚包括：DIVSCLK[0]、DIVSCLK[1]、EXT/ $\overline{\text{INT}}$ 、INVS $\overline{\text{SYNC}}$ 、INVSCLK、RDC、SDOUT、SDCLK和SYNC。

## 内部时钟(SER/ $\overline{\text{PAR}}$ = 高电平，EXT/ $\overline{\text{INT}}$ = 低电平)

当EXT/ $\overline{\text{INT}}$ 引脚处于低电平时，AD7610产生并提供串行数据时钟SDCLK。AD7610还产生一个SYNC信号，以告知主机串行数据何时有效。SDCLK和SYNC信号可以反转，如果需要可以分别使用INVSCLK和INVS $\overline{\text{SYNC}}$ 输入。因此，根据RDC的输入状态不同，可以在各次转换之后或在下一转换期间读取数据。图39和图40为这两种方式的详细时序图。

## 转换之后读取(RDC = 低电平，DIVSCLK[1:0] = [0至3])

设置RDC=低电平时，允许转换之后读取的模式。AD7610速率上限为250kSPS，转换之间的时间 $t_2 = 4\mu\text{s}$ ，所以此模式是最值得推荐的串行模式。与其它串行模式不同，BUSY信号在输出16个数据位后、转换阶段结束前返回低电平，因此BUSY的宽度更长(BUSY时序规格参见表4)。DIVSCLK[1:0]输入控制SDCLK周期和SDOUT数据速率。因此，最大吞吐量只能通过两个DIVSCLK[1:0]设置实现。在此模式下，AD7610产生不连续的SDCLK，也可以使用支持SPI和串行端口的固定周期和主机。

## 转换期间读取(RDC = 高电平)

设置RDC = 高电平时，允许主机在转换期间读取(上一次转换结果)的模式。在此模式下，串行时钟和数据在适当的时刻反转，从而使数字活动与关键转换判断之间的可能馈通降至最低。在此模式下，由于最低有效位需要更多的建立时间，因此SDCLK的周期会改变，SDCLK可以从SAR转换周期获得。在此模式下，AD7610产生不连续的两种不同周期SDCLK，主机应使用SPI接口。



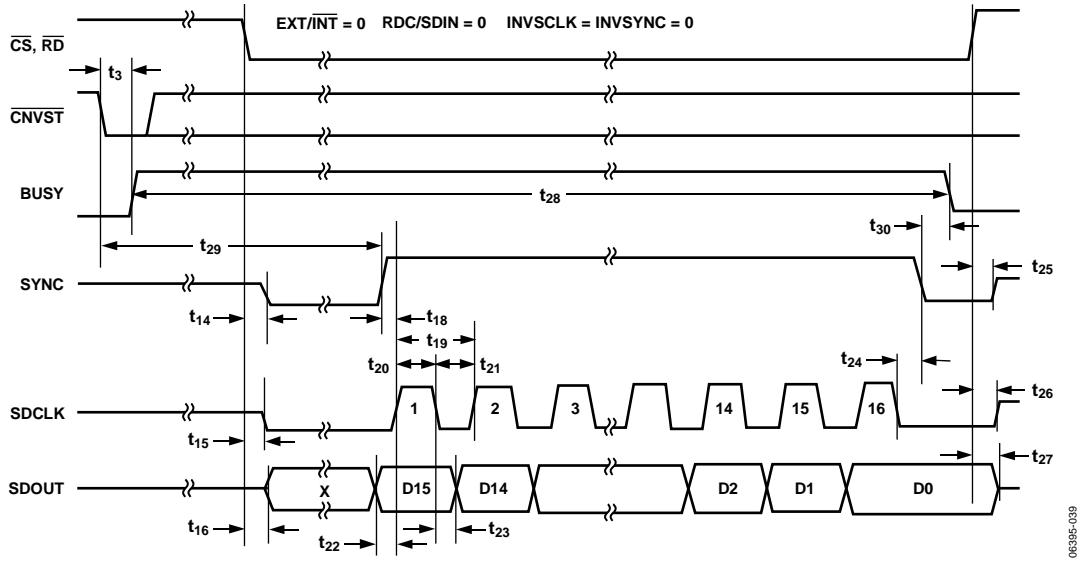


图39. 读取时的主机串行数据时序(转换之后读取)

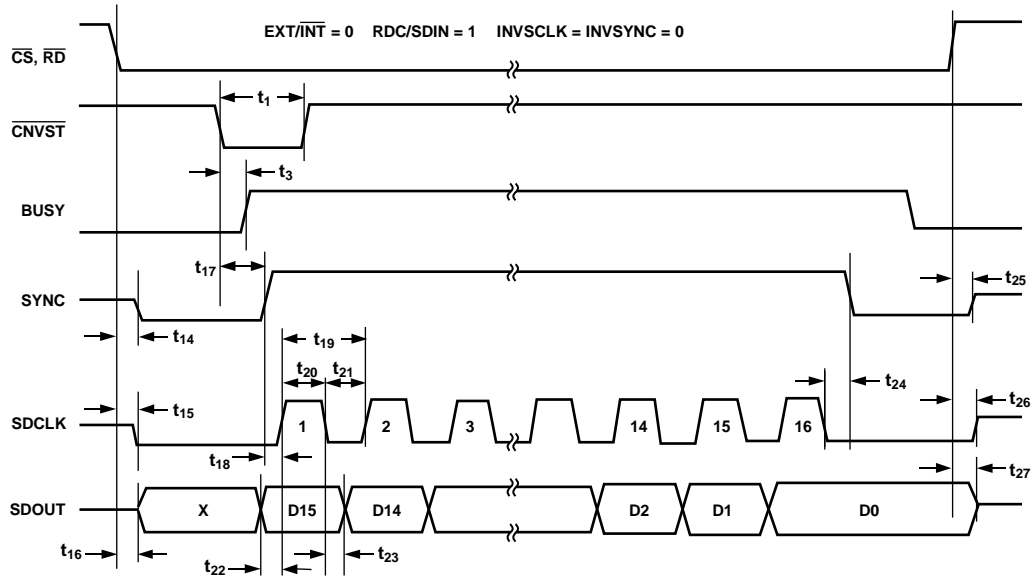


图40. 读取时的主机串行数据时序(转换期间读取前一转换结果)

# AD7610

## 从机串行接口

在D[11:4]上复用，用于从机串行接口的引脚包括：EXT/ $\overline{\text{INT}}$ 、INVSCLK、SDIN、SDOUT、SDCLK和RDERROR。

## 外部时钟(SER/ $\overline{\text{PAR}}$ = 高电平，EXT/ $\overline{\text{INT}}$ = 高电平)

设置EXT/ $\overline{\text{INT}}$  = 高电平，使AD7610可以接受通过SDCLK引脚提供的外部串行数据时钟。这种模式下，可以用多种方法读取数据。该外部串行时钟由 $\overline{\text{CS}}$ 选通。当 $\overline{\text{CS}}$ 与 $\overline{\text{RD}}$ 均为低电平时，可在每次转换后或在下次转换期间读取数据。时钟在无效时可以是常高或常低。详细的时序图参见图42和图43。

AD7610在执行位判断时，必须避免在数字输入/输出引脚上出现电压瞬变，否则可能会导致转换结果不佳。这在转换阶段的最后475 ns尤其重要，因为AD7610提供了误差校正电路，可以校正转换阶段的第一部分做出的错误位判断。因此，若提供外部时钟，建议使用非连续时钟，它仅在BUSY为低电平时转换，或者在BUSY高电平的最后475 ns不会转换，这一点更重要。

## 转换之后的外部非连续时钟数据读取

由于AD7610限制为250 kSPS，因此转换之间的时间为 $t_4 = 4 \mu\text{s}$ ，且转换时间为 $t_7 = 1.45 \mu\text{s}$ 。由于读取数据的时间为 $t_4 - t_7$ ，这使得转换后读取模式成为最受推荐的串行从机模式。图42为此方法的详细时序图。转换完成后(通过BUSY返回低电平得知)，此转换结果可以在 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均为低电平时读取。数据以MSB优先方式利用16个时钟脉冲逐个输出，根据SDCLK频率，可在时钟的上升沿和下降沿均有效。

因为转换过程中数字接口上不存在电压瞬变，所以这种方法的优点之一是转换性能不会下降。另一个优点是能够以最高40 MHz的任意速度读取数据，既支持慢速数字主机接口，也支持最快的串行读取。

## 菊花链特性

同样在转换后读取模式下，AD7610提供菊花链特性，利用串行数据输入SDIN引脚，可实现多个转换器级联。这一特性可用于减少器件数量和线路连接；例如在隔离式多转换器应用中，希望器件和连接越少越好。详细时序参见图42。

两个器件的菊花链连接示例如图41所示。可利用一个公共CNVST信号，进行同步采样。注意，SDIN输入锁存于通过SDOUT逐个输出数据的SDCLK相反沿(INVSCLK = 低电平时，在SDCLK下降沿)。因此，在下一个SDCLK周期，上游转换器的MSB紧跟下游转换器的LSB。在此模式下，由于SDIN至SDCLK建立时间 $t_{33}$ 小于最小规定时间，因此无法使用40 MHz SDCLK速率。(同步采样时，所有转换器的SDCLK至SDOUT延迟 $t_{32}$ 相同)。为确保正常工作，锁存SDIN的SDCLK沿(或SDCLK的 $\frac{1}{2}$ 周期)必须为：

$$t_{1/2SDCLK} = t_{32} + t_{33}$$

或者，最大SDCLK频率必须为：

$$f_{SDCLK} = \frac{1}{2(t_{32} + t_{33})}$$

若不使用菊花链特性，SDIN输入应连接到高电平或低电平。

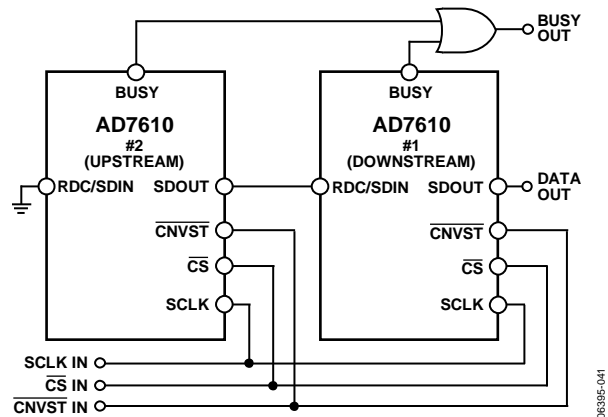


图41. 采用菊花链配置的两个AD7610器件

## 上一次转换期间的外部时钟数据读取

图43为此方法的详细时序图。转换期间，当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均为低电平时，可以读取前一转换的结果。数据以MSB优先方式由16个时钟脉冲逐个输出，而且在时钟的上升沿和下降沿均有效。必须在当前转换完成之前读取这16位数据；否则，RDERROR变为高电平，用于中断主机接口，防止数据读取不完整。

为了降低数字操作对性能的影响，建议使用至少40 MHz的快速非连续时钟，以确保所有的数据位都能在SAR转换阶段的前半段读取。

由于在SAR转换阶段的后半段出现数字操作，有可能造成性能下降，因此在此模式下不应使用菊花链特性。

## 转换之后/转换期间的外部时钟数据读取

也可以在转换之后开始读取数据，然后在新转换启动之后继续读取最后的数据位。此方法支持满吞吐量，以及使用较慢的SDCLK频率。此外，无论何时若有可能减少潜在的错误位判断，推荐使用非连续SDCLK。对于不同的模式，

可使用较慢的SDCLK，例如warp模式下使用20 MHz，正常模式下使用15 MHz，以及脉冲模式下使用13 MHz。

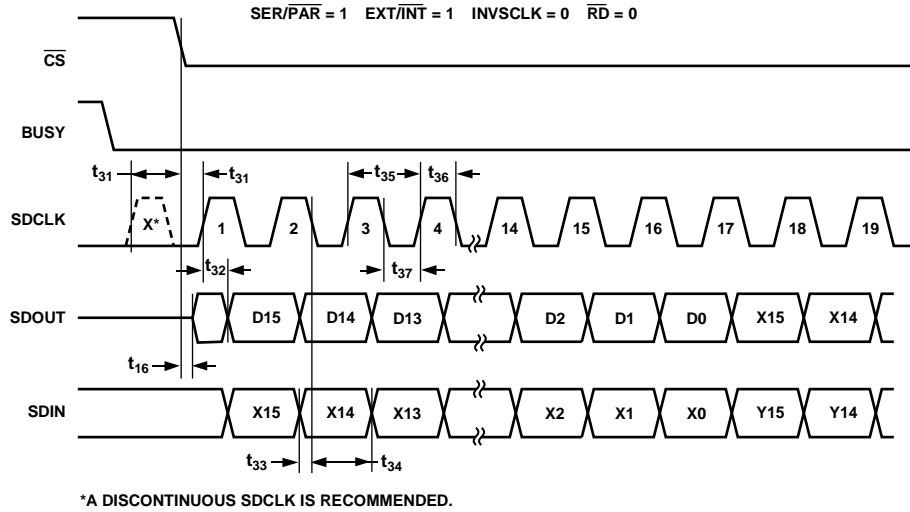


图42. 读取时的从机串行数据时序(转换之后读取)

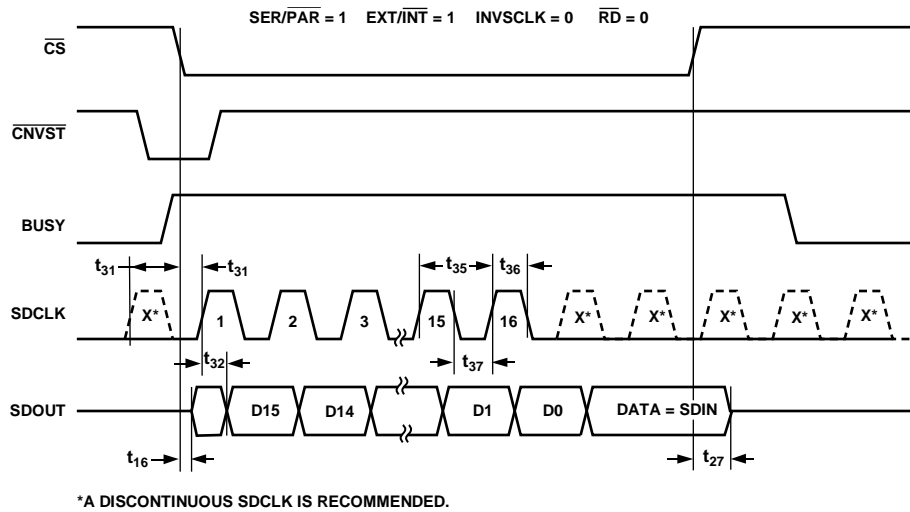


图43. 读取时的从机串行数据时序(转换期间读取前一转换结果)

# AD7610

## 硬件配置

通过专用硬件引脚BIPOLAR、 $\overline{\text{TEN}}$ 、 $\text{OB}/\overline{2\text{C}}$ 及PD，可随时将AD7610配置为并行模式( $\text{SER}/\overline{\text{PAR}}$  = 低电平)，或串行硬件模式( $\text{SER}/\overline{\text{PAR}}$  = 高电平， $\text{HW}/\overline{\text{SW}}$  = 高电平)。转换之前或转换期间，可完成对AD7610输入范围配置的编程。如同RESET输入，如图44所示，ADC需要至少一次采集时间来设置。引脚定义参见图6。注意，使用软件配置模式时，这些输入均为高阻抗。

## 软件配置

在D[15:12]上复用，用于软件配置的引脚包括： $\text{HW}/\overline{\text{SW}}$ 、SCIN、SCCLK和 $\overline{\text{SCCS}}$ 。AD7610通过专用只写串行可配置端口设置转换模式、输入范围选择、输出码码以及利用串行配置寄存器实现关断。配置寄存器中每个位的详细信息参见表9。由于端口在并行接口上复用，选择 $\text{SER}/\overline{\text{PAR}}$  = 高电平和 $\text{HW}/\overline{\text{SW}}$  = 低电平时，在串行软件模式下才能使用SCP。

将端口的片选信号 $\overline{\text{SCCS}}$ 置位可以访问SCP，然后写入与SCCLK同步的SCIN，(如同SDCLK)SCCLK沿敏感程度取决于 $\overline{\text{INVSCLK}}$ 的状态。详细时序参见图45。SCIN以MSB优先的顺序输入配置寄存器。配置寄存器是一个内部移位寄存器，超始位为位8。第9个SPPCLK沿更新寄存器，并允许使用新设置。如时序图所示，第9个SCCLK沿需要至少一次采集时间。位[4:3]和位[1:0]为保留位，SCP更新时不会写入。

SCP可随时写入，最高速率为40 MHz，建议在AD7610未忙于转换时写入，详见图45。在此模式下，SCP访问所需时

间最小值为( $t_{31} + 9 / \text{SCCLK} + t_8$ )，无法达到750 kSPS的全速率。若需要满吞吐量，可在转换期间对SCP执行写操作，然而不推荐在转换的最后475 ns( $\text{BUSY}$  = 高电平)对SCP执行写操作，否则可导致性能下降。此外，在串行主机与串行从机转换期间和转换之后读取模式下，均可访问SCP。

注意，上电时，配置寄存器未定义。RESET输入清空配置寄存器(所有位均设为0)，从而配置为0 V到5 V输入、正常模式和二进制补码输出。

表9. 配置寄存器描述

位	姓名	描述															
8	启动	起始位。SCP使能条件下( $\overline{\text{SCCS}}$ = 低电平)，START为高电平时，SCCLK的第一个上升沿( $\overline{\text{INVSCLK}}$ = 低电平)开始向寄存器载入新配置。															
7	BIPOLAR	输入范围选择。按如下方式与位6 TEN配合使用： <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>输入范围</th> <th>BIPOLAR</th> <th>TEN</th> </tr> </thead> <tbody> <tr> <td>0 V至5 V</td> <td>低电平</td> <td>低电平</td> </tr> <tr> <td>0 V至10 V</td> <td>低电平</td> <td>高电平</td> </tr> <tr> <td>±5 V</td> <td>高电平</td> <td>低电平</td> </tr> <tr> <td>±10 V</td> <td>高电平</td> <td>高电平</td> </tr> </tbody> </table>	输入范围	BIPOLAR	TEN	0 V至5 V	低电平	低电平	0 V至10 V	低电平	高电平	±5 V	高电平	低电平	±10 V	高电平	高电平
输入范围	BIPOLAR	TEN															
0 V至5 V	低电平	低电平															
0 V至10 V	低电平	高电平															
±5 V	高电平	低电平															
±10 V	高电平	高电平															
6	TEN	输入范围选择。参见位7 BIPOLAR。															
5	PD	关断。 PD = 低电平，正常工作。 PD = 高电平，ADC关断。关断时，可访问SCP。要启动ADC，在下一配置设置时写入PD = 低电平。															
4	RSV	保留。															
3	RSV	保留。															
2	$\text{OB}/\overline{2\text{C}}$	输出编码 OB/ $\overline{2\text{C}}$ = 低电平时，使用二进制补码输出。 OB/ $\overline{2\text{C}}$ = 高电平时，使用标准二进制输出。															
1	RSV	保留。															
0	RSV	保留。															

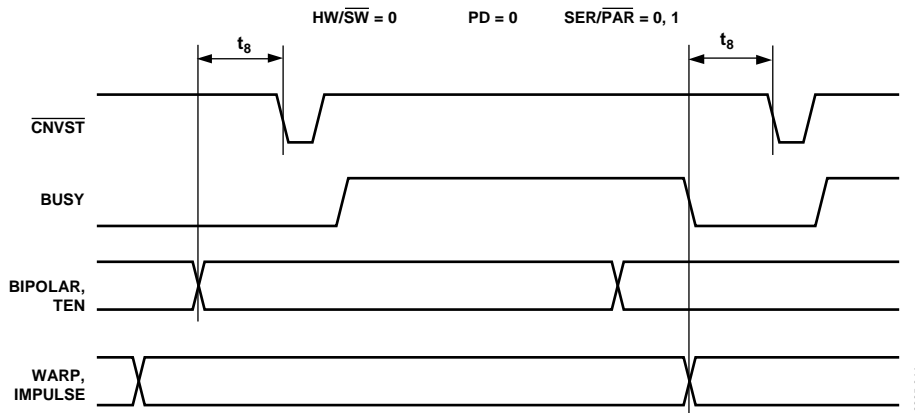


图44 硬件配置时序

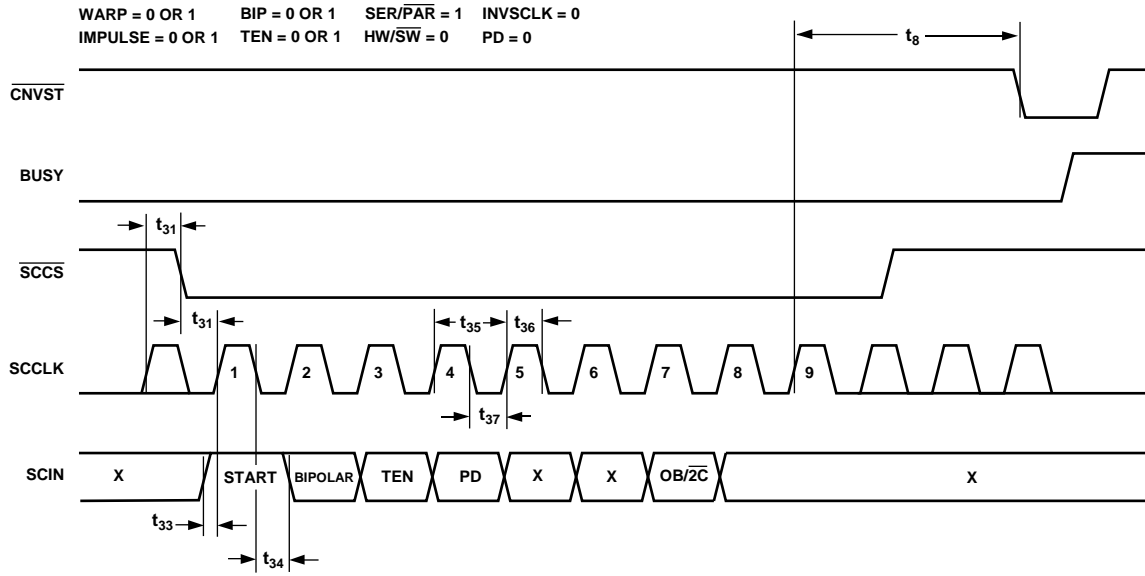


图45 串行配置端口时序

06395-045

## 微处理器接口

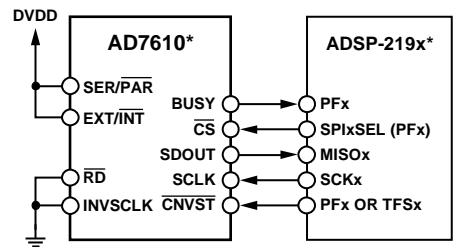
AD7610特别适合支持微处理器的传统直流测量应用以及与数字信号处理器接口的交流信号处理应用。AD7610可以连接并行8位或16位宽接口，或者连接微控制器上的通用串行端口或I/O端口。AD7610可以与各种外部缓冲器配合使用，防止数字噪声耦合到ADC之中。

## SPI接口

AD7610与SPI、QSPI数字主机和DSP兼容，例如Blackfin® ADSP-BF53x和ADSP-218x/ADSP-219x。图46为AD7610与具有SPI的ADSP-219x之间的接口图。为适应DSP的较慢速度，AD7610用作从机，数据必须在转换之后读取。此模式同样具有菊花链特性。转换命令可以响应一个内部定时器中断而启动。

读取过程可利用DSP的中断线路响应转换结束信号(BUSY变为低电平)来启动。通过对SPI控制寄存器(SPICLTx)执行写操作，将ADSP-219x上的串行外设接口(SPI)配置为主机模式(MSTR)=1，时钟极性位(CPOL)=0，时钟相位位(CPHA)=1，以及SPI中断使能(TIMOD)=0。

应当注意，为满足所有时序要求，SPI时钟应限制为17 Mbps，允许其在不到1 μs时间内读取ADC结果。当需要更高采样率时，使用其中一个并行接口模式。



\*ADDITIONAL PINS OMITTED FOR CLARITY.

图46. AD7610与SPI接口的连接

06395-046

## 应用信息

### 布局布线指南

当AD7610对电源噪声具有良好的抗扰度时，须谨慎考虑接地布局。为便于使用可轻易分开的接地层，进行AD7610印刷电路板设计时，其模拟和数字部分应分离，并限制在电路板的一定区域内。数字地和模拟地应单点连接，最好位于AD7610下方，或尽可能靠近AD7610。如果AD7610系统内有多个器件要求模数接地连接，仍应坚持单点接地，接地点放在尽可能靠近AD7610的一个星型接地点。

为了防止将噪声耦合至芯片，避免辐射噪声，减少馈通效应：

- 请勿在器件下方布设数字线路。
- 请在AD7610下方布设模拟接地层。
- $\overline{CNVST}$ 或时钟等快速切换信号要使用数字地加以屏蔽，以免将噪声辐射到电路板的其他部分，而且绝不能靠近模拟信号路径。
- 避免数字信号与模拟信号交叠。
- 电路板邻近层上的走线应彼此垂直，以减小电路板的馈通效应。

AD7610的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声效应。良好的去耦也很重要，以便降低AD7610的电源阻抗，并减少电源尖峰幅度。典型值100 nF的去耦陶瓷电容应放置在各电源引脚处：AVDD、DVDD、OVDD、VCC和VEE。该电容应靠近(理想情况是紧靠)这些引脚及其对应的接地引脚。此外，ADC附近应放置低ESR 10  $\mu$ F电容，以进一步减小低频纹波。

AD7610的DVDD电源可单独供电，或由模拟电源AVDD供电，或由数字接口电源OVDD供电。当系统数字电源的噪声太高或者存在快速切换数字信号时，如果没有独立电源可用，则建议将DVDD数字电源通过一个RC滤波器连接到模拟电源AVDD，并将系统电源连接到接口数字电源OVDD和其余数字电路。图27为该配置的一个示例。当DVDD从系统电源供电时，插入一个磁珠是很有用的，可进一步降低高频噪声尖峰。

AD7610具有四个不同的接地引脚：REFGND、AGND、DGND和OGND。

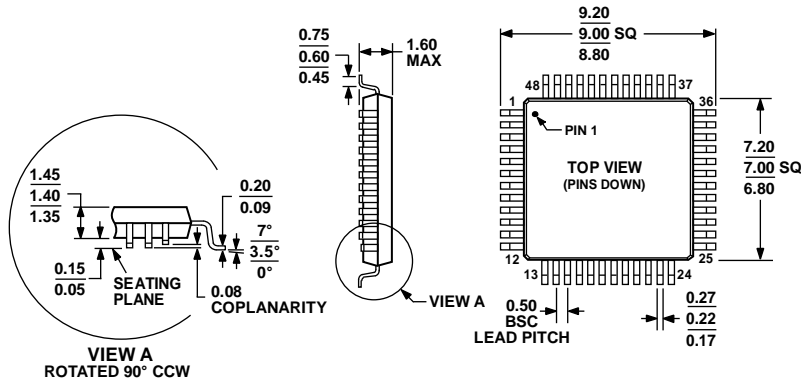
- REFGND用于检测基准电压，因为它携带脉冲电流，所以应通过低阻抗回路返回基准源。
- AGND是ADC内部多数模拟信号的参考地，其必须以尽可能低的阻抗连接到模拟地层。
- DGND必须连接到模拟或数字地层，具体视配置而定。
- OGND连接到数字系统地。

基准电压的去耦布局非常重要。为使寄生电感最小，去耦电容应靠近ADC，并用短而粗的走线连接。

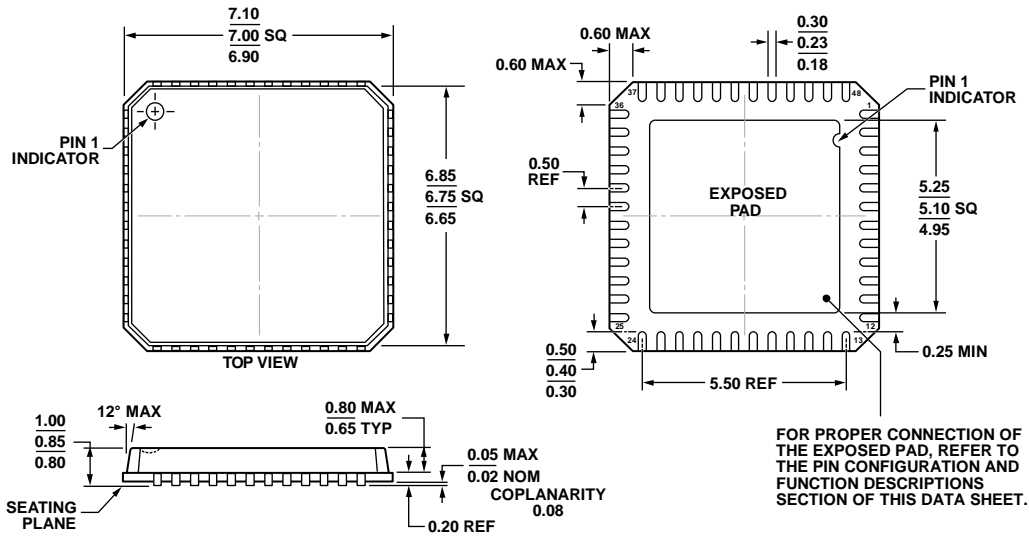
### 性能评估

EVAL-AD7610EDZ评估板文档中描述了AD7610的推荐布局。评估板套件包括装配完善且经过测试的评估板、文档以及在PC上通过EVAL-CED1Z控制评估板的软件。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-BBC  
图47. 48引脚LQFP封装(ST-48) 尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MO-220-VKKD-2  
图48. 48引脚引脚架构芯片级封装[LFCSP\_VQ]  
7 mm × 7 mm, 超薄体  
(CP-48-1)  
图示尺寸单位: mm

订购指南

型号 <sup>1</sup>	注释	温度范围	封装描述	封装选项
AD7610BCPZ		-40°C至+85°C	48引脚引脚架构芯片级封装(LFCSP_VQ)	
AD7610BCPZ-RL		-40°C至+85°C	48引脚引脚架构芯片级封装(LFCSP_VQ)	
AD7610BSTZ		-40°C至+85°C	48引脚薄型四方扁平封装(LQFP)	ST-48
AD7610BSTZ-RL		-40°C至+85°C	48引脚薄型四方扁平封装(LQFP)	ST-48
EVAL-AD7610EDZ	<sup>2</sup>		评估板	
EVAL-CED1Z	<sup>3</sup>		转换器评估与开发板	

<sup>1</sup> Z = 符合RoHS标准的器件。

<sup>2</sup> 此板可单独用作评估板, 或与EVAL-CED1Z配合用于评估/演示。

<sup>3</sup> 此板允许PC对所有带ED标志后缀的ADI公司评估板进行控制并与之通信。

**AD7610**

**注释**