

产品特性

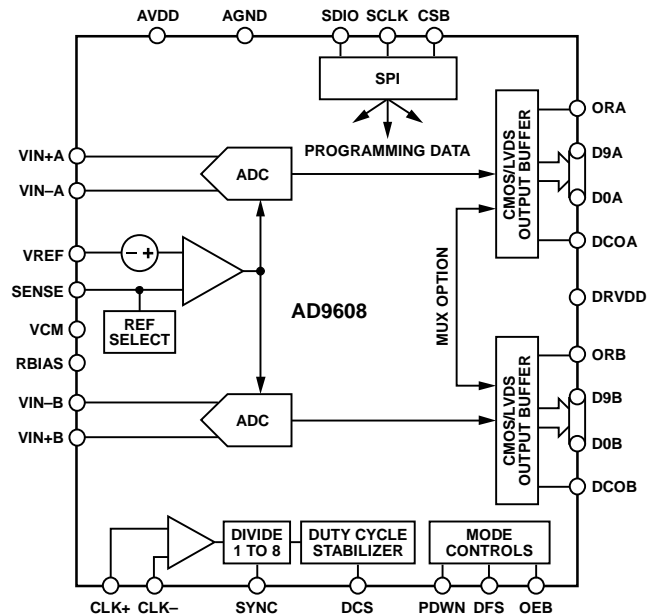
- 1.8 V模拟电源供电
- 1.8 V CMOS或1.8 V LVDS输出
- 信噪比(SNR): 61.7 dBFS (70 MHz)
- 无杂散动态范围(SFDR): 85 dBc (70 MHz)
- 低功耗: 每通道71 mW (ADC内核, 125 MSPS)
- 差分模拟输入、650 MHz带宽
- 中频采样频率达200 MHz
- 片内基准电压源和采样保持电路
- 2 V P-P差分模拟输入
- 差分非线性(DNL): ± 0.13 LSB
- 串行端口控制选项
 - 数据格式: 偏移二进制、格雷码或二进制补码
 - 可选时钟占空比稳定器
 - 1至8整数输入时钟分频器
 - 数据输出复用选项
 - 内置可选数字测试码生成功能
 - 节能的掉电模式
 - 带可编程时钟和数据对准功能的数据时钟输出

应用

通信

- 分集无线电系统
- I/Q解调系统
- 宽带数据应用
- 电池供电仪表
- 手持式示波器
- 便携式医疗成像
- 超声

功能框图



NOTES
1. PIN NAMES ARE FOR THE CMOS PIN CONFIGURATION ONLY;
SEE FIGURE 7 FOR LVDS PIN NAMES.

图1.

产品特色

1. 采用1.8 V单模拟电源供电, 而数字输出驱动器采用独立的电源供电, 以适应1.8 V CMOS或1.8 V LVDS逻辑。
2. 取得专利的采样保持电路在最高200 MHz的输入频率下仍保持出色的性能, 而且成本低、功耗低、易于使用。¹
3. 标准串行端口接口支持各种产品特性和功能, 例如: 数据输出格式化、内部时钟分频器、掉电模式、DCO/数据时序和失调整等。
4. 采用64引脚LFCSP封装, 符合RoHS标准, 与16位ADC AD9650/AD9269/AD9268、14位ADC AD9258/AD9648、12位ADC AD9628/AD9231和10位ADC AD9204引脚兼容, 因此采样速率为20 MSPS至125 MSPS的10位至16位转换器可轻松实现升级。

¹ 该产品受美国专利保护。

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2011 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	基准电压源	25
应用.....	1	时钟输入考虑.....	26
功能框图.....	1	通道/芯片同步	28
产品特点.....	1	功耗和待机模式.....	28
修订历史.....	2	数字输出.....	29
概述.....	3	时序	29
技术规格.....	4	内置自测(BIST)和输出测试	30
直流规格.....	4	内置自测(BIST).....	30
交流规格.....	5	输出测试模式.....	30
数字规格.....	6	串行端口接口(SPI)	31
开关规格.....	7	使用SPI的配置	31
时序规格.....	8	硬件接口.....	32
绝对最大额定值.....	10	不使用SPI的配置.....	32
热特性	10	SPI访问特性.....	32
ESD警告.....	10	存储器映射.....	33
引脚配置和功能描述.....	11	读取存储器映射寄存器表.....	33
典型性能参数	17	存储器映射寄存器表.....	34
AD9608-125.....	17	存储器映射寄存器描述	37
AD9608-105.....	20	应用信息.....	39
等效电路.....	22	设计指南.....	39
工作原理.....	23	外形尺寸.....	40
ADC架构.....	23	订购指南.....	40
模拟输入考虑.....	23		

修订历史

2011年7月—修订版0：初始版

概述

AD9608是一款单芯片、双通道、10位、105/125 MSPS模数转换器(ADC)，采用1.8 V电源供电，内置高性能采样保持电路和片内基准电压源。

该产品采用多级差分流水线架构，内置输出纠错逻辑，在125 MSPS数据速率时可提供10位精度，并保证在整个工作温度范围内无失码。

该ADC内置多种功能特性，可使器件的灵活性达到最佳、系统成本最低，例如可编程时钟与数据对准、生成可编程数字测试码等。可获得的数字测试码包括内置固定码和伪随机码，以及通过串行端口接口(SPI)输入的用户自定义测试码。

采用一个差分时钟输入来控制所有内部转换周期。可选的占空比稳定器(DCS)用来补偿较大的时钟占空比波动，同时保持出色的ADC总体性能。

数字输出数据格式为偏移二进制、格雷码或二进制补码。每个ADC通道均有一个数据输出时钟(DCO)，用来确保接收逻辑具有正确的锁存时序。支持1.8 V CMOS和1.8 V LVDS的逻辑电平。输出数据也可以在一条输出总线上多路复用。

AD9608采用64引脚LFCSP封装，符合RoHS标准，额定温度范围为-40°C至+85°C工业温度范围。该产品受美国专利保护。

技术规格

直流规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V 内部基准电压、DCS 使能。

表1.

参数	温度	AD9608-105			AD9608-125			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
分辨率	全	10			10			Bits
精度								
无失码	全		保证			保证		
失调误差	全	-1.0	-0.3	+0.4	-1.0	-0.3	+0.4	% FSR
增益误差	全	-2.8	±1.5	+9.0	-2.8	±1.5	+9.0	% FSR
差分非线性(DNL) ¹	全			±0.35			±0.35	LSB
积分非线性(INL) ¹	25°C		±0.12			±0.13		LSB
	全			±0.40			±0.40	LSB
	25°C		±0.14			±0.14		LSB
匹配特性								
失调误差	全		±0.1	±1.0		±0.1	±1.0	% FSR
增益误差	全		±0.5	±6.5		±0.5	±6.5	% FSR
温度漂移								
失调误差	全		±2			±2		ppm/°C
增益误差	全		±50			±50		ppm/°C
内部基准电压源								
输出电压(1 V模式)	全	0.98	1.00	1.02	0.98	1.00	1.02	V
负载调整误差@1.0 mA	全		2			2		mV
折合到输入端噪声								
VREF = 1.0 V	25°C		0.08			0.08		LSB rms
模拟输入								
输入范围, VREF = 1.0 V	全		2			2		V p-p
输入电容 ²	全		5			5		pF
输入电阻(差分)	全		7.5			7.5		kΩ
输入共模电压	全		0.9			0.9		V
输入共模范围	全	0.5		1.3	0.5		1.3	V
电源								
电源电压								
AVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	V
电源电流								
I _{AVDD} ¹	全		76.8	82.0		87.7	93.0	mA
I _{DRVDD} ¹ (1.8 V CMOS)	全		14.7			17.4		mA
I _{DRVDD} ¹ (1.8 V LVDS)	全		48.5			49.7		mA
功耗								
直流输入	全		125			141		mW
正弦波输入 ¹ (DRVDD = 1.8 V CMOS输出模式)	全		165	174		189	199	mW
正弦波输入 ¹ (DRVDD = 1.8 V LVDS输出模式)	全		226			247		mW
待机功耗 ³	全		108			120		mW
掉电模式的功耗	全		2.0			2.0		mW

¹ 测量条件为：低输入频率、满量程正弦波、每个输出位的负载约为5 pF。

² 输入电容指一个差分输入引脚与AGND之间的有效电容。

³ 待机功耗的测量条件为：直流输入且CLK±引脚有效(1.8 V CMOS模式)。

交流规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V 内部基准电压、DCS 使能。

表2.

参数 ¹	温度	AD9608-105			AD9608-125			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)								
$f_{IN} = 9.7 \text{ MHz}$	25°C		61.7			61.7		dBFS
$f_{IN} = 30.5 \text{ MHz}$	25°C		61.7			61.7		dBFS
$f_{IN} = 70 \text{ MHz}$	25°C		61.7			61.7		dBFS
	全	61.3			61.3			dBFS
$f_{IN} = 100 \text{ MHz}$	25°C		61.6			61.6		dBFS
$f_{IN} = 200 \text{ MHz}$	25°C		61.4			61.4		dBFS
信纳比(SINAD)								
$f_{IN} = 9.7 \text{ MHz}$	25°C		61.6			61.6		dBFS
$f_{IN} = 30.5 \text{ MHz}$	25°C		61.6			61.6		dBFS
$f_{IN} = 70 \text{ MHz}$	25°C		61.6			61.6		dBFS
	全	61.1			61.1			dBFS
$f_{IN} = 100 \text{ MHz}$	25°C		61.5			61.5		dBFS
$f_{IN} = 200 \text{ MHz}$	25°C		61.3			61.3		dBFS
有效位数(ENOB)								
$f_{IN} = 9.7 \text{ MHz}$	25°C		9.9			9.9		Bits
$f_{IN} = 30.5 \text{ MHz}$	25°C		9.9			9.9		Bits
$f_{IN} = 70 \text{ MHz}$	25°C		9.9			9.9		Bits
$f_{IN} = 100 \text{ MHz}$	25°C		9.9			9.9		Bits
$f_{IN} = 200 \text{ MHz}$	25°C		9.9			9.9		Bits
最差二次或三次谐波								
$f_{IN} = 9.7 \text{ MHz}$	25°C		-90			-90		dBc
$f_{IN} = 30.5 \text{ MHz}$	25°C		-89			-89		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-89			-89		dBc
	全			-75			-75	dBc
$f_{IN} = 100 \text{ MHz}$	25°C		-89			-89		dBc
$f_{IN} = 200 \text{ MHz}$	25°C		-84			-84		dBc
无杂散动态范围(SFDR)								
$f_{IN} = 9.7 \text{ MHz}$	25°C		85			85		dBc
$f_{IN} = 30.5 \text{ MHz}$	25°C		85			85		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		85			85		dBc
	全	75			75			dBc
$f_{IN} = 100 \text{ MHz}$	25°C		85			85		dBc
$f_{IN} = 200 \text{ MHz}$	25°C		84			84		dBc
最差其它谐波或杂散								
$f_{IN} = 9.7 \text{ MHz}$	25°C		-85			-85		dBc
$f_{IN} = 30.5 \text{ MHz}$	25°C		-85			-85		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-85			-85		dBc
	全			-75			-75	dBc
$f_{IN} = 100 \text{ MHz}$	25°C		-85			-85		dBc
$f_{IN} = 200 \text{ MHz}$	25°C		-85			-85		dBc
双音无杂散动态范围(SFDR)								
$f_{IN} = 29 \text{ MHz} (-7 \text{ dBFS}), 32 \text{ MHz} (-7 \text{ dBFS})$	25°C		82			82		dBc
串扰 ²	全		-95			-95		dB
模拟输入带宽	25°C		650			650		MHz

¹ 如需了解完整的定义，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

² 串扰的测量条件：一个通道参数为-1.0 dBFS、100 MHz且另一个通道上无输入信号。

AD9608

数字规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V 内部基准电压、DCS 使能。

表3.

参数	温度	最小值	典型值	最大值	单位
差分时钟输入(CLK+、CLK-)					
逻辑兼容			CMOS/LVDS/LVPECL		
内部共模偏置	全		0.9		V
差分输入电压	全	0.3		3.6	V p-p
输入电压范围	全	AGND - 0.3		AVDD + 0.2	V
输入共模范围	全	0.9		1.4	V
高电平输入电流	全	-10		+10	μA
低电平输入电流	全	-10		+10	μA
输入电容	全		4		pF
输入电阻	全	8	10	12	kΩ
逻辑输入(CSB) ¹					
高电平输入电压	全	1.22		DRVDD + 0.2	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	-10		+10	μA
低电平输入电流	全	40		132	μA
输入电阻	全		26		kΩ
输入电容	全		2		pF
逻辑输入(SCLK/DFS/SYNC) ²					
高电平输入电压	全	1.22		DRVDD + 0.2	V
低电平输入电压	全	0		0.6	V
高电平输入电流(VIN = 1.8 V)	全	-92		-135	μA
低电平输入电流	全	-10		+10	μA
输入电阻	全		26		kΩ
输入电容	全		2		pF
逻辑输入/输出(SDIO/DCS) ¹					
高电平输入电压	全	1.22		DRVDD + 0.2	V
低电平输入电压	全	0		0.6	V
高电平输入电流	全	-10		+10	μA
低电平输入电流	全	38		128	μA
输入电阻	全		26		kΩ
输入电容	全		5		pF
逻辑输入(OEB、PDWN) ²					
高电平输入电压	全	1.22		DRVDD + 0.2	V
低电平输入电压	全	0		0.6	V
高电平输入电流(VIN = 1.8 V)	全	-90		-134	μA
低电平输入电流	全	-10		+10	μA
输入电阻	全		26		kΩ
输入电容	全		5		pF
数字输出					
CMOS模式—DRVDD = 1.8 V					
高电平输出电压					
I _{OH} = 50 μA	全	1.79			V
I _{OH} = 0.5 mA	全	1.75			V
低电平输出电压					
I _{OL} = 1.6 mA	全			0.2	V
I _{OL} = 50 μA	全			0.05	V

参数	温度	最小值	典型值	最大值	单位
LVDS模式—DRVDD = 1.8V					
差分输出电压(V_{OD}), ANSI模式	全	290	345	400	mV
输出失调电压(V_{OS}), ANSI模式	全	1.15	1.25	1.35	V
差分输出电压(V_{OD}), 小摆幅模式	全	160	200	230	mV
输出失调电压(V_{OS}), 小摆幅模式	全	1.15	1.25	1.35	V

¹ 上拉。

² 下拉。

开关规格

除非另有说明, AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V 内部基准电压、DCS 使能。

表4.

参数	温度	AD9608-105			AD9608-125			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
时钟输入参数								
输入时钟速率	全			1000			1000	MHz
转换速率 ¹								
DCS使能	全	20		105	20		125	MSPS
DCS禁用	全	10		105	10		125	MSPS
时钟周期—1分频模式(t_{CLK})	全		9.52			8		ns
高电平时钟脉宽(t_{CH})	全		4.76			4		ns
孔径延迟(t_A)	全		1.0			1.0		ns
孔径不确定性(抖动, t_j)	全		0.07			0.07		ps rms
数据输出参数								
CMOS模式								
CMOS模式(DRVDD = 1.8 V)								
数据传播延迟(t_{PD})	全	1.8	2.9	4.4	1.8	2.9	4.4	ns
DCO传播延迟(t_{DCO}) ²	全	2.0	3.1	4.4	2.0	3.1	4.4	ns
DCO至数据偏斜(t_{SKEW})	全	-1.2	-0.1	+1.0	-1.2	-0.1	+1.0	ns
LVDS模式(DRVDD = 1.8 V)								
数据传播延迟(t_{PD})	全		2.4			2.4		ns
DCO传播延迟(t_{DCO}) ²	全		4.4			4.4		ns
DCO至数据偏斜(t_{SKEW})	全	-0.1	+0.2	+0.5	-0.1	+0.2	+0.5	ns
CMOS模式流水线延迟	全		16			16		周期
LVDS模式流水线延迟	全		16/16.5			16/16.5		周期
通道A/通道B								
唤醒时间(省电模式) ³	全		350			350		μs
唤醒时间(待机)	全		250			250		ns
超范围恢复时间	全		2			2		周期

¹ 转换速率指分频之后的时钟速率。

² 写入SPI寄存器0x17的位[2:0]可以增加额外的DCO延迟时间(见表18)。

³ 唤醒时间指从掉电模式返回正常工作模式所需的时间。

时序规格

表5.

参数	描述	限值
同步时序要求		
t_{SSYNC}	SYNC至CLK+建立时间的上升沿	0.24 ns, 典型值
t_{HSYNC}	SYNC至CLK+保持时间的上升沿	0.40 ns, 典型值
SPI时序要求		
t_{DS}	数据与SCLK上升沿之间的建立时间	2 ns, 最小值
t_{DH}	数据与SCLK上升沿之间的保持时间	40 ns, 最小值
t_{CLK}	SCLK周期	2 ns, 最小值
t_S	CSB与SCLK之间的建立时间	2 ns, 最小值
t_H	CSB与SCLK之间的保持时间	10 ns, 最小值
t_{HIGH}	SCLK高电平脉冲宽度	10 ns, 最小值
t_{LOW}	SCLK低电平脉冲宽度	10 ns, 最小值
t_{EN_SDIO}	相对于SCLK下降沿, SDIO引脚从输入状态切换到输出状态所需的时间	10 ns, 最小值
t_{DIS_SDIO}	相对于SCLK上升沿, SDIO引脚从输出状态切换到输入状态所需的时间	2 ns, 最小值

时序图

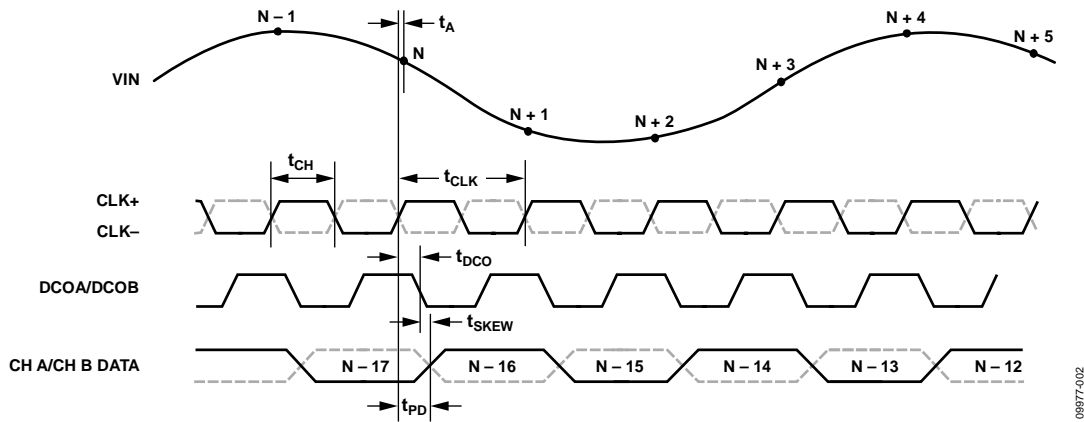


图2. CMOS默认输出模式数据输出时序

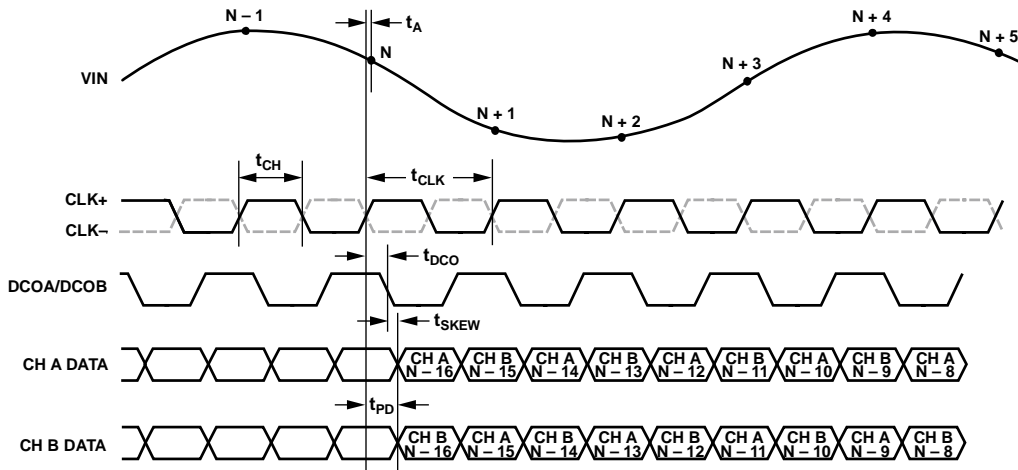


图3. CMOS交错输出模式数据输出时序

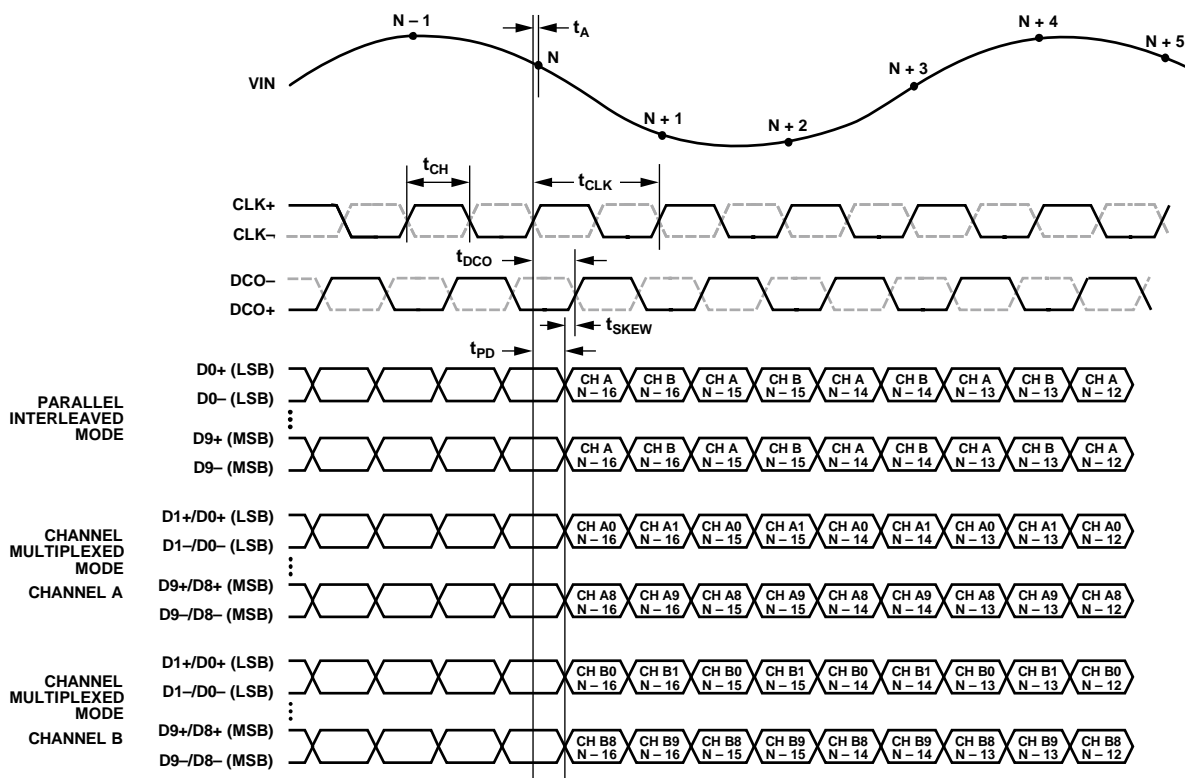


图4. LVDS模式数据输出时序

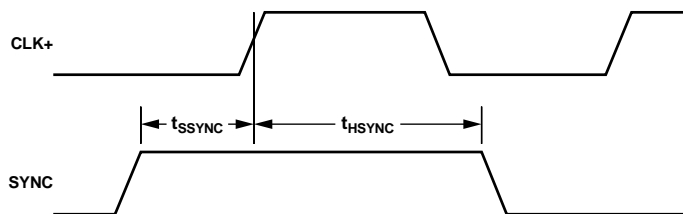


图5. SYNC输入时序要求

绝对最大额定值

表6.

参数	额定值
电气参数 ¹	
AVDD至AGND	-0.3 V至+2.0 V
DRVDD至AGND	-0.3 V至+2.0 V
VIN+A/VIN+B、VIN-A/VIN-B至AGND	-0.3 V至AVDD + 0.2 V
CLK+、CLK-至AGND	-0.3 V至AVDD + 0.2 V
SYNC至AGND	-0.3 V至AVDD + 0.2 V
VCM至AGND	-0.3 V至AVDD + 0.2 V
RBIAS至AGND	-0.3 V至AVDD + 0.2 V
CSB至AGND	-0.3 V至DRVDD + 0.2 V
SCLK/DFS至AGND	-0.3 V至DRVDD + 0.2 V
SDIO/DCS至AGND	-0.3 V至DRVDD + 0.2 V
OEB	-0.3 V至DRVDD + 0.2 V
PDWN	-0.3 V至DRVDD + 0.2 V
D0A、D0B-D9A、D9B至AGND	-0.3 V至DRVDD + 0.2 V
D0A、D0B至AGND	-0.3 V至DRVDD + 0.2 V
环境参数	
工作温度范围(环境)	-40°C至+85°C
偏置条件下的最大结温	150°C
存储温度范围(环境)	-65°C至+150°C

¹ 输入和输出的额定工作电压为电源电压(AVDD或DRVDD)+ 0.2 V, 但不得超过2.1 V。

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

LFCSP封装的裸露焊盘必须焊接到接地层。将裸露焊盘焊接到PCB上可提高焊接可靠性, 从而最大限度发挥封装的热性能。

表7. 热阻

封装类型	气流速度 (m/s)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	$\Psi_{JT}^{1,2}$	单位
64引脚 LFCSP	0	22.3	1.4	N/A	0.1	°C/W
9 mm × 9 mm (CP-64-4)	1.0	19.5	N/A	11.8	0.2	°C/W
	2.5	17.5	N/A	N/A	0.2	°C/W

¹ 按照JEDEC 51-7, 加上JEDEC 25-5 2S2P测试板。

² 按照JEDEC JESD51-2(静止空气)或JEDEC JESD51-6(流动空气)。

³ 按照MIL-Std 883、方法1012.1。

⁴ 按照JEDEC JESD51-8(静止空气)。

θ_{JA} 典型值的测试条件为带实接地层的四层PCB。如表7所示, 气流可改善散热, 从而降低 θ_{JA} 。另外, 直接与封装引脚接触的金属, 包括金属走线、通孔、接地层、电源层, 可降低 θ_{JA} 。

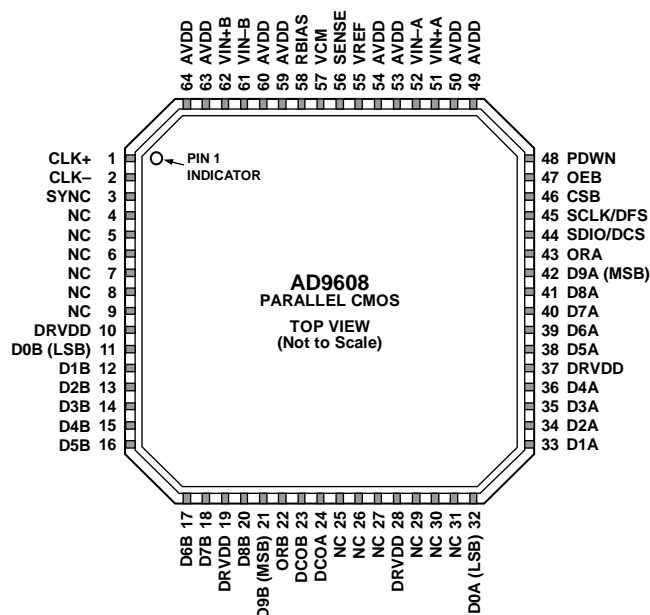
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

09977-006

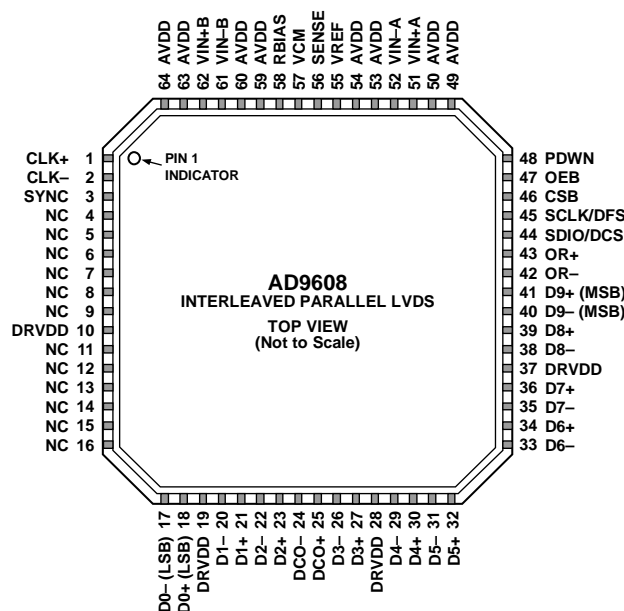
图6. 并行CMOS引脚配置(顶视图)

表8. 引脚功能描述(并行CMOS模式)

引脚编号	引脚名称	类型	描述
ADC电源			
10, 19, 28, 37	DRVDD	电源	数字输出驱动器电源(标称值1.8 V)。
49, 50, 53, 54, 59, 60, 63, 64	AVDD	电源	模拟电源(标称值1.8 V)。
4, 5, 6, 7, 8, 9, 25, 26, 27, 29, 30, 31	NC		不连接。请勿连接该引脚。
0	AGND, 裸露焊盘	地	封装底部的裸露热焊盘为器件提供模拟地。 该焊盘必须与地相连, 才能正常工作。
ADC模拟			
51	VIN+A	输入	通道A的差分模拟输入引脚(+).
52	VIN-A	输入	通道A的差分模拟输入引脚(-).
62	VIN+B	输入	通道B的差分模拟输入引脚(+).
61	VIN-B	输入	通道B的差分模拟输入引脚(-).
55	VREF	输入/输出	基准电压输入/输出。
56	SENSE	输入	基准电压模式选择。
58	RBIAS	输入/输出	外部基准偏置电阻。
57	VCM	输出	模拟输入的共模电平偏置输出。
1	CLK+	输入	ADC时钟输入(+).
2	CLK-	输入	ADC时钟输入(-).

AD9608

引脚编号	引脚名称	类型	描述
数字输入			
3	SYNC	输入	数字同步引脚。仅用于从机模式。
数字输出			
32	D0A (LSB)	输出	通道A CMOS输出数据。
33	D1A	输出	通道A CMOS输出数据。
34	D2A	输出	通道A CMOS输出数据。
35	D3A	输出	通道A CMOS输出数据。
36	D4A	输出	通道A CMOS输出数据。
38	D5A	输出	通道A CMOS输出数据。
39	D6A	输出	通道A CMOS输出数据。
40	D7A	输出	通道A CMOS输出数据。
41	D8A	输出	通道A CMOS输出数据。
42	D9A (MSB)	输出	通道A CMOS输出数据。
43	ORA	输出	通道A超量程输出。
11	D0B (LSB)	输出	通道B CMOS输出数据。
12	D1B	输出	通道B CMOS输出数据。
13	D2B	输出	通道B CMOS输出数据。
14	D3B	输出	通道B CMOS输出数据。
15	D4B	输出	通道B CMOS输出数据。
16	D5B	输出	通道B CMOS输出数据。
17	D6B	输出	通道B CMOS输出数据。
18	D7B	输出	通道B CMOS输出数据。
20	D8B	输出	通道B CMOS输出数据。
21	D9B (MSB)	输出	通道B CMOS输出数据。
22	ORB	输出	通道B超量程输出。
24	DCOA	输出	通道A数据时钟输出。
23	DCOB	输出	通道B数据时钟输出。
SPI控制			
45	SCLK/DFS	输入	在外部引脚模式下，SPI串行时钟/数据格式选择引脚。
44	SDIO/DCS	输入/输出	在外部引脚模式下，SPI串行数据输入/输出/占空比稳定器引脚。
46	CSB	输入	SPI片选(低电平有效)。
ADC配置			
47	OEB	输入	输出使能输入(低电平有效)。此引脚必须通过SPI使能。
48	PDWN	输入	在外部引脚模式下，掉电输入引脚。在SPI模式下，此输入引脚可以配置为掉电或待机引脚。



NOTES

1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

08977-007

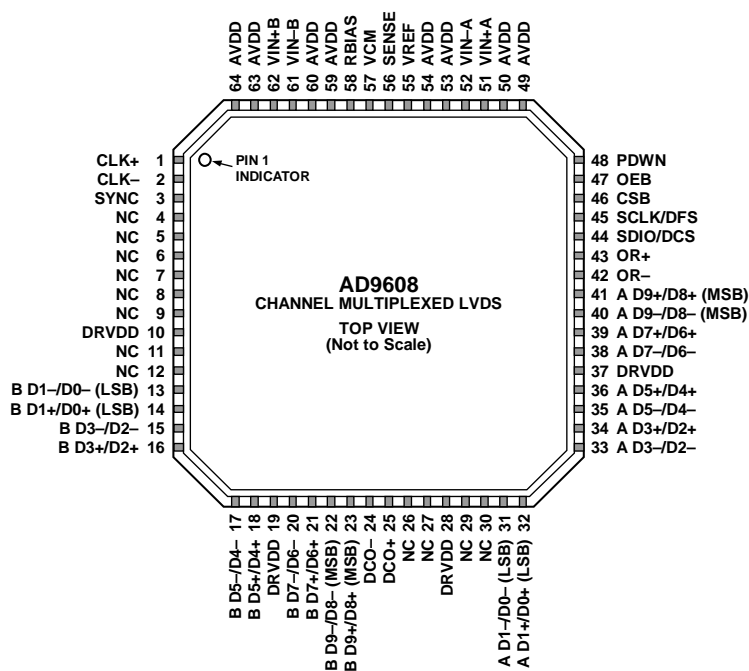
图7. 交错并行LVDS引脚配置(俯视图)

表9. 引脚功能描述(交错并行LVDS模式)

引脚编号	引脚名称	类型	描述
ADC电源			
10, 19, 28, 37	DRVDD	电源	数字输出驱动器电源(标称值1.8 V)。
49, 50, 53, 54, 59, 60, 63, 64	AVDD	电源	模拟电源(标称值1.8 V)。
4, 5, 6, 7, 8, 9, 11, 12, 13, 14, 15, 16	NC		不连接。请勿连接该引脚。
0	AGND, 裸露焊盘	地	封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连, 才能正常工作。
ADC模拟			
51	VIN+A	输入	通道A的差分模拟输入引脚(+)
52	VIN-A	输入	通道A的差分模拟输入引脚(-)
62	VIN+B	输入	通道B的差分模拟输入引脚(+)
61	VIN-B	输入	通道B的差分模拟输入引脚(-)
55	VREF	输入/输出	基准电压输入/输出。
56	SENSE	输入	基准电压模式选择。
58	RBIAS	输入/输出	外部基准偏置电阻。
57	VCM	输出	模拟输入的共模电平偏置输出。
1	CLK+	输入	ADC时钟输入(+)
2	CLK-	输入	ADC时钟输入(-)
数字输入			
3	SYNC	输入	数字同步引脚。仅用于从机模式。

AD9608

引脚编号	引脚名称	类型	描述
数字输出			
18	D0+ (LSB)	输出	通道A/通道B LVDS输出数据0(+).
17	D0- (LSB)	输出	通道A/通道B LVDS输出数据0(-).
21	D1+	输出	通道A/通道B LVDS输出数据1(+).
20	D1-	输出	通道A/通道B LVDS输出数据1(-).
23	D2+	输出	通道A/通道B LVDS输出数据2(+).
22	D2-	输出	通道A/通道B LVDS输出数据2(-).
27	D3+	输出	通道A/通道B LVDS输出数据3(+).
26	D3-	输出	通道A/通道B LVDS输出数据3(-).
30	D4+	输出	通道A/通道B LVDS输出数据4(+).
29	D4-	输出	通道A/通道B LVDS输出数据4(-).
32	D5+	输出	通道A/通道B LVDS输出数据5(+).
31	D5-	输出	通道A/通道B LVDS输出数据5(-).
34	D6+	输出	通道A/通道B LVDS输出数据6(+).
33	D6-	输出	通道A/通道B LVDS输出数据6(-).
36	D7+	输出	通道A/通道B LVDS输出数据7(+).
35	D7-	输出	通道A/通道B LVDS输出数据7(-).
39	D8+	输出	通道A/通道B LVDS输出数据8(+).
38	D8-	输出	通道A/通道B LVDS输出数据8(-).
41	D9+ (MSB)	输出	通道A/通道B LVDS输出数据9(+).
40	D9- (MSB)	输出	通道A/通道B LVDS输出数据9(-).
43	OR+	输出	通道A/通道B LVDS超量程输出(+).
42	OR-	输出	通道A/通道B LVDS超量程输出(-).
25	DCO+	输出	通道A/通道B LVDS数据时钟输出(+).
24	DCO-	输出	通道A/通道B LVDS数据时钟输出(-).
SPI控制			
45	SCLK/DFS	输入	在外部引脚模式下, SPI串行时钟/数据格式选择引脚。
44	SDIO/DCS	输入/输出	在外部引脚模式下, SPI串行数据输入/输出/占空比稳定器引脚。
46	CSB	输入	SPI片选(低电平有效)。
ADC配置			
47	OEB	输入	输出使能输入(低电平有效)。此引脚必须通过SPI使能。
48	PDWN	输入	在外部引脚模式下, 掉电输入引脚。在SPI模式下, 此输入引脚可以配置为掉电或待机引脚。



NOTES

1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

06977-006

图8. 通道复用LVDS引脚配置(俯视图)

表10. 引脚功能描述(通道复用并行LVDS模式)

引脚编号	引脚名称	类型	描述
ADC电源			
10, 19, 28, 37	DRVDD	电源	数字输出驱动器电源(标称值1.8 V)。
49, 50, 53, 54, 59, 60, 63, 64	AVDD	电源	模拟电源(标称值1.8 V)。
4, 5, 6, 7, 8, 9, 11, 12, 26, 27, 29, 30	NC		不连接。请勿连接该引脚。
0	AGND, 裸露焊盘	地	封装底部的裸露热焊盘为器件提供模拟地。 该焊盘必须与地相连, 才能正常工作。
ADC模拟			
51	VIN+A	输入	通道A的差分模拟输入引脚(+).
52	VIN-A	输入	通道A的差分模拟输入引脚(-).
62	VIN+B	输入	通道B的差分模拟输入引脚(+).
61	VIN-B	输入	通道B的差分模拟输入引脚(-).
55	VREF	输入/输出	基准电压输入/输出。
56	SENSE	输入	基准电压模式选择。
58	RBIAS	输入/输出	外部基准偏置电阻。
57	VCM	输出	模拟输入的共模电平偏置输出。
1	CLK+	输入	ADC时钟输入(+).
2	CLK-	输入	ADC时钟输入(-).
数字输入			
3	SYNC	输入	数字同步引脚。仅用于从机模式。

AD9608

引脚编号	引脚名称	类型	描述
数字输出			
14	B D1+/D0+ (LSB)	输出	通道B LVDS输出数据1/数据0(+).
13	B D1-/D0- (LSB)	输出	通道B LVDS输出数据1/数据0(-).
16	B D3+/D2+	输出	通道B LVDS输出数据3/数据2(+).
15	B D3-/D2-	输出	通道B LVDS输出数据3/数据2(-).
18	B D5+/D4+	输出	通道B LVDS输出数据5/数据4(+).
17	B D5-/D4-	输出	通道B LVDS输出数据5/数据4(-).
21	B D7+/D6+	输出	通道B LVDS输出数据7/数据6(+).
20	B D7-/D6-	输出	通道B LVDS输出数据7/数据6(-).
23	B D9+/D8+ (MSB)	输出	通道B LVDS输出数据9/数据8(+).
22	B D9-/D8- (MSB)	输出	通道B LVDS输出数据9/数据8(-).
32	A D1+/D0+ (LSB)	输出	通道A LVDS输出数据1/数据0(+).
31	A D1-/D0- (LSB)		
34	A D3+/D2+	输出	通道A LVDS输出数据3/数据2(+).
33	A D3-/D2-	输出	通道A LVDS输出数据3/数据2(-).
36	A D5+/D4+	输出	通道A LVDS输出数据5/数据4(+).
35	A D5-/D4-	输出	通道A LVDS输出数据5/数据4(-).
39	A D7+/D6+	输出	通道A LVDS输出数据7/数据6(+).
38	A D7-/D6-	输出	通道A LVDS输出数据7/数据6(-).
41	A D9+/D8+ (MSB)	输出	通道A LVDS输出数据9/数据8(+).
40	A D9-/D8- (MSB)	输出	通道A LVDS输出数据9/数据8(-).
43	OR+	输出	通道A/通道B LVDS超量程输出(+).
42	OR-	输出	通道A/通道B LVDS超量程输出(-).
25	DCO+	输出	通道A/通道B LVDS数据时钟输出(+).
24	DCO-	输出	通道A/通道B LVDS数据时钟输出(-).
SPI控制			
45	SCLK/DFS	输入	在外部引脚模式下, SPI串行时钟/数据格式选择引脚。
44	SDIO/DCS	输入/输出	在外部引脚模式下, SPI串行数据输入/输出/占空比稳定器引脚。
46	CSB	输入	SPI片选(低电平有效)。
ADC配置			
47	OEB	输入	输出使能输入(低电平有效)。此引脚必须通过SPI使能。
48	PDWN	输入	在外部引脚模式下, 掉电输入引脚。在SPI模式下, 此输入引脚可以配置为掉电或待机引脚。

典型性能参数

AD9608-125

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V 内部基准电压、DCS 使能。

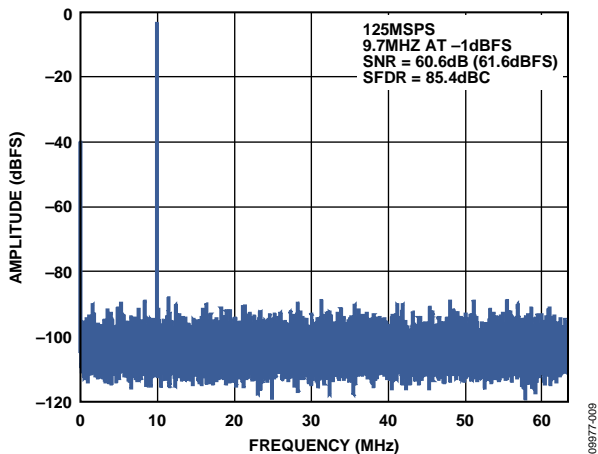


图9. 单音FFT ($f_{IN} = 9.7$ MHz)

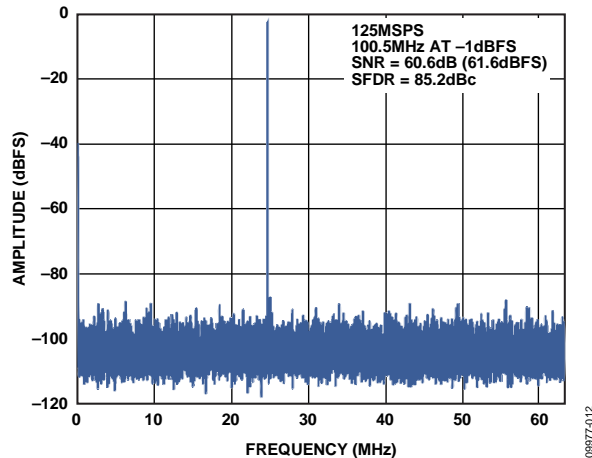


图12. 单音FFT ($f_{IN} = 100.5$ MHz)

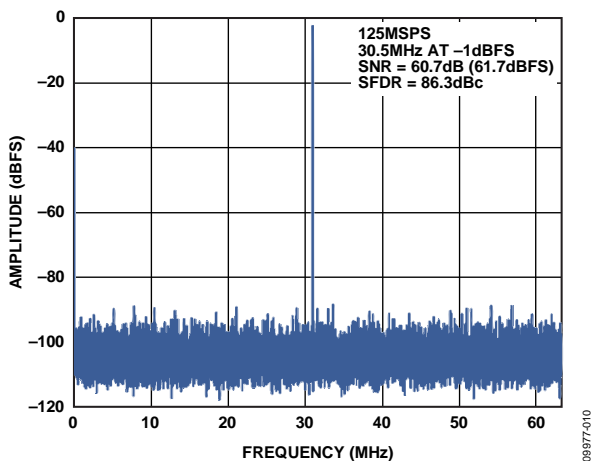


图10. 单音FFT ($f_{IN} = 30.5$ MHz)

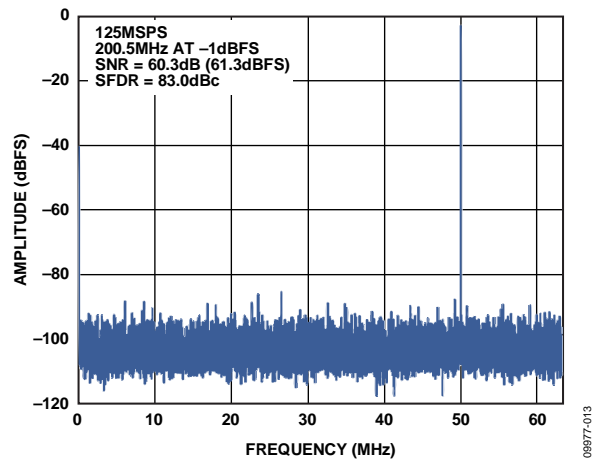


图13. 单音FFT ($f_{IN} = 200.5$ MHz)

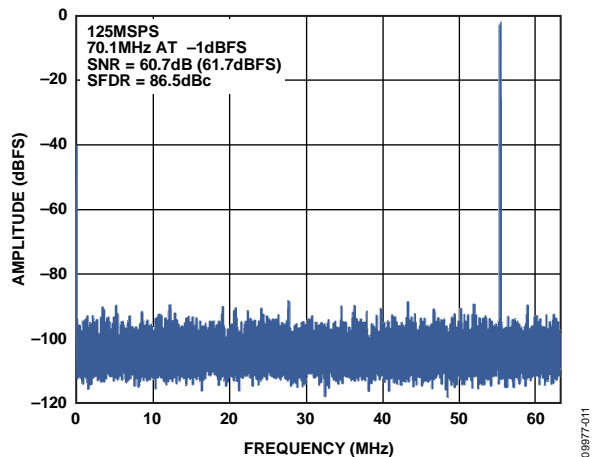


图11. 单音FFT ($f_{IN} = 70.1$ MHz)

除非另有说明, AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V 内部基准电压、DCS 使能。

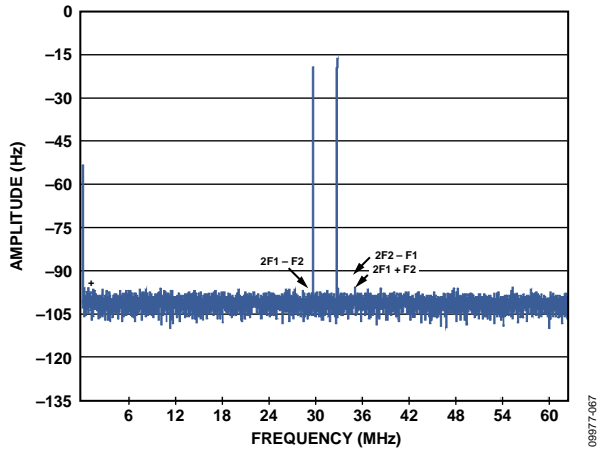


图14. 双音FFT($f_{IN1} = 29$ MHz, $f_{IN2} = 32$ MHz)

09877-087

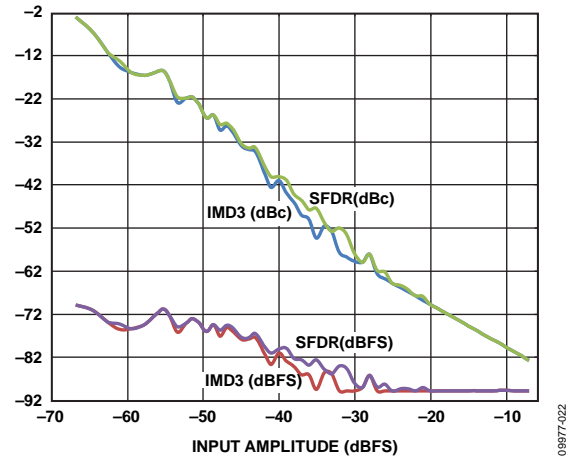


图17. 双音SFDR/IMD3与输入幅度(AIN)的关系
($f_{IN1} = 29$ MHz, $f_{IN2} = 32$ MHz)

09877-022

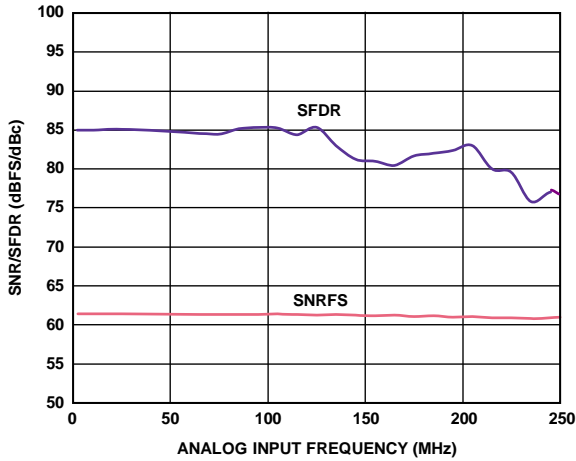


图15. SNR/SFDR与输入频率(AIN)的关系(2 V P-P满量程)

09877-035

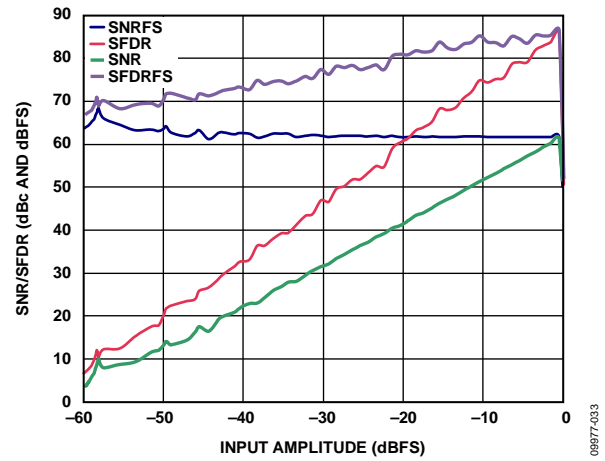


图18. SNR/SFDR与输入幅度(AIN)的关系($f_{IN} = 9.7$ MHz)

09877-033

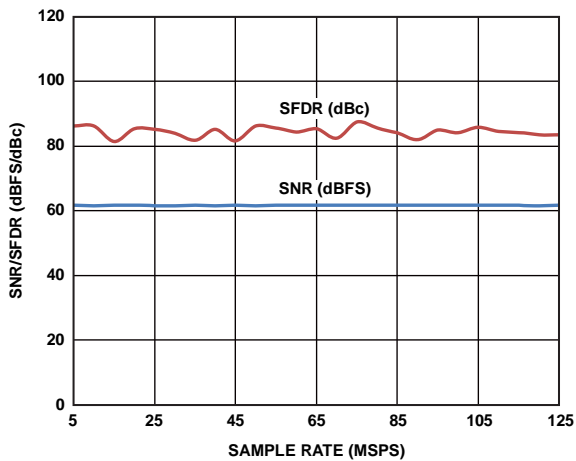


图16. SNR/SFDR与采样速率的关系(AIN = 9.7 MHz)

09877-031

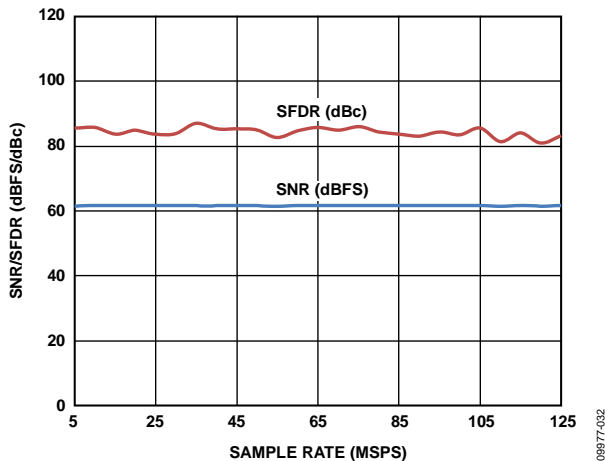


图19. SNR/SFDR与采样速率的关系(AIN = 70 MHz)

09877-032

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V 内部基准电压、DCS 使能。

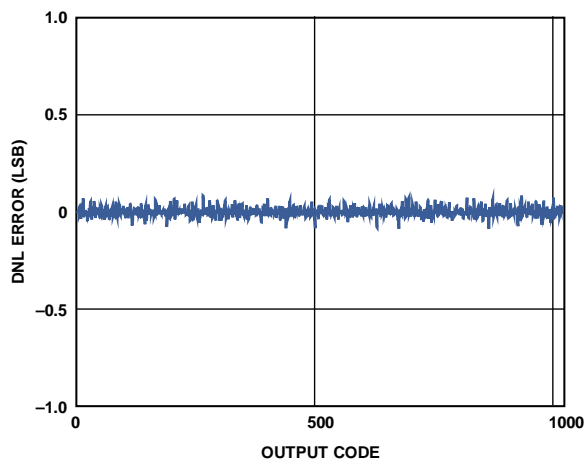


图20. DNL误差($f_{IN} = 9.7 \text{ MHz}$)

09877-021

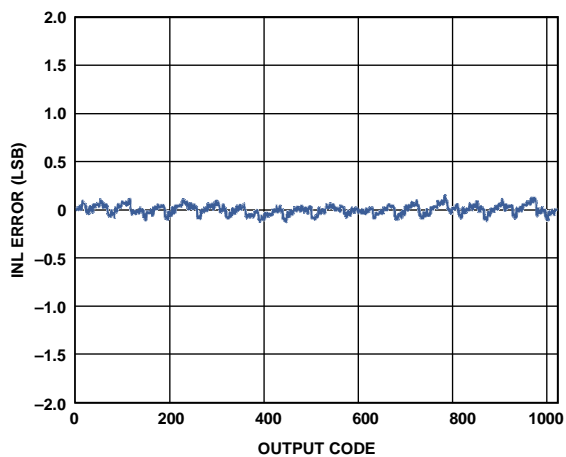


图22. INL误差($f_{IN} = 9.7 \text{ MHz}$)

09877-020

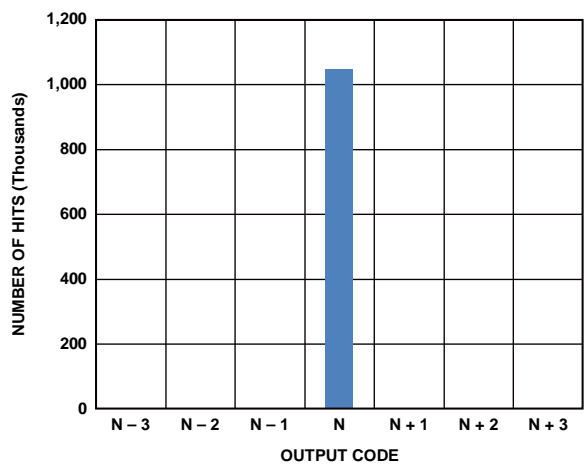


图21. 短路输入直方图

09877-034

AD9608

AD9608-105

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V 内部基准电压、DCS 使能。

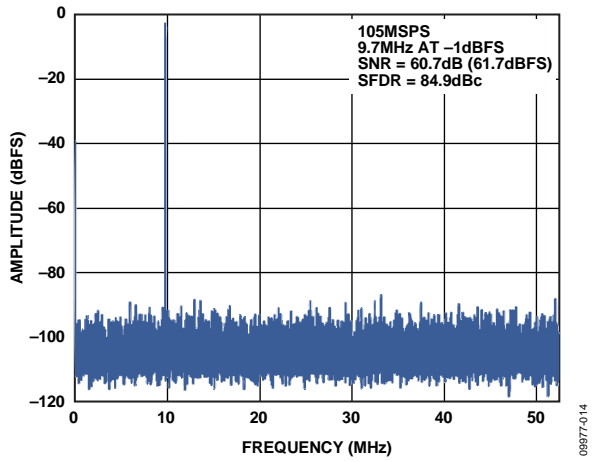


图23. 单音FFT ($f_{IN} = 9.7$ MHz)

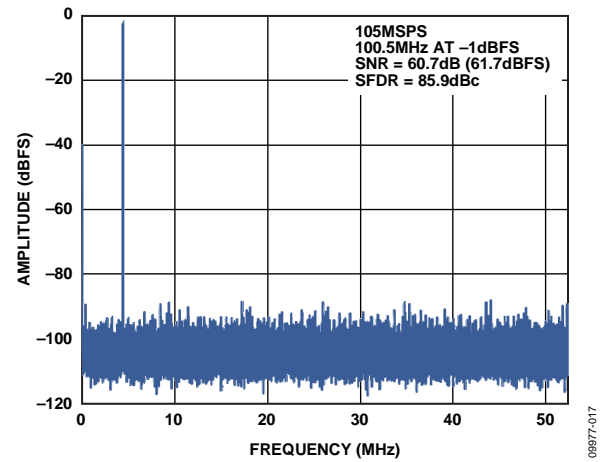


图26. 单音FFT ($f_{IN} = 100.5$ MHz)

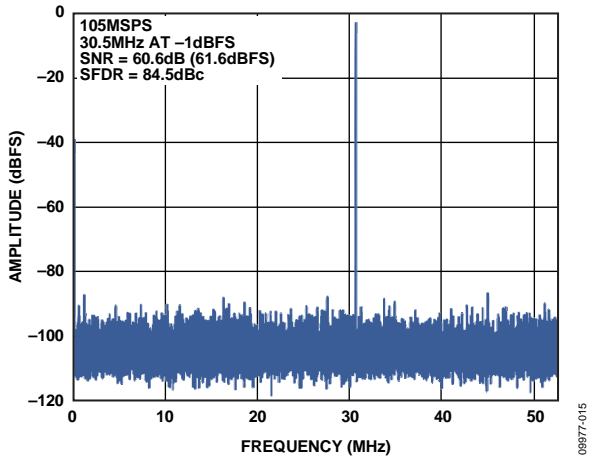


图24. 单音FFT ($f_{IN} = 30.5$ MHz)

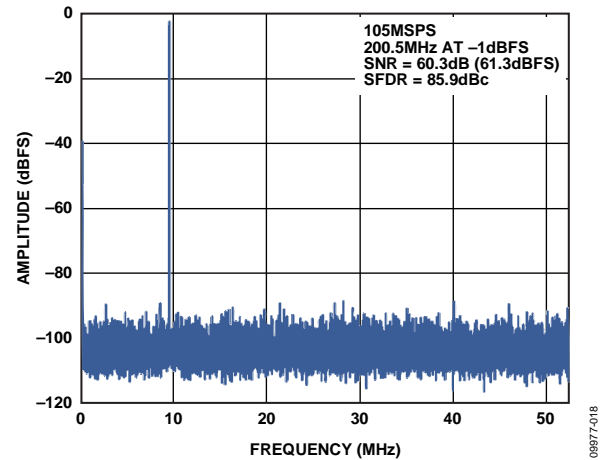


图27. 单音FFT ($f_{IN} = 200.5$ MHz)

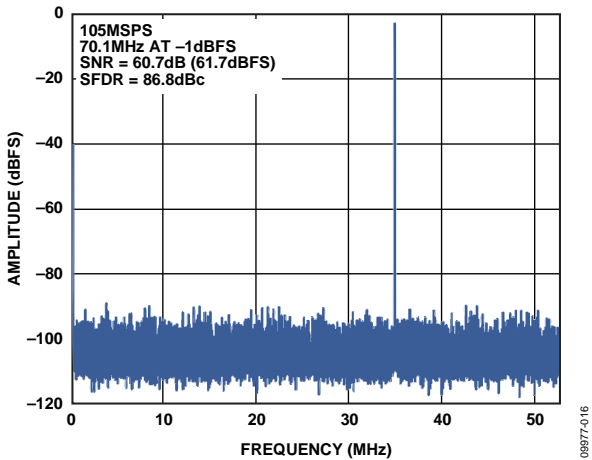


图25. 单音FFT ($f_{IN} = 70.1$ MHz)

除非另有说明, AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS 差分输入、1.0 V 内部基准电压、DCS 使能。

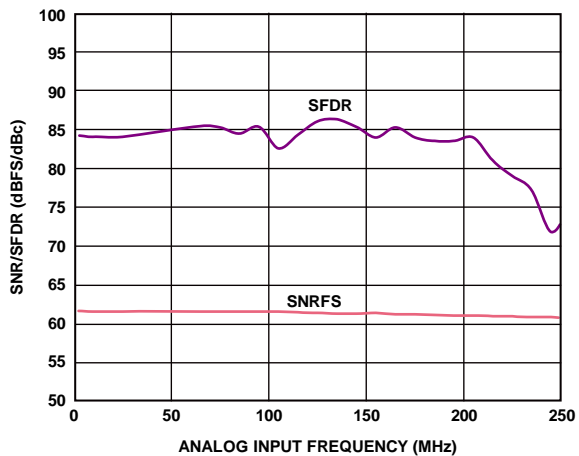


图28. SNR/SFDR与输入频率(AIN)的关系(2 V P-P满量程)

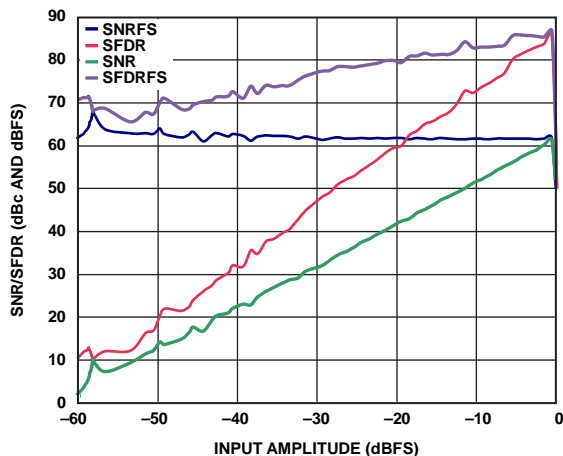


图31. SNR/SFDR与输入幅度(AIN)的关系($f_{IN} = 9.7$ MHz)

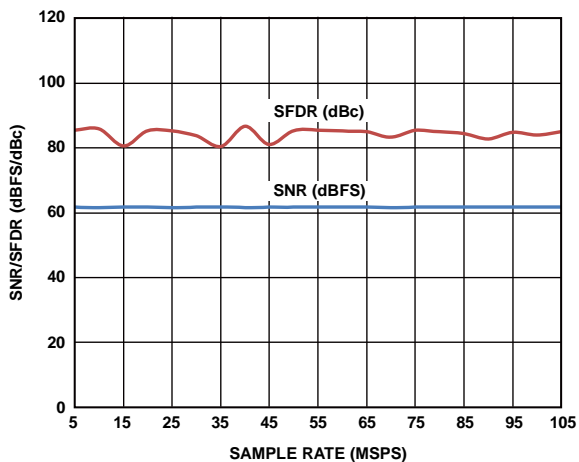


图29. SNR/SFDR与采样速率的关系(AIN = 9.7 MHz)

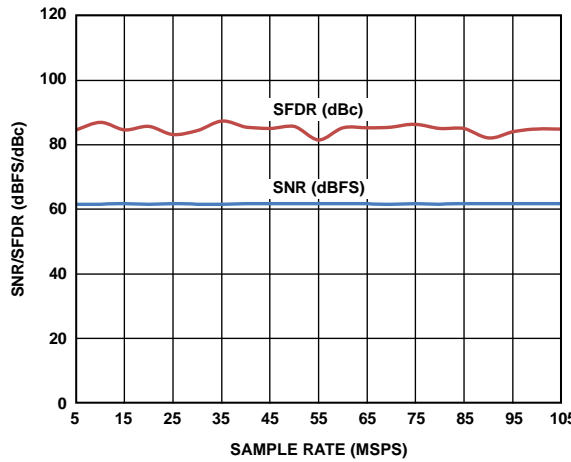


图32. SNR/SFDR与采样速率的关系(AIN = 70 MHz)

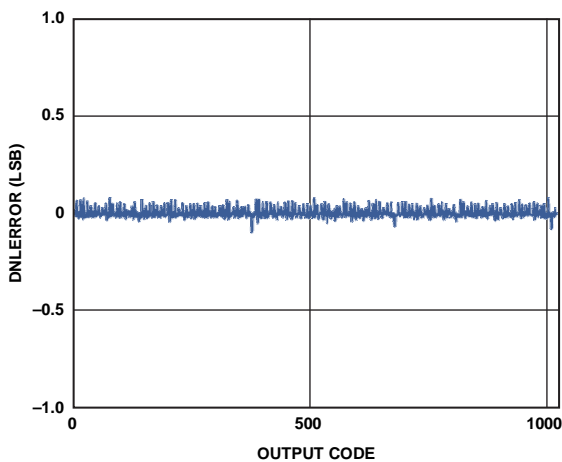


图30. DNL误差($f_{IN} = 9.7$ MHz)

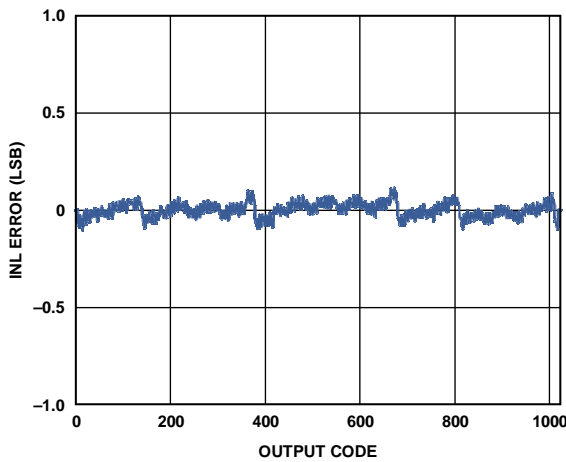


图33. INL误差($f_{IN} = 9.7$ MHz)

等效电路

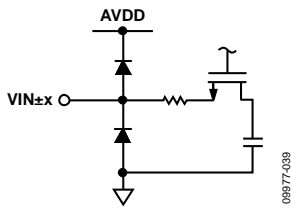


图34. 等效模拟输入电路

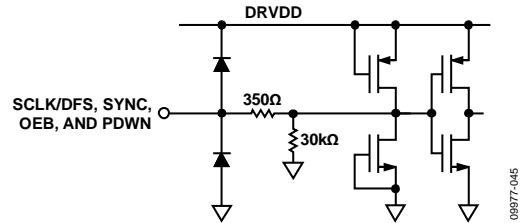


图 38. 等效SCLK/DFS、SYNC、OEB、PDWN输入电路

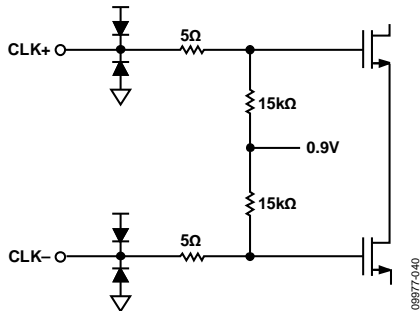


图35. 等效时钟输入电路

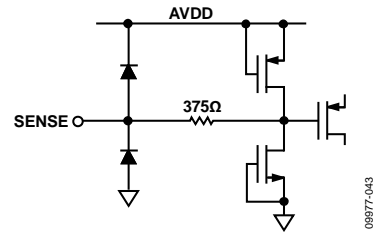


图39. 等效SENSE电路

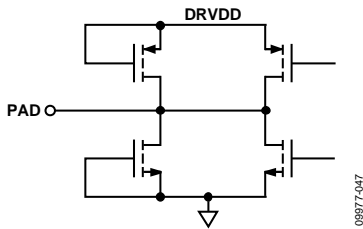


图36. 等效数字输出电路

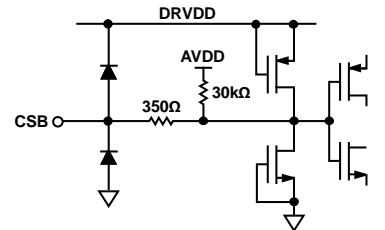


图 40. 等效CSB输入电路

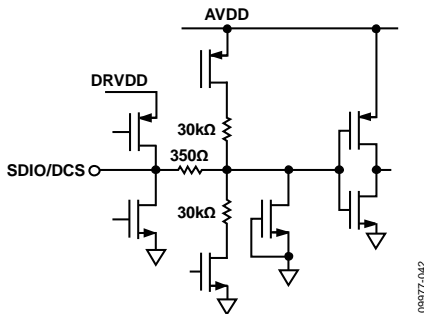


图 37. 等效SDIO/DCS输入电路

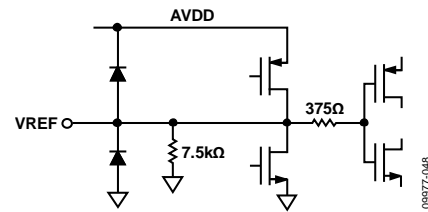


图41. 等效VREF电路

工作原理

AD9608双ADC设计可用于信号分集接收；两个ADC以相同方式处理来自两个独立天线的相同载波。另外，两个ADC还可处理相互独立的模拟输入信号。用户能够借助ADC输入端的低通滤波器或带通滤波器，对任 $f_s/2$ 带宽，频率由DC直至200 MHz的信号进行采样，这不会明显降低ADC的性能。ADC可对300 MHz模拟输入信号进行处理，但这会加大ADC的噪声和失真。

在非分集应用场合，AD9608可用作基带或直接下变频接收机。此时，可将一个ADC用于I输入数据，另一个用于Q输入数据。

同步功能用于多个通道或多个器件之间的同步定时。

借助一个三线型SPI兼容的串行接口，可对AD9608进行编程和控制。

ADC架构

AD9608架构由一个多级、流水线式ADC组成。各级均提供充分的重叠，以便校正上一级的Flash误差。各个级的量化输出组合在一起，在数字校正逻辑中最终形成一个10位转换结果。流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。

除最后一级以外，流水线的每一级都由一个低分辨率Flash型ADC、与之相连的一个开关电容DAC和一个级间余量放大器(例如乘法数模转换器MDAC)组成。余量放大器用于放大重构DAC输出与Flash型输入之间的差，用于流水线的下一级。为了便于实现Flash误差的数字校正，每一级设定了一位冗余量。最后一级由一个Flash型ADC组成。

输出级模块能够实现数据对齐，执行误差校正，并且能将数据传输到CMOS/LVDS输出缓冲器。输出缓冲器需要单独(DRVDD)供电，以便将数字输出噪声与模拟内核隔离。在掉电期间，输出缓冲器进入高阻态。

模拟输入考虑

AD9608的模拟输入端是一个差分开关电容电路，设计用于处理差分输入信号。该电路支持宽共模范围，同时能保持出色的性能。当输入共模电压为中间电源电压时，信号相关误差最小，并且能实现最佳性能。

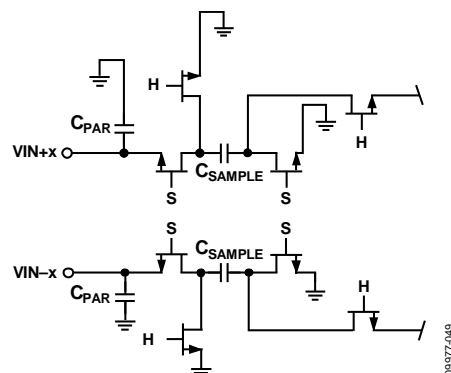


图42. 开关电容输入电路

输入电路根据时钟信号，在采样模式和保持模式之间切换(见图42)。当输入电路切换到采样模式时，信号源必须能够对采样电容充电，并且在半个时钟周期内完成建立。每个输入端都串联一个小电阻，可以降低从驱动源输出级注入的峰值瞬态电流。此外，输入端的每一侧可以使用低Q电感或铁氧体磁珠，以减小模拟输入端的高差分电容，从而实现ADC的最大带宽。在高中频(IF)下驱动转换器前端时，必须使用低Q电感或铁氧体磁珠。输入端可以使用一个并联电容或两个单端电容，以提供匹配的无源网络。这最终会在输入端形成一个低通滤波器，用来限制无用的宽带噪声。欲了解更多信息，请参阅应用笔记AN-742、AN-827以及Analog Dialogue的文章“用于宽带模数转换器的变压器耦合前端”(第39卷，2005年4月)。通常，模数转换的精度取决于应用。

AD9608

输入共模

AD9608的模拟输入端无内部直流偏置。因此，在交流耦合应用中，用户必须提供外部直流偏置。为能够获得最佳性能，建议用户对器件设置为 $V_{CM} = AV_{DD}/2$ ；但器件在更宽的范围都能获得合理的性能，如图43所示。

芯片通过VCM引脚提供板上共模基准电压。必须用一个 $0.1\mu F$ 电容对VCM引脚去耦到地，如“应用信息”部分所述。

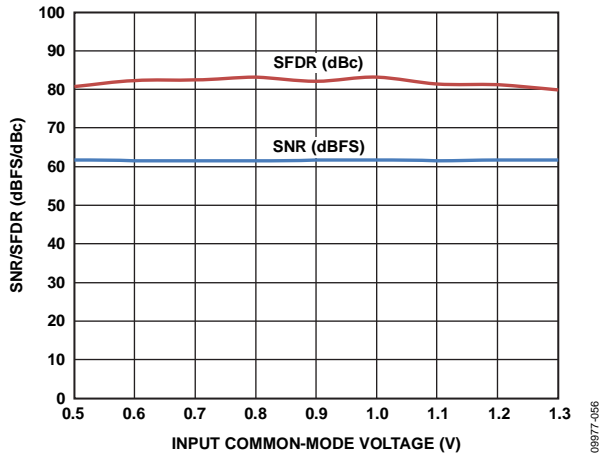


图43. SNR/SFDR与输入共模电压的关系
($f_N = 70\text{ MHz}$, $f_s = 125\text{ MSPS}$)

差分输入配置

通过差分输入配置驱动AD9608时，可实现芯片的最佳性能。在基带应用中，AD8138、ADA4937-2和ADA4938-2差分驱动器能够为ADC提供出色的性能和灵活的接口。

通过AD9608的VCM引脚，可以方便地设置ADA4938-2的输出共模电压(见图44)；驱动器可以配置为Sallen-Key滤波器拓扑电路结构，从而对输入信号进行带宽限制。

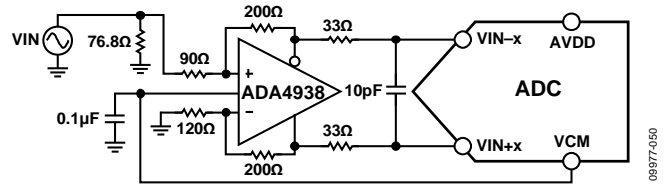


图44. 利用ADA4938-2进行差分输入配置

在SNR为关键参数的10 MHz以下基带应用中，建议使用的输入配置是差分变压器耦合(见图45)。为实现模拟输入偏置，可将VCM电压连接到变压器次级绕组的中心抽头处。

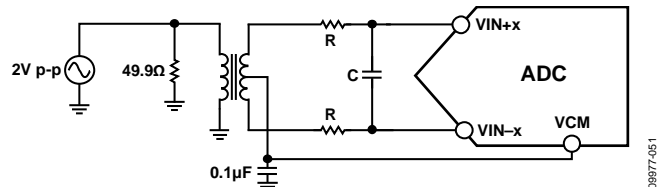


图45. 差分变压器耦合配置

选择变压器时，必需考虑其信号特性。大多数射频变压器在工作频率低于几兆赫兹时，产生饱和现象。信号功率过大也可导致磁芯饱和，从而导致失真。

当输入频率处于第二或更高奈奎斯特区域时，大多数放大器的噪声性能无法满足要求以达到AD9608真正的SNR性能。在SNR为关键参数的10 MHz以上应用中，建议使用的输入配置是差分双巴伦耦合(见图46)。

频率在第二奈奎斯特区域内的时候，除了使用变压器耦合输入外，还可以使用AD8352差分驱动器(见图47)。更多信息参见AD8352数据手册。

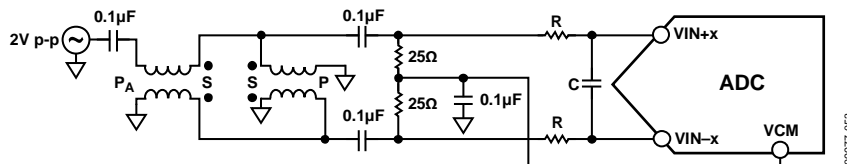


图46. 差分双巴伦输入配置

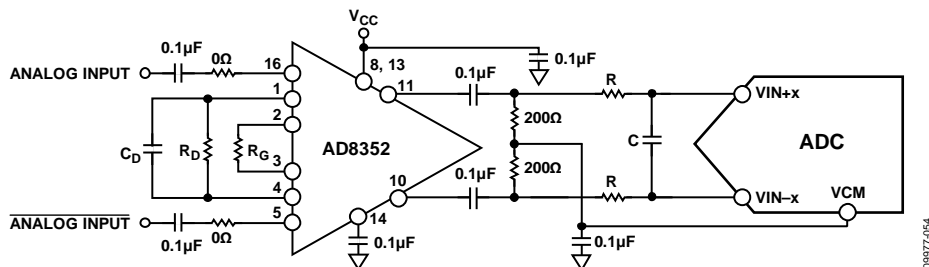


图47. 利用AD8352进行差分输入配置

在任何配置中，并联电容值C均取决于输入频率和源阻抗，并且可能需要降低电容量或去掉该并联电容。表11列出了设置RC网络的建议值。不过，这些值取决于输入信号，且只能用作初始参考。

表11. RC网络示例

频率范围(MHz)	串联电阻(Ω, 每个)	差分电容C(pF)
0至70	33	22
70至200	125	开路

单端输入配置

单端输入在对成本敏感的应用中可以满足性能要求。在此配置中，由于输入共模摆幅较大，因此会降低无杂散动态范围(SFDR)和失真性能。如果每个输入端的各信号源阻抗都是匹配的，则对信噪比(SNR)性能的影响极小。图48显示了典型的单端输入配置。

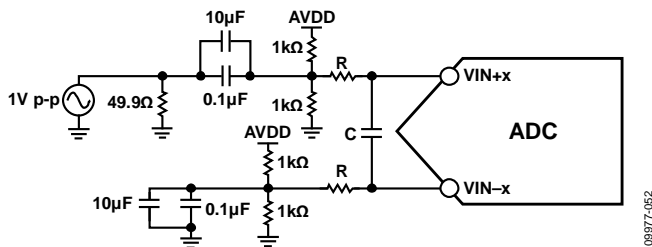


图48. 单端输入配置

基准电压源

AD9608内置稳定、精确的1.0 V基准电压源。VREF引脚可以利用内部1.0 V基准电压或外部施加的1.0 V基准电压来配置。在接下来的部分中，将对各种基准电压模式进行介绍。“基准电压去耦”部分详细描述基准电压的最佳PCB布局布线。

内部基准电压连接

AD9608的内置比较器可检测出SENSE引脚的电压，从而将基准电压配置成两种可能的模式之一(见表12)。如果SENSE引脚接地，则基准放大器开关与内部电阻分压器相连(见图49)，因而将VREF设为1.0 V。

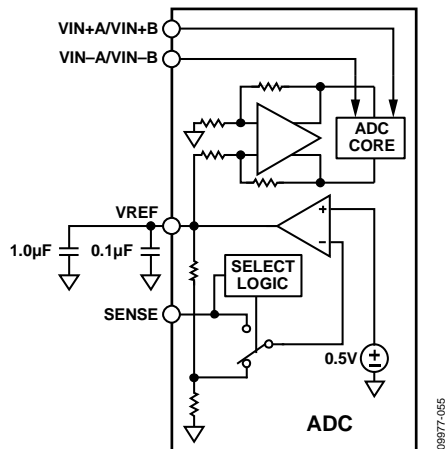


图49. 内部基准电压配置

如需利用AD9608的内部基准电压来驱动多个转换器，从而提高增益的匹配度，则必须考虑到其它转换器对基准电压的负载。图50说明负载如何影响内部基准电压。

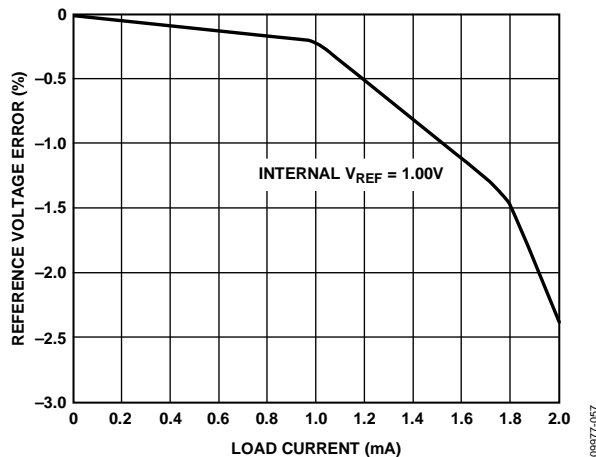


图50. V_{REF} 精度与负载电流的关系

表12. 基准电压配置表

所选模式	SENSE电压(V)	相应的VREF (V)	相应的差分范围(Vp-p)
固定内部基准电压	AGND至0.2	1.0, 内部	2.0
固定外部基准电压	AVDD	1.0, 施加于外部VREF引脚	2.0

AD9608

外部基准电压

采用外部基准电压有可能进一步提高ADC增益精度、改善热漂移特性。图51显示内部基准电压为1.0 V时的典型漂移特性。

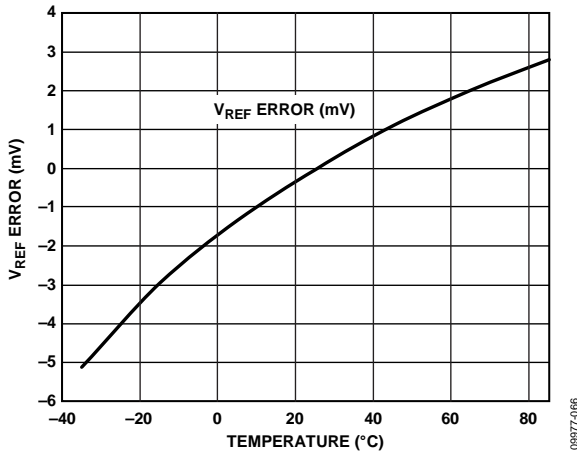


图51. 典型 V_{REF} 漂移

将SENSE引脚与AVDD相连，可以禁用内部基准电压，从而允许使用外部基准电压。内部基准电压缓冲器对外部基准电压的负载相当于7.5 k Ω 负载(见图41)。内部缓冲器为ADC内核生成正、负满量程基准电压。因此，外部基准电压的最大值为1.0 V。

时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为AD9608采样时钟输入端(CLK+和CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到CLK+和CLK-引脚内。CLK+和CLK-引脚有内部偏置(见图52)，无需外部偏置。

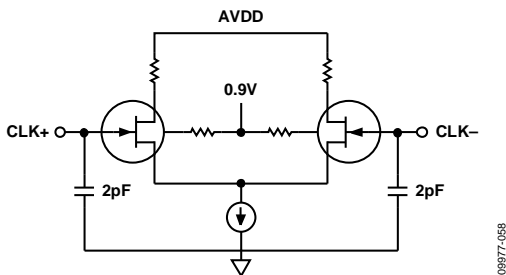


图52. 等效时钟输入电路

时钟输入选项

AD9608的时钟输入结构非常灵活。CMOS、LVDS、LVPECL或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动(见抖动考虑部分说明)。

图53和图54显示两种为AD9608提供时钟信号的首选方法(内部时钟分频前的时钟速率可达1 GHz)。利用射频变压器或射频巴伦，可将低抖动时钟源的单端信号转换成差分信号。

对于125 MHz至1 GHz的时钟频率，建议采用射频巴伦配置；对于10 MHz至200 MHz的时钟频率，建议采用射频变压器配置。跨接在变压器/巴伦次级上的背对背肖特基二极管可以将输入到AD9608中的时钟信号限制为约差分0.8 V峰峰值。

这样，既可以防止时钟的大电压摆幅馈通至AD9608的其它部分，还可以保留信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。

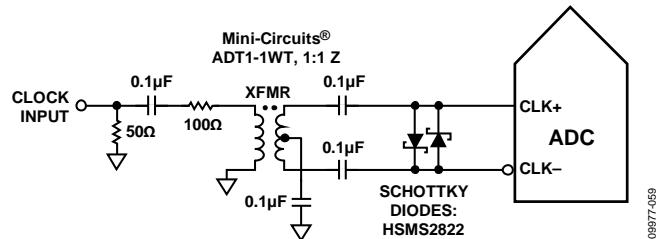


图53. 变压器耦合差分时钟(频率可达200 MHz)

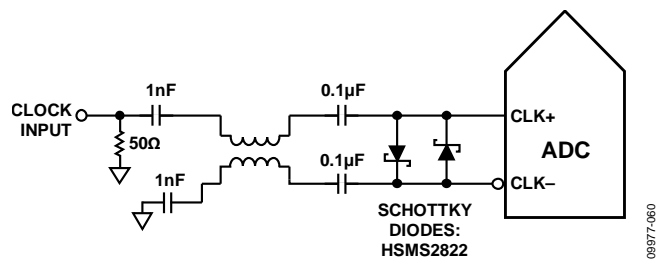


图54. 巴伦耦合差分时钟(频率可达1 GHz)

如果没有低抖动的时钟源，那么，另一种方法是将差分PECL信号交流耦合至采样时钟输入引脚(如图55所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517时钟驱动器具有出色的抖动性能。

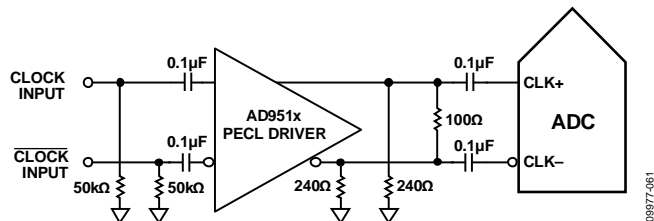


图55. 差分PECL采样时钟(频率可达1 GHz)

第三种方法是将差分LVDS信号交流耦合至采样时钟输入引脚(如图56所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517时钟驱动器具有出色的抖动性能。

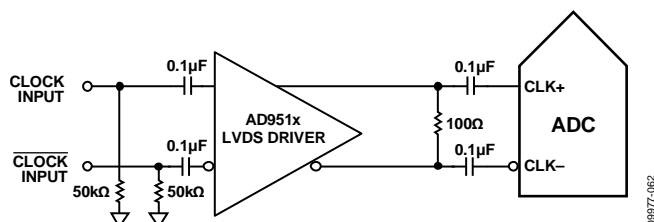


图56. 差分LVDS采样时钟(频率可达1 GHz)

在某些应用中，可以利用单端1.8 V CMOS信号来驱动采样时钟输入。在此类应用中，CLK+引脚直接由CMOS门电路驱动，CLK-引脚则通过一个0.1 μF电容旁路至地(见图57)。

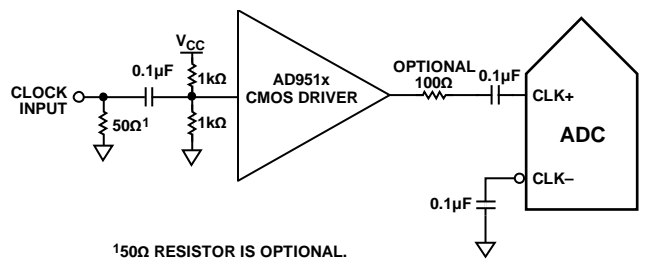


图57. 单端1.8 V CMOS输入时钟(频率可达200 MHz)

输入时钟分频器

AD9608内置一个输入时钟分频器，可对输入时钟进行1至8整数倍分频。

利用外部SYNC输入信号，可同步AD9608时钟分频器。通过对寄存器0x3A的位1和位2进行写操作，可以设置每次收到SYNC信号或者仅第一次收到SYNC信号后，对时钟分频器再同步。有效SYNC可使分频器复位至初始状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

时钟占空比

典型的高速ADC利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。通常，为保持ADC的动态性能，时钟占空比容差应为±5%。

AD9608内置一个占空比稳定器(DCS)，可对非采样边沿(下降沿)进行重新定时，并提供标称占空比为50%的内部时钟信号。因此，用户可提供的时钟输入占空比范围非常广，且不会影响AD9608的性能。当DCS处于开启状态时，在很宽的占空比范围内，噪声和失真性能几乎是平坦的(如图58所示)。

输入上升沿的抖动依然值得关注，且无法借助内部稳定电路来轻易减少这种抖动。当时钟速率低于20 MHz(标称值)时，占空比控制环路没有作为。在时钟速率动态改变的应用中，必须考虑与环路相关的时间常量。在DCS环路重新锁定输入信号前，都需要等待1.5 μs至5 μs的时间。

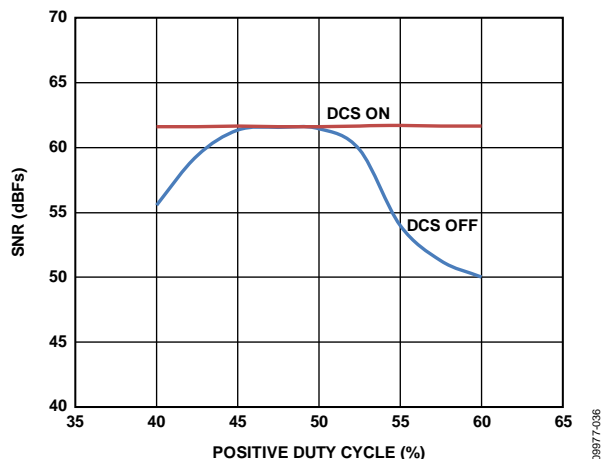


图58. SNR与DCS(开启/关闭)的关系

抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率(f_{INPUT})下,由于抖动($t_{\text{J RMS}}$)造成的信噪比(SNR)下降(相对于低频信噪比 SNR_{LF})可通过下式计算:

$$\text{SNR}_{\text{HF}} = -10 \log[(2\pi \times f_{\text{INPUT}} \times t_{\text{J RMS}})^2 + 10^{(-\text{SNR}_{\text{LF}}/10)}]$$

上式中,均方根孔径抖动表示时钟输入抖动规格。中频欠采样应用对抖动尤其敏感(如图59所示)。

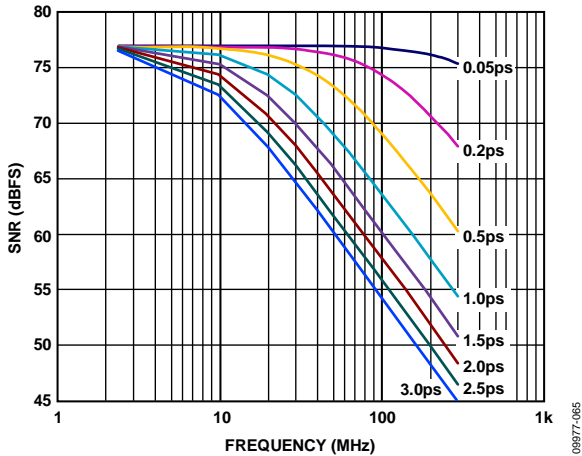


图59. 信噪比与输入频率和抖动的关系

当孔径抖动可能影响AD9608的动态范围时,应将时钟输入信号视为模拟信号。为避免在时钟信号内混入数字噪声,时钟驱动器电源应与ADC输出驱动器电源分离。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法),则需要最后在一步中利用原始时钟进行重定时。

欲了解更多信息,请参阅ADI公司网站(www.analog.com)上提供的应用笔记AN-501和AN-756。

通道/芯片同步

AD9608有一个同步(SYNC)输入端,允许用户通过灵活的同步选项实现多个ADC的采样时钟同步。可以使能输入时钟分频器,以便在第一次或每次出现SYNC信号时进行同步。SYNC输入信号在内部与采样时钟同步,但为避免多个器件之间出现定时不确定性,SYNC输入信号应在外部与输入时钟信号同步,满足表5所示的建立和保持时间要求。SYNC输入信号应由单端CMOS型信号驱动。

功耗和待机模式

如图60所示,AD9608的模拟内核功耗与其采样速率成比例关系。CMOS输出的数字功耗主要由数字驱动器的强度和每个输出位的负载大小决定。

最大DRVDD电流值(I_{DRVDD})的计算公式如下:

$$I_{\text{DRVDD}} = V_{\text{DRVDD}} \times C_{\text{LOAD}} \times f_{\text{CLK}} \times N$$

其中N为输出位数(对于AD9608, $N = 22$)。

当每个输出位在每个时钟周期内都发生切换时(即以 $f_{\text{CLK}}/2$ 的奈奎斯特频率产生满量程方波时),电流达到最高值。实际操作中,DRVDD电流由输出位切换的平均数确定,后者取决于采样速率和模拟输入信号的特性。

降低输出驱动器的容性负载可以很好地降低数字功耗。图60中的数据是在CMOS模式下采用与表1中的电源和功耗参数相同的工作条件得出,每个输出驱动器的负载为5 pF。

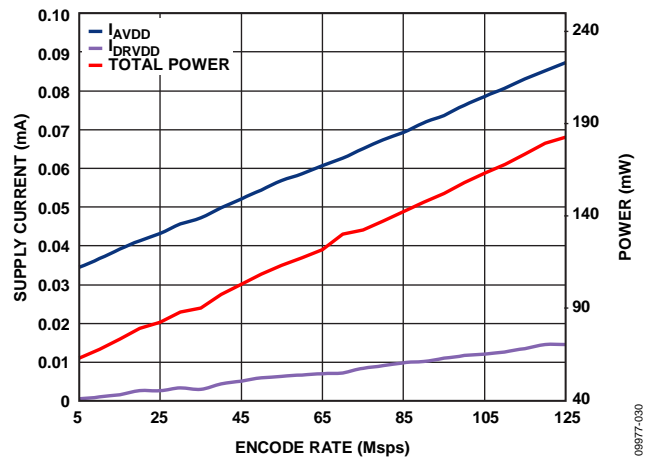


图60. AD9608-125功耗和电流与时钟速率的关系 (1.8 V CMOS输出模式)

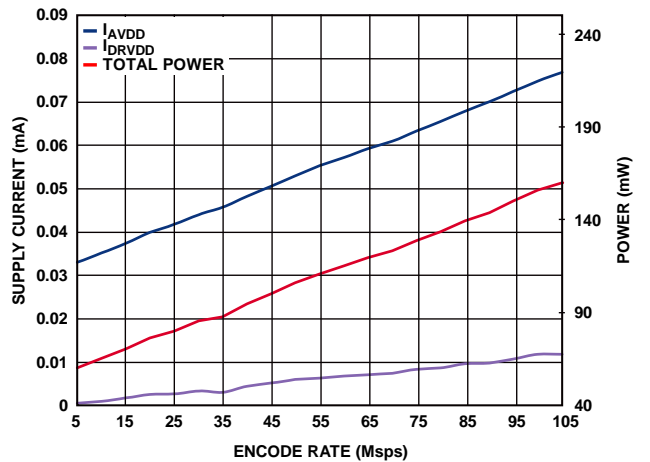


图61. AD9608-105功耗和电流与时钟速率的关系 (1.8 V CMOS输出模式)

通过SPI端口或将PDWN引脚置位高电平，可使AD9608进入掉电模式。这种状态下，ADC的典型功耗小于2 mW。掉电模式下，输出驱动器处于高阻抗状态。将PDWN引脚置位低电平后，AD9608返回正常工作模式。注意，PDWN以数据输出驱动器电源电压(DRVDD)为基准，且不得高于该电压。

在掉电模式下，通过关闭基准电压、基准电压缓冲器、偏置网络以及时钟，可实现低功耗。进入掉电模式时，内部电容放电；返回正常工作模式时，内部电容必须重新充电。因此，唤醒时间与处于掉电模式的时间有关；处于掉电模式的时间越短，则相应的唤醒时间越短。

使用SPI接口接口时，用户可将ADC置于掉电模式或待机模式。如需较短的唤醒时间，可以使用待机模式，该模式下内部基准电压电路处于通电状态。更多信息见存储器映射部分。

数字输出

AD9608输出驱动器可以配置为与1.8 V CMOS或1.8 V LVDS逻辑系列接口。默认输出模式为CMOS，各通道在单独的总线上输出，如图2所示。

在CMOS输出模式下，CMOS输出驱动器应能够提供足够的输出电流，以便驱动各种逻辑电路。然而，大驱动电流可能导致在电源信号中产生毛刺脉冲，影响转换器的性能。

因此，在那些需要ADC来驱动大容量负载或较大扇出的应用中，可能需要用到外部缓冲器或锁存器。

也可以通过SPI端口将CMOS输出配置为交错CMOS输出模式。这种模式下，两个通道的数据输出到单一输出总线上，以降低所需的走线总数。交错CMOS输出模式的时序图见图3。

通过寄存器0x14的位5，可以同时使能两个输出通道的交错CMOS输出模式。不用的通道输出可以通过如下方法禁用：选择寄存器0x05中的适当位(位1或位0)，然后将1写入寄存器0x14的本地(取决于通道)输出端口禁用位(位4)。

在外部引脚模式下，设置SCLK/DFS引脚可以控制数据以偏移二进制格式或二进制补码格式输出(见表13)。

表14. 输出数据格式

输入(V)	条件(V)	偏移二进制输出模式	二进制补码模式	OR
VIN+ – VIN–	< –VREF – 0.5 LSB	00 0000 0000	10 0000 0000	1
VIN+ – VIN–	= –VREF	00 0000 0000	10 0000 0000	0
VIN+ – VIN–	= 0	10 0000 0000	00 0000 0000	0
VIN+ – VIN–	= +VREF – 1.0 LSB	11 1111 1111	01 1111 1111	0
VIN+ – VIN–	> +VREF – 0.5 LSB	11 1111 1111	01 1111 1111	1

如应用笔记AN-877“通过SPI与高速ADC接口”中所述，在SPI控制模式下，数据的输出格式可选择偏移二进制、二进制补码或格雷码。

表13. SCLK/DFS模式选择(外部引脚模式)

引脚电压	SCLK/DFS	SDIO/DCS
AGND	偏移二进制(默认)	DCS禁用
DRVDD	二进制补码	DCS使能(默认)

数据输出使能功能(OEB)

AD9608的数字输出引脚具有灵活的三态功能。三态模式通过SPI接口使能，随后可以利用OEB引脚或通过SPI控制。一旦通过寄存器0x101的SPI(位7)使能，并且OEB引脚处于低电平状态，则使能输出数据驱动器和DCO。若OEB引脚处于高电平状态，则将输出数据驱动器和DCO置于高阻态。OEB功能不适用于快速访问数据总线。注意，OEB以数据输出驱动器电源电压(DRVDD)为基准，且不得高于该电压。

使用SPI接口时，通过寄存器0x14的输出端口禁用位(位4)，可以独立设置每个通道的数据输出和DCO的三态。

时序

AD9608提供流水线延迟为16个时钟周期的锁存数据。在经过时钟信号上升沿后的一个传播延迟时间(t_{PD})之后，产生输出数据。

为减少AD9608内的瞬时现象，应尽可能缩短输出数据线的长度并降低输出负载。瞬时现象可降低转换器的动态性能。

AD9608的典型最低转换速率为10 MSPS。当时钟速率低于10 MSPS时，芯片的动态性能会有所下降。

数据时钟输出(DCO)

AD9608提供两路数据时钟输出(DCO)信号，用于采集外部寄存器中的数据。在CMOS输出模式下，数据输出在DCO的上升沿有效，除非通过SPI改变了DCO时钟的极性。在LVDS输出模式下，DCO和数据输出开关沿接近一致。通过SPI寄存器0x17可以给DCO输出增加额外延迟，以延长数据建立时间。这种情况下，通道A输出数据在DCO的上升沿有效，通道B输出数据在DCO的下降沿有效。有关输出模式的图形化时序说明，参见图2、图3和图4。

内置自测(BIST)和输出测试

AD9608包括内置测试功能，支持对各通道的完整性验证，同时也有利于电路板级调试。内置自测(BIST)功能可以对AD9608数字数据路径的完整性进行验证。此外还提供各种输出测试选项，以便对AD9608的输出进行预测。

内置自测(BIST)

BIST能够对所选AD9608信号路径的数字部分进行详尽的测试。复位后执行BIST测试可确保器件处于已知状态。在BIST测试期间，来自内部伪随机噪声(PN)源的数据从ADC模块输出开始，驱动通过两个通道的数字数据路径。在数据路径输出端，CRC逻辑计算数据签名。BIST序列运行512个周期后停止。测试完成后，BIST将签名结果与预定值进行比较。如果二者一致，则BIST将寄存器0x24的位0置1，表示测试通过。如果BIST测试失败，寄存器0x24的位0清0。测试期间输出相连，因此可以观察到PN序列的运行过程。

向寄存器0x0E写入值0x05将运行BIST测试。这将使能寄存器0x0E的位0(BIST使能)，并复位PN序列发生器(寄存器0x0E的位2，初始化BIST序列)。BIST完成后，寄存器0x24的位0自动清0。向寄存器0x0E的位2写入0可以使PN序列从上一个值继续运行。不过，如果PN序列未复位，测试结束时签名计算结果将不等于预定值。此时，用户必须验证输出数据。

输出测试模式

输出测试选项见表18的地址0x0D部分所述。当使能输出测试模式时，ADC的模拟部分与数字后端模块断开，测试码经过输出格式化模块。有些测试码需要进行输出格式化，有些则不需要。将寄存器0x0D的位4或位5置1，可以将PN序列测试的PN发生器复位。执行这些测试时，模拟信号可有可无(如有，则忽略模拟信号)，但编码时钟必不可少。如需了解更多信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口。”

串行端口接口(SPI)

AD9608的串行端口接口(SPI)允许用户利用ADC内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间、对地址空间进行读写。存储空间以字节为单位进行组织，并且可以进一步细分成多个区域，如存储器映射部分所述。如需了解详细操作信息，请参阅应用笔记AN-877“通过SPI与高速ADC接口”。

使用SPI的配置

该ADC的SPI由三部分组成：SCLK/DFS引脚、SDIO/DCS引脚和CSB引脚(见表15)。SCLK/DFS(串行时钟)引脚用于同步ADC的读出和写入数据。SDIO/DCS(串行数据输入/输出)双功能引脚允许将数据发送至内部ADC存储器映射寄存器或从寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表15. 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作。
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制信号，用来选通读写周期。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。图62为串行时序图范例，相应的定义见表5。

CSB可以在多种模式下工作。CSB可始终维持在低电平状态，从而使器件一直处于使能状态；这称作流。CSB可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB引脚拉高时，SPI功能处于高阻态模式。在该模式下，可以开启SPI引脚的第二功能。

在一个指令周期内，传输一条16位指令。在指令传输后将进行数据传输，数据长度由W0位和W1位共同决定。

除了字长，指令周期还决定串行帧是读操作指令还是写操作指令，从而通过串行端口对芯片编程或读取片上存储器内的数据。多字节串行数据传输帧的第一个字节的第一位表示发出的是读命令还是写命令。如果指令是回读操作，则执行回读操作会使串行数据输入/输出(SPIO)引脚的数据传输方向，在串行帧的一定位置由输入改为输出。

所有数据均由8位字组成。数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认采用MSB优先的方式，可以通过SPI端口配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参阅应用笔记AN-877“通过SPI与高速ADC接口”。

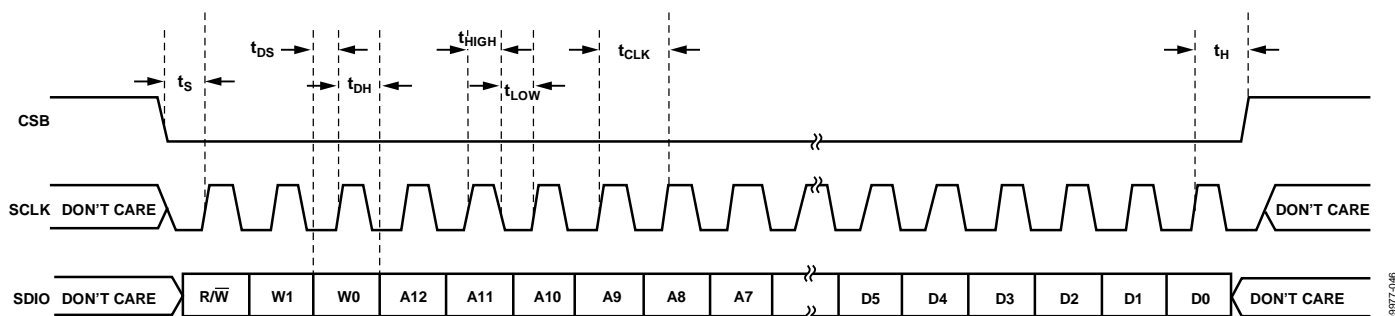


图62. 串行端口接口时序图

AD9608

硬件接口

表15中所描述的引脚包括用户编程器件与AD9608的串行端口之间的物理接口。当使用SPI接口时，SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI接口非常灵活，FPGA或微控制器均可控制该接口。应用笔记AN-812“基于微控制器的串行端口接口(SPI)启动电路”中详细介绍了一种SPI配置方法。

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9608之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

当不使用SPI接口时，有些引脚用作第二功能。在器件上电期间，当这些引脚与DRVDD或接地端连接时，这些引脚可起到特定的作用。表16说明了AD9608支持的绑定功能。

不使用SPI的配置

在不使用SPI控制寄存器接口的应用中，SDIO/DCS引脚、SCLK/DFS引脚和PDWN引脚用作独立的CMOS兼容控制引脚。当器件上电后，假设用户希望将这些引脚用作静态控制线，分别控制占空比稳定器、输出数据格式和掉电特性控制。在此模式下，CSB片选引脚应与AVDD相连，用于禁用串行端口接口。

当器件处于SPI模式时，PDWN和OEB引脚(若使能)仍然有效。为通过SPI控制输出使能和掉电，应将OEB和PDWN引脚设为默认状态。

表16. 模式选择

引脚	外部电压	配置
SDIO/DCS	DRVDD(默认) AGND	占空比稳定器使能 占空比稳定器禁用
SCLK/DFS	DRVDD AGND(默认)	二进制补码使能 偏移二进制使能
OEB	DRVDD AGND(默认)	输出处于高阻抗状态 输出使能
PDWN	DRVDD AGND(默认)	芯片处于掉电或待机状态 正常工作

SPI访问特性

表17简要说明了可通过SPI访问的一般特性。如需详细了解这些特性，请参阅应用笔记AN-877“通过SPI与高速ADC接口”。AD9608器件特定的特性详见表18(外部存储器映射寄存器表，参见“存储器映射寄存器描述”部分)。

表17. 可通过SPI访问的特性

特性名称	描述
模式	允许用户设置掉电模式或待机模式
时钟	允许用户访问DCS，设置时钟分频器，设置时钟分频器相位，以及使能同步
失调	允许用户以数字方式调整转换器失调
测试I/O	允许用户设置测试模式，以便在输出位上获得已知数据
输出模式	允许用户设置输出模式，包括LVDS
输出相位	允许用户设置输出时钟极性
输出延迟	允许用户改变DCO延迟

存储器映射

读取存储器映射寄存器表

存储器映射寄存器表的每一行有8位。存储器映射大致分为三个部分：芯片配置寄存器(地址0x00至地址0x02)、通道索引和传送寄存器(地址0x05和地址0xFF)，以及ADC功能寄存器，包括设置、控制和测试(地址0x08至地址0x102)。

存储器映射寄存器表(见表18)列出了每个十六进制地址及其十六进制默认值。位7 (MSB) 栏为给定十六进制默认值的起始位。例如，器件索引寄存器(地址0x05)的十六进制默认值为0x03，这表示在地址0x05中，位[7:2]=0、位[1:0]=1。该设置为默认通道索引设置。该默认值导致两个ADC通道均会接收下一个写命令。如需了解更多关于该功能及其它功能的信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。该应用笔记详细描述了寄存器0x00至寄存器0xFF控制的功能。存储器映射寄存器描述部分介绍了其它寄存器。

禁用的地址

此器件目前不支持表18中未包括的所有地址和位。有效地址中未使用的位应写为0。当一个地址(例如地址0x05)仅有部分位处于禁用状态时，才需要对这些位置进行写操作。如果整个地址(例如：地址0x13)均禁用，则不应对该地址进行写操作。

默认值

AD9608复位后，关键寄存器将载入默认值。表18(存储器映像寄存器表)内列出了各寄存器的默认值。

逻辑电平

以下是逻辑电平的术语说明：

- “置位”指将某位设置为逻辑1或向某位写入逻辑1。
- “清除位”指“位设置为逻辑0”或“向某位写入逻辑0”。

特定通道寄存器

可通过编程，单独为每个通道设置某些通道功能(例如：信号监控阈值)。在这些情况下，可在内部为每个通道复制通道地址位置。这些寄存器及相应的局部寄存器位，见表18。通过设置寄存器0x05的通道A位或通道B位，可访问这些局部寄存器及相应位。如果这两个位均置位，后续写操作将影响两个通道的寄存器。在一个读周期内，仅允许将一个通道位(通道A位或通道B位)置位，以便对其中的一个或两个寄存器执行读操作。如果在一个SPI读周期内置位两个通道位，则器件返回通道A的值。表18给出的全局寄存器及相应位会影响整个器件或通道的特性，不允许分别设置每个通道。

AD9608

存储器映射寄存器表

此器件目前不支持表18中未包括的所有地址和位。

表18. 存储器映射寄存器

地址 (十六 进制)	寄存器 名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	注释
芯片配置寄存器											
0x00	SPI端口 配置 (全局)	禁用	LSB优先	软复位	1	1	软复位	LSB优先	禁用	0x18	半字节之间是镜像关系,使得无论在何种移位模式下,LSB优先或MSB优先模式寄存器均能正确记录数据
0x01	芯片ID (全局)	8位芯片ID, 位[7:0] AD9608 = 0x9C								只读	唯一芯片ID,用来区分器件;只读
0x02	芯片等级 (全局)	禁用	速度等级ID 100 = 105 MSPS 101 = 125 MSPS			禁用	禁用	禁用	禁用	只读	唯一速度等级ID,用来区分器件;只读
通道索引和传送寄存器											
0x05	器件索引 (全局)	禁用	禁用	禁用	禁用	禁用	禁用	通道B	通道A	0x03	设置这些位以决定片内何器件接收下一个写命令;仅适用于局部寄存器
0xFF	传输 (全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	传输	0x00	从主移位寄存器向从移位寄存器同步传输数据
ADC功能											
0x08	功耗模式 (局部)	禁用	禁用	外部掉电 引脚功能 0 = 掉电 1 = 待机	禁用	禁用	禁用	内部省电模式 00 = 正常工作 01 = 完全掉电 10 = 待机 11 = 数字复位		0x00	决定芯片的一般工作模式
0x09	全局时钟 (全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	占空比 稳定器 0 = 禁用 1 = 使能	0x01	

地址 (十六 进制)	寄存器 名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	注释	
0x0B	时钟分频 (全局)	禁用	禁用	禁用	禁用	禁用	时钟分频比 000 = 1分频 001 = 2分频 010 = 3分频 011 = 4分频 100 = 5分频 101 = 6分频 110 = 7分频 111 = 8分频			0x00	分频比为该 值加1	
0x0C	增强控制 (全局)	禁用	禁用	禁用	禁用	禁用	斩波模式 0 = 禁用 1 = 使能	禁用	禁用	0x00	若位2 = 1, 斩波模式使 能	
0x0D	测试模式 (局部)	用户测试模式控制 00 = 单一测试码 模式 01 = 交替连续/ 重复测试码模式 10 = 单一一次 测试码模式 11 = 交替一次 测试码模式		产生复位 PN长序列	产生复位 PN短序列	输出测试模式 0000 = 关 (默认) 0001 = 中间电平短路 0010 = 正FS 0011 = 负FS 0100 = 交替棋盘形式 0101 = PN长序列 0110 = PN短序列 0111 = 1/0字反转 1000 = 用户测试模式 1111 = 斜坡输出				0x00	设置此寄存 器后, 测试 数据将取代 正常数据被 置于输出引 脚上	
0x0E	BIST使能 (全局)	禁用	禁用	禁用	禁用	禁用	初始化BIST 序列	禁用	BIST使能	0x00		
0x10	自定义 失调调整 (局部)	失调调整以LSB为单位, 从+127到-128(二进制补码格式)								0x00		
0x14	输出模式	输出端口逻辑类型 (全局) 00 = CMOS, 1.8 V 10 = LVDS, ANSI 11 = LVDS, 小范围		输出交错 使能(全局)	输出端口 禁用(局部)	禁用 (全局)	输出反转 (局部)	输出格式 00 = 偏移二进制 01 = 二进制补码 10 = 格雷码		0x00	配置输出和 数据格式	
0x15	输出调整	禁用	禁用	CMOS 1.8 V DCO 驱动强度 00 = 1x 01 = 2x 10 = 3x 11 = 4x		禁用	禁用	CMOS 1.8 V数据 驱动强度 00 = 1x 01 = 2x 10 = 3x 11 = 4x		0x00	决定CMOS输 出驱动强度 特性	
0x16	时钟相位 控制 (全局)	DCO时钟 反相 0 = 不反转 1 = 反转	禁用	禁用	禁用	禁用	输入时钟分频器相位相对于 编码时钟调整 000 = 无延迟 001 = 1输入时钟周期 010 = 2输入时钟周期 011 = 3输入时钟周期 100 = 4输入时钟周期 101 = 5输入时钟周期 110 = 6输入时钟周期 111 = 7输入时钟周期				0x00	允许选择输 入时钟分频 器的时钟延 迟时间
0x17	输出延迟 (全局)	DCO时钟 延迟 0 = 禁用 1 = 使能	禁用	数据延迟 0 = 禁用 1 = 使能	禁用	禁用	延迟选择 000 = 0.56 ns 001 = 1.12 ns 010 = 1.68 ns 011 = 2.24 ns 100 = 2.80 ns 101 = 3.36 ns 110 = 3.92 ns 111 = 4.48 ns				0x00	设置输出时 钟的精密输 出延迟, 但 不改变内部 时序

AD9608

地址 (十六 进制)	寄存器 名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	注释
0x18	VREF选择 (全局)	禁用	禁用	禁用	禁用	禁用	内部V _{REF} 数字调整 000 = 1.0 V p-p 001 = 1.14 V p-p 010 = 1.33 V p-p 011 = 1.6 V p-p 100 = 2.0 V p-p			0x04	选择和/或调 整V _{REF}
0x19	用户测试 码1, LSB (全局)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的 测试码1, LSB
0x1A	用户测试 码1, MSB (全局)	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的 测试码1, MSB
0x1B	用户测试 码2, LSB (全局)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义的 测试码2, LSB
0x1C	用户测试 码2, MSB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义的 测试码2, MSB
0x24	MISR LSB	MISR LSB, Bits[7:0]								0xFF	只读
0x25	MISR MSB	MISR MSB, Bits[15:8]								0xFF	只读
0x2A	超量程 控制 (全局)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	超量程输出 0 = 禁用 1 = 使能	0x01	超量程控制 设置
0x2E	输出指定 (局部)	禁用	禁用	禁用	禁用	禁用	禁用	禁用	0 = ADC A 1 = ADC B (local)	0x00 = ADC A 0x01 = ADC B	为输出通道 指定ADC
0x3A	同步控制 (全局)	禁用	禁用	禁用	禁用	禁用	时钟分频器 仅与下一同 步脉冲同步	时钟分频器 同步使能	禁用	0x00	设置全局同 步选项
0x100	采样速率 覆盖	禁用	采样速率 覆盖使能	禁用	禁用	禁用	采样速率 011 = 80 MSPS 100 = 105 MSPS 101 = 125 MSPS			0x00	
0x101	用户I/O 控制寄存 器2	输出使能 (OEB)引 脚使能	禁用	禁用	禁用	禁用	禁用	禁用	禁用SDIO 下拉电阻	0x00	OEB和SDIO 引脚控制
0x102	用户I/O 控制寄存 器3	禁用	禁用	禁用	禁用	VCM掉电	禁用			0x00	

存储器映射寄存器描述

如需了解有关寄存器0x00至寄存器0xFF所控制功能的更多信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

功耗模式(寄存器0x08)

位[7:6]—禁用

位5—外部掉电引脚使能

若置1，外部PDWN引脚启动掉电模式。若清0，外部PDWN引脚启动待机模式。

位[4:2]—禁用

位[1:0]—内部掉电模式

正常工作(位[1:0] = 00)时，两个ADC通道均启用。

掉电模式(位[1:0] = 01)下，数字数据路径时钟禁用，数字数据路径复位。输出禁用。

待机模式(位[1:0] = 10)下，数字数据路径时钟和输出均禁用。

数字复位(位[1:0] = 11)期间，数字数据路径时钟禁用，数字数据路径处于复位状态。此状态下，输出使能。为实现最佳性能，建议两个ADC通道同时复位。这可以通过以下方法实现：确认通过寄存器0x05选择两个通道，然后发出数字复位指令。

增强控制(寄存器0x0C)

位[7:3]—禁用

位2—斩波模式

某些应用对失调电压和其它低频噪声敏感，如零差或直接变频接收机等，针对这些应用，可以将位2置1来使能AD9628第一级的斩波特性。在频域，斩波将失调和其它低频噪声转换为 $f_{CLK}/2$ ，可以通过滤波器予以滤除。

位[1:0]—禁用

输出模式(寄存器0x14)

位[7:6]—输出端口逻辑类型

00 = CMOS, 1.8 V

10 = LVDS, ANSI

11 = LVDS, 小范围

位5—输出交错使能

对于LVDS输出，位5置1将使能交错。通道A在高电平DCO时钟发送，通道B在低电平DCO时钟发送。位5清0将禁用交错特性。通道A在LSB上发送，通道B在MSB上发送。偶数

位在高电平DCO时钟发送，奇数位在低电平DCO时钟发送。

对于CMOS输出，位5置1将使能CMOS DDR模式下的交错特性。在ADC输出端口A上，通道A在低电平DCO时钟发送，通道B在高电平DCO时钟发送。在ADC输出端口B上，通道B在低电平DCO时钟发送，通道A在高电平DCO时钟发送。位5清0将禁用交错特性，数据以CMOS SDR模式输出。通道A送至端口A，通道B送至端口B。

位4—输出端口禁用

位4设为高电平将禁用器件索引寄存器(寄存器0x05)的位[1:0]所选通道的输出端口。

位3—禁用

位2—输出反转

位2设为高电平将反转器件索引寄存器(寄存器0x05)的位[1:0]所选通道的输出端口数据。

位[1:0]—输出格式

00 = 偏移二进制

01 = 二进制补码

10 = 格雷码

同步控制(寄存器0x3A)

位[7:3]—禁用

位2—时钟分频器仅与下一同步脉冲同步

如果时钟分频器同步使能位(地址0x3A的位1)为高电平，则位2允许时钟分频器与它接收到的第一个同步脉冲同步，并忽略其它同步脉冲。同步后，时钟分频器同步使能位复位。

位1—时钟分频器同步使能

位1选通时钟分频器的同步脉冲。当位1为高电平时，同步信号使能，这是连续同步模式。

位0—禁用

传送(寄存器0xFF)

除寄存器0x100外，所有其它寄存器都在写入时立刻更新。此传送寄存器的位0置1时，ADC采样速率覆盖寄存器(地址0x100)的设置初始化。

采样速率覆盖(寄存器0x100)

利用此寄存器，用户可以降低器件性能。任何提升默认速度等级的尝试都会导致芯片掉电。此寄存器的设置在传送寄存器(寄存器0xFF)的位0写入1后初始化。

AD9608

用户I/O控制2(寄存器0x101)

位7—OEB引脚使能

如果OEB引脚使能位(位7)置1, 则OEB引脚使能。如果位7清0, 则OEB引脚禁用(默认)。

位[6:1]—禁用

位0—SDIO下拉

位0可以置1以禁用SDIO引脚内置的30 kΩ下拉电阻; 当许多器件连接到SPI总线时, 它可以用来限制负载。

用户I/O控制3(寄存器0x102)

位[7:4]—禁用

位3—VCM掉电

通过将位3置1, 可关断内部VCM发生器。使用外部基准电压源时使用此功能。

位[2:0]—禁用

应用信息

设计指南

在进行AD9608的系统设计和布局之前，建议设计者先熟悉下述设计指南，其中讨论了某些引脚所需的特殊电路连接和布局布线要求。

电源和接地建议

当连接电源至AD9608时，建议使用两个独立的1.8 V电源：一个电源用于模拟输出(AVDD)，另一个电源用于数字输出(DRVDD)。对于AVDD和DRVDD，应使用多个不同的去耦电容以支持高频和低频。去耦电容应放置在接近PCB入口点和接近器件引脚的位置，并尽可能缩短走线长度。

AD9608仅需要一个PCB接地层。对PCB模拟、数字和时钟模块进行合理去耦和巧妙分隔，可以轻松获得最佳性能。

LVDS操作

上电时，AD9608默认采用CMOS输出模式。如果需要LVDS工作模式，必须在上电后利用SPI配置寄存器设置此模式。当AD9608上电后处于CMOS模式，并且输出端有LVDS端接电阻(100 Ω)时，DRVDD电流可能高于典型值，除非将器件置于LVDS模式。这一额外的DRVDD电流不会损坏AD9608，但在考虑器件的最大DRVDD电流时，必须对此加以考虑。

为消除这一额外DRVDD电流，可以在上电时拉高PDWN引脚，从而禁用AD9608输出。通过SPI端口将器件置于LVDS模式之后，可以拉低PDWN引脚以使能输出。

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将ADC底部的裸露焊盘连接至模拟地(AGND)。PCB上裸露(无阻焊膜)的连续铜平面应与AD9608的裸露焊盘(引脚0)匹配。

铜平面上应有多个通孔，获得尽可能低的热阻路径以通过PCB底部进行散热。应当填充或堵塞这些通孔，防止通孔渗锡而影响连接性能。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续平面划分为多个均等的部分。这样，在回流焊过程中，可在ADC与PCB之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在ADC与PCB之间有一个连接点。如需了解有关封装和芯片级封装PCB布局布线的详细信息，请参阅应用笔记AN-772：“LFCSP封装设计与制造指南”(www.analog.com)。

VCM

VCM引脚应通过一个0.1 μF 电容去耦至地。

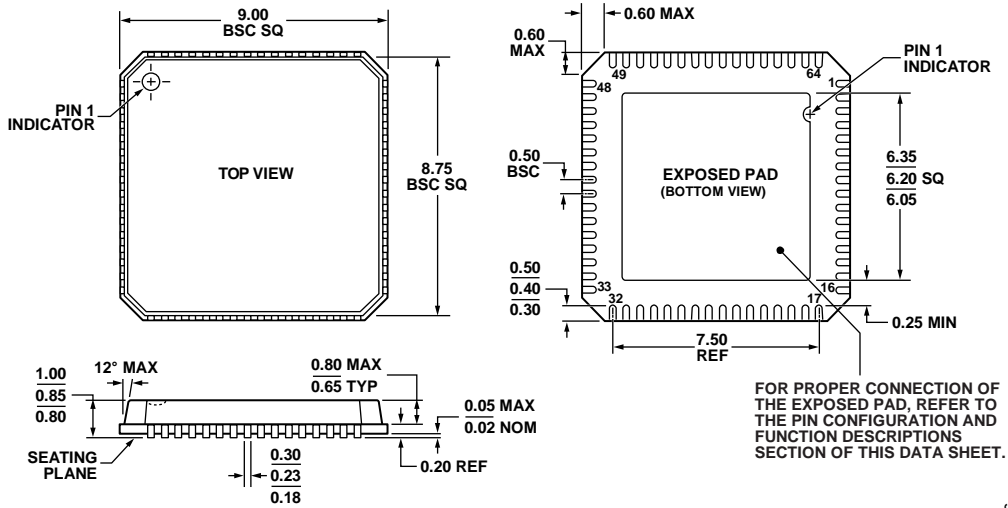
基准电压源去耦

VREF引脚应通过外部一个低ESR 0.1 μF 陶瓷电容和一个低ESR 1.0 μF 电容的并联组合去耦至地。

SPI端口

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9608之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VMM4

图63. 64引脚引脚架构芯片级封装[LFCSP_VQ]
9 mm × 9 mm, 超薄体
(CP-64-4)
图示尺寸单位: mm

091707-C

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9608BCPZ-105	-40°C至+85°C	64引脚引脚架构芯片级封装[LFCSP_VQ]	CP-64-4
AD9608BCPZ-125	-40°C至+85°C	64引脚引脚架构芯片级封装[LFCSP_VQ]	CP-64-4
AD9608BCPZRL7-105	-40°C至+85°C	64引脚引脚架构芯片级封装[LFCSP_VQ]	CP-64-4
AD9608BCPZRL7-125	-40°C至+85°C	64引脚引脚架构芯片级封装[LFCSP_VQ]	CP-64-4
AD9608-125EBZ		评估板	

¹Z = 符合RoHS标准的器件。