

### 特性

- 一个封装中集成4个ADC
- 串行LVDS数字输出数据速率高达780 Mbps (ANSI-644)
- 数据时钟输出和帧时钟输出
- 信噪比(SNR): 69.5 dB (至奈奎斯特频率)
- 出色的线性度
- 微分非线性(DNL):  $\pm 0.3$  LSB (典型值)
- 积分非线性(INL):  $\pm 0.4$  LSB (典型值)
- 400 MHz全功率模拟带宽
- 功耗
  - 1,350 mW (65 MSPS)
  - 985 mW (50 MSPS)
- 输入电压范围: 1 V至2 V峰峰值
- 3.0 V电源供电
- 掉电模式
- 数字测试码使能用于时序对准

### 应用

- 超声用数字波束形成系统
- 无线和有线宽带通信
- 通信测试设备

### 功能框图

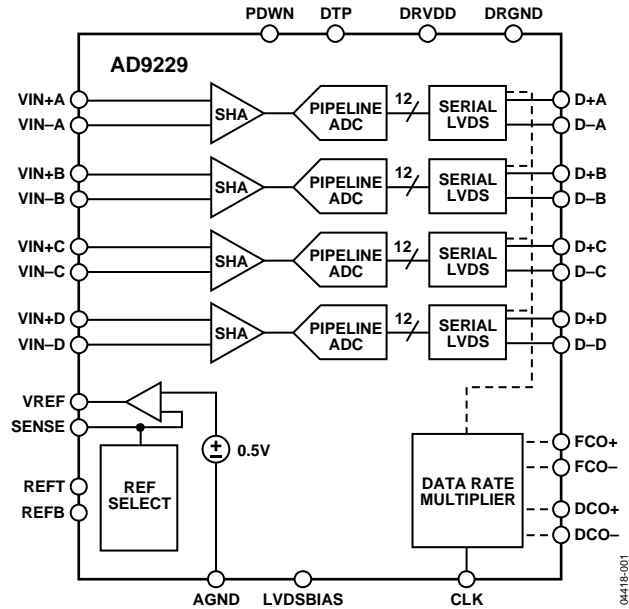


图1

### 概述

AD9229是一款4通道、12位、65 MSPS模数转换器(ADC)，内置片内采样保持电路，专门针对低成本、低功耗、小尺寸和易用性而设计。该产品的转换速率最高可达65 MSPS，具有杰出的动态性能，适合比较重视小封装尺寸的应用。

该ADC要求采用3 V单电源以及TTL/CMOS兼容型采样速率时钟信号，以便充分发挥其工作性能。对于大多数应用来说，无需外部基准电压源或驱动器器件。

为获得合适的LVDS串行数据速率，该ADC会自动倍乘采样速率时钟。它提供一个数据时钟(DCO)用于在输出端捕获数据，以及一个帧时钟(FCO)触发器用于发送新输出字节信号。该ADC支持掉电模式，使能掉电模式时，典型功耗为3 mW。

AD9229采用先进的CMOS工艺制造，提供48引脚LFCSP无铅封装，额定温度范围为 $-40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 工业温度范围。

### 产品聚焦

1. 一个小型封装中集成4个ADC，节省空间。
2. 提供数据时钟输出(DCO)，其工作频率高达390 MHz，并支持双倍数据速率(DDR)操作。
3. 各ADC的输出为串行化LVDS，数据速率最高可达780 Mbps(12位 $\times$ 65 MSPS)。
4. AD9229采用3.0 V单电源供电。
5. 采用48引脚LFCSP无铅封装。
6. 内部时钟占空比稳定器能够在较宽的输入时钟占空比范围内保持ADC的性能。

### Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
Fax: 781.461.3113 © 2005–2010 Analog Devices, Inc. All rights reserved.

## 目录

特性.....	1	等效电路.....	10
应用.....	1	典型工作特性.....	11
功能框图.....	1	术语.....	16
概述.....	1	工作原理.....	18
修订历史.....	2	模拟输入考虑.....	18
技术规格.....	3	时钟输入考虑.....	19
交流规格.....	4	评估板.....	24
数字规格.....	5	电源.....	24
开关规格.....	6	输入信号.....	24
时序图.....	7	输出信号.....	24
绝对最大额定值.....	8	默认操作与跳线选择设置.....	25
测试级别说明.....	8	可选模拟输入驱动配置.....	25
ESD警告.....	8	外形尺寸.....	39
引脚配置和功能描述.....	9	订购指南.....	39

## 修订历史

### 2010年5月—修订版A至修订版B

更改表11的第47项.....	38
更新外形尺寸.....	39
更改订购指南部分.....	39

### 2005年9月—修订版0至修订版A

更改技术规格.....	3
更改差分输入配置部分.....	19
更改裸露焊盘散热块建议部分.....	23
更改评估板部分.....	24
更改表11.....	36

### 2005年3月—修订版0：初始版

## 技术规格

除非另有说明，AVDD = 3.0 V、DRVDD = 3.0 V、最大转换速率、2 V峰峰值差分输入、1.0 V内部基准电压源、AIN = -0.5 dBFS。

表1

参数	温度	测试级别	AD9229-50			AD9229-65			单位	
			最小值	典型值	最大值	最小值	典型值	最大值		
分辨率			12			12			位	
精度			保证			保证				
无失码	全	VI	保证			保证				
失调误差	全	VI	±5		±25	±5		±25	mV	
失调匹配	全	VI	±5		±25	±5		±25	mV	
增益误差 <sup>1</sup>	全	VI	±0.3		±2.5	±0.3		±2.5	% FS	
增益匹配 <sup>1</sup>	全	VI	±0.2		±1.5	±0.2		±1.5	% FS	
微分非线性(DNL)	25°C	V	±0.3			±0.3			LSB	
	全	VI	±0.3		±0.6	±0.3		±0.7	LSB	
积分非线性(INL)	25°C	V	±0.6			±0.4			LSB	
	全	VI	±0.6		±1	±0.4		±1	LSB	
温度漂移										
失调误差	全	V	±2			±3			ppm/°C	
增益误差 <sup>1</sup>	全	V	±12			±12			ppm/°C	
基准电压(VREF = 1 V)	全	V	±16			±16			ppm/°C	
基准电压										
输出电压误差(VREF = 1 V)	全	VI	±10		±30	±10		±30	mV	
负载调整(1.0 mA、VREF = 1 V)	全	V	3			3			mV	
输出电压误差(VREF = 0.5 V)	全	VI	±8		±17	±8		±17	mV	
负载调整(0.5 mA、VREF = 0.5 V)	全	V	0.2			0.2			mV	
输入电阻	全	V	7			7			kΩ	
模拟输入										
差分输入电压范围(VREF = 1 V)	全	VI	2			2			V p-p	
差分输入电压范围(VREF = 0.5 V)	全	VI	1			1			V p-p	
共模电压	全	V	1.5			1.5			V	
输入电容 <sup>2</sup>	全	V	7			7			pF	
全功率模拟带宽	全	V	400			400			MHz	
电源										
AVDD	全	IV	2.7	3.0	3.6	2.7	3.0	3.6	V	
DRVDD	全	IV	2.7	3.0	3.6	2.7	3.0	3.6	V	
IAVDD	全	VI	300			420			455	mA
DRVDD	全	VI	28			29			33	mA
功耗 <sup>3</sup>	全	VI	985			1350			1465	mW
掉电功耗	全	V	3			3				mW
串扰 <sup>4</sup>	全	V	-95			-95				dB

<sup>1</sup>增益误差和增益温度系数仅基于ADC，采用1.0 V固定外部基准电压和2 V峰峰值差分模拟输入。

<sup>2</sup>输入电容指一个差分输入引脚与AGND之间的有效电容。等效模拟输入结构见图4。

<sup>3</sup>功耗的测量条件：额定编码和2.4 MHz模拟输入(-0.5 dBFS)。

<sup>4</sup>第一奈奎斯特区内的典型规格。

# AD9229

## 交流规格

除非另有说明, AVDD=3.0V、DRVDD=3.0V、最大转换速率、2V峰峰值差分输入、1.0V内部基准电压源、AIN=-0.5dBFS。

表2

参数		温度	测试级别	AD9229-50			AD9229-65			单位
				最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)	$f_{IN} = 2.4 \text{ MHz}$	全	IV	69.5	70.4		69.0	70.2		dB
	$f_{IN} = 10.3 \text{ MHz}$	25°C	V		70.4			70.2		dB
	$f_{IN} = 25 \text{ MHz}$	全	VI	68.7	69.6					dB
	$f_{IN} = 30 \text{ MHz}$	全	VI				68.0	69.5		dB
	$f_{IN} = 70 \text{ MHz}$	25°C	V		67.2			67.1		dB
信纳比(SINAD)	$f_{IN} = 2.4 \text{ MHz}$	全	V		70.0			69.8		dB
	$f_{IN} = 10.3 \text{ MHz}$	25°C	V		70.0			69.8		dB
	$f_{IN} = 25 \text{ MHz}$	全	VI	68.4	69.4					dB
	$f_{IN} = 30 \text{ MHz}$	全	VI				67.3	69.0		dB
	$f_{IN} = 70 \text{ MHz}$	25°C	V		66.8			66.7		dB
有效位数(ENOB)	$f_{IN} = 2.4 \text{ MHz}$	全	V		11.3			11.3		Bits
	$f_{IN} = 10.3 \text{ MHz}$	25°C	V		11.3			11.3		Bits
	$f_{IN} = 25 \text{ MHz}$	全	VI	11.1	11.2					Bits
	$f_{IN} = 30 \text{ MHz}$	全	VI				10.9	11.2		Bits
	$f_{IN} = 70 \text{ MHz}$	25°C	V		10.8			10.8		Bits
无杂散动态范围(SFDR)	$f_{IN} = 2.4 \text{ MHz}$	全	V		85			85		dBc
	$f_{IN} = 10.3 \text{ MHz}$	25°C	V		85			85		dBc
	$f_{IN} = 25 \text{ MHz}$	全	VI	76	85					dBc
	$f_{IN} = 30 \text{ MHz}$	全	VI				73	85		dBc
	$f_{IN} = 70 \text{ MHz}$	25°C	V		78			77		dBc
最差谐波 (二次或三次)	$f_{IN} = 2.4 \text{ MHz}$	全	V		-85			-85		dBc
	$f_{IN} = 10.3 \text{ MHz}$	25°C	V		-85			-85		dBc
	$f_{IN} = 25 \text{ MHz}$	全	VI		-85	-76				dBc
	$f_{IN} = 30 \text{ MHz}$	全	VI					-85	-73	dBc
	$f_{IN} = 70 \text{ MHz}$	25°C	V		-78			-77		dBc
最差其它谐波或杂散 (二次或三次除外)	$f_{IN} = 2.4 \text{ MHz}$	全	V		-90			-90		dBc
	$f_{IN} = 10.3 \text{ MHz}$	25°C	V		-90			-90		dBc
	$f_{IN} = 25 \text{ MHz}$	全	VI		-88	-81.7				dBc
	$f_{IN} = 30 \text{ MHz}$	全	VI					-88	-79.7	dBc
	$f_{IN} = 70 \text{ MHz}$	25°C	V		-85			-83		dBc
双音交调失真(IMD) AIN1和AIN2 = -7.0 dBFS	$f_{IN1} = 15 \text{ MHz}$	25°C	V		-73			-73		dBc
	$f_{IN2} = 16 \text{ MHz}$ $f_{IN1} = 69 \text{ MHz}$ $f_{IN2} = 70 \text{ MHz}$	25°C	V		-68.5			-68.5		dBc

## 数字规格

除非另有说明，AVDD=3.0V、DRVDD=3.0V、最大转换速率、2V峰峰值差分输入、1.0V内部基准电压源、AIN=-0.5dBFS。

表3

参数	温度	测试级别	AD9229-50			AD9229-65			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
时钟输入									
逻辑兼容			TTL/CMOS			TTL/CMOS			
高电平输入电压	全	IV	2.0			2.0			V
低电平输入电压	全	IV			0.8			0.8	V
高电平输入电流	全	VI		0.5	±10		0.5	±10	μA
低电平输入电流	全	VI		0.5	±10		0.5	±10	μA
输入电容	25°C	V		2			2		pF
逻辑输入(PDWN)									
Logic 1电压	全	IV	2.0			2.0			V
Logic 0电压	全	IV			0.8			0.8	V
高电平输入电流	全	IV		0.5	±10		0.5	±10	μA
低电平输入电流	全	IV		0.5	±10		0.5	±10	μA
输入电容	25°C	V		2			2		pF
数字输出(D+, D-)									
逻辑兼容			LVDS			LVDS			
差分输出电压	全	VI	260		440	260		440	mV
输出偏移电压	全	VI	1.15	1.25	1.35	1.15	1.25	1.35	V
输出编码	全	VI		偏移 二进制			偏移 二进制		

# AD9229

## 开关规格

除非另有说明, AVDD=3.0V、DRVDD=3.0V、最大转换速率、2V峰峰值差分输入、1.0V内部基准电压源、AIN=-0.5 dBFS。

表4

参数	温度	测试级别	AD9229-50			AD9229-65			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
<b>时钟</b>									
最大时钟速率	全	VI	50			65			MSPS
最小时钟速率	全	IV			10			10	MSPS
高电平时钟脉宽( $t_{EH}$ )	全	VI	8	10		6.2	7.7		ns
低电平时钟脉宽( $t_{EL}$ )	全	VI	8	10		6.2	7.7		ns
<b>输出参数</b>									
传播延迟( $t_{PD}$ )	全	VI	3.3	6.5	7.9	3.3	6.5	7.9	ns
上升时间( $t_r$ ) (20%至80%)	全	V		250			250		ps
下降时间( $t_f$ ) (20%至80%)	全	V		250			250		ps
FCO传播延迟 ( $t_{FCO}$ )	全	V		6.5			6.5		ns
DCO传播延迟 ( $t_{CPD}$ )	全	V		$t_{FCO} +$ ( $t_{SAMPLE}/24$ )			$t_{FCO} +$ ( $t_{SAMPLE}/24$ )		ns
DCO至数据延迟时间( $t_{DATA}$ )	全	IV	( $t_{SAMPLE}/24$ ) - 250	( $t_{SAMPLE}/24$ )	( $t_{SAMPLE}/24$ ) + 250	( $t_{SAMPLE}/24$ ) - 250	( $t_{SAMPLE}/24$ )	( $t_{SAMPLE}/24$ ) + 250	ps
DCO至FCO延迟时间( $t_{FRAME}$ )	全	IV	( $t_{SAMPLE}/24$ ) - 250	( $t_{SAMPLE}/24$ )	( $t_{SAMPLE}/24$ ) + 250	( $t_{SAMPLE}/24$ ) - 250	( $t_{SAMPLE}/24$ )	( $t_{SAMPLE}/24$ ) + 250	ps
数据至数据偏斜 ( $t_{DATA-MAX} - t_{DATA-MIN}$ )	全	IV		±100	±250		±100	±250	ps
唤醒时间	25°C	V		4			4		ms
流水线延迟	全	IV		10			10		CLK 周期数
<b>孔径</b>									
孔径延迟( $t_A$ )	25°C	V		1.8			1.8		ns
孔径不确定(抖动)	25°C	V		<1			<1		ps rms
超范围恢复时间	25°C	V		2			2		CLK 周期数

时序图

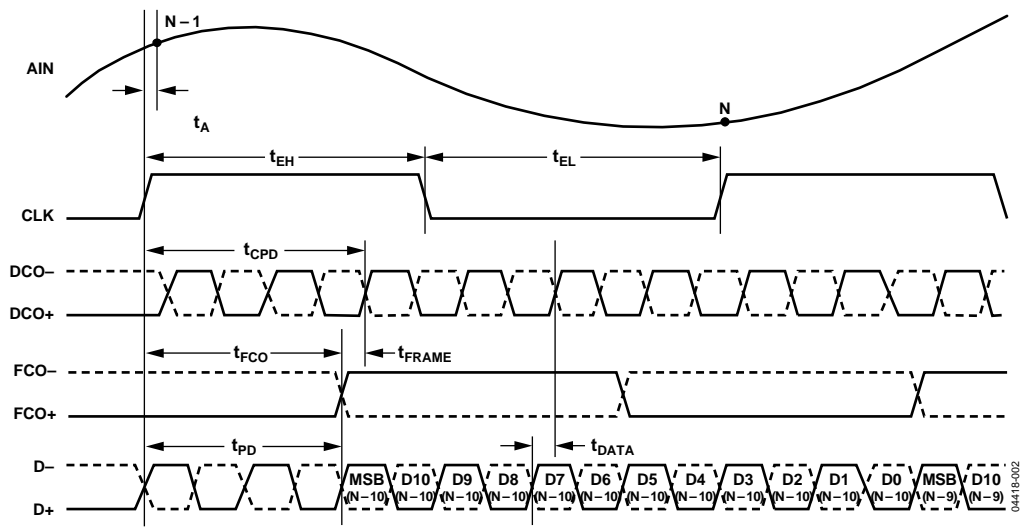


图2. 时序图

## 绝对最大额定值

表5

参数	参考	额定值
电气参数		
AVDD	AGND	-0.3 V 至 +3.9 V
DRVDD	DRGND	-0.3 V 至 +3.9 V
AGND	DRGND	-0.3 V 至 +0.3 V
AVDD	DRVDD	-3.9 V 至 +3.9 V
数字输出(D+, D-, DCO+, DCO-, FCO+, FCO-)	DRGND	-0.3 V 至 DRVDD
LVD5BIAS	DRGND	-0.3 V 至 DRVDD
CLK	AGND	-0.3 V 至 AVDD
VIN+, VIN-, PDWN, DTP	AGND	-0.3 V 至 AVDD
REFT, REFB	AGND	-0.3 V 至 AVDD
VREF, SENSE	AGND	-0.3 V 至 AVDD
环境参数		
工作温度范围(环境)		-40°C 至 +85°C
最高结温		150°C
引脚温度(焊接, 10秒)		300°C
存储温度范围(环境)		-65°C 至 +150°C
热阻 <sup>1</sup>		25°C/W

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

## 测试级别说明

- I. 100%生产测试。
- II. 25°C时100%生产测试，额定温度时的性能通过设计和特性保证。
- III. 仅测试样片。
- IV. 参数通过设计和特性测试保证。
- V. 参数仅为典型值。
- VI. 25°C时100%生产测试，工业温度范围内的性能通过设计和特性保证。

<sup>1</sup> $\theta_{JA}$ 的测试条件为静止空气下采用实体接地层的4层PCB。

## ESD警告

ESD（静电放电）敏感器件。静电电荷很容易在人体和测试设备上累积，可高达4000 V，并可能在没有察觉的情况下放电。尽管本产品具有专用ESD保护电路，但在遇到高能量静电放电时，可能会发生永久性器件损坏。因此，建议采取适当的ESD防范措施，以避免器件性能下降或功能丧失。





## 引脚配置和功能描述

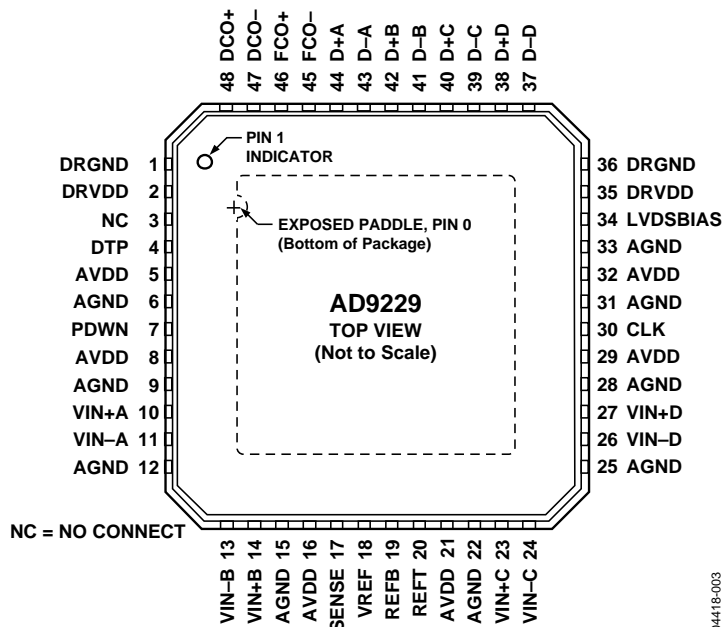


图3. LFCSP俯视图

表6 引脚功能描述

引脚编号	引脚名称	描述	引脚编号	引脚名称	描述
5, 8, 16, 21, 29, 32	AVDD	模拟电源	26	VIN-D	ADC D模拟输入(-)
6, 9, 12, 15, 22, 25, 28, 31, 33	AGND	模拟地	27	VIN+D	ADC D模拟输入(+)
2, 35	DRVDD	数字输出电源	30	CLK	输入时钟
1, 36	DRGND	数字地	34	LVDSBIAS	LVDS输出电流设置电阻引脚
0	AGND	裸露焊盘/散热块(位于封装底部)	37	D-D	ADC D数字输出(-)
3	NC	不连接	38	D+D	ADC D数字输出(+)
4	DTP	数字测试码使能	39	D-C	ADC C数字输出(-)
7	PDWN	掉电选择(AVDD = 掉电)	40	D+C	ADC C数字输出(+)
10	VIN+A	ADC A模拟输入(+)	41	D-B	ADC B数字输出(-)
11	VIN-A	ADC A模拟输入(-)	42	D+B	ADC B数字输出(+)
13	VIN-B	ADC B模拟输入(-)	43	D-A	ADC A数字输出(-)
14	VIN+B	ADC B模拟输入(+)	44	D+A	ADC A数字输出(+)
17	SENSE	基准电压模式选择	45	FCO-	帧时钟指示器输出(-)
18	VREF	基准电压输入/输出	46	FCO+	帧时钟指示器输出(+)
19	REFB	差分基准电压(底部)	47	DCO-	数据时钟输出(-)
20	REFT	差分基准电压(顶部)	48	DCO+	数据时钟输出(+)
23	VIN+C	ADC C模拟输入(+)			
24	VIN-C	ADC C模拟输入(-)			

## 等效电路

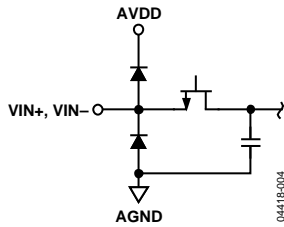


图4. 等效模拟输入电路

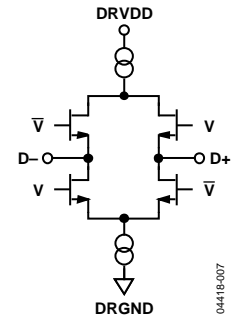


图7. 等效数字输出电路

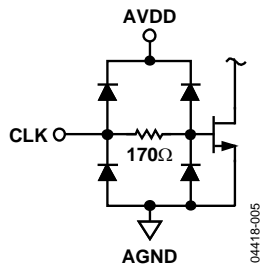


图5. 等效时钟输入电路

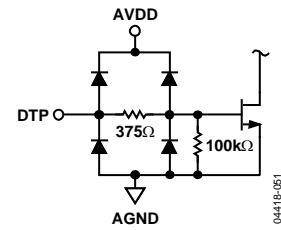


图8. 等效DTP输入电路

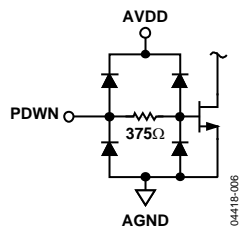
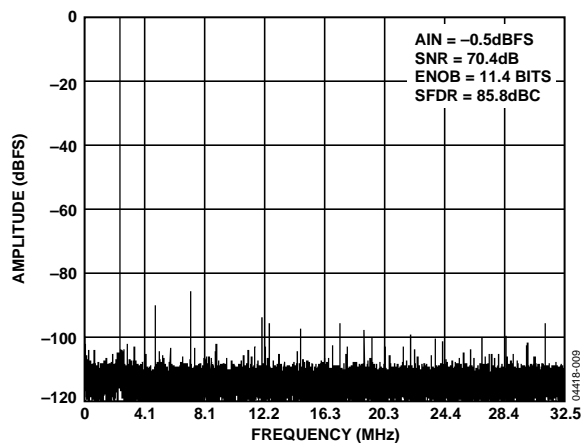
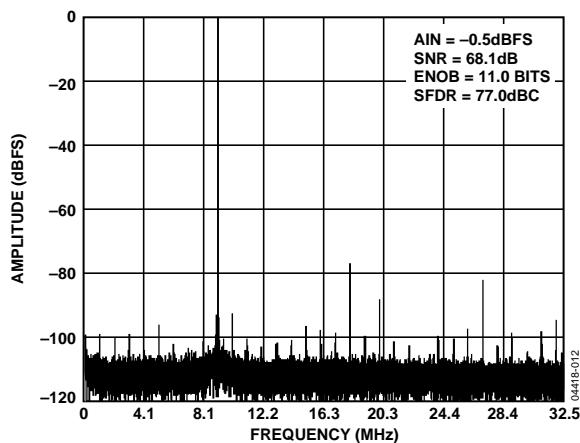
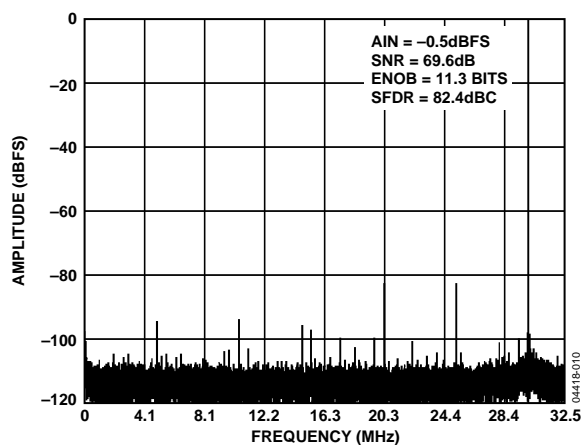
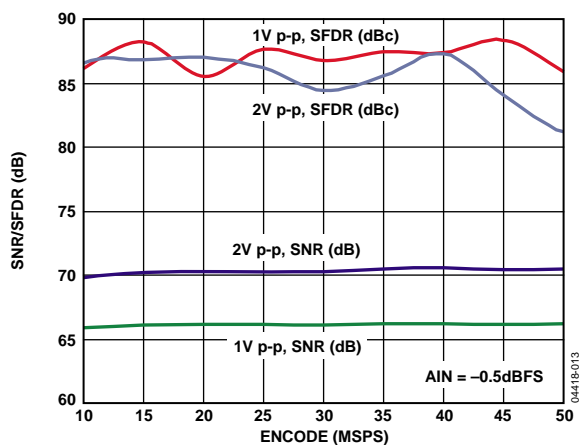
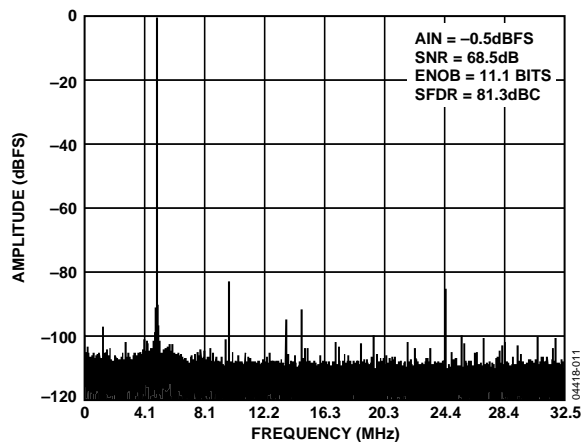
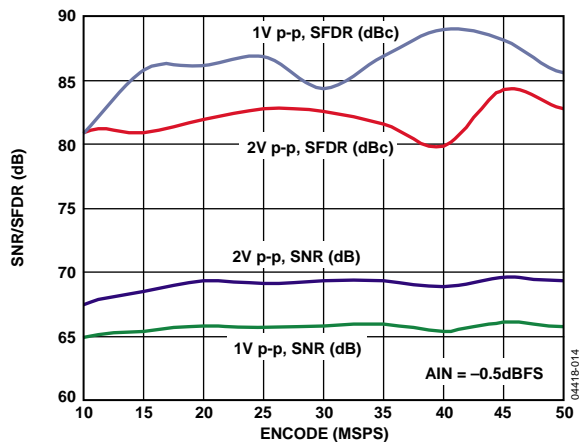


图6. 等效数字输入电路

## 典型工作特性

图9. 单音32k FFT( $f_{IN} = 2.4$  MHz,  $f_{SAMPLE} = 65$  MSPS)图12. 单音32k FFT( $f_{IN} = 120$  MHz,  $f_{SAMPLE} = 65$  MSPS)图10. 单音32k FFT( $f_{IN} = 30$  MHz,  $f_{SAMPLE} = 65$  MSPS)图13. SNR/SFDR与 $f_{SAMPLE}$ 的关系  
( $f_{IN} = 10.3$  MHz,  $f_{SAMPLE} = 50$  MSPS)图11. 单音32k FFT( $f_{IN} = 70$  MHz,  $f_{SAMPLE} = 65$  MSPS)图14. SNR/SFDR与 $f_{SAMPLE}$ 的关系  
( $f_{IN} = 25$  MHz,  $f_{SAMPLE} = 50$  MSPS)

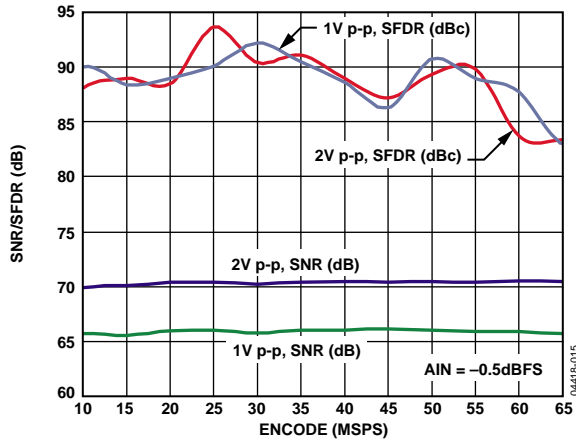


图15. SNR/SFDR与 $f_{SAMPLE}$ 的关系  
( $f_{IN} = 10.3 \text{ MHz}$ ,  $f_{SAMPLE} = 65 \text{ MSPS}$ )

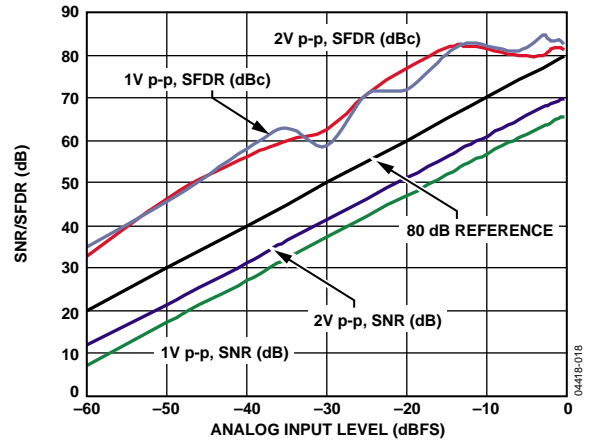


图18. SNR/SFDR与模拟输入电平的关系  
( $f_{IN} = 25 \text{ MHz}$ ,  $f_{SAMPLE} = 50 \text{ MSPS}$ )

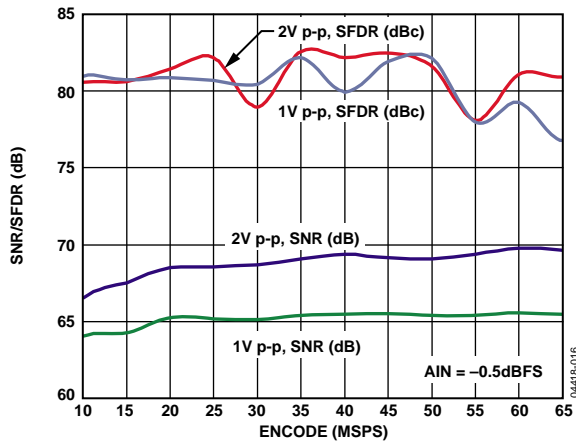


图16. SNR/SFDR与 $f_{SAMPLE}$ 的关系  
( $f_{IN} = 30 \text{ MHz}$ ,  $f_{SAMPLE} = 65 \text{ MSPS}$ )

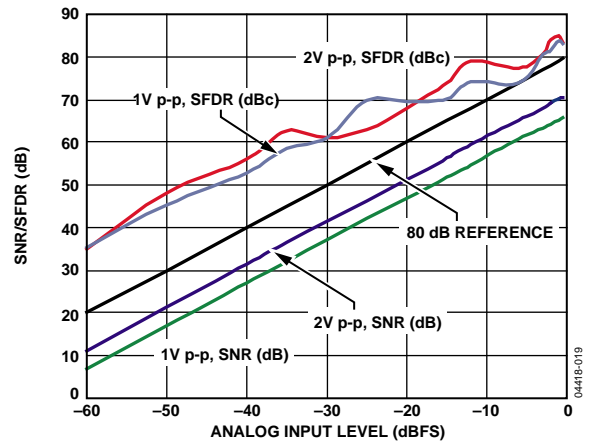


图19. SNR/SFDR与模拟输入电平的关系  
( $f_{IN} = 10.3 \text{ MHz}$ ,  $f_{SAMPLE} = 65 \text{ MSPS}$ )

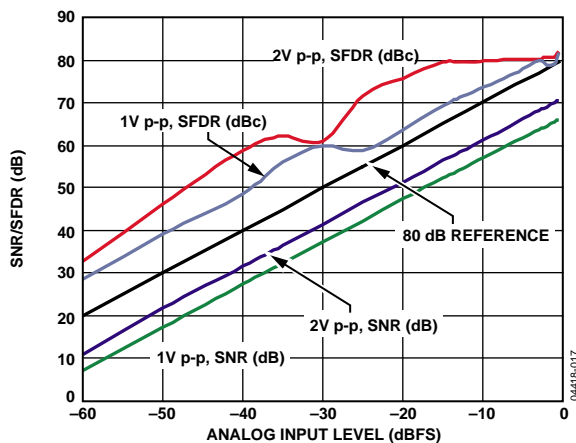


图17. SNR/SFDR与模拟输入电平的关系  
( $f_{IN} = 10.3 \text{ MHz}$ ,  $f_{SAMPLE} = 50 \text{ MSPS}$ )

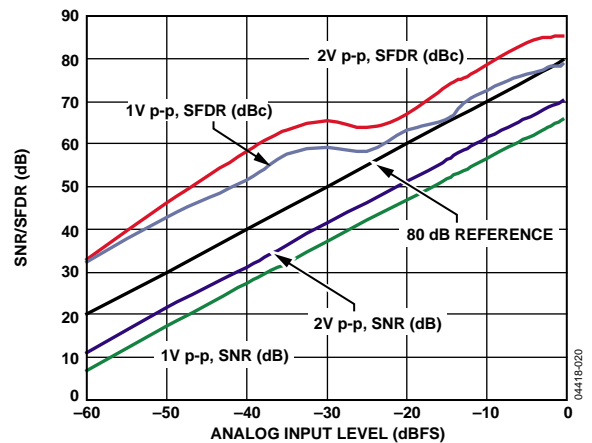


图20. SNR/SFDR与模拟输入电平的关系  
( $f_{IN} = 30 \text{ MHz}$ ,  $f_{SAMPLE} = 65 \text{ MSPS}$ )

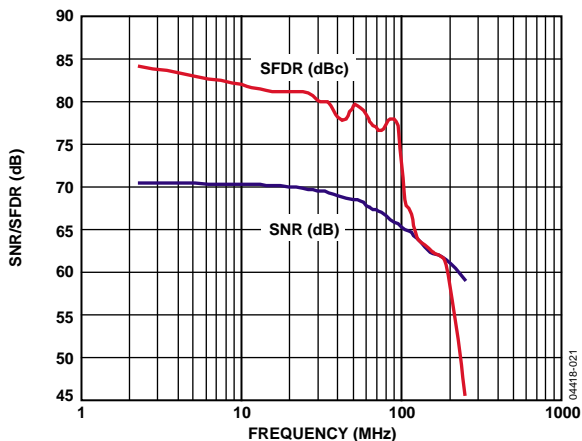


图21. SNR/SFDR与 $f_{IN}$ 的关系  
( $f_{SAMPLE} = 65 \text{ MSPS}$ )

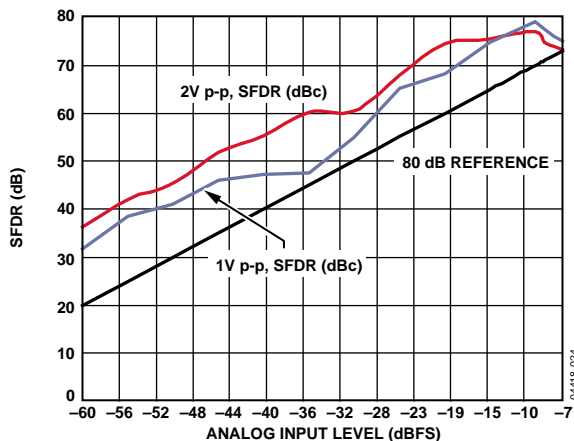


图24. 双音SFDR与模拟输入电平的关系  
( $f_{IN1} = 15 \text{ MHz}$ ,  $f_{IN2} = 16 \text{ MHz}$ ,  $f_{SAMPLE} = 65 \text{ MSPS}$ )

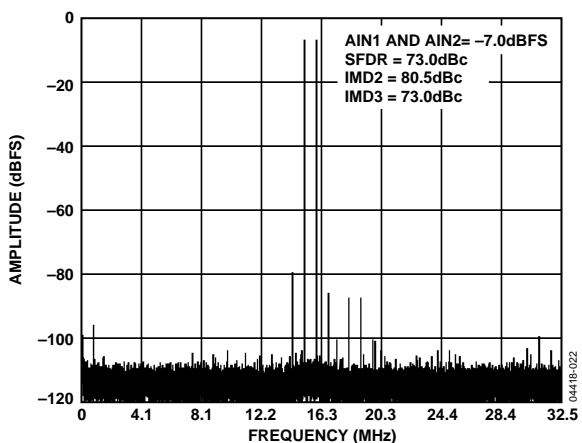


图22. 双音32k FFT  
( $f_{IN1} = 15 \text{ MHz}$ ,  $f_{IN2} = 16 \text{ MHz}$ ,  $f_{SAMPLE} = 65 \text{ MSPS}$ )

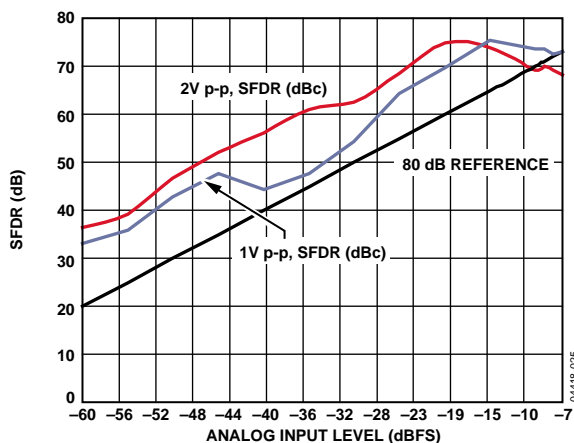


图25. 双音SFDR与模拟输入电平的关系  
( $f_{IN1} = 69 \text{ MHz}$ ,  $f_{IN2} = 70 \text{ MHz}$ ,  $f_{SAMPLE} = 65 \text{ MSPS}$ )

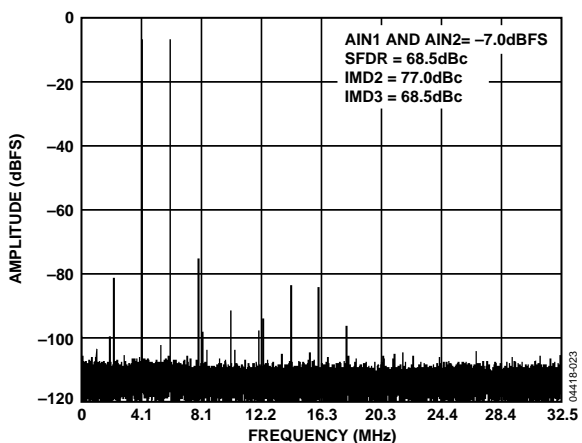


图23. 双音32k FFT  
( $f_{IN1} = 69 \text{ MHz}$ ,  $f_{IN2} = 70 \text{ MHz}$ ,  $f_{SAMPLE} = 65 \text{ MSPS}$ )

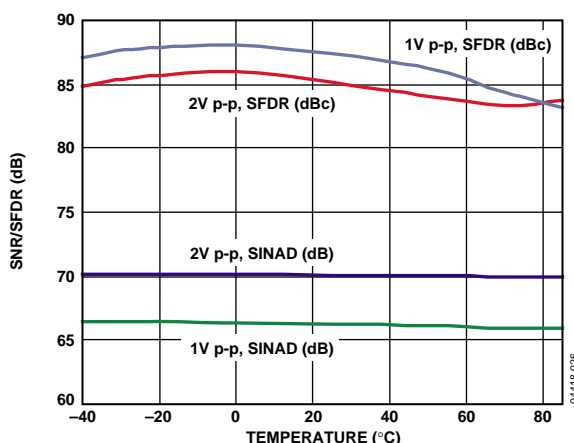


图26. SINAD/SFDR与温度的关系  
( $f_{IN} = 10.3 \text{ MHz}$ ,  $f_{SAMPLE} = 65 \text{ MSPS}$ )

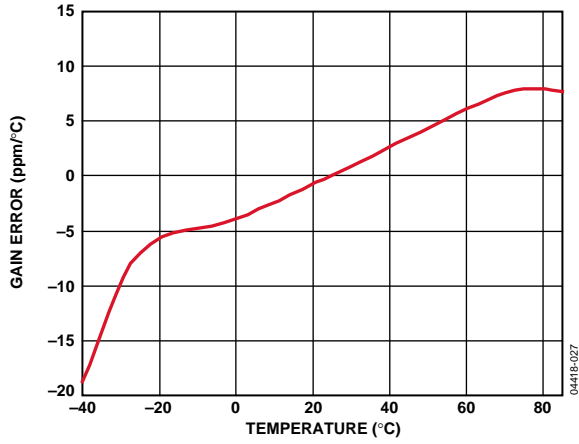


图27. 增益误差与温度的关系

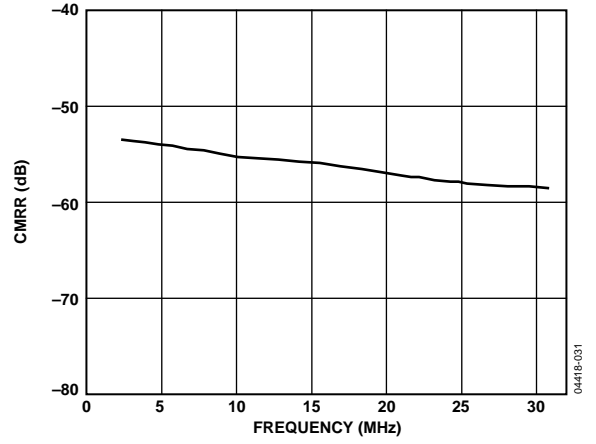


图30. CMRR与频率的关系( $f_{SAMPLE} = 65 \text{ MSPS}$ )

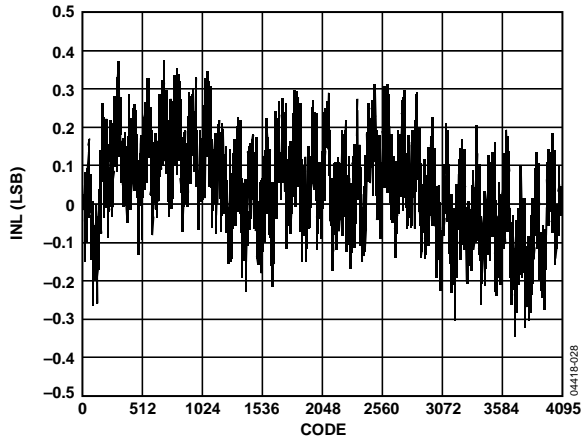


图28. 典型INL( $f_{IN} = 2.4 \text{ MHz}$ ,  $f_{SAMPLE} = 65 \text{ MSPS}$ )

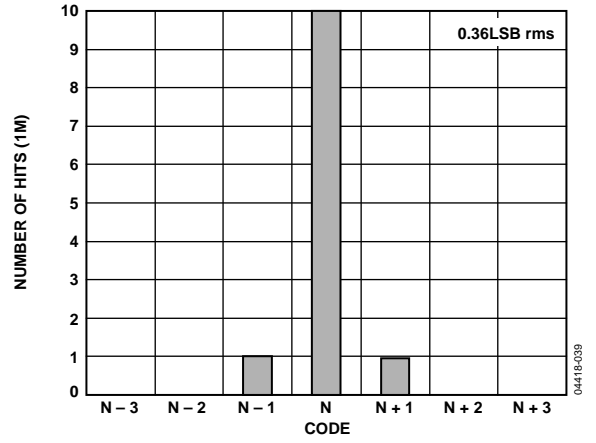


图31. 折合到输入端的噪声直方图( $f_{SAMPLE} = 65 \text{ MSPS}$ )

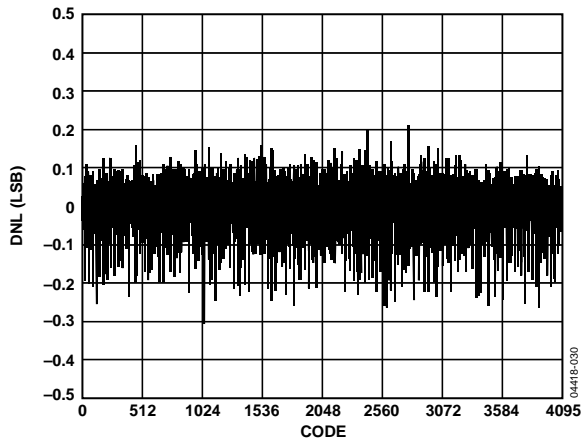


图29. 典型DNL( $f_{IN} = 2.4 \text{ MHz}$ ,  $f_{SAMPLE} = 65 \text{ MSPS}$ )

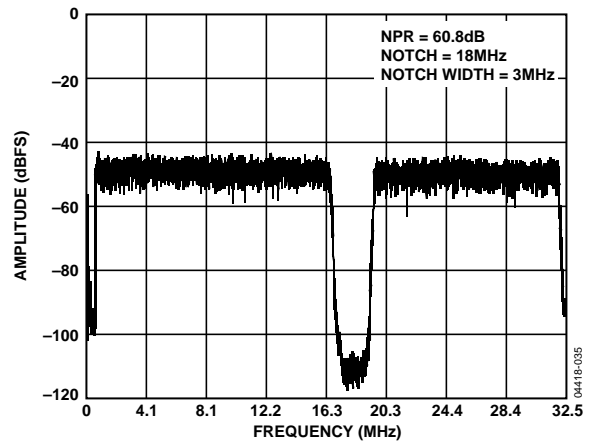


图32. 噪声功率比( $f_{SAMPLE} = 65 \text{ MSPS}$ )

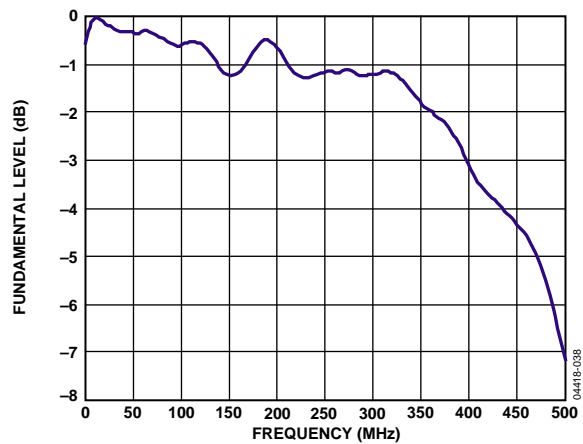


图33. 全功率带宽与频率的关系( $f_{\text{SAMPLE}} = 65 \text{ MSPS}$ )

## 术语

### 模拟带宽

模拟带宽指特定模拟输入频率，在该频率处，基频频谱能量(如FFT分析所确定的)将从满量程降低3 dB。

### 孔径延迟

孔径延迟用于衡量采样保持放大器(SHA)性能，指从时钟输入的50%点上升沿到输入信号保持并可进行转换的时间。

### 孔径不确定(抖动)

孔径抖动指连续采样的孔径延迟变化，在ADC输入中可能表现为频率相关噪声。

### 时钟脉冲宽度和占空比

高电平脉冲宽度指为达到额定性能，时钟信号应停留于逻辑1状态的最短时间。低电平脉冲宽度指时钟脉冲应停留于低电平状态的最短时间。对于给定时钟速率，这些规格定义一个可接受的时钟占空比。

### 共模抑制比(CMRR)

CMRR定义为应用对共模信号时，对差分模拟输入的抑制量，通常表示为20 log(差分增益/共模增益)。

### 串扰

串扰表示当所有其它通道用一个满量程信号驱动时，耦合至被测静态输入通道的信号量。

### 差分模拟输入电压范围

为产生满量程响应而必须施加于转换器的峰峰值差分电压。峰值差分电压的计算方法是将一个引脚上的实测电压减去180°反相引脚上的电压。

### 微分非线性(DNL、无失码)

在一个理想ADC中，码转换相距恰好1 LSB。DNL是指实际值与此理想值的偏差。n位分辨率保证无失码意味着，所有工作条件下都必须存在全部2<sup>n</sup>个代码。

### 有效位数(ENOB)

对于正弦波，SINAD可以用位数表示。通过下式可以获得用有效位数N表示的性能指标：

$$N = (\text{SINAD} - 1.76)/6.02$$

### 全功率带宽

全功率带宽指相对于测量频率，在模拟前端输入端测得的-3 dB点。

### 增益误差

规定最大增益误差，指实测满量程输入电压范围与理想满量程输入电压范围之差。

### 增益匹配

用FSR的百分比表示，通过下式计算：

$$\text{Gain Matching} = \frac{FSR_{\max} - FSR_{\min}}{\left(\frac{FSR_{\max} + FSR_{\min}}{2}\right)} \times 100\%$$

其中，FSR<sub>MAX</sub>为ADC的最大正增益误差，FSR<sub>MIN</sub>为最大负增益误差。

### 折合到输入端噪声

折合到输入端的噪声是用于衡量ADC内核产生的宽带噪声的一项指标。其测量方法是对ADC输入端施加一个直流信号，绘制输出码的直方图，然后通过直方图标准差进行计算，表示为LSB均方根。

### 积分非线性(INL)

INL是指每个码与一条从负满量程画到正满量程的直线的偏差。用作负满量程的该点出现在第一个码转换之前的0.5 LSB处。正满量程定义为超出最后一个码转换1.5 LSB的一个电平。从各码的中点到该直线的距离即为偏差。

### 噪声功率比(NPR)

NPR指注入ADC的满量程均方根噪声功率与受抑制的目标频带(实测的陷波深度)之比。

### 失调误差

规定最大失调误差，指在输出端生成中量程码的模拟输入的实测电压与理想电压之差。

### 失调匹配

用毫伏(mV)表示，通过下式计算：

$$\text{失调匹配} = \text{OFF}_{\max} - \text{OFF}_{\min}$$

其中，OFF<sub>MAX</sub>为最大正失调误差，OFF<sub>MIN</sub>为最大负失调误差。



**超范围恢复时间**

超范围恢复时间指当瞬时输入从高于正满量程10%变为高于负满量程10%，或者从低于负满量程10%变为低于正满量程10%时，ADC重新获取模拟输入所需的时间。

**输出传播延迟**

从时钟逻辑阈值到所有位均处于有效逻辑电平范围内的延迟时间。

**二次和三次谐波失真**

均方根信号幅值与二次或三次谐波成分的均方根值之比，用相对于载波的分贝dB数表示。

**信纳比(SINAD)**

SINAD指实测输入信号的均方根值与奈奎斯特频率以下包括谐波但直流以外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

**信噪比(SNR)**

SNR指实测输入信号的均方根值与奈奎斯特频率以下除前六次谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

**无杂散动态范围(SFDR)**

SFDR指输入信号与峰值杂散信号的均方根幅值之差，用分贝(dB)表示。

**温度漂移**

失调误差和增益误差的温度漂移衡量的是初始(25°C)值与 $T_{MIN}$ 或 $T_{MAX}$ 值之间的最大变化范围。

**双音无杂散动态范围(SFDR)**

任一输入信号音的均方根值与峰值杂散成分的均方根值之比。峰值杂散成分可能是IMD产物，也可能不是。双音SFDR可以用相对于载波的分贝(dB)数表示(即随着信号电平的降低而下降)，或者用相对于满量程的分贝(dB)数表示(始终与转换器满量程相关)。

## 工作原理

AD9229架构由一个前端开关电容采样保持放大器(SHA)和其后的流水线型ADC组成。流水线型ADC分为三部分：首先是一个4位级，后面跟随8个1.5位级，最后是一个3位并行结构。各级均提供充分的重叠，以便校正上级的并行输出误差。各个级的量化输出组合在一起，在数字校正逻辑中最终形成一个12位转换结果。流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。

除最后一级以外，流水线的每一级都由一个低分辨率并行ADC、一个开关电容DAC和一个级间余量放大器(MDAC)组成。余量放大器用于放大重构DAC输出与并行ADC输入之间的差，用于流水线的下一级。为了便于实现并行误差的数字校正，每一级设定了1位的冗余量。最后一级仅由一个并行ADC组成。

输入级包含一个差分SHA，可在差分或单端模式下将其配置为交流耦合或直流耦合。输出级模块能够实现数据对齐，执行误差校正，并且将数据传输到输出缓冲器。然后将数据串行化，并使其与帧和输出时钟对齐。

### 模拟输入考虑

AD9229的模拟输入端是一个差分开关电容SHA，其处理差分输入信号的性能极佳。SHA输入支持宽共模范围，并能保持出色的性能。当输入共模电压为中间电源电压时，信号相关误差最小，性能最佳。

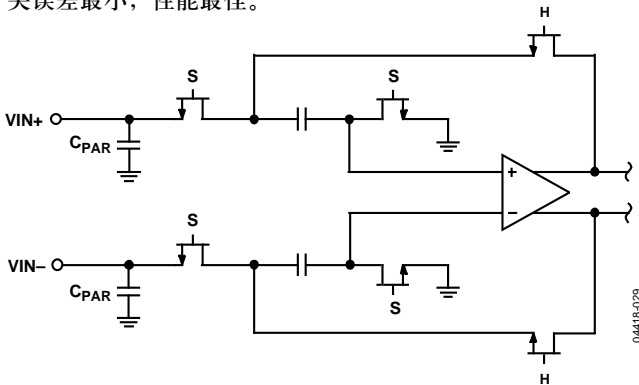


图34. 开关电容SHA输入

SHA根据时钟信号，在采样模式和保持模式之间切换(见图34)。当SHA切换到采样模式时，信号源必须能够对采样电容充电且在半个时钟周期内完成建立。每个输入端都串联一个小电阻，可以降低驱动源输出级所需的峰值瞬态电流。此外，在两个输入端之间可配置一个小并联电容，以提供动态充电电流。此无源网络能在ADC输入端形成低通滤波器；因此，模数转换的精度取决于应用。

AD9229的模拟输入端无内部直流偏置。在交流耦合应用中，用户必须提供外部偏置。为能够获得最佳性能，应设置器件使得 $V_{CM} = AVDD/2$ ，但器件可以在更宽的范围内获得合理的性能(见图35和图36)。

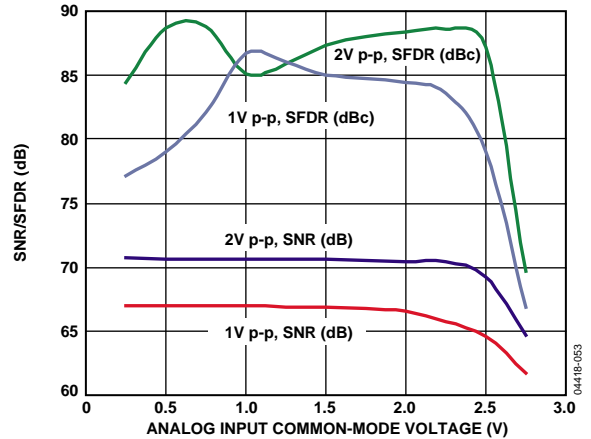


图35. SNR/SFDR与共模电压的关系  
( $f_{IN} = 2.4 \text{ MHz}$ ,  $f_{SAMPLE} = 65 \text{ MS/PS}$ )

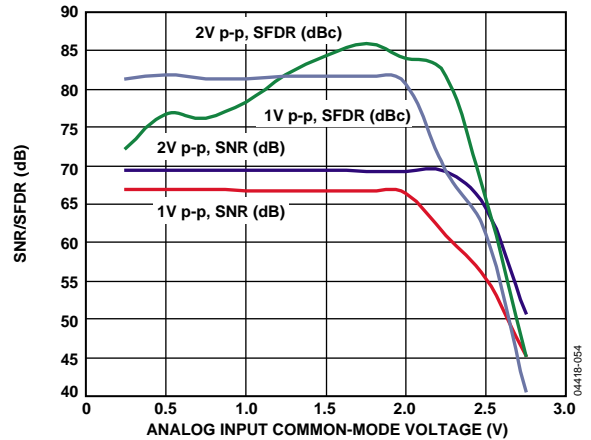


图36. SNR/SFDR与共模电压的关系  
( $f_{IN} = 30 \text{ MHz}$ ,  $f_{SAMPLE} = 65 \text{ MS/PS}$ )

为得到最佳动态性能，必须保证驱动VIN+的源阻抗与驱动VIN-的源阻抗相匹配，从而保证共模建立误差是对称的。这些误差会由ADC的共模抑制而减小。

内部基准电压缓冲器用于形成正负基准电压REFT和REFB，进而决定ADC内核的输入范围。基准电压缓冲器的输出共模电压设置为中间电源电压，REFT和REFB电压及范围定义为：

$$REFT = 1/2 (AVDD + VREF)$$

$$REFB = 1/2 (AVDD - VREF)$$

$$\text{范围} = 2 \times (REFT - REFB) = 2 \times VREF$$

从以上公式可以看出，REFT和REFB电压关于中间电源电压对称，根据定义，输入范围为VREF电压的两倍。

内部基准电压可以通过引脚绑定设为固定值0.5 V或1.0 V，或者在该范围内进行调整，如内部基准电压连接部分所述。将AD9229设置为2 V峰峰值的最大输入范围时，可以实现最高SNR性能。

对于选定的基准电压，驱动SHA的信号源应能将信号峰值保持在容许范围内。图35和图36定义了最小和最大共模输入电平。

### 差分输入配置

通过差分输入配置驱动AD9229时，可实现芯片的最佳性能。在超声应用中，AD8332差分驱动器能够为ADC提供出色的性能和灵活的接口(见图37)。

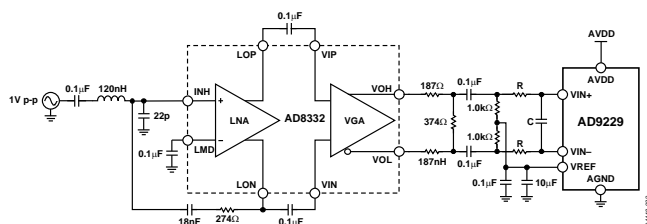


图37. 利用AD8332进行差分输入配置

然而，大多数放大器的噪声性能无法实现AD9229的最高性能。在SNR为关键参数的应用中，建议使用的输入配置是差分变压器耦合，实例如图38所示。

在任何配置中，并联电容值C均取决于输入频率，并且可能需要降低电容量或去掉该并联电容。

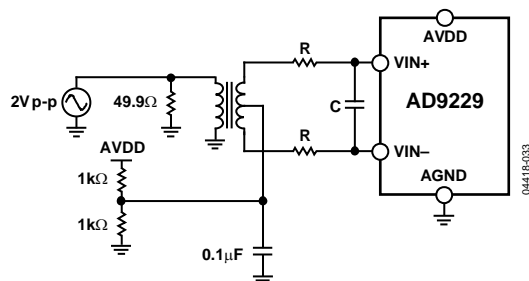


图38. 差分变压器耦合配置

### 单端输入配置

单端输入在对成本敏感的应用中可以满足性能要求。在此配置中，由于输入共模变化较大，因此会降低无杂散动态范围(SFDR)和失真性能。然而，如果每个输入端的各信号源阻抗都是匹配的，则对信噪比(SNR)性能的影响极小。图39详细显示了典型的单端输入配置。

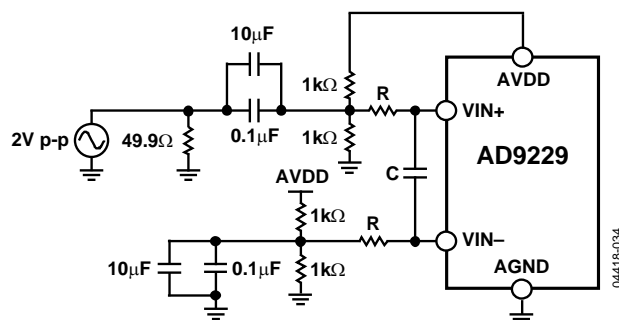


图39. 单端输入配置

### 时钟输入考虑

典型的高速ADC利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。通常，为保持ADC的动态性能，时钟占空比容差应为10%。AD9229内置一个独立自主的时钟占空比稳定器，可对非采样边沿进行重新定时，并提供标称占空比为50%的内部时钟信号。因此，时钟输入占空比范围非常广，且不会影响AD9229的性能。

片内锁相环(PLL)倍乘输入时钟速率，以便移出串行数据。PLL的稳定性条件将ADC的最低采样时钟速率限制在10 MSPS。当输入时钟处于稳态工作时，采样速率的任何突然变化都可能造成失锁条件，导致DCO、FCO和数据输出引脚出现无效输出。

# AD9229

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的满量程输入频率( $f_A$ )下, 仅由孔径抖动( $t_A$ )造成的信噪比(SNR)下降计算公式如下:

$$\text{SNR下降幅度} = 20 \times \log_{10} [1/2 \times \pi \times f_A \times t_A]$$

公式中, 均方根孔径抖动( $t_A$ )表示所有抖动源(包括时钟输入信号、模拟输入信号和ADC孔径抖动规格)的和方根(RSS)。欠采样应用对抖动尤其敏感。

当孔径抖动可能影响AD9229的动态范围时, 应将时钟输入信号视为模拟信号。时钟驱动器电源应与ADC输出驱动器电源分离, 以免在时钟信号内混入数字噪声。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法), 则需要在最后一步中利用原始时钟进行重定时。

## 功耗和掉电模式

如图40和图41所示, AD9229的功耗与其采样速率成比例关系。数字功耗变化不大, 因为它主要由DRVDD电源和LVDS输出驱动器的偏置电流决定。

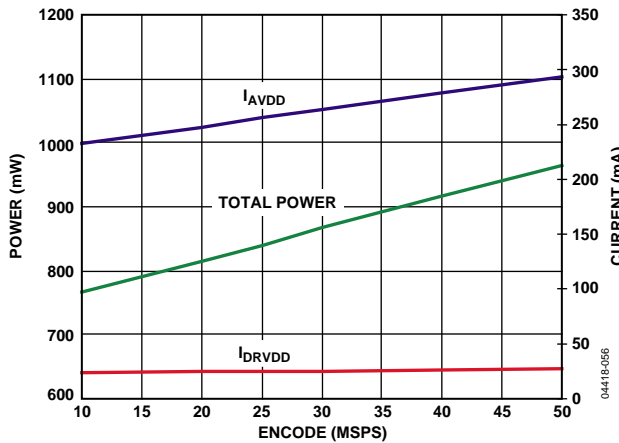


图40. 电源电流与 $f_{\text{SAMPLE}}$ 的关系  
( $f_{\text{IN}} = 10.3 \text{ MHz}$ ,  $f_{\text{SAMPLE}} = 50 \text{ MSPS}$ )

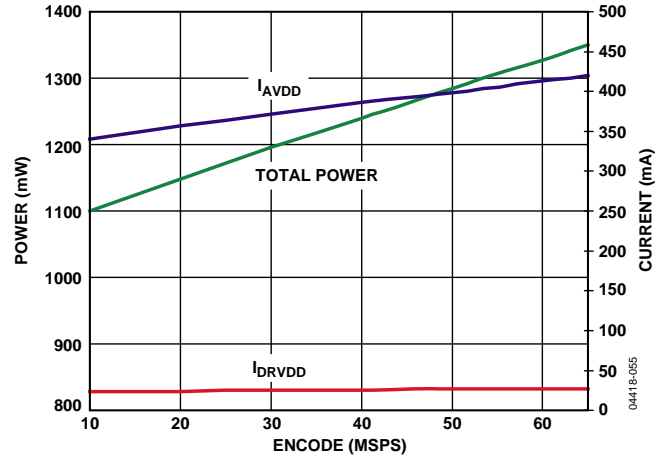


图41. 电源电流与 $f_{\text{SAMPLE}}$ 的关系  
( $f_{\text{IN}} = 10.3 \text{ MHz}$ ,  $f_{\text{SAMPLE}} = 65 \text{ MSPS}$ )

将PDWN引脚置位高电平, 可使AD9229进入掉电模式。在这种状态下, ADC的典型功耗为3 mW。在掉电模式下, LVDS输出驱动器处于高阻抗状态。将PDWN引脚重新置位低电平后, AD9229返回正常工作模式。

在掉电模式下, 通过关闭基准电压、基准电压缓冲器、PLL和偏置网络, 可实现低功耗。进入待机模式时, REFT和REFB上的去耦电容放电; 返回正常工作模式时, 去耦电容必须重新充电。因此, 唤醒时间与处于掉电模式的时间有关; 处于掉电模式的时间越短, 则相应的唤醒时间越短。REFT和REFB上采用推荐的 $0.1 \mu\text{F}$ 和 $10 \mu\text{F}$ 去耦电容时, 约需要1秒才能使基准电压缓冲器去耦电容完全充电, 并需要4 ms才能恢复正常工作。

## 数字输出

AD9229的差分输出符合ANSI-644 LVDS标准。为了设置LVDS偏置电流, 应在LVDSBIAS引脚上串联一个接地电阻(RSET标称值 $4.0 \text{ k}\Omega$ )。RSET电阻电流源自芯片, 并将各输出端的输出电流设置为标称值 $3.5 \text{ mA}$ 。LVDS接收器输入端有一个 $100 \Omega$ 差分端接电阻, 因此接收器摆幅标称值为 $350 \text{ mV}$ 。若要调整差分信号摆幅, 只需改变该电阻的阻值, 如表7所示。

表7 LVDSBIAS引脚配置

RSET	差分输出摆幅
$3.7 \text{ k}\Omega$	$375 \text{ mV p-p}$
$4.0 \text{ k}\Omega$ (默认)	$350 \text{ mV p-p}$
$4.3 \text{ k}\Omega$	$325 \text{ mV p-p}$

AD9229 LVDS输出便于与具有LVDS能力的定制ASIC和FPGA中的LVDS接收器连接，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将100 Ω端接电阻尽可能靠近接收器放置。建议走线长度不要超过12英寸，差分输出走线应尽可能彼此靠近且长度相等。

输出数据格式为偏移二进制。表8给出了一个输出编码格式示例。

**表8 数字输出编码**

代码	(VIN+) – (VIN–), 输入范围 = 2 V p-p (V)	(VIN+) – (VIN–), 输入范围 = 1 V p-p (V)	数字输出偏移 二进制 (D11 ... D0)
4095	1.000	0.500	1111 1111 1111
2048	0	0	1000 0000 0000
2047	–0.000488	–0.000244	0111 1111 1111
0	–1.00	–0.5000	0000 0000 0000

## 时序

来自各ADC的数据经过串行化后，通过不同的通道提供。每个串行流的数据速率等于12位乘以采样时钟速率，最大值为780 bps(12位 × 65 MSPS = 780 bps)。典型最低转换速率为10 MSPS。

为了帮助从AD9229捕捉数据，器件提供了两个输出时钟。DCO用来为输出数据定时，它等于采样时钟(CLK)速率的6倍。数据逐个从AD9229输出，可以在DCO的上升沿和下降沿进行捕捉；DCO支持双倍数据速率(DDR)捕捉。帧时钟输出(FCO)用于指示新输出字节的开始，它与采样时钟速率相等。更多信息参见图2所示的时序图。

## DTP引脚

数字测试码(DTP)引脚支持两种类型的测试码，如表9所示。当DTP连接到AVDD/3时，所有ADC通道输出移出以下测试码：1000 0000 0000。当DTP连接到2 × AVDD/3时，所有ADC通道输出移出以下测试码：1010 1010 1010。在所有通道移出测试码的同时，FCO和DCO输出仍然正常工作。利用此测试码，用户可以对FCO、DCO和输出数据执行时序对齐调整。正常工作时，此引脚应连接到AGND。

**表9 数字测试码引脚设置**

所选DTP	DTP 电压	相应的 D+ and D–	相应的 FCO and DCO
正常工作	AGND	正常工作	正常工作
DTP1	AVDD/3	1000 0000 0000	正常工作
DTP2	2 × AVDD/3	1010 1010 1010	正常工作
受限	AVDD	不可用	不可用

## 基准电压源

AD9229内置稳定、精确的0.5 V基准电压源。通过改变施加于AD9229的基准电压(内部基准电压或外部基准电压)，可以调整电压输入范围。ADC输入范围跟随基准电压呈线性变化。

对VREF、REFT和REFB引脚应用去耦电容时，应采用陶瓷型低ESR电容。这些电容应靠近ADC引脚，并与AD9229处于同一层PCB。AD9229基准电压引脚的推荐电容值和配置如图42和图43所示。

**表10 基准电压设置**

所选模式	SENSE 电压	相应的 VREF (V)	相应的差分范围 Span (V p-p)
外部基准电压	AVDD	不可用	2 × 外部基准
内部, 1 V p-p FSR 可编程	VREF 0.2 V 至 VREF	0.5 0.5 × (1 + R2/R1)	1.0 2 × VREF
内部, 2 V p-p FSR	AGND 至 0.2 V	1.0	2.0

## 内部基准电压连接

AD9229的内置比较器可检测出SENSE引脚的电压，从而将基准电压配置成四种不同的状态(见表10)。如果SENSE引脚接地，则基准放大器开关与内部电阻分压器相连(见图42)，因而将VREF设为1 V。将SENSE引脚与VREF引脚相连，可将放大器输出端切换至SENSE引脚，从而将内部运算放大器电路配置为一个电压跟随器，并提供0.5 V基准输出电压。如果连接一个外部电阻分压器(如图43所示)，则开关再次切换至SENSE引脚。这样，可使基准放大器进入同相模式；VREF输出端电压的计算公式如下：

在所有基准电压配置中，ADC内核的输入范围均由REFT和REFB确定。无论芯片使用内部基准电压还是外部基准电压配置，ADC的模拟输入满量程范围都是基准电压引脚电压的两倍。

$$VREF = 0.5 \times \left( 1 + \frac{R2}{R1} \right)$$

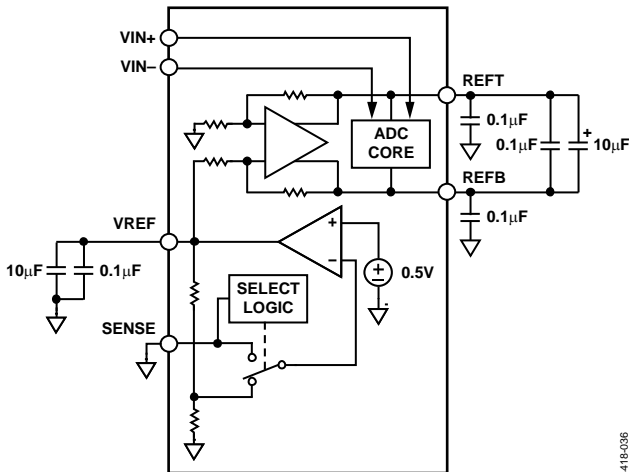


图42. 内部基准电压配置

04418-036

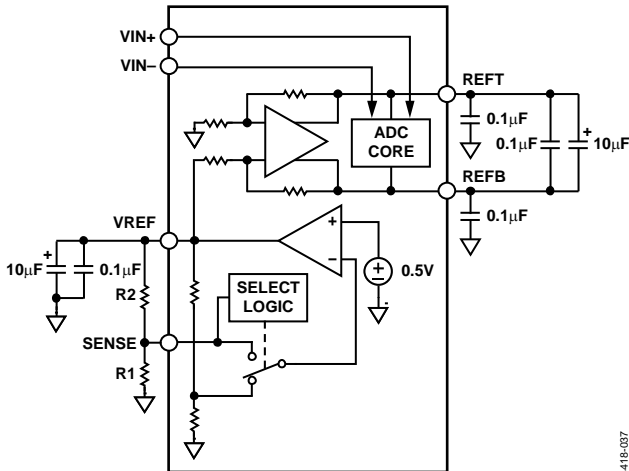


图43. 可编程基准电压配置

04418-037

如需利用AD9229的内部基准电压来驱动多个转换器，从而提高增益的匹配度，则必须考虑到其它转换器对基准电压的负载。图44说明负载如何影响内部基准电压。

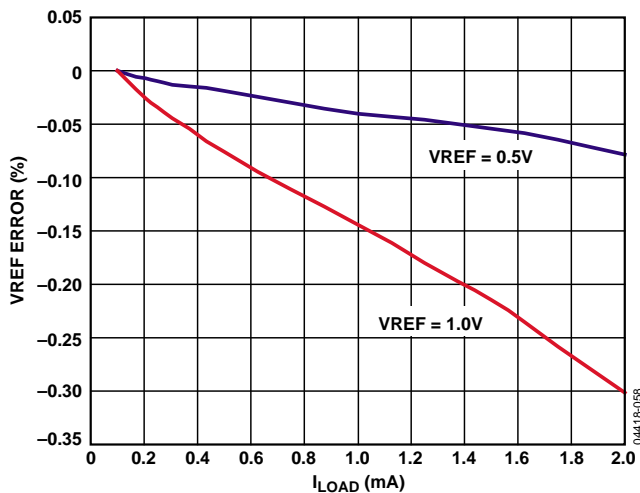


图44. VREF精度与负载的关系

04418-036

## 外部基准电压

采用外部基准电压有可能进一步提高ADC增益精度、改善热漂移特性。图45显示内部基准电压的典型漂移特性。

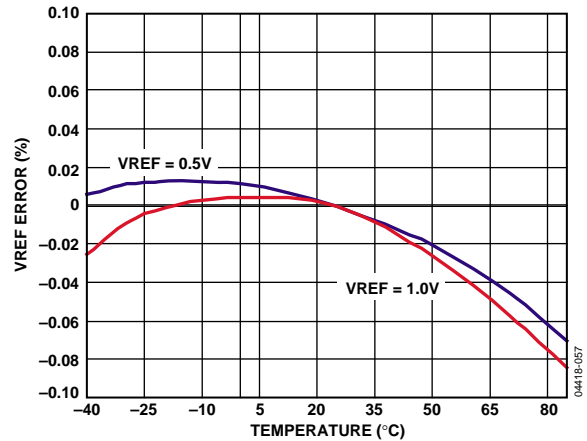


图45. 典型VREF漂移

04418-057

将SENSE引脚与AVDD相连，可以禁用内部基准电压，从而允许使用外部基准电压。外部基准电压的等效负载为7 kΩ。内部基准电压缓冲器为ADC内核生成正负满量程基准电压REFT和REFB。因此，外部基准电压的最大值为1 V。

## 电源和接地建议

建议使用两个独立的3.0 V电源为AD9229供电：一个用于模拟端(AVDD)，一个用于数字端(DRVDD)。如果仅提供一个电源，则应先连接到AVDD，然后分接出来，并用铁氧体磁珠或滤波扼流圈隔离，再用去耦电容连接。用户可以使用多个不同的去耦电容以适用于高频和低频。去耦电容应放置在接近PCB入口点和接近器件的位置处，尽可能地缩短走线长度。

AD9229仅需要一个PCB接地层。对PCB模拟、数字和时钟模块进行合理的去耦和巧妙的分隔，可以轻松获得最佳的性能。

### 裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将ADC底部的裸露焊盘连接至模拟地(AGND)。PCB上裸露的连续铜平面应与AD9229的裸露焊盘(引脚0)匹配。铜平面上应有多个通孔，以便获得尽可能低的热阻路径以通过PCB底部进行散热。这些通孔应填满(插入)焊料或环氧树脂。

为了最大化地实现ADC与PCB之间的焊接覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续铜平面划分为多个均等的部分。这样，在回流焊过程中，可在二者之间提供多个连接点。而一个连续的、无丝印层分割的平面则可以保证在ADC与PCB之间仅有一个连接点。可以参考图46所示的PCB布局布线范例。如需了解有关封装和芯片级封装PCB布局布线的详细信息，请访问[www.analog.com](http://www.analog.com)。

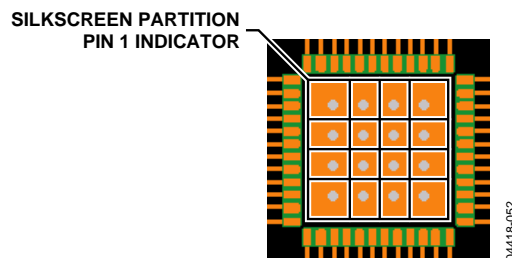


图46. 典型PCB布局布线

## 评估板

AD9229评估板提供了在各种模式和配置下运行ADC所需的全部支持电路。转换器可以通过变压器(默认)或AD8332驱动器来差分驱动。此外,ADC还可在单端模式下驱动。分开的电源引脚用于将DUT与AD8332驱动电路隔离。通过连接不同的跳线,可以选择各个输入配置(见图48至图52)。图47显示的是典型的平台特性设置,可用于评估AD9229的交流性能。为实现转换器的最佳性能,须保证模拟输入和时钟的信号源的相位噪声极低( $<1$  ps均方根抖动)。为达到指定的噪声性能,须对模拟输入信号进行适当的滤波,从而清除谐波、降低输入端的积分噪声或宽带噪声。

图47至图57给出了系统级布线和接地技术的完整原理图及布局布线图。

### 电源

该评估板带有一个开关电源,它支持的最大输出电压为6 V、最大输出电流为2 A。该开关电源只需输入额定电压为100 V至240 V的交流电源(频率为47 Hz至63 Hz)。另一端是一个内径为2.1 mm的插孔,该插孔通过P503与PCB相连。在PC板上,6 V电源经过保险丝和调理之后,连接至3个低压差线性调节器。那些低压差线性调节器可为板上各个部分提供适当的偏置电压。

评估板在非默认条件下工作时,可以移除L504至L506,以断开开关电源。这样,用户可以单独为评估板的各个部

分提供适当的偏置电压。通过P501可为每个部分连接一个独立的电源。至少需要为AVDD\_DUT和DRVDD\_DUT提供一个1 A 3.0 V电源,但建议为模拟端和数字端提供单独的电源。在评估板上使用VGA选项时,除其它3.0 V电源外,还需要为评估板提供一个独立的5.0 V模拟电源。5.0 V电源(AVDD\_VGA)的电流能力也应为1 A。

### 输入信号

在连接时钟和模拟信号源时,使用低相位噪声的信号发生器,例如Rohde & Schwarz SMHU或HP8644信号发生器等。应使用一条1米长RG-58 50  $\Omega$ 屏蔽同轴电缆连接到评估板。根据ADC技术规格表提供期望频率和幅度下的输入。通常,ADI公司的大多数评估板可接受约2.8 V p-p或13 dBm正弦波输入信号,作为其时钟信号。当与模拟输入源相连时,建议使用带有50  $\Omega$ 端接电阻的多极窄带带通滤波器。ADI公司使用TTE、Allen Avionics和K&L类型的带通滤波器。可能时,应将滤波器与评估板直接相连。

### 输出信号

默认设置使用HSC-ADC-FPGA高速解串板来解串数字输出数据,并将其转换为并行CMOS。这两个通道直接与ADI公司的标准双通道FIFO数据采样板(HSC-ADC-EVALA-DC)相连。这样就可以同时评估4个通道中的两个通道。如需了解更多关于这些板的通道设置及其可选设置的信息,请访问[www.analog.com/FIFO](http://www.analog.com/FIFO)。

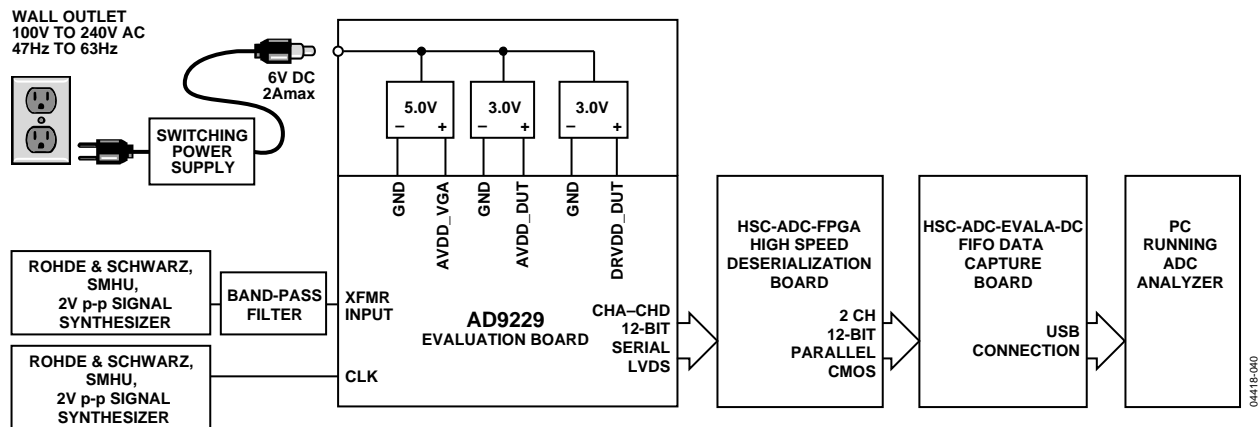


图47. 评估板连接



## 默认操作与跳线选择设置

下文列出了AD9229 Rev. C评估板的默认和可选设置或模式。

- 电源：将评估套件内的开关电源连接在交流电源(额定电压为100 V至240 V交流电压，频率为47 Hz至63 Hz)与P503之间。
- AIN：评估板配置为变压器耦合模拟输入，带有与最高400 MHz频率信号匹配最佳的50  $\Omega$ 阻抗。为获得更大的带宽响应，可以更换或移除模拟输入端之间的2.2 pF差分电容。变压器中点抽头或AVDD\_DUT/2提供模拟输入的共模电压。
- VREF：SENSE引脚接地R224，从而将VREF设置为1.0 V。这样，可以让ADC在2.0 V峰峰值满量程范围内工作。评估板还提供了多种其它VREF选项，包括1.0 V峰峰值满量程范围(可变范围，用户可以通过选择R219和R220进行设置)，以及采用ADR510或ADR520的独立外部基准电压选项，只需安装R218和R222并移除C208即可。要使用这些可选的VREF模式，请变换R221至R224上的跳线设置。基准电压部分说明了VREF选项的正确用法。
- CLOCK：时钟输入电路由一个简单的逻辑电路构成，它使用一个高速反相器，在时钟路径内产生极低的抖动。时钟输入端带有50  $\Omega$ 端接电阻且输入信号经交流耦合，用以处理正弦波类型的输入信号。如果使用振荡器，也有两个振荡器尺寸选项(OSC200-201)来检查ADC的性能。J203和J204使用户能够灵活地使用使能引脚，大多数振荡器都有使能引脚。
- PWDN：为利用芯片的掉电特性，只需将AVDD短接至PWDN引脚。

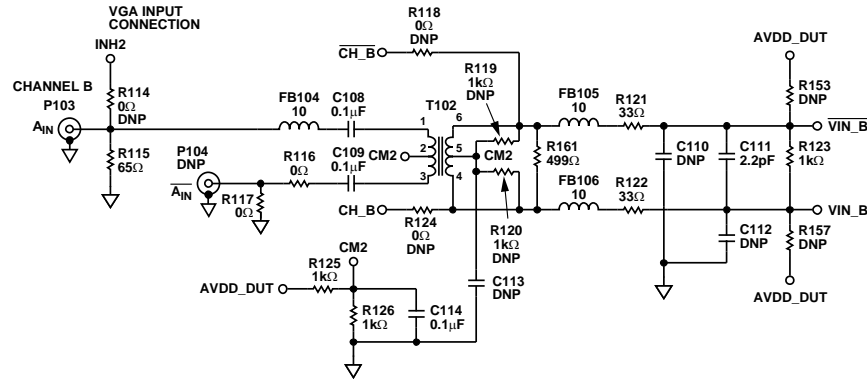
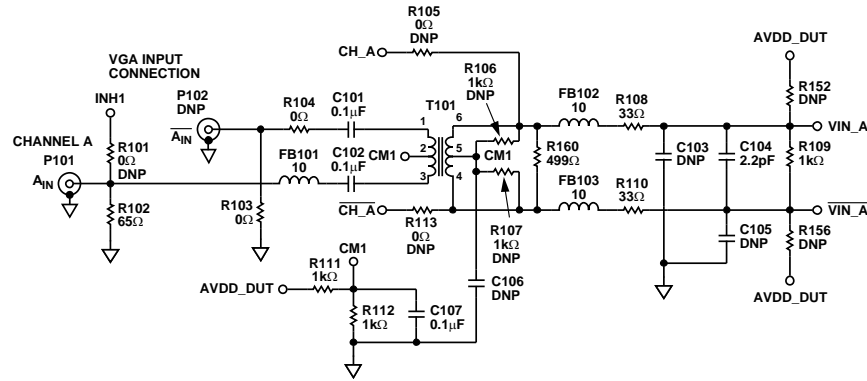
- DTP：为使能ADC数字输出端的两个数字测试码之一，应使用JP202。如果JP202上的引脚2和3连接在一起(1.0 V源)，则将使能测试码1000 0000 0000。如果JP202上的引脚1和2连接在一起(2.0 V源)，则将使能测试码1010 1010 1010。详情见DTP引脚部分。
- LVDSBIAS：要改变LVDS输出电平的摆幅，只需改变R204的值。数字输出部分列出了其它推荐值。
- D+、D-：对于图47所示设置，如果使用一种备选的数据捕捉方法，则可以在高速背板连接器附近安装可选的接收器端接电阻R205至R210。

## 可选模拟输入驱动配置

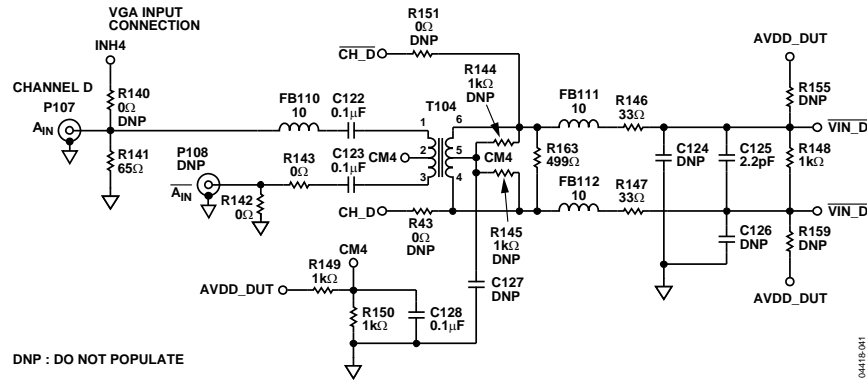
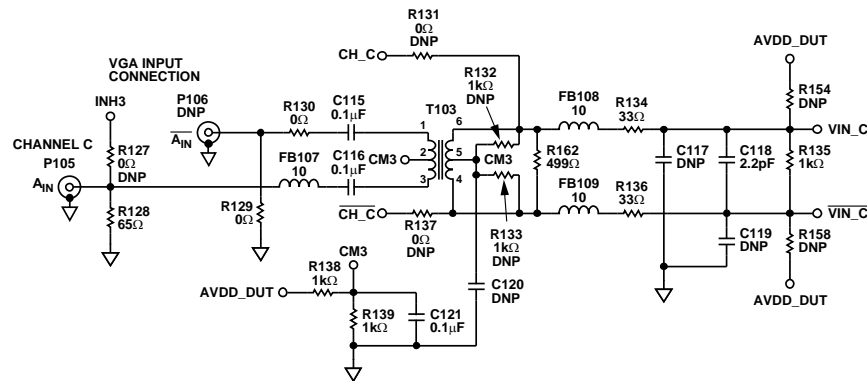
下面对使用双通道VGA AD8332的可选模拟输入驱动配置进行简单的说明。如果使用这一特定驱动选项，可能需要安装一些元件，表11列出了所有必要的元件。该表列出了针对此选项正确配置评估板的必要设置。如需了解更多关于双通道VGA AD8332的信息，包括其工作原理以及可选引脚设置情况，请参阅AD8332数据手册。

为了配置模拟输入以驱动VGA而不是使用默认变压器选项，应移除和/或更换下列元件：

1. 从默认模拟输入路径内移除R102、R115、R128、R141、T101、T102、T103和T1044。
2. 在模拟输入路径内安装阻值为0  $\Omega$ 的电阻R101、R114、R127和R140。
3. 安装10 k $\Omega$ 阻值的电阻R106、R107、R119、R120、R132、R133、R144和R145，以便为模拟输入端提供输入共模电平。
4. 在模拟输入路径内安装0  $\Omega$ 阻值的电阻R105、R113、R118、R124、R131、R137、R151和R43。
5. 目前，L305至L312和L405至L412安装了0  $\Omega$ 电阻以支持信号连接。如有其它要求，此区域允许用户设计一个滤波器。



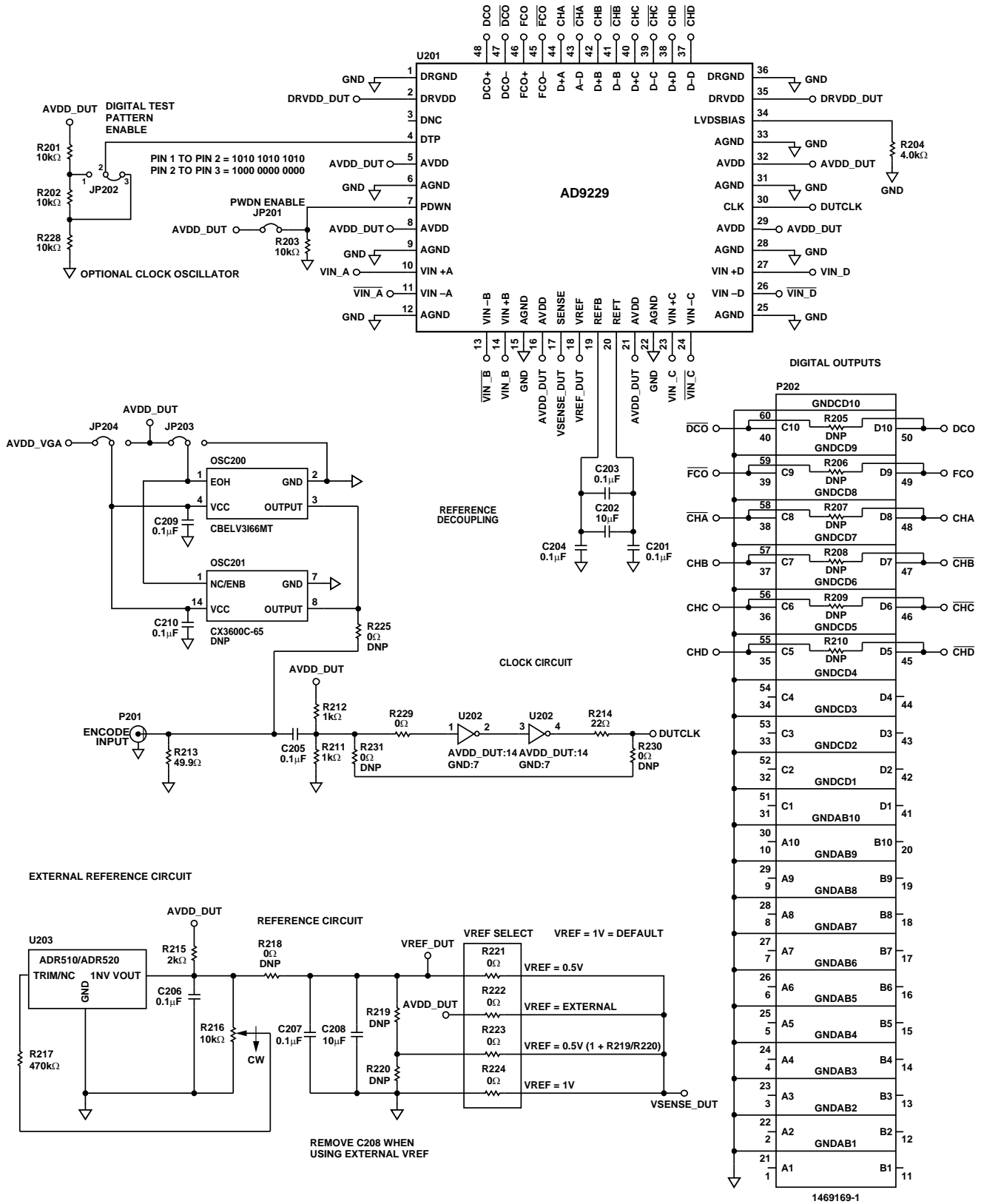
## ANALOG INPUTS



DNP : DO NOT POPULATE

0415301E

图48. 评估板原理图, DUT模拟输入



DNP : DO NOT POPULATE

R205-R210  
OPTIONAL OUTPUT  
TERMINATIONS

04118-042

图49. 评估板原理图, DUT、VREF、时钟输入和数字输出接口

OPTIONAL VGA DRIVE CIRCUIT FOR CHANNELS C AND D

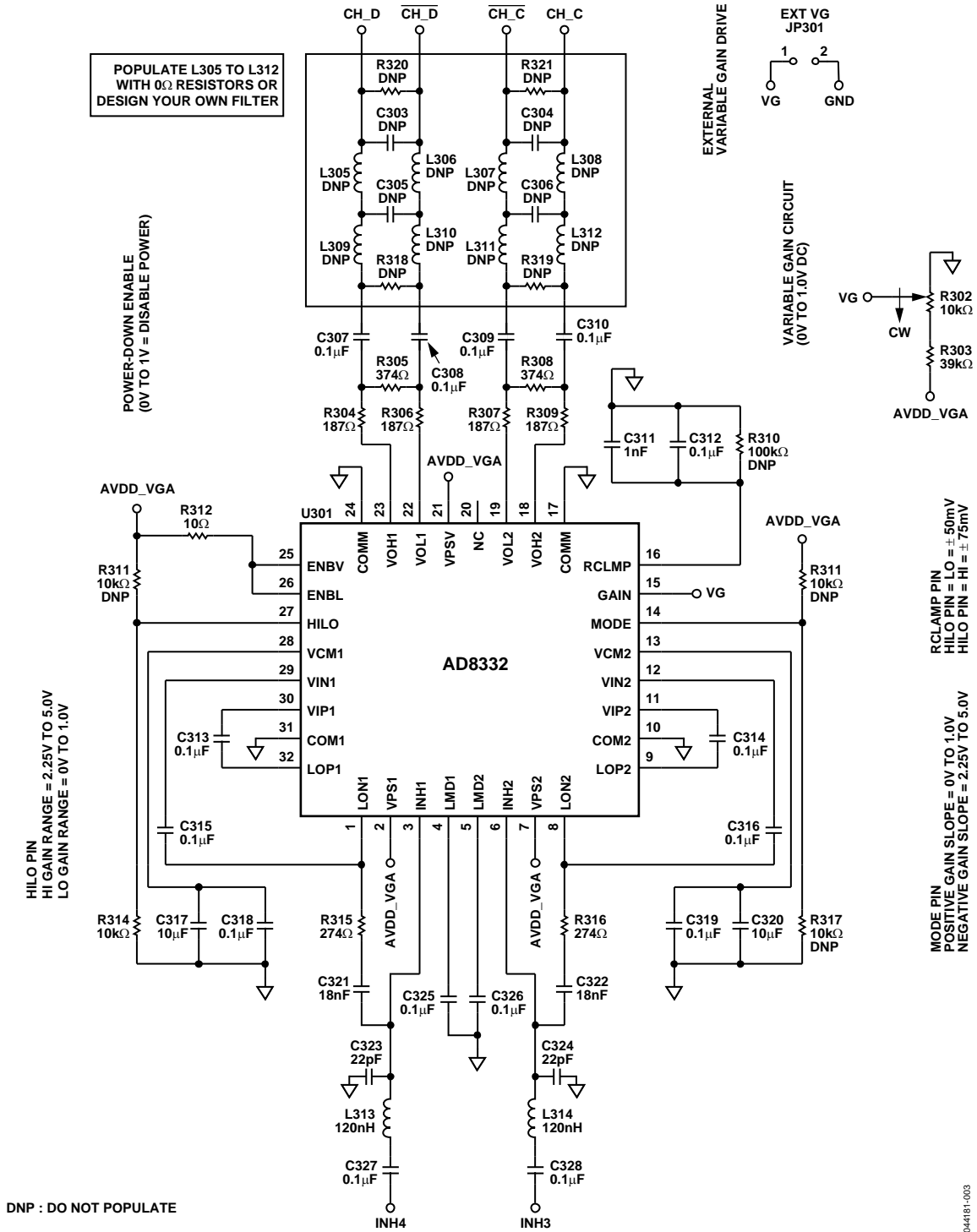


图50. 评估板原理图，可选DUT模拟输入驱动

OPTIONAL VGA DRIVE CIRCUIT FOR CHANNELS A AND B

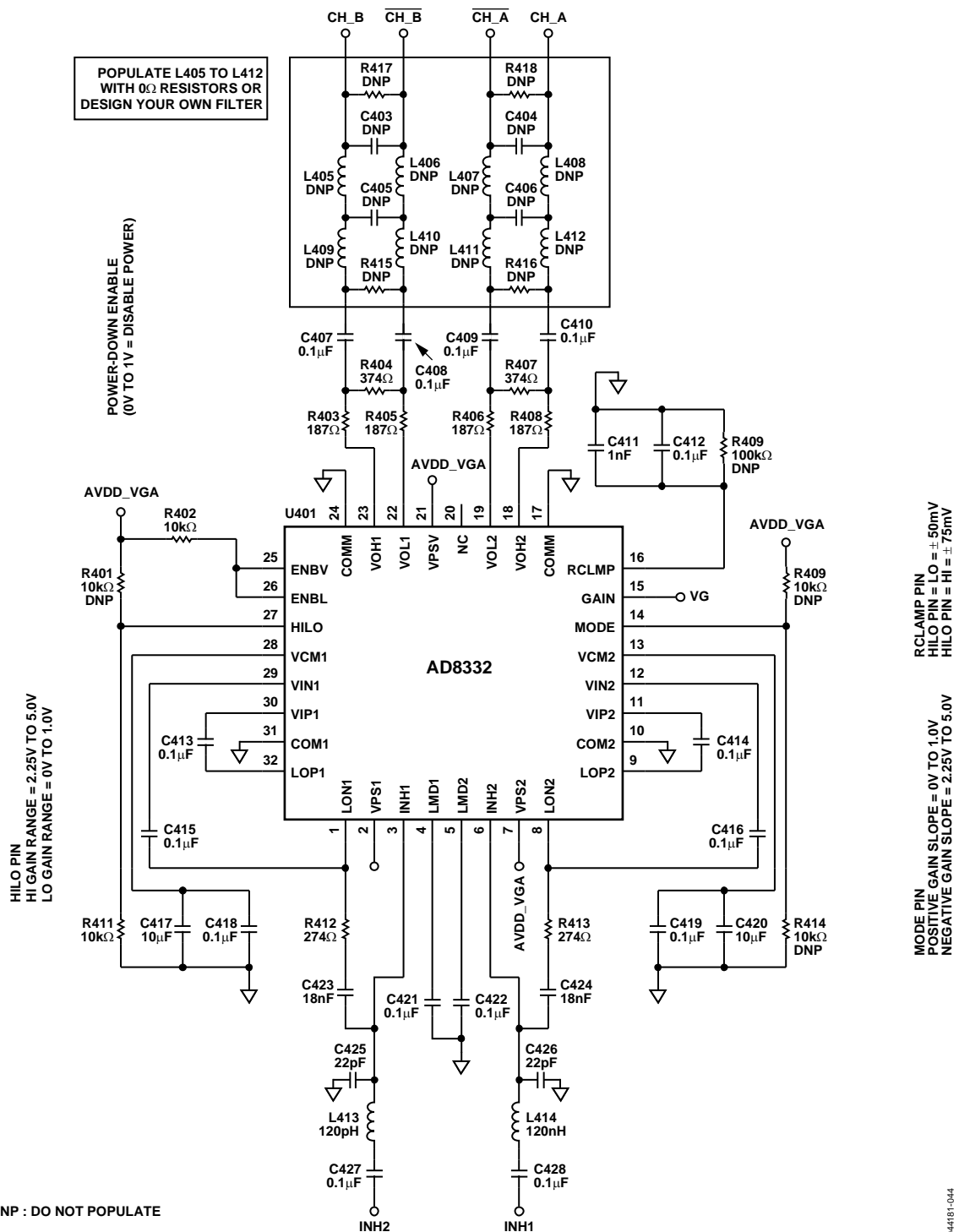
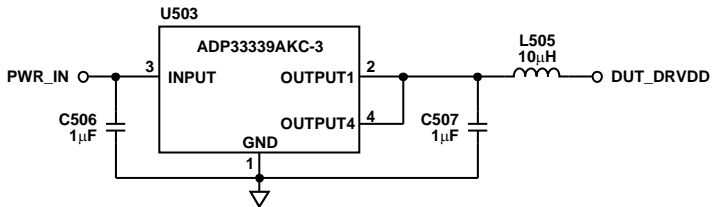
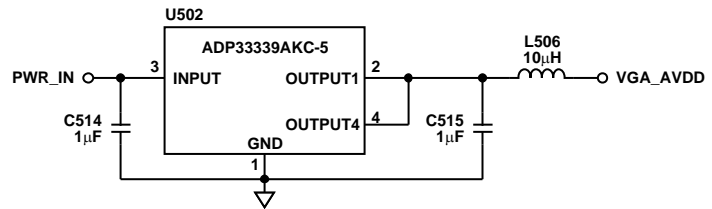
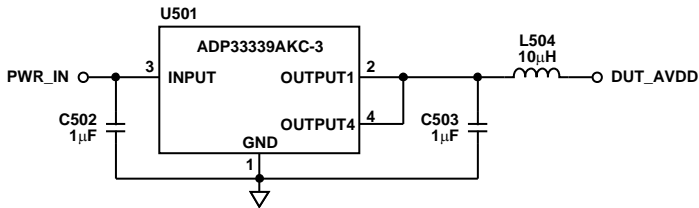
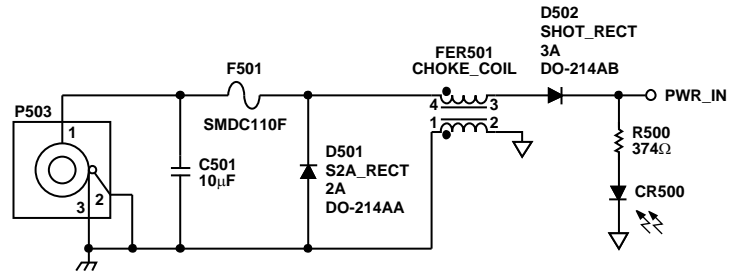


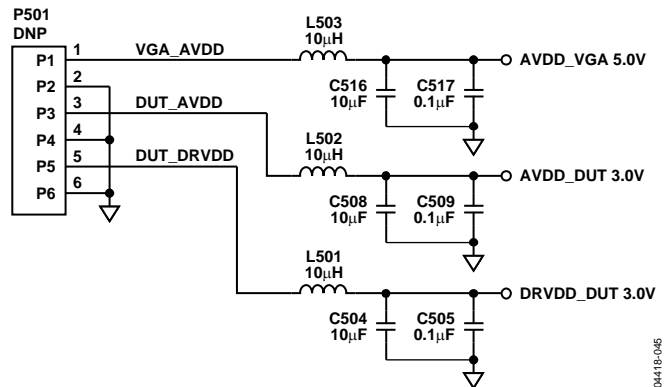
图51. 评估板原理图，可选DUT模拟输入驱动(续)

# AD9229

POWER SUPPLY INPUT  
6V  
2A MAX



## OPTIONAL POWER INPUT

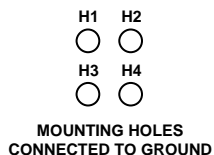
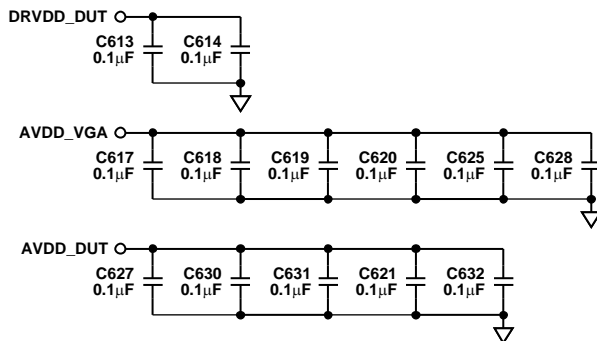


DNP : DO NOT POPULATE

图52. 评估板原理图，电源输入

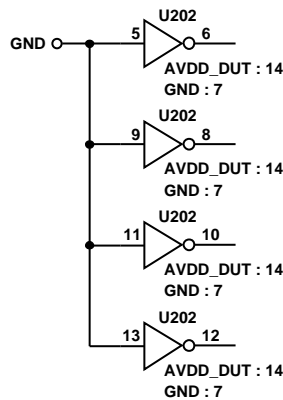
04119-045

DECOUPLING CAPACITORS



DNP : DO NOT POPULATE

UNUSED GATES



04418-046

图53. 评估板原理图，去耦和其它

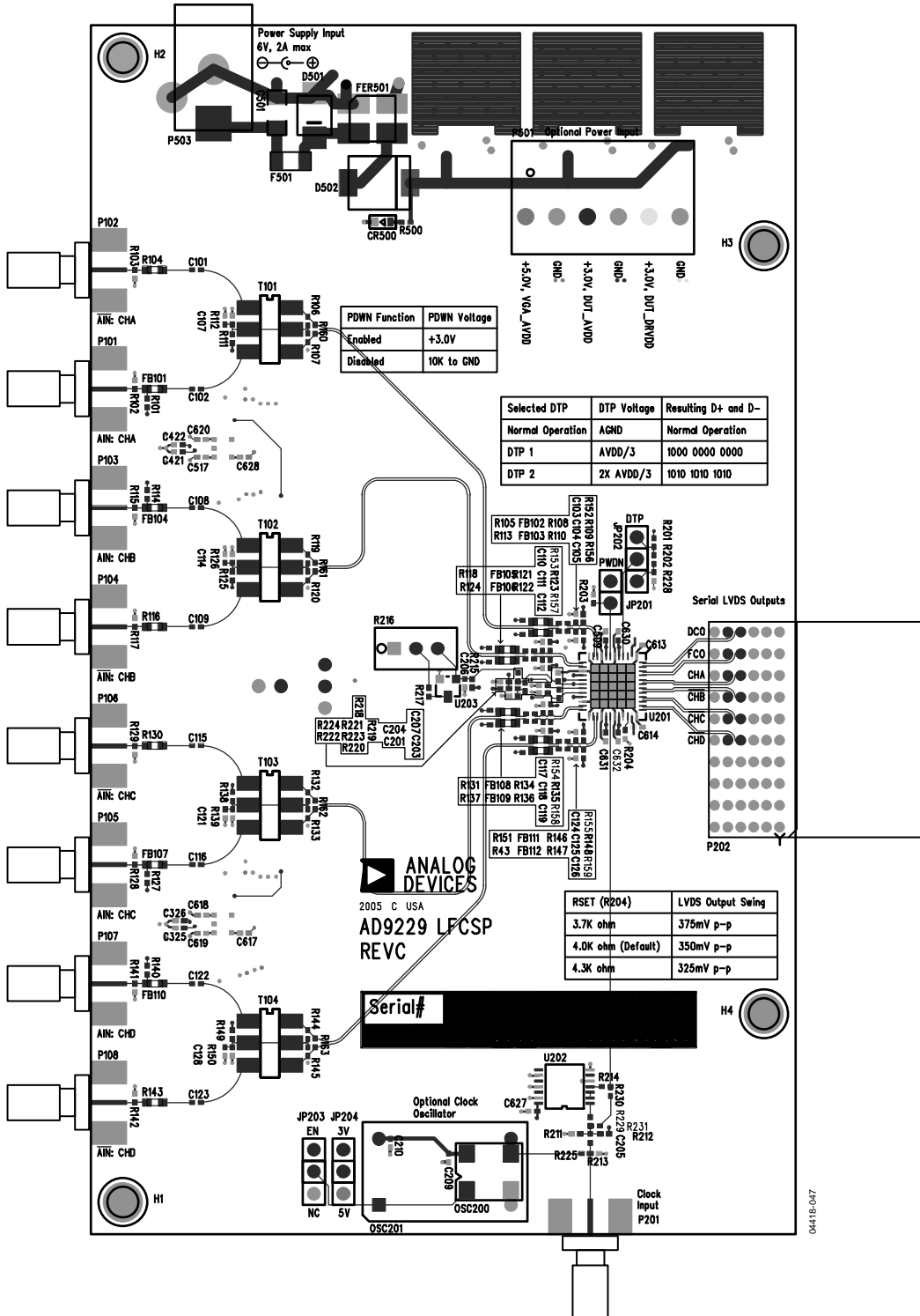
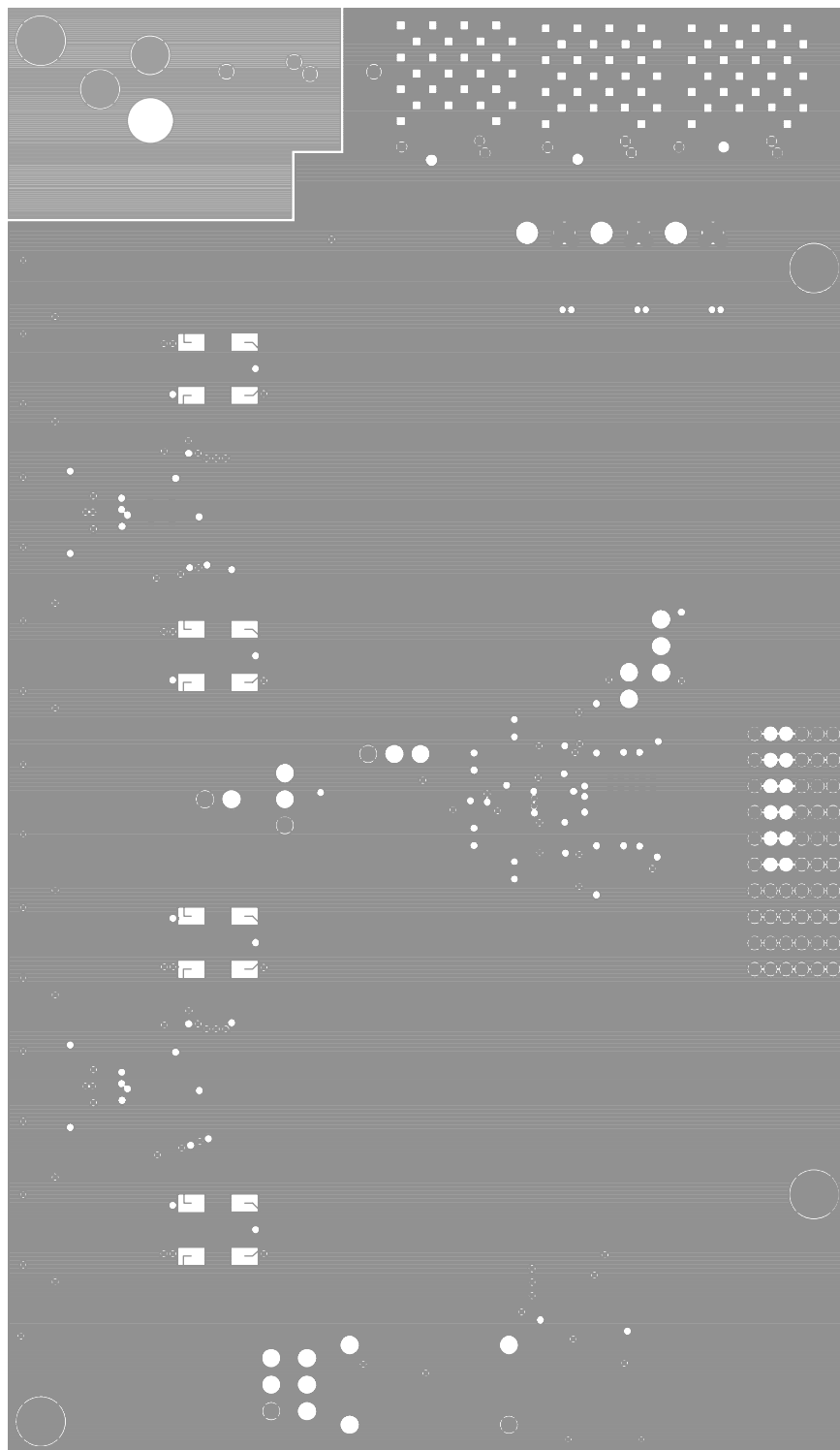


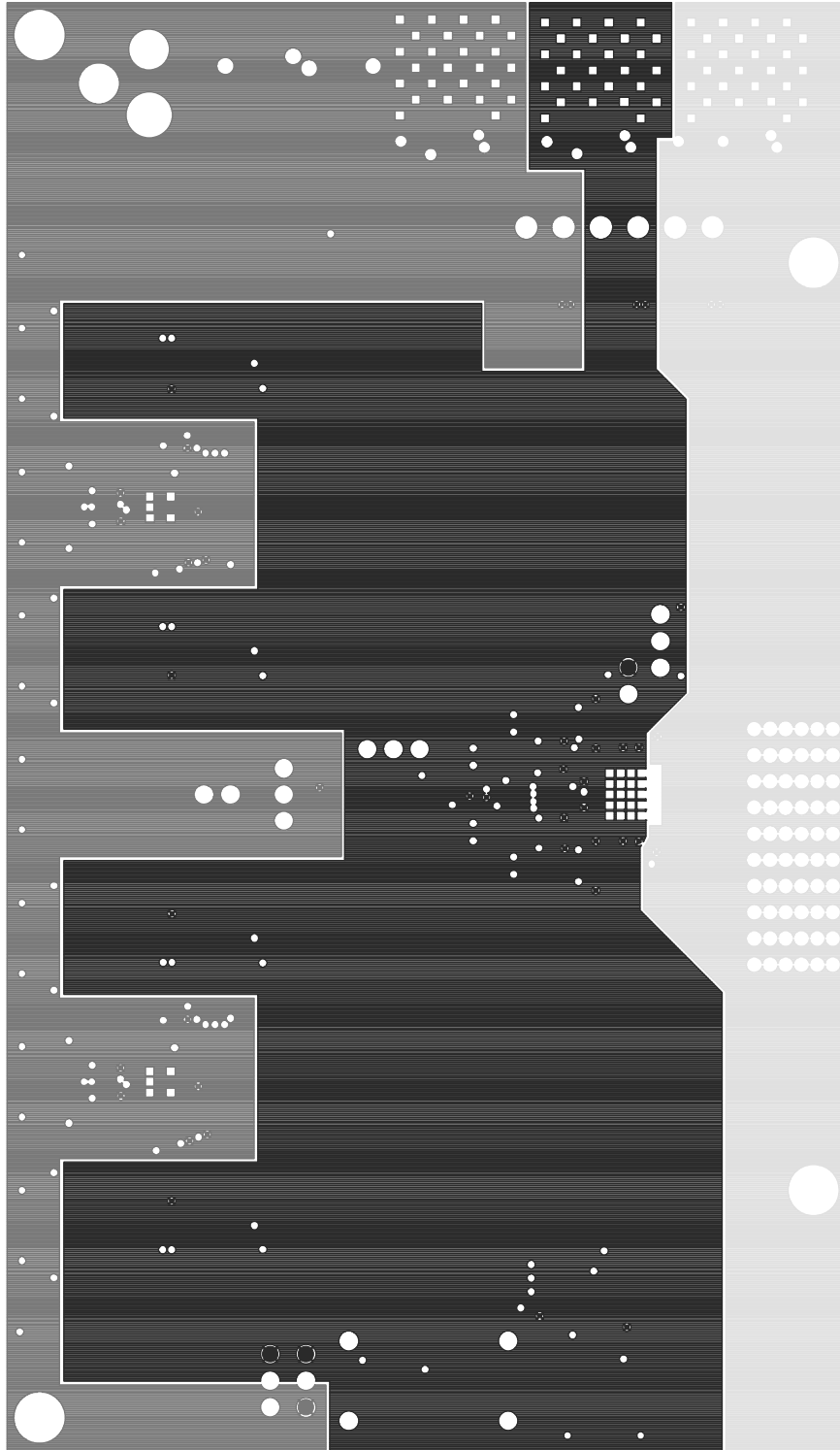
图54. 评估板布局布线——主面





04418-048

图55. 评估板布局布线——接地层



04418-039

图56. 评估板布局布线——电源层

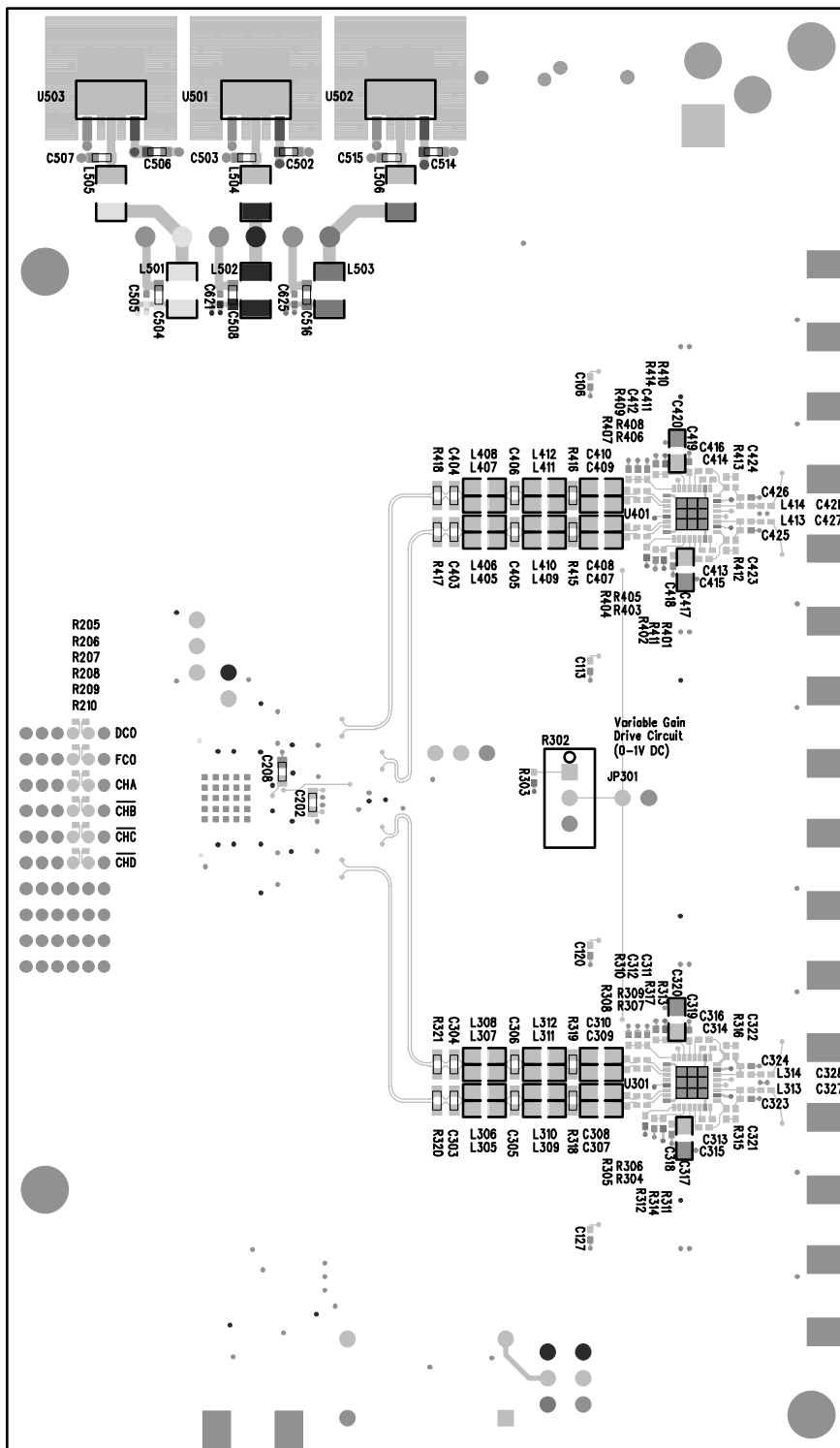


图57. 评估板布局布线——辅面(镜像)

# AD9229

Table 11. Evaluation Board Bill of Materials (BOM)

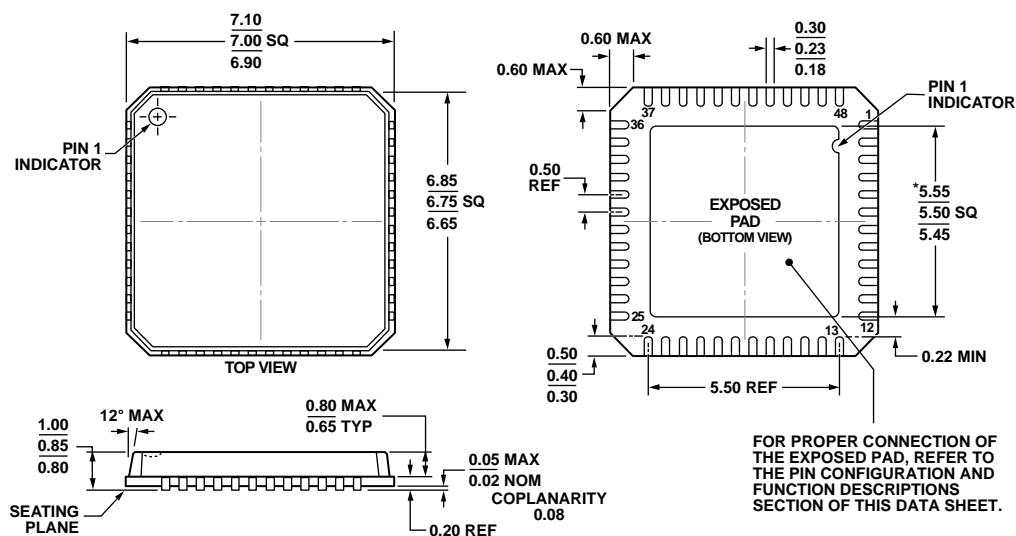
项目	每块板的数量	索引标识符	器件	封装	描述	制造商	厂家产品型号
1	1	AD9229LFCSP_REVC	PCB	PCB	PCB		
2	59	C327, C328, C630, C628, C629, C631, C632, C101, C102, C107, C108, C109, C114, C115, C116, C121, C122, C123, C128, C201, C203, C204, C205, C206, C207, C313, C314, C315, C312, C318, C319, C412, C316, C325, C326, C413, C414, C415, C418, C419, C416, C421, C422, C427, C428, C505, C509, C517, C613, C614, C617, C618, C619, C620, C621, C625, C209, C210, C627	电容	402	0.1 μF, 陶瓷, X5R, 10V, 10%容差	Panasonic	ECJ-0EB1A104K
3	4	C104, C111, C118, C125	电容	402	2.2 pF, 陶瓷, COG, 0.25 pF容差, 50V	Murata	GRM1555C1H2R2GZ01B
4	9	C202, C208, C317, C320, C417, C420, C504, C508, C516	电容	805	10 μF, 6.3 V ±10%, 陶瓷X5R	AVX	08056D106KAT2A
5	8	C307, C308, C309, C310, C407, C408, C409, C410	电容	603	0.1 μF, 陶瓷, X7R, 16V, 10%容差	Kemet	C0603C104K4RACTU
6	2	C311, C411	电容	402	1000 pF, 陶瓷, X7R, 25V, 10%容差	Kemet	C0402C102K3RACTU
7	4	C321, C322, C423, C424	电容	402	0.018 μF, 陶瓷, X7R, 16V, 10%容差	AVX	0402YC183KAT2A
8	4	C323, C324, C425, C426	电容	402	22 pF, 陶瓷, NPO, 5%容差, 50V	Kemet	C0402C220J5GACTU
9	1	C501	电容	1206	10 μF, 钽, 16V, 10%容差	Kemet	T491B106K016AS
10	6	C502, C503, C506, C507, C514, C515	电容	603	1 μF, 陶瓷, X5R, 6.3V, 10%容差	Panasonic	ECJ-1VB0J105K
11	1	CR500	LED	603	绿色, 4V, 5 m烛光	Panasonic	LNJ314G8TRA
12	1	D502	二极管	DO-214AB	3 A, 30 V, SMC	Micro Commercial Co.	SK33MSCT
13	1	D501	二极管	DO-214AA	2 A, 50 V, SMC	Micro Commercial Co.	S2A
14	1	F501	保险丝	1210	6.0V、2.2 A、动作电流自复保险丝	Tyco/Raychem	NANOSMDC110F-2
15	1	FER501	铁氧体磁珠	2020	10 μH, 5 A, 50V, 190Ω@100MHz	Murata	DLW5BSN191SQ2L
16	12	FB101, FB102, FB103, FB104, FB105, FB106, FB107, FB108, FB109, FB110, FB111, FB112	铁氧体磁珠	603	10 Ω, 测试频率 100 MHz, 25%容差, 500 mA	Murata	BLM18BA100SN1
17	2	JP201, JP301	连接器	2-pin	100密耳排针跳线, 2引脚	Samtec	TSW-102-07-G-S
18	3	JP204, JP203, JP202	连接器	3-pin	100密耳排针跳线, 3引脚	Samtec	TSW-103-07-G-S

项目	每块板的数量	索引标识符	器件	封装	描述	制造商	厂家产品型号
19	6	L501, L502, L503, L504, L505, L506	铁氧体磁珠	1210	10 $\mu$ H, 串芯磁珠3.2 $\times$ 2.5 $\times$ 1.6 SMD, 2 A	Panasonic - ECG	EXC-CL3225U1
20	4	L313, L314, L413, L414	电感	402	120 nH, 测试频率 100 MHz, 5%容差, 150 mA	Murata	LQG15HNR12J02B
21	12	L305, L306, L307, L308, L309, L310, L405, L406, L407, L408, L409, L410, L311, L312, L411, L412	电阻	805	0 $\Omega$ , 1/8 W, 5%容差	Panasonic	ERJ-6GEY0R00V
22	1	OSC200	振荡器	SMT	时钟振荡器, 66.66 MHz,	CTS REEVES	CB3LV-3C-66M6666-T
23	5	P201, P101, P103, P105, P107	连接器	SMA	3.3 V 侧装SMA, 板厚 0.063"	Johnson Components	142-0711-821
24	1	P202	连接器	HEADER	1469169-1, 直角2对, 25 mm, 排针组件	Tyco	1469169-1
25	1	P503	连接器	0.1", PCMT	RAPC722, 电源连接器	Switchcraft	SC1153
26	10	R201, R202, R228, R203, R312, R314, R317, R402, R411, R414	电阻	402	10 k $\Omega$ , 1/16 W, 5%容差	Yageo America	9C04021A1002JLHF3
27	7	R225, R129, R142, R224	电阻	402	0 $\Omega$ , 1/16 W, 5%容差	Yageo America	9C04021A0R00JLHF3
28	4	R102, R115, R128, R141	电阻	402	64.9 $\Omega$ , 1/16 W, 1%容差	Panasonic	ERJ-2RKF64R9X
29	4	R104, R116, R130, R143	电阻	603	0 $\Omega$ , 1/10W, 5%容差	Panasonic	ERJ-3GEY0R00V
30	14	R111, R112, R125, R126, R138, R139, R149, R150, R211, R212, R109, R123, R135, R148	电阻	402	1 k $\Omega$ , 1/16 W, 1%容差	Panasonic	ERJ-2RKF1001X
31	8	R108, R110, R121, R122, R134, R136, R146, R147	电阻	402	33 $\Omega$ , 1/16 W, 5%容差	Yageo America	9C04021A33R0JLHF3
32	4	R160, R161, R162, R163	电阻	402	499 $\Omega$ , 1/16 W, 1%容差	Panasonic	ERJ-2RKF4990X
33	1	R215	电阻	402	2 k $\Omega$ , 1/16 W, 5%容差	Yageo America	9C04021A2001JLHF3
34	1	R204	电阻	402	4.02 k $\Omega$ , 1/16 W, 1%容差	Panasonic	ERJ-2RKF4021X
35	1	R213	电阻	402	49.9 $\Omega$ , 1/16 W, 0.5%容差	Susumu	RR0510R-49R9-D
36	1	R214	电阻	402	22 $\Omega$ , 1/16 W, 5%容差	Yageo America	9C04021A22R0JLHF3
37	2	R216, R302	电位器	3-lead	10 k $\Omega$ , 陶瓷金属调整电位器, 18匝顶部调节, 10%, 1/2 W	BC Components	CT-94W-103
38	1	R217	电阻	402	470 k $\Omega$ , 1/16 W, 5%容差	Yageo America	9C04021A4703JLHF3
39	1	R303	电阻	402	39 k $\Omega$ , 1/16 W, 5%容差	Susumu	RR0510P-393-D
40	8	R304, R306, R307, R309, R403, R405, R406, R408,	电阻	402	187 $\Omega$ , 1/16 W, 1%容差	Panasonic	ERJ-2RKF1870X

# AD9229

项目	每块板的数量	索引标识符	器件	封装	描述	制造商	厂家产品型号
41	4	R305, R308, R404, R407, R500	电阻	402	374 Ω, 1/16 W, 1%容差	Panasonic	ERJ-2RKF3740X
42	4	R315, R316, R412, R413	电阻	402	274 Ω, 1/16 W, 1%容差	Panasonic	ERJ-2RKF2740X
43	4	T101, T102, T103, T104	变压器	CD542	ADT1-1WT, 1:1阻抗比变压器	Mini-Circuits	ADT1-1WT
44	2	U501, U503	IC	SOT-223	ADP33339AKC-3, 1.5 A, 3.0 V LDO调节器	ADI	ADP33339AKC-3
45	2	U301, U401	IC	LFCSP, CP-32	AD8332ACP, 超低噪声精密双通道VGA	ADI	AD8332ACP
46	1	U502	IC	SOT-223	ADP33339AKC-5	ADI	ADP33339AKC-5
47	1	U201	IC	LFCSP, CP-48-1	AD9229-65, 4通道、12位、65 MSPS	ADI	AD9229ABCPZ-65
48	1	U203	IC	SOT-23	串行LVDS 3 V ADC ADR510AR, 1.0 V精密低噪声分流基准电压源	ADI	ADR510AR
49	1	U202	IC	TSSOP	74VHC04MTC, 16进制反相器	Fairchild	74VHC04MTC
50	4	MP101-104	装配部件		CBSB-14-01A-RT, 高度7/8", 电路板用支柱	Richco	CBSB-14-01A-RT
51	4	MP105-108	装配部件		SNT-100-BK-G-H, 100密耳跳线	Samtec	SNT-100-BK-G-H
52	4	MP109-112	装配部件		5-330808-3, 引脚插孔, 闭合端用于OSC200	AMP	5-330808-3

## 外形尺寸



\*COMPLIANT TO JEDEC STANDARDS MO-220-VKGD-2  
WITH EXCEPTION TO EXPOSED PAD DIMENSION.

图58. 48引脚引脚框架芯片级封装[LFCSP\_VQ],

7 mm x 7 mm超薄四方体

(CP-48-8),

尺寸单位: mm

02-23-2010-C

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
AD9229ABCPZ-65	-40°C 至 +85°C	48引脚引脚架构芯片级封装[LFCSP_VQ]	CP-48-8
AD9229ABCPZRL7-65	-40°C 至 +85°C	48引脚引脚架构芯片级封装[LFCSP_VQ]	CP-48-8
AD9229ABCPZ-50	-40°C 至 +85°C	48引脚引脚架构芯片级封装[LFCSP_VQ]	CP-48-8
AD9229ABCPZRL7-50	-40°C 至 +85°C	48引脚引脚架构芯片级封装[LFCSP_VQ]	CP-48-8

<sup>1</sup> Z = 符合RoHS标准的器件。

**注释**