



产品特性

- 信噪比(SNR): 79.9 dBFS(16 MHz, $V_{REF} = 1.4 V$)
- 信噪比(SNR): 78.1 dBFS(64 MHz, $V_{REF} = 1.4 V$)
- 无杂散动态范围(SFDR): 86 dBc(至奈奎斯特频率, $V_{REF} = 1.4 V$)
- JESD204B Subclass 1编码串行数字输出
- 灵活的模拟输入范围: 2.0 V p-p至2.8 V p-p
- 1.8 V电源供电
- 低功耗: 125 MSPS、双通道时每通道功耗为197 mW
- 差分非线性(DNL): ± 0.6 LSB ($V_{REF} = 1.4 V$)
- 积分非线性(INL): ± 4.5 LSB ($V_{REF} = 1.4 V$)
- 650 MHz全功率模拟输入带宽
- 串行端口控制
 - 全芯片及单一通道省电模式
 - 内置生成及用户自定义数字测试码
 - 多芯片同步和时钟分频器
 - 待机模式

应用

- 医疗成像
- 高速成像
- 正交无线电接收机
- 分集无线电接收机
- 便携式测试设备

概述

AD9656是一款4通道、16位、125 MSPS模数转换器(ADC)，内置片内采样保持电路，专门针对低成本、低功耗、小尺寸和易用性而设计。该产品的转换速率最高可达125 MSPS，具有杰出的动态性能与低功耗特性，适合比较重视小封装尺寸的应用。

该ADC要求采用1.8 V单电源供电以及LVPECL/CMOS/LVDS兼容型采样速率时钟信号，以便充分发挥其工作性能。无需外部基准电压源或驱动器即可满足许多应用需求。

它还支持独立关断各通道；禁用所有通道时，典型功耗低于14 mW。该ADC内置多种功能特性，可使器件的灵活性达到最佳、系统成本最低，例如可编程输出时钟、数据对准、生成数字测试码等。可获得的数字测试码包括内置固定码和伪随机码，以及通过串行端口接口(SPI)输入的用户自定义测试码。

功能框图

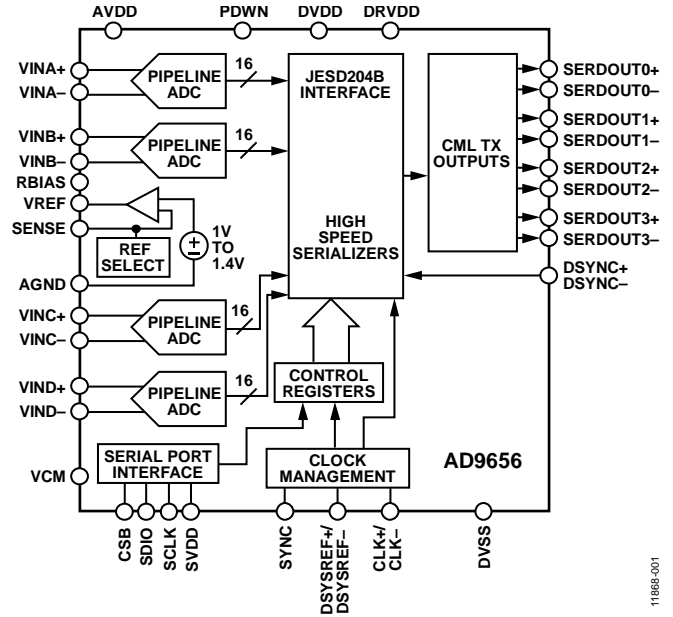


图1.

AD9656采用符合RoHS标准的56引脚无磁性LFCSP封装。

额定温度范围为-40°C至+85°C工业温度范围。该产品受美国专利保护。

产品特色

1. 尺寸小巧。一个小型8 mm x 8 mm封装中集成4个ADC。
2. 片内锁相环(PLL)允许用户提供单个ADC采样时钟，对应JESD204B数据速率时钟由PLL乘以该ADC采样时钟产生。
3. 可配置的JESD204B输出模块支持每通道最高6.4 Gbps的采样速率。
4. JESD204B输出模块支持1/2/4通道配置。
5. 低功耗：双通道、125 MSPS时每通道功耗为198 mW。
6. SPI控制提供丰富灵活的特性，可满足各种特定系统的需求。

目录

产品特性	1	模拟输入考虑	21
应用	1	基准电压源	23
功能框图	1	时钟输入考虑	24
概述	1	功耗和省电模式	26
产品特点	1	数字输出	27
修订历史	2	串行端口接口(SPI)	33
技术规格	3	使用SPI的配置	33
直流规格($V_{REF} = 1.4\text{ V}$)	3	硬件接口	33
直流规格($V_{REF} = 1.0\text{ V}$)	4	SPI访问特性	34
交流规格($V_{REF} = 1.4\text{ V}$)	5	存储器映射	35
交流规格($V_{REF} = 1.0\text{ V}$)	6	读取存储器映射寄存器表	35
数字规格	7	存储器映射寄存器表	36
开关规格	8	存储器映射寄存器描述	40
时序规格	9	应用信息	42
绝对最大额定值	11	设计指南	42
热阻	11	电源和接地建议	42
ESD警告	11	时钟稳定性考虑	42
引脚配置和功能描述	12	裸露焊盘散热块建议	42
典型性能参数	14	基准电压源去耦	42
$V_{REF} = 1.4\text{ V}$	14	SPI端口	42
$V_{REF} = 1.0\text{ V}$	17	外形尺寸	43
等效电路	20	订购指南	43
工作原理	21		

修订历史

2013年12月—修订版0：初始版

技术规格

直流规格($V_{REF} = 1.4\text{ V}$)

除非另有说明, $AVDD = 1.8\text{ V}$, $DRVDD = 1.8\text{ V}$, 2.8 V p-p 满量程差分输入, 1.4 V 基准电压, $A_{IN} = -1.0\text{ dBFS}$ 。

表1.

参数 ¹	温度	最小值	典型值	最大值	单位
分辨率		16			位
精度					
无失码	25°C	保证			
失调误差	25°C	-0.1	+0.14	+0.5	% FSR
失调匹配	25°C	0	0.1	0.4	% FSR
增益误差	25°C	-1.0	+1.0	+3.1	% FSR
增益匹配	25°C	0	1.1	2.0	% FSR
差分非线性(DNL)	25°C	-0.95	±0.6	+2.54	LSB
积分非线性(INL)	25°C	-10.0	±4.5	+10.0	LSB
温度漂移					
增益误差	全	6.1			ppm/°C
失调误差	全	-2			ppm/°C
内部基准电压源					
内部基准电压源	25°C	1.37	1.4	1.41	V
负载调整(1.0 mA)	25°C	4			mV
输入电阻	25°C	7.5			kΩ
折合到输入端噪声					
$V_{REF} = 1.4\text{ V}$	25°C	2.1			LSB rms
模拟输入					
差分输入电压	25°C	2.8			V p-p
共模电压	25°C	0.9			V
共模范围	25°C	0.7	1.1		V
差分输入电阻	25°C	2.6			kΩ
差分输入电容	25°C	7			pF
电源					
AVDD	25°C	1.7	1.8	1.9	V
DVDD、DRVDD	25°C	1.7	1.8	1.9	V
I_{AVDD} (125 MSPS、二通道) ²	25°C	288			mA
I_{DVDD} (125 MSPS、二通道) ²	25°C	67			mA
I_{DRVDD} (125 MSPS、二通道) ²	25°C	83			mA
总功耗					
直流输入(125 MSPS、四通道映射到二通道上)	25°C	706			mW
正弦波输入(125 MSPS、四通道映射到二通道上)	25°C	788			mW
省电模式	25°C	14			mW
待机模式 ³	25°C	547			mW

¹ 如需了解定义以及这些测试如何完成的详情, 请参阅应用笔记AN-835: 了解高速ADC测试和评估。

² 测量条件为: 全部四个通道均采用低输入频率的满量程正弦波。

³ 待机可通过SPI进行控制。

AD9656

直流规格($V_{REF} = 1.0\text{ V}$)

除非另有说明, $AVDD = 1.8\text{ V}$, $DRVDD = 1.8\text{ V}$, 2.0 V p-p满量程差分输入, 1.0 V 基准电压, $A_{IN} = -1.0\text{ dBFS}$ 。

表2.

参数 ¹	温度	最小值	典型值	最大值	单位
分辨率		16			位
精度					
无失码	25°C	保证			
失调误差	25°C	0.2			% FSR
失调匹配	25°C	0.13			% FSR
增益误差	25°C	1.0			% FSR
增益匹配	25°C	0.4			% FSR
差分非线性(DNL)	25°C	±0.6			LSB
积分非线性(INL)	25°C	±6.0			LSB
温度漂移					
增益误差	全	3.1			ppm/°C
失调误差	全	-3			ppm/°C
内部基准电压源					
输出电压	25°C	1.0			V
负载调整(1.0 mA)	25°C	2			mV
输入电阻	25°C	7.5			kΩ
折合到输入端噪声 $V_{REF} = 1.0\text{ V}$	25°C	2.7			LSB rms
模拟输入					
差分输入电压	25°C	2.0			V p-p
共模电压	25°C	0.9			V
共模范围	25°C	0.5			1.3 V
差分输入电阻	25°C	2.6			kΩ
差分输入电容	25°C	7			pF
电源					
AVDD	25°C	1.7	1.8	1.9	V
DVDD、DRVDD	25°C	1.7	1.8	1.9	V
I_{AVDD} (125 MSPS、二通道) ²	25°C	276			mA
I_{DVDD} (125 MSPS、二通道) ²	25°C	69			mA
I_{DRVDD} (125 MSPS、二通道) ²	25°C	83			mA
总功耗					
直流输入(125 MSPS、四通道映射到二通道上)	25°C	688			mW
正弦波输入(125 MSPS、四通道映射到二通道上)	25°C	771			mW
省电模式	25°C	14			mW
待机模式 ³	25°C	520			mW

¹ 如需了解定义以及这些测试如何完成的详情, 请参阅[应用笔记AN-835](#): 了解高速ADC测试和评估。

² 测量条件为: 全部四个通道均采用低输入频率的满量程正弦波。

³ 待机可通过SPI进行控制。

交流规格($V_{REF} = 1.4 V$)

除非另有说明, $AVDD = 1.8 V$, $DRVDD = 1.8 V$, $2.8 V$ p-p满量程差分输入, $1.4 V$ 基准电压, $A_{IN} = -1.0$ dBFS。

表3.

参数 ¹	温度	最小值	典型值	最大值	单位
信噪比(SNR)					
$f_{IN} = 9.7$ MHz	25°C		80.1		dBFS
$f_{IN} = 16$ MHz	25°C		79.9		dBFS
$f_{IN} = 64$ MHz	25°C	75.7	78.1		dBFS
$f_{IN} = 128$ MHz	25°C		75		dBFS
$f_{IN} = 201$ MHz	25°C		72.7		dBFS
$f_{IN} = 301$ MHz	25°C		69.7		dBFS
信纳比(SINAD)					
$f_{IN} = 9.7$ MHz	25°C		79.6		dBFS
$f_{IN} = 16$ MHz	25°C		78.4		dBFS
$f_{IN} = 64$ MHz	25°C	74.8	77.3		dBFS
$f_{IN} = 128$ MHz	25°C		74.4		dBFS
$f_{IN} = 201$ MHz	25°C		71		dBFS
$f_{IN} = 301$ MHz	25°C		68.6		dBFS
有效位数(ENOB)					
$f_{IN} = 9.7$ MHz	25°C		12.9		位
$f_{IN} = 16$ MHz	25°C		12.7		位
$f_{IN} = 64$ MHz	25°C	12.1	12.5		位
$f_{IN} = 128$ MHz	25°C		12.1		位
$f_{IN} = 201$ MHz	25°C		11.5		位
$f_{IN} = 301$ MHz	25°C		11.1		位
无杂散动态范围(SFDR)					
$f_{IN} = 9.7$ MHz	25°C		89		dBc
$f_{IN} = 16$ MHz	25°C		87		dBc
$f_{IN} = 64$ MHz	25°C	78	86		dBc
$f_{IN} = 128$ MHz	25°C		84		dBc
$f_{IN} = 201$ MHz	25°C		76		dBc
$f_{IN} = 301$ MHz	25°C		75		dBc
最差谐波(二次或三次)					
$f_{IN} = 9.7$ MHz	25°C		-89		dBc
$f_{IN} = 16$ MHz	25°C		-87		dBc
$f_{IN} = 64$ MHz	25°C		-86	-78	dBc
$f_{IN} = 128$ MHz	25°C		-84		dBc
$f_{IN} = 201$ MHz	25°C		-76		dBc
$f_{IN} = 301$ MHz	25°C		-75		dBc
最差其它谐波(二次或三次除外)					
$f_{IN} = 9.7$ MHz	25°C		-96		dBc
$f_{IN} = 16$ MHz	25°C		-92		dBc
$f_{IN} = 64$ MHz	25°C		-90	-87	dBc
$f_{IN} = 128$ MHz	25°C		-89		dBc
$f_{IN} = 201$ MHz	25°C		-93		dBc
$f_{IN} = 301$ MHz	25°C		-90		dBc
双音交调失真(IMD) — 输入幅度 = -7.0 dBFS $f_{IN1} = 70.5$ MHz, $f_{IN2} = 72.5$ MHz	25°C		-84		dBc

AD9656

参数 ¹	温度	最小值 典型值 最大值	单位
串扰 ²	25°C	-93	dB
串扰(超量程情况) ³	25°C	-89	dB
模拟输入带宽(全功率)	25°C	650	MHz

¹ 如需了解定义以及这些测试如何完成的详情, 请参阅应用笔记AN-835: 了解高速ADC测试和评估。

² 串扰的测量条件: 一个通道参数为70 MHz、-1.0 dBFS模拟输入且相邻通道上无输入信号。

³ 超量程条件定义为输入高于满量程范围3 dB。

交流规格($V_{REF} = 1.0 V$)

除非另有说明, $AVDD = 1.8 V$, $DRVDD = 1.8 V$, 2.0 V p-p满量程差分输入, 1.0 V基准电压, $A_{IN} = -1.0 dBFS$ 。

表4.

参数 ¹	温度	最小值 典型值 最大值	单位
信噪比(SNR)			
$f_{IN} = 9.7 MHz$	25°C	78	dBFS
$f_{IN} = 16 MHz$	25°C	77.9	dBFS
$f_{IN} = 64 MHz$	25°C	76.8	dBFS
$f_{IN} = 128 MHz$	25°C	74.3	dBFS
$f_{IN} = 201 MHz$	25°C	72.1	dBFS
$f_{IN} = 301 MHz$	25°C	69.3	dBFS
信纳比(SINAD)			
$f_{IN} = 9.7 MHz$	25°C	78	dBFS
$f_{IN} = 16 MHz$	25°C	77.7	dBFS
$f_{IN} = 64 MHz$	25°C	76.1	dBFS
$f_{IN} = 128 MHz$	25°C	74	dBFS
$f_{IN} = 201 MHz$	25°C	71.1	dBFS
$f_{IN} = 301 MHz$	25°C	68.6	dBFS
有效位数(ENOB)			
$f_{IN} = 9.7 MHz$	25°C	12.7	位
$f_{IN} = 16 MHz$	25°C	12.6	位
$f_{IN} = 64 MHz$	25°C	12.3	位
$f_{IN} = 128 MHz$	25°C	12.0	位
$f_{IN} = 201 MHz$	25°C	11.5	位
$f_{IN} = 301 MHz$	25°C	11.1	位
无杂散动态范围(SFDR)			
$f_{IN} = 9.7 MHz$	25°C	99	dBc
$f_{IN} = 16 MHz$	25°C	92	dBc
$f_{IN} = 64 MHz$	25°C	89	dBc
$f_{IN} = 128 MHz$	25°C	87	dBc
$f_{IN} = 201 MHz$	25°C	78	dBc
$f_{IN} = 301 MHz$	25°C	78	dBc
最差谐波(二次或三次)			
$f_{IN} = 9.7 MHz$	25°C	-99	dBc
$f_{IN} = 16 MHz$	25°C	-92	dBc
$f_{IN} = 64 MHz$	25°C	-89	dBc
$f_{IN} = 128 MHz$	25°C	-87	dBc
$f_{IN} = 201 MHz$	25°C	-78	dBc
$f_{IN} = 301 MHz$	25°C	-78	dBc
最差其它谐波(二次或三次除外)			
$f_{IN} = 9.7 MHz$	25°C	-95	dBc
$f_{IN} = 16 MHz$	25°C	-95	dBc
$f_{IN} = 64 MHz$	25°C	-94	dBc
$f_{IN} = 128 MHz$	25°C	-89	dBc
$f_{IN} = 201 MHz$	25°C	-91	dBc
$f_{IN} = 301 MHz$	25°C	-89	dBc

参数 ¹	温度	最小值 典型值 最大值	单位
双音交调失真(IMD) — 输入幅度 = -7.0 dBFS $f_{IN1} = 70.5 \text{ MHz}$, $f_{IN2} = 72.5 \text{ MHz}$	25°C	-89	dBc
串扰 ²	25°C	-94	dB
串扰(超量程情况) ³	25°C	-89	dB
模拟输入带宽(全功率)	25°C	650	MHz

¹ 如需了解定义以及这些测试如何完成的详情, 请参阅应用笔记AN-835: 了解高速ADC测试和评估。

² 串扰的测量条件: 一个通道参数为70 MHz、-1.0 dBFS模拟输入且相邻通道上无输入信号。

³ 超量程条件定义为输入高于满量程范围3 dB。

数字规格

除非另有说明, AVDD = 1.8 V, DRVDD = 1.8 V, 2.8 V p-p差分输入, 1.4 V基准电压, $A_{IN} = -1.0 \text{ dBFS}$ 。

表5.

参数 ¹	温度	最小值	典型值	最大值	单位
时钟输入(CLK+, CLK-)		CMOS/LVDS/LVPECL			
逻辑兼容					
差分输入电压范围 ²	全	0.2		3.6	V p-p
输入电压范围	全	AGND - 0.2		AVDD + 0.2	V
输入共模电压	全		0.9		V
输入电阻(差分)	25°C		15		kΩ
输入电容	25°C		4		pF
DSYNC输入(DSYNC+/DSYNC-)		LVDS			
逻辑兼容					
内部共模偏置	全		0.9		V
差分输入电压范围	全	0.3		3.6	V p-p
输入电压范围	全	DGND		DVDD	V
输入共模电压范围	全	0.9		1.4	V
高电平输入电流	全	-5		+5	μA
低电平输入电流	全	-5		+5	μA
输入电容	全		1		pF
输入电阻	全	12	16	20	kΩ
DSYSREF输入(DSYSREF+/DSYSREF-)		LVDS			
逻辑兼容					
内部共模偏置	全		0.9		V
差分输入电压范围	全	0.3		3.6	V p-p
输入电压范围	全	AGND		AVDD	V
输入共模电压范围	全	0.9		1.4	V
高电平输入电流	全	-5		+5	μA
低电平输入电流	全	-5		+5	μA
输入电容	全		4		pF
输入电阻	全	8	10	12	kΩ
逻辑输入(PDWN, SYNC, SCLK)					
逻辑1电压范围	全	1.2		AVDD + 0.2	V
逻辑0电压范围	全	0		0.8	V
输入电阻	25°C		30		kΩ
输入电容	25°C		2		pF
逻辑输入(CSB)					
逻辑1电压范围	全	1.2		AVDD + 0.2	V
逻辑0电压范围	全	0		0.8	V
输入电阻	25°C		26		kΩ
输入电容	25°C		2		pF

AD9656

参数 ¹	温度	最小值	典型值	最大值	单位
逻辑输入(SDIO)					
逻辑1电压范围	全	1.2		AVDD + 0.2	V
逻辑0电压范围	全	0		0.8	V
输入电阻	25°C		26		kΩ
输入电容	25°C		5		pF
逻辑输出(SDIO) ³					
逻辑1电压(I _{OH} = 800 μA)	全		1.79		V
逻辑0电压(I _{OL} = 50 μA)	全			0.05	V
数字输出(SERDOUTx+, SERDOUTx-)					
逻辑兼容	全		CML		
差分输出电压(V _{OD})	全	400	600	750	mV
输出失调电压(V _{OS})	全	0.75	DRVDD/2	1.05	V

¹ 如需了解定义以及这些测试如何完成的详情, 请参阅应用笔记AN-835: 了解高速ADC测试和评估。

² 仅针对LVDS和LVPECL。

³ 针对共用同一连接的13个AD9656器件上的SDIO引脚。

开关规格

除非另有说明, AVDD = 1.8 V, DRVDD = 1.8 V, 2.8 V p-p差分输入, 1.4 V基准电压, A_{IN} = -1.0 dBFS。

表6.

参数 ^{1, 2}	温度	最小值	典型值	最大值	单位
时钟 ³					
输入时钟速率	全	40		1000	MHz
转换速率	全	40		125	MSPS
时钟高电平脉冲宽度(t _{EH})	全		4.00		ns
时钟低电平脉冲宽度(t _{EL})	全		4.00		ns
SYNC建立时间至时钟	全			1.4	ns
SYNC保持时间至时钟	全			-0.4	ns
DSYSREF建立时间至时钟(t _{REFS}) ⁴	全		370	600	ps
DSYSREF保持时间至时钟(t _{REFH}) ⁴	全		-92	0	ps
数据输出参数					
数据输出周期或单位间隔(UI)	全		L/(20 × M × f _s)		秒
数据输出占空比	25°C		50		%
数据有效时间	25°C		0.81		UI
PLL锁定时间(t _{LOCK})	25°C		25		μs
唤醒时间					
待机	25°C		250		ns
ADC(省电模式) ⁵	25°C		375		μs
输出(省电模式) ⁶	25°C		50		μs
DSYNC下降沿至K.28首字符	全	4			多帧
CGS阶段的K.28字符持续时间	全	1			多帧
流水线延迟					
JESD204B M4、L1模式(延迟)	全		23		周期 ⁷
JESD204B M4、L2模式(延迟)	全		29		周期 ⁷
JESD204B M4、L4模式(延迟)	全		44		周期 ⁷
每通道的数据速率	全			6.4	Gbps
确定性抖动(D _j)					
6.4 Gbps时	全		8		ps
随机抖动(R _j)					
6.4 Gbps时	全		1.25		ps rms
输出上升时间/下降时间	全		50		ps
差分端接电阻	25°C		100		Ω

参数 ^{1,2}	温度	最小值	典型值	最大值	单位
孔径					
孔径延迟(t_A)	25°C	1			ns
孔径不确定性(抖动, t_j)	25°C		135		fs rms
超范围恢复时间	25°C	1			时钟周期

¹ 如需了解定义以及这些测试如何完成的详情, 请参阅[应用笔记AN-835](#): 了解高速ADC测试和评估。

² 采用标准FR-4材料测量。

³ 时钟可通过SPI进行调整。转换速率指分频之后的时钟速率。

⁴ 时序图参见图3。

⁵ ADC从省电模式返回正常工作模式所需的时间。

⁶ JESD204B输出从省电模式返回正常工作模式所需的时间。

⁷ ADC转换速率周期。

时序规格

表7.

参数	说明	限值	单位
SPI时序要求	参见图70		
t_{DS}	数据与SCLK上升沿之间的建立时间	2	ns (最小值)
t_{DH}	数据与SCLK上升沿之间的保持时间	2	ns (最小值)
t_{CLK}	SCLK周期	40	ns (最小值)
t_S	CSB与SCLK之间的建立时间	2	ns (最小值)
t_H	CSB与SCLK之间的保持时间	2	ns (最小值)
t_{HIGH}	SCLK高电平脉冲宽度	10	ns (最小值)
t_{LOW}	SCLK低电平脉冲宽度	10	ns (最小值)
t_{EN_SDIO}	相对于SCLK下降沿, SDIO引脚从输入状态切换到输出状态所需的时间(图中未显示)	10	ns (最小值)
t_{DIS_SDIO}	相对于SCLK上升沿, SDIO引脚从输出状态切换到输入状态所需的时间(图中未显示)	10	ns (最小值)

时序图

SPI寄存器设置参见“存储器映射寄存器表”部分。

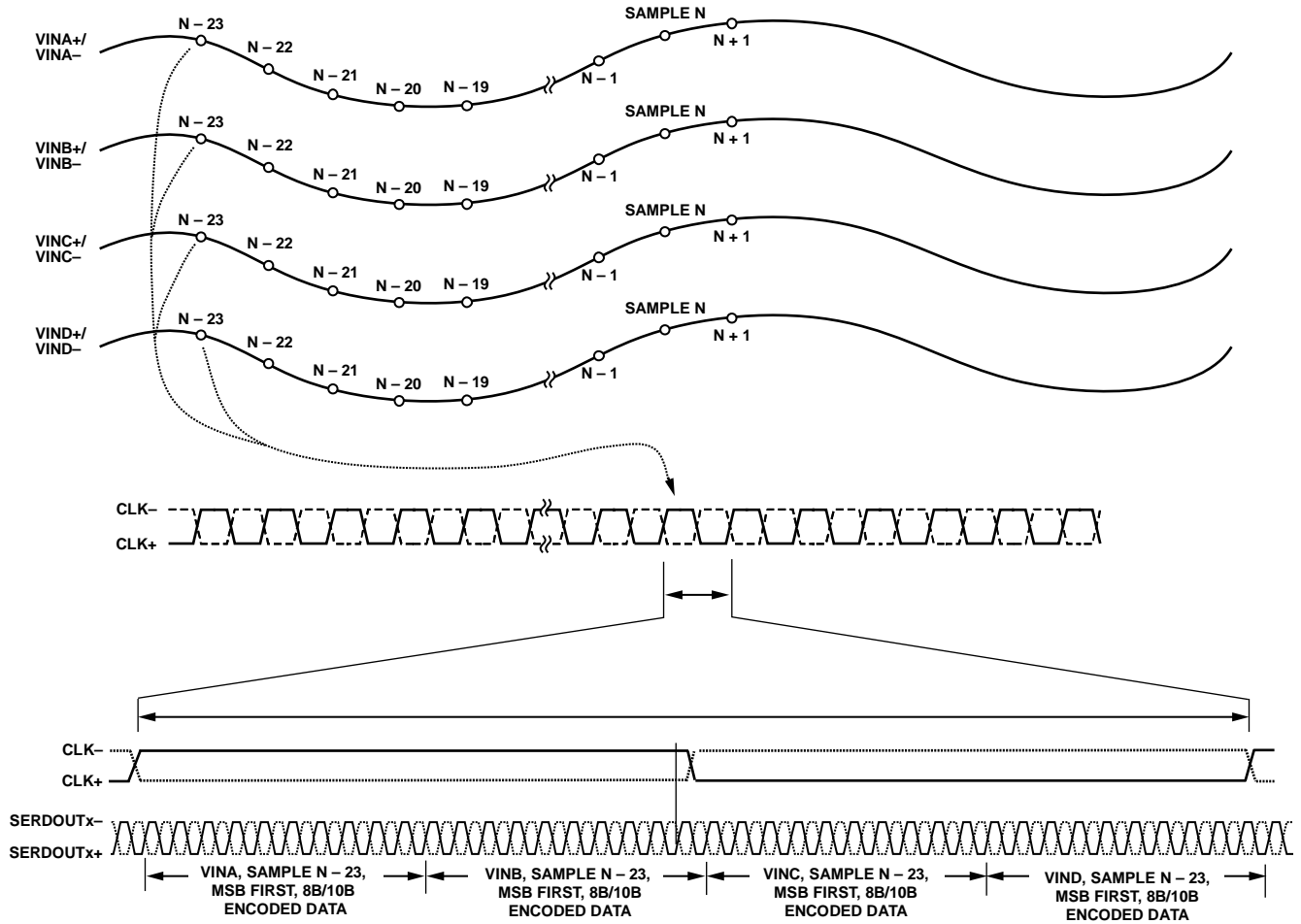


图2. 数据输出时序

11868-002

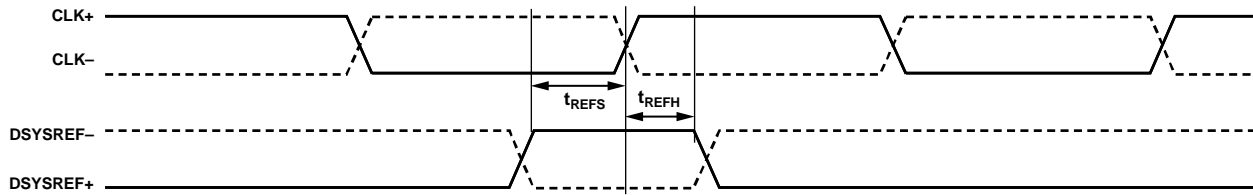


图3. DSYSREF+/DSYSREF-建立和保持时间(时钟分频器 = 1)

11868-003

绝对最大额定值

表8.

参数	额定值
电气	
AVDD至AGND	-0.3 V至+2.0 V
DRVDD至AGND	-0.3 V至+2.0 V
DVDD至DVSS	-0.3 V至+2.0 V
SVDD至AGND	-0.3 V至+2.0 V
数字输出至AGND	-0.3 V至+2.0 V
CLK+、CLK-至AGND	-0.3 V至+2.0 V
VINx+、VINx-至AGND	-0.3 V至+2.0 V
DSYSREF+、DSYSREF-至AGND	-0.3 V至+2.0 V
DSYNC-、DSYNC+至AGND	-0.3 V至+2.0 V
SCLK、SDIO、CSB、PDWN至AGND	-0.3 V至+3.9 V
SYNC至AGND	-0.3 V至+2.0 V
RBIAS至AGND	-0.3 V至+2.0 V
VCM、VREF、SENSE至AGND	-0.3 V至+2.0 V
环境	
工作温度范围(环境)	-40°C至 +85°C
最高结温	150°C
引脚温度(焊接, 10秒)	300°C
存储温度范围(环境)	-65°C至+150°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下, 推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 的测试条件为有实接地层的四层印刷电路板(PCB, 仿真)。裸露焊盘焊接到PCB地。

表9. 热阻

封装类型	气流速度 (m/s)	θ_{JA} (°C/W)	θ_{JB} (°C/W) ¹	θ_{JC} 顶部 (°C/W) ¹	θ_{JC} 底部 (°C/W) ¹
56引脚	0	22.4	7.7	7.42	2.29
LFCSP、 8 mm × 8 mm	1	19.0	不适用	不适用	不适用
	2.5	17.6	不适用	不适用	不适用

¹ N/A表示不适用。

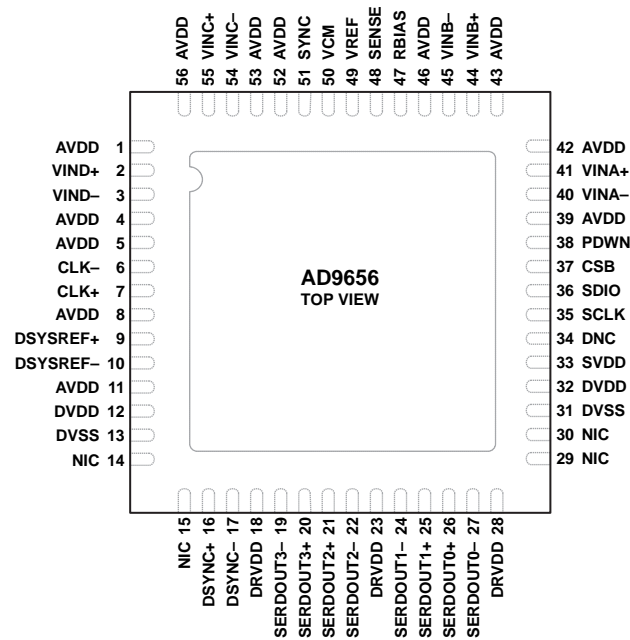
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述



- NOTES
1. NIC = NOT INTERNALLY CONNECTED. CAN BE CONNECTED TO GROUND IF DESIRED.
 2. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
 3. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

11986P-004

图4. 引脚配置(顶视图)

表10. 引脚功能描述

引脚编号	引脚名称	说明
0	AGND、 裸露焊盘	模拟地，裸露焊盘。封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连，才能正常工作。
1, 4, 5, 8, 11, 39, 42, 43, 46, 52, 53, 56	AVDD	1.8 V模拟电源引脚。
2	VIND+	ADC D模拟输入(+).
3	VIND-	ADC D模拟输入(-).
6, 7	CLK-, CLK+	差分编码时钟。PECL、LVDS或1.8 V CMOS输入。
9	DSYSREF+	JESD204B LVDS SYSREF低电平有效输入(+).
10	DSYSREF-	JESD204B LVDS SYSREF低电平有效输入(-).
12, 32	DVDD	数字电源。
13, 31	DVSS	数字地。
14, 15, 29, 30	NIC	内部不连接。需要时可接地。
16	DSYNC+	JESD204B LVDS SYNC低电平有效输入(+).
17	DSYNC-	JESD204B LVDS SYNC低电平有效输入(-).
18, 23, 28	DRVDD	数字输出驱动器电源。
19	SERDOUT3-	通道3数字输出(-).
20	SERDOUT3+	通道3数字输出(+).
21	SERDOUT2+	通道2数字输出(+).
22	SERDOUT2-	通道2数字输出(-).
24	SERDOUT1-	通道1数字输出(-).
25	SERDOUT1+	通道1数字输出(+).
26	SERDOUT0+	通道0数字输出(+).
27	SERDOUT0-	通道0数字输出(-).
33	SVDD	SPI电源引脚。

引脚编号	引脚名称	说明
34	DNC	不连接。请勿连接该引脚。
35	SCLK	SPI时钟输入。
36	SDIO	SPI数据输入和输出，双向。
37	CSB	SPI片选信号。低电平有效使能；内置30 kΩ上拉电阻。
38	PDWN	数字输入。此引脚内置一个30 kΩ下拉电阻。PDWN高电平 = 关断器件；PDWN低电平 = 运行器件(正常工作)。
40	VINA-	ADC A模拟输入(-)。
41	VINA+	ADC A模拟输入(+)
44	VINB+	ADC B模拟输入(+)
45	VINB-	ADC B模拟输入(-)。
47	RBIAS	设置模拟电流偏置。此引脚连接到接地10 kΩ(1%容差)电阻。
48	SENSE	基准电压模式选择。
49	VREF	基准电压输入和输出引脚。
50	VCM	模拟输入共模电压。
51	SYNC	数字输入。时钟分频器的同步输入。
54	VINC-	ADC C模拟输入(-)。
55	VINC+	ADC C模拟输入(+)

典型性能参数

$V_{REF} = 1.4\text{ V}$

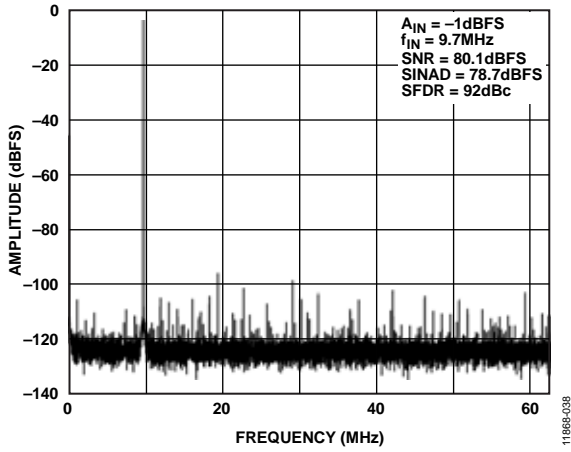


图5. 单音32k FFT ($f_{IN} = 9.7\text{ MHz}$, $f_{SAMPLE} = 125\text{ MSPS}$, $V_{REF} = 1.4\text{ V}$)

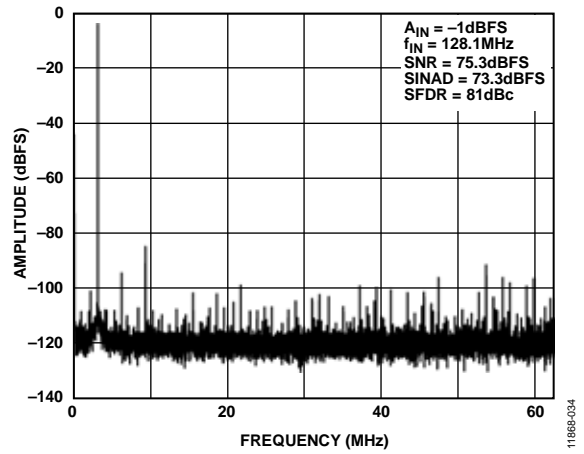


图8. 单音32k FFT ($f_{IN} = 128.1\text{ MHz}$, $f_{SAMPLE} = 125\text{ MSPS}$, $V_{REF} = 1.4\text{ V}$)

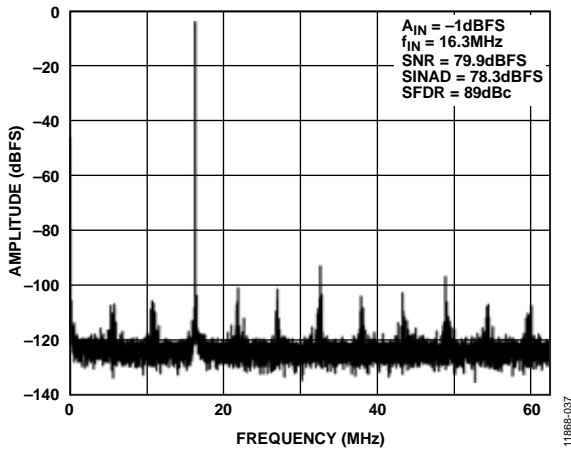


图6. 单音32k FFT ($f_{IN} = 16.3\text{ MHz}$, $f_{SAMPLE} = 125\text{ MSPS}$, $V_{REF} = 1.4\text{ V}$)

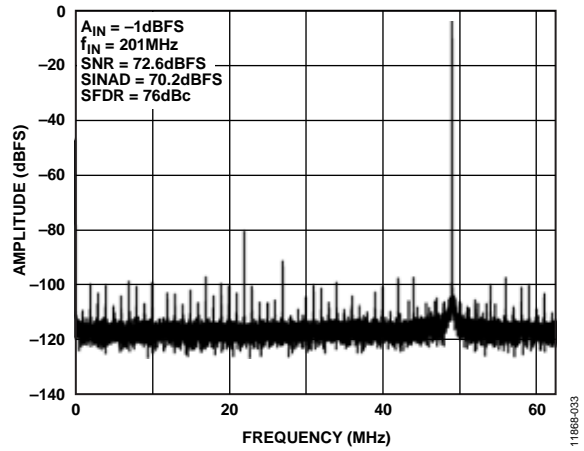


图9. 单音32k FFT ($f_{IN} = 201\text{ MHz}$, $f_{SAMPLE} = 125\text{ MSPS}$, $V_{REF} = 1.4\text{ V}$)

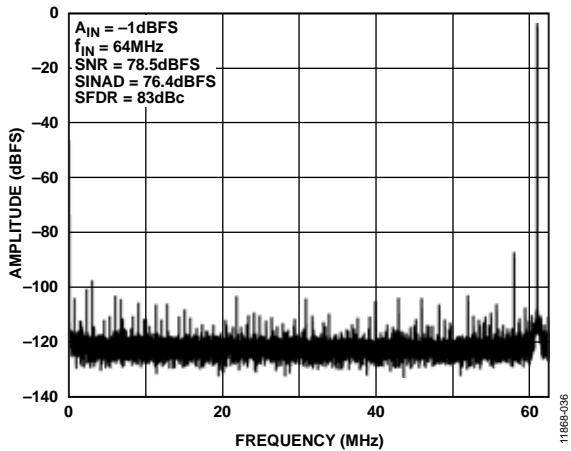


图7. 单音32k FFT ($f_{IN} = 64\text{ MHz}$, $f_{SAMPLE} = 125\text{ MSPS}$, $V_{REF} = 1.4\text{ V}$)

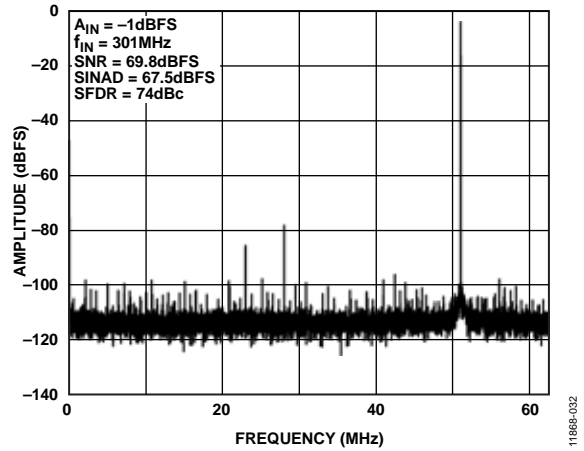


图10. 单音32k FFT ($f_{IN} = 301\text{ MHz}$, $f_{SAMPLE} = 125\text{ MSPS}$, $V_{REF} = 1.4\text{ V}$)

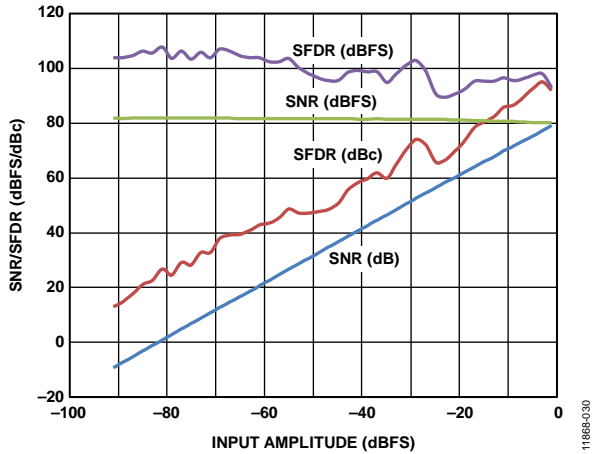


图11. SNR/SFDR与输入幅度(A_{IN})的关系
($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.4 \text{ V}$)

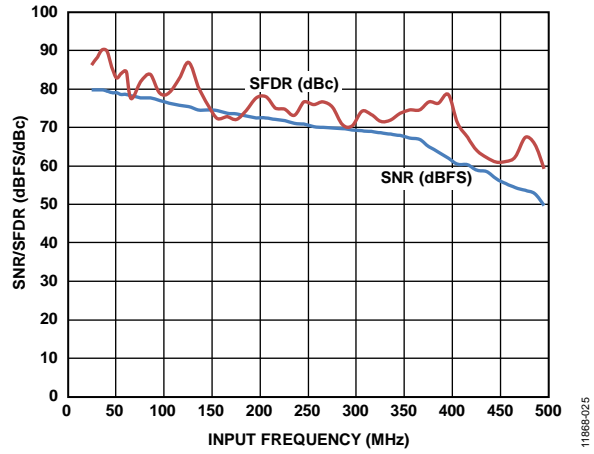


图14. SNR/SFDR与输入频率(f_{IN})的关系
($f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.4 \text{ V}$)

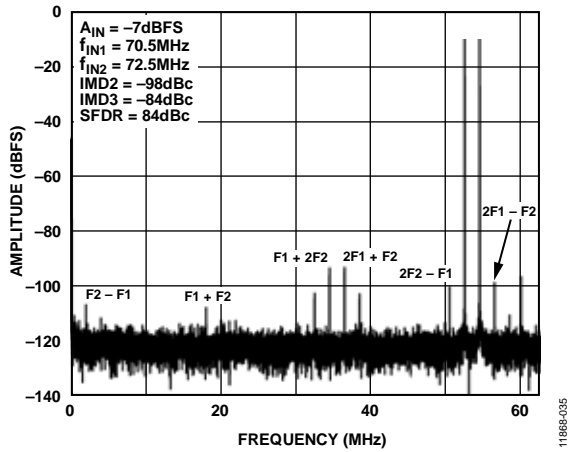


图12. 双音32k FFT($f_{IN1} = 70.5 \text{ MHz}$, $f_{IN2} = 72.5 \text{ MHz}$,
 $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.4 \text{ V}$)

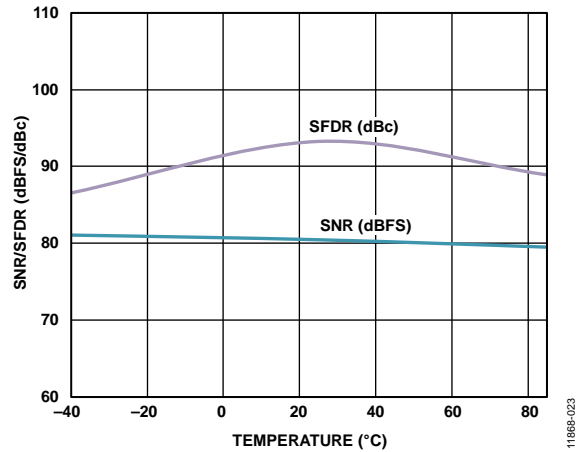


图15. SNR/SFDR与温度的关系
($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.4 \text{ V}$)

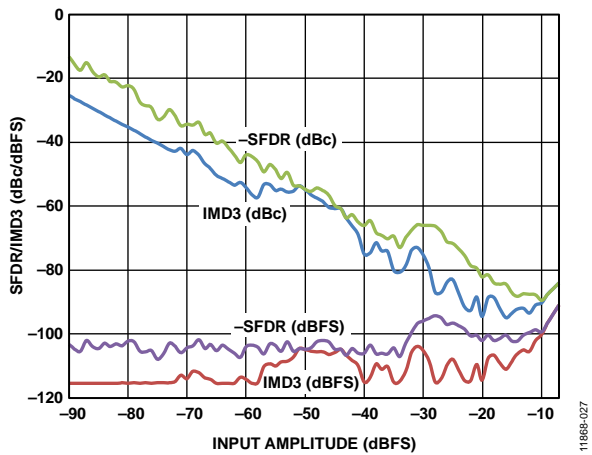


图13. 双音SFDR/IMD3与输入幅度(A_{IN})的关系
($f_{IN1} = 70.5 \text{ MHz}$, $f_{IN2} = 72.5 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.4 \text{ V}$)

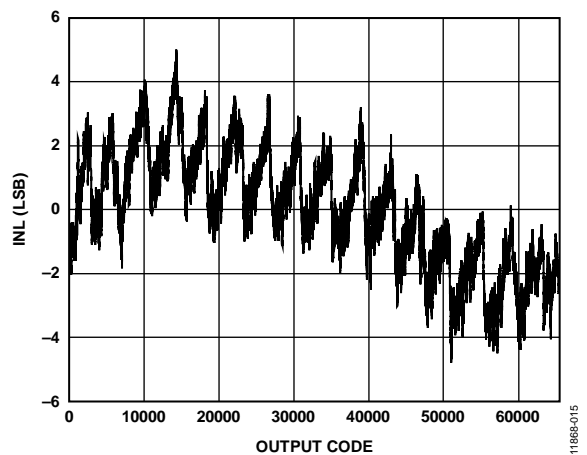


图16. 积分非线性(INL)
($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.4 \text{ V}$)

AD9656

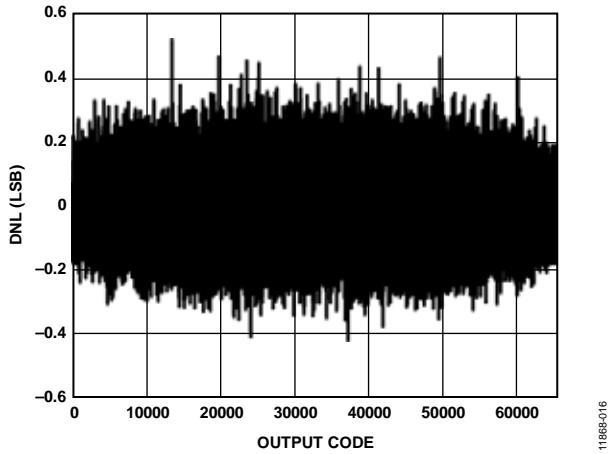


图17. 差分非线性(DNL)($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.4 \text{ V}$)

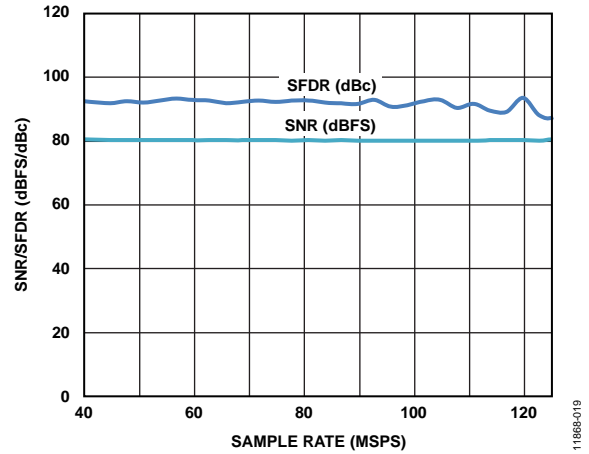


图19. SNR/SFDR与采样速率的关系($f_{IN} = 9.7 \text{ MHz}$, $V_{REF} = 1.4 \text{ V}$)

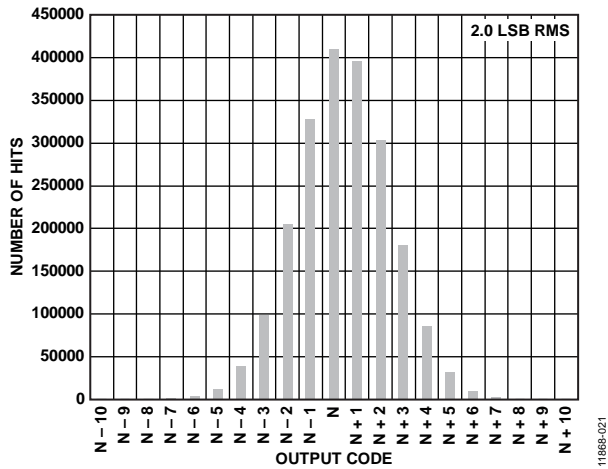


图18. 折合到输入端的噪声直方图($f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.4 \text{ V}$)

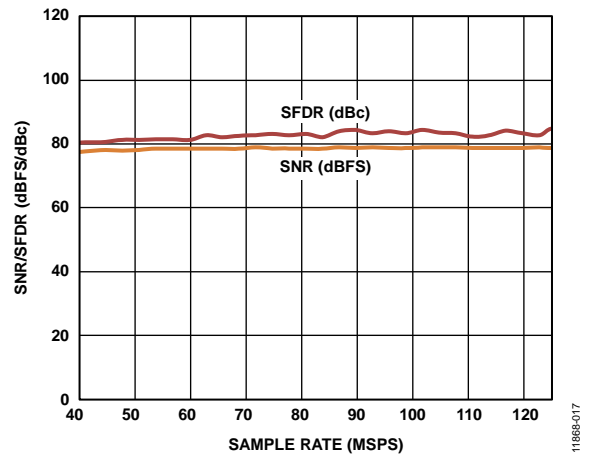


图20. SNR/SFDR与采样速率的关系($f_{IN} = 64 \text{ MHz}$, $V_{REF} = 1.4 \text{ V}$)

$V_{REF} = 1.0 V$

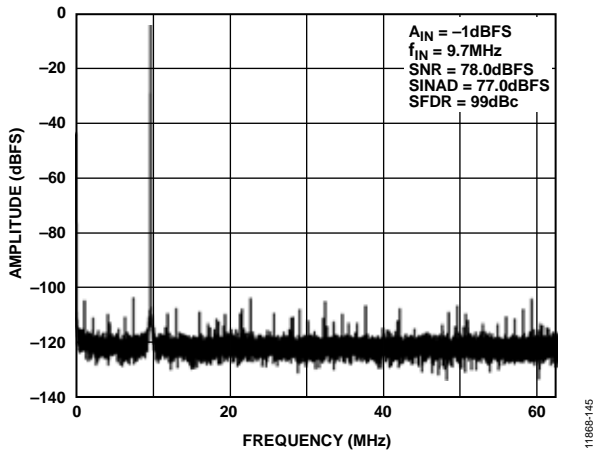


图21. 单音32k FFT($f_{IN} = 9.7 MHz$, $f_{SAMPLE} = 125 MSPS$, $V_{REF} = 1.0 V$)

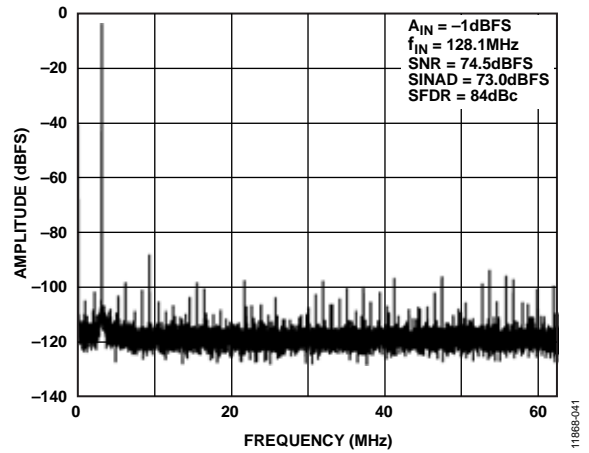


图24. 单音32k FFT($f_{IN} = 128.1 MHz$, $f_{SAMPLE} = 125 MSPS$, $V_{REF} = 1.0 V$)

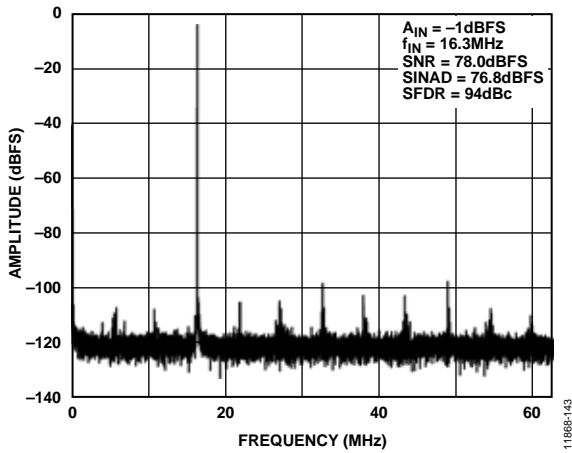


图22. 单音32k FFT($f_{IN} = 16.3 MHz$, $f_{SAMPLE} = 125 MSPS$, $V_{REF} = 1.0 V$)

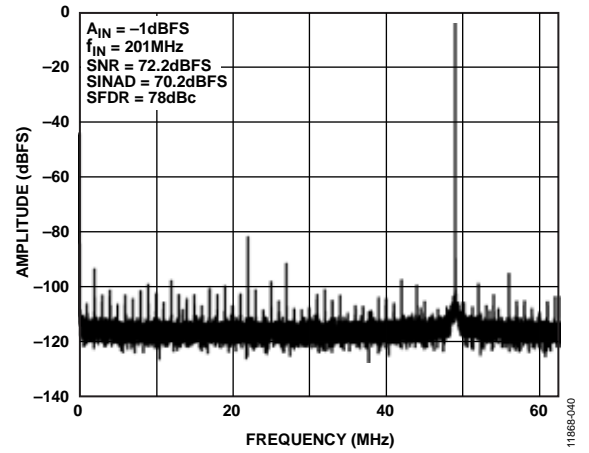


图25. 单音32k FFT($f_{IN} = 201 MHz$, $f_{SAMPLE} = 125 MSPS$, $V_{REF} = 1.0 V$)

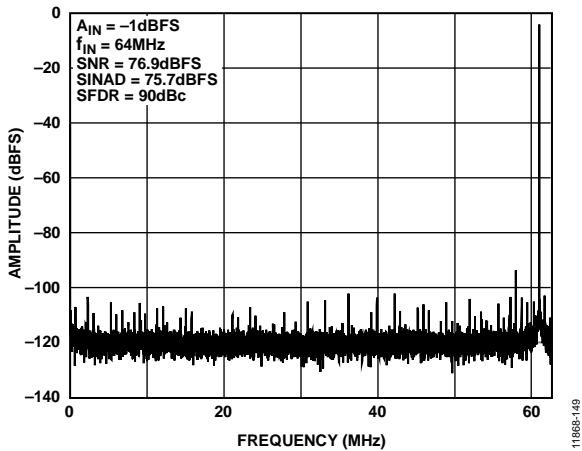


图23. 单音32k FFT($f_{IN} = 64 MHz$, $f_{SAMPLE} = 125 MSPS$, $V_{REF} = 1.0 V$)

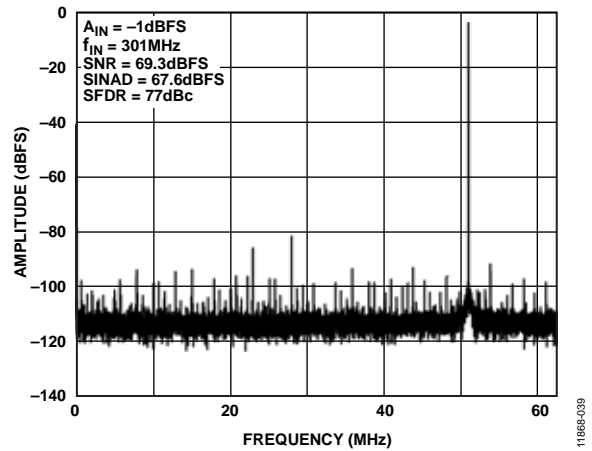


图26. 单音32k FFT($f_{IN} = 301 MHz$, $f_{SAMPLE} = 125 MSPS$, $V_{REF} = 1.0 V$)

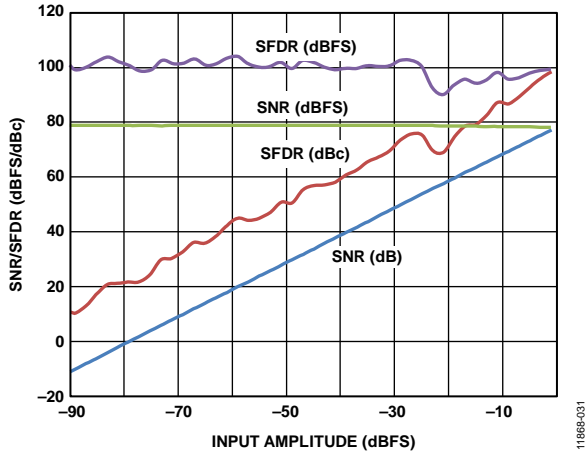


图27. SNR/SFDR与输入幅度(A_{IN})的关系
($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

11866-031

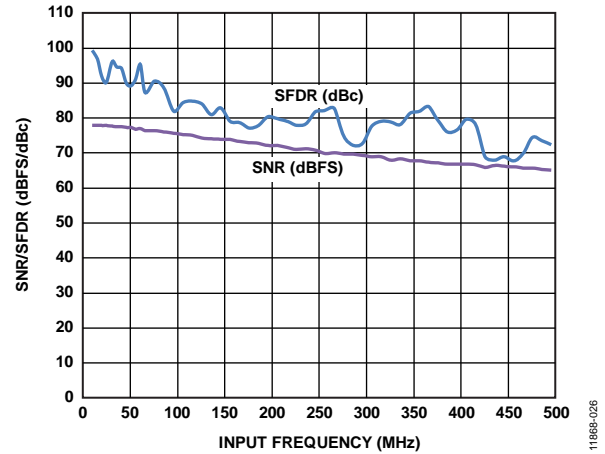


图30. SNR/SFDR与输入频率(f_{IN})的关系
($f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

11866-026

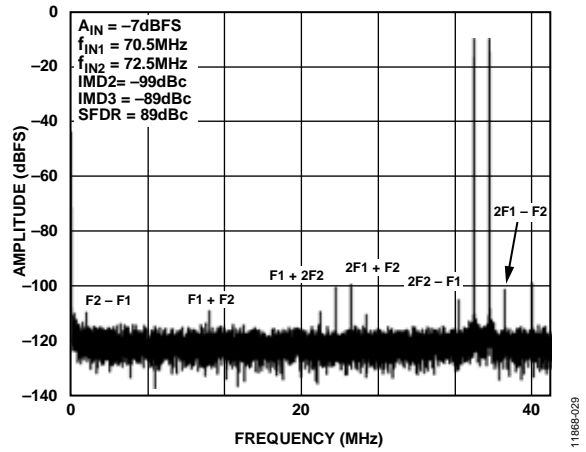


图28. 双音32k FFT($f_{IN1} = 70.5 \text{ MHz}$, $f_{IN2} = 72.5 \text{ MHz}$,
 $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

11866-029

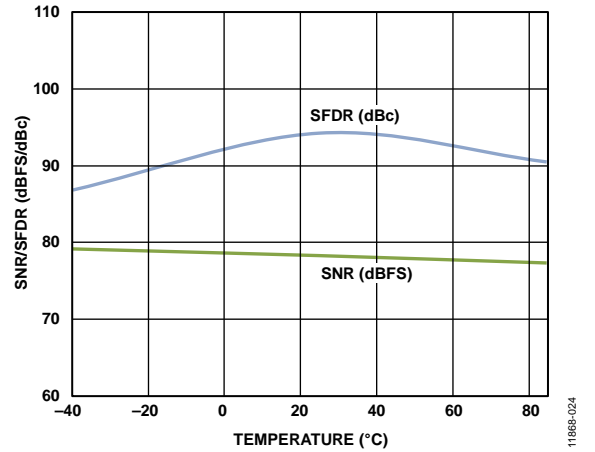


图31. SNR/SFDR与温度的关系
($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

11866-024

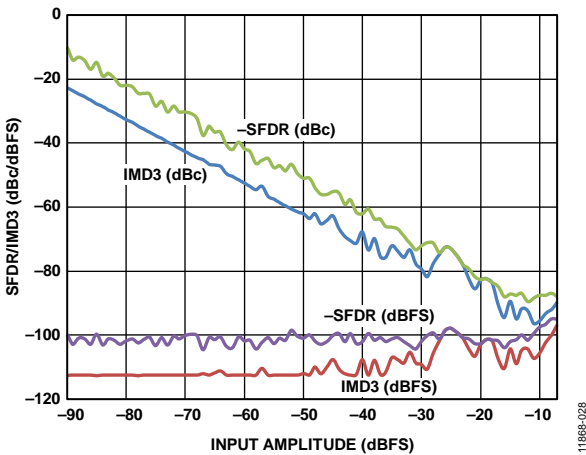


图29. 双音SFDR/IMD3与输入幅度(A_{IN})的关系
($f_{IN1} = 70.5 \text{ MHz}$, $f_{IN2} = 72.5 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

11866-028

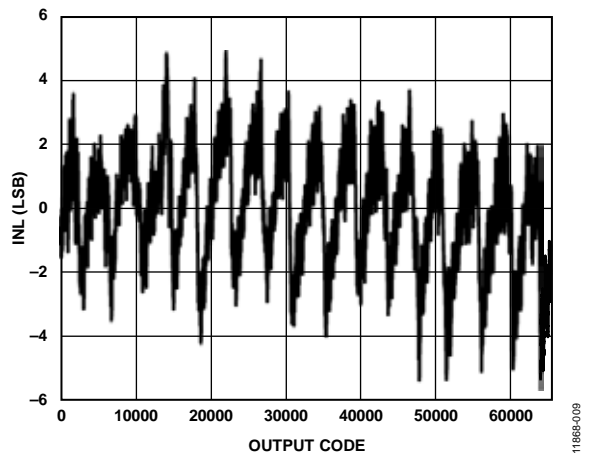


图32. 积分非线性(INL)($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

11866-009

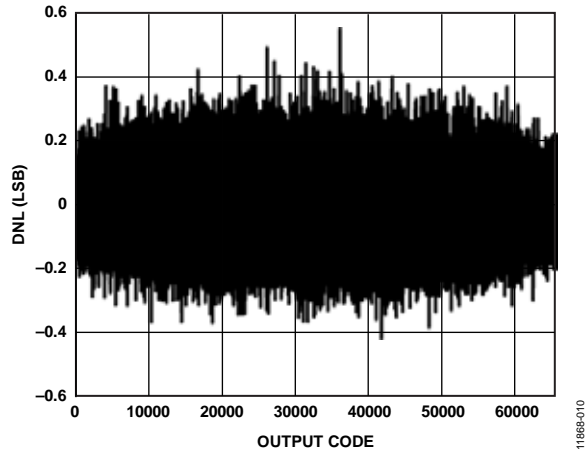


图33. 差分非线性(DNL)($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

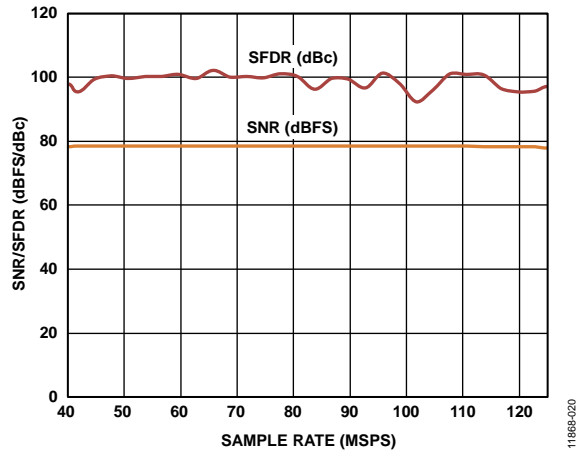


图35. SNR/SFDR与采样速率的关系($f_{IN} = 9.7 \text{ MHz}$, $V_{REF} = 1.0 \text{ V}$)

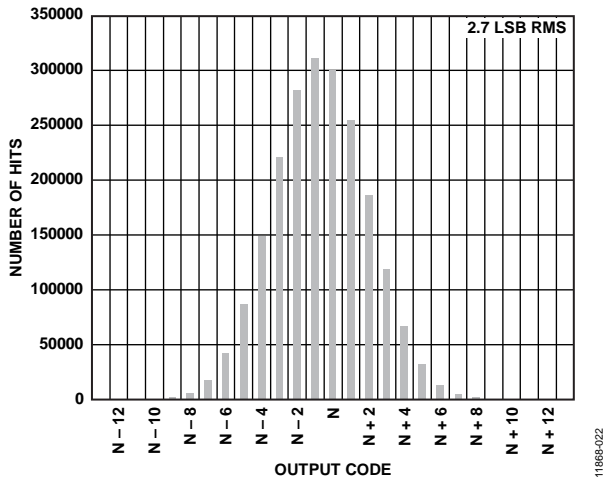


图34. 折合到输入端的噪声直方图($f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

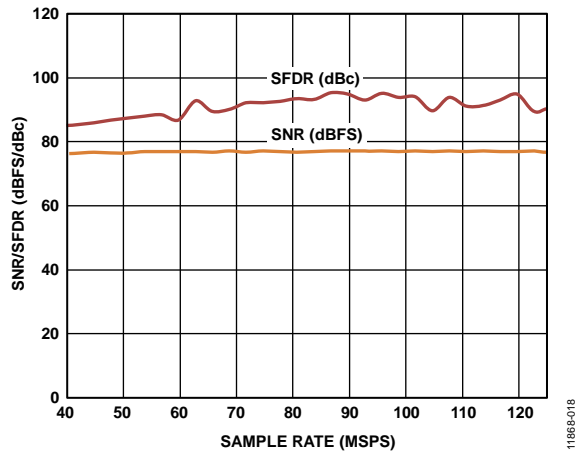


图36. SNR/SFDR与采样速率的关系($f_{IN} = 64 \text{ MHz}$, $V_{REF} = 1.0 \text{ V}$)

等效电路

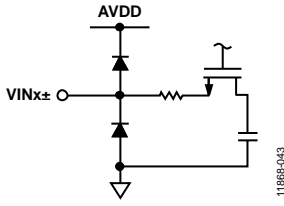


图37. 等效模拟输入电路

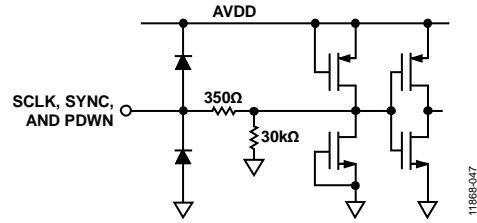


图41. 等效SCLK、SYNC和PDWN输入电路

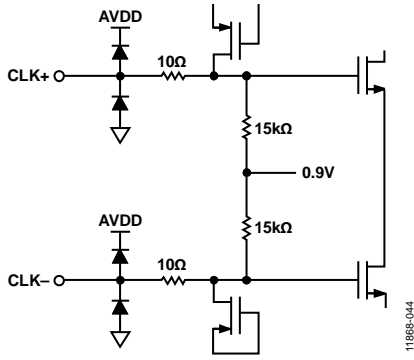


图38. 等效时钟输入电路

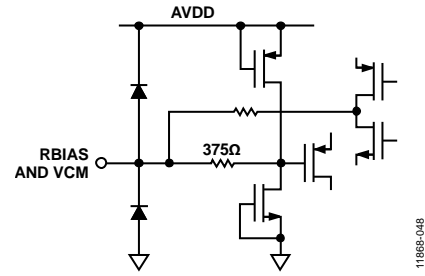


图42. 等效RBIAS和VCM电路

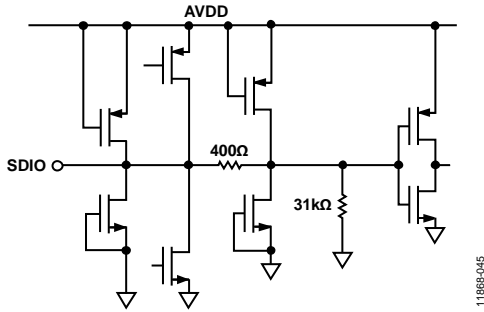


图39. 等效SDIO输入电路

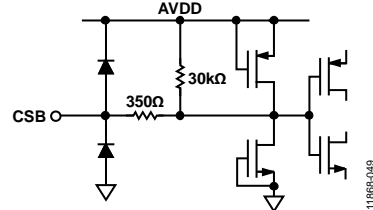


图43. 等效CSB输入电路

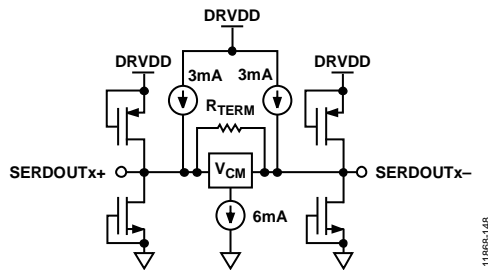


图40. 等效SERDOUTx±电路

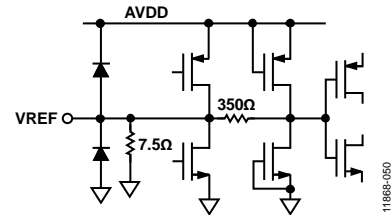


图44. 等效VREF电路

工作原理

AD9656是一款多级、流水线式ADC，各级均提供充分的重叠，以便校正上一级的Flash误差。各级的量化输出组合在一起，在数字校正逻辑中最终形成一个16位转换结果。串行器以16位输出格式发送此转换数据。流水线式架构允许第一级处理新的输入样本，而其它级继续处理之前的样本。采样在时钟的上升沿进行。

除最后一级以外，流水线的每一级都由一个低分辨率Flash型ADC、与之相连的一个开关电容DAC和一个级间余量放大器(例如乘法数模转换器[MDAC])组成。余量放大器放大重构DAC输出与Flash型输入之差，以便提供给流水线的下一级。为了帮助对Flash误差进行数字校正，每一级设定了一位冗余量。最后一级仅由一个Flash型ADC组成。

输出级模块能够实现数据对准、错误校正，且能将数据传输到输出缓冲器。然后对数据进行串行化，并使之与帧和数据时钟对齐。

模拟输入考虑

AD9656的模拟输入端是一个差分开关电容电路，设计用于处理差分输入信号。该电路支持宽共模范围，同时能保持出色的性能。当输入共模电压为中间电源电压时，信号相关误差最小，并且能获得最佳性能。

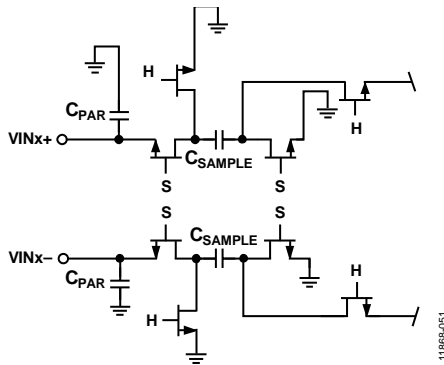


图45. 开关电容输入电路

输入电路根据时钟信号在采样模式和保持模式之间切换(见图45)。当输入电路切换到采样模式时，信号源必须能够对采样电容充电，并且在半个时钟周期内完成建立。每个输入端都串联一个小电阻，帮助降低从驱动源输出级注入的峰值瞬态电流。此外，输入端的每一侧可以使用低Q电感或铁氧体磁珠，以减小模拟输入端的高差分电容，从而实

现ADC的最大带宽。在高中频(IF)下驱动转换器前端时，必须使用低Q电感或铁氧体磁珠。输入端可以使用一个差分电容或两个单端电容，以提供匹配的无源网络。这最终会在输入端形成一个低通滤波器，用来限制无用的宽带噪声。欲了解更多信息，请参阅[应用笔记AN-742](#)、[应用笔记AN-827](#)以及Analog Dialogue的文章“[用于宽带模数转换器的变压器耦合前端](#)”。通常，精确值取决于应用。

输入共模电压

AD9656的模拟输入端无内部直流偏置。因此，在交流耦合应用中，用户必须提供外部偏置。为能够获得最佳性能，建议用户对器件进行设置，使得 $V_{CM} = AVDD/2$ ；但器件在更宽的 V_{CM} 范围内都能获得合理的性能，如图46和图47所示。

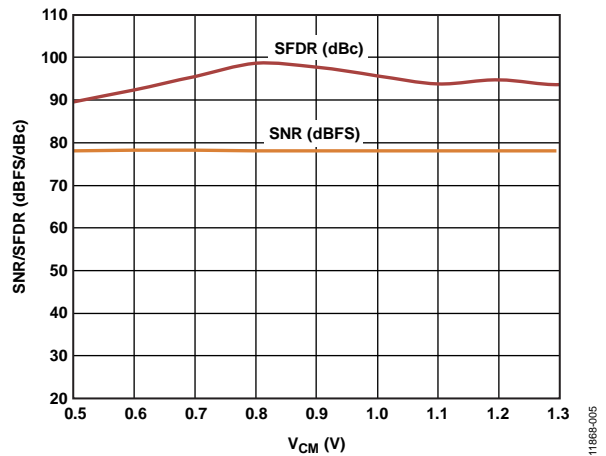


图46. SNR/SFDR与共模电压(V_{CM})的关系
($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.0 \text{ V}$)

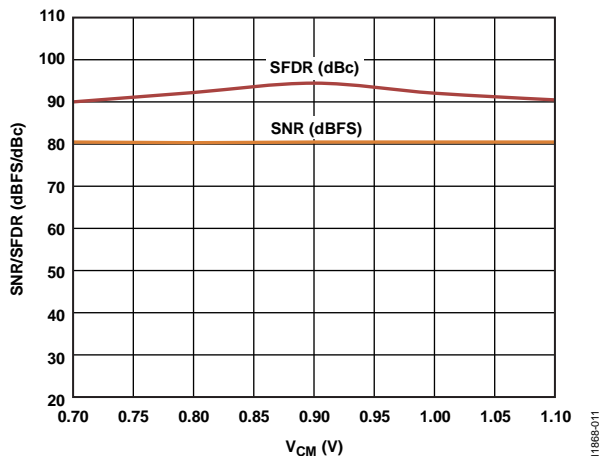


图47. SNR/SFDR与共模电压(V_{CM})的关系
($f_{IN} = 9.7 \text{ MHz}$, $f_{SAMPLE} = 125 \text{ MSPS}$, $V_{REF} = 1.4 \text{ V}$)

AD9656

芯片通过VCM引脚提供片内共模基准电压。必须用一个0.1 μF电容将VCM引脚旁路至地，如“应用信息”部分所述。

在差分配置中，将ADC设置为最大范围可以实现最高的SNR性能。对于AD9656，输入范围取决于基准电压(见表11)。

差分输入配置

有多种有源或无源方法可以驱动AD9656。不过，通过差分方式驱动模拟输入可实现最佳性能。在基带应用中，利用

差分双巴伦配置驱动AD9656能够为ADC提供出色的性能和灵活的接口(参见图48)。

在SNR为关键参数的应用中，因为大部分放大器的噪声性能不足以实现AD9656的真正性能，所以输入配置中建议采用差分变压器耦合(见图49)。

无论使用何种配置，分流电容值C均取决于输入频率，并且可能需要降低电容值或去掉该分流电容。

不建议以单端方式驱动AD9656输入。

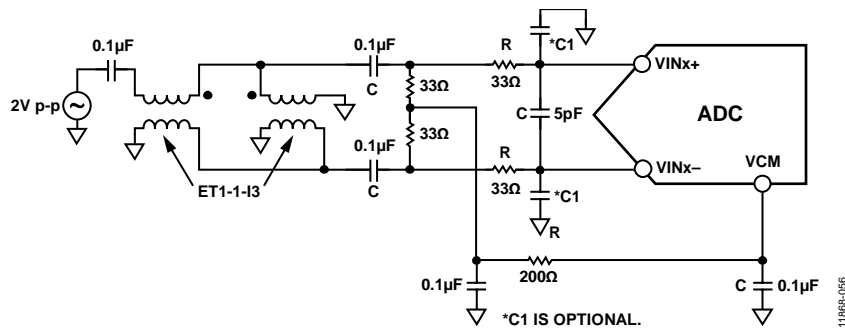


图48. 针对基带应用的差分双巴伦输入配置

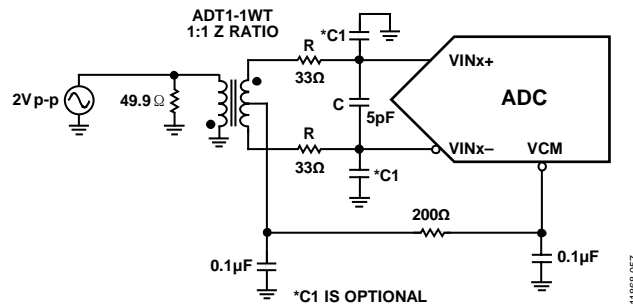


图49. 针对基带应用的差分变压器耦合配置

表11. 基准电压配置表

所选模式	SENSE电压(V)	相应的 V_{REF} (V)	相应的差分范围 (V p-p)
固定内部基准电压	AGND至0.2 V	1.0 V至1.4 V内部基准电压，SPI可选，通过寄存器0x18的位[7:6]	2.0至2.8
可编程内部基准电压源	SENSE引脚连接外部R分频器(见图51)	$0.5 \times (1 + R2/R1)$ ，例如：对于 $V_{REF} = 1.4 V$ ， $R1 = 3.2 k\Omega$ ， $R2 = 5.8 k\Omega$	$2 \times V_{REF}$
固定外部基准电压	AVDD	1.0 V至1.4 V施加于外部VREF引脚	2.0至2.8

基准电压源

AD9656内置稳定、精确的基准电压源。VREF可以利用内部1.0 V基准电压、外部施加的1.0 V至1.4 V基准电压或作用于内部基准电压的外部电阻分压器来配置，产生用户可选的基准电压。基准电压源模式说明参见“内部基准电压连接”部分和“外部基准电压”部分。VREF引脚应通过外部一个低等效串联电阻(ESR)1.0 μF电容和一个低ESR 0.1 μF陶瓷电容的并联旁路至地。

内部基准电压连接

AD9656的内置比较器可检测出SENSE引脚的电压，从而将基准电压配置成三种可能的模式之一(见表11)。如果SENSE引脚接地，则基准电压放大器开关与内部电阻分压器相连(见图50)，因而将VREF引脚电压 V_{REF} 设为1.0 V。如果SENSE引脚连接到外部电阻分压器(见图51)，则 V_{REF} 定义为：

$$V_{REF} = 0.5 \times \left(1 + \frac{R2}{R1} \right)$$

其中：

$$7 \text{ k}\Omega \leq (R1 + R2) \leq 10 \text{ k}\Omega$$

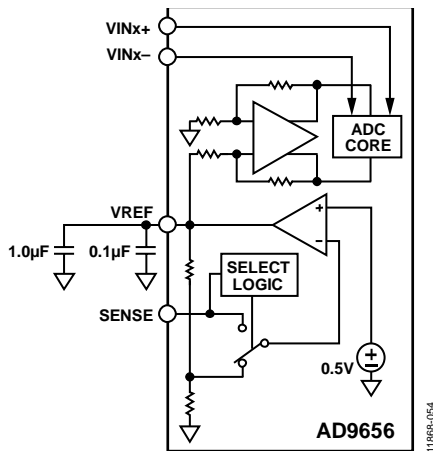


图50. 1.0 V内部基准电压配置

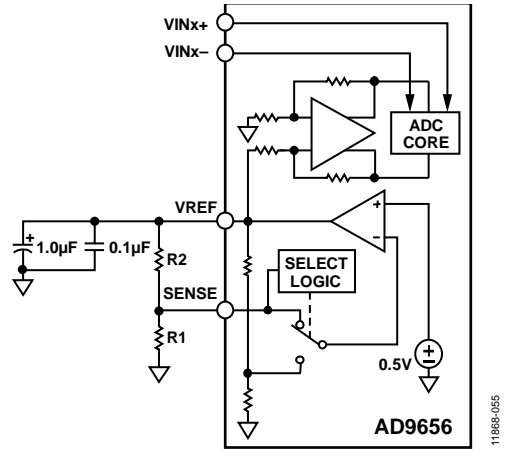


图51. 可编程内部基准电压配置

如需利用AD9656的内部基准电压来驱动多个转换器，从而提高增益的匹配度，则必须考虑到其它转换器对基准电压的负载。图52和图53显示负载如何影响内部基准电压。

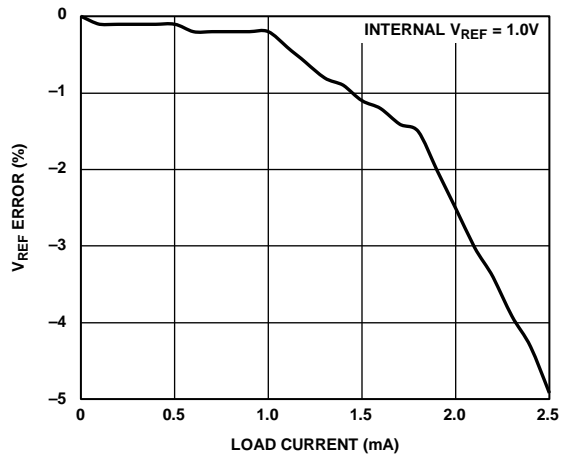


图52. V_{REF} 误差(内部 $V_{REF} = 1.0 \text{ V}$)与负载电流的关系

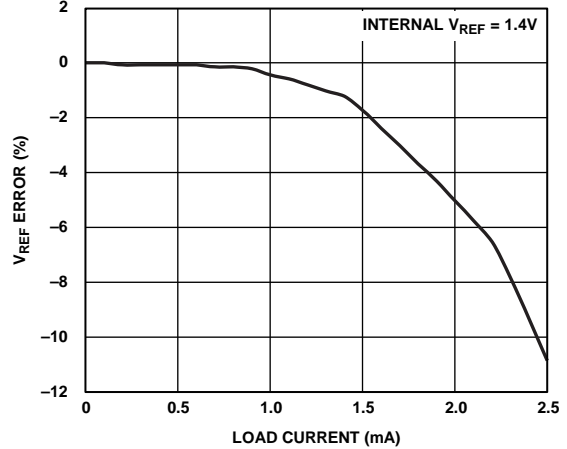


图53. V_{REF} 误差(内部 $V_{REF} = 1.4 \text{ V}$)与负载电流的关系

外部基准电压

必须采用外部基准电压才可能进一步提高ADC增益精度、改善热漂移特性。图54和图55显示内部基准电压源分别在1.0 V模式和1.4 V模式下的典型漂移特性。

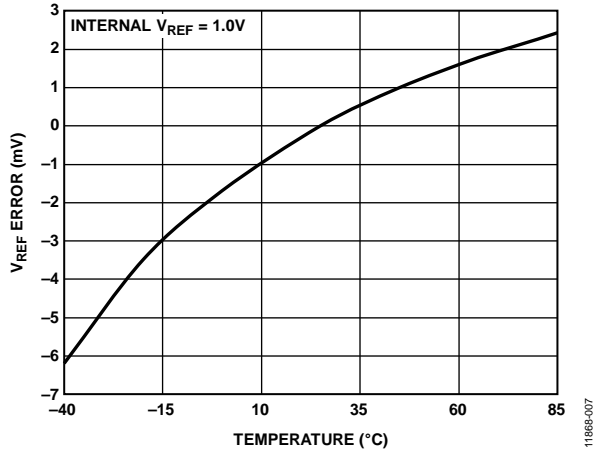


图54. V_{REF} 误差与温度的关系($V_{REF} = 1.0$ V典型漂移)

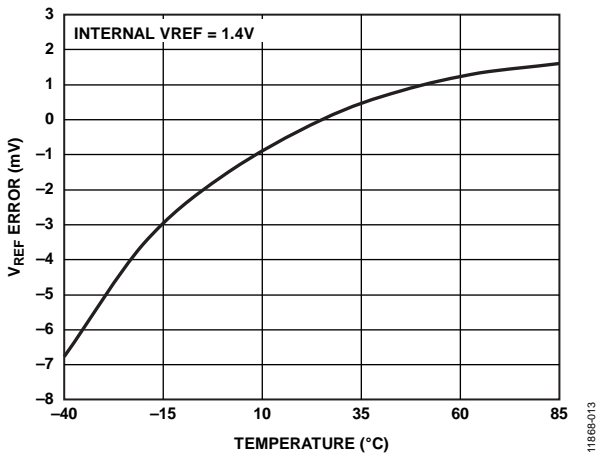


图55. V_{REF} 误差与温度的关系($V_{REF} = 1.4$ V典型漂移)

将SENSE引脚与AVDD相连时，可以禁用内部基准电压源，从而允许使用外部基准电压源。内部基准电压缓冲器对外部基准电压源的负载相当于7.5 kΩ负载。内部缓冲器为ADC内核生成正、负满量程基准电压。

不建议悬空SENSE引脚。

时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为AD9656采样时钟输入端(CLK+和CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到CLK+和CLK-引脚内。这两个引脚有内部偏置，无需外部偏置。

时钟输入选项

AD9656具有灵活的时钟输入结构。CMOS、LVDS、LVPECL或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动(见抖动考虑部分说明)。

图56和图57显示两种为AD9656提供时钟信号的首选方法(内部时钟分频前的时钟速率可达1 GHz)。利用射频变压器或射频巴伦，可将低抖动时钟源的单端信号转换成差分信号。

对于125 MHz至1 GHz的时钟频率，建议采用射频巴伦配置；对于40 MHz至200 MHz的时钟频率，建议采用射频变压器配置。跨接在变压器/巴伦次级绕组上的肖特基二极管可以将输入到AD9656中的时钟信号限制为约差分0.8 V峰峰值(见图56和图57)。

这样，既可以防止时钟的大电压摆幅馈通至AD9656的其它部分，还可以保留信号的快速上升和下降时间，这一点是实现低抖动性能来说非常重要。但是，当频率高于500 MHz时，二极管电容会产生影响。必须小心选择适当的信号限幅二极管。

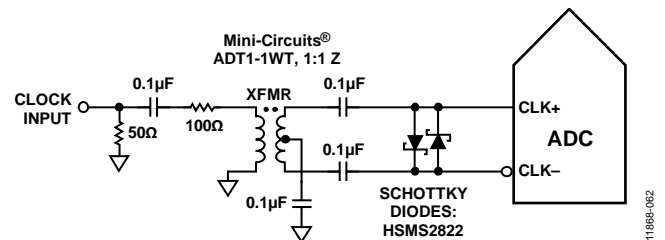


图56. 变压器耦合差分时钟(频率可达200 MHz)

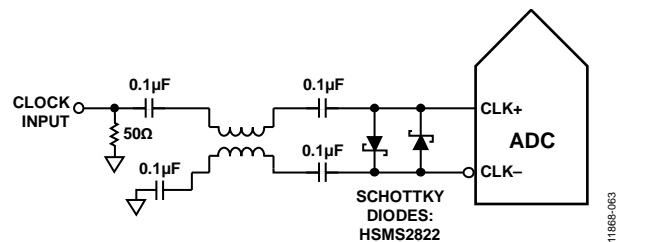


图57. 巴伦耦合差分时钟(频率可达1 GHz)

如果没有低抖动的时钟源，那么，另一种方法是对差分 PECL 信号进行交流耦合，并传输至采样时钟输入引脚(如图 58 所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517 时钟驱动器具有出色的抖动性能。

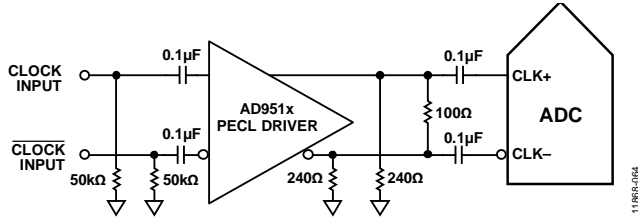


图58. 差分PECL采样时钟(频率可达1 GHz)

另一种方法是将差分 LVDS 信号交流耦合至采样时钟输入引脚(如图 59 所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517 时钟驱动器具有出色的抖动性能。

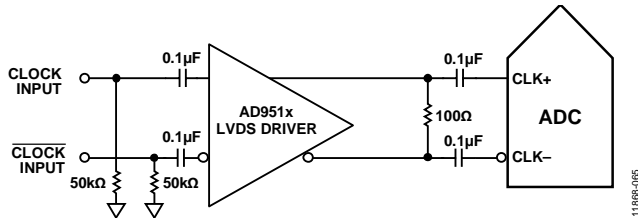


图59. 差分LVDS采样时钟(频率可达1 GHz)

在某些应用中，可以利用单端 1.8 V CMOS 信号来驱动采样时钟输入。在此类应用中，CLK+ 引脚直接由 CMOS 门电路驱动，CLK- 引脚则通过一个 0.1 μF 电容旁路至地(见图 60)。

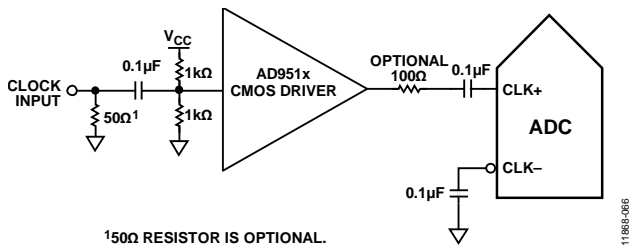


图60. 单端1.8 V CMOS输入时钟(频率可达200 MHz)

输入时钟分频器

AD9656 内置一个输入时钟分频器，可对输入时钟进行 1 至 8 整数倍分频。

利用外部 SYNC 输入信号，可同步 AD9656 时钟分频器。通过对寄存器 0x109 的位 0 和位 1 进行写操作，可以设置每次收到 SYNC 信号或者仅第一次收到 SYNC 信号后对时钟分频器再同步。有效 SYNC 可使分频器复位至初始状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

时钟占空比

典型的高速 ADC 利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。通常，为保持 ADC 的动态性能，时钟占空比容差应为 $\pm 5\%$ 。

AD9656 内置一个占空比稳定器 (DCS)，可对非采样边沿(下降沿)进行重新定时，并提供标称占空比为 50% 的内部时钟信号。当时钟输入占空比偏离标称 50% 占空比的幅度大于 $\pm 5\%$ 额定值时，该特性可最大程度减少性能的下降。使能 DCS 功能可显著改善 30% 至 45% 和 55% 至 70% 的时钟输入占空比的噪声和失真性能。

输入上升沿的抖动依然值得关注，且无法借助内部稳定电路来轻易减少这种抖动。在时钟速率动态改变的应用中，必须考虑与该环路相关的时间常量。在 DCS 环路重新锁定输入信号前，都需要等待 1.5 μs 至 5 μs 的时间。

抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率(f_A)下, 仅由孔径抖动(t_j)造成的信噪比(SNR)下降计算公式如下:

$$\text{SNR下降幅度} = 20 \log_{10} \left(\frac{1}{2\pi \times f_A \times t_j} \right)$$

公式中, 均方根孔径抖动表示所有抖动源(包括时钟输入信号、模拟输入信号和ADC孔径抖动规格)的和方根。中频欠采样应用对抖动尤其敏感(见图61)。

当孔径抖动可能影响AD9656的动态范围时, 应将时钟输入信号视为模拟信号。将时钟驱动器电源与ADC输出驱动器电源分离, 以免在时钟信号内混入数字噪声。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法), 则需要在最后一步中利用原始时钟进行重定时。

如需更深入了解与ADC相关的抖动性能信息, 请参阅应用笔记AN-501和AN-756。

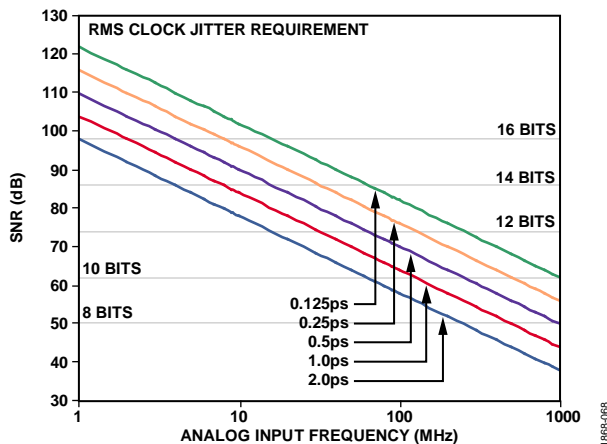


图61. 理想信噪比与模拟输入频率和抖动的关系

功耗和省电模式

如图62和图63所示, AD9656的功耗与其采样速率成比例关系。

通过SPI端口或将PDWN引脚置位高电平, 可使AD9656进入省电模式。在省电模式下, ADC的典型功耗为14 mW。省电模式下, 输出驱动器处于高阻抗状态。将PDWN引脚置位低电平时, AD9656返回正常工作模式。注意, PDWN

以数据输出驱动器电源电压(DRVDD)为基准, 且不得高于该电源电压。

在省电模式下, 通过关闭基准电压源、基准电压缓冲器、偏置网络以及时钟, 可实现低功耗。进入省电模式时, 内部电容放电; 返回正常工作模式时, 内部电容必须重新充电。因此, 唤醒时间与处于省电模式的时间有关; 处于省电模式的时间越短, 则相应的唤醒时间越短。使用SPI端口接口时, 用户可将ADC置于省电模式或待机模式。如需较短的唤醒时间, 可以使用待机模式, 该模式下内部基准电压电路处于通电状态。有关使用这些功能的更多信息, 请参见“存储器映射”部分。

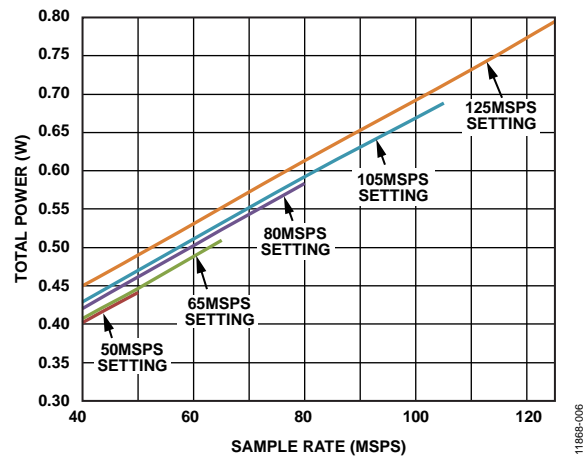


图62. 总功耗与 f_{SAMPLE} 的关系($f_{\text{IN}} = 9.7 \text{ MHz}$, 4通道, $V_{\text{REF}} = 1.4 \text{ V}$)

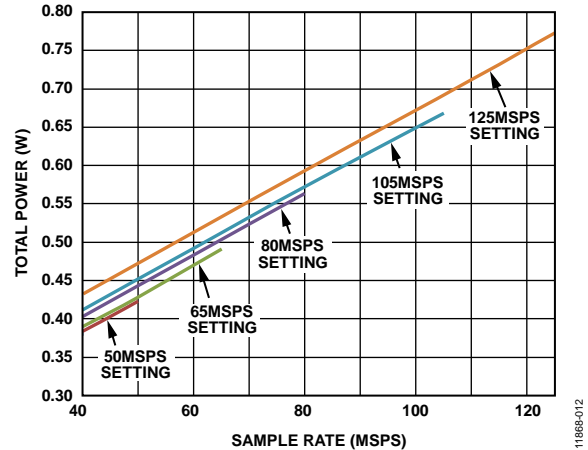


图63. 总功耗与 f_{SAMPLE} 的关系($f_{\text{IN}} = 9.7 \text{ MHz}$, 4通道, $V_{\text{REF}} = 1.0 \text{ V}$)

数字输出

JESD204B发送顶层描述

AD9656数字输出采用JEDEC标准(标准号: JESD204B, 数据转换器串行接口)。JESD204B是AD9656通过串行接口(最高6.4 Gbps链路速度)连接数字处理设备的协议。JESD204B接口的优势包括: 数据接口路由所需电路板空间更少, 以及转换器和逻辑器件的封装更小。AD9656支持单通道、双通道和四通道接口。

JESD204B概述

JESD204B数据发送模块JTX可将来自ADC的并行数据组合成数据帧, 并使用8b/10b编码以及可选数据加扰技术, 输出串行数据。在初始链路的建立过程中, 使用特殊字符可支持通道同步; 而额外的同步则在随后的数据流中实现。需要使相匹配的外部接收机锁定在串行数据流上, 并恢复数据和时钟。有关JESD204B接口的更多信息, 请参见JESD204B标准。

AD9656 JESD204B发送模块将四个ADC的输出映射到链路上。链路可配置为使用单路、双路或四路串行差分输出, 称为通道。JESD204B规范用多个参数来定义链路, JESD204B发射机(AD9656的输出)和接收机的这些参数必须匹配。

JESD204B链路可通过下列参数描述:

- S = 传送的样本/单个转换器/帧周期(AD9656的值为1)
- M = 转换器数/转换器(AD9656的值为4)
- L = 通道数/转换器(AD9656的值为1、2或4)
- N = 转换器分辨率(AD9656的值为16)
- N' = 每个样本的总位数(AD9656的值为16)
- CF = 控制字数/帧时钟周期/转换器(AD9656的值为0)
- CS = 控制位数/转换样本(AD9656的值为0)
- K = 每个多帧的帧数(可在AD9656上配置)
- HD = 高密度模式(AD9656的值为0)
- F = 8位字/帧(AD9656的值为2、4或8, 取决于相应L的值为4、2或1)
- C = 控制位(超量程、上溢、下溢; AD9656默认模式不提供该特性)
- T = 结束位(AD9656默认模式不提供该特性)
- SCR = 加扰器使能/禁用(可在AD9656上配置)
- FCHK = JESD204B参数的校验和(自动计算并存储在寄存器映射中)

图64显示AD9656 JESD204B链路的简化框图。AD9656默认配置为使用四个转换器和一个通道。AD9656支持其它配置, 如将两个或四个转换器的输出组合成单通道, 使得四个转换器的数据通过两个通道输出。可以改变0、1、2、3条数字输出路径的映射。这些模式可通过SPI寄存器映射中的快速配置寄存器进行设置, 并且提供额外的自定义选项。

默认情况下, AD9656每个转换器的16位字被分为两个8位字(数据位为8位)。第一个8位字包括位0 (MSB)到7, 第二个8位字包括位8到15 (LSB)。

可对生成的两个8位字进行加扰。加扰为可选; 该选项可在传输相似的数字数据模式时避免频谱尖峰。加扰器采用自同步、基于多项式的算法, 由方程 $1 + x^{14} + x^{15}$ 定义。接收机中的解扰器也必须使用加扰器多项式的自同步版本。

之后, 这两个8位字通过8b/10b编码器进行编码。8b/10b编码器将8个数据位(1个8位字)编码为一个10位的符号。图65显示16位的数据是如何从ADC中输出、两个8位字如何加扰, 以及8位字如何被编码为两个10位符号。图65显示了默认的数据格式。

在数据链路层, 除8b/10b编码外, 还使用字符替换, 以便接收机监控帧对齐。字符替换发生在帧和多帧的边界处, 并且它的实现取决于该过程发生在哪个边界上, 以及是否使能了加扰。

若禁用了加扰, 则采用以下措施。如果多帧中最后一帧的最后一个加扰8位字等于上一帧的最后一个8位字, 则发射机以控制字符/A/ = /K28.3/替换最后那个8位字。对于多帧中的其它帧而言, 如果帧内的最后一个8位字等于上一帧的最后一个8位字, 则发射机以控制字符/F/ = /K28.7/替换最后那个8位字。

若使能了加扰, 则采用以下措施。如果多帧中最后一帧的最后一个8位字等于0x7C, 则发射机以控制字符/A/ = /K28.3/替换最后那个8位字。对于多帧中的其它帧而言, 如果最后一个8位字等于0xFC, 则发射机以控制字符/F/ = /K28.7/替换最后那个8位字。

有关JESD204B接口的更多信息, 请参见JEDEC标准(标准号: JESD204B, 2011年7月)。5.1部分的内容包括传输层和数据格式的信息; 5.2部分的内容包括加扰和解扰。

AD9656

JESD204B同步详解

AD9656是一款JESD204B Subclass 1器件，可通过两个控制信号(SYSREF和DSYNC)实现链路同步。在系统层面，多个转换器件利用通用DSYSREF和器件时钟(CLK)实现对齐。

同步过程分三个阶段完成：代码组同步(CGS)、初始化通道对齐序列(ILAS)和数据传输。若使能加扰，则在数据传输阶段之前，数据位都不会真正进行加扰，CGS和ILAS阶段都不执行加扰。

CGS阶段

在CGS阶段，JESD204B的传送模块将传送/K28.5/字符。接收机(外部逻辑器件)必须使用时钟和数据恢复(CDR)技术，在输入数据流中找到K28.5字符。

一旦在链路通道上检测到一定数量的连续K28.5字符，接收机便产生一个DSYSREF边沿信号，以便AD9656的传输数据建立内部的本地多帧时钟(LMFC)信号。

DSYSREF边沿还可复位ADC的任意采样边沿，以使采样实例与LMFC同步。这对于在多个器件之间保持同步而言非常重要。

接收机或逻辑器件对施加于DSYNC的SYNC~信号解除置位，并且发射机模块开始执行ILAS阶段。

ILAS阶段

在ILAS阶段中，发射机发送已知模式，接收机对齐所有通道链路并验证链路参数。

SYNC~解除置位后(变为高电平)，便进入ILAS阶段。发送模块开始发送4个多帧。在所需的字符中插入伪采样，以便传送完整的多帧。4个多帧包括：

- 多帧1：以/R/字符[K28.0]开始，以/A/字符[K28.3]结束。
- 多帧2：以/R/字符开始，后接/Q/ [K28.4]字符，然后是14个配置8位字的链路配置参数(见表12)，最后以/A/字符结束。
- 多帧3：同多帧1。
- 多帧4：同多帧1。

表12. ILAS阶段的14个配置8位字

编号	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)
0	DID[7:0]							
1					BID[3:0]			
2	LID[4:0]							
3	SCR			L[4:0]				
4	F[7:0]							
5				K[4:0]				
6	M[7:0]							
7	CS[1:0]			N[4:0]				
8	SUBCLASS[2:0]			N'[4:0]				
9	JESDV[2:0]			S[4:0]				
10				CF[4:0]				
11	保留，无关(RES1)							
12	保留，无关(RES2)							
13	FCHK[7:0]							

数据传输阶段

在数据传输阶段，通过控制字符监控帧对齐。在帧的结尾处执行字符替换。出现下列情况时，会对发送器执行字符替换：

- 若禁用了加扰，并且帧或多帧的最后一个8位字等于上一帧的8位字。
- 若使能了加扰，并且多帧的最后一个8位字等于0x7C，或帧的最后一个8位字等于0xFC。

链路设置参数

以下内容展示了如何配置AD9656 JESD204B接口。配置输出的步骤包括：

1. 更改配置前先禁用通道。
2. 选择一个快速配置选项。
3. 配置详细选项。
4. 检查JESD204B接口参数的校验和FCHK。
5. 设置其它数字输出配置选项。
6. 再次使能通道。

更改配置前先禁用通道

在改变JESD204B的链路参数前，先禁用链路并保持在复位寄存器。通过向寄存器0x5F(位0)写入逻辑1，可完成此设置。

选择快速配置选项

写入寄存器0x5E(JESD204B快速配置寄存器)以便选择配置选项。配置选项及对应的JESD204B参数值见表15。

- 0x41 = 4个转换器，1个通道
- 0x42 = 4个转换器，2个通道
- 0x44 = 4个转换器，4个通道
- 0x21 = 2个转换器，1个通道
- 0x22 = 2个转换器，2个通道
- 0x11 = 1个转换器，1个通道

配置详细选项

配置结束位和控制位。

- 由于 $N' = 16$ 且 $N = 14$ (非默认配置)，每个样本都有2个数据位可用于通过JESD204B链路传输额外信息。可选择结束位或控制位。默认使用数值为0b00的结束位。
- 结束位是伪数据位，通过链路发送，以使两个8位字完整；它不传送有关输入信号的任何信息。结束位可以是固定的零值(默认)，或伪随机数字(寄存器0x5F位6)。
- 可通过寄存器0x72的位[7:6]选择一个或两个控制位来代替结束位。控制位的意义可通过寄存器0x14的位[7:5]设置。

设置通道标识值。

- JESD204B支持以参数标识器件和通道。这些参数在ILAS阶段时传送，并且可通过内部寄存器访问。
- 三个标识值分别是器件标识(DID)、模块标识(BID)和通道标识(LID)。DID和BID属于器件专有标识，因此可用于标识电路。

设置每个多帧的帧数目K。

- 根据JESD204B规范，多帧定义为一组K个连续帧，K取值范围为1至32，并且要求8位字的数量位于17至1024之间。寄存器0x70(位[4:0])默认将K值设为32。注意，K值为寄存器值加1。
- K值可更改，但必须满足一定条件。基于JESD204B快速配置中的设定，针对每一帧[F]，AD9656采用固定的8位字数值。K还必须是4的倍数，同时满足下列方程：

$$32 \geq K \geq \text{Ceil}(17/F)$$

- JESD204B规范还指定了每个多帧的8位字数，即(K x F)的范围为17至1024。F值通过快速配置设定为固定值，以确保该关系式为真。

表13. JESD204B可配置标识值

DID值	寄存器, 位	取值范围
LID(通道0)	0x66, [4:0]	0...31
LID(通道1)	0x67, [4:0]	0...31
DID	0x64, [7:0]	0...255
BID	0x65, [3:0]	0...15

加扰、SCR。

- 可通过寄存器0x6E的位7使能或禁用加扰。默认使能加扰。根据JESD204B协议，加扰仅在通道完成同步后有效。

选择通道同步选项。

大部分JESD204B接口的同步功能均默认使能，以利于典型应用。可通过以下方式，在某些情况下禁用或更改这些特性：

- 寄存器0x5F(位[3:2])可使能ILAS，默认为使能。另外，为了支持某些特定接口(如NMCD A-SL)，JESD204B接口可编程设置为禁用ILAS序列或连续重复ILAS序列。

AD9656具有一些固定的JESD204B接口参数值，具体如下：

- $[N'] = 16$ ：每个样本的位数为16(寄存器0x73, 位[4:0])
- $[CF] = 0$ ：控制字/帧时钟周期/转换器数为0(寄存器0x75, 位[4:0])

验证只读数值：每个链路的通道数(L)、每一帧的8位字数(F)、转换器数(M)和每个转换器每一帧的样本数(S)。

AD9656基于其它设置(特别是快速配置寄存器的选项)计算某些JESD204B的参数值。寄存器映射中的以下只读数值用于验证。

- $[L]$ = 每个链路的通道数可以是1、2或4，从寄存器0x6E(位[4:0])读取该值
- $[F]$ = 每一帧的8位字数可以是2、4或8，从寄存器0x6F(位[7:0])读取该值
- $[HD]$ = 高密度模式为0，从寄存器0x75(位7)读取该值
- $[M]$ = 每个链路的转换器数，默认为4，但可以时1、2或4；从寄存器0x71(位[7:0])读取该值
- $[S]$ = 每帧每个转换器的样本数为1；从地址0x74(位[4:0])读取该值

检查JESD204B接口参数的校验和FCHK

JESD204B参数可通过JESD204B接口参数的校验和[FCHK]验证。每个链路都有各自相应的FCHK值。FCHK值在ILAS的第二个多帧时传送，并可通过内部寄存器读取。

校验和是表14的“编号”列中所列参数的模256求和值。校验和通过如下方式计算：在参数字段如表14所示被封装入8位字之前，将其相加。

从通道0输出数据的通道配置的FCHK可从寄存器0x78读取。类似地，从通道1输出数据的通道配置的FCHK可从寄存器0x79读取，从通道2输出数据的通道配置的FCHK可从寄存器0x7A读取，从通道3输出数据的通道配置的FCHK可从寄存器0x7B读取。

表14. 用于ILAS和校验和计算的JESD204B配置表

编号	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)
0	DID[7:0]							
1					BID[3:0]			
2				LID[4:0]				
3	SCR			L[4:0]				
4	F[7:0]							
5				K[4:0]				
6	M[7:0]							
7	CS[1:0]			N[4:0]				
8	SUBCLASS[2:0]			N'[4:0]				
9	JESDV[2:0]			S[4:0]				
10				CF[4:0]				

设置其它数字输出配置选项

其它数据格式控制包括：

- 串行输出数据极性反转：寄存器0x60的位1
- ADC数据格式(偏移二进制或二进制补码)：寄存器0x14的位[1:0]
- 解读DSYSREF和DSYNC上信号的选项：寄存器0x3A的位[4:3]
- 重映射转换器(逻辑通道)和SERDOUTx±(物理通道)分配的选项：寄存器0x82和寄存器0x83。图64给出了简化功能框图。

配置后再使能通道

更改JESD204B链路参数后，应使能链路通道以便开始同步。通过向寄存器0x5F(位0)写入逻辑0，可完成此设置。

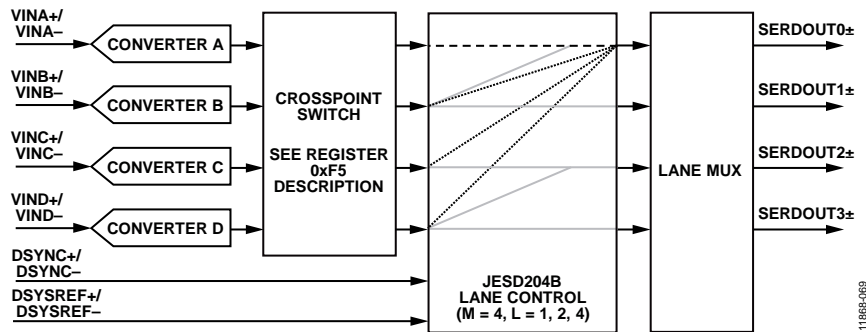


图64. AD9656传输链路简化功能框图

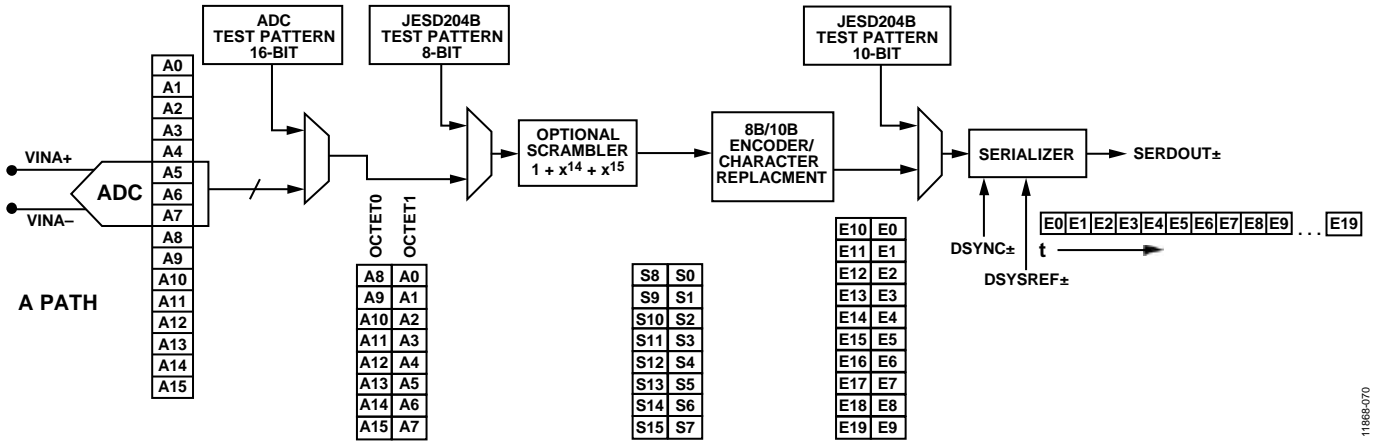


图65. AD9656 JESD204B通道的数字处理

表15. AD9656 JESD204B典型配置

JESD204B快速配置 (寄存器0x5E)	M(转换器数, 寄存器0x71, 位[7:0])	L(通道数, 寄存器0x6E, 位[4:0])	F(8位字/帧, 寄存器0x6F, 位[7:0], 只读)	S(样本/ADC/帧, 寄存器0x74, 位[4:0], 只读)	HD(高密度模式, 寄存器0x75, 位[7], 只读)
0x41	4	1	8	1	0
0x42	4	2	4	1	0
0x44	4	4	2	1	0
0x22	2	2	2	1	0
0x21	2	1	4	1	0
0x11	1	1	2	1	0

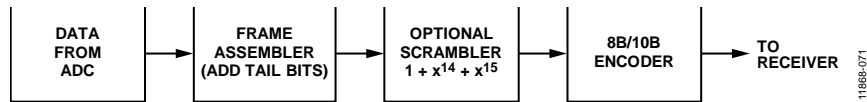


图66. AD9656 ADC输出数据路径

表16. AD9656 JESD204B帧排列监控和校正替换字符

加扰	通道同步	需要替换的字符	是否为多帧中的最后8位字	替换字符
关	开	帧中的最后8位字重复前一帧内容	否	K28.7
关	开	帧中的最后8位字重复前一帧内容	是	K28.3
关	关	帧中的最后8位字重复前一帧内容	不适用	K28.7
开	开	帧中的最后8位字等于D28.7	否	K28.7
开	开	帧中的最后8位字等于D28.3	是	K28.3
开	关	帧中的最后8位字等于D28.7	不适用	K28.7

帧和通道的排列监控与校正

帧排列监控和校正都属于JESD204B规范的部分内容。16位字需要占用两个8位字才能完成所有数据的传送。两个8位字(MSB和LSB, F = 2)组成一帧。正常工作条件下, 通过排列字符实现帧排列监控; 满足一定条件时可插入帧的尾部。表16总结了可进行字符插入的条件, 以及各种工作模式下

的期望字符。若使能通道同步, 则替换字符值取决于8位字是位于单帧的尾部, 还是位于多帧的尾部。

通过正确接收替换字符, 接收机可保证在不同工作模式下依然与帧边界同步。

AD9656

数字输出和时序

AD9656上电时，默认具有差分数字输出。驱动器电流来自芯片，并将各输出端的输出电流设置为标称值4 mA。每个输出都具有100 Ω的动态内部端接电阻，可降低反射干扰。

在每个接收机的输入端放置一个100 Ω差分端接电阻，可实现标称600 mV p-p的接收机差分摆幅(见图67)。也可使用单端50 Ω端接电阻。使用单端端接电阻时，终端电压必须为DRVDD/2；此外，还可使用端接至任意单端电压的交流耦合电容。

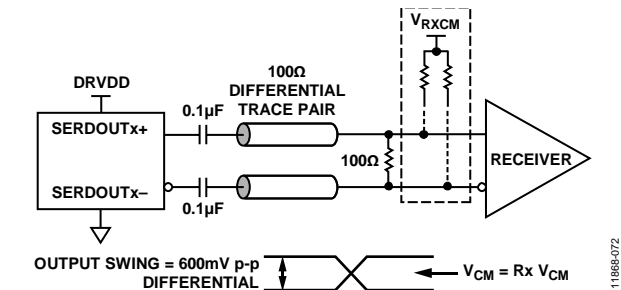


图67. 交流耦合数字输出端接示例

AD9656数字输出可与定制的ASIC和FPGA接收器接口，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将单个100 Ω差分端接电阻尽可能靠近接收器放置。若使用了直流耦合连接(如图68)，则共模数字输出可自动使自身偏置到接收机的电源中间位置(即接收机电源为1.8 V时，共模电压为0.9 V)。对于逻辑电平不在

DRVDD电源边界范围内的接收机，则使用交流耦合连接。在每个输出引脚上放置一个0.1 μF电容，并在靠近接收机处使用100 Ω差分端接电阻。

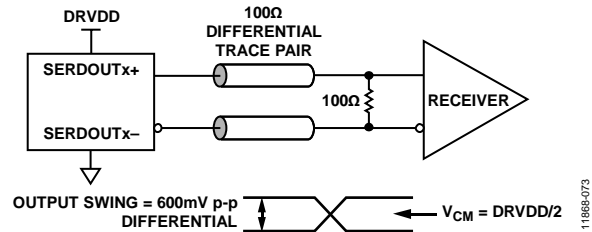


图68. 直流耦合数字输出端接示例

如果没有远端接收机端接电阻，或者差分走线布线不佳，可能会导致时序错误。为避免产生时序错误，建议走线长度不要超过6英寸，差分输出走线应尽可能彼此靠近且长度相等。

图69显示AD9656通道工作在6.4 Gbps时的数字输出数据眼图、时间间隔误差(TIE)抖动直方图，以及浴盆曲线的示例。

附加SPI选项允许用户进一步提高所有四路输出的输出驱动器电压摆幅，从而驱动更长的走线(见表19中的寄存器0x15)。使用此选项会提供DRVDD电源的功耗。更多信息见存储器映射部分。

输出数据格式默认为二进制补码。若要将输出数据格式变为偏移二进制，请参阅存储器映射部分和表19中的寄存器0x14。

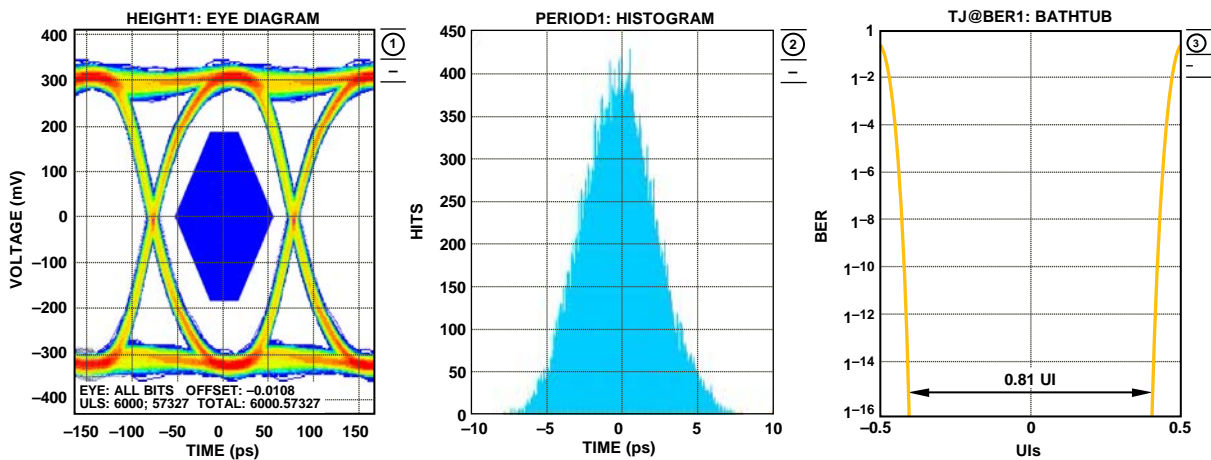


图69. AD9656数字输出数据眼图、直方图和浴盆图(6.4 Gbps时外部端接电阻为100 Ω)

串行端口接口(SPI)

AD9656的串行端口接口(SPI)允许用户利用ADC内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间，以及对地址空间进行读写。存储空间以字节为单位进行组织，并且能进一步划分成多个区域。各个区域的说明见存储器映射部分。如需了解一般操作信息，请参阅[应用笔记AN-877](#)：“通过SPI与高速ADC接口”。

使用SPI的配置

该ADC的SPI由三个引脚组成：SCLK引脚、SDIO引脚和CSB引脚(见表17)。SCLK(串行时钟)引脚用于同步从ADC读出的数据和写入ADC的数据。SDIO(串行数据输入/输出)引脚是一个双功能引脚，可通过此引脚将数据发送至内部ADC存储器映射寄存器或从该寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表17. 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读写操作。
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制信号，用来选通读写周期。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。图70为串行时序图示例，相应的定义见表7。

CSB引脚可以在其它模式下工作。CSB引脚可始终维持在低电平状态，从而使器件一直处于使能状态；这称作流。CSB引脚可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB引脚拉高时，SPI功能处于高阻抗模式。在该模式下，可以开启SPI引脚的第二功能。

在一个指令周期内，会传输一条16位指令。在指令传输后将进行数据传输，数据长度由W0位和W1位共同决定。

所有数据均由8位字组成。串行数据的每个字节的第一位表示发出的是读命令还是写命令。这样，就能将SDIO引脚的数据传输方向从输入改为输出。

除了字长，指令周期还决定串行帧是读操作还是写操作，从而通过串行端口对芯片编程以及读取片上存储器内的数据。如果指令是回读操作，则执行回读操作会使SDIO引脚在串行帧的适当位置由输入变为输出。

输入数据在SCLK上升沿登记，输出数据在SCLK下降沿发送。在将读取请求的地址信息传递给转换器之后，SDIO线路将在半个时钟周期内从输入状态转变为输出状态。该时序确保当下一个时钟周期的下降沿出现时，数据可以安全地放在该串行线路上以供控制器读取。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认采用MSB优先的方式，可以通过SPI端口配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参阅[应用笔记AN-877](#)：“通过SPI与高速ADC接口”。

硬件接口

表17中描述的引脚构成用户编程器件与AD9656串行端口之间的物理接口。使用SPI接口时，SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI接口非常灵活，FPGA或微控制器均可控制该接口。[应用笔记AN-812](#)“基于微控制器的串行接口(SPI)启动电路”中详细介绍了一种SPI配置方法。

当需要转换器充分发挥其全部动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9656之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

AD9656

SPI访问特性

表18简要说明了可通过SPI访问的特性。关于这些特性的一般说明，请参阅[应用笔记AN-877](#)：“通过SPI与高速ADC接口”。AD9656特定器件特性详见“存储器映射寄存器描述”部分。AD9656数据手册中的信息优先于[应用笔记AN-877](#)中关于AD9656的信息。

表18. 可通过SPI访问的特性

特性名称	说明
模式	允许用户设置省电模式或待机模式
时钟	允许用户通过SPI访问占空比稳定器
失调	允许用户以数字方式调整转换器失调
测试输入/输出	允许用户设置测试模式，以便将已知数据放在输出位上
输出模式	允许用户设置输出
VREF	允许用户设置基准电压

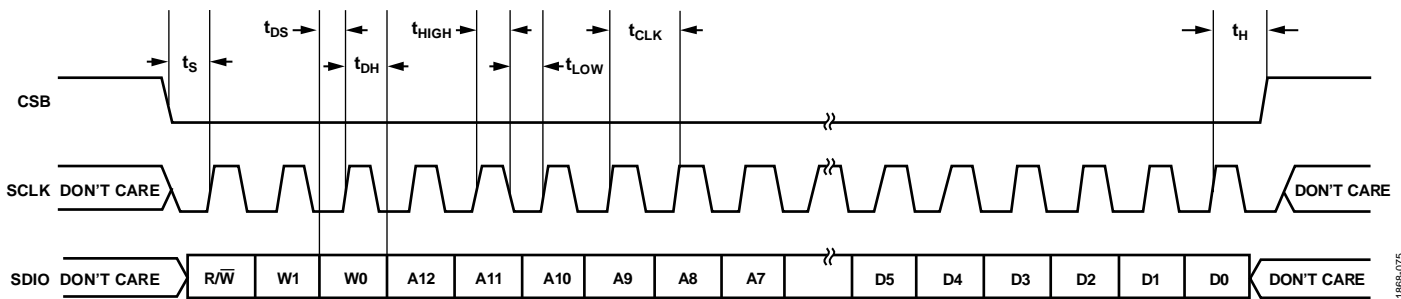


图70. 串行端口接口时序图

1188B-075

存储器映射

读取存储器映射寄存器表

存储器映射寄存器表的每一行有8位。存储器映射大致分为三个部分：芯片配置寄存器(地址0x00至地址0x02)、通道索引和传送寄存器(地址0x05和地址0xFF)，以及ADC功能寄存器，包括设置、控制和测试(地址0x08至地址0x10A)。

存储器映射寄存器表(见表19)记录了每个十六进制地址及其十六进制默认值。位7 (MSB) 栏为给定十六进制默认值的起始位。例如，输出模式寄存器(地址0x14)的十六进制默认值为0x01。这表明，位0 = 1，而其余位均为0。此设置是默认输出格式值(二进制补码)。如需了解关于该功能及其它功能的一般信息，请参阅[应用笔记AN-877](#)：“通过SPI与高速ADC接口”。AD9656特定的SPI寄存器信息参见表19。

禁用位置和保留位置

此器件不支持表19中未包括的所有地址和位。应向有效地址位置的未使用位写入0。在该地址(例如：地址0x18)仅有部分位处于禁用状态时，才可以对这些位置进行写操作。如果整个地址(例如地址0x13)禁用，则不应对该地址进行写操作。

默认值

AD9656复位后，关键寄存器将载入默认值。存储器映像寄存器表(见表19)列出了各寄存器的默认值。

逻辑电平

以下是逻辑电平的术语说明：

- “置位”指“将某位设置为逻辑1”或“向某位写入逻辑1”。
- “清除位”指“将某位设置为逻辑0”或“向某位写入逻辑0”。

特定通道寄存器

可通过编程为每个通道的某些功能设置不同的值。在这些情况下，可在内部为每个通道复制通道地址位置。这些寄存器及相应的位在表19中被称为局部寄存器。通过设置寄存器0x05的通道0、通道1、通道2或通道3位，可访问这些局部寄存器及相应位。如果这四个位均置位，后续写操作将影响所有四个通道的寄存器。在一个读周期内，仅设置一个通道，对4个寄存器中的1个执行读操作。如果在一个SPI读周期内置位所有位，则器件返回通道0的值。表19给出的全局寄存器及相应位会影响整个器件和通道的特性，不允许分别设置每个通道。寄存器0x05中的设置不影响全局寄存器及相应位的值。

AD9656

存储器映射寄存器表

AD9656采用3线接口和16位寻址方式。寄存器0x00的位0和位7置0，位3和位4置1。当寄存器0x00的位5置1时，SPI进入软复位，所有用户寄存器恢复默认值，位2自动清0。

表19. 存储器映射寄存器(未标记为“局部”的SPI寄存器/位为“全局”寄存器/位)

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	注释/备注
芯片配置寄存器											
0x00	SPI端口配置	0	LSB优先	软复位	1	1	软复位	LSB优先	0	0x18	
0x01	芯片ID	8位芯片ID[7:0]; AD9656 = 0xC0(四通道、16位、125 MSPS、JESD204B)								0xC0	只读。
0x02	芯片等级	禁用	速度等级ID[6:4]; 110 = 125 MSPS			禁用	禁用	禁用	禁用	0x60	只读。
通道索引和传送寄存器											
0x05	器件索引	禁用	禁用	禁用	禁用	数据通道3	数据通道2	数据通道1	数据通道0	0x0F	
0xFF	传输	禁用	禁用	禁用	禁用	禁用	禁用	禁用	启动寄存器 0x100覆盖 (自清零)	0x00	
ADC功能											
0x08	功耗模式	禁用	禁用	PDWN引脚 功能: 0 = 完全 掉电 1 = 待机	JTX待机 模式: 0 = 忽略 待机 1 = 不忽略 待机	保留		功耗模式: 00 = 正常工作 01 = 完全掉电 10 = 待机 11 = 数字复位		0x00	
0x09	时钟	禁用	0	禁用	禁用	禁用	禁用	禁用	占空比 稳定器: 0 = 关 1 = 开	0x00	
0x0A	PLL_STATUS	PLL锁定 状态位: 0 = PLL 未锁定 1 = PLL 锁定	禁用	禁用	禁用	禁用	禁用	禁用	JTX链路 状态: 0 = 未就绪 1 = 就绪		只读。
0x0B	时钟分频器	禁用	禁用	禁用	禁用	禁用	时钟分频比[2:0]: 000 = 1分频 001 = 2分频 010 = 3分频 011 = 4分频 100 = 5分频 101 = 6分频 110 = 7分频 111 = 8分频			0x00	
0x0C	增强控制	禁用	禁用	禁用	禁用	禁用	斩波模式: 0 = 关 1 = 开	禁用	禁用	0x00	
0x0D	测试模式(局部, 伪随机数(PN) 序列复位除外)	用户输入测试模式: 00 = 单一 01 = 交替 10 = 单一一次 11 = 交替一次 (仅影响用户输入测试模式, 位[3:0] = 1000)		复位PN长 序列发生器	复位PN长 序列发生器	输出测试模式[3:0](局部): 0000 = 关(默认) 0001 = 中间电平短 0010 = 正满量程(FS) 0011 = 负FS 0100 = 交替棋盘形式, 0101 = PN23序列 0110 = PN9序列 0111 = 1/0字反转 1000 = 用户输入 1001 = 1/0位反转 1010 = 1×同步 1011 = 1位高电平 1100 = 混合位频率				0x00	置1时, 测试数据 将取代正常 数据被置于 输出引脚上。
0x10	失调调整 (局部)	8位器件失调调整[7:0](局部); 失调调整以LSB为单位, 从+127到-128(二进制补码格式)								0x00	器件失调 调整。

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	注释/备注
0x14	输出模式	JTX CS模式: 000 = {超量程 欠量程, 有效标志}, 001 = {超量程, 欠量程}, 010 = {超量程 欠量程, 空}, 011 = {空, 有效标志}, 100 = {空, 空}, 其他 = {超量程 欠量程, 有效标志}			ADC输出 有效标志: 0 = 输出 有效 1 = 输出 无效(局部)	禁用	禁用	输出格式: 0 = 偏移二进制 1 = 二进制补码		0x01	
0x15	输出调整	禁用	禁用	禁用	禁用	禁用	典型CML差分输出驱动电平: 000 = 473 mV p-p, 001 = 524 mV p-p, 010 = 574 mV p-p, 011 = 621 mV p-p(默认), 100 = 667 mV p-p, 101 = 716 mV p-p, 110 = 763 mV p-p, 111 = 811 mV p-p			0x03	
0x16	时钟相位控制	禁用	输入时钟相位调整[2:0] (值为相位延迟的输入时钟周期数)			禁用	禁用	禁用	禁用	0x00	
0x18	输入范围选择	内部VREF调整[1:0]: 00 = 1.0 V, 01 = 1.2 V, 10 = 1.3 V, 11 = 1.4 V		禁用	禁用	禁用	差分范围调整: 000 = 正常值50%, 001 = 正常值57%, 010 = 正常值67%, 011 = 正常值80%, 100 = 正常值			0x04	
0x19	用户测试码 1 LSB	用户测试码1[7:0]								0x00	
0x1A	用户测试码 1 MSB	用户测试码1[15:8]								0x00	
0x1B	用户测试码 2 LSB	用户测试码2[7:0]								0x00	
0x1C	用户测试码 2 MSB	用户测试码2[15:8]								0x00	
0x21	FLEX_SERIAL_ CONTROL	禁用	禁用	禁用	禁用	PLL低速率 模式: 0 = 通道速 率 ≥ 2 Gbps 1 = 通道速 率 < 2 Gbps	禁用	禁用	禁用	0x00	
0x22	FLEX_SERIAL_ CH_STAT	禁用	禁用	禁用	禁用	禁用	禁用	禁用	通道掉电 (局部)	0x00	
0x3A	SYSREF_CTRL	禁用	禁用	禁用	0 = 普通 模式, 1 = 每次激活 DSYNC±时 重新对齐 通道	0 = 仅当 DSYSREF± 引起计数 器重新同 步时重新 对齐通道, 1 = 每个 DSYNC± 上重新对 齐通道	禁用	禁用	禁用	0x00	
0x3B	REALIGN_ PATTERN_CTRL	对齐一个通道时, 将此模式码写入FIFO: 00 = 通道输出全0; 55 = 通道输出交替模式码								0x55	
0x5E	JESD204B 快速配置	0x41 = 4个转换器、1个通道; 0x42 = 4个转换器、2个通道; 0x44 = 4个转换器、4个通道; 0x22 = 2个转换器、2个通道; 0x21 = 2个转换器、1个通道; 0x11 = 1个转换器、1个通道								0x00	自清零, 始终读出 0x00。

AD9656

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	注释/备注
0x5F	JESD204B链路控制1	禁用	结束位模式: 0 = 填充0, 1 = 填充9位 PN序列	JTX传输层 测试: 0 = 未使能, 1 = 长传 输层测试 使能	多帧对齐 字符插入: 0 = 禁用, 1 = 使能		ILAS模式: 00 = ILAS禁用, 01 = ILAS使能(正常模式), 11 = ILAS始终开启(测试模式)	帧对齐 字符插入: 0 = 使能, 1 = 禁用	0 = JTX链路 使能, 1 = JTX链路 禁用	0x14	
0x60	JESD204B链路控制2	保留		DSYNC± 引脚反转: 0 = 不反转, 1 = 反转	DSYNC± 引脚输入 偏置: 0 = 禁用, 1 = 使能	禁用	禁用	JTX输出 反转: 0 = 正常, 1 = 反转	保留	0x10	
0x61	JESD204B链路控制3	保留	保留	测试数据注入点: 01 = 8b/10b编码器输出时 注入10位数据, 10 = 加扰输入时的8位数据		JTX测试模式码: 0000 = 正常工作(测试模式禁用), 0001 = 交替棋盘形式, 0010 = 1/0字交替, 0011 = PN序列为PN23, 0100 = PN序列为PN9, 0101 = 连续/重复用户测试模式, 0110 = 单用户测试模式, 0111 = 保留, 1000 = 更改的RPAT测试序列(仅8位数据), 1100 = PN序列为PN7, 1101 = PN序列为PN15, 其他设置未使用			0x00		
0x62	JESD204B链路控制4	保留								0x00	
0x64	JESD204B DID配置	器件标识(DID) = C0								0xC0	只读。
0x65	JESD204B BID配置	禁用	禁用	禁用	禁用	JTX模块标识(BID)号				0x00	
0x66	JESD204B LID配置0	禁用	禁用	禁用	通道0的JTX通道标识(LID)号				0x00		
0x67	JESD204B LID配置1	禁用	禁用	禁用	通道1的JTX通道标识(LID)号				0x01		
0x68	JESD204B LID配置2	禁用	禁用	禁用	通道2的JTX通道标识(LID)号				0x02		
0x69	JESD204B LID配置3	禁用	禁用	禁用	通道3的JTX通道标识(LID)号				0x03		
0x6E	JESD204B参数SCR/L	JESD204B加扰(SCR): 0 = 禁用, 1 = 使能	禁用	禁用	JESD204B串行通道控制: 0 = 每链路1个通道(L = 1), 1 = 每链路2个通道(L = 2), 2 = 未使用, 3 = 每链路4个通道(L = 4), 4至31 = 未使用				0x80		
0x6F	JESD204B参数F	JESD204B每帧的8位字数(F); 计算值, $F = (2 \times M)/L$								0x00	只读。
0x70	JESD204B参数K	禁用	禁用	禁用	JESD204B每个多帧的帧数(K); K = 寄存器内容 + 1, 同时K必须是4个8位字的倍数				0x1F		
0x71	JESD204B参数M	JESD204B转换器数(M): 0 = 1个转换器(M = 1), 1 = 2个转换器(M = 2), 3 = 4个转换器(M = 4, 默认值)								0x03	
0x72	JESD204B参数CS/N	00 = 每个样本发送 0个控制位数 (CS = 0)		禁用	JTX转换器分辨率(N): 0x0F = 16位, 0x0D = 14位, 0x0B = 12位, 0x09 = 10位				0x0F		
0x73	JESD204B参数subclass/Np	JESD204B子类: 0x0 = 子类0, 0x1 = 子类1(默认)			JESD204B每个样本的位数(N); N' = 寄存器内容 + 1				0x2F		
0x74	JESD204B参数S	保留			JESD204B每帧的转换器样本数(S); S = 寄存器内容 + 1				0x20	只读。	
0x75	JESD204B参数HD和CF	JESD204B HD值 = 0	禁用	禁用	每链路上每个帧时钟周期的JESD204B控制字(CF = 0, 固定值)				0x00	只读。	
0x76	JESD204B RESV1	链路配置中的JESD204B串行保留域1, 参见表12 (RES1)								0x00	
0x77	JESD204B RESV2	链路配置中的JESD204B串行保留域2, 参见表12 (RES2)								0x00	
0x78	JESD204B CHKSUM0	链路配置中的JESD204B串行校验和值, 参见表12的通道0 (FCHK)									只读。

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	注释/备注
0x79	JESD204B CHKSUM1	链路配置中的JESD204B串行校验和值, 参见表12的通道1 (FCHK)									只读。
0x7A	JESD204B CHKSUM2	链路配置中的JESD204B串行校验和值, 参见表12的通道2 (FCHK)									只读。
0x7B	JESD204B CHKSUM3	链路配置中的JESD204B串行校验和值, 参见表12的通道3 (FCHK)									只读。
0x80	JTX物理通道 禁用	禁用	禁用	禁用	禁用	通道3: 0 = 使能, 1 = 禁用	通道2: 0 = 使能, 1 = 禁用	通道1: 0 = 使能, 1 = 禁用	通道0: 0 = 使能, 1 = 禁用	0x00	通道串行化, 输出驱动器关断。
0x82	JESD204B通道 对齐1	禁用	物理通道1对齐: 000 = 逻辑通道0, 001 = 逻辑通道1, 010 = 逻辑通道2, 011 = 逻辑通道3			禁用	物理通道0对齐: 000 = 逻辑通道0, 001 = 逻辑通道1, 010 = 逻辑通道2, 011 = 逻辑通道3			0x10	
0x83	JESD204B通道 对齐2	禁用	物理通道3对齐: 000 = 逻辑通道0, 001 = 逻辑通道1, 010 = 逻辑通道2, 011 = 逻辑通道3			禁用	物理通道2对齐: 000 = 逻辑通道0, 001 = 逻辑通道1, 010 = 逻辑通道2, 011 = 逻辑通道3			0x32	
0x86	JESD204B通道 反转	禁用	禁用	禁用	禁用	通道3: 0 = 不反转, 1 = 反转	通道2: 0 = 不反转, 1 = 反转	通道1: 0 = 不反转, 1 = 反转	通道0: 0 = 不反转, 1 = 反转	0x00	
0x8B	JESD204B LMFC 偏移	禁用	禁用	禁用	本地多帧时钟(LMFC)相位偏移值; DSYSREF±置位时LMFC相位计数器的复位值; 用于确定性延迟应用					0x00	
0xA0	JTX用户模式 码8位字0, LSB	用户测试码最低有效字节, 8位字0								0x00	
0xA1	JTX用户模式 码8位字0, MSB	用户测试码最高有效字节, 8位字0								0x00	
0xA2	JTX用户模式 码8位字1, LSB	用户测试码最低有效字节, 8位字1								0x00	
0xA3	JTX用户模式 码8位字1, MSB	用户测试码最高有效字节, 8位字1								0x00	
0xA4	JTX用户模式 码8位字2, LSB	用户测试码最低有效字节, 8位字2								0x00	
0xA5	JTX用户模式 码8位字2, MSB	用户测试码最高有效字节, 8位字2								0x00	
0xA6	JTX用户模式 码8位字3, LSB	用户测试码最低有效字节, 8位字3								0x00	
0xA7	JTX用户模式 码8位字3, MSB	用户测试码最高有效字节, 8位字3								0x00	
0xF5	JTX转换器映射	JTX转换器3: 0 = ADCA, 1 = ADCB, 2 = ADCC, 3 = ADCC		JTX转换器2: 0 = ADCA, 1 = ADCB, 2 = ADCC, 3 = ADCC		JTX转换器1: 0 = ADCA, 1 = ADCB, 2 = ADCC, 3 = ADCC		JTX转换器0: 0 = ADCA, 1 = ADCB, 2 = ADCC, 3 = ADCC		0xE4	
0x100	分辨率/采样 速率覆盖	禁用	覆盖使能	分辨率: 0 = 16位 1 = 14位 2 = 12位 3 = 10位		禁用	采样速率: 001 = 40 MSPS, 010 = 50 MSPS, 011 = 65 MSPS, 100 = 80 MSPS, 101 = 105 MSPS, 110 = 125 MSPS			0x00	采样速率覆盖(需要传输寄存器, 0xFF)。
0x101	用户I/O控制2	禁用	禁用	禁用	禁用	禁用	禁用	禁用	SDIO下拉	0x00	禁用SDIO下拉电阻。
0x102	用户I/O控制3	禁用	禁用	禁用	禁用	VCM掉电	禁用	禁用	禁用	0x00	VCM控制。

AD9656

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	注释/ 备注
0x109	时钟分频器 同步控制	时钟分频器 同步模式: 0 = 使用 SYNC引脚 1 = 使用 DSYSREF± 引脚	保留					收到复位 时钟 分频器 同步	同步时钟 分频器 使能: 0 = 禁用, 1 = 使能	0x00	
0x10A	收到时钟 分频器同步	禁用	禁用	禁用	禁用	禁用	禁用	禁用	收到时钟 分频器同步	0x00	只读。

存储器映射寄存器描述

如需了解有关寄存器0x00至寄存器0xFF所控制功能的更多一般信息，请参见[应用笔记AN-877](#)：“通过SPI与高速ADC接口。”

器件索引(寄存器0x05)

对于映射中指定为局部的某些特性，各通道可以独立设置，而其它特性则是全局适用(取决于上下文)，不论选择哪一通道。寄存器0x05的位[3:0]可以用来选择哪些数据通道受影响。

传送(寄存器0xFF)

除寄存器0x100外，所有其它寄存器都在写入时立刻更新。传送寄存器的位0置1时，分辨率/采样速率覆盖寄存器(地址0x100)的设置初始化。

功耗模式(寄存器0x08)

位5—PDWN引脚功能

置1时，PDWN引脚启动待机模式。置0(清0)时，PDWN引脚启动完全掉电模式。

位4—JTX待机模式

置1时，若芯片待机功能启用，则JTX模块进入待机模式。待机模式下，仅PLL仍然运行。清0时，若芯片待机功能启用，则JTX模块仍然运行。

位[1:0]—功耗模式

正常工作(位[1:0] = 00)时，所有ADC通道和JTX模块均启用。

在完全掉电模式(位[1:0] = 01)下，所有ADC通道和JTX模块均掉电，数字数据路径时钟禁用，数字数据路径复位。输出禁用。

在待机模式(位[1:0] = 10)下，所有ADC通道部分掉电，数字数据路径时钟禁用。若设置了JTX待机模式，则输出也禁用。

数字复位(位[1:0] = 11)期间，除SPI端口外，芯片的所有其它数字数据路径时钟和输出(适用时)均复位。注意，SPI始终受用户的控制，从不会自动禁用或复位(除非上电复位)。数字复位无效时，启动前台校准序列。

增强控制(寄存器0x0C)

位2—斩波模式

某些应用对失调电压和其它低频噪声敏感，如零差或直接变频接收机等；针对这些应用，可以设置位2来使能AD9656第一级的斩波特性。在频域中，斩波将失调和其它低频噪声转换为 $f_{CLK}/2$ ，可以通过滤波器予以滤除。

输出模式(寄存器0x14)

位[7:5]—JTX CS模式

指定JTX控制位的意义。

位[1:0]—输出格式

默认情况下，此域置1，数据以二进制补码格式输出。此域清0时，输出模式变为偏移二进制。

时钟相位控制(寄存器0x16)**位[6:4]—输入时钟相位调整**

使用时钟驱动器(寄存器0x0B)时, 施加的时钟频率高于内部采样时钟。位[6:4]决定在外部时钟的哪个相位执行采样。这只在使用时钟分频器时适用。位[6:4]不可设置大于寄存器0x0B位[2:0]的值。

表20. 输入时钟相位调整选项

输入时钟相位调整, 位[6:4]	相位延迟的输入时钟周期数
000(默认)	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

JTX用户模式码(寄存器0xA0至寄存器0xA7)

当寄存器0x61的位[3:0]设置为5或6时, 这些寄存器中的模式码在所有有效通道上输出。当寄存器0x61的位[5:4]设置为2时, 加扰器之前插入一个由寄存器0xA0、寄存器0xA2、寄存器0xA4和寄存器0xA6连接而成的32位模式码。当寄存器0x61的位[5:4]设置为1时(40位模式码), 8b10b编码器之前插入由以下内容连接而成的模式码: 寄存器0xA1的位[1:0]和寄存器0xA0的位[7:0]; 寄存器0xA3的位[1:0]和寄存器0xA2的位[7:0]; 寄存器0xA5的位[1:0]和寄存器0xA4的位[7:0]; 寄存器0xA7的位[1:0]和寄存器0xA6的位[7:0]。

分辨率/采样速率覆盖(寄存器0x100)

在不需要最高分辨率和/或采样速率的应用中, 用户可利用此寄存器降低分辨率和/或最大采样速率(以便降低功耗)。此寄存器的设置在传送寄存器(寄存器0xFF)的位0写入高电平后初始化。

位[2:0]不影响采样速率, 而是影响ADC的最大采样速率。

用户I/O控制2(寄存器0x101)**位0—SDIO下拉**

可以设置位0以禁用SDIO引脚内置的30 kΩ下拉电阻。当许多器件连接到SPI总线时, 此设置可用来限制负载。

用户I/O控制3(寄存器0x102)**位3—VCM掉电**

通过将位3设置为高电平, 可关断内部VCM发生器。使用外部基准电压源时使用此功能。

应用信息

设计指南

在进行AD9656的系统级设计和布局之前，建议设计人员先熟悉下述设计指南，其中探讨了某些引脚所需的特殊电路连接和布局布线要求。

电源和接地建议

当连接电源至AD9656时，建议使用两个独立的1.8 V电源：一个电源用于模拟输出(AVDD)，另一个电源用于数字输出(DRVDD和DVDD)。设计人员可以使用多个不同的去耦电容以适用于高频和低频。去耦电容应放置在接近印刷电路板(PCB)入口点和接近器件引脚的位置，并尽可能缩短走线长度。

AD9656仅需要一个PCB接地层。对PCB模拟、数字和时钟模块进行合理去耦和巧妙分隔，可以轻松获得最佳性能。

时钟稳定性考虑

上电时，AD9656进入初始相位，内部状态机设置偏置和寄存器，以便器件能正常工作。在初始化过程中，AD9656需要稳定的时钟。若ADC时钟源不存在，或在ADC上电期间不稳定，则会打断状态机，进而导致ADC上电至未知状态。要校正这一状态，必须在ADC时钟稳定后重新调用初始序列。可通过寄存器0x08发起数字复位来完成该操作。在默认配置中(内部 V_{REF} ，交流耦合输入)， V_{REF} 和 V_{CM} 由ADC自身提供，因此上电时具有足够稳定的时钟。当 V_{REF} 和/或 V_{CM} 由外部源提供时，它们在上电时也必须是稳定的；否则，需要通过寄存器0x08进行序列数字复位。数字复位的伪代码序列如下所示：

```
SPI_Write (0x08, 0x03); # Digital Reset
SPI_Write (0x08, 0x00); # Normal Operation
```

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将ADC底部的裸露焊盘连接至模拟地(AGND)。PCB上裸露(无阻焊膜)的连续铜平面必须与AD9656的裸露焊盘(引脚0)匹配。

铜平面上必须有多个通孔，获得尽可能低的热阻路径以通过PCB底部进行散热。应采用绝缘环氧化物来填充或堵塞这些通孔。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续平面划分为多个均等的部分。这样，在回流焊过程中，便可防止焊料堆积并在ADC与PCB之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在ADC与PCB之间有一个连接点。PCB布局范例可以参考评估板。如需了解有关封装和芯片级封装PCB布局布线的详细信息，请参阅[应用笔记 AN-772](#)：“引脚架构芯片级封装(LFCSP)设计与制造指南”。

VCM

利用一个0.1 μ F电容将VCM引脚去耦至地。

基准电压源去耦

VREF引脚应通过外部一个低ESR 0.1 μ F陶瓷电容和一个低ESR 1.0 μ F电容的并联去耦至地。

SPI端口

当需要转换器充分发挥其全部动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9656之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入引脚端发生变化。

外形尺寸

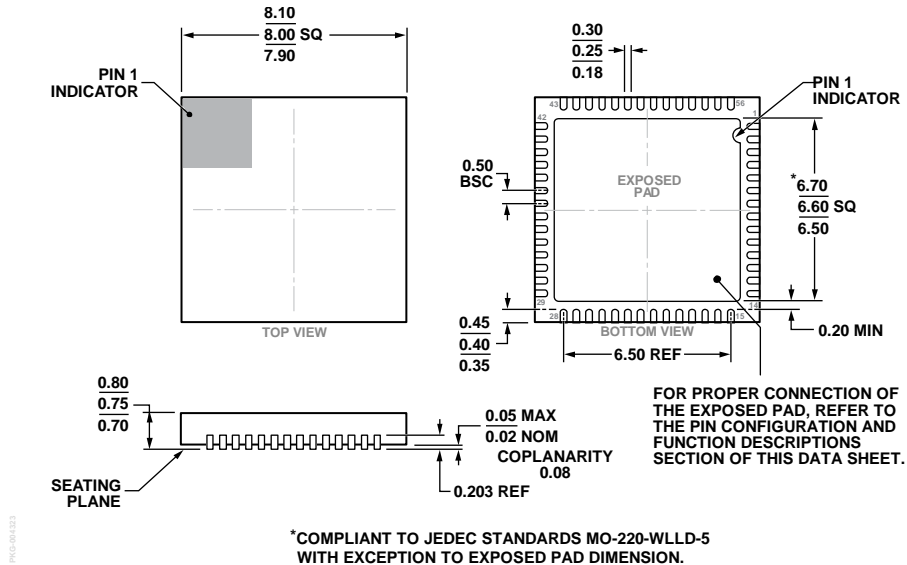


图71. 56引脚引脚架构芯片级封装[LFCSP_WQ]
8 mm x 8 mm, 超薄体
(CP-56-9)
尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9656BCPZ-125	-40°C至+85°C	56引脚引线框芯片级封装[LFCSP_WQ]	CP-56-9
AD9656BCPZRL7-125	-40°C至+85°C	56引脚引线框芯片级封装[LFCSP_WQ]	CP-56-9
AD9656EBZ	-40°C至+85°C	评估板	

¹ Z = 符合RoHS标准的器件。

AD9656

注释