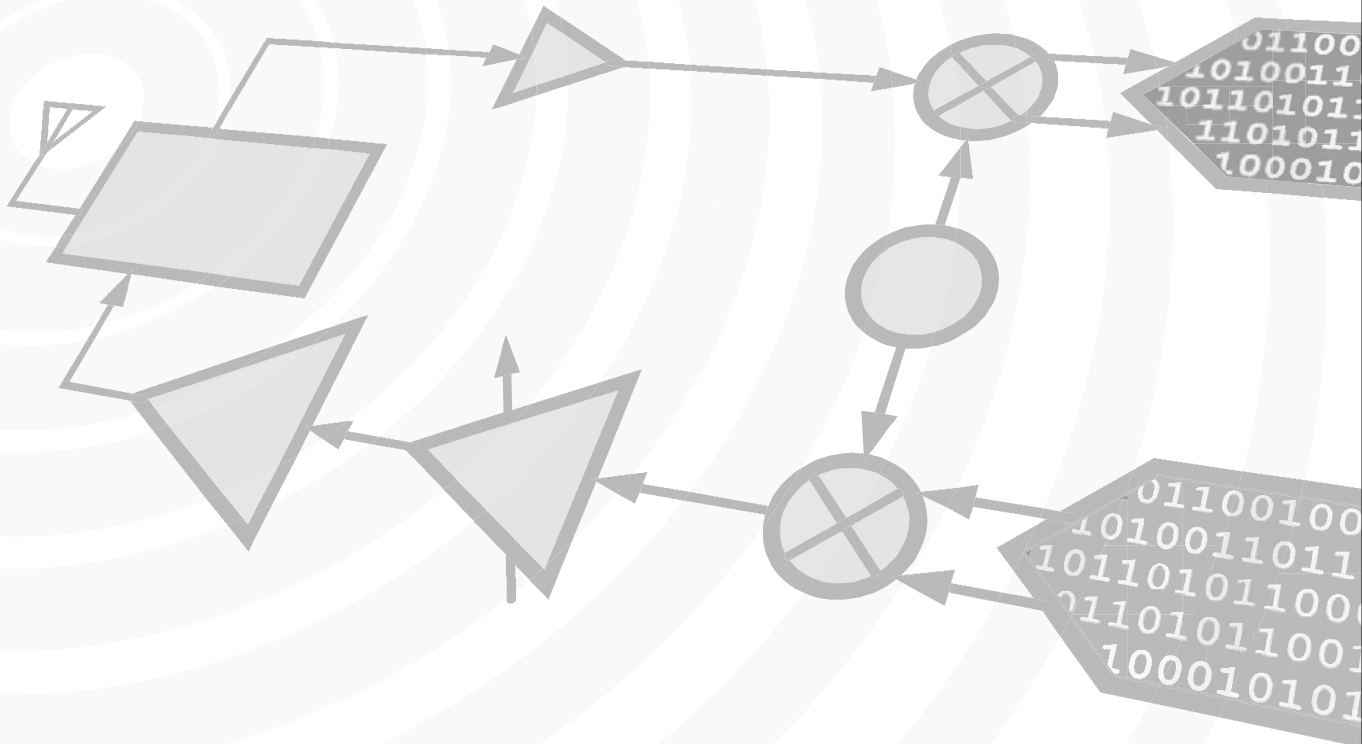


ADI公司欢迎 Hittite Microwave公司

所附文档的内容未做任何更改



本页空白

产品特性

- 8位高速单通道/双通道/四通道ADC
 - 单通道模式: $F_{Smax} = 1000$ MSPS
 - 双通道模式: $F_{Smax} = 500$ MSPS
 - 四通道模式: $F_{Smax} = 250$ MSPS
- 集成交叉点开关(多路复用阵列)
- 1X至50X数字增益
 - 无失码(最高32X)
- 1X增益: 49.8 dB SNR; 10X增益: 48 dB SNR
- 内部低抖动可编程时钟分频器
- 超低功耗
 - 710 mW (包括I/O, 1000 MSPS)
- 从休眠状态启动的时间: 0.5 μ s; 从掉电状态启动的时间: 15 μ s
- 内部基准电压源电路, 无需外部元件
- 粗调和精调增益控制
- 针对每个ADC提供数字增益精调能力

- 内部失调校正
- 电源电压: 1.8 V
- 控制接口引脚支持1.7 - 3.6 V CMOS逻辑电压
- 串行LVDS/RSDS输出
- 7 \times 7 mm QFN 48 (LP7D)封装

典型应用

- USB供电型示波器
- 数字示波器
- 卫星接收机

引脚兼容器件

- HMCAD1511与HMCAD1520引脚兼容
- HMCAD1511与HMCAD1510引脚兼容, 并且可配置为像HMCAD1510一样工作, 后者的功能和性能参见HMCAD1510数据手册

功能框图

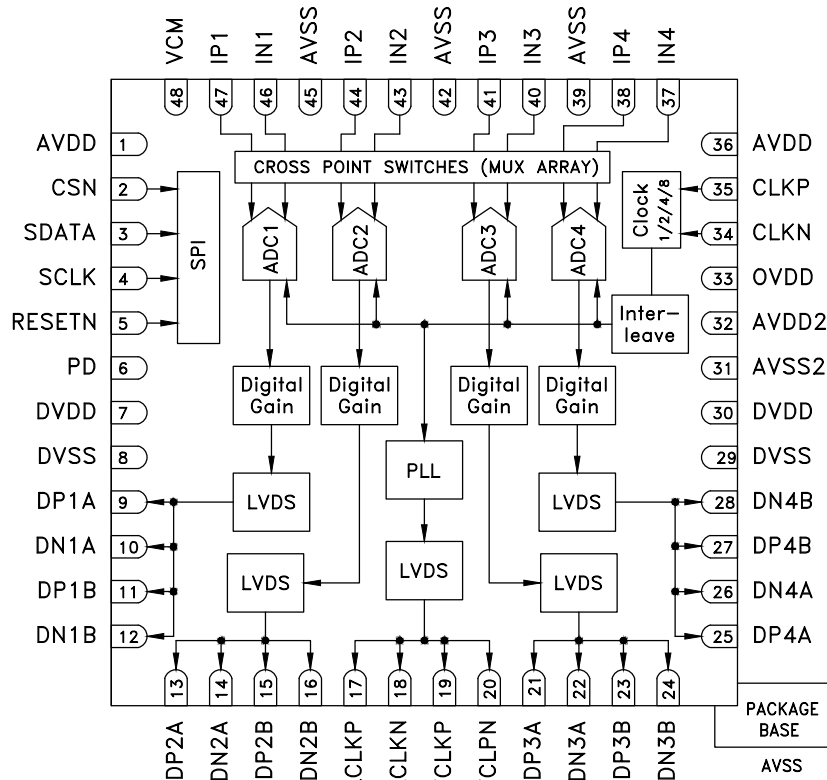


图1. 功能框图

概述

HMCAD1511是一款多功能、高性能、低功耗模数转换器(ADC)，采用时间交错技术来提升采样速率。集成式交叉点开关激活用户选择的输入。

在单通道模式下，可以选择四个输入中的一个作为单个ADC通道的有效输入。在双通道模式下，可以为每一个ADC通道选择四个输入中的任意两个。在四通道模式下，任意输入都可分配至任意ADC通道。

内部低抖动可编程时钟分频器使得针对所有工作模式采用单个时钟源成为可能。

HMCAD1511基于专利结构，采用内部基准电压源电路、串行控制接口和串行LVDS/RSDS输出数据。数据和帧同步时钟用于接收机的数据捕捉。内部1至50X数字粗调增益的ENOB大于7.5 (最高16X增益)，可通过数字方式实现示波器增益设置。针对每一个ADC可单独设置内部数字精调增益，以便校准增益误差。

通过串行控制接口(SPI)，可向ADC施加各种模式和配置设置。每个通道都可独立关断，并且数据格式可通过此接口选择。可使用单个外部引脚设置全芯片空闲模式。寄存器设置决定了此引脚的确切功能。

HMCAD1511设计为可轻松与多个供应商提供的现场可编程门阵列(FPGA)实现接口。

电气规格

直流规格

除非另有说明， $V_{AVDD} = 1.8\text{ V}$ ， $V_{DVDD} = 1.8\text{ V}$ ， $V_{OVDD} = 1.8\text{ V}$ ， $F_s = 125\text{ MSPS}$ ，四通道模式，50%时钟占空比，-1 dBFS 70 MHz输入，1x/0 dB数字增益(精调和粗调)。

参数	描述	最小值	典型值	最大值	单位
直流精度					
无失码		保证			
失调	内部数字失调校正后的失调误差		0.05		LSB
G_{abs}	增益误差			±6	%FS
G_{rel}	通道间增益匹配。 最差情况下为±3 Σ 值		±0.5		%FS
DNL	微分非线性		±0.2		LSB
INL	积分非线性		±0.5		LSB
$V_{CM,out}$	共模电压输出		$V_{AVDD}/2$		
模拟输入					
$V_{CM,in}$	模拟输入共模电压	$V_{CM} - 0.1$		$V_{CM} + 0.2$	V
FSR	差分输入电压满量程范围		2		V _{pp}
$C_{in,Q}$	差分输入电容，四通道模式		5		pF
$C_{in,D}$	差分输入电容，双通道模式		7		pF
$C_{in,S}$	差分输入电容，单通道模式		11		pF
电源					
V_{AVDD}	模拟电源电压	1.7	1.8	2	V
V_{DVDD}	数字和输出驱动器电源电压	1.7	1.8	2	V
V_{OVDD}	数字CMOS输入电源电压	1.7	1.8	3.6	V
温度					
T_A	自由空气下的工作温度	-40		85	°C

交流规格

除非另有说明, AVDD = 1.8 V, DVDD = 1.8 V, OVDD = 1.8 V, 50%时钟占空比, -1 dBFS 71 MHz输入信号, 增益 = 1X, RSDS输出数据电平。

参数	描述	最小值	典型值	最大值	单位
性能					
SNR	信噪比, 不包括交错杂散				
	单通道模式, $F_s = 1000$ MSPS	48.5	49.8		dBFS
	单通道模式, $F_s = 1000$ MSPS, $F_{IN} = 170$ MHz		49.7		dBFS
	单通道模式, $F_s = 1000$ MSPS, 增益 = 10X		48.1		dBFS
	单通道模式, $F_s = 500$ MSPS	48.5	49.8		dBFS
	单通道模式, $F_s = 500$ MSPS, 增益 = 10X		48.2		dBFS
	双通道模式, $F_s = 500$ MSPS	48.5	49.8		dBFS
	四通道模式, $F_s = 250$ MSPS	48.5	49.9		dBFS
SINAD _{incl}	信纳比, 包括交错杂散				
	单通道模式, $F_s = 1000$ MSPS		45.7		dBFS
	双通道模式, $F_s = 500$ MSPS		44		dBFS
	四通道模式, $F_s = 250$ MSPS		49.2		dBFS
SINAD _{excl}	信纳比, 不包括交错杂散				
	单通道模式, $F_s = 1000$ MSPS	48	49.3		dBFS
	单通道模式, $F_s = 1000$ MSPS, $F_{IN} = 170$ MHz		46.5		dBFS
	单通道模式, $F_s = 1000$ MSPS, 增益 = 10X		47.5		dBFS
	单通道模式, $F_s = 500$ MSPS	48	49.4		dBFS
	单通道模式, $F_s = 500$ MSPS, 增益 = 10X		47.7		dBFS
	双通道模式, $F_s = 500$ MSPS	48	49		dBFS
	四通道模式, $F_s = 250$ MSPS	48	49.3		dBFS
SFDR _{incl}	无杂散动态范围, 包括交错杂散				
	单通道模式, $F_s = 1000$ MSPS		49		dBc
	双通道模式, $F_s = 500$ MSPS		44		dBc
	四通道模式, $F_s = 250$ MSPS		57		dBc
SFDR _{excl}	无杂散动态范围, 不包括交错杂散				
	单通道模式, $F_s = 1000$ MSPS	55	64		dBc
	单通道模式, $F_s = 1000$ MSPS, $F_{IN} = 170$ MHz		63		dBc
	单通道模式, $F_s = 1000$ MSPS, 增益 = 10X		62		dBc
	单通道模式, $F_s = 500$ MSPS	56	65		dBc
	单通道模式, $F_s = 500$ MSPS, 增益 = 10X		65		dBc
	双通道模式, $F_s = 500$ MSPS	55	63		dBc
	四通道模式, $F_s = 250$ MSPS	58	70		dBc
HD2/3	最差HD2/HD3				
	单通道模式, $F_s = 1000$ MSPS	60	65		dBc
	单通道模式, $F_s = 1000$ MSPS, $F_{IN} = 170$ MHz		65		dBc
	单通道模式, $F_s = 1000$ MSPS, 增益 = 10X		63		dBc
	单通道模式, $F_s = 500$ MSPS	60	65		dBc
	单通道模式, $F_s = 500$ MSPS, 增益 = 10X		65		dBc
	双通道模式, $F_s = 500$ MSPS	57	63		dBc
	四通道模式, $F_s = 250$ MSPS	50	70		dBc
ENOB _{excl}	有效位数, 不包括交错杂散				
	单通道模式, $F_s = 1000$ MSPS		7.9		位
	单通道模式, $F_s = 1000$ MSPS, $F_{IN} = 170$ MHz		7.4		位
	单通道模式, $F_s = 1000$ MSPS, 增益 = 10X		7.6		位
	单通道模式, $F_s = 500$ MSPS		7.9		位
	单通道模式, $F_s = 500$ MSPS, 增益 = 10X		7.6		位
	双通道模式, $F_s = 500$ MSPS		7.8		位
	四通道模式, $F_s = 250$ MSPS		7.9		位

关于报价、交货和订购, 请联系: Hittite Microwave Corporation, 2 Elizabeth Drive, Chelmsford, MA 01824

978-250-3343 (电话) • 978-250-3373 (传真) • 在线订购: www.hittite.com

应用支持: apps@hittite.com

交流规格

除非另有说明, AVDD = 1.8 V, DVDD = 1.8 V, OVDD = 1.8 V, 50%时钟占空比, -1 dBFS 71 MHz输入信号, 增益 = 1X, RSDS输出数据电平。

参数	描述	最小值	典型值	最大值	单位
$X_{ik,2}$	串扰, 双通道模式。信号施加于一个通道(F_{IN0})。以满量程在另一个通道(F_{IN1})上进行测量。 $F_{IN1} = 71 \text{ MHz}$, $F_{IN0} = 70 \text{ MHz}$ 。		65		dBc
$X_{ik,4}$	串扰, 四通道模式。信号施加于一个通道(F_{IN0})。以满量程在另一个通道(F_{IN1})上进行测量。 $F_{IN1} = 71 \text{ MHz}$, $F_{IN0} = 70 \text{ MHz}$ 。		70		dBc
电源	单通道: $F_s = 1 \text{ GSPS}$; 双通道: $F_s = 500 \text{ MSPS}$; 四通道: $F_s = 250 \text{ MSPS}$ 。				
I_{AVDD}	模拟电源电流		270		mA
I_{DVDD}	数字和输出驱动器电源电流		125		mA
P_{AVDD}	模拟电源		486		mW
P_{DVDD}	数字电源		224		mW
P_{TOT}	总功耗		710		mW
P_{PD}	掉电模式功耗		15		μW
P_{SLP}	深度休眠模式功耗		72		mW
P_{SLPCH}	所有通道都处于休眠模式(轻度休眠)的功耗		153		mW
P_{SLPCH_SAV}	每关闭一个通道节省的功耗(四通道模式)		139		mW
模拟输入					
FPBW	全功率带宽		650		MHz
时钟输入					
F_{Smax}	不同模式下的最大转换速率: 单通道 双通道/四通道	1000 / 500 / 250			MSPS
F_{Smin}	不同模式下的最小转换速率: 单通道 双通道/四通道			120 / 60 / 30	MSPS

数字和开关规格

除非另有说明, AVDD = 1.8 V, DVDD = 1.8 V, OVDD = 1.8 V, RSDS输出数据电平。

参数	描述	最小值	典型值	最大值	单位
时钟输入					
DC	占空比	45		55	高电平%
顺从电压	支持LVDS, 最高700 MHz	LVPECL、正弦波、CMOS、LVDS			
$V_{CK,sine}$	差分输入电压摆幅, 正弦波时钟输入	1500			mVpp
$V_{CK,CMOS}$	电压输入范围CMOS (CLKN接地)		V_{OVDD}		
$V_{CM,CK}$	输入共模电压。 将电压保持在地和OVDD电压范围内。	0.3		$V_{OVDD} - 0.3$	V
C_{CK}	差分输入电容		3		pF
逻辑输入(CMOS)					
V_{HI}	高电平输入电压。 $V_{OVDD} \geq 3.0\text{V}$	2			V
V_{HI}	高电平输入电压。 $V_{OVDD} = 1.7\text{V} - 3.0\text{V}$	$0.8 \cdot V_{OVDD}$			V
V_{LI}	低电平输入电压。 $V_{OVDD} \geq 3.0\text{V}$	0		0.8	V
V_{LI}	低电平输入电压。 $V_{OVDD} = 1.7\text{V} - 3.0\text{V}$	0		$0.2 \cdot V_{OVDD}$	V
I_{HI}	高电平输入漏电流			+/-10	μA
I_{LI}	低电平输入漏电流			+/-10	μA
C_i	输入电容		3		pF
数据输出					
顺从电压		LVDS / RSDS			

数字和开关规格

除非另有说明, AVDD = 1.8 V, DVDD = 1.8 V, OVDD = 1.8 V, RSDS输出数据电平。

参数	描述	最小值	典型值	最大值	单位
V _{OUT}	差分输出电压, LVDS		350		mV
V _{OUT}	差分输出电压, RSDS		150		mV
V _{CM}	输出共模电压		1.2		V
输出编码	默认/可选	偏移二进制/二进制补码			
时序特性					
t _A	孔径延迟		1.5		ns
t _J	孔径抖动, jitter_ctrl<7:0>中的一位设为“1”		160		fsrms
T _{skew}	ADC通道间的时序偏斜		2.5		psrms
T _{SU}	从掉电模式和深度休眠模式到活动模式的启动时间(单位为μs)。详情参见“时钟频率”部分。		15		μs
T _{SLPCH}	从休眠通道模式到活动模式的启动时间				μs
T _{OVR}	超范围恢复时间		1		时钟周期
T _{LATHSMQ}	流水线延迟, 四通道模式		32		时钟周期
T _{LATHSMD}	流水线延迟, 双通道模式		64		时钟周期
T _{LATHSMS}	流水线延迟, 单通道模式		128		时钟周期
LVDS输出时序特性					
t _{data}	LCLK至数据延迟时间(不包括可编程相移)		50		ps
T _{PROP}	时钟传播延迟。	6*T _{LVDS} +2.2	7*T _{LVDS} +3.5	7*T _{LVDS} +5.0	ns
	LVDS位时钟占空比	45		55	% LCLK周期
	帧时钟周期期间抖动			2.5	% LCLK周期
T _{EDGE}	数据上升和下降时间20%至80%		0.7		ns
T _{CLKEDGE}	时钟上升和下降时间20%至80%		0.7		ns

表1: 最大电压额定值

引脚	基准引脚	额定值
AVDD	AVSS	-0.3 V至+2.3 V
DVDD	DVSS	-0.3 V至+2.3 V
OVDD	AVSS	-0.3 V至+3.9 V
AVSS / DVSS	DVSS / AVSS	-0.3 V至+0.3 V
模拟输入和输出	AVSS	-0.3 V至+2.3 V
CLKx	AVSS	-0.3 V至+3.9 V
LVDS输出	DVSS	-0.3 V至+2.3 V
数字输入	DVSS	-0.3 V至+3.9 V

对引脚施加的电压超过表1所示额定值可能会永久损坏电路。

表2: 最大温度额定值

工作温度	-40至+85 °C
存储温度	-60至+150 °C
最高结温	110 °C
热阻(R _{th})	29 °C/W
焊接温度曲线评定	J-STD-020
ESD灵敏度HBM	1C类
ESD灵敏度CDM	III类



静电敏感器件, 请遵守操作规范

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下, 推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

引脚配置和功能描述

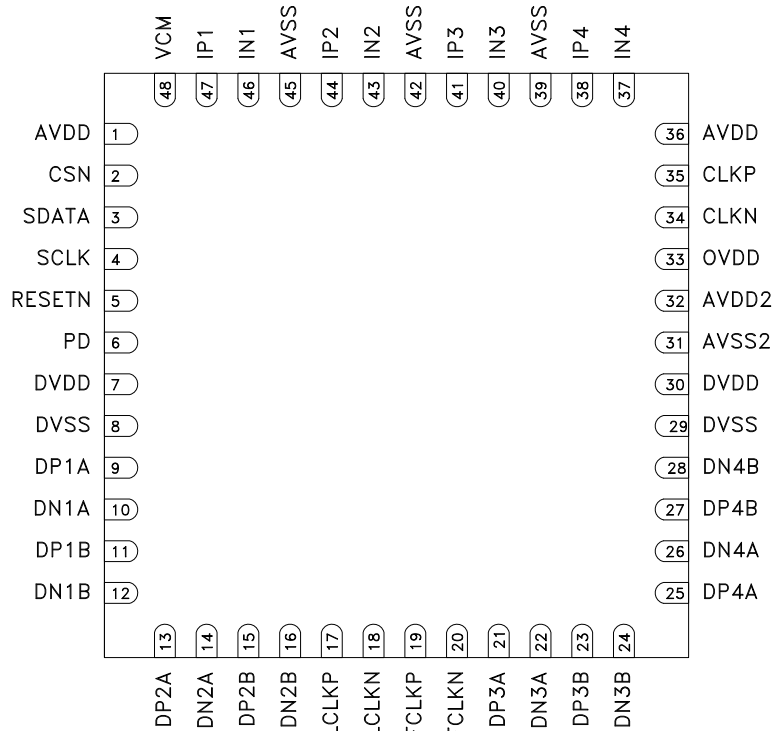


图2：封装图

表3：引脚描述

引脚名称	描述	引脚编号	引脚数
AVDD	模拟电源, 1.8 V	1, 36	2
CSN	片选使能。低电平有效	2	1
SDATA	串行数据输入	3	1
SCLK	串行时钟输入	4	1
RESETN	复位SPI接口。低电平有效	5	1
PD	掉电输入。施加电源后激活, 以便正确初始化ADC。 或者使用SPI掉电特性	6	1
DVDD	数字和I/O电源, 1.8 V	7, 30	2
DVSS	数字地	8, 29	2
DP1A	LVDS通道1A, 正输出	9	1
DN1A	LVDS通道1A, 负输出	10	1
DP1B	LVDS通道1B, 正输出	11	1
DN1B	LVDS通道1B, 负输出	12	1
DP2A	LVDS通道2A, 正输出	13	1
DN2A	LVDS通道2A, 负输出	14	1
DP2B	LVDS通道2B, 正输出	15	1
DN2B	LVDS通道2B, 负输出	16	1
LCLKP	LVDS位时钟, 正输出	17	1
LCLKN	LVDS位时钟, 负输出	18	1

表3: 引脚描述

引脚名称	描述	引脚编号	引脚数
FCLKP	LVDS帧时钟(1X), 正输出	19	1
FCLKN	LVDS帧时钟(1X), 负输出	20	1
DP3A	LVDS通道3A, 正输出	21	1
DN3A	LVDS通道3A, 负输出	22	1
DP3B	LVDS通道3B, 正输出	23	1
DN3B	LVDS通道3B, 负输出	24	1
DP4A	LVDS通道4A, 正输出	25	1
DN4A	LVDS通道4A, 负输出	26	1
DP4B	LVDS通道4B, 正输出	27	1
DN4B	LVDS通道4B, 负输出	28	1
AVSS2	模拟地城2	31	1
AVDD2	模拟电源域2, 1.8 V	32	1
OVDD	数字CMOS输入电源电压	33	1
CLKN	负差分输入时钟。	34	1
CLKP	正差分输入时钟	35	1
IN4	负差分输入信号, 通道4	37	1
IP4	正差分输入信号, 通道4	38	1
AVSS	模拟地	39, 42, 45	3
IN3	负差分输入信号, 通道3	40	1
IP3	正差分输入信号, 通道3	41	1
IN2	负差分输入信号, 通道2	43	1
IP2	正差分输入信号, 通道2	44	1
IN1	负差分输入信号, 通道1	46	1
IP1	正差分输入信号, 通道1	47	1
VCM	共模输出引脚, 0.5*AVDD	48	1

启动初始化

作为HMCAD1511上电序列的一部分，复位和掉电周期均须应用，以确保启动初始化正确。执行启动初始化之前，确保电源电压已正确建立。复位有以下两种方式：

1. 对RESETN引脚施加一个趋低脉冲(最短20 ns)(异步)。
2. 利用串行接口将rst位设为高电平。此位置1时，内部寄存器复位到默认值。rst位自复位到0。使用这种方法时，请勿对RESETN引脚施加趋低脉冲。

掉电循环有以下两种方式：

1. 对PD引脚施加一个趋高脉冲(最短20 ns)(异步)。
2. 将寄存器0Fhex中的pd位先设为1(十六进制寄存器值0200)，再设为0(十六进制寄存器值0000)。

串行接口

HMCAD1511配置寄存器可通过一个串行接口访问，该串行接口由SDATA(串行接口数据)、SCLK(串行接口时钟)和CSN(片选，低电平有效)引脚组成。当CSN设为低电平时，发生下列事件：

- 串行数据移入芯片
- 在SCLK的每个上升沿，锁存SDATA上存在的值
- 在SCLK的每第24个上升沿，SDATA载入寄存器

在一个有效CSN脉冲内可加载多个24位字。若在一个有效CSN脉冲期间将24位以上的数据载入SDATA，则仅保留前24位。多余的位会被忽略。每个24位字分为两部分：

- 前8位是寄存器地址
- 其余16位是寄存器数据

支持的SCLK频率为20 MHz至数Hz。不必严格控制占空比。

时序图

图4显示了串行端口接口的时序。表4解释了图4所用的时序变量。

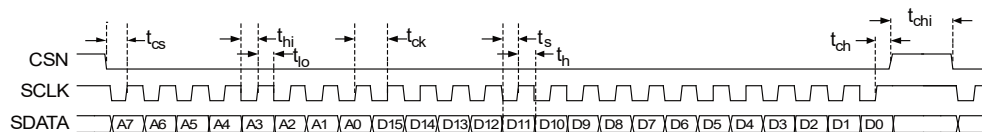


图3：串行端口接口时序

表4：串行端口接口时序定义

参数	描述	最小值	单位
t_{cs}	CSN与SCLK之间的建立时间	8	ns
t_{ch}	CSN与SCLK之间的保持时间	8	ns
t_{hi}	SCLK高电平时间	20	ns
t_{lo}	SCLK低电平时间	20	ns
t_{ck}	SCLK周期	50	ns
t_s	数据建立时间	5	ns
t_h	数据保持时间	5	ns

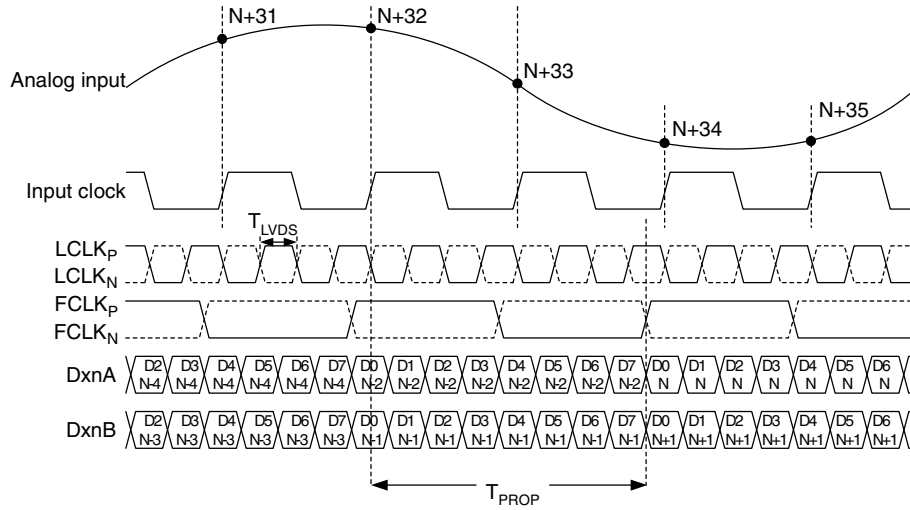
时序图


图4：四通道 - LVDS时序8位输出

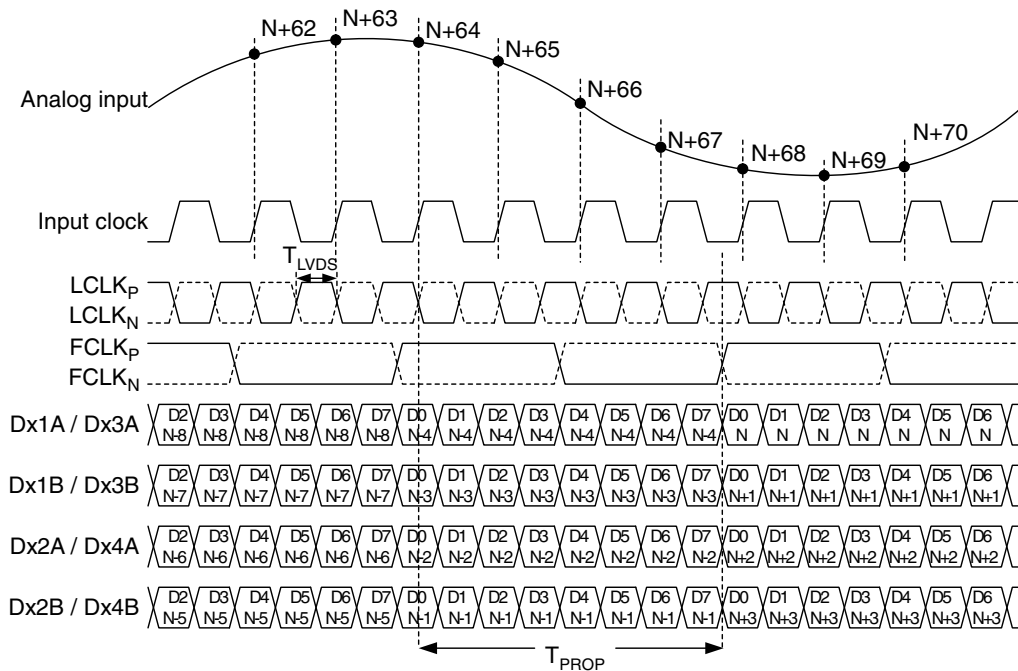


图5：双通道 - LVDS时序8位输出

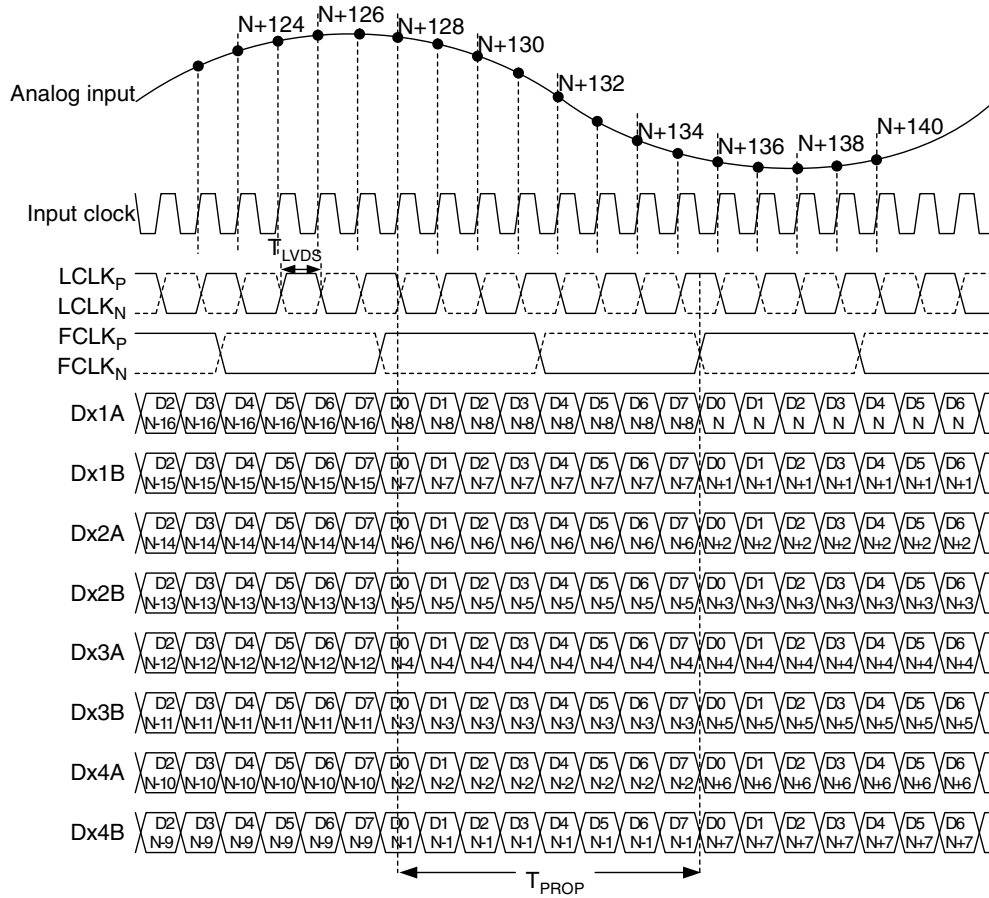


图6: 单通道 - LVDS时序8位输出

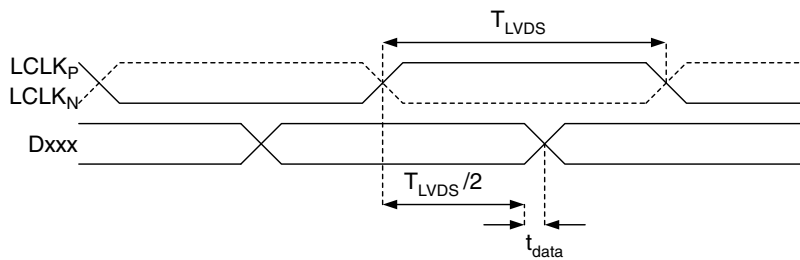


图7: LVDS数据时序

寄存器映射汇总
表5: 寄存器映射

名称	描述	默认	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	十六进制地址
rst *	自清零软件复位。	无效																X	0x00
sleep4_ch <4:1>	四通道设置的特定通道休眠模式。	无效													X	X	X	X	0x0F
sleep2_ch <2:1>	双通道设置的特定通道休眠模式。	无效											X	X					
sleep1_ch1	单通道设置的特定通道休眠模式。	无效										X							
sleep	进入休眠模式。	无效								X									
pd	进入掉电模式。	无效							X										0x11
pd_pin_cfg <1:0>	配置PD引脚功能。	PD引脚配置为掉电模式					X	X											
ilvds_lclk <2:0>	LCLKP和LCLKN引脚的LVDS电流驱动编程。	3.5 mA驱动														X	X	X	
ilvds_frame <2:0>	FCLKP和FCLKN引脚的LVDS电流驱动编程。	3.5 mA驱动										X	X	X					
ilvds_dat <2:0>	输出数据引脚的LVDS电流驱动编程。	3.5 mA驱动						X	X	X									0x12
en_lvds_term	使能LVDS缓冲器的内部端接。	端接禁用	X																
term_lclk <2:0>	LCLKN和LCLKP缓冲器的可编程端接。	端接禁用	1													X	X	X	
term_frame <2:0>	FCLKN和FCLKP缓冲器的可编程端接。	端接禁用	1									X	X	X					
term_dat <2:0>	输出数据缓冲器的可编程端接。	端接禁用	1					X	X	X									0x24
invert4_ch <4:1>	四通道设置的特定通道模拟输入信号交换。	IPx为正输入													X	X	X	X	
invert2_ch <2:1>	双通道设置的特定通道模拟输入信号交换。	IPx为正输入											X	X					
invert1_ch1	单通道设置的特定通道模拟输入信号交换。	IPx为正输入										X							0x25
en_ramp	使能输出重复的满量程斜坡图形。	无效										X	0	0					
dual_custom_pat	使能输出在两个规定代码之间切换的模式。	无效										0	X	0					
single_custom_pat	使能输出始终为某个指定代码的模式。	无效										0	0	X					0x26
bits_custom1 <7:0>	单个自定义模式码和双自定义模式码的第一个代码的位。	0x00	X	X	X	X	X	X	X	X									
bits_custom2 <7:0>	双自定义模式码的第二个代码的位。	0x00	X	X	X	X	X	X	X	X									0x27
cgain4_ch1 <3:0>	四通道设置中通道1的可编程粗调增益。	1x增益													X	X	X	X	0x2A
cgain4_ch2 <3:0>	四通道设置中通道2的可编程粗调增益。	1x增益								X	X	X	X						
cgain4_ch3 <3:0>	四通道设置中通道3的可编程粗调增益。	1x增益					X	X	X	X									
cgain4_ch4 <3:0>	四通道设置中通道4的可编程粗调增益。	1x增益	X	X	X	X													

表5: 寄存器映射

名称	描述	默认	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	十六进制地址
cgain2_ch1 <3:0>	双通道设置中通道1的可编程粗调增益。	1x增益													X	X	X	X	0x2B
cgain2_ch2 <3:0>	双通道设置中通道2的可编程粗调增益。	1x增益									X	X	X	X					
cgain1_ch1 <3:0>	单通道设置中通道1的可编程粗调增益。	1x增益					X	X	X	X									
jitter_ctrl <7:0>	时钟抖动调整。	160 fsrms									X	X	X	X	X	X	X	X	0x30
channel_num <2:0> *	设置通道数: 1、2或4通道。	4通道														X	X	X	0x31
clk_divide <1:0>*	定义时钟分频器系数: 1、2、4或8。	1分频							X	X									
coarse_gain_cfg	配置粗调增益设置。	x增益使能																X	0x33
fine_gain_en	启用精调增益。	禁用															X		
fgain_branch1 <6:0>	分支1的可编程精调增益。	0dB增益										X	X	X	X	X	X	X	0x34
fgain_branch2 <6:0>	分支2的可编程精调增益。	0dB增益		X	X	X	X	X	X	X									
fgain_branch3 <6:0>	分支3的可编程精调增益。	0dB增益										X	X	X	X	X	X	X	0x35
fgain_branch4 <6:0>	分支4的可编程精调增益。	0dB增益		X	X	X	X	X	X	X									
fgain_branch5 <6:0>	分支5的可编程精调增益。	0dB增益										X	X	X	X	X	X	X	0x36
fgain_branch6 <6:0>	分支6的可编程精调增益。	0dB增益		X	X	X	X	X	X	X									
fgain_branch7 <6:0>	分支7的可编程精调增益。	0dB增益										X	X	X	X	X	X	X	0x37
fgain_branch8 <6:0>	分支8的可编程精调增益。	0dB增益		X	X	X	X	X	X	X									
inp_sel_adc1 <4:0>	adc 1的输入选择。	信号输入: IP1/IN1												X	X	X	X	0	0x3A
inp_sel_adc2 <4:0>	adc 2的输入选择。	信号输入: IP2/IN2				X	X	X	X	0									
inp_sel_adc3 <4:0>	adc 3的输入选择。	信号输入: IP3/IN3												X	X	X	X	0	0x3B
inp_sel_adc4 <4:0>	adc 4的输入选择。	信号输入: IP4/IN4				X	X	X	X	0									
phase_ddr <1:0>	控制LCLK输出相对于数据的相位。	90度										X	X						0x42
pat_deskew	使能去偏斜模式码模式。	无效															0	X	0x45
pat_sync	使能同步模式码模式。	无效															X	0	
btc_mode	ADC输出数据的二进制补码格式。	直接偏移二进制														X			0x46
msb_first	串行ADC输出数据MSB优先送出。	LSB优先													X				
adc_curr <2:0>	ADC电流调整。	标称														X	X	X	0x50
ext_vcm_bc <1:0>	VCM缓冲器驱动强度控制。	标称										X	X						
lvds_pd_mode	控制LVDS掉电模式。	高阻态																X	0x52

表5：寄存器映射

名称	描述	默认	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	十六进制地址
low_clk_freq*	使用低时钟频率。	无效													X	0	0	0	0x53
lvds_advance	LVDS数据位和帧时钟提前一个时钟周期。	无效											0	X		0	0	0	
lvds_delay	LVDS数据位和帧时钟延迟一个时钟周期。	无效											X	0		0	0	0	
fs_cntrl<5:0>	精调ADC满量程范围。	0%变化											X	X	X	X	X	X	0x55
startup_cntrl<2:0>*	控制启动时间。	'000'														X	X	X	0x56

不得写入未定义的寄存器地址，否则可能引发错误行为。

对寄存器编程时，未使用的寄存器位(表格空白单元)必须设为0。

当芯片处于掉电模式时，可写入所有寄存器。

* 写入这些寄存器时，需要执行掉电循环(参见“启动初始化”部分)。

寄存器描述

软件复位

名称	描述	默认	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	十六进制地址
rst	自清零软件复位。	无效																X	0x00

rst寄存器位设为1将恢复所有内部寄存器的默认值，包括rst寄存器位本身。

工作模式和时钟分频系数

名称	描述	默认	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	十六进制地址
channel_num<2:0>	设置通道数：1、2或4通道。	4通道														X	X	X	0x31
clk_divide<1:0>	定义时钟分频器系数：1、2、4或8。	1分频							X	X									

HMCAD1511有三种主要工作模式，由表6所示的寄存器位channel_num<2:0>控制。如“启动初始化”部分所述，工作模式变更期间或之后，必须激活掉电模式以确保正常工作。所有活动工作模式都利用交错来实现高采样速率。四通道模式交错2个ADC分支，双通道模式交错4个ADC分支，单通道模式交错全部8个ADC分支。

表6：工作模式

channel_num<2:0>			工作模式	描述
0	0	1	单通道	单通道，交错ADC1至ADC4
0	1	0	双通道	双通道，通道1交错ADC1和ADC2，通道2交错ADC3和ADC4
1	0	0	四通道	四通道，通道1对应ADC1，通道2对应ADC2，通道3对应ADC3，通道4对应ADC4

同一时间只能激活三位中的一位。

clk_divide<1:0>允许用户施加高于采样速率的输入时钟频率。时钟分频器对输入时钟频率进行1、2、4或8分频，分频系数由clk_divide<1:0>寄存器定义。相对于channel_num<2:0>值设置clk_divide<1:0>值，便可将相同输入时钟频率用于多个通道的所有设置。例如：通道数从1增加到4时，最大采样速率降低4倍。让clk_divide<1:0>跟随channel_num<2:0>值变化，即从1变为4，则内部时钟分频器可降低采样速率，而无需改变输入时钟频率。

表7：时钟分频器系数

clk_divide<1:0>	时钟分频器系数	采样速率(FS)
00(默认值)	1	输入时钟频率/1
01	2	输入时钟频率/2
10	4	输入时钟频率/4
11	8	输入时钟频率/8

输入选择

名称	描述	默认	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	十六进制地址
inp_sel_adc1 <4:0>	adc 1的输入选择。	信号输入: IP1/IN1												X	X	X	X	0	0x3A
inp_sel_adc2 <4:0>	adc 2的输入选择。	信号输入: IP2/IN2				X	X	X	X	0									
inp_sel_adc3 <4:0>	adc 3的输入选择。	信号输入: IP3/IN3												X	X	X	X	0	0x3B
inp_sel_adc4 <4:0>	adc 4的输入选择。	信号输入: IP4/IN4				X	X	X	X	0									

每个ADC通过一个全柔性交叉点开关(由inp_sel_adcx设置)连接四个输入信号。在单通道模式下，可以选择四个输入中的任何一个作为单个ADC通道的有效输入。在双通道模式下，可以为每一个ADC通道选择四个输入中的任意两个。在四通道模式下，任意输入都可分配至任意ADC通道。输入切换可以在正常工作期间进行，无需额外的操作。切换会在每个SPI命令结束时立即发生。

表8：选择

inp_sel_adcx<4:0>	所选输入
0001 0	IP1/IN1
0010 0	IP2/IN2
0100 0	IP3/IN3
1000 0	IP4/IN4
其他	不使用

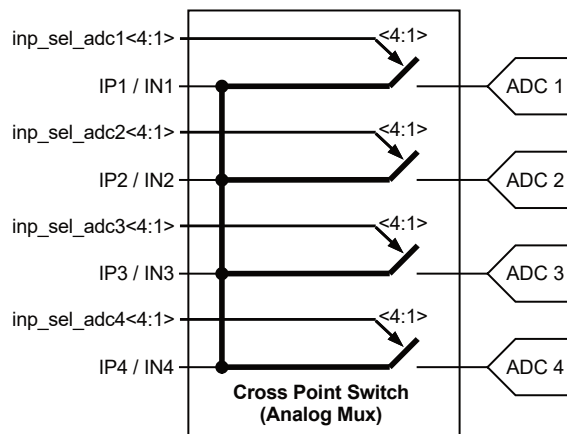


图8: ADC输入信号通过交叉点开关

满量程控制

名称	描述	默认	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	十六进制地址
fs_cntrl <5:0>	精调ADC满量程范围。	0%变化											X	X	X	X	X	X	0x55

HMCAD1511满量程电压范围可以利用内部6位DAC(由fs_cntrl寄存器控制)进行调整。寄存器值改变一步, 满量程范围即调整大约0.3%。因此, 最大调整范围为 $\pm 10\%$ 。表9显示了寄存器设置与满量程范围的对应关系。注意, 满量程范围调整值是近似值。不过, DAC可保证单调性。

满量程控制和可编程增益特性有两大不同:

1. 满量程控制特性以模拟方式控制满量程电压范围, 而可编程增益则是数字特性。
2. 可编程增益特性的增益步进粗略得多, 范围比满量程控制要大。

表9: 寄存器值和对应的满量程范围变化

fs_cntrl<5:0>	满量程范围调整
111111	9.70%
111110	9.40%
100001	0.30%
100000	0%
011111	-0.3%
000001	-9.7%
000000	-10%

电流控制

名称	描述	默认	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	十六进制地址
adc_curr<2:0>	ADC电流调整。	标称														X	X	X	0x50
ext_vcm_bc<1:0>	VCM缓冲器驱动强度控制。	标称											X	X					

有两个寄存器会影响性能和功耗。

adc_curr寄存器可调整ADC内核的电流消耗。标称设置时保证性能。降低adc_curr值可实现更低的功耗，参见表10。对于低至最小值的设置，性能影响较低，但取决于ADC采样速率。

表10：ADC电流控制设置

adc_curr<2:0>	ADC内核电流
100	-40%(性能较低)
101	-30%
110	-20%
111	-10%
000(默认值)	标称
001	不使用
010	不使用
011	不使用

ext_vcm_bc寄存器控制缓冲器的驱动强度，其提供VCM引脚电压。如果不使用此引脚，可以断开缓冲器。如果从VCM引脚汲取电流，则可提高驱动强度以使此引脚电压保持正确电平。

表11：外部共模电压缓冲器驱动强度

ext_vcm_bc<1:0>	VCM缓冲器驱动强度(μA) VCM引脚流入/流出最大电流， 电压变化小于20 mV。
00	关(VCM浮空)
01(默认值)	±20
10	±400
11	±700

启动和时钟抖动控制

名称	描述	默认	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	十六进制地址
startup_ctrl<2:0>	控制启动时间。	'000'														X	X	X	0x56
jitter_ctrl<7:0>	时钟抖动调整。	160 fsrms									X	X	X	X	X	X	X	X	0x30

为了优化启动时间，提供了一个用于设置启动时间(单位为时钟周期)的寄存器。某些内部电路的启动时间与时钟频率无关。默认计数器值支持最大时钟频率(采样速率)时的启动时间。因此，时钟频率较低时，启动时间会延长。将此寄存器的值设为最接近的较高时钟频率会降低内部计数器的计数值，以便更好地适应实际启动时间，从而缩短启动时间。从掉电和休眠模式启动的时间由此寄存器设置更改。如果使用时钟分频器(设为非1值)，必须将输入时钟频率除以分频器系数以得出正确的时钟频率范围(参见表7)。

表12: 启动时间控制设置

四通道			
startup_ctrl <2:0>	时钟 频率范围 (MSPS)	启动 延迟 (时钟周期数)	启动延迟 (μ s)
100	160 - 250	3072	12.3 - 19.2
000	100 - 160	1984	12.4 - 19.8
001	65 - 100	1280	12.8 - 19.7
101	40 - 65	840	12.9 - 21
011	30 - 40	520	13 - 17.3
其他	不使用	-	-

双通道			
startup_ctrl <2:0>	时钟 频率范围 (MSPS)	启动延迟 (时钟周期数)	启动延迟(μ s)
100	320 - 500	6144	12.3 - 19.2
000	200 - 320	3968	12.4 - 19.8
001	130 - 200	2560	12.8 - 19.7
101	80 - 130	1680	12.9 - 21
011	60 - 80	1040	13 - 17.3
其他	不使用	-	-

单通道			
startup_ctrl <2:0>	时钟 频率范围 (MSPS)	启动延迟 (时钟周期数)	启动延迟 (μ s)
100	640 - 1000	12288	12.3 - 19.2
000	400 - 640	7936	12.4 - 19.8
001	260 - 400	5120	12.8 - 19.7
101	160 - 260	3360	12.9 - 21
011	120 - 160	2080	13 - 17.3
其他	不使用	-	-

jitter_ctrk<7:0>允许用户实现功耗与时钟抖动的平衡。如果寄存器的所有位都为0，则时钟信号停止。时钟抖动取决于jitter_ctrk<7:0>寄存器中设为1的位数。哪些位设为1不影响结果。

表13: 时钟抖动性能

jitter_ctrl<7:0> 中1的位数	时钟抖动性能 (fsrms)	模块功耗(mA)
1	160	1
2	150	2
3	136	3
4	130	4
5	126	5
6	124	6
7	122	7
8	120	8
0	时钟停止	

LVDS输出配置和控制

名称	描述	默认	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	十六进制地址
low_clk_freq	使用低时钟频率。	无效													X	0	0	0	0x53
lvds_advance	LVDS数据位和帧时钟提前一个时钟周期。	无效											0	X		0	0	0	
lvds_delay	LVDS数据位和帧时钟延迟一个时钟周期。	无效											X	0		0	0	0	
phase_ddr<1:0>	控制LCLK输出相对于数据的相位。	90度										X	X						0x42
btc_mode	ADC输出数据的二进制补码格式。	直接偏移二进制														X			0x46
msb_first	串行ADC输出数据MSB优先送出。	LSB优先													X				

HMCAD1511采用时序图部分所示的8位串行LVDS输出接口。不同的通道数选择使用表14所定义的LVDS输出。

表14: LVDS输出的使用

通道设置	使用的LVDS输出
单通道	D1A、D1B、D2A、D2B、D3A、D3B、D4A、D4B
双通道, 通道1	D1A、D1B、D2A、D2B
双通道, 通道2	D3A、D3B、D4A、D4B
四通道, 通道1	D1A、D1B
四通道, 通道2	D2A、D2B
四通道, 通道3	D3A、D3B
四通道, 通道4	D4A、D4B

HMCAD1511的最大数据输出比特率为1 Gb/s。不同配置的最大采样速率参见表15。采样速率由输入时钟频率(FS)设置。LVDS输出的帧速率(即FCLK信号频率)取决于所选的模式和采样频率(FS), 如表16所示。

表15: HMCAD1511不同配置的最大采样速率

产品	单通道 (MSPS)	双通道 (MSPS)	四通道 (MSPS)
HMCAD1511	1000	500	250

表16: 输出数据帧速率

工作模式	帧速率(FCLK频率)
单通道	$F_s/8$
双通道	$F_s/4$
四通道	$F_s/2$

如果在较低采样速率下使用HMCAD1511, 则寄存器位low_clk_freq必须设为1。对于不同工作模式, 何时使用此寄存器参见表17。

表17: 寄存器位low_clk_freq的使用

工作模式	激活low_clk_freq的限值
单通道	$F_s < 240 \text{ MHz}$
双通道	$F_s < 120 \text{ MHz}$
四通道	$F_s < 60 \text{ MHz}$

使用多个HMCAD1511时，为了缓解接收器的时序，该器件具有调整输出数据时序和帧时钟的选项。利用lvds_delay或lvds_advance，相对于ADC输入时钟的传播延迟可以前移或后移一个LVDS时钟周期。详情参见图10。注意，LCLK不受lvds_delay或lvds_advance设置影响。

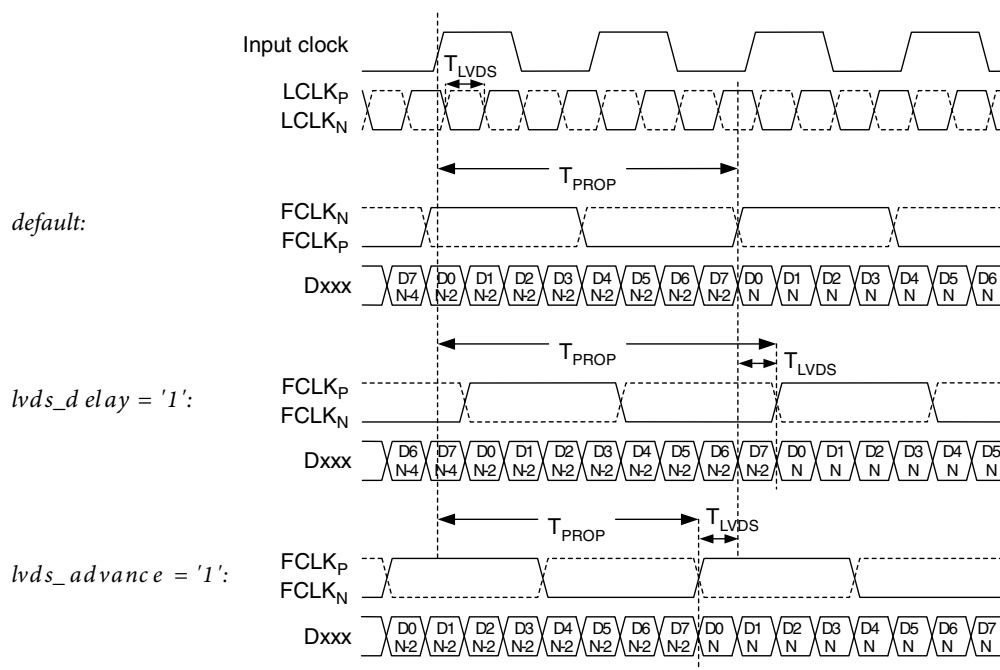


图9: LVDS输出时序调整

HMCAD1511的LVDS输出接口为DDR接口。默认设置是LCLK上升沿和下降沿在交替数据窗口的中央转换。LCLK相对于输出帧时钟和数据位的相位可利用phase_ddr<1:0>编程。LCLK相位模式如图11所示。默认时序与设置phase_ddr<1:0>=10相同。

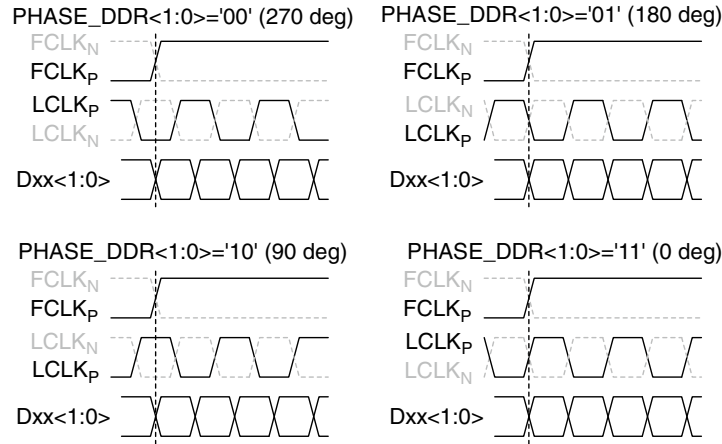


图10: LCLK相位编程模式

默认数据输出格式为偏移二进制。将btc_mode位设为1以使MSB反转，可选择二进制补码模式。

默认设置下，帧的第一位(FCLK_P上升沿之后)是ADC输出的LSB。设置msb_first模式导致位序反转，MSB成为FCLK_P上升沿之后输出的第一位。

LVDS驱动强度编程

名称	描述	默认	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	十六进制地址
ilvds_lclk<2:0>	LCLK _P 和LCLK _N 引脚的LVDS电流驱动编程。	3.5 mA驱动														X		X	0x11
ilvds_frame<2:0>	FCLK _P 和FCLK _N 引脚的LVDS电流驱动编程。	3.5 mA驱动										X	X	X			X		
ilvds_dat<2:0>	输出数据引脚的LVDS电流驱动编程。	3.5 mA驱动						X	X	X									

LVDS输出驱动器提供的电流可按照表18所示进行配置。默认电流为3.5mA，这是LVDS标准规定的值。

为了降低HMCAD1511的功耗，建议使用“低摆幅数据信号(RSDS)”。此时的输出电流驱动设置应为1.5 mA。

ilvds_lclk<2:0>寄存器控制LCLK_P和LCLK_N引脚上LVDS时钟输出的电流驱动强度。

ilvds_frame<2:0>寄存器控制FCLK_P和FCLK_N引脚上帧时钟输出的电流驱动强度。

ilvds_dak<2:0>寄存器控制D[8:1]_P和D[8:1]_N引脚上数据输出的电流驱动强度。

**表18: LCLK、FCLK和数据的
LVDS输出驱动强度**

ilvds_*<2:0>	LVDS驱动强度
000	3.5 mA (默认值)
001	2.5 mA
101	1.5 mA (RSDS)
011	0.5 mA
100	7.5 mA
101	6.5 mA
110	5.5 mA
111	4.5 mA

LVDS内部端接编程

名称	描述	默认	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	十六进制地址
en_lvds_term	使能LVDS缓冲器的内部端接。	端接禁用		X															0x12
term_lclk <2:0>	LCLK和LCLKP缓冲器的可编程端接。	端接禁用		1												X	X	X	
term_frame <2:0>	FCLK和FCLKP缓冲器的可编程端接。	端接禁用		1								X	X	X					
term_dat <2:0>	输出数据缓冲器的可编程端接。	端接禁用		1				X	X	X									

LVDS缓冲器的片外负载可能代表一个不与PCB走线完全匹配的特性阻抗。这可能导致信号反射回LVDS输出，从而丧失完整性。使能各LVDS缓冲器的正输出与负输出之间的内部端接可以减轻这种影响。将en_lvds_term位设为1可选择内部端接模式。此位置1后，位时钟、帧时钟和数据缓冲器的内部端接值可利用三位组设置。表19显示了LVDS缓冲器的内部端接编程方法。所示值为典型值，对于不同器件和温度，其变化范围可达±20%。

**表19: LCLK、FCLK和数据的
LVDS输出内部端接**

term_*<2:0>	LVDS内部端接
000	端接禁用
001	260 Ω
101	150 Ω
011	94 Ω
100	125 Ω
101	80 Ω
110	66 Ω
111	55 Ω

功耗模式控制

名称	描述	默认	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	十六进制地址
sleep4_ch <4:1>	四通道设置的特定通道休眠模式。	无效													X	X	X	X	0x0F
sleep2_ch <2:1>	双通道设置的特定通道休眠模式。	无效											X	X					
sleep1_ch1	单通道设置的特定通道休眠模式。	无效									X								
sleep	进入休眠模式。	无效								X									
pd	进入掉电模式。	无效							X										
pd_pin_cfg <1:0>	配置PD引脚功能。	PD引脚配置为掉电模式					X	X											
lvds_pd_mode	控制LVDS掉电模式。	高阻态															X	0x52	

HMCAD1511器件具有多种功耗管理模式，从启动时间短的休眠模式到功耗极低的全掉电模式。休眠模式有两种，LVDS时钟(FCLK、LCLK)在这两种模式下均运行，从而维持与接收器的同步。第一种是启动时间很短的轻度休眠模式(sleep*_ch)，第二种是启动时间与全掉电模式相同的深度休眠模式(sleep)。

sleep4_ch<n> = 1时，四通道设置中的通道<n>进入休眠模式。sleep2_ch<n> = 1时，双通道设置中的通道<n>进入休眠模式。sleep1_ch1 = 1时，单通道设置中的ADC通道进入休眠模式。这是启动时间很短的轻度休眠模式。

设置sleep = 1将使所有通道休眠，但FCLK和LCLK继续运行以维持LVDS同步。启动时间与完全掉电模式相同。功耗显著低于利用sleep*_ch寄存器使所有通道休眠的模式。

设置pd = 1会使芯片完全掉电，包括带隙基准电压电路。从这种模式启动的时间显著长于从sleep*_ch模式启动。LCLK和FCLK输出被置于高阻态，因而与LVDS接收器的同步丢失。

当PD引脚设为高电平时，设置pdn_pin_cfg<1:0> = x1会配置电路进入休眠通道模式(所有通道关闭)。这与利用sleep*_ch寄存器使所有通道休眠相同。使用PD引脚不能分别关断各个通道。当PD引脚设为高电平时，设置pdn_pin_cfg<1:0> = 10会配置电路进入(深度)休眠模式(相当于设置sleep=1)。当PD引脚设为高电平时，设置pdn_pin_cfg<1:0> = 00(默认值)会配置电路进入掉电模式。

lvds_pd_mode寄存器配置LVDS数据输出驱动器在休眠和休眠通道模式下是关断还是保持活动。LCLK和FCLK驱动器不受此寄存器影响，在休眠和休眠通道模式下始终开启。如果lvds_pd_mode设为0(默认值)，则LVDS输出处于高阻态，驱动器完全掉电。如果lvds_pd_mode设为1，则LVDS输出设置为常数0，驱动器在休眠和休眠通道模式下仍然开启。

可编程增益

名称	描述	默认	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	十六进制地址
cgain_cfg	配置粗调增益设置。	x增益使能																X	0x33
fine_gain_en	启用精调增益。	禁用															X		
cgain4_ch1 <3:0>	四通道设置中通道1的可编程粗调增益。	1x增益													X	X	X	X	0x2A
cgain4_ch2 <3:0>	四通道设置中通道2的可编程粗调增益。	1x增益								X	X	X	X						
cgain4_ch3 <3:0>	四通道设置中通道3的可编程粗调增益。	1x增益				X	X	X	X										
cgain4_ch4 <3:0>	四通道设置中通道4的可编程粗调增益。	1x增益	X	X	X	X													
cgain2_ch1 <3:0>	双通道设置中通道1的可编程粗调增益。	1x增益													X	X	X	X	0x2B
cgain2_ch2 <3:0>	双通道设置中通道2的可编程粗调增益。	1x增益								X	X	X	X						
cgain1_ch1 <3:0>	单通道设置中通道1的可编程粗调增益。	1x增益					X	X	X	X									
fgain_branch1<6:0>	分支1的可编程精调增益。	0dB增益										X	X	X	X	X	X	X	0x34
fgain_branch2<6:0>	分支2的可编程精调增益。	0dB增益	X	X	X	X	X	X	X										
fgain_branch3<6:0>	分支3的可编程精调增益。	0dB增益										X	X	X	X	X	X	X	0x35
fgain_branch4<6:0>	分支4的可编程精调增益。	0dB增益	X	X	X	X	X	X	X										
fgain_branch5<6:0>	分支5的可编程精调增益。	0dB增益										X	X	X	X	X	X	X	0x36
fgain_branch6<6:0>	分支6的可编程精调增益。	0dB增益	X	X	X	X	X	X	X										
fgain_branch7<6:0>	分支7的可编程精调增益。	0dB增益										X	X	X	X	X	X	X	0x37
fgain_branch8<6:0>	分支8的可编程精调增益。	0dB增益	X	X	X	X	X	X	X										

除满量程控制外，该器件还有可编程增益功能。各通道的可编程增益可利用一个四位码(表示为cgain*<3:0>)独立设置。增益由寄存器cgain_cfg配置，当cgain_cfg = 0时，使能dB步进增益，如表20所示；当cgain_cfg = 1时，增益由表21定义。32x (30dB)以下的增益设置不会有失码，因为内部分辨率高于8位。

表20：增益设置 - dB步进

cgain_cfg	cgain*<3:0>	实现的增益(dB)
0	0000	0
0	0001	1
0	0010	2
0	0011	3
0	0100	4
0	0101	5
0	0110	6
0	0111	7
0	1000	8
0	1001	9
0	1010	10
0	1011	11
0	1100	12
0	1101	不用
0	1110	不用
0	1111	不用

表21：增益设置 - x步进

cgain_cfg	cgain*<3:0>	实现的增益系数 (x)
1	0000	1
1	0001	1.25
1	0010	2
1	0011	2.5
1	0100	4
1	0101	5
1	0110	8
1	0111	10
1	1000	12.5
1	1001	16
1	1010	20
1	1011	25
1	1100	32
1	1101	50
1	1110	不用
1	1111	不用

各ADC实现了数字精调增益功能，可调整ADC之间的精密增益误差。该增益由fgain_branch*控制，如表22所示。使用数字精调增益时不会有失码，因为内部分辨率较高。

要使用精调增益功能，寄存器位fine_gain_en须设为1。

表22：精调增益设置

fgain_branchx<6:0>							算术函数	实现的增益(x)	增益(dB)
0	1	1	1	1	1	1	$OUT = (1 + 2^{-8} + 2^{-9} + 2^{-10} + 2^{-11} + 2^{-12} + 2^{-13}) * IN$	1.0077	0.0665
0	1	1	1	1	1	0	$OUT = (1 + 2^{-8} + 2^{-9} + 2^{-10} + 2^{-11} + 2^{-12}) * IN$	1.0076	0.0655
0	1	1	1	1	0	1	$OUT = (1 + 2^{-8} + 2^{-9} + 2^{-10} + 2^{-11} + 2^{-13}) * IN$	1.0074	0.0644
0	1	1	1	1	0	0	$OUT = (1 + 2^{-8} + 2^{-9} + 2^{-10} + 2^{-11}) * IN$	1.0073	0.0634
0	0	0	0	0	1	1	$OUT = (1 + 2^{-12} + 2^{-13}) * IN$	1.0004	0.0031
0	0	0	0	0	1	0	$OUT = (1 + 2^{-12}) * IN$	1.0002	0.0021
0	0	0	0	0	0	1	$OUT = (1 + 2^{-13}) * IN$	1.0001	0.001
0	0	0	0	0	0	0	$OUT = IN$	1.0000	0.0000
1	1	1	1	1	1	1	$OUT = IN$	1.0000	0.0000
1	1	1	1	1	1	0	$OUT = (1 - 2^{-13}) * IN$	0.9999	-0.0011
1	1	1	1	1	0	1	$OUT = (1 - 2^{-12}) * IN$	0.9998	-0.0021
1	1	1	1	1	0	0	$OUT = (1 - 2^{-12} - 2^{-13}) * IN$	0.9996	-0.0032
1	0	0	0	0	1	1	$OUT = (1 - 2^{-8} - 2^{-9} - 2^{-10} - 2^{-11}) * IN$	0.9927	-0.0639
1	0	0	0	0	1	0	$OUT = (1 - 2^{-8} - 2^{-9} - 2^{-10} - 2^{-11} - 2^{-13}) * IN$	0.9926	-0.0649
1	0	0	0	0	0	1	$OUT = (1 - 2^{-8} - 2^{-9} - 2^{-10} - 2^{-11} - 2^{-12}) * IN$	0.9924	-0.0660
1	0	0	0	0	0	0	$OUT = (1 - 2^{-8} - 2^{-9} - 2^{-10} - 2^{-11} - 2^{-12} - 2^{-13}) * IN$	0.9923	-0.0670

模拟输入反转

名称	描述	默认	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	十六进制地址
invert4_ch <4:1>	四通道设置的特定通道模拟输入信号交换。	IPx为正输入													X	X	X	X	0x24
invert2_ch <2:1>	双通道设置的特定通道模拟输入信号交换。	IPx为正输入										X	X						
invert1_ch1	单通道设置的特定通道模拟输入信号交换。	IPx为正输入									X								

IPx代表正模拟输入引脚，INx代表负(互补)输入。设置invertx_ch<n:1>位(各通道独立控制)会交换正负输入，INx代表正输入，IPx代表负输入。

LVDS测试码

名称	描述	默认	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	十六进制地址
en_ramp	使能输出重复的满量程斜坡图形。	无效										X	0	0					0x25
dual_custom_pat	使能输出在两个规定代码之间切换的模式。	无效										0	X	0					
single_custom_pat	使能输出始终为某个指定代码的模式。	无效										0	0	X					
bits_custom1 <7:0>	单个自定义模式码和双自定义模式码的第一个代码的位。<0>为LSB。	0x00	X	X	X	X	X	X	X	X									0x26
bits_custom2 <7:0>	双自定义模式码的第二个代码的位。	0x00	X	X	X	X	X	X	X	X									0x27
pat_deskew	使能去偏斜模式码模式。	无效															0	X	0x45
pat_sync	使能同步模式码模式。	无效														X	0		

为了简化HMCAD1511的LVDS同步设置，输出可以设置多个测试码。在这些模式下，正常ADC数据被测试码替换。设置en_ramp = 1时，所有数据输出均为重复的满量程斜坡图形。斜坡从代码0开始，每个时钟周期增加1 LSB。达到满量程码之后，它回到代码0，再次开始斜升。

设置single_custom_pat = 1时，输出为恒定值，该值可利用bits_custom1<7:0>编程为所需的值。这种模式下，bits_custom1<7:0>替换输出端的ADC数据，并像正常ADC数据一样受LSB优先和MSB优先模式控制。

设置dual_custom_pat = 1时，器件可交替输出两个代码。这两个代码分别是bits_custom1<7:0>和bits_custom2<7:0>的内容。

还可以选择两个预设模式码：

1. 去偏斜模式码：利用pat_deskew设置，此模式用01010101替换ADC输出。
2. 同步模式码：利用pat_sync设置，正常ADC字替换为固定的11110000字。

注意：同一时间只应激活上述模式码中的一种。

工作原理

HMCAD1511是一款多模式高速CMOS ADC，由8个ADC分支组成，可配置为不同的通道模式，利用交错实现高速采样。对于所有实际应用，可将该器件视作包含4个ADC。各分支的精调增益可以独立调整。

HMCAD1511采用LVDS输出，如“寄存器描述、LVDS输出配置和控制”部分所述。LVDS接口所需的时钟(FCLK、LCLK)由内部PLL产生。

HMCAD1511利用一路时钟输入工作，其可以是差分或单端。四个通道各自的采样时钟是利用一个精心匹配的时钟缓冲器树从该时钟输入产生。内部时钟分频器用于控制交错期间各ADC的时钟。时钟树由工作模式控制。

HMCAD1511使用内部产生的基准电压。差分基准电压值为1 V。因此，差分输入-1 V对应于ADC的0代码，差分输入+1 V对应于满量程代码(代码255)。

ADC采用流水线式转换器架构。每个流水线级将其输出数据送入数字纠错逻辑，确保出色的差分线性度和无失码。

HMCAD1511利用两组电源和地工作，模拟电源和地表示为AVDD和AVSS，数字电源和地表示为DVDD和DVSS。

交错效应和采样顺序

交错ADC时，ADC分支之间的增益、失调和时序不匹配会引起交错伪像。HMCAD1511的设计经过优化，这些影响被降至最小。但是，不匹配无法完全消除，因而可能需要额外的补偿，尤其是使用高数字增益设置时。内部数字精调增益控制用来补偿ADC分支之间的增益误差。由于HMCAD1511的优化，采样顺序、LVDS输出顺序和分支编号之间存在一一对应关系。表23、24和25概括显示了不同高速模式下分支、LVDS输出和采样顺序的对应关系。

表23：四通道模式

通道编号	采样顺序	LVDS输出	精调增益分支
1	1	D1A	1
	2	D1B	2
2	1	D2A	3
	2	D2B	4
3	1	D3A	5
	2	D3B	6
4	1	D4A	7
	2	D4B	8

表24：双通道模式

通道编号	采样顺序	LVDS输出	精调增益分支
1	1	D1A	1
	2	D1B	3
	3	D2A	2
	4	D2B	4
2	1	D3A	5
	2	D3B	7
	3	D4A	6
	4	D4B	8

表25：单通道模式

通道编号	采样顺序	LVDS输出	精调增益分支
1	1	D1A	1
	2	D1B	6
	3	D2A	2
	4	D2B	5
	5	D3A	8
	6	D3B	3
	7	D4A	7
	8	D4B	4

推荐用法

模拟输入

HMCAD1511 ADC的模拟输入是一个开关电容采样保持放大器，针对不同工作模式进行了优化。

虽然在指定的范围内性能良好，但推荐使用处于中间电源的共模电压工作。VCM引脚提供一个适合作为共模基准电压的电压。VCM电压的内部缓冲器可以关闭，并且可利用ext_vcm_bc<1:0>寄存器改变驱动能力。

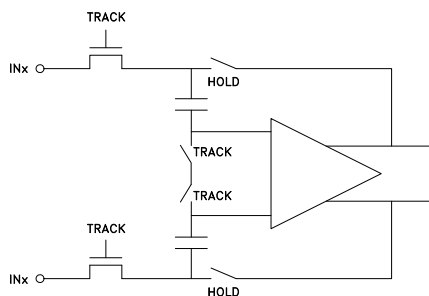


图11: 输入配置

图12所示为简化的输入网络图。信号源的输出阻抗必须足够低，以便在一个时钟周期内给采样电容充电。建议在各输入端串联一个外部小电阻(例如22 Ω)，它有助于降低瞬变电流并抑制响铃振荡行为。电阻的芯片侧可使用一个小差分分流电容，以提供动态充电电流，并且可以改善性能。电阻与电容形成一个低通滤波器，其值必须根据应用要求来确定。

直流耦合

图13所示为推荐直流耦合配置。注意，共模输入电压必须根据指定值进行配置。最好将CM_EXT输出用作基准电压来设置共模电压。

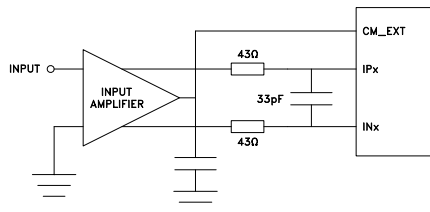


图12: 直流耦合输入

输入放大器可以位于配套芯片内部，或者是一个专用放大器。市面上有多种合适的单端转差分驱动放大器。系统设计工程师应确保所选放大器的规格满足整个系统的要求，并且驱动能力符合HMCAD1511输入规格。

详细的配置和使用说明由所选驱动器的文档提供，图13给出的值必须根据驱动器的建议进行调整。

交流耦合

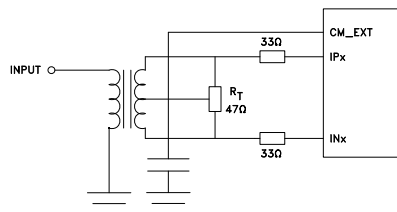


图13: 变压器耦合输入

可利用信号变压器或串联电容来实现交流耦合输入网络。图14所示为推荐变压器配置。务必选择具有足够线性度的变压器，变压器带宽应适当。带宽最好应比ADC采样速率大几倍。另外，必须将差分ADC输入之间的相位不匹配降至最小，以便获得良好的HD₂性能。对于高频信号，此类变压器耦合输入是首选配置，因为大多数差分放大器在高频时性能不足。变压器和PCB之间的磁性耦合可能会影响通道串扰，在PCB布局布线期间必须予以考虑。

如果输入信号从信号源到变压器要经过较长的物理距离(例如一条长电缆),则ADC的反冲也会沿该距离行进。如果没有在信号源一侧妥善终止这些反冲,则它们会被反射并加入ADC输入端的输入信号中。这会降低ADC性能。为了避免这种效应,信号源必须有效终止ADC反冲,或者行进距离应非常短。图15所示为使

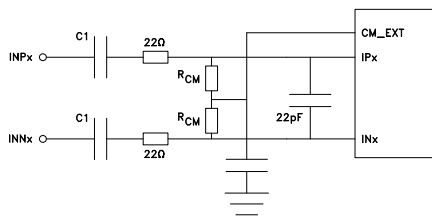


图14: 交流耦合输入

用电容的交流耦合。CM_EXT输出端的电阻RCM应当用于将差分输入信号偏置到正确的电压。串联电容C1与这些电阻形成高通极点,其值必须根据高通截止频率的要求来确定。

注意,此滤波器会影响从休眠模式和掉电模式启动的时间,因为串联电容充电所需的时间取决于滤波器截止频率。

时钟输入和抖动考虑

高速ADC通常利用时钟的两个边沿来产生内部时序信号。HMCAD1511仅使用时钟的上升沿。

输入时钟可通过各种形式提供。时钟引脚在内部交流耦合,因而支持广泛的共模电压范围。可采用LVDS、LVPECL或差分正弦波等差分时钟源。LVDS/LVPECL时钟信号必须尽可能靠近ADC时钟引脚适当端接。对于CMOS输入,CLKN引脚应接地,CMOS时钟信号应连接到CLKP。时钟频率高于200 MHz时,不宜使用CMOS输入。对于差分正弦波时钟输入,幅度至少必须为±0.8 Vpp。设置时钟源格式无需其它配置。

对于高速、高分辨率ADC,输入时钟的质量极其重要。对于给定频率的满量程信号,时钟抖动对SNR的贡献由公式1给出:

$$SNR_{jitter} = 20 \cdot \log(2 \cdot \pi \cdot f_{IN} \cdot \epsilon_t) \quad (1)$$

其中, f_{IN} 为信号频率, ϵ_t 为总均方根抖动(单位为秒)。均方根抖动为所有抖动源的总和,包括时钟发生电路、时钟分配和内部ADC电路。

抖动可能会限制应用可实现的性能,对于这些应用,降低时钟抖动具有极端重要性。采用精密且稳定的时钟参考(例如具有良好抖动特性的晶振)并确保时钟分配受到很好的控制,可以限制抖动。使用模拟电源和接地层可能较为有利,目的是确保时钟分配中的所有电路的电源具有较低噪声。务必避免ADC输出位与时钟之间以及模拟输入信号与时钟之间发生串扰,因为此类串扰常常导致谐波失真。

缩短输入时钟的上升和下降时间可改善抖动性能。因此,利用具有快速边沿的LVDS或LVPECL时钟可获得最佳抖动性能。若采用CMOS和正弦波时钟输入,抖动性能会略微下降。

如果时钟由其它电路产生,则在将其施加于ADC时钟输入之前,作为最后的操作,应利用低抖动主时钟重新定时。

应用示例

本部分介绍应用中可以如何使用HMCAD1511,应用采用所有活动模式和单个时钟源。本例假设施加一个1 GHz时钟源。应当使用差分时钟,它可从单端晶振产生,变压器或巴伦结合交流耦合将单端信号转换为差分信号。

启动初始化

启动序列描述如下:

- 施加电源
- 应用复位(RESETN先低后高,或利用SPI命令0x00 0x0001)
- 设置掉电(PD引脚拉高或利用SPI命令0x0F 0x0200)

- 如果必须使用非默认值(取决于接收器), 则设置LVDS位时钟相位(phase_ddr, 寄存器0x42)。
- 选择工作模式(例如双通道模式)和时钟分频器系数(SPI命令0x31 0x0102)。
- 设置活动模式(PD引脚拉低或利用SPI命令0x0F 0x0000)
- 选择模拟输入, 例如通道1的输入1和通道2的输入3(SPI命令0x3A 0202和0x3B 0808)

更改模式

更改工作模式时, 内部同步例程要求激活掉电模式。典型的模式变更步骤系如下:

- 设置掉电(PD引脚拉高或利用SPI命令0x0F 0x0200)
- 更改模式, 例如单通道模式(SPI命令0x31 0x0001)
- 设置活动模式(PD引脚拉低或利用SPI命令0x0F 0x0000)
- 选择模拟输入, 例如输入1(SPI命令0x3A 0202和0x3B 0202)

表26列出了本例中的工作模式以及各模式所应用的SPI命令。

表26: 工作模式和设置条件概览

工作模式	采样速度 (MSPS)	时钟分频器系数	模式选择和时钟分频器的SPI命令
单通道	1000	1	0x31 0x0001
双通道	500	2	0x31 0x0102
四通道	250	4	0x31 0x0204

选择模拟输入

选定工作模式后, 模拟输入可以即时更改。要更改模拟输入, 只需应用专门的SPI命令。更改会在每个SPI命令结束时立即发生。

表27: 一些模拟输入选择的示例

工作模式	信号输入选择	SPI命令
单通道	IP4/IN4	0x3A 1010, 0x3B 1010
双通道	Ch1: IP2/IN2 Ch2: IP3/IN3	0x3A 0404, 0x3B 0808
四通道	Ch1: IP4/IN4 Ch2: IP3/IN3 Ch3: IP2/IN2 Ch4: IP1/IN1	0x3A 1008, 0x3B 0402

外形图

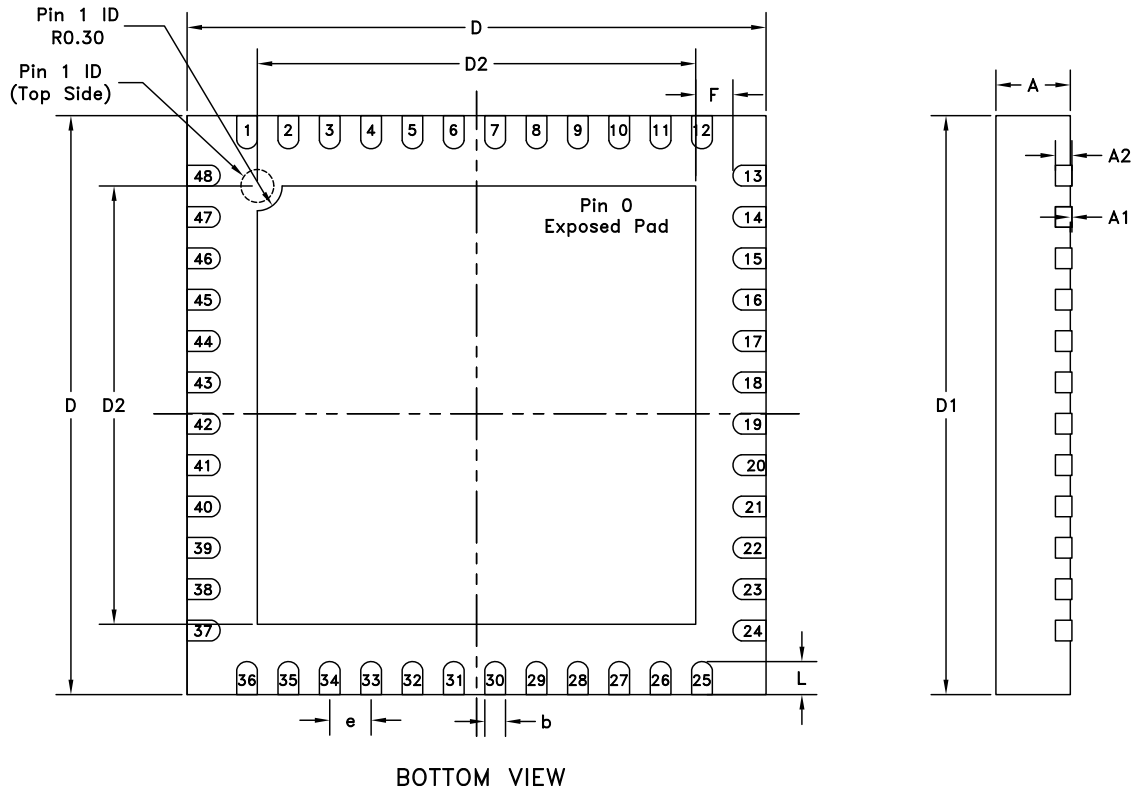


表28: 7x7 mm QFN 48引脚(LP7)尺寸

符号	毫米			英寸		
	最小值	典型值	最大值	最小值	典型值	最大值
A	0.8	0.9	1	0.031	0.035	0.039
A1	0	0.02	0.05	0	0.0008	0.002
A2		0.2			0.008	
b	0.18	0.25	0.3	0.007	0.01	0.012
D	7.00 bsc			0.276 bsc		
D2	5.15	5.3	5.4	0.203	0.209	0.213
L	0.3	0.4	0.5	0.012	0.016	0.02
e	0.50 bsc			0.020 bsc		
F	0.2			0.008		

封装信息

产品型号	封装主体材料	引脚表面处理	MSL ^[1]	封装标识 ^[2]
HMCAD1511	符合RoHS标准的低应力注塑成型塑料	100%亚光锡	2A级	HAD1511 XXXX

[1] MSL, 峰值温度; 湿度敏感度等级额定值根据JEDEC工业标准和峰值焊接温度分级。

[2] 专有标识XXXX, 4位批次号XXXX