



MRF49XA

数据手册

ISM 波段 Sub-GHz

射频收发器

请注意以下有关 Microchip 器件代码保护功能的要点:

- Microchip 的产品均达到 Microchip 数据手册中所述的技术指标。
- Microchip 确信: 在正常使用的情况下, Microchip 系列产品是当今市场上同类产品中最安全的产品之一。
- 目前, 仍存在着恶意、甚至是非法破坏代码保护功能的行为。就我们所知, 所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这样做的人极可能侵犯了知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。

代码保护功能处于持续发展之中。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案 (Digital Millennium Copyright Act)》。如果这种行为导致他人在未经授权的情况下, 能访问您的软件或其他受版权保护的成果, 您有权依据该法案提起诉讼, 从而制止这种行为。

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分, 因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原本文档。

本出版物中所述的器件应用信息及其他类似内容仅为您提供便利, 它们可能由更新之信息所替代。确保应用符合技术规范, 是您自身应负的责任。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保, 包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。Microchip 对因这些信息及使用这些信息而引起的后果不承担任何责任。如果将 Microchip 器件用于生命维持和/或生命安全应用, 一切风险由买方自负。买方同意在由此引发任何一切伤害、索赔、诉讼或费用时, 会维护和保障 Microchip 免于承担法律责任, 并加以赔偿。在 Microchip 知识产权保护下, 不得暗中以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、Microchip 徽标、dsPIC、KEELOQ、KEELOQ 徽标、MPLAB、PIC、PICmicro、PICSTART、rfPIC 和 UNI/O 均为 Microchip Technology Inc. 在美国和其他国家或地区的注册商标。

FilterLab、Hampshire、HI-TECH C、Linear Active Thermistor、MXDEV、MXLAB、SEEVAL 和 The Embedded Control Solutions Company 均为 Microchip Technology Inc. 在美国的注册商标。

Analog-for-the-Digital Age、Application Maestro、CodeGuard、dsPICDEM、dsPICDEM.net、dsPICworks、dsSPEAK、ECAN、ECONOMONITOR、FanSense、HI-TIDE、In-Circuit Serial Programming、ICSP、Mindi、MiWi、MPASM、MPLAB Certified 徽标、MPLIB、MPLINK、mTouch、Octopus、Omniscient Code Generation、PICC、PICC-18、PICDEM、PICDEM.net、PICkit、PICtail、PIC³² 徽标、REAL ICE、rfLAB、Select Mode、Total Endurance、TSHARC、UniWinDriver、WiperLock 和 ZENA 均为 Microchip Technology Inc. 在美国和其他国家或地区的商标。

SQTP 是 Microchip Technology Inc. 在美国的服务标记。

在此提及的所有其他商标均为各持有公司所有。

© 2009, Microchip Technology Inc. 版权所有。

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
== ISO/TS 16949:2002 ==

Microchip 位于美国亚利桑那州 Chandler 和 Tempe 与位于俄勒冈州 Gresham 的全球总部, 设计和晶圆生产厂及位于美国加利福尼亚州和印度的设计中心均通过了 ISO/TS-16949:2002 认证。公司在 PIC³² MCU 与 dsPIC³² DSC、KEELOQ[®] 跳码器件、串行 EEPROM、单片机外设、非易失性存储器和模拟产品方面的质量体系流程均符合 ISO/TS-16949:2002。此外, Microchip 在开发系统的设计和生产方面的质量体系也已通过了 ISO 9001:2000 认证。

ISM 波段 sub-GHz 射频收发器

特性

- 全集成的 sub-GHz 收发器
- 支持专用的 sub-GHz 无线协议
- 兼容的 4 线串行外设接口 (Serial Peripheral Interface, SPI)
- 兼容 CMOS/TTL 的 I/O 接口
- 适用于单片机的时钟和复位信号
- 集成的 10 MHz 振荡电路
- 集成的低电池电压检测器
- 支持节能模式
- 工作电压: 2.2V-3.8V
- 低电流消耗, 典型电流值如下:
 - 接收 (RX) 模式: 11 mA
 - 发送 (TX) 模式: 15 mA
 - 休眠模式: 0.3 mA
- 工业级温度范围
- 16 引脚 TSSOP 封装

射频 / 模拟特性

- 支持 ISM 波段 sub-GHz 频率范围 (433、868 和 915 MHz)
- 调制技术: 具有 FHSS 功能的 FSK
- 支持高速数据传输速率:
 - 数字模式下最大可达 115.2 kbps
 - 模拟模式下最大可达 256 kbps
- 差分射频输入 / 输出:
 - -110 dBm 的典型灵敏度, 最大输入级别为 0 dBm
 - +7 dBm 的典型发送输出功率
- 高分辨率可编程 PLL 频率合成器
- 集成的功率放大器
- 集成的低相位噪声 VCO 频率
- 频率合成器和 PLL 环路滤波器
- 自动频率控制

基带特性

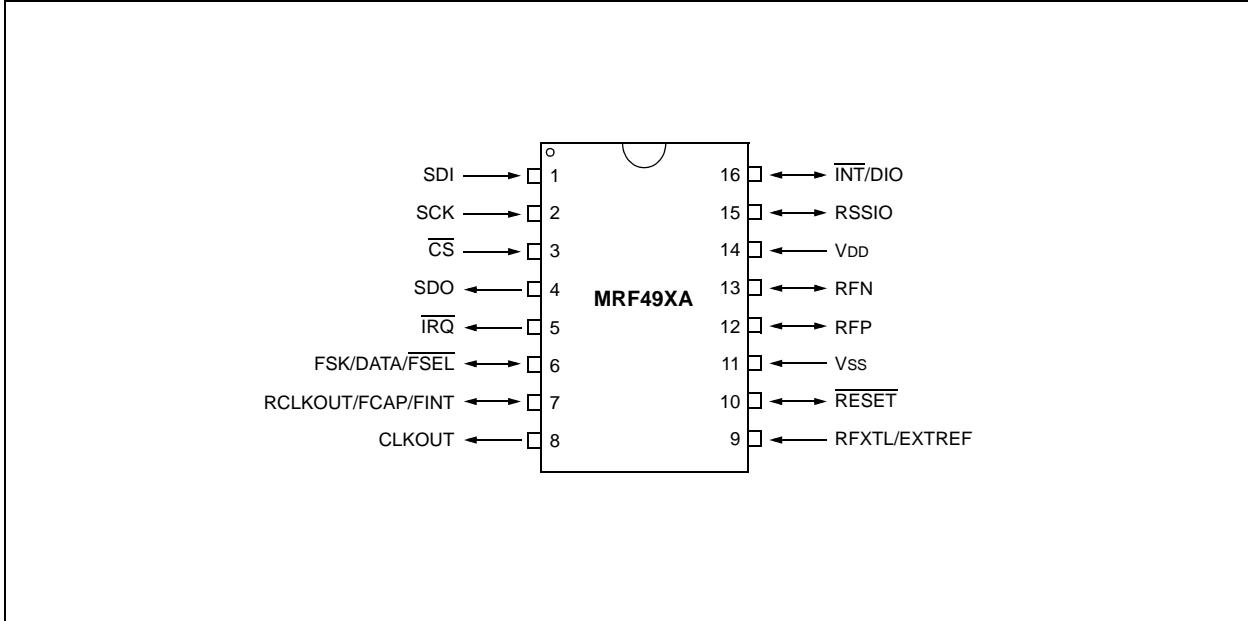
- 支持可编程发送频率偏差和接收基带带宽
- 具有动态范围的数字和模拟 RSSI 输出
- 接收同步图样识别
- 16 位接收数据 FIFO
- 两个 8 位发送数据寄存器
- 低功耗占空比模式
- 高级的相邻信道抑制 / 阻塞能力
- 内部数据和时钟恢复
- 支持数据滤波
- 数据质量指示器

典型应用

- 家庭 / 工业自动化
- 远程控制
- 无线 PC 外设
- 远程无钥进入
- 汽车传感器监视
- 遥测系统
- 数据记录系统
- 远程自动抄表
- 用于家庭 / 工业环境的安防系统
- 汽车防盗系统
- 运动和性能监视
- 无线玩具控制
- 医疗应用

MRF49XA

引脚图：16 引脚 TSSOP



目录

1.0 简介	5
2.0 硬件描述	7
3.0 功能描述	43
4.0 应用详细信息	71
5.0 电气特性	77
6.0 封装信息	87
附录 A: 读序列和数据包结构	91
附录 B: 版本历史	93
Microchip 网站	95
变更通知客户服务	95
客户支持	95
读者反馈表	96
产品标识体系	97

致客户

我们旨在提供最佳文档供客户正确使用 Microchip 产品。为此，我们将不断改进出版物的内容和质量，使之更好地满足您的要求。出版物的质量将随新文档及更新版本的推出而得到提升。

如果您对本出版物有任何问题和建议，请通过电子邮件联系我公司 TRC 经理，电子邮件地址为 CTRC@microchip.com，或将本数据手册后附的《读者反馈表》传真到 86-21-5407 5066。我们期待您的反馈。

最新数据手册

欲获得本数据手册的最新版本，请查询我公司的网站：

<http://www.microchip.com>

查看数据手册中任意一页下边角处的文献编号即可确定其版本。文献编号中数字串后的字母是版本号，例如：DS30000A 是 DS30000 的 A 版本。

勘误表

现有器件可能带有一份勘误表，描述了实际运行与数据手册中记载内容之间存在的细微差异以及建议的变通方法。一旦我们了解到器件 / 文档存在某些差异时，就会发布勘误表。勘误表上将注明其所适用的硅片版本和文件版本。

欲了解某一器件是否存在勘误表，请通过以下方式之一查询：

- Microchip 网站 <http://www.microchip.com>
- 当地 Microchip 销售办事处（见最后一页）

在联络销售办事处时，请说明您所使用的器件型号、硅片版本和数据手册版本（包括文献编号）。

客户通知系统

欲及时获知 Microchip 产品的最新信息，请到我公司网站 www.microchip.com 上注册。

MRF49XA

注:

1.0 简介

Microchip Technology 的 MRF49XA 是全集成的 sub-GHz 射频收发器。该低功耗单芯片 FSK 基带收发器支持：

- 零中频架构
- 多信道和多波段
- 带锁相环（Phase Locked Loop, PLL）的频率合成器
- 功率放大器（Power Amplifier, PA）
- 低噪声放大器（Low Noise Amplifier, LNA）
- I/Q 降频混频器
- I/Q 解调器
- 基带滤波器和放大器

MRF49XA 的简化功能框图如图 1-1 所示。MRF49XA 是低成本、高容量、低数据传输速率（< 256 kbps）、双向和短范围无线应用的理想选择。该收发器用于免许可的 433、868 和 915 MHz 波段，适用于在 ISM 波段需要 FCC、IC 或 ETSI 验证的应用。

MRF49XA 具有低相位噪声，并提供极好的相邻信道干扰、比特误码率（Bit Error Rate, BER）以及在保证较高输出功率的同时具有较大的通信覆盖面。MRF49XA 器件的自动频率控制（Automatic Frequency Control, AFC）特性允许采用低精度、低成本的晶振。为了使整个系统的成本最小，在大多应用中可使用低成本的通用 10 MHz 晶振、旁路滤波器以及不太昂贵的单片机来建立通信链接。MRF49XA 为单片机提供时钟信号，从而无需在电路板上使用辅助晶振。该收发器可通过 4 线 SPI、中断（IRO）和复位连接到许多常用的 Microchip PIC® 单片机上。单片机与 MRF49XA 之间的连接如图 1-2 所示。

MRF49XA 支持以下数字数据处理功能：

- PLL 和带校准的 I/Q VCO
- 接收信号强度指示器
- 数据质量指示器
- 自动频率控制
- 基带功率放大器
- 发送和接收缓冲器

可对接收器基带带宽（Baseband Bandwidth, BBBW）进行编程以满足不同偏差、数据传输速率以及晶振容差的要求。

高分辨率 PLL 允许：

- 在任何波段内使用多信道
- 快速稳定时间可实现快速跳频并且旁路多路径衰减和干扰，从而获得稳定的无线连接。

该收发器集成了不同的休眠模式和一个内部唤醒定时器，用来降低总的电流消耗，并延长电池寿命。器件的低功耗和小尺寸的特点也使之成为各种短范围射频应用的理想选择。

MRF49XA

图 1-1: 功能节点框图

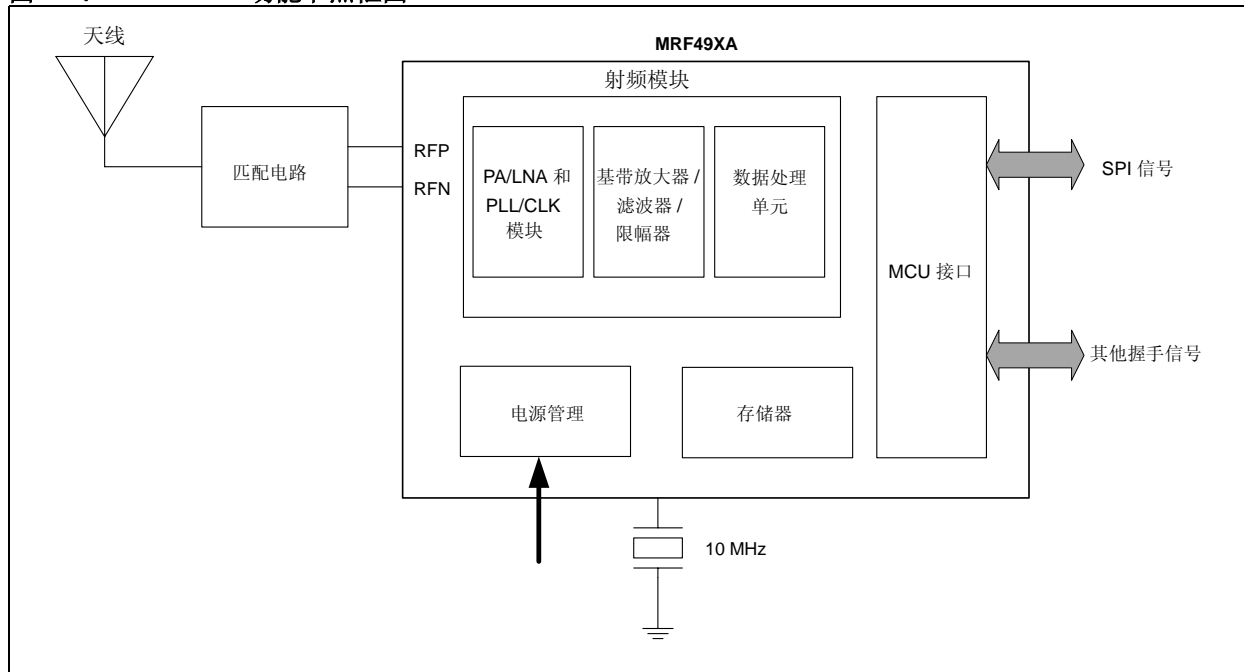
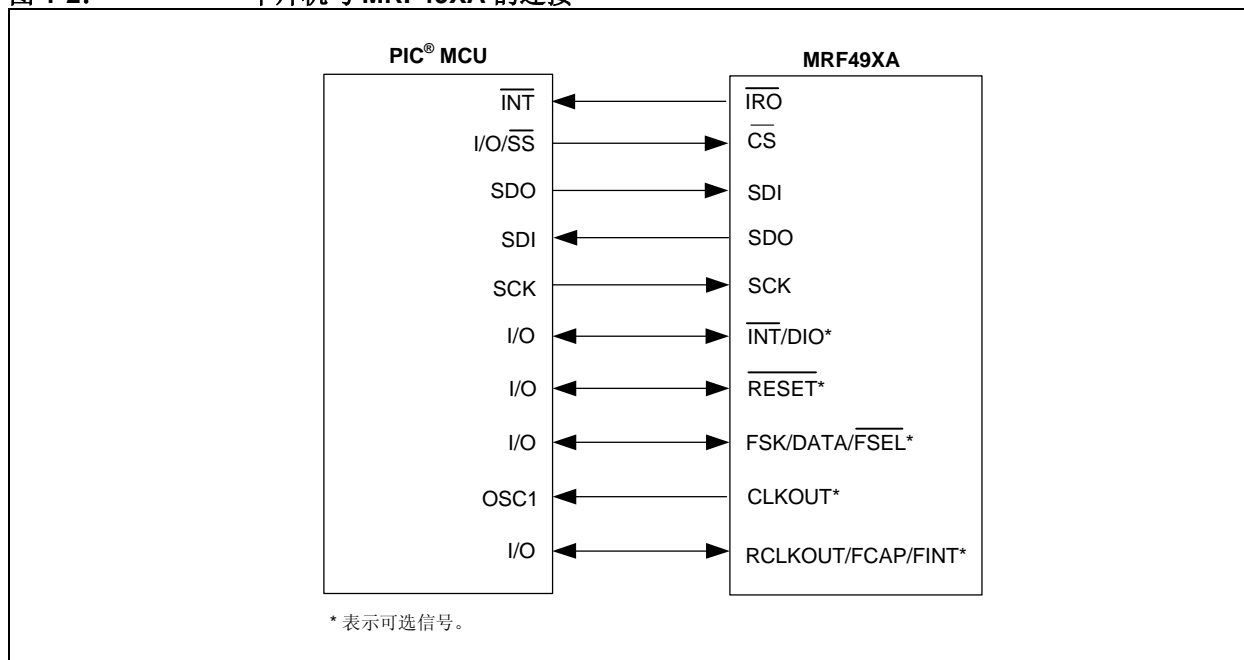


图 1-2: 单片机与 MRF49XA 的连接



2.0 硬件描述

MRF49XA 是集成的单芯片 ISM 波段 sub-GHz 收发器。MRF49XA 的简化框图如图 2-1 所示。

频率合成器由外部的 10 MHz 晶振提供时钟，并产生 433、868 和 915 MHz 的射频。带有零中频结构的接收器由以下元件组成：

- 低噪声放大器
- 降频混频器
- 信道滤波器
- 基带限幅放大器
- 接收信号强度指示器

具有直接转换架构的发送器的典型输出功率为 +7 dBm。内置的发送 / 接收开关将发送器电路和接收器电路合并到差分 RFP 和 RFN 引脚。这两个引脚与阻抗匹配电路 (Balun) 和连接到器件的天线相连。

器件可在 2.2V 到 3.8V 的低电压范围内工作，甚至在休眠模式下，可在极低的电流状态（通常为 0.3 μ A）下工作。

可使用置于收发器内部的 RSSI 和 DQI 模块检查或验证数据的质量。在发送寄存器和接收器 FIFO 中进行数据缓冲。自动频率控制特性允许使用低精度和低成本的晶振。CLKOUT 用于为外部控制器提供时钟。可通过 4 线 SPI、中断 (INT/DIO 和 IRO)、FSK/DATA/FSSEL、RCLKOUT/FCAP/FINT 和 RESET 引脚控制收发器。引脚详细信息请参见表 2-1。

MRF49XA 支持以下特性模块：

- 时钟发生
- 数据滤波和放大
- 数据图样识别和时序
- 数据处理和存储
- 独立的发送和接收 FIFO 缓冲器
- 寄存器

这些功能可减少处理负载，因此，允许使用低成本的 8 位单片机进行数据处理。

图 2-1: MRF49XA 架构框图

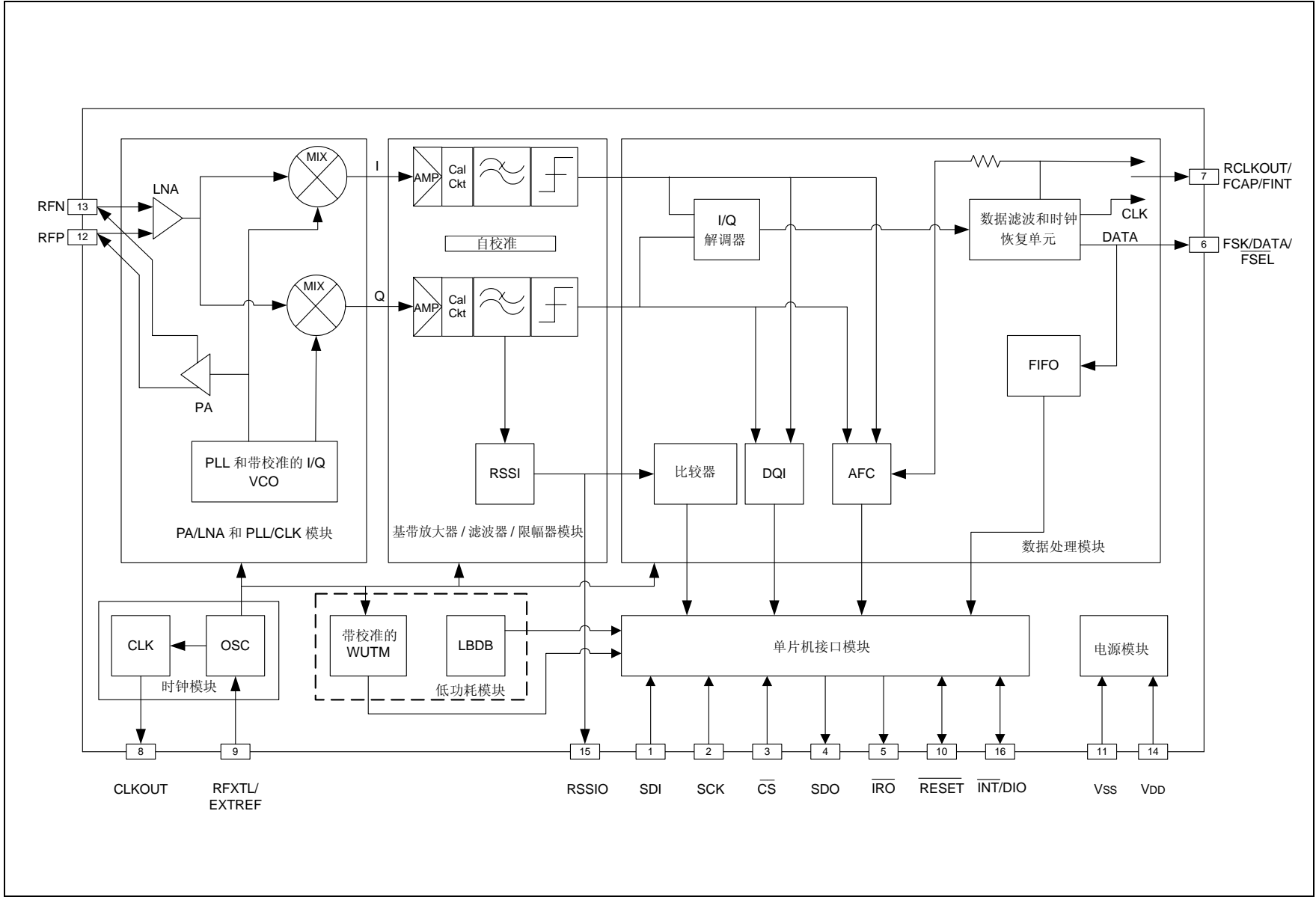


表 2-1: 引脚说明

引脚	符号	类型	说明
1	SDI	数字输入	MRF49XA 的串行数据输入接口 (SPI 输入信号)。
2	SCK	数字输入	串行时钟接口 (SPI 时钟信号)。
3	$\overline{\text{CS}}$	数字输入	串行接口片选引脚 (SPI 芯片 / 器件选择)。
4	SDO	数字输出	MRF49XA 的串行数据输出接口 (SPI 输出信号)。
5	$\overline{\text{IRO}}$	数字输出	<p>中断请求输出: 发生以下事件时, 接收器为单片机生成低电平有效的中断请求:</p> <ul style="list-style-type: none"> • TXBREG (请参见表 2-4) 准备接收下一个字节。 • RXFIFOREG (请参见表 2-4) 已接收到预编程的位数。 • RXFIFOREG 上溢 / TXBREG 下溢。 • 中断输入引脚 (INT) 上出现负脉冲。 • 唤醒定时器超时。 • 检测到电源电压低于预编程值。 • 上电复位 (Power-on Reset, POR)
6	FSK/DATA/ $\overline{\text{FSEL}}$	数字输入 / 输出	<p>频移键控: 发送 FSK 数据输入 (内部上拉电阻的阻值为 133 kΩ)。</p> <p>数据: 当配置为 DATA 时, 此引脚具有以下功能:</p> <ul style="list-style-type: none"> • 数据输入: 禁止内部 TXBREG 时, 手动调制来自外部主单片机的数据。如果使能了 TXBREG, 此引脚处于高电平或保留未连接状态。读内部 RXFIFOREG 时, 此引脚必须拉为低电平。 • 数据输出: 未使用内部 FIFO 时, 与 RCLKOUT 结合使用以接收数据。 <p>FIFO 选择: 读 RXFIFOREG 时选择 FIFO, 第一位出现在下一个时钟。FSEL 引脚具有内部上拉电阻。使能发送寄存器时, 此引脚必须为高电平。为了将电流消耗降至最低, 在休眠模式下请将此引脚保持为高电平状态。</p>
7	RCLKOUT/FCAP/ FINT	数字输入 / 输出	<p>恢复时钟输出: 如果出现以下情况, 提供从传入数据恢复的时钟:</p> <ul style="list-style-type: none"> • BBFCREG 的 FTYPE 位 (请参见表 2-5) 配置为数字滤波器且 • 通过配置 GENCREG 的 FIFOEN 位 (请参见表 2-5) 禁止了 FIFO <p>滤波器电容: 如果 BBFCREG 的 FTYPE 位配置为配置滤波器, 那么此引脚提供原始基带数据。主单片机可使用此引脚进行数据恢复。</p> <p>FIFO 中断: 使能内部 FIFO, 即 GENCREG 的 FIFOEN 位时, 此引脚给出 FIFO 满的中断信号, 指示 FIFO 已达到预编程限制 (请参见表 2-5 中 FIFORSTREG 的 FFBC<3:0> 位)。</p>
8	CLKOUT	数字输出	时钟输出: 该收发器的时钟输出可用作主单片机的时钟源。

MRF49XA

表 2-1: 引脚说明 (续)

引脚	符号	类型	说明
9	RFXTL/EXTREF	模拟输入	射频晶振: 此引脚与 10 MHz 系列的晶振或外部参考振荡器连接。PLL 以此晶体作为参考时钟源, 产生本地振荡器频率。可通过更改负载电容值将晶振“拉”至精确的频率。 外部参考输入: 外部参考输入 (例如振荡器) 可作为参考时钟源进行连接。可通过一个 0.01 μF 的电容连接振荡器。
10	$\overline{\text{RESET}}$	数字输入 / 输出	低电平有效的硬件引脚。此引脚带有内部上拉和输入缓冲器, 提供漏极开路复位输出。更多详细信息, 请参见第 3.1 节“复位”。
11	Vss	接地	地参考。
12	RFP	射频输入 / 输出	差分射频输入 / 输出 (+)。
13	RFN	射频输入 / 输出	差分射频输入 / 输出 (-)。
14	VDD	电源	射频电源。带有紧挨引脚的电容旁路。更多详细信息, 请参见第 2.1 节“电源和地引脚”。
15	RSSIO	模拟输入 / 输出	接收信号强度指示器输出: 模拟 RSSI 输出用于确定信号的强度。响应和稳定时间取决于外部滤波电容。通常情况下, 一个 4-10 nF 的电容可为大多数应用提供最佳的响应时间。
16	$\overline{\text{INT/DIO}}$	数字输入 / 输出	中断: 此引脚可配置为器件的低电平有效的外部中断。如果此引脚上施加了逻辑低电平 (0), 会导致 IRO 引脚触发中断, 并发送信号给外部单片机。通过读 STSREG 的前 4 位 (请参见表 2-4) 可确定中断源。此引脚可用于将器件从休眠模式中唤醒。 数据指示器输出: 此引脚可配置为根据实际的内部设置指示有效数据。

2.1 电源和地引脚

电源旁路有助于更好地处理电源线中的信号浪涌和噪声。应在 PCB 的电源输入处放置一个大的退耦电容，在器件的每个电源点和射频端口的偏置点放置小的退耦电容。差的旁路会导致传导干扰，引起噪声和杂散信号并耦合到射频部分，从而大幅度降低性能。

VDD 引脚需要两个旁路电容来确保足够的旁路和退耦。但是，旁路电容值会随着所选的载波频率不同而有所变化。表 2-2 中列出了建议的旁路电容值，表 2-3 中列出了要使用的电容类型。旁路电容与引脚 14 连接，如图 4-1 所示。VDD 引脚到旁路电容的走线长度应尽可能地短。

表 2-2: 建议的旁路电容值

波段 (MHz)	C1 (μF)	C2 (nF)	C3 (pF)
433	2.2	10	220
868	2.2	10	47
915	2.2	10	33

表 2-3: 建议的旁路电容

属性	C1	C2	C3
SMD 尺寸	A	0603	0603
介质	钽	陶瓷	陶瓷

2.2 RESET 引脚

可通过将 $\overline{\text{RESET}}$ (引脚 10) 引脚拉为低电平来实现 MRF49XA 的外部硬件复位。释放引脚后，稍过 0.25 ms 收发器从复位状态释放。该引脚可驱动为漏极开路输出功能，因此，当器件处于上电复位状态时，该引脚会被拉低。RESET 引脚有一个内置片上弱上拉电阻。复位期间，器件不接受任何命令。

发生以下任一事件时，器件进入复位模式：

- 上电复位
- 电源毛刺复位
- 软件复位
- $\overline{\text{RESET}}$ 引脚

通过向器件发送适当的控制命令发出软件复位信号。执行这个命令的结果与上电复位类似，但是复位事件的持续时间要短得多，通常为 0.25 ms。只有选择敏感复位模式时，软件复位才有效。有关复位的详细信息可参见第 3.1 节“复位”；有关连接的详细信息可参见图 4-1。

2.3 功率放大器

功率放大器 (PA) 提供开集差分输出，可直接驱动不同的 PCB 天线 (如环形天线或双极天线)，在信号发送期间可编程输出功率级别。然而，某些天线类型例如单极天线，需要额外提供匹配电路。内置的自动天线调谐电路使用户无需在生产过程中手动调谐；即所谓的“手动效果”。

2.4 低噪声放大器

低噪声放大器 (LNA) 具有约 250 Ω 的差分输入阻抗，在信号发送期间，该低噪声放大器与建议的天线 (PCB/单极天线) 能很好地协同工作。当 LNA 与 50 Ω 的器件连接时，需要外部匹配电路 (Balun) 进行正确匹配，并使接收器的噪声系数最小。

LNA 增益可根据所需的射频信号强度选择四阶中的一阶，对应不同的增益因子 (相对于最高增益，其范围是 0 和 -20 dB 之间)。在噪声环境下增益选择特性非常有用。

2.5 RFXTL/EXTREF 和 CLKOUT 引脚

MRF49XA 有一个内部集成的晶振电路，因此，单个 RFXTL/EXTREF 引脚可用作晶体振荡器。带有内部负载电容的晶振电路为 PLL 提供 10 MHz 的参考时钟信号。然后 PLL 产生本地振荡频率。可通过更改负载电容值将晶振“拉”至精确的频率，以减少外部元件数并简化设计。晶振负载电容的可编程范围为 8.5 pF-16 pF，步长为 0.5 pF。因此，晶振电路可采用不同制造商提供的具有不同负载电容要求的各种晶振。因为晶振本身就是产生载波的 PLL 的时钟参考源，所以负载电容的宽选择范围也有助于微调最终的载波频率。外部参考输入（例如振荡器）可作为参考时钟源进行连接。振荡器可通过一个 0.01 μ F 的电容进行连接。选择较好的晶振能获得较小的 TX 到 RX 的频率偏移，且基带带宽偏差也较小。因此，建议的晶振精度应 \leq 40 ppm。偏差和基带带宽将在第 2.8 节“基带 / 数据滤波器”中详细讨论。选择合适晶振的指导信息在第 3.6 节“晶振选择指南”中进行说明。

收发器可通过时钟输出（CLKOUT）引脚为单片机提供时钟信号来进行精确定时，因而无需使用辅助晶体。同时还可以减少元件数。

2.6 锁相环

锁相环（Phase Locked Loop, PLL）电路决定器件的工作频率。此可编程 PLL 频率合成器仅需一个 10 MHz 的晶振参考源。PLL 通过使用片上晶振控制的参考振荡器维持精度，并为设计者提供性能方面的最大灵活性。可通过更改负载电容值将晶振更改为精确的频率。射频稳定性的控制可通过以下方法实现：选择一个满足应用规范要求的晶振、提供产生载波所需的功能并调制每个波段。更多详细信息，请参见第 3.6 节“晶振选择指南”。PLL 的高分辨率允许在任何波段使用多个信道。片上 PLL 能够执行手动和自动校准操作来补偿温度或工作电压的变化。

2.7 自动频率控制

MRF49XA 的 PLL 可通过使用集成的自动频率控制（AFC）特性对载波频率进行自动微调。接收器使用 AFC 特性使在离散步长内 TX/RX 间的频率偏移最小，它提供以下优点：

- 使收发器带宽变窄，以获得更高的灵敏度
- 获得更高的数据传输速率
- 可使用所有本地提供的低精度、便宜的晶振

MRF49XA 可编程为自动控制频率或由选通信号手动激活。

2.8 基带 / 数据滤波器

基带滤波器（Baseband Filter, BBF）是用户可编程滤波器。可通过对基带滤波器的带宽进行编程来设置接收器带宽。在对接收器编程时，可根据要接收的信号的特性对其进行设置。基带接收器提供了几个编程选项来对各种应用的通信进行优化。可编程功能如下：

- 基带模拟滤波器
- 基带数字滤波器
- 接收带宽
- 接收数据速率
- 时钟恢复

可根据用户应用的要求，使用外部电容或数字滤波器对输出数据进行滤波。如果 MRF49XA 中的 RCLKOUT/FCAP/FINT 引脚配置为配置滤波器，那么它可提供原始基带数据。主单片机也可使用该引脚进行数据恢复。

2.9 时钟恢复电路

使用外部单片机，时钟恢复电路（CLKRC）可用于提供同步时钟源以恢复数据。时钟恢复电路通过采样所接收数据的前导码来进行工作。前导码包含一个由 1 和 0 组成的序列，以方便 CLKRC 正确提取数据时序。在慢速模式下，CLKRC 需要采样更多的字符采样（12 至 16 位），因此，锁定之前的稳定时间将更长。在快速模式下，在锁定之前使用的采样字符数（6 至 8 位）较少，因此，稳定时间也较短，从而使得时序精度不太重要。如果基带滤波器配置为数字滤波器，RCLKOUT/FCAP/FINT 引脚提供从传入数据恢复的时钟。

2.10 数据有效性模块

2.10.1 接收信号强度指示器

MRF49XA 为主单片机提供 RSSI 信号，因此，它支持模拟和数字信号强度的监视。通过内部状态寄存器提供的数字 RSSI 输出用于监视输入信号级别。如果接收到的信号强度超过了给定的预编程 RSSI 阈值电压，数字 RSSI 变为高电平。可通过读 STSREG 监视数字 RSSI。或者，引脚 15 (RSSIO) 上提供的模拟 RSSI 信号也可用于确定信号强度。模拟 RSSI 稳定时间取决于外接滤波电容。通常情况下，4-10nF 的电容可为大多数应用提供最优的响应时间。有关模拟 RSSI 的滤波电容的详细信息请参见第 4.0 节“应用详细信息”和第 5.0 节“电气特性”。模拟 RSSI 电压和射频输入功率之间的典型关系如图 2-2 所示。

2.10.2 数据质量指示器

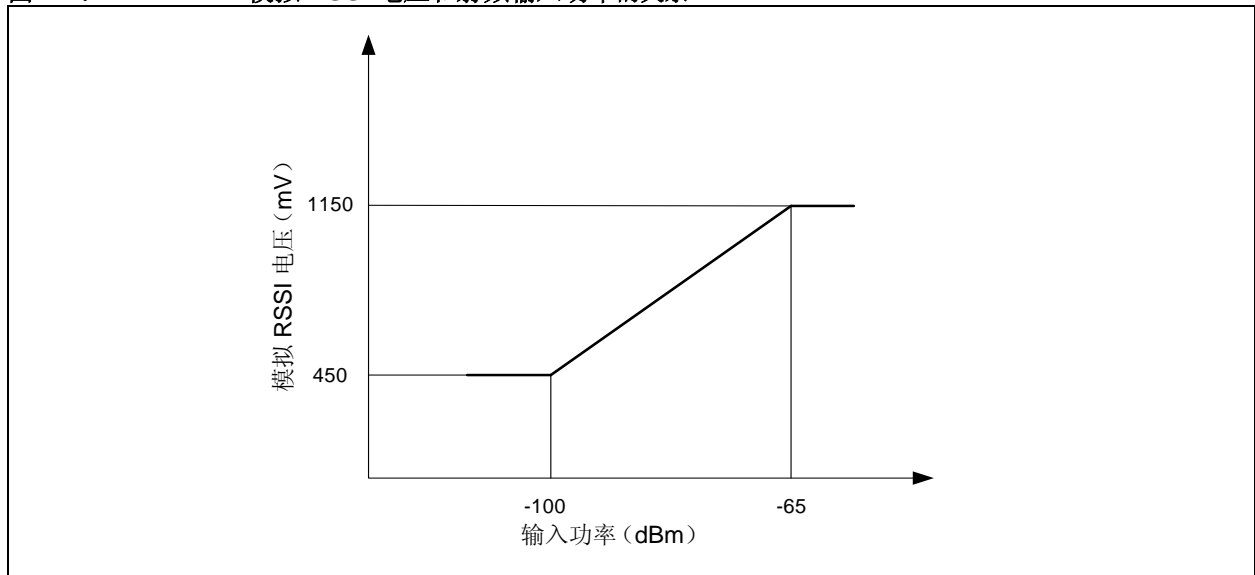
数据质量指示器 (Data Quality Indicator, DQI) 是用来指示所接收信号质量和链接质量的特殊功能。对未经滤波的接收到的数据进行采样，并计算指定时间内所接收数据中的尖峰数。如果输入信号都为高值，它表示工作的 FSK 发送器给出的是在本地振荡器的基带滤波器带宽范围之内的高输出信号。

2.10.3 数据指示器输出

数据输出指示器 (Data Indicator Output, DIO) 是 DQI 的延伸。根据实际内部设置，DIO 引脚可配置为指示有效数据。检测到传入的信号时，DIO 使用 DQI 时钟恢复锁定和数字 RSSI 信号来确定传入数据的有效性。DIO 以期望的数据传输速率搜索有效的数据发送。用户可通过 SPI 端口对所需的数据传输速率和有效数据的接受标准进行编程。当使用内部接收 FIFO 或外部引脚捕获基带数据时，DIO 信号有效。

DIO 有 3 种工作模式：慢速模式、中速模式和快速模式。具体采用哪种模式取决于用来确定有效数据的信号类型和数据包开头出现的前导码位数。DIO 可与 INT 引脚复用以供外部使用。

图 2-2: 模拟 RSSI 电压和射频输入功率的关系



2.11 节能模块

2.11.1 低电池电压检测器

集成的低电池电压检测器电路用于监视电源电压相对于预编程值的变化情况，并在电源电压值低于预编程阈值电压时在 IRO 引脚上产生中断。检测器电路有一个内置的 50 mV 的滞后。

2.11.2 唤醒定时器

可编程唤醒定时器的电流消耗非常低，通常只有 1.5 μ A。它的可编程范围为 1 ms 到几天，精度为 $\pm 10\%$ 。唤醒定时器可在每次启动时在启动之后每 30 s 校准一次，因此需要晶振器为其提供参考时钟。甚至在休眠模式下也可进行校准。唤醒定时器的校准过程需要约 500 ms 的时间，为了正确校准，必须在使能唤醒定时器之前运行晶体振荡器。

如果发生任何唤醒事件，包括唤醒定时器在内的唤醒逻辑会在 IRO 引脚上产生中断信号，以唤醒单片机。这可以减少单片机激活的时间。如果禁止了振荡器电路，为了在返回休眠模式之前保持精确的时序，校准电路会将其开启一小段时间以执行校准。

2.11.3 低占空比模式

MRF49XA 可进入低占空比模式运行以减少接收模式下的平均功耗。低占空比模式通常和唤醒定时器一起使用。可配置 DCSREG，以便当唤醒定时器将器件退出休眠模式时，接收器可开启一小段时间进行信号采样，然后器件返回到休眠模式，不断重复此过程。

2.12 INT、IRO 引脚和中断

配置中断引脚 ($\overline{\text{INT}}$) 作为主单片机为 MRF49XA 提供的低电平有效的外部中断。

发生以下事件时，器件通过拉低 $\overline{\text{IRO}}$ 引脚对主单片机产生中断请求：

- TX 寄存器准备好接收下一个字节
- RX FIFO 已接收到预编程的位数
- FIFO 上溢 /TX 寄存器下溢 (TXUROW 在接收模式下上溢，在发送模式下下溢)
- 输入中断引脚 ($\overline{\text{INT}}$) 上出现负脉冲
- 唤醒定时器超时
- 检测到电源电压低于预编程值
- 上电复位

应当读状态位以确定中断源。可通过读 STATUS 寄存器清除中断。

有关中断的功能描述，请参见第 3.9 节“中断”。

2.13 发送寄存器

MRF49XA 的发送寄存器配置为 2 个串行连接的 8 位移位寄存器，构成一个 16 位的移位寄存器。使能发送器时，它以相对于所设置的比特率的速度从第一个寄存器开始发送数据。在上电且使能发送器后，发送器将预载 0xAAAA 到 TX 锁存器。可使用此方法在发送实际数据之前产生前导码。

在硬件中，FSK/DATA/FSEL 具有两个功能：

- 用作频移键控引脚时，它主要负责发送 FSK 数据输入。此引脚有一个 133 k Ω 的内部上拉电阻。当使能发送寄存器来进行发送时，此引脚必须为高电平。
- 用作 DATA (数据输出) 引脚时，如果未使用内部 FIFO，此引脚与 RCLKOUT 一起使用以接收数据。读内部 RXFIFOREG 时，此引脚必须拉为低电平。

2.14 接收 FIFO

MRF49XA 中接收到的数据被填入一个 16 位的 FIFO 寄存器。该 FIFO 配置为在接收到指定的位数后产生中断。使能内部 FIFO 时，FIFO 中断引脚（RCLKOUT/FCAP/FINT）给出 FIFO 满的中断信号，指示 FIFO 已填至其预编程的限制。当接收器通过同步图样识别电路识别出同步图样时，开始向 FIFO 填充数据。在此过程中，FINTDIO 位可更改其状态。FIFO 中断级别的可编程范围为 1 到 16 位。建议把阈值设置为至少寄存器长度的一半（8 位）以确保外部主单片机有足够的时间进行设置。同步图样识别电路可防止 FIFO 填充噪声，从而避免外部主单片机超载。

注： 同步字在 RX FIFO 中是不可访问的。SYNBREG 仅向主单片机提供同步这一信息。

在 RFXTAL 上的时钟为 10 MHz 的情况下，FIFO 读时钟（SCK）必须 $< f_{XTAL}/4$ 或 < 2.5 MHz。FSK/DATA/FSEL 作为 FIFO 选择引脚时，在读 RXFIFOREG 时选择 FIFO 并且第一位出现在下一个时钟。

在硬件中，FSK/DATA/FSEL 引脚配置为 DATA（数据输入）且禁止内部 TXBREG；这用于手动调制来自外部主单片机的数据。如果使能 TXBREG，此引脚处于高电平或保留未连接状态。

用户可对内部同步图样和图样长度进行编程。如果片选（CS）引脚为低电平，SDI 引脚上的数据位在 SCK 引脚时钟信号的上升沿移入器件。如果 CS 信号为高电平，初始化串行接口。

2.15 串行外设接口

MRF49XA 作为从器件通过 4 线 SPI 接口与主单片机通信。SPI 兼容串行接口允许用户通过主单片机进行选择、命令和监视 MRF49XA 的状态。所有的寄存器由命令代码后跟不同数量的参数或数据位组成。当器件使用字写入寄存器时，CS 引脚应拉为低电平（对于 16 位）。当 CS 引脚为低电平时，SDI 引脚上的数据位都在 SCK 引脚时钟的上升沿移入器件。

SPI 总线的最大时钟频率是 20 MHz。MRF49XA 支持 SPI 模式 0，0 要求 SCK 在空闲模式下保持低电平。CS 引脚必须保持低电平，以确保主单片机和 MRF49XA 间的通信。器件的时序规范详细信息如表 5-8 所示。收发器通过 SDI 引脚接收数据，并在 SCK 时钟的上升沿时钟输入数据。图 5-1 给出了时序图。MRF49XA 通过 SDO 引脚发送数据，并且在 SCK 的下降沿时钟输出数据。所有数据都是首先发送最高有效位（MSb），例如 16 位命令中的 bit 15。POR 电路将所有控制寄存器和命令寄存器设置为默认值。

注： 必须小心使用单片机的内置硬件串行端口。如果端口无法切换到 16 位模式，那么应当使用独立的 I/O 线来控制 CS 引脚以确保整个命令周期内 CS 引脚处于低电平状态，也可使用软件串行控制接口。

当 CS 引脚为高电平（不选择 MRF49XA）时，SDO 引脚默认为低电平状态。此引脚具有三态缓冲器，使用总线保持逻辑。关于 SPI 接口，请参见图 4-1。

可通过 SPI 对以下参数进行编程和设置：

- 频带
- 频率合成器的中心频率
- 单片机时钟的分频比
- 唤醒定时器周期
- 基带信号路径的带宽
- 低电源电压检测器阈值

不需要时，可禁止这些辅助功能中的一个或多个。上电后，所有的参数都被设置为默认值。休眠模式期间仍保留编程后的值。此接口支持从状态寄存器读取关于收发器状态和所接收数据的详细信息。

MRF49XA

2.16 存储器构成

MRF49XA 的存储器为静态 RAM，可通过 SPI 端口访问。每个存储单元都具有寻址寄存器、控制、状态或数据 /FIFO 域的功能，如表 2-5 所示。命令 / 控制寄存器为收发器工作提供控制、状态和器件寻址功能。FIFO 用作数据发送和接收的临时缓冲器。

到器件的命令是串行发送的。所有 17 条命令基本上寻址器件随附的 17 个寄存器。寄存器由命令代码后跟控制、数据、状态或参数位组成。所有命令中都是首先发送 MSb，例如 16 位命令中的 bit 15。POR 电路将所有控制寄存器和命令寄存器都设置为默认值。

注： 必须小心使用单片机的内置硬件串行端口。如果端口无法切换到 16 位模式，那么应当使用独立的 I/O 线来控制 CS 引脚以确保与主单片机的通信期间 CS 引脚处于低电平状态。

表 2-4: 控制（命令）寄存器说明

SI 编号	寄存器名称	寄存器说明	相关的控制功能
1	STSREG	状态读寄存器	接收寄存器 /FIFO、发送寄存器、中断、频率控制和信号强度、POR、唤醒定时器、低电池电压检测、数据质量和时钟恢复
2	GENCREG	通用配置寄存器	波段选择、使能 TX 和 RX 寄存器、晶体负载电容模块值
3	AFCCREG	自动频率控制配置寄存器	AFC 的锁定范围、模式、精度和使能
4	TXCREG	发送配置寄存器	调制极性、调制带宽、发送功率和偏差
5	TXBREG	发送字节寄存器	发送数据字节
6	CFSREG	中心频率值设置寄存器	发送或接收频率
7	RXCREG	接收控制寄存器	引脚 16 的功能、数据指示器输出模式、RX 基带带宽、低噪声放大器增益和数字 RSSI 阈值
8	BBFCREG	基带滤波器配置寄存器	时钟恢复模式、数据指示器参数值和滤波器类型
9	RXFIFOREG	接收器 FIFO 读寄存器	接收数据字节
10	FIFORSTREG	FIFO 和复位模式配置寄存器	FIFO 中断级别、FIFO 启动控制和 FIFO 使能、POR 敏感模式和同步字符长度
11	SYNBREG	同步字节配置寄存器	同步字符图样
12	DRSREG	数据传输速率值设置寄存器	数据传输速率预分频设置
13	PMCREG	电源管理配置寄存器	使能接收和发送链路、基带电路、频率合成器电路、振荡器、唤醒定时器、低电池电压检测器和时钟输出
14	WTSREG	唤醒定时器值设置寄存器	唤醒定时器值的时间间隔
15	DCSREG	占空比值设置寄存器	占空比模式和占空比值
16	BCSREG	电池阈值检测和时钟输出值设置寄存器	低电池电压检测阈值和时钟输出频率
17	PLLCREG	PLL 配置寄存器	时钟输出缓冲速度、PLL 带宽、抖动和延时

表 2-5: 控制 (命令) 寄存器映射

寄存器名称	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	上电复位时的值
STSREG													OFFSB<3:0>			0x0000	
GENCREG	1	0	0	0	0	0	0	0	TXDEN	FIFOEN	FBS<1:0>		LCS<3:0>			0x8008	
AFCCREG	1	1	0	0	0	1	0	0	AUTOMS<1:0>		ARFO<1:0>		MFCS	HAM	FOREN	FOFEN	0xC4F7
TXCREG	1	0	0	1	1	0	0	MODPLY	MODBW<3:0>			—	OTXPWR<2:0>			0x9800	
TXBREG	1	0	1	1	1	0	0	0	TXDB<7:0>							0xB8AA	
CFSREG	1	0	1	0	FREQB<11:0>											0xA680	
RXCREG	1	0	0	1	0	FINTDIO	DIORT<1:0>		RXBW<2:0>		RXLNA<1:0>		DRSSIT<2:0>			0x9080	
BBFCREG	1	1	0	0	0	0	1	0	ACRLC	MCRLC	—	FTYPE	—	DQTI<2:0>			0xC22C
RXFIFOREG	1	0	1	1	0	0	0	0	RXDB<7:0>							0xB000	
FIFORSTREG	1	1	0	0	1	0	1	0	FFBC<3:0>			SYCHLEN	FFSC	FSCF	DRSTM	0xCA80	
SYNBREG	1	1	0	0	1	1	1	0	SYNCB<7:0>							0xCED4	
DRSREG	1	1	0	0	0	1	1	0	DRPE	DRPV<6:0>						0xC623	
PMCREG	1	0	0	0	0	0	1	0	RXCEN	BBCEN	TXCEN	SYNEN	OSCEN	LBDEN	WUTEN	CLKOEN	0x8208
WTSREG	1	1	1	WTEV<4:0>				WTMV<7:0>							0xE196		
DCSREG	1	1	0	0	1	0	0	0	DCMV<6:0>							DCMEN	0xC80E
BCSREG	1	1	0	0	0	0	0	0	COFSB<2:0>		—	LBDVB<3:0>				0xC000	
PLLCREG	1	1	0	0	1	1	0	0	—	CBTC<1:0>		1	PDDS	PLLDD	—	PLLBWB	0xCC77

MRF49XA

2.17 控制（命令）寄存器详细信息

寄存器 2-1: **STSREG: 状态读寄存器 (POR: 0x0000) (1)**

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
TXRXFIFO	POR	TXOWRXOF	WUTINT	LCEXINT	LBDT	FIFOEM	ATRSSI
bit 15							bit 8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
DQDO	CLKRL	AFCCT	OFFSV	OFFSB<3:0>			
bit 7							bit 0

图注:	r = 保留位						
R = 可读位	W = 可写位	U = 未实现位, 读为 0					
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知				

bit 15 **TXRXFIFO:** 发送寄存器或接收 FIFO 位
发送模式: 发送寄存器就绪位 (2)
 指示发送寄存器是否准备好接收要发送的下一个字节。
 1 = 就绪 (5)
 0 = 未就绪
接收模式: 接收 FIFO 装满 (中断) 位 (2,3)
 指示 RX FIFO 是否已经达到了预编程的限制。
 1 = 达到预编程限制 (5)
 0 = 未达到预编程限制

bit 14 **POR:** 上电复位位
 1 = 已发生上电复位 (5)
 0 = 未发生上电复位

bit 13 **TXOWRXOF:** 发送重写接收上溢位
发送模式: 发送寄存器溢出或覆盖位
 1 = 下溢或重写 (5)
 0 = 正常工作
接收模式: 接收 FIFO 上溢位
 1 = FIFO 上溢 (5)
 0 = 正常工作

bit 12 **WUTINT:** 唤醒定时器 (中断) 上溢位
 1 = 已发生定时器上溢 (5)
 0 = 正常工作

bit 11 **LCEXINT:** 外部中断引脚上的逻辑电平变化位
 指示外部中断引脚 ($\overline{\text{INT/DIO}}$) 上高电平到低电平的逻辑变化。 (5)
 1 = 已发生高电平到低电平的变换
 0 = 未发生高电平到低电平的变换

- 注**
- 1: 所有的寄存器命令都以逻辑 1 开始, 只有 STATUS 寄存器读命令时以逻辑 0 开始。
 - 2: 发送或接收模式下此位复用。
 - 3: 请参见寄存器 2-10 中的 FFBC 位 (FIFORSTREG<3:0>)。
 - 4: 为了得到精确的值, 应在读操作期间通过清零 FOFEN 位 (AFCCREG<0>) 禁止 AFC。AFC 偏移值 (状态字中的 OFFSB 位) 以二进制补码数的形式表示。实际的频率偏移可通过 AFC 偏移值乘以 CFSREG (FREQB<11:0>) 中的当前 PLL 频率步长计算得到。
 - 5: 读 STSREG 后清零此位。

寄存器 2-1: STSREG: 状态读寄存器 (POR: 0x0000) ⁽¹⁾ (续)

bit 10	<p>LBTD: 低电池电压阈值检测位</p> <p>指示电池或电源电压是否低于预编程的阈值限制。</p> <p>1 = 电源电压低于阈值</p> <p>0 = 正常供电</p>
bit 9	<p>FIFOEM: FIFO 空位</p> <p>指示接收 FIFO 是空还是满。</p> <p>1 = FIFO 为空</p> <p>0 = FIFO 为满</p>
bit 8	<p>ATRSSI: 天线调谐和接收信号强度指示器位</p> <p><u>发送模式:</u></p> <p>此位指示天线调频电路已检测到强射频信号。</p> <p>1 = 出现强射频信号</p> <p>0 = 射频信号微弱或没有射频信号</p> <p><u>接收模式:</u></p> <p>此位指示传入的射频信号超过了预编程的数字 RSSI 限制。</p> <p>1 = RF 信号超过设置的阈值</p> <p>0 = RF 信号低于设置的阈值</p>
bit 7	<p>DQDO: 数据质量检测 / 指示输出位</p> <p>指示正常数据质量输出。</p> <p>1 = 检测到质量数据</p> <p>0 = 未得到质量数据</p>
bit 6	<p>CLKRL: 时钟恢复锁定位</p> <p>指示时钟恢复已锁定。</p> <p>1 = 时钟恢复已锁定</p> <p>0 = 时钟恢复未锁定</p>
bit 5	<p>AFCCT: 自动频率控制周期翻转位</p> <p>对于每个 AFC 运行周期, 此位需在逻辑 1 和逻辑 0 之间翻转。</p> <p>1 = 已发生 AFC 周期</p> <p>0 = 此周期中无 AFC</p>
bit 4	<p>OFFSV: 偏移符号值位</p> <p>表示测得的任何 AFC 周期的差异或频率偏移 (偏移值的符号)。</p> <p>1 = 高于芯片频率</p> <p>0 = 低于芯片频率</p>
bit 3-0	<p>OFFSB<3:0>: 偏移位</p> <p>偏移值将添加到频率控制参数 (内部 PLL) 内。 ⁽⁴⁾</p> <p>1 = 结果为负</p> <p>0 = 结果为正</p>

- 注**
- 1: 所有的寄存器命令都以逻辑 1 开始, 只有 STATUS 寄存器读命令时以逻辑 0 开始。
 - 2: 发送或接收模式下此位复用。
 - 3: 请参见寄存器 2-10 中的 FFBC 位 (FIFORSTREG<3:0>)。
 - 4: 为了得到精确的值, 应在读操作期间通过清零 FOFEN 位 (AFCCREG<0>) 禁止 AFC。AFC 偏移值 (状态字中的 OFFSB 位) 以二进制补码数的形式表示。实际的频率偏移可通过 AFC 偏移值乘以 CFSREG (FREQB<11:0>) 中的当前 PLL 频率步长计算得到。
 - 5: 读 STSREG 后清零此位。

注: 关于 STSREG 的读序列, 请参见附录 A: “读序列和数据包结构”。

MRF49XA

寄存器 2-2: GENCREG: 通用配置寄存器 (POR: 0x8008)

R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CCB<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0
TXDEN	FIFOEN	FBS<1:0>		LCS<3:0>			
bit 7							bit 0

图注:	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知

bit 15-8 **CCB<15:8>**: 命令代码位
命令代码位 (10000000b) 是由单片机串行发送以识别 GENCREG 中要写的位。

bit 7 **TXDEN**: TX 数据寄存器使能位
1 = 使能内部 TX 数据寄存器 ⁽¹⁾
0 = 禁止内部 TX 数据寄存器; 无发送

bit 6 **FIFOEN**: FIFO 使能位
1 = 使能内部数据 FIFO; FIFO 用于存储接收过程中的数据 ⁽²⁾
0 = 禁止 FIFO; FSK/DATA/FSEL 和 RCLKOUT/FCAP/FINT 用于接收数据

bit 5-4 **FBS<1:0>**: 频率波段选择位
这些位设置 sub-GHz 范围内要使用的波段。
11 = 915 MHz
10 = 868 MHz
01 = 433 MHz
00 = 保留

bit 3-0 **LCS<3:0>**: 负载电容选择位
这些位设置和更改参考晶振的内部负载电容。
1111 = 16.0 pF
1110 = 15.5 pF
1101 = 15.0 pF
1100 = 14.5 pF
1011 = 14.0 pF
1010 = 13.5 pF
1001 = 13.0 pF
1000 = 12.5 pF
0111 = 12.0 pF
0110 = 11.5 pF
0101 = 11.0 pF
0100 = 10.5 pF
0011 = 10.0 pF
0010 = 9.5 pF
0001 = 9.0 pF
0000 = 8.5 pF

- 注 1: 如果使用内部 TX 数据寄存器, DATA/FSK/FSEL 引脚的电平必须拉为“高”。
2: 如果使用数据 FIFO, DATA/FSK/FSEL 引脚的电平必须拉为“低”。

寄存器 2-3: AFCCREG: 自动频率控制配置寄存器 (POR: 0xC4F7)

R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0
CCB<15:8>							
bit 15							bit 8

R/W-1	R/W-1	R/W-1	R/W-1	R/W-0	R/W-1	R/W-1	R/W-1
AUTOMS<1:0>		ARFO<1:0>		MFCS	HAM	FOREN	FOFEN
bit 7							bit 0

图注:	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知

bit 15-8 CCB<15:8>: 命令代码位
命令代码位 (11000100b) 是由单片机串行发送以识别 AFCCREG 中要写的位。

bit 7-6 AUTOMS<1:0>: 自动模式选择位 (针对 AFC)
这些位根据 MFCS 位的状态选择执行 AFC 的工作类型 (自动 / 手动)。
11 = 不管 DIO 信号的状态如何, 保持偏移
10 = 仅当接收 (DIO 为高电平) 时保持偏移
01 = 仅在每个上电周期后运行和测量一次
00 = 关闭自动模式 (由单片机控制)

bit 5-4 ARFO<1:0>: 允许的频率偏移位范围
这些位选择可接受的发送器频率和接收器频率之间允许的偏移范围。
11 = +3 FRES 至 -4 FRES⁽¹⁾
10 = +7 FRES 至 -8 FRES
01 = +15 FRES 至 -16 FRES
00 = 无限制

bit 3 MFCS: 手动频率控制选通位
此位是启动手动频率控制采样来计算偏移误差的选通信号。
1 = 比较所接收信号的样本与接收器本地振荡器 (Local Oscillator, LO) 信号, 并计算出偏移误差。如果使能 bit 1, 这个值将存储在 AFC 模块的偏移寄存器中。⁽²⁾
0 = 为下一个采样作准备

bit 2 HAM: 高精度 (微调) 模式位⁽³⁾
1 = 将频率控制模式切换到高精度模式
0 = 频率控制模式在常规模式下工作

bit 1 FOREN: 频率偏移寄存器使能位
1 = 使能根据偏移样本计算出来的偏移值。将偏移值添加到调节所需载波频率的 PLL 的频率控制字中。
0 = 拒绝将偏移值添加到 PLL 的频率控制字

注 1: FRES 是每个波段的频率调谐分辨率。每个波段的 FRES 如下:
433 MHz = 2.5 kHz
868 MHz = 5 kHz
915 MHz = 7.5 kHz

2: 偏移误差值存储在 AFC 模块的偏移寄存器中 (应使能 FOREN 位), 并被添加到 PLL 的频率控制字。启动下一个采样之前应复位此位。

3: 在高精度 (微调) 模式下, 处理时间是常规模式下处理时间的两倍, 但是测量的不确定性明显减少。

MRF49XA

寄存器 2-3: **AFCCREG: 自动频率控制配置寄存器 (POR: 0xC4F7) (续)**

bit 0 **FOFEN: 频率偏移使能位**
1 = 使能使用 AFC 电路计算频率偏移
0 = 禁止使用 AFC 电路计算频率偏移

- 注 **1:** FRES 是每个波段的频率调谐分辨率。每个波段的 FRES 如下:
433 MHz = 2.5 kHz
868 MHz = 5 kHz
915 MHz = 7.5 kHz
- 2:** 偏移误差值存储在 AFC 模块的偏移寄存器中 (应使能 FOREN 位), 并被添加到 PLL 的频率控制字。启动下一个采样之前应复位此位。
- 3:** 在高精度 (微调) 模式下, 处理时间是常规模式下处理时间的两倍, 但是测量的不确定性明显减少。

寄存器 2-4: TXCREG: 发送配置寄存器 (POR: 0x9800)

R/W-1	R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0
CCB<15:9>							MODPLY
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
MODBW<3:0>				r	OTXPWR<2:0>		
bit 7							bit 0

图注:	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知

bit 15-9 **CCB<15:9>**: 命令代码位
命令代码位 (1001100b) 是由单片机串行发送以识别 TXCREG 中要写的位。

bit 8 **MODPLY**: 调制极性位 (用于 FSK)
当 MODPLY 配置为高/低时:
1 = 逻辑 0 表示高信道频率, 逻辑 1 表示低信道频率 (负偏差)
0 = 逻辑 0 表示低信道频率, 逻辑 1 表示高信道频率 (正偏差)

bit 7-4 **MODBW<3:0>**: 调制带宽位
这些位设置发送逻辑 1 和逻辑 0 时的 FSK 频率偏差。(1)
1111 = 240 kHz
1110 = 225 kHz
1101 = 210 kHz
1100 = 195 kHz
1011 = 180 kHz
1010 = 165 kHz
1001 = 150 kHz
1000 = 135 kHz
0111 = 120 kHz
0110 = 105 kHz
0101 = 90 kHz
0100 = 75 kHz
0011 = 60 kHz
0010 = 45 kHz
0001 = 30 kHz
0000 = 15 kHz

bit 3 **保留**: 写为 0

- 注 1: 发送器 FSK 调制参数用于计算产生的输出频率, 如公式 2-1 所示。
2: 输出发送功率范围与可得到的最大功率有关, 该最大功率取决于实际的天线阻抗。

MRF49XA

寄存器 2-4: TXCREG: 发送配置寄存器 (POR: 0x9800) (续)

bit 2-0 OTXPWR<2:0>: 输出发送功率范围位 (2)

这些位设置发送输出功率范围。输出功率的可编程范围为 -17.5 dB至0 dB (最大值), 步长为 -2.5 dB。

111 = -17.5 dB

110 = -15.0 dB

101 = -12.5 dB

100 = -10.5 dB

011 = -7.5 dB

010 = -5.0 dB

001 = -2.5 dB

000 = 0 dB

注 1: 发送器 FSK 调制参数用于计算产生的输出频率, 如公式 2-1 所示。

2: 输出发送功率范围与可得到的最大功率有关, 该最大功率取决于实际的天线阻抗。

公式 2-1:

$$f_{\text{FSKOUT}} = f_0 + (-1)\text{SIGN} \times (\text{MB} + 1) \times (15 \text{ kHz})$$

其中:

f_0 是信道中心频率 (参见寄存器 2-6 中的 f_0 计算)

MB 是 4 位二进制数 (MODBW<3:0>)

SIGN = MODPLY XOR FSK

寄存器 2-5: TXBREG: 发送字节寄存器 (POR: 0xB8AA)

R/W-1	R/W-0	R/W-1	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0
CCB<15:8>							
bit 15				bit 8			

R/W-1	R/W-0	R/W-1	R/W-0	R/W-1	R/W-0	R/W-1	R/W-0
TXDB<7:0>							
bit 7				bit 0			

图注:	r = 保留位						
R = 可读位	W = 可写位	U = 未实现位, 读为 0					
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知				

bit 15-8 **CCB<15:8>**: 命令代码位
命令代码位 (10111000b) 是由单片机串行发送以识别 TXBREG 中要写的位。

bit 7-0 **TXDB<7:0>**: 发送数据字节位
发送数据位保存要发送的 8 位。要使用此寄存器, 请设置位, 使 TXDEN = 1 (GENCREG<7>)。如果 TXDEN 没有置 1, 使用 FSK/DATA/FSEL 引脚手动调制数据。

MRF49XA

寄存器 2-6: CFSREG: 中心频率值设置寄存器 (POR: 0xA680)

R/W-1	R/W-0	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1	R/W-0
CCB<15:12>				FREQB<11:8>			
bit 15							bit 8

R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FREQB<7:0>							
bit 7							bit 0

图注:	r = 保留位						
R = 可读位	W = 可写位	U = 未实现位, 读为 0					
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知				

bit 15-12 **CCB<15:12>**: 命令代码位
命令代码位 (1010b) 是由单片机串行发送以识别 CFSREG 中要写的位。

bit 11-0 **FREQB<11:0>**: 中心频率设置位
这些位设置发送或接收期间要使用的中心频率。此 12 位值 (FVAL) 必须在 96 到 3903 的十进制范围内。此范围之外的值会导致保存并使用上一个值, 以致未发生任何频率更改 ⁽¹⁾。

注 1: 要计算中心频率 (F0), 请使用公式 2-2 和表 2-6 中的值。CFSREG 在所选波段内为发送或接收设置频率。每一个波段都为更改信道或频率变换提供了可用频率范围。表 2-7 给出了每个波段的可选择频率。

公式 2-2:

$$F_0 = 10 \times FA1 \times (FA0 + F_{VAL}/4000) \text{ MHz}$$

其中:
 $F_{VAL} = \text{FREQB 的十进制值 } <11:0> = 96 < F_{VAL} < 3903$

表 2-6: 中心频率值

范围	FA1	FA0
433 MHz	1	43
868 MHz	2	43
915 MHz	3	30

表 2-7: 频率波段调谐分辨率

频率波段 (MHz)	最小值 (MHz)	最大值 (MHz)	调谐分辨率 (kHz)
400	430.2400	439.7575	2.5
800	860.4800	879.5150	5.0
900	900.7200	929.2725	7.5

寄存器 2-7: RXCREG: 接收控制寄存器 (POR: 0x9080)

R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0
CCB<15:11:00>					FINTDIO	DIORT<1:0>	
bit 15							bit 8

R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
RXBW<2:0>			RXLNA<1:0>		DRSSIT<2:0>		
bit 7							bit 0

图注:	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知

bit 15-11 **CCB<15:11>**: 命令代码位

命令代码位 (10010b) 是由单片机串行发送以识别 RXCREG 中要写的位。

bit 10 **FINTDIO**: 功能中断 / 数据指示器输出位

设置引脚 16 的功能为数据指示器输出或中断。

1 = DIO 输出

0 = INT 输入

bit 9-8 **DIORT<1:0>**: 数据指示器输出响应时间位

如果引脚 16 被选为 DIO, 那么这些位设置响应时间, 在这个响应时间内收发器检测并指示传入的同步位图样以及向主单片机发出中断。

11 = 继续

10 = 慢速

01 = 中速

00 = 快速

bit 7-5 **RXBW<2:0>**: 接收器基带带宽位

这些位设置解调的数据的带宽。此带宽应能适应频移键控期间的不同数据传输速率和偏差。

111 = 保留

110 = 67 kHz

101 = 134 kHz

100 = 200 kHz

011 = 270 kHz

010 = 340 kHz

001 = 400 kHz

000 = 保留

bit 4-3 **RXLNA<1:0>**: 接收 LNA 增益位

当这些位设置为不同的值时, 可适应高干扰环境。LNA 增益也影响真正的 RSSI 值。

11 = -20 dB

10 = -14 dB

01 = -6 dB

00 = 0 dB

MRF49XA

寄存器 2-7: **RXCREG: 接收控制寄存器 (POR: 0x9080) (续)**

bit 2-0 **DRSSIT<2:0>: 数字 RSSI 阈值位**

这些位可设置成用来指示传入的信号强度超过预设限制。然后根据结果使能或禁止 DQDO 位 (STSREG<7>)。

111 = 保留

110 = 保留

101 = -73 dB

100 = -79 dB

011 = -85 dB

010 = -91 dB

001 = -97 dB

000 = -103 dB

寄存器 2-8: BBFCREG: 基带滤波器配置寄存器 (POR: 0xC22C)

R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0
CCB<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-1	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0
ACRLC	MCRLC	r	FTYPE	r	DQTI<2:0>		
bit 7							bit 0

图注:	r = 保留位	U = 未实现位, 读为 0
R = 可读位	W = 可写位	0 = 清零
-n = 上电复位时的值	1 = 置 1	x = 未知

- bit 15-8 **CCB<15:8>**: 命令代码位
命令代码位 (11000010b) 是由单片机串行发送以识别 BBFCREG 中要写的位。
- bit 7 **ACRLC**: 自动时钟恢复锁定控制位
1 = 配置时钟恢复锁定控制为自动模式。在此设置下, 时钟恢复在快速模式下启动, 并在锁定后自动切换到慢速模式
0 = 以手动模式控制时钟恢复锁定
- bit 6 **MCRLC**: 手动时钟恢复锁定控制位
1 = 配置时钟恢复锁定控制为快速模式。快速模式需要一个至少 6-8 位的前导码来确定时钟速率, 然后再锁定。
0 = 配置时钟恢复锁定控制为慢速模式。慢速模式的时钟周期更长一些, 并且还需要一个至少 12-16 位的前导码来确定时钟速率, 然后再锁定。慢速模式需要更精确的位时序。关于数据传输速率和时钟恢复间的关系, 请参见寄存器 2-12。
- bit 5 **保留**: 写为 1
- bit 4 **FTYPE**: 滤波器类型位
1 = 配置基带滤波器为模拟 RC 低通滤波器
0 = 配置基带滤波器为数字滤波器 ⁽¹⁾
- bit 3 **保留**: 写为 1
- bit 2-0 **DQTI<2:0>**: 数据质量阈值指示器位
如果比特率接近于偏差, DQI 的阈值参数应设置为小于 4, 才能报告正常信号质量。通常, 如果数据传输速率小于偏差, 将允许阈值更高的参数, 并可能报告正常信号质量。 ⁽²⁾

- 注 1:** 数据滤波器是一个简单的 RC 低通滤波器的数字版本, RC 低通滤波器后跟迟滞比较器。数字滤波器的时间常数是根据 DRSREG 中设置的比特率自动计算的。此模式下的比特率不应超过 115 kbps。在模拟 RC 滤波器中, 解调器输出通过一个 10 kΩ 电阻馈送到 RCLKOUT/FCAP/FINT 引脚。滤波器截止频率由与该引脚和 Vss 连接的外部电容设置。表 2-7 给出了不同数据传输速率时的最佳滤波器电容。
- 2:** 使用公式 2-3 计算 DQI 参数。应根据以下规则选择 BBFCREG 中的 DQI 参数:
- 参数应 > 4, 否则, 噪声可能会被视为有效 FSK 信号。
- 最大值为 7。

MRF49XA

公式 2-3:

$$DQI_{\text{par}} = 4 \times (\text{偏差} - \text{发送 / 接收偏移}) / \text{比特率}$$

表 2-8: 数据传输速率和滤波器电容值的关系

数据传输速率	滤波器电容值
1.2 kbps	12 nF
2.4 kbps	8.2 nF
4.8 kbps	6.8 nF
9.6 kbps	3.3 nF
19.2 kbps	1.5 nF
38.4 kbps	680 pF
57.6 kbps	270 pF
115.2 kbps	150 pF
256 kbps	100 pF

寄存器 2-9: RXFIFOREG: 接收器 FIFO 读寄存器 (POR: 0xB000)

R/W-1	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0
CCB<15:8>							
bit 15				bit 8			

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
RXDB<7:0>							
bit 7				bit 0			

图注:

r = 保留位	U = 未实现位, 读为 0
R = 可读位	W = 可写位
-n = 上电复位时的值	1 = 置 1
	0 = 清零
	x = 未知

bit 15-8

CCB<15:8>: 命令代码位

命令代码位 (10110000b) 是由单片机串行发送以识别 RXFIFOREG 中要写的位。

bit 7-0

RXDB<7:0>: 接收器数据字节位

这些是存储在 FIFO 中的已恢复数据位。控制器可通过 SPI 总线读接收器 FIFO 中的 8 位。FIFOEN 位 (GENCREG<6>) 应置 1 以接收这些位。

MRF49XA

寄存器 2-10: FIFORSTREG: FIFO 和复位模式配置寄存器 (POR: 0xCA80)

R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-1	R/W-0
CCB<15:8>							
bit 15				bit 8			

R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
FFBC<3:0>			SYCHLEN	FFSC	FSCF	DRSTM	
bit 7						bit 0	

图注:	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知

- bit 15-8 **CCB<15:8>**: 命令代码位
命令代码位 (11001010b) 是由单片机串行发送以识别 FIFORSTREG 中要写的位。
- bit 7-4 **FFBC<3:0>**: FIFO 填充位计数位
在对主单片机产生外部中断前应设置已接收位以指示接收 FIFO 准备好被读取。最大填充级别为 15。(1)
- bit 3 **SYCHLEN**: 同步字符长度位
此位设置同步字符长度为字节长或字长。(2)
1 = 字节长。使用用户可编程的 SCL0 字节。
0 = 字长。字符由 SCL1 和 SCL0 字节组成。SCL1 字节值固定, 不可配置。用户可通过 SYNREG 对 SCL0 字节值进行编程。
- bit 2 **FFSC**: FIFO 填充启动条件位
此位设置 FIFO 开始填充数据的条件。
1 = FIFO 继续填充; 而不管是噪声还是正常数据
0 = FIFO 在按照内部定义识别出同步字符图样时填充
- bit 1 **FSCF**: FIFO 同步字符填充位
1 = FIFO 在按照 FFSC 位的定义检测到同步字符图样时开始填充数据
0 = FIFO 停止填充
要重新启动同步字符图样识别, 只需先清零此位再将其置 1。(2)
- bit 0 **DRSTM**: 禁止 (敏感) 复位模式位
1 = 禁止 (3)
0 = 在电源中的任何毛刺超过 0.2 V 时使能系统复位

- 注 1:** 寄存器上溢时会丢失数据。因此, 开发者必须考虑寄存器上溢前读出数据所需的处理时间。建议将填充值设置为要读取的位数的一半以确保有充足的时间进行额外处理。关于 TXRXFIFO 和 TXUROW 位的说明, 请参见寄存器 2-1, 关于查询和从 SPI 总线读中断驱动的 FIFO 的详细信息, 请参见寄存器 2-9。
- 2:** 关于同步字符长度选择, 请参见表 2-9。
- 3:** 关于复位模式选择, 请参见表 2-10。

表 2-9: 同步字符选择

SYCHLEN	SCL1	SCL0	同步字符
1	NA	0xD4	0xD4 (字节长)
0	0x2D	0xD4	0x2DD4 (字长)

表 2-10: 复位模式选择

DRSTM	复位模式	条件
1	正常复位	VDD 低于 250 mV 时触发复位
0	敏感复位	VDD 低于 1.6 V 且 VDD 毛刺大于 600 mV 时触发复位

注: 关于 FIFO 数据包结构, 请参见附录 A: “读序列和数据包结构”。

MRF49XA

寄存器 2-11: **SYNBREG: 同步字节配置寄存器 (POR: 0xCED4)**

R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-0
CCB<15:8>							
bit 15							bit 8

R/W-1	R/W-1	R/W-0	R/W-1	R/W-0	R/W-1	R/W-0	R/W-0
SYNCB<7:0>							
bit 7							bit 0

图注:	r = 保留位						
R = 可读位	W = 可写位	U = 未实现位, 读为 0					
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知				

- bit 15-8 **CCB<15:8>**: 命令代码位
命令代码位 (11001110b) 是由单片机串行发送以识别 SYNBREG 中要写的位。
- bit 7-0 **SYNCB<7:0>**: 同步字节配置位
SYNBREG 对 FIFORSTREG 中同步字符的 SCL0 赋值。此值对于字节长或字长的同步字符有效。

寄存器 2-12: DRSREG: 数据传输速率值设置寄存器 (POR: 0xC623)

R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-0
CCB<15:8>							
bit 15							bit 8
R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1
DRPE	DRPV<6:0> ⁽¹⁾						
bit 7							bit 0

图注:	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知

bit 15-8 **CCB<15:8>**: 命令代码位
命令代码位 (11000110b) 是由单片机串行发送以识别 DRSREG 中要写的位。

bit 7 **DRPE**: 数据传输速率预分频使能位
1 = 使能预分频器以获得小于期望数据传输速率的值。使能后, 预分频值大约为实际数据传输速率的 1/8。
0 = 禁止预分频器

bit 6-0 **DRPV<6:0>**: 数据传输速率参数值位 ⁽¹⁾
这些位代表用于计算期望数据传输速率的 7 位参数的十进制值。

注 1: 使用公式 2-4 计算期望的数据传输速率。使用公式 2-5 计算给定比特率下 DRPV<6:0> 的十进制值。如果不使用预分频器, 数据传输速率的范围为 2.694 kbps 至 344.828 kbps。使能预分频器后, 数据传输速率的范围为 337 bps 至 43.103 kbps。慢速时钟恢复模式在设置数据传输速率时需要更精确的位时序。可使用公式 2-6 计算快速模式和慢速模式时的数据传输速率的精度。

公式 2-4:

$$\text{DREx (kbps)} = 10000/29 \times (\text{DRPV}<6:0> + 1) \times (1 + \text{DRPE} \times 7)$$

其中:
DRPV<6:0> 是从 0 到 127 的十进制值, 预分频比 (DRPE) 是 1 (如果开启) 或 0 (如果关闭)。

公式 2-5:

$$\text{DRPV}<6:0> = 10000/[\text{DRPE} \times 7 + 1] \times \text{DREx} - 1$$

其中:
DREx 为期望的数据传输速率。

公式 2-6:

- 慢速模式精度 (SMA) = $\Delta\text{DR}/\text{DR} < 1/(29 \times \text{LN})$
 - 快速模式精度 (FMA) = $\Delta\text{DR}/\text{DR} < 3/(29 \times \text{LN})$
- 其中:
LN 为数据流中期望的最长的 1 或 0 数。
 ΔDR 为发送器实际的数据传输速率与设置的数据传输速率的差值。
DR 是使用 DRPV<6:0> 设置的期望数据传输速率。

MRF49XA

寄存器 2-13: PMCREG: 电源管理配置寄存器 (POR: 0x8208)

R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0
CCB<15:8>							
bit 15							bit 8

R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0
RXCEN	BBCEN ⁽¹⁾	TXCEN	SYNEN	OSCEN	LBDEN	WUTEN ⁽³⁾	CLKOEN
bit 7							bit 0

图注:	r = 保留位						
R = 可读位	W = 可写位			U = 未实现位, 读为 0			
-n = 上电复位时的值	1 = 置 1			0 = 清零		x = 未知	

- bit 15-8 CCB<15:8>:** 命令代码位
命令代码位 (10000010b) 是由单片机串行发送以识别 PMCREG 中要写的位。
- bit 7 RXCEN:** 接收器链路使能位
接收器链路由基带电路、频率合成器和晶体振荡器组成。
1 = 使能接收器链路
0 = 禁止接收器链路
- bit 6 BBCEN:** 基带电路使能位 ⁽¹⁾
基带电路、频率合成器和振荡器一起工作, 解调和恢复发送到频率合成器的数据 (SYNEN 位)。为了接收数据, 必须使能 OSCEN 位和基带电路。
1 = 使能基带电路
0 = 禁止基带电路
- bit 5 TXCEN:** 发送链路使能位
发送链路由功率放大器、频率合成器、振荡器和发送寄存器组成。
1 = 使能发送器链路并开始发送 (如果使能了 TX 寄存器)
0 = 禁止发送器链路
- bit 4 SYNEN:** 频率合成器使能位
频率合成器由 PLL、振荡器和 VCO 组成, 用于控制信道频率。
1 = 使能频率合成器
0 = 禁止频率合成器
- bit 3 OSCEN:** 晶体振荡器使能位
1 = 使能晶体振荡器
0 = 禁止晶体振荡器
- bit 2 LBDEN:** 低电池电压检测器使能位
电池电压检测器可编程为 32 级不同的阈值。 ⁽²⁾
1 = 使能电池电压检测器电路
0 = 禁止电池电压检测器电路
- bit 1 WUTEN:** 唤醒定时器使能位 ⁽³⁾
1 = 使能唤醒定时器电路
0 = 禁止唤醒定时器电路

- 注**
- 1: 可以禁止此位, 以降低电流消耗。
 - 2: 关于编程的详细信息, 请参见 BCSREG (寄存器 2-16)。
 - 3: 关于对唤醒定时器值编程的详细信息, 请参见 WTSREG (寄存器 2-14)。
 - 4: 如果通过使能时钟输出清零 CLKOEN 位, 那么即使清零了 OSCEN 位, 振荡器也继续正常工作。器件不会完全进入休眠模式。

寄存器 2-13: PMCREG: 电源管理配置寄存器 (POR: 0x8208) (续)

bit 0

CLKOEN: 时钟输出使能位

使能片上复位和上电延时时钟输出, 以使处理器能够根据设计者的要求执行安装序列。(2)

1 = 禁止时钟输出

0 = 使能时钟输出(4)

- 注**
- 1:** 可以禁止此位, 以降低电流消耗。
 - 2:** 关于编程的详细信息, 请参见 BCSREG (寄存器 2-16)。
 - 3:** 关于对唤醒定时器值编程的详细信息, 请参见 WTSREG (寄存器 2-14)。
 - 4:** 如果通过使能时钟输出清零 CLKOEN 位, 那么即使清零了 OSCEN 位, 振荡器也继续正常工作。器件不会完全进入休眠模式。

MRF49XA

寄存器 2-14: **WTSREG: 唤醒定时器值设置寄存器 (POR: 0xE196)**

R/W-1	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1
CCB<15:13:00>				WTEV<4:0>			
bit 15				bit 8			

R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-1	R/W-1	R/W-0
WTMV<7:0>							
bit 7				bit 0			

图注:	r = 保留位	U = 未实现位, 读为 0
R = 可读位	W = 可写位	0 = 清零
-n = 上电复位时的值	1 = 置 1	x = 未知

bit 15-13 **CCB<15:13:00>**: 命令代码位
命令代码位 (111b) 是由单片机串行发送以识别 WTSREG 中要写的位。

bit 12-8 **WTEV<4:0>**: 唤醒定时器指数位
这些位定义了用于设置时间间隔的指数值。该值必须是 0 到 29 之间的十进制等效值。(1)

bit 7-0 **WTMV<7:0>**: 唤醒定时器乘法器指数值位
这些位定义了用于设置时间间隔的乘法器值。该值必须是 0 到 255 之间的十进制等效值。(1)

注 1: WTSREG 设置了器件的唤醒时间间隔。在设置唤醒时间后, WUTEN 位 (PMCREG<1>) 必须清零, 并在每个唤醒周期结束时置 1。使用公式 2-7 计算唤醒持续时间。

公式 2-7:

$$WUTIME (ms) = 1.03 \times WTMV<7:0> \times 2^{WTEV<4:0>} + 0.5 \text{ ms}$$

其中:

WTMV<7:0> = 0 到 255 之间的十进制值

WTEV<4:0> = 0 到 29 之间的十进制值

寄存器 2-15: DCSREG: 占空比值设置寄存器 (POR: 0xC80E)

R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0
CCB<15:8>							
bit 15							bit 8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-0
DCMV<6:0>						DCMEN	
bit 7							bit 0

图注:	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知

- bit 15-8 **CCB<15:8>**: 命令代码位
命令代码位 (11001000b) 是由单片机串行发送以识别 DCSREG 中要写的位。
- bit 7-1 **DCMV<6:0>**: 占空比乘法器值位
这些位用于计算占空比或者在唤醒定时器将 MRF49XA 退出休眠模式后接收器的接通时间。(1)
- bit 0 **DCMEN**: 占空比模式使能位
1 = 使能占空比模式
0 = 禁止占空比模式

注 1: 在占空比模式下工作时, 必须在 PMCREG 中禁止接收器 (RXCEN = 0) 并使能唤醒定时器 (WUTEN = 1)。DCSREG 和 WTSREG 寄存器用于减少接收器的电流消耗。可设置 DCSREG, 以便当唤醒定时器将 MRF49XA 退出休眠模式时, 开启接收器一小段时间以对出现的信号采样, 然后器件再返回休眠模式。在占空比模式下的过程重新开始。在计算占空比过程中使用了唤醒定时器的乘法器值, 如公式 2-8 所示。

公式 2-8:

$$DC = (DCMV<7:1> \times 2 + 1) / WTMV<7:0> \times 100\%$$

其中:
WTMV 是 WTSREG 的 WTMV<7:0> 位。

MRF49XA

寄存器 2-16: **BCSREG: 电池电压阈值检测和时钟输出值设置寄存器 (POR: 0xC000)**

R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CCB<15:8>							
bit 15							bit 8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
COFSB<2:0>			r	LBDVB<3:0>			
bit 7							bit 0

图注:	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知

bit 15-8 **CCB<15:8>**: 命令代码位
命令代码位 (11000000b) 是由单片机串行发送以识别 BCSREG 中要写的位。

bit 7-5 **COFSB<2:0>**: 时钟输出频率设置位
这些位设置了用于运行外部单片机的输出时钟频率。
111 = 10 MHz
110 = 5 MHz
101 = 3.33 MHz
100 = 2.5 MHz
011 = 2 MHz
010 = 1.66 MHz
001 = 1.25 MHz
000 = 1 MHz

bit 4 **保留**: 写为 0

bit 3-0 **LBDVB<3:0>**: 低电池电压检测值位
这些位设置了用于计算电池检测阈值电压级别的十进制值。(1,2)

注 1: 当电池电压低于此值 50 mV 时, LBDT 位 (STSREG<10>) 置 1, 指示电池电压低于预编程的阈值。这在监视放电敏感电池 (例如锂电池) 中非常有用。通过将 LBDEN 位 (PMCREG<2>) 置 1 使能低电池电压检测, 清零 LBDEN 位禁止低电池电压检测。

2: 可使用公式 2-9 将低电池电压阈值编程为 2.2 V 到 3.8 V。

公式 2-9:

阈值电压值 = 2.25 + 0.1 x (LBDVB<3:0>) 其中: LBDVB<3:0> 为 0 到 15 之间的十进制值。
--

寄存器 2-17: PLLCREG: PLL 配置寄存器 (POR: 0xCC77)

R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0
CCB<15:8>							
bit 15				bit 8			

R/W-0	R/W-1	R/W-1	R/W-1	R/W-0	R/W-1	R/W-1	R/W-1
	CBTC<1:0>		r	PDDS	PLLDD	r	PLLWBW
bit 7				bit 0			

图注:	r = 保留位		
R = 可读位	W = 可写位	U = 未实现位, 读为 0	
-n = 上电复位时的值	1 = 置 1	0 = 清零	x = 未知

- bit 15-8 **CCB<15:8>**: 命令代码位
命令代码位 (11001100b) 是由单片机串行发送以识别 PLLCREG 中要写的位。
- bit 7 **未实现**: 写为 0
- bit 6-5 **CBTC<1:0>**: 时钟缓冲器时间控制位
这些位控制时钟缓冲器的上升时间和下降时间, 这取决于 BCSREG 的输出时钟频率。
11 = 5-10 MHz
10 = 3.3 MHz
01 = 2.5 MHz 或更低
00 = 2.5 MHz 或更低
- bit 4 **保留**: 屏蔽为 1
- bit 3 **PDDS**: 相位检测器延时开关位
1 = 使能相位检测器延时功能
0 = 禁止相位检测器延时功能
- bit 2 **PLLDD**: PLL 抖动禁止位
1 = 禁止 PLL 抖动
0 = 使能 PLL 抖动
- bit 1 **保留**: 写为 1
- bit 0 **PLLWBW**: PLL 带宽位
使能该位可配置更高的数据传输速率、更快的稳定时间和降低的相位噪声, 从而获得更好的 RF 性能。
1 = -102 dBc/Hz, > 90 kbps (最大 256 kbps)
0 = -107 dBc/Hz, < 90 kbps (最大 86.2 kbps)

MRF49XA

注:

3.0 功能描述

MRF49XA 是低功耗、零中频、多信道 FSK 收发器，其工作波段为 433 MHz、868 MHz 和 915 MHz。所有射频和基带功能及处理都集成在 MRF49XA 中。要使器件正常工作，仅需要一个作为参考时钟源的 10 MHz 晶振以及一个外部低成本单片机。MRF49XA 支持以下功能：

- 复位
- 功率放大器和低噪声放大器
- 频率合成器（PLL、VCO 和振荡器）
- I/Q 混频器和解调器
- 基带滤波器和放大器
- 接收信号强度指示器
- 低电池电压检测器
- 唤醒定时器 / 低占空比模式
- 数据质量指示器

MRF49XA 是要求频率灵活性满足 FCC、IC 或 ETSI 要求的跳频扩频（Frequency Hopping Spread Spectrum, FHSS）应用的最佳选择。仅使用 MRF49XA 和低成本单片机就可创建通信链接。器件使用不同的节能模式来减少整体的电流消耗，从而延长系统或应用的电池的使用寿命。

3.1 复位

MRF49XA 支持 4 种类型的复位：

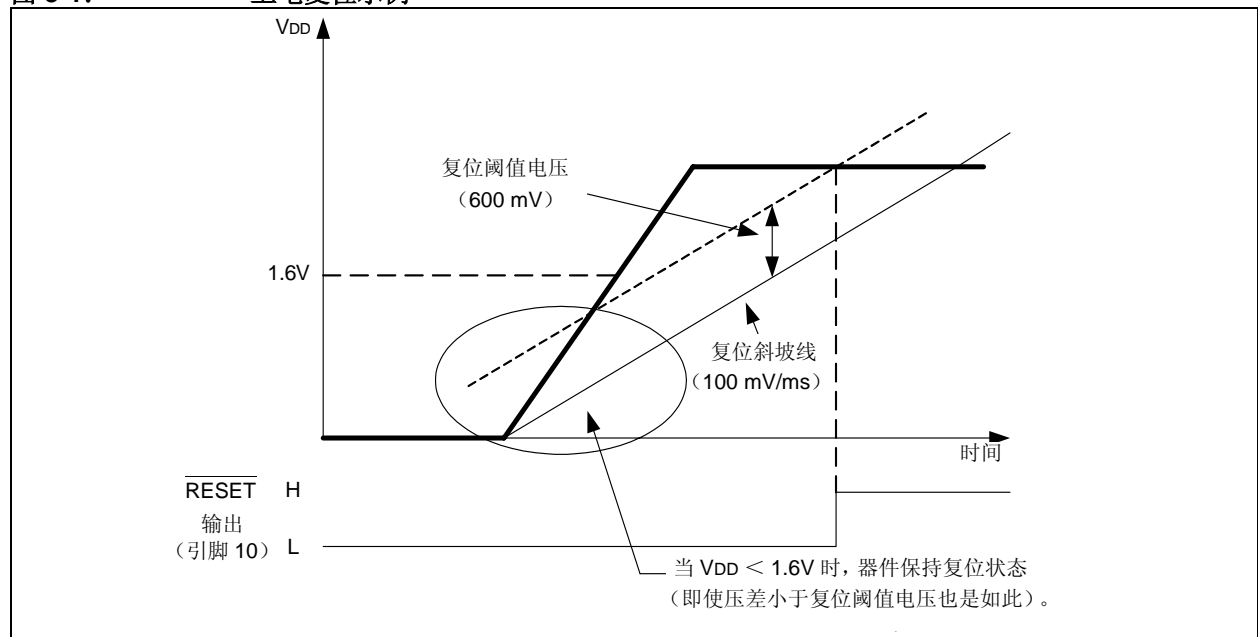
- 上电复位
- 电源毛刺复位
- 软件复位
- Reset 引脚

3.1.1 上电复位

MRF49XA 有一个内置上电复位电路，上电时，上电复位电路可以自动复位所有的控制寄存器。建议在上电序列完成后有一个 100 ms 的延时，使 VDD 达到正确的电压级别并且稳定下来，从而识别出低电平有效的复位信号。在复位模式下，器件不通过 SPI 接收控制命令。

上电后，电源电压开始上升到 0 V 以上。复位模块有一个内部斜坡参考电压（复位斜坡信号），其典型的上升速率为 100 mV/ms。在实际 VDD 与内部复位斜坡信号间的压差高于复位阈值电压（通常为 600 mV）之前，器件一直保持复位状态。如果 VDD 电压低于 1.6 V（典型值），不管 VDD 和内部复位斜坡信号间的压差如何，器件都保持复位状态。考虑时间条件，图 3-1 用图形的方式给出了 POR 随 VDD 和时间变化的关系图示例。

图 3-1: 上电复位示例



MRF49XA

3.1.2 电源毛刺复位

如果电源滤波得不好或电源内部阻抗非常高，那么 VDD 线路上就会有尖峰或毛刺。因此，在这种情况下需要使能敏感复位模式。同时，由于 VDD 线路上出现瞬态电流，发生器件复位。

内部复位模块有两个基本的工作模式：

- 敏感复位模式
- 正常复位模式

敏感复位模式：通过使能敏感复位，在以下情况下会产生复位：

- VDD 上升沿的上升速率大于 100 mV/ms，且
- 内部斜坡信号与 VDD 间的压差达到复位阈值电压值（600 mV）。

敏感复位模式为默认模式，可使用 DRSTM 位（FIFORSTREG<0>）更改默认模式。图 3-2 给出了敏感复位模式。

正常复位模式：禁用电源毛刺检测电路时，器件进入正常复位模式。图 3-3 给出了正常复位模式。

注： 电源电压下降沿的改变不会导致复位事件，除非 VDD 电平达到复位阈值电压值（即在正常复位模式下为 250 mV，在敏感复位模式下为 1.6 V）。

如果在禁止敏感模式的情况下关闭电源然后再次施加电源电压，VDD 需要达到 250 mV 才能触发上电复位。如果退耦电容保持电荷较长一段时间，由于禁止了电源毛刺检测器，在上电后会没有复位。

注： 复位事件会重新初始化内部寄存器，从而再次使能敏感模式。

图 3-2: 使能敏感复位

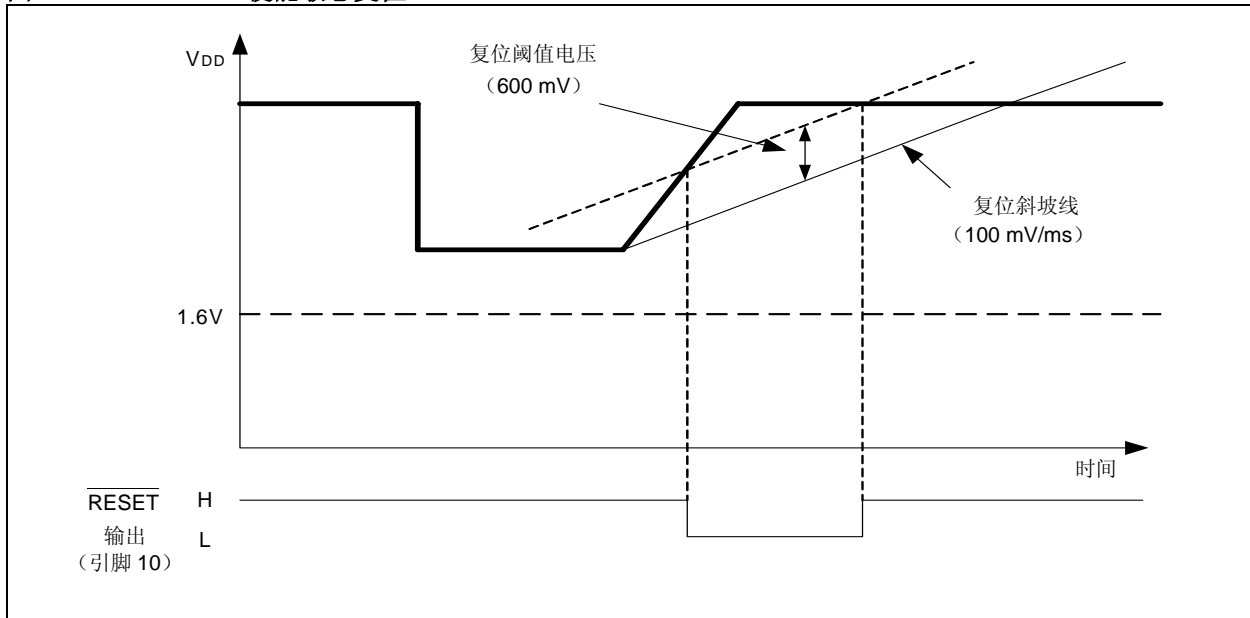
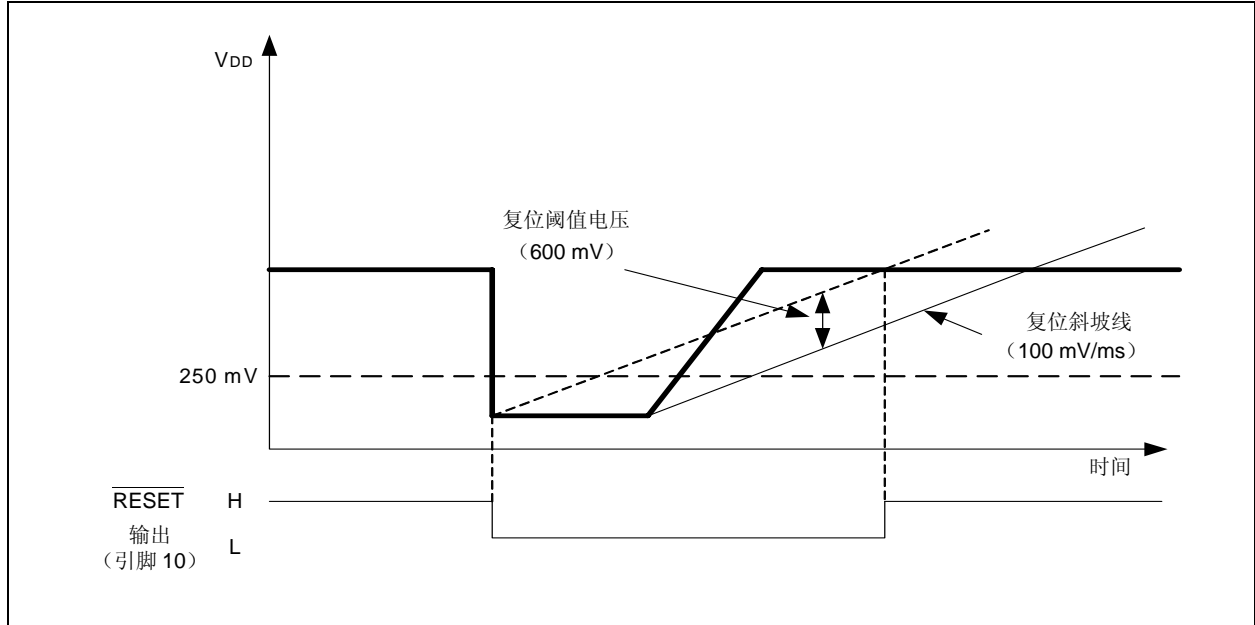


图 3-3: 禁止敏感复位



3.1.3 软件复位

使用单片机可启动软件复位。仅当使能敏感复位模式时，0xFE00 命令才触发此复位。硬件自动将此位清零为上电时的状态。软件复位命令与 POR 相同，但是复位事件的持续时间要比实际 POR（通常为 0.25 ms）短得多。

3.1.4 $\overline{\text{RESET}}$ 引脚

MRF49XA 具有带有内部上拉和输入缓冲的漏极开路复位输出（低电平有效）。主单片机通过使 $\overline{\text{RESET}}$ 引脚为低电平来复位 MRF49XA（参见图 3-4）。所有控制寄存器都复位为上电复位时的值。 $\overline{\text{RESET}}$ 引脚包含一个内部弱上拉电阻。为了启动射频电路并使其稳定，建议在硬件复位后访问 MRF49XA 前等待的延时约为 0.25 ms。

与复位有关的寄存器包括：

- STSREG（请参见寄存器 2-1）
- FIFORSTREG（请参见寄存器 2-10）
- WTSREG（请参见寄存器 2-14）

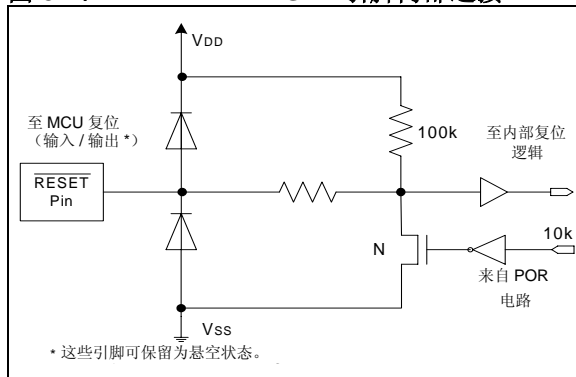
3.2 VDD 线路滤波

在复位事件（由上电、电源线上的毛刺或软件复位引起的）期间，应当保持 VDD 线路干净。叠加在电源电压上的噪声或周期性的干扰信号可能会阻止器件退出复位状态。为了避免这种情况，电源线上应当提供足够的滤波器，从 VDD 斜坡开始，使在 DC-50 kHz 的范围内将失真信号的电平低于 100 mVp-p 的时间保持 200 ms。使用稳压器或 SMPS 有时会在 VDD 线路上引入开关噪声，所以在使用 SMPS 时请遵循电源制造商关于如何降低稳压器 IC 纹波和 / 或如何切换开关频率的建议。

与电源线路滤波有关的寄存器包括：

- STSREG（请参见寄存器 2-1）
- FIFORSTREG（请参见寄存器 2-10）
- WTSREG（请参见寄存器 2-14）

图 3-4: $\overline{\text{RESET}}$ 引脚内部连接



3.3 功率放大器和低噪声放大器

功率放大器是一个可对输出功率进行编程的开集差分输出，可直接驱动环形双极电线，如果正确匹配，还可以驱动单极天线。功率放大器中配置的天线自动调频电路使我们无需在生产期间手动调频，从而避免“手动效果”。

与功率放大器有关的寄存器包括：

- TXCREG（请参见寄存器 2-4）
- PMCREG（请参见寄存器 2-13）

输入 LNA 具有可选增益（0 dB、-6 dB、-14 dB 和 -20 dB）在强干扰环境下非常有用。LNA 具有 250 Ω 的差分输入阻抗，与 50 Ω 器件连接时，它需要一个匹配电路。

与低噪声放大器有关的寄存器包括：

- RXCREG（请参见寄存器 2-7）
- PMCREG（请参见寄存器 2-13）

3.4 晶体振荡器和时钟输出

MRF49XA 有一个单引脚晶体振荡器电路，它为片上 PLL 提供 10 MHz 的参考信号。时钟频率可根据 8 个预定义的频率进行编程，每个预定义的频率都可以是 10 MHz 参考晶振的预分频值。为减少外部元件数和大幅度简化设计，已经在内部对可编程的晶体负载电容进行配置。内部负载电容的可编程范围为 8.5 pF 到 16 pF，步长为 0.5 pF。它的好处是可以使用不同负载电容要求的、来自不同制造商的各种晶振。关于负载电容值，请参见表 3-1。可通过 BCSREG 设置这些值（请参见寄存器 2-16）。

晶振电路的启动对寄生电容敏感。需要少量的寄生电容以便于起振。为此，请在晶振周围建立一个地平面并拓宽与 MRF49XA 的连接。这样做能调整参考频率并补偿由于 PCB 走线引起的杂散电容。如果无法走线，请在晶振上焊接一个 0.5-1 pF 的电容，就可初始化启动。此外，请参考第 3.6 节“晶振选择指南”来选择合适的晶振。

表 3-1: 可编程负载电容值

CAP3	CAP2	CAP1	CAP0	负载电容
0	0	0	0	8.5
0	0	0	1	9
0	0	1	0	9.5
0	0	1	1	10
0	1	0	0	10.5
0	1	0	1	11
0	1	1	0	11.5
0	1	1	1	12
1	0	0	0	12.5
1	0	0	1	13
1	0	1	0	13.5
1	0	1	1	14
1	1	0	0	14.5
1	1	0	1	15
1	1	1	0	15.5
1	1	1	1	16

晶体振荡器为射频频率合成器、基带电路和数字信号处理电路提供参考信号。如果频繁使用接收器或发送器模块，建议保持振荡器一直运行，因为晶振可能需要几毫秒才能启动并稳定下来。稳定时间主要取决于晶振参数。

CLKOEN 位（PMCREG<0>）用于使能或禁止时钟输出。

3.4.1 时钟尾标特性

MRF49XA 为单片机的时钟信号提供精确时序，从而无需在设计任何电路板时使用辅助晶振。当单片机通过清零 OSCEN 位（PMCREG<3>）关闭晶体振荡器时，MRF49XA 为单片机提供额外的数量一定（192）的时钟脉冲，以使单片机切换到空闲或休眠模式（低功耗模式）。要使用此特性，必须在 OSCEN 位设置为 0 之前读 STSREG。如果未读取 STSREG，那么时钟输出将不会被关闭。如果未使用 CLKOUT 引脚，建议从 PMCREG 关闭输出缓冲器。

注： 对不需要的模块保持开启状态会增大电流消耗，从而缩短电池寿命。

单片机时钟源（如果不是由 MRF49XA 提供时钟）应在温度和电压范围内保持足够的稳定，以保证在各种工作环境下都具有 16 位的最小延时。

3.4.2 自动晶体振荡器

中断发生时，不管 **OSCEN** 位的设置如何，晶体振荡器都将自动开启，为单片机提供时钟信号。在清除所有中断并读取 **STSREG** 后，晶体振荡器自动关闭。时钟尾标功能为单片机提供了足够的时钟脉冲，使其进入低功耗模式。由于此自动特性，只要任何中断仍有效，通过清零 **OSCEN** 位就无法关闭晶振。例如，在上电后必须通过读 **STSREG** 清除 **POR** 中断，然后向 **OSCEN** 位写 0 使器件进入休眠模式。在关闭 **OSCEN** 位之前必须清除所有中断，因为运行晶体振荡器所需的额外电流会大大缩短电池寿命。

禁止时钟输出 (**CLKOEN** = 1) 时，时钟尾标和自动使用晶体振荡器功能会被关闭。只有 **OSCEN** 位可以控制晶体振荡器（在 **RXCEN** 和 **TXCEN** 位被清零的情况下）；中断对它没有任何影响。

与晶体振荡器和时钟有关的寄存器包括：

- **STSREG**（请参见寄存器 2-1）
- **AFCCREG**（请参见寄存器 2-3）
- **PMCREG**（请参见寄存器 2-13）
- **BCSREG**（请参见寄存器 2-16）
- **PLLCREG**（请参见寄存器 2-17）

3.5 锁相环

频率合成器由 **PLL**、振荡器和 **VCO** 组成，用于控制信道频率。使能发送器或接收器时，必须使能频率合成器。为了得到更快的 **RX/TX** 切换速率，频率合成器模块必须始终开启。用 **TXCEN** 位 (**PMCREG**<5>) 使能发送器将会打开 **PA**，而且由于频率合成器已经开启并运行，**PA** 将立即在输出引脚上产生发送信号。也必须使能振荡器以便为 **PLL** 提供参考频率。上电时，频率合成器自动执行校准。频率合成器还具有内部启动校准程序。如果电压或温度发生较大变化，应当仅通过禁止频率合成器并重新使能它来再次执行校准。将 **SYNEN** 位 (**PMCREG**<4>) 置 1 时，可使能频率合成器。

PLL 电路可自动微调载波频率。通过这种方法，接收器可将发送频率和接收频率之间的偏移减至最小。可通过 **AFCCREG** 使能或禁止频率控制功能。可对偏移的范围进行编程、计算偏移值并将其添加到 **PLL** 内的频率控制字使载波频率递增。对 **MRF49XA** 进行编程能自动更改并控制载波频率。载波频率也可由选通信号手动激活。

该振荡器为射频频率合成器提供参考信号，以设置发送或接收频率。此晶体振荡器还可为射频、基带电路和单片机接口提供参考信号。

PLL 配置寄存器配置如下：

- 输出时钟缓冲压摆率
- 晶振启动时间
- 相位检测器延时
- **PLL** 抖动
- **PLL** 带宽

当计算 **N** 分之一频率合成器代码时，抖动可减少噪声误差。清零 **PLLDD** 位 (**PLLCREG**<2>) 时，使能抖动，此时稳定时间也稍有增加。**PLL** 带宽可以承受超过 90 kbps 的数据传输速率。减少 **PLL** 带宽会缩短稳定时间和减少相位噪声，从而获得更好的接收性能。关于 **PLL** 设置和配置的信息请参见寄存器 2-17。

与 **PLL** 有关的寄存器包括：

- **STSREG**（请参见寄存器 2-1）
- **AFCCREG**（请参见寄存器 2-3）
- **PMCREG**（请参见寄存器 2-13）
- **BCSREG**（请参见寄存器 2-16）
- **PLLCREG**（请参见寄存器 2-17）

MRF49XA

3.6 晶振选择指南

MRF49XA 的晶振需要 10 MHz 平行切割的晶振。该电路包含一个集成的负载电容，以最大程度地减少外部元件数。内部负载电容值的可编程范围为 8.5 pF 至 16 pF，步长为 0.5 pF。通过适当的 PCB 布线，并使总负载电容值在 10 pF 至 20 pF 之间，能够使用各种类型的晶振。

当总负载电容不超过 20 pF 时，最糟的情况是晶振的静态电容 (Cs) 预计为 7 pF，采用小于 100 Ω 等效串联电阻 (Equivalent Series Loss Resistance, ESR) 的晶振能启动晶振。但是，低 Cs 和 ESR 值可保证振荡器的启动更快。

晶振频率 (fref) 可作为用于产生本地振荡频率 (fLO) 的 PLL 的参考频率。因此，fLO 与 fref 直接成比例。这使得生产公差、温度漂移和老化的精度要求由最大允许本地振荡频率误差决定。

当低频误差对应用非常重要时，可通过更改负载电容值把晶振“拉”至精确的频率。如果所需晶振负载电容的标称值在“中等范围”内 (比如 16 pF)，拉动范围最大。晶振的“拉能力”由动态电容 (Cm) 和静态电容决定。

图 3-5: 包括温度和老化在内的最大晶振容差 (ppm)

比特率: 2.4 kbps							
	偏移 [± kHz]						
	30	45	60	75	90	105	120
433 MHz	20	30	50	70	90	100	100
868 MHz	10	20	25	30	40	50	60
915 MHz	10	15	25	30	40	50	50

比特率: 9.6 kbps							
	偏移 [± kHz]						
	30	45	60	75	90	105	120
433 MHz	15	30	50	70	80	100	100
868 MHz	8	15	25	30	40	50	60
915 MHz	8	15	25	30	40	50	50

比特率: 38.4 kbps							
	偏移 [± kHz]						
	30	45	60	75	90	105	120
433 MHz	未使用	5	20	30	50	75	75
868 MHz	未使用	3	10	20	25	30	40
915 MHz	未使用	3	10	15	25	30	40

比特率: 115.2 kbps							
	偏移 [± kHz]						
	105	120	135	150	165	180	195
433 MHz	未使用	3	20	30	50	70	80
868 MHz	未使用	未使用	10	20	25	35	45
915 MHz	未使用	未使用	10	15	25	30	40

3.7 自动频率控制

AFC 模块有 2 种工作模式，具体选择哪种工作模式取决于 MFCS 位 (AFCCREG<3>) 控制的选通信号。这两种工作模式为：

- 手动模式
- 自动模式

手动模式：在此模式下，单片机提供手动频率控制选通信号。更多信息，请参见寄存器 2-3 (AFCCREG)。一个测量周期可补偿约 50-60% 的实际频率偏移，两个测量周期可补偿 80%，三个测量周期可补偿 92%。AFCCT 位 (STSREG<5>) 用于确定何时已经完成实际测量周期。

自动模式：在此模式下，更新频率偏移寄存器模块时不需要单片机的选通信号，如图 3-6 所示。当 DIO 指示在整个测量周期中可能有传入信号并且在接下来的两个周期中检测到同样的结果时，自动使能 AFC 电路。没有 AFC，需要精确地调整发送器和接收器到同样的频率。RX/TX 频率偏移可降低范围。在生产期间，必须仔细调整这些部件。为了避免偏移，必须使用稳定、高效的晶振，或增大输出功率来补偿偏移所造成的损失。

AFC 模块使用 OFFSB 位 (STSREG<3:0>) 计算发送 / 接收偏移。用这个值将接收频率合成器所产生的频率拉至接近发送器频率。自动频率控制特性的优点是：

- 可以使用低成本晶振
- 温度或老化偏差不会导致范围损失
- 不需要对准

图 3-6 给出了用于修正频率偏移的 AFC 电路。

自动模式选择位 AUTOMS<1:0> (AFCCREG<7:6>) 用于选择工作类型 (自动或手动)，以根据 MFCS 位 (AFCCREG<3>) 的状态执行 AFC 操作。控制频率有 4 种工作模式：

1. (AUTOMS1 = 0, AUTOMS0 = 0)：关闭 AFC 的自动操作功能。单片机控制 MFCS 位。
2. (AUTOMS1 = 0, AUTOMS0 = 1)：电路在上电后仅测量频率偏移一次。因此，可得到扩展的 TX 到 RX 的偏移。在实际应用中，当用户使用电池时，电路将测量和补偿晶振容差引起的频率偏

移。此方法允许在应用中使用低成本石英晶振，和提供抗干扰保护。

3. (AUTOMS1 = 1, AUTOMS0 = 0)：自动计算频率偏移，当 DIO 为高电平时，修正中心频率。当 DIO 变为低电平时，放弃计算得到的值。

建议两种用来提高 AFC 计算精度的方法如下：

- 发送包应当以低波特率图样开始 (即 00110011b) 以便于接收。在这初始的图样的范围期间，电路自动测量频率偏移并对正在接收的频率进行更改。发送包的其余部分将通过修正频率设置进行接收。
- 为帮助接收，发送器使用比正常操作期间更大的偏移步长发送数据包的第一部分。在修正了频率偏移后，偏差也会减少。

在两种方法中，当 DIO 指示接收条件不佳时 (即 DIO 变为低电平时)，输出寄存器自动清除。当接收器与多个发送器通信时，使用此模式 (丢弃偏移模式)。

4. (AUTOMS1 = 1, AUTOMS0 = 1)：此模式 (保持偏移模式) 与放弃偏移模式相似，但是仅在接收器与一个发送器通信时使用。在经过一个完整的测量周期后，不管 DIO 信号的状态如何，测得的值都将被保存。在此模式下，应当慎重选择 DRSSI 限制以使范围滞后达到最小。

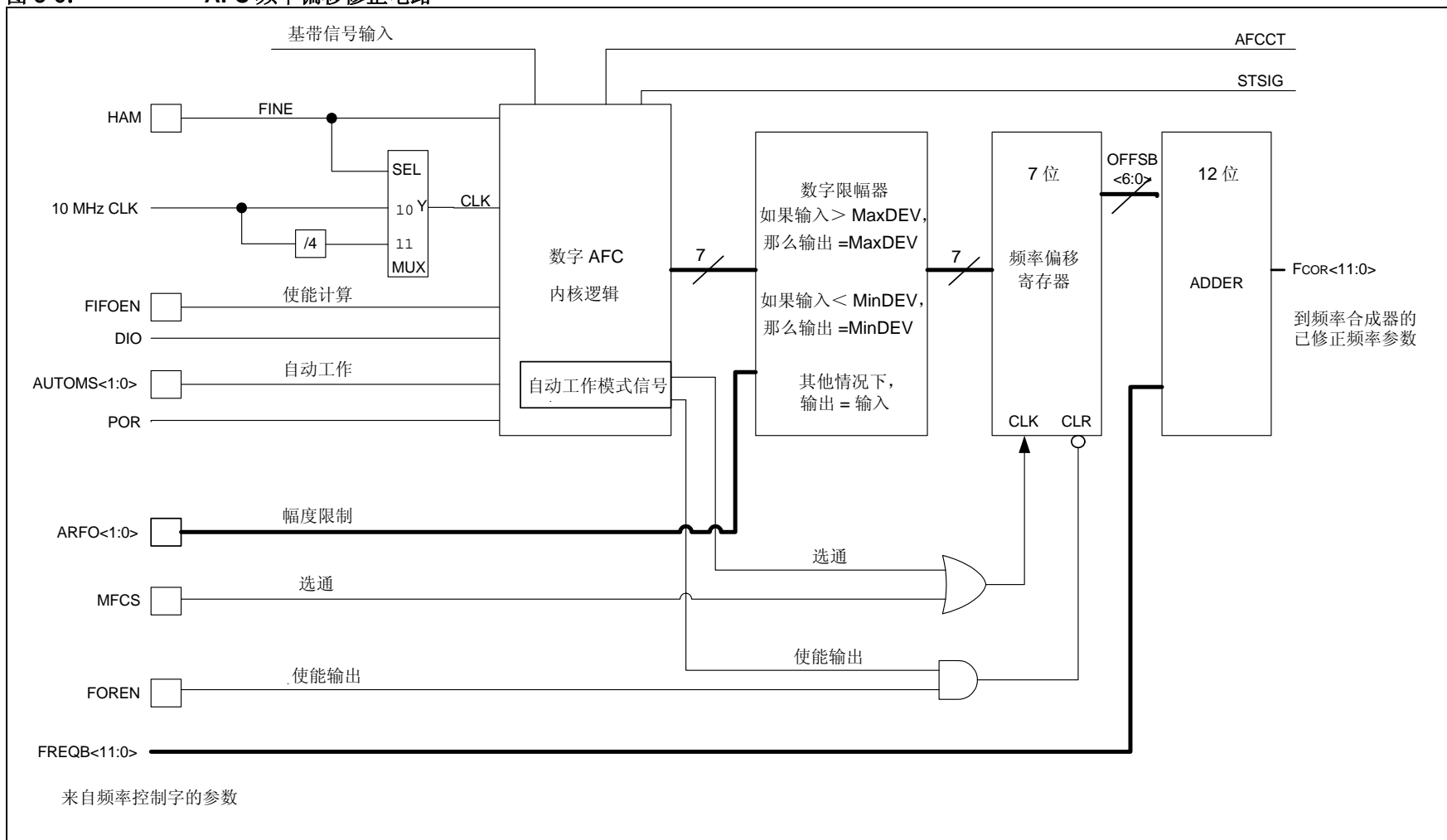
AFC 偏移值 (状态字中的 OFFSB<3:0>) 以二进制补码数表示。用 AFC 偏移值乘以当前 PLL 的频率步长，可计算出实际频率偏移 (更多详细信息请参见寄存器 2-6)。

使用接收器状态字中包含的 AFC 状态报告 (即 AFCCT 位) 可监视实际的 RX/TX 偏移。通过读出状态字，可得出实际测得的频率偏移。为了得到精确的值，可在读取期间通过清零 FOFEN 位 (AFCCREG<0>) 禁止 AFC。

与 AFC 有关的寄存器包括：

- STSREG (请参见寄存器 2-1)
- AFCCREG (请参见寄存器 2-3)
- CFSREG (请参见寄存器 2-6)
- RXCREG (请参见寄存器 2-7)
- PLLCREG (请参见寄存器 2-17)

图 3-6: AFC 频率偏移修正电路



3.8 初始化

必须为 MRF49XA 的正常工作初始化某些控制寄存器的值。这些值与上电复位时的值不同，它们提供改进的工作参数。正常情况下这些值仅在复位后设置一次。在初始化后，可根据应用配置 MRF49XA 器件特性。在这里，访问寄存器操作实际上相当于一条通过 SPI 端口对 MRF49XA 执行的命令。使用控制寄存器初始化 MRF49XA 的步骤如下：

1. 将 FIFORSTREG 置 1。
2. 通过 FIFORSTREG 使能同步锁存器。
3. 通过 GENCREG 设置波段和晶振负载电容。
4. 通过 AFCCREG 使能 AFC 功能。
5. 通过 CFSREG 设置发送或接收频率的中心频率。
6. 通过 DRSREG 设置数据传输速率。
7. 通过 PMCREG 使能所需的功能（发送、接收等）。
8. 配置 RXCREG。
9. 配置 TXCREG。
10. 调节天线。
11. 关闭发送器并打开接收器。
12. 使能 FIFO，准备接收数据。
13. 将 FIFORSTREG 置 1。
14. 通过 FIFORSTREG 使能同步锁存器。
15. 读 STSREG。

以下是调节天线部分需遵循的步骤：

1. 通过 PMCREG 开启发送器。
2. 等待 5 ms 使振荡器稳定。

与初始化有关的寄存器包括：

- STSREG（请参见寄存器 2-1）
- GENCREG（请参见寄存器 2-2）
- AFCCREG（请参见寄存器 2-3）
- TXCREG（请参见寄存器 2-4）
- CFSREG（请参见寄存器 2-6）
- RXCREG（请参见寄存器 2-7）
- FIFORSTREG（请参见寄存器 2-10）
- DRSREG（请参见寄存器 2-12）
- PMCREG（请参见寄存器 2-13）

3.9 中断

MRF49XA 中包含的高级中断处理电路可帮助减少功耗。如上所述，休眠模式是最低功耗模式，在此模式中，时钟和芯片的所有功能模块都被禁止，但如果使能 WUT 和 LBD 电路，那么它们仍保持活动状态。发生任何中断时，唤醒器件并切换到活动模式，器件 IRO 引脚上产生的中断信号指示状态的变化或主单片机是否发生中断。读取器件状态字可确定中断源（请参见寄存器 2-1）。

发生以下事件时，接收器对单片机产生低电平有效的中断请求：

- TXBREG 准备好接收下一个字节
- RXFIFOREG 已经接收到预编程的位数
- RXFIFOREG 溢出 / TXBREG 溢出
- 中断输入引脚（INT）上的负脉冲信号
- 唤醒定时器超时（WUTINT）
- 检测到电源电压低于预编程值
- 上电复位

3.9.1 设置中断

器件的中断引脚 ($\overline{\text{IRO}}$) 对主单片机发出信号以表明发生了八个中断事件中的其中一个。可通过 SDO 引脚从收发器读出单片机的中断源。接下来的子节将简单描述可用的中断源。

3.9.1.1 TXRXFIFO: 发送寄存器或接收 FIFO 位

1. 发送模式: 发送寄存器就绪位

当发送器为空时产生此中断。仅当 TXDEN 位 (GENCREG<7>) 置 1 且使能 TXCEN 位 (PMCREG<5>) 时此位才有效。

2. 接收模式: 接收 FIFO 空位

当 RXFIFOREG 中的位电平达到预编程的电平时发生此中断。当接收器 FIFO 中接收到的数据位数达到 FFBC 位 (FIFORSTREG<7:4>) 设置的阈值时触发中断。仅当 FIFOEN 位 (GENCREG<6>) 置 1 且使能 RXCEN 位 (PMCREG<7>) 时此中断有效。

3.9.1.2 POR: 上电复位中断

当 VDD 线路的上变化触发内部复位电路或发出软复位信号时产生 POR 中断。更多详细信息, 请参见第 3.1 节“复位”。

3.9.1.3 TXOWRXOF: 发送覆写或接收上溢位

1. 发送模式: 发送寄存器下溢或覆写位

当自动波特率发生器 (Baud Rate Generator, BRG) 在寄存器写之前已经发送完 TXBREG 中的一个字节时产生中断。仅当 TXDEN 位 (GENCREG<7>) 置 1 且使能 TXCEN 位 (PMCREG<5>) 时此中断有效。

2. 接收模式: 接收 FIFO 上溢位

当接收到的位数大于 FIFO 容量 (16 位) 时发生此中断。仅当 FIFOEN 位 (GENCREG<6>) 置 1 且使能 RXCEN 位 (PMCREG<7>) 时此中断有效。

3.9.1.4 WUTINT: 唤醒定时器中断

当唤醒定时器指定的时间结束时发生此中断。仅当 WUTEN 位 (PMCREG<1>) 置 1 时此中断有效。器件可周期性唤醒并切换到接收模式。如果接收到有效的 FSK 数据, 器件向单片机发送中断并继续填充 RXFIFO。在发送完成后, 读出整个 FIFO 的内容并清除所有其他中断。器件返回到低功耗模式。

3.9.1.5 LCEXINT: 外部中断的逻辑低电平变化

如果通过清零 FINTDIO 位 (RXCREG<10>) 配置为外部中断引脚, 则必须保持与 INT 引脚的电平一致。

3.9.1.6 LBDT: 低电池电压阈值检测

当 VDD 低于 LBDVB 位 (BCSREG<3:0>) 配置的可编程低电池检测器的阈值电压时发生此中断。仅当 LBDEN 位 (PMCREG<2>) 置 1 时此中断有效。

3.9.2 清除中断

如果任何中断源处于活动状态, 那么 $\overline{\text{IRO}}$ 变为逻辑低电平, 且状态字节中相应的中断位变为高电平。清除中断表示:

- 释放 $\overline{\text{IRO}}$ 引脚返回到逻辑高电平, 且
- 清零 STSREG 中相应的中断位

以下子节简要描述了如何清除每个中断。

3.9.2.1 TXRXFIFO

1. 发送模式

在写寄存器 (如果写寄存器之前未发生下溢) 或关闭发送器和发送锁存器之前, $\overline{\text{IRO}}$ 引脚及其状态位一直保持有效。

2. 接收模式

在读 FIFO (已读取接收 FIFO 中断位数阈值) 之前, $\overline{\text{IRO}}$ 引脚及其状态位一直保持有效。关闭接收器或 RXFIFO。

3.9.2.2 POR

通过读状态寄存器清除 $\overline{\text{IRO}}$ 引脚及其状态位。

3.9.2.3 TXOWRXOF

1. 发送模式

在此模式下，TXOWRXOF 和 TXRXFIFO 位始终一起置 1。在关闭发送器和发送锁存器之前，IRO 引脚及其状态位保持有效。

2. 接收模式

在此模式下，TXOWRXOF 和 TXRXFIFO 位始终一起置 1，并可通过读 STSREG 清零。在读 FIFO（已读取 FIFO 中断位数阈值）之前，IRO 引脚及其状态位保持有效，关闭接收器或接收 FIFO。

3.9.2.4 WUTINT

通过读 STSREG 清除 IRO 引脚及其状态位。

3.9.2.5 LCEXINT

IRO 引脚及其状态位保持与 INT 引脚的电平一致。

3.9.2.6 LBDT

通过读 STSREG 的状态位释放 IRO 引脚，但是在 VDD 低于阈值后，状态位不再有效。

MRF49XA 中断发生逻辑如图 3-7 所示。处理中断的一个比较好的方法是：在中断发生时首先读 STSREG，然后根据状态字节 / 字的情况决定要采取的操作。值得指出的是，任何中断源可将 MRF49XA 从休眠模式唤醒。也就是说，即使单片机有自己的时钟源，晶体振荡器也开始为单片机提供时钟信号。不管 PMCREG 中的

OSCEN 位的状态如何，只要任何中断保持有效，MRF49XA 将不会进入休眠模式。这样的话，单片机可始终有时钟信号来处理中断。

为防止高电流消耗缩短电池寿命，强烈建议在进入休眠模式之前处理并清除中断。应关掉不必要的功能以避免发生不需要的中断。在最终确定单片机（应用）代码前，应进行全面测试以确保收发器进入休眠模式前处理好了所有的中断源。

如果 CLKOEN 位（PMCREG<0>）置 1，则由 OSCEN 位控制晶体振荡器（在 RXCEN 和 TXCEN 位清零的情况下）。中断对它无影响。

发生中断时，不管 OSCEN 位的设置如何，晶体振荡器都将自动开启，为单片机提供时钟信号。时钟尾标特性为单片机提供足够的时钟脉冲，使其进入低功耗模式。由于这是自动特性，只要任何中断有效，就无法通过清零 OSCEN 位来关闭晶体振荡器。

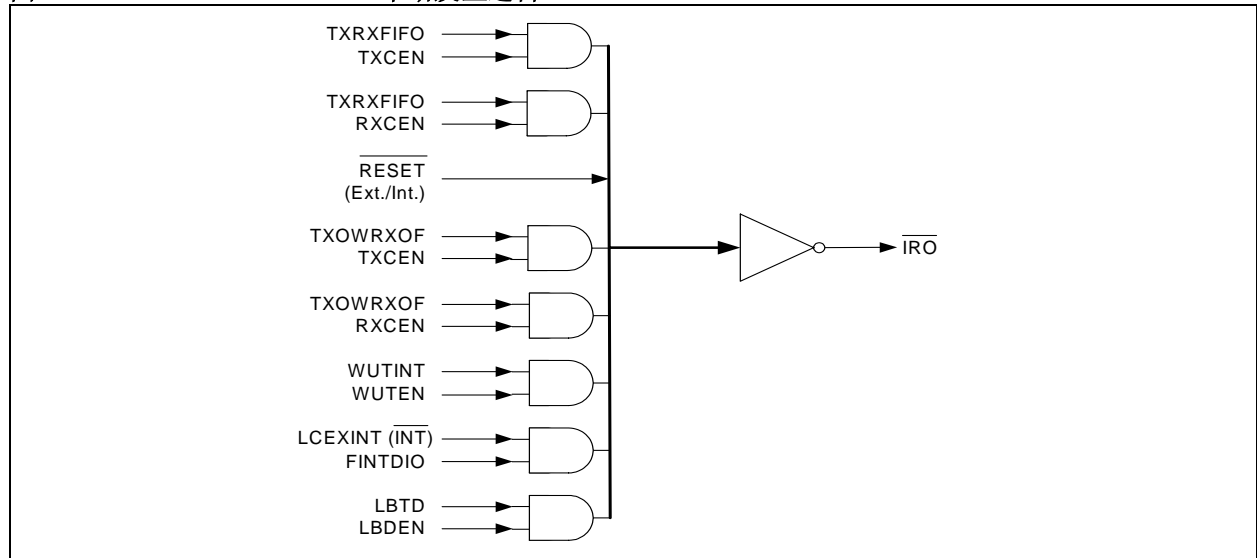
例如，在上电后，必须通过读状态来清除 POR 中断，然后向 OSCEN 位写 0，使器件进入休眠模式。

注： 在关闭 OSCEN 位之前要清除所有的中断，因为运行晶体振荡器所需的额外电流会大大缩短电池寿命。

与中断有关的寄存器包括：

- STSREG（请参见寄存器 2-1）
- GENCREG（请参见寄存器 2-2）
- RXCREG（请参见寄存器 2-7）
- PMCREG（请参见寄存器 2-13）
- BCSREG（请参见寄存器 2-16）

图 3-7: MRF49XA 中断发生逻辑



MRF49XA

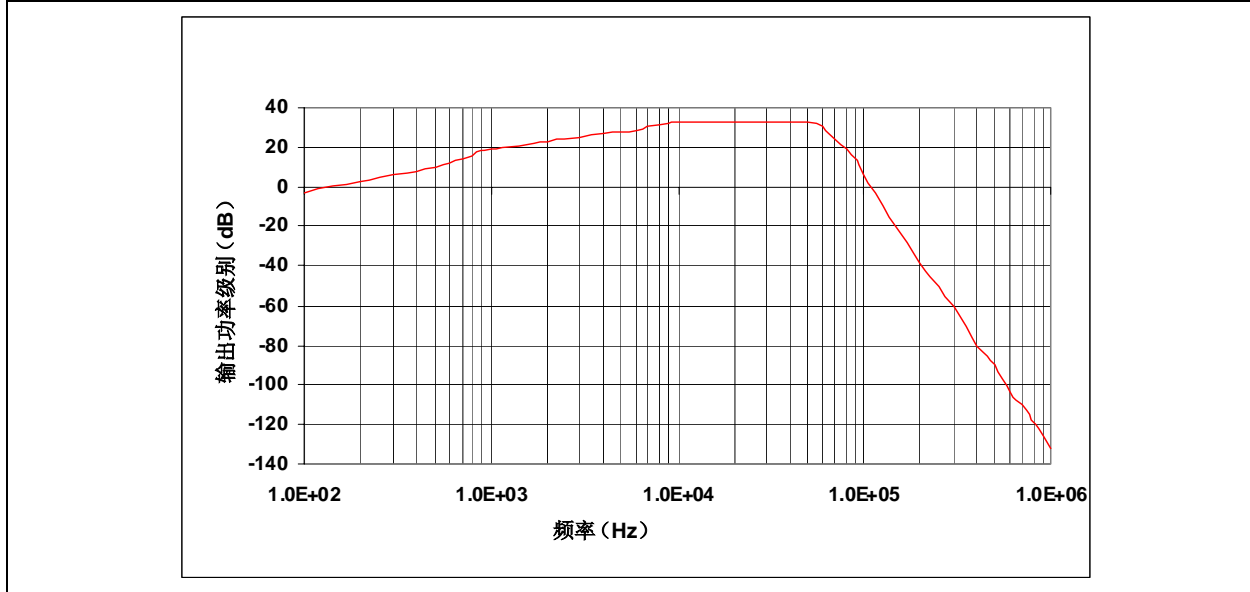
3.10 基带 / 数据滤波器

基带收发器有几个编程选项可为多种应用优化通信。可编程功能如下：

- 基带模拟滤波器
- 基带数字滤波器
- 接收带宽
- 接收数据传输速率
- 时钟恢复

应当使用一个合适的带宽来满足不同的 FSK 偏差、数据传输速率和晶振容差要求。该滤波器结构采用了 7 阶的巴特沃思低通抑制，抑制比为 400 dB，是带宽频率的 2 倍。为了在基带部分获得最佳频率响应和在导通波段部分获得好的平展的响应，可使用一个截止频率低于 7 kHz 的高通滤波器进行偏移消除。图 3-8 给出了全基带放大器传输功能。这优化了芯片面积、成本和信道分离。

图 3-8: 全基带放大器传输功能 (BW = 67 kHz)



67 kHz 至 400 kHz 的可编程接收带宽范围可满足各种 FSK 调制偏差的要求。如果偏差对给定收发器来说是已知的，用大于收发器 FSK 偏差两倍的带宽就可以获得好的结果。

例 3-1 给出了根据给定规范计算建议频率偏差和 BBBW 的方法。

例 3-1: 频率偏移和 BBBW 计算

- 数据传输速率 —— 9.6 kbps
- 晶振精度 —— 40 ppm
- 频率波段 —— 915 MHz
- 晶体的 f_{error} : $40 \times (915000/1000000) = 36.6 \text{ kHz}$

偏差 = 数据传输速率 + $2 \times f_{\text{error}} + 10 = 9.6 + 2 \times 36.6 + 10 = 92.8 \text{ kHz}$

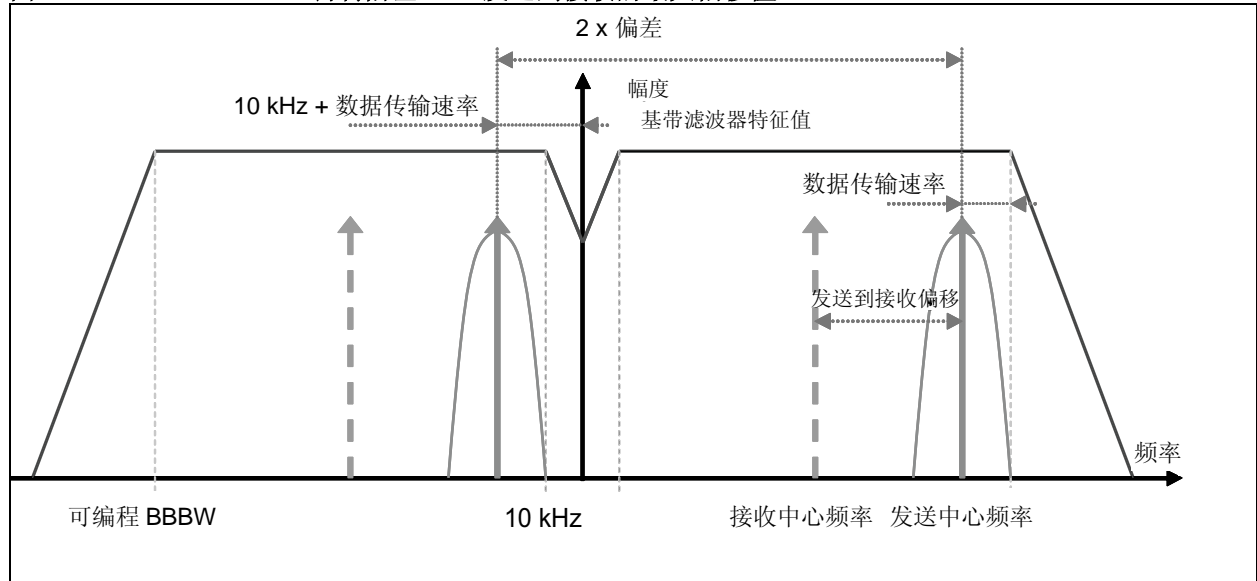
最接近的可能偏差为 90 kHz。

BBBW = 偏差 $\times 2 - 10 \text{ kHz} = 90 \times 2 - 10 = 170 \text{ kHz}$

最接近的可能 BBBW 为 200 kHz。

图 3-9 给出了示例中的 FSK 调制偏差。

图 3-9: FSK 调制偏差 —— 发送到接收的最大偏移值



基带滤波类型有模拟滤波器和数字滤波器可供选择。

3.10.1 模拟滤波模式

模拟滤波使用一个简单的 RC 低通滤波器与施密特触发器。解调器输出通过一个 $10\text{ k}\Omega$ 的电阻馈送给 RCLKOUT/FCAP/FINT 引脚。滤波器截止频率由与该引脚和 V_{SS} 连接的外部电容进行设置。 $10\text{ k}\Omega$ 的电阻和施密特触发器集成到了芯片上。RC 滤波器的外部电容必须根据所需的比特率进行选择。在模拟操作中，接收器最多能处理 256 kbps 的数据传输速率。接收数据传输速率的可编程范围为 337 bps 至 256 kbps。设置接收数据传输速率时，可使用内部预分频器获得更高的分辨率。预分频器是可选的，可通过 DRSREG 禁止。模拟滤波器不使用 FIFO 和时钟，不为解调数据提供时钟，因此，也无需设置正确的比特率。

3.10.2 数字滤波模式

数字滤波器采用 29 倍数据传输速率的时钟频率。对于数字滤波，由时钟恢复电路提供数据的同步时钟。接收到的数据使用此时钟填充 FIFO。如果没有使用 FIFO，通过 RCLKOUT/FCAP/FINT 引脚可以访问恢复电路的时钟。

时钟恢复电路有 3 种工作模式：自动模式、慢速模式和快速模式。这三种模式都是通过 BBFCREG 配置的。具体选用哪种模式取决于用于确定有效数据的信号，和出现在数据包开头的传入前导码的位数。在自动模式中，CR 时钟恢复电路自动在快速模式和慢速模式间切换。时钟恢复电路的抗噪性在慢速模式下非常高；但稳定时间较长，而且相较于快速模式，它需要精确度更高的数据时序。

与基带过滤有关的寄存器包括：

- STSREG（请参见寄存器 2-1）
- RXCREG（请参见寄存器 2-7）
- BBFCREG（请参见寄存器 2-8）
- PMCREG（请参见寄存器 2-13）

3.11 数据质量指示器

数据质量指示器 (Data Quality Indicator, DQI) 是与解调器连接的无线设备的数字处理部分, 在接收器开启时, 它开始工作。它报告 FSK 调制的射频信号的接收情况。DQI 参数设置定义了传入数据流要多干净才被认为是好的数据 (有效 FSK 信号)。如果在高电平和低电平周期内 5 个连续的数据位经内部计算得到的数据质量值超过了 DIO 阈值参数, DIO 信号变为高电平。

可用公式 3-1 给出的方程式计算 DQI 参数 (即数据质量阈值指示器 (DQTI) 位) 值。

公式 3-1:

$$DQIpar = 4 \times (\text{偏差} - \text{发送} / \text{接收偏移}) / \text{比特率}$$

应根据以下规则选择 BBFCREG 中的 DQI 参数:

- 参数应 >4; 否则, 噪声可能会被视为有效的 FSK 信号。
- 最大值为 7

甚至在低占空比模式下计算启动时间时, 根据数据质量阈值指示器的要求, 器件需要接收几个有效的数据位, 然后 DQI 信号才会指示正常信号条件 (请参见寄存器 2-8)。选择较短的启动时间可以防止晶体振荡器启动,

否则即使所接收的信号质量正常, DQI 信号也不会变为高电平。

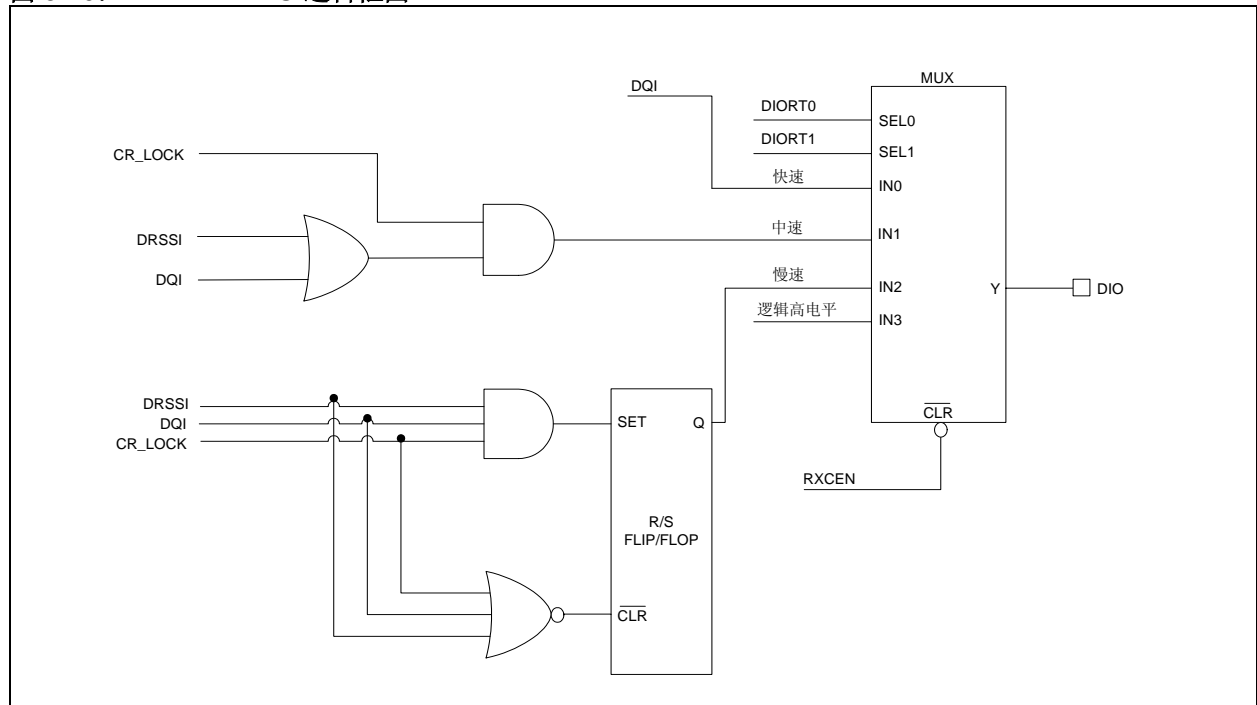
DIO 是 DQI 的延伸。检测到传入的数据时, 它使用 DQI 信号、时钟恢复锁定信号和数字 RSSI 信号来确定传入的数据是否有效。用户可通过 SPI 端口对需要的数据传输速率和有效数据的接受标准进行编程。

DIO 有 3 种工作模式: 慢速、中速和快速。具体选用哪种模式取决于用于确定有效数据的信号和出现在数据包开头的传入前导码的位数。

用户可禁止 DIO, 这样只有来自比较器的原始数据流出, 否则可将其设置为仅接受在预设范围内的数据传输速率和数据质量。DIO 可节省电池功耗和主单片机的时间, 因为除非出现有效数据, 否则它不会唤醒单片机。关于设置的详细信息, 请参见寄存器 2-7 (RXCREG)。

当使用内部接收 FIFO 或外部引脚来抓取基带数据时, DIO 信号有效。DIO 可在引脚 16 上复用以供外部使用。图 3-10 描述了 DIO 的逻辑框图。

图 3-10: DIO 逻辑框图



DIO 信号响应时间设置可通过 RXCREG 进行配置，它具有以下工作模式：

- **默认模式：**DIO 与逻辑高电平永久连接。它始终保持高电平，与接收参数无关。
- **慢速模式：**如果出现数字 RSSI、DQI 和时钟恢复锁定 (CR_LOCK) 信号，DIO 信号变为高电平。除非出现任意这些信号，否则它将保持高电平不变，当三个输入信号都为低电平时，它也变为低电平。
- **中速模式：**当 CR_LOCK 和 DRSSI 或 DQI 信号为高电平时，DIO 信号有效。当 CR_LOCK 变为无效或者 DRSSI 或 DQI 变为低电平时，它就变为低电平。
- **快速模式：**DIO 信号与 DQI 信号的电平状态保持一致。

与 DQI 有关的寄存器包括：

- STSREG (请参见寄存器 2-1)
- RXCREG (请参见寄存器 2-7)
- BBFCREG (请参见寄存器 2-8)

3.12 可编程同步字节

用户可对内部同步图样和图样长度进行编程。MRF49XA 可配置为使用同步字符指示有效的传入数据。通过 FIFORSTREG 选择同步字符。字符被分为两个字节：SCL1 和 SCL0。SCL0 字节是用户可配置的，而 SCL1 不可编程，固定为 2Dh。同步字符也可配置为字节字符或字字符。字节字符仅使用 SCL0，而字字符同时使用 SCL1 和 SCL0。由于 SCL0 是用户可配置的，在干扰环境下工作以及识别相关发送器时非常的有用。

与可编程同步字节有关的寄存器包括：

- FIFORSTREG (请参见寄存器 2-10)
- PMCREG (请参见寄存器 2-13)

3.13 接收信号强度指示器

接收信号强度指示器 (Received Signal Strength Indicator, RSSI) 在 ISM 信道的带宽内估算所接收信号的强度。MRF49XA 提供了模拟 RSSI 与数字 RSSI。数字 RSSI 输出用于监视输入信号的电平。如果所接收的信号强度超过指定的预编程电平，信号就变为高电平。通过 RXCREG 对数字 RSSI 阈值编程，仅通过 STSREG 读取和监视。当传入的信号强度大于预编程阈值时，STSREG 中的数字 RSSI 位置 1。数字 RSSI 的稳定时间取决于外部的滤波电容。

DRSSIT 值是 3 位二进制值，范围从 0 至 8。表 3-2 给出了 DRSSIT 值与所接收的功率级别之间的映射。可通过对 DRSSIT 位编程 (RXCREG<2:0>) 更改用于取平均的符号数。

数字 RSSI 本质上是模拟 RSSI 模块后面的敏感比较器。可使用这三位设置比较器阈值，通过状态读寄存器读出比较器输出。图 3-11 中给出了模拟 RSSI 输出电压与信号强度之间的关系曲线图。

模拟 RSSI 电平是线性的，输入信号电平在 -103 与 -73dBm 之间。MRF49XA 中的 RSSIO 引脚用作模拟 RSSI 输出，将该引脚与敏感比较器一起使用可获得更好的结果。

可设置这些位来指示传入的信号强度是否超过预设限制。然后根据这个结果使能或禁止 DQDO 位 (STSREG<7>)。RSSI 阈值取决于 LNA 增益，实际的 RSSI 阈值可使用公式 3-2 中的方程式计算得出。

公式 3-2:

$$RSSI_{th} = RSSI_{setth} + GLNA$$

在发送模式下，ATRSSI 位 (STSREG<8>) 指示天线调节电路已经检测到相对较强的射频信号。

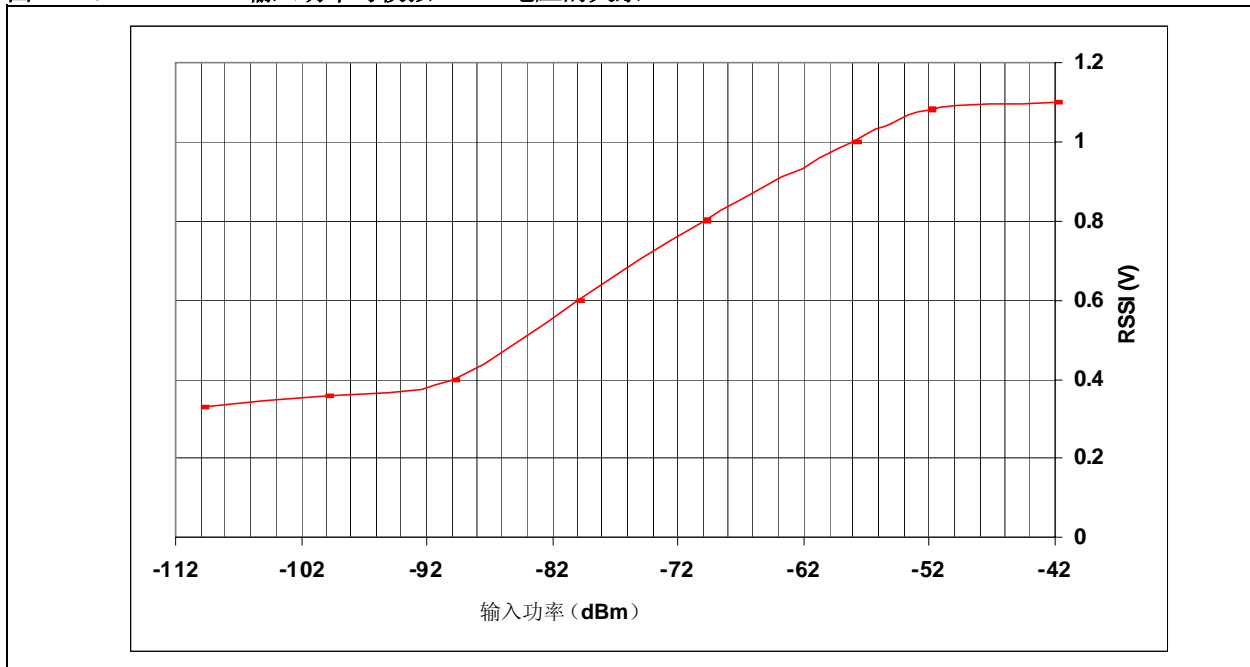
在接收模式下，ATRSSI 位指示传入的射频信号超出了预编程的数字 RSSI 阈值。

MRF49XA

表 3-2: 数字 RSSI 阈值级别

RSSI 阈值	DRSSIT2	DRSSIT1	DRSSIT0
保留	1	1	1
保留	1	1	0
-73	1	0	1
-79	1	0	0
-85	0	1	1
-91	0	1	0
-97	0	0	1
-103	0	0	0

图 3-11: 输入功率与模拟 RSSI 电压的关系



3.13.1 RSSI 与时钟恢复之间的关系

DIO 信号响应时间设置通过 RXCREG 进行配置的，它具有以下工作模式：

- 正常模式
- 慢速模式
- 中速模式
- 快速模式

这些工作模式都是通过 BBFCREG 配置的。

在中速模式下，当 CR_LOCK 和 DRSSI 或 DQI 信号为高电平时，DIO 信号有效。当 CR_LOCK 变为无效或者 DRSSI 或 DQI 变为低电平时，数据指示器输出就变为低电平。更多有关 DQI 的信息，请参阅第 3.11 节“数据质量指示器”。

3.13.2 RSSI 与 AFC 之间的关系

当接收器只与一个发送器一起工作时，建议使用 AFC 自动配置的保持偏移模式（即：AUTOMS1 = 1，AUTOMS0 = 1）。在经过一个完整的测量周期后，不管 DIO 信号的状态如何，测得的值都将被保留。在此模式下，应当慎重选择 DRSSI 限制以使范围滞后达到最小。

与 RSSI 有关的寄存器包括：

- STSREG（请参见寄存器 2-1）
- GENCREG（请参见寄存器 2-2）
- RXCREG（请参见寄存器 2-7）
- PMCREG（请参见寄存器 2-13）

3.14 电源管理

电源管理配置寄存器使能 / 禁止以下功能：

- 接收器
- 发送器
- 基带电路
- 频率合成器
- 晶体振荡器
- 低电池电压检测电路
- 唤醒定时器
- 时钟输出

图 3-12 给出了使用 PMCREG 可使用的功能。

接收器：RXCEN 位，置 1 时可使能整个接收器链路。接收器链路由基带电路、频率合成器和晶体振荡器组成。

发送器：TXCEN 位，置 1 时可使能整个发送链路。发送链路由功率放大器、频率合成器、振荡器和发送寄存器组成。使能发送链路和发送寄存器后，发送寄存器中的任何数据可被移出，发送开始。

基带电路：BBCEN 位，置 1 时可使能基带电路。基带电路、频率合成器和振荡器一起工作，以解调和恢复发送到频率合成器（SYNEN 位）的数据。如果使能基带电路，那么为了接收数据，必须使能振荡器（OSCEN 位）。可禁止 BBCEN 位来降低电流消耗。

频率合成器：SYNEN 位，置 1 时可使能频率合成器。频率合成器由 PLL、振荡器和 VCO 组成，用于控制信道频率。使能发送器或接收器时，必须使能此位。也必须使能振荡器，为 PLL 提供参考频率。上电时，频率合成器自动执行校准。如果电压或温度有较大的变化，可通过禁止频率合成器并重新使能它来再次执行校准。

晶体振荡器：OSCEN 位，置 1 时可使能振荡器电路。设置使用的发送频率或接收频率时，振荡器为频率合成器提供参考信号。

低电池电压检测电路：LBDEN 位，置 1 时可使能电池电压检测电路。电池检测器可编程为 32 级不同的阈值。关于编程的详细信息，请参见寄存器 2-16（BCSREG）。

唤醒定时器：WUTEN 位，置 1 时可使能唤醒定时器。关于编程唤醒定时器间隔的详细信息，请参见寄存器 2-14（WTSREG）。

时钟输出：CLKOEN 位，置 1 时可禁止振荡器时钟输出。器件复位或上电时，使能时钟输出，处理器开始执行设计人员要求的任何指定安装序列。关于编程的详细信息，请参见寄存器 2-16（BCSREG）。

注： 如果 bit 0 清零，且使能了时钟输出，那么即使 OSCEN 位清零，振荡器也继续运行。器件不会完全进入休眠模式。

射频前端由低噪声放大器（LNA）和混频器组成。频率合成器模块有两个主元件：VCO 和 PLL。基带部分由基带放大器、低通滤波器、限幅器和 I/Q 解调器组成。

频率合成器也有内部启动校准程序。如果需要快速接收 / 发送的切换，保持此模块开启。使用 TXCEN 位（PMCREG<5>）使能发送器将会开启 PA，而且由于频率合成器已经开启并运行，PA 立即在输出引脚上产生发送信号。

为了减少发送/接收的切换时间，请保持基带部分开启。切换到接收模式意味着禁止功率放大器和使能射频前端。由于基带模块已经开启，就会跳过内部启动校准，因此切换时间缩短。提供了BBCEN、SYNEN和OSCEN位来优化发送到接收或接收到发送的切换时间。

晶体振荡器为射频频率合成器、基带电路和数字信号处理器提供参考信号。如果频繁使用接收器或发送器，建议保持振荡器运行，因为启动晶振可能需要几毫秒。启动时序主要取决于晶振参数。

注： 让不需要的模块处于开启状态会增大电流消耗，从而减少电池寿命。

MRF49XA

使用位功能时，可从 PMCREG 应用以下几点：

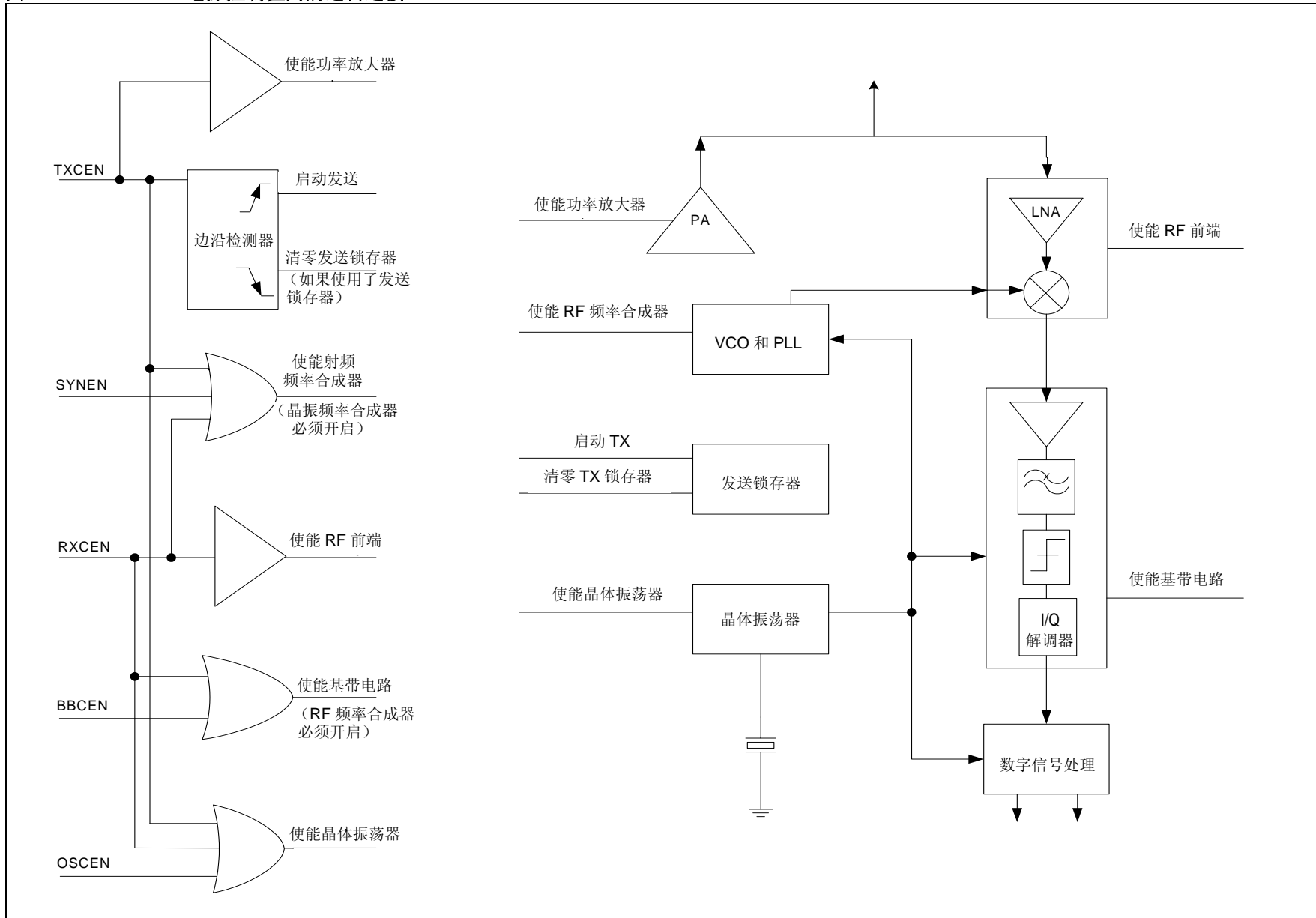
- 如果同时将 TXCEN 和 RXCEN 位置 1，芯片进入接收模式。
- FSK/DATA/FSEL 输入引脚配有一个外部上拉电阻。为了使电流消耗达到最低，请不要在休眠模式下将此输入引脚拉为逻辑低电平。
- 要启用射频频率合成器，必须开启晶体振荡器。
- 要开启基带电路，必须使能射频合成器和晶体振荡器。
- 将 RXCEN 位置 1 会自动开启晶体振荡器、频率合成器、基带电路和射频前端。
- 将 TXCEN 位置 1 会自动打开晶体振荡器、频率合成器和射频功率放大器。

时钟尾标和自动晶振使能 / 禁止功能有助于减少功耗，这在第 3.4 节“晶体振荡器和时钟输出”中已详细讨论。

与电源管理有关的寄存器包括：

- STSREG（请参见寄存器 2-1）
- GENCREG（请参见寄存器 2-2）
- RXCREG（请参见寄存器 2-7）
- PMCREG（请参见寄存器 2-13）

图 3-12: 电源控制位间的逻辑连接



3.15 低占空比模式

在低占空比模式下，接收器定期唤醒一小段时间，以检查正在进行的有效 FSK 发送。FSK 发送在 CFSREG 确定的频率范围内进行检测，且基带滤波器的带宽由 RXCREG 确定。启动时间自动延长到 DQI 指示正常接收信号条件为止。

计算占空比启动时间时，需要考虑以下方面：

- 晶体振荡器、频率合成器和 PLL 需要时间启动（请参见表 5-7）。
- 根据 DQTI 的要求，器件需要接收几个有效数据位，然后 DQI 信号才会指示正常的信号条件（请参见寄存器 2-8）。

选择短的启动时间可以防止晶体振荡器启动，否则，即使所接收的信号质量正常，DQI 信号也不会变为高电平。MRF49XA 通常配置为在 FIFO 模式下工作。然而，当器件周期性地从休眠模式唤醒时，它切换到接收模式。如果接收到有效的 FSK 数据，器件向单片机发送中断并且继续填充 RXFIFO。发送完成后，读出整个 FIFO

的内容，并清除其他中断。然后器件返回到低功耗模式。图 3-13 描述了低功耗占空比模式序列。

可使用 DCMV (DCSREG<7:1>) 和 WTMV (WTSREG<7:0>) 位计算出低占空比，如公式 3-3 所示。时间周期由 WTSREG 确定。

公式 3-3:

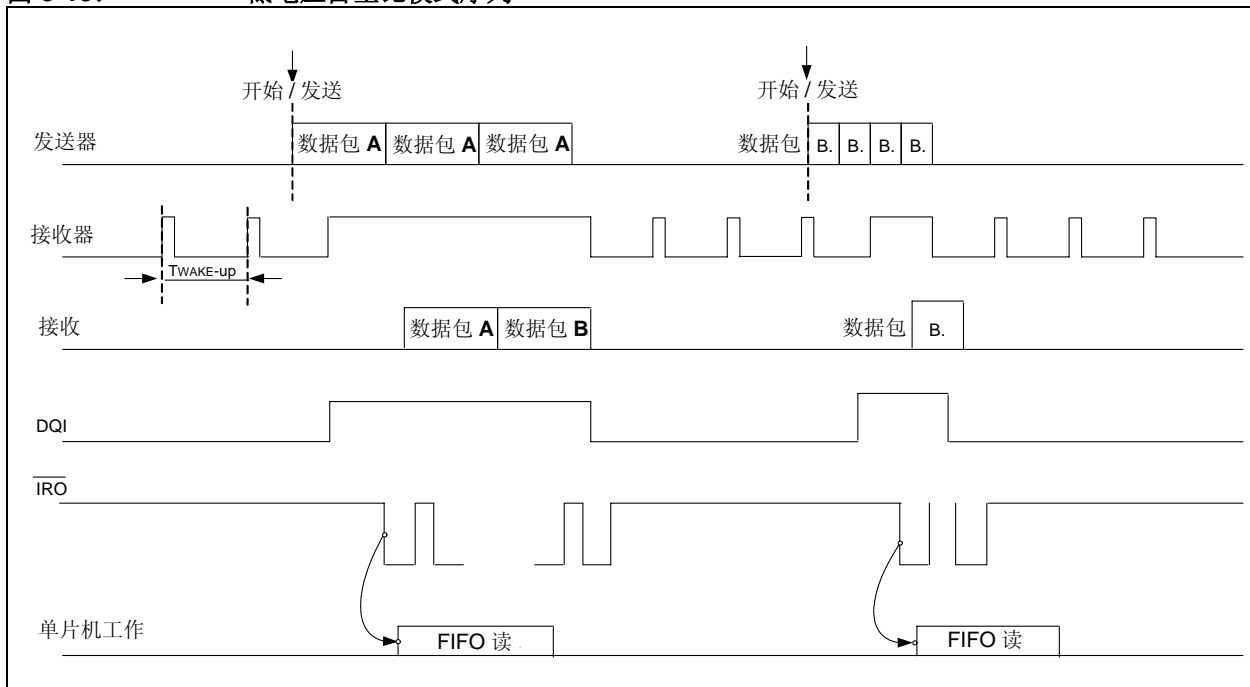
$$DC = (DCMV<7:1> \times 2 + 1) / WTMV<7:0> \times 100\%$$

注： 在占空比模式下，必须清零 RXCEN 位，还必须将 PMCREG 中的 WUTEN 位置 1。

与低占空比模式有关的寄存器包括：

- STSREG（请参见寄存器 2-1）
- GENCREG（请参见寄存器 2-2）
- RCXREG（请参见寄存器 2-7）
- BBFCREG（请参见寄存器 2-8）
- PMCREG（请参见寄存器 2-13）
- WTSREG（请参见寄存器 2-14）

图 3-13: 低电压占空比模式序列



3.16 休眠、唤醒和电池工作

可在发送器内配置高级中断处理电路以减少功耗。如上所述，休眠模式是最低功耗模式，在此模式下，器件的时钟和所有功能模块都被禁止。发生任何中断时，器件唤醒并切换到活动模式， $\overline{\text{IRO}}$ 引脚上产生的中断信号表明主单片机的状态变化。读器件状态字可以判定中断源（参见寄存器 2-1）。

为了减少电流消耗，应该把 MRF49XA 置于低功耗休眠模式下。在休眠模式下，关闭 10 MHz 的主振荡器以禁止射频和基带电路。数据保留在控制寄存器和 FIFO 寄存器中，通过 SPI 端口可访问收发器。

不管 PMCREG 中 OSCEN 位的状态如何，只要任何中断仍然有效，MRF49XA 将不会进入休眠模式。这样的话，单片机可始终有时钟信号来处理中断。为了防止高电流消耗缩短电池寿命，强烈建议在进入休眠模式之前处理和清除中断。应关掉那些不必要的功能以避免造成不需要的中断。

为了使电流消耗达到最小，MRF49XA 与集成的唤醒定时器一起支持各种节能模式。可通过以下方式重新初始化活动模式：

- 通过在 $\overline{\text{INT}}$ 引脚上施加唤醒事件的负逻辑脉冲
- 唤醒定时器超时
- 低电源电压检测
- 片上 FIFO 填充
- 通过串行接口接收请求

要使 MRF49XA 器件进入休眠模式，必须初始化某些控制寄存器值。编程控制寄存器为进入休眠和唤醒模式对控制寄存器进行编程的顺序如下：

对于休眠模式：

1. 检查 $\overline{\text{IRO}}$ 位状态
2. 读 STSREG
3. 配置 GENCREG
4. 为振荡器和时钟缓冲配置 PMCREG

对于唤醒模式：

1. 进入 TX/RX 模式或
2. 使能晶振或
3. 设置 $\overline{\text{INT}}$ 引脚

器件可通过唤醒定时器从休眠模式中唤醒。WTSREG 为 MRF49XA 设置唤醒时间间隔。在设置唤醒时间间隔后，应清零 WUTEN 位（PMCREG<1>），并在每个唤醒周期结束时置 1。

唤醒持续时间（WUTIME）可使用公式 3-4 计算。

公式 3-4：

$$\text{WUTIME} = 1.03 \times \text{WTMV}\langle 7:0 \rangle \times 2^{\text{WTEV}\langle 4:0 \rangle} + 0.5 \text{ ms}$$

其中：

WTMV<7:0> = 介于 0 到 255 之间的十进制值

WTEV<4:0> = 介于 0 到 29 之间的十进制值

注：WUTIME 以 ms 为单位。

电池电压阈值检测特性有助于监视对放电敏感的电池，例如锂电池。LBDEN 位（PMCREG<2>）用于使能或禁止低电池检测特性。

BCSREG 配置以下内容：

- 输出时钟频率
- 低电池电压检测阈值

低电池电压阈值的可编程范围为 2.2V 到 3.8V，可使用公式 3-5 计算。

公式 3-5：

$$\text{电压阈值} = 2.25 + 0.1 \times (\text{LBDVB}\langle 3:0 \rangle)$$

其中：

LBDVB<3:0> 为介于 0 到 15 之间的十进制值

当电池电压比此值低 50 mV 时，LBTD 位（STSREG<10>）置 1，表明电池电压低于预编程阈值。

与节能模式有关的寄存器包括：

- STSREG（请参见寄存器 2-1）
- GENCREG（请参见寄存器 2-2）
- TXCREG（请参见寄存器 2-4）
- RXCREG（请参见寄存器 2-7）
- PMCREG（请参见寄存器 2-13）
- WTSREG（请参见寄存器 2-14）
- BCSREG（请参见寄存器 2-16）

MRF49XA

3.17 TX 寄存器缓冲数据发送

在数据发送模式（由 TXDEN 位（GENCREG<7>）使能）下，TX 数据随着时钟移入两个 8 位数据寄存器中的一个。当 TXCEN 位（PMCREG<5>）置 1 时，发送器开始从第一个寄存器发送数据（使用给定比特率）。数据寄存器的初始值（0xAA）用于产生前导码。在此模式期间，监视 SDO 引脚以检查寄存器是否准备好（SDO 为高电平）从单片机接收下一个字节。发送之前和发送过程中的发送寄存器框图分别如图 3-14 和图 3-15 所示。

发送器 FSK 调制参数用于计算所产生的输出频率，如公式 3-6 所示。

公式 3-6:

$$f_{\text{FSKOUT}} = f_0 + (-1)^{\text{SIGN}} \times (\text{MB} + 1) \times (15 \text{ kHz})$$

其中:

f_0 为信道中心频率

（请参见寄存器 2-6 以了解 f_0 的计算）

MB 是 4 位二进制数（MODBW<3:0>）

SIGN = MODPLY XOR FSK

图 3-14: 发送寄存器框图（发送前）

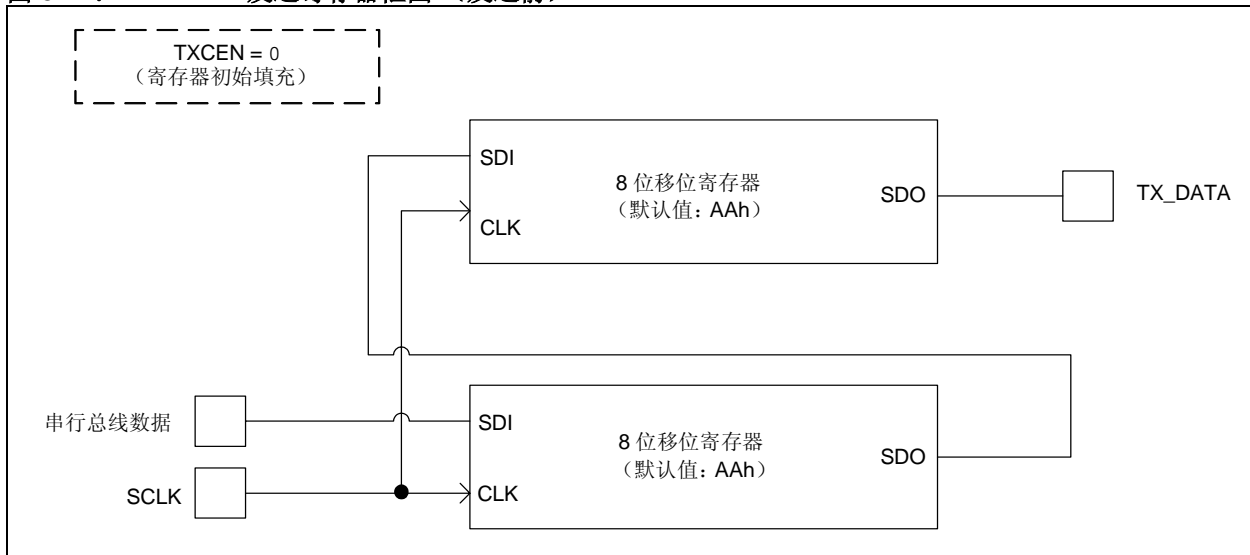
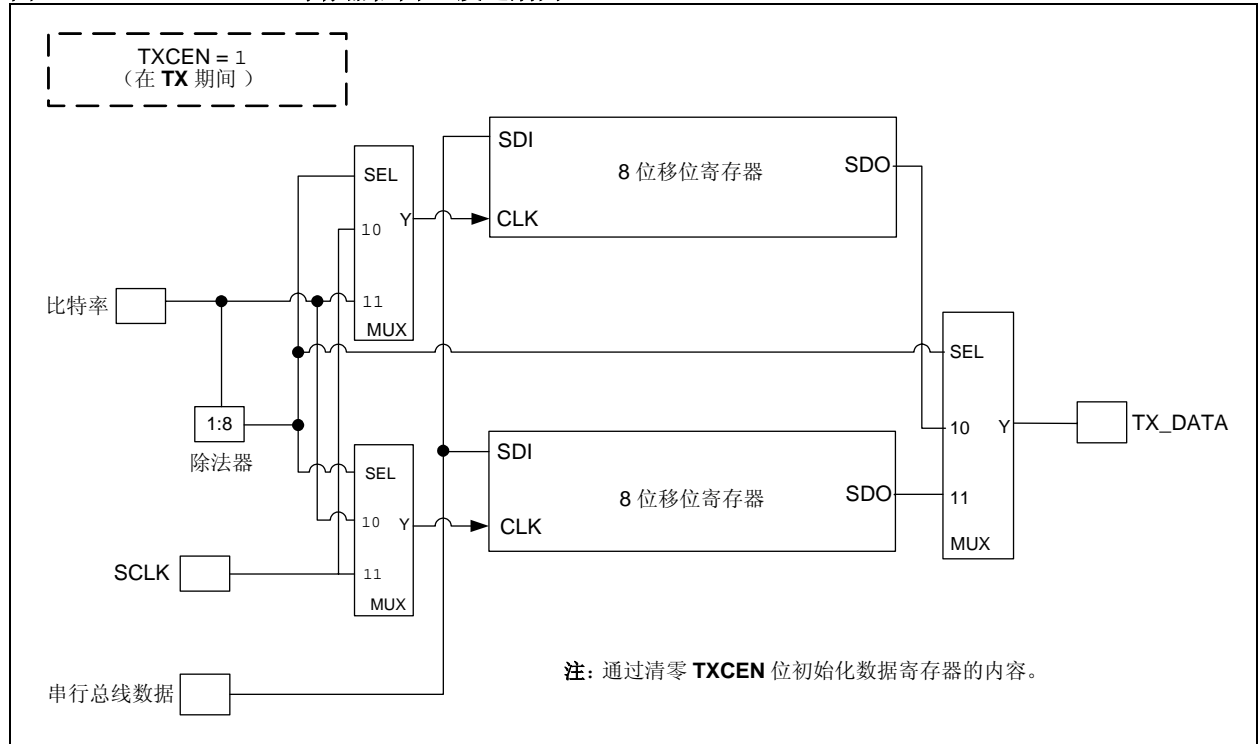


图 3-15: TX 寄存器框图 (发送期间)



MRF49XA

应执行的器件发送序列如下：

1. 通过设置 $TXDEN = 1$ ，使能 TX 寄存器
2. TX 寄存器自动填充用于产生前导码的 $0xAAAA$ 。
3. 通过设置 $TXCEN = 1$ 使能发送器。
4. 开启频率合成器和 PLL，进行自校准且自动使能功率放大器。
5. TX 数据开始发送。
6. 发送完字节后， \overline{IRO} 引脚变为高电平，同时 SDO 引脚变为低电平。 \overline{IRO} 脉冲显示头 8 位（默认的第一个字节， $0xAA$ ）已经发送完毕。发送寄存器中仍有 8 位。
7. 单片机识别中断，并向 TXBREG 写一个数据字节。
8. 重复第 6 步和第 7 步直到到达最后一个数据字节。
9. 使用同样的方法发送一个虚拟字节。虚拟字节的值可为任意值。
10. \overline{IRO} 线路上的下一个从高电平到低电平的变换（或 SDO 引脚上从低电平到高电平的变换）表示数据字节发送结束。虚拟字节仍在 TX 锁存器中。
11. 通过设置 $TXCEN = 0$ 关闭发送器。发送虚拟字节时可能会发生这种情况。由于虚拟字节中不包含有用信息，这种数据破坏不会产生任何问题。
12. 清零 $TXDEN$ 位会清除寄存器下溢中断。 \overline{IRO} 引脚变为高电平，同时 SDO 引脚变为低电平。

图 3-16 中给出了发送序列。关于发送引脚功能配置的详细信息，请参见表 3-3。 $TXDEN$ 位在 $GENCREG$ 寄存器中，可使能发送数据寄存器。

执行发送序列时也可以不发送虚拟字节（第 1 步），但是在把最后一个数据字节装入发送寄存器后，应至少延迟 16 位的时间再关闭 PA。单片机时钟源（如果收发器未提供时钟）应当在温度和电压范围内保持足够稳定，以确保在所有工作环境下提供此最小延时。

使用虚拟字节时，由中断驱动整个过程。更改发送数据的速率对算法无影响，因此无需精确测试延时。图 3-17 表示多字节发送写序列。

与发送有关的寄存器包括：

- STSREG（请参见寄存器 2-1）
- GENCREG（请参见寄存器 2-2）
- TXCREG（请参见寄存器 2-4）
- TXBREG（请参见寄存器 2-5）
- PMCREG（请参见寄存器 2-13）

表 3-3: 发送引脚函数 — 操作模式

模式	位设置	功能	引脚 6	引脚 7
发送	$TXDEN = 0$	禁止内部 TX 数据寄存器	TX 数据输入	未使用
	$TXDEN = 1$	使能内部 TX 数据寄存器	\overline{FSEL} 输入（可访问 TX 数据寄存器）	

图 3-16: 使用发送寄存器

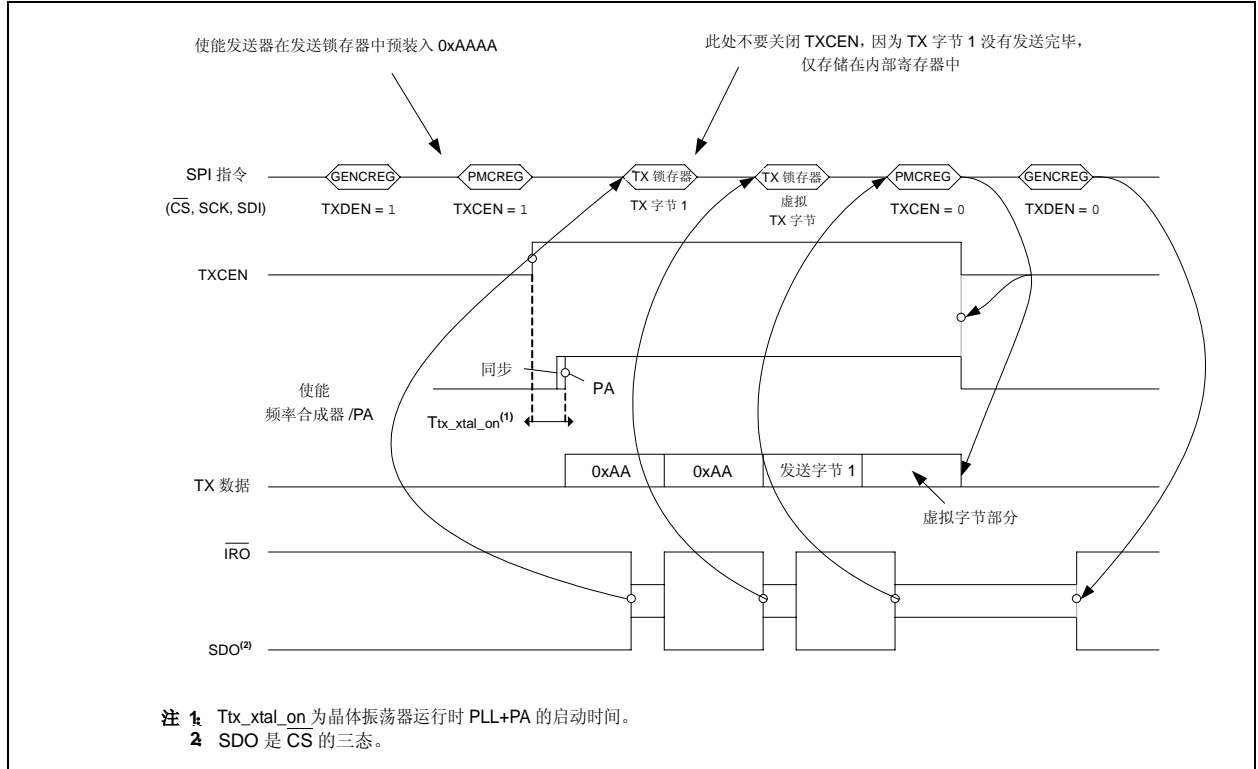
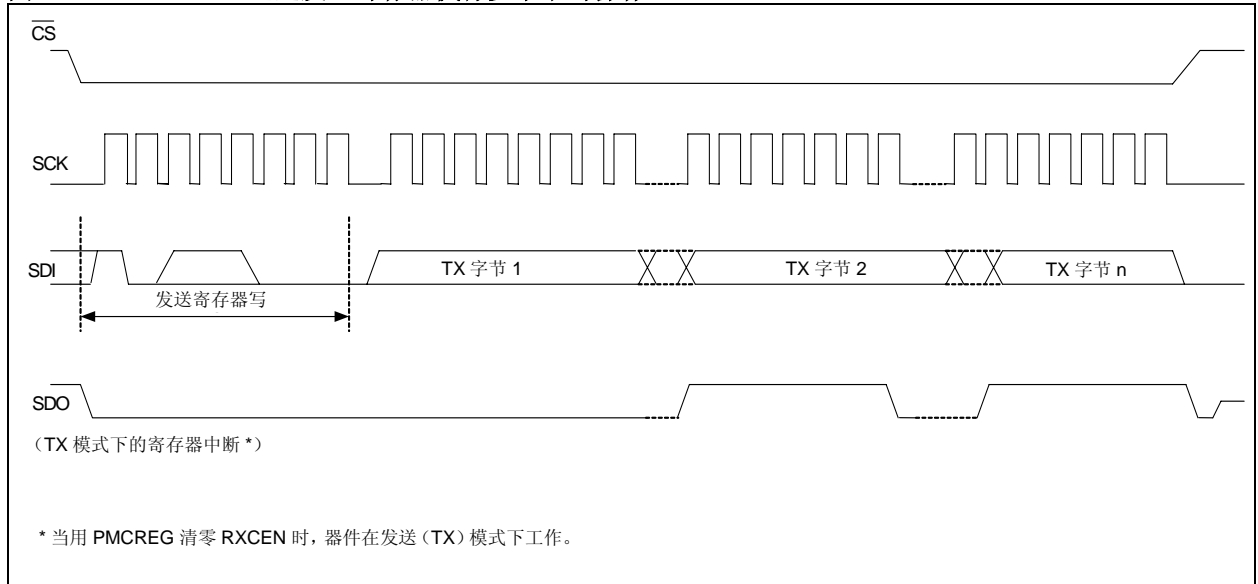


图 3-17: 通过发送寄存器执行多字节写操作



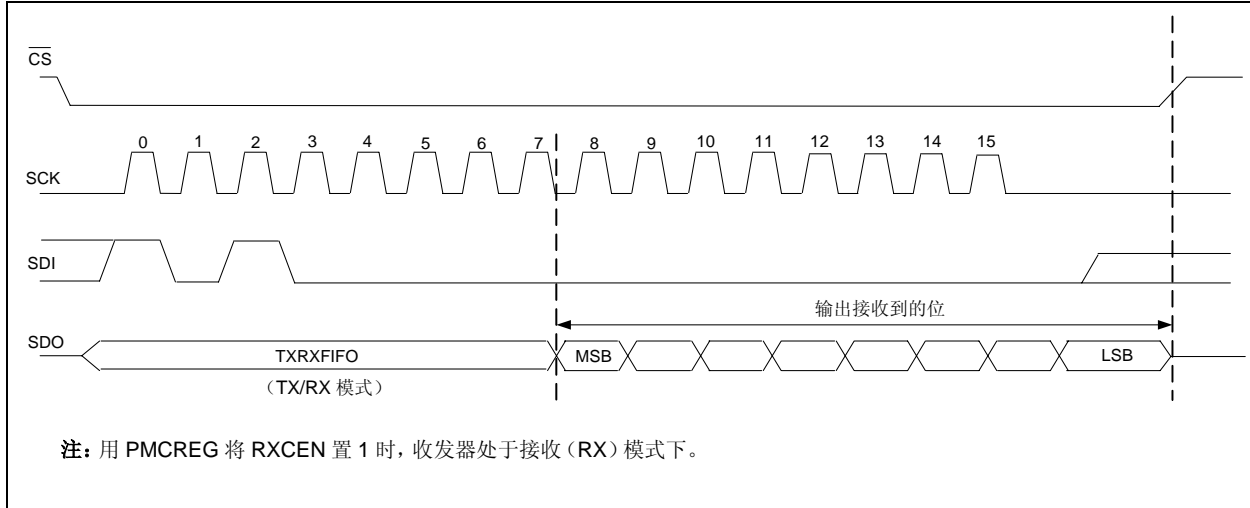
MRF49XA

3.18 RX FIFO 缓冲数据读

在接收工作模式下，传入的数据随着时钟移入到 16 位的 FIFO 缓冲器中。表 3-4 给出了 FIFO 操作所需要的接收引脚功能配置。FIFOEN 位在 GENCREG 寄存器中，使能接收 FIFO。当 FINTDIO 位和同步图样识别电路指示可能的实际传入数据时，接收器开始填充 FIFO。这可防止 FIFO 被噪声填满，同时避免外部单片机超载。

用户可对内部同步图样和图样长度编程。如果片选 ($\overline{\text{CS}}$) 引脚为低电平，则 SDI 引脚上的数据位在 SCK 引脚时钟信号的上升沿移入器件。每次 $\overline{\text{CS}}$ 信号为高电平时，串行接口都被初始化。图 3-18 给出了通过 SPI 线进行接收器 FIFO 读操作的一个简单示例。

图 3-18: 接收器 FIFO 读



3.18.1 中断模式

用户可以定义 FIFO 中断级别（所接收的位数），超过该级别时，它产生 FINT。在这种情况下，状态位报告更改的 FIFO 状态。

3.18.2 轮询模式

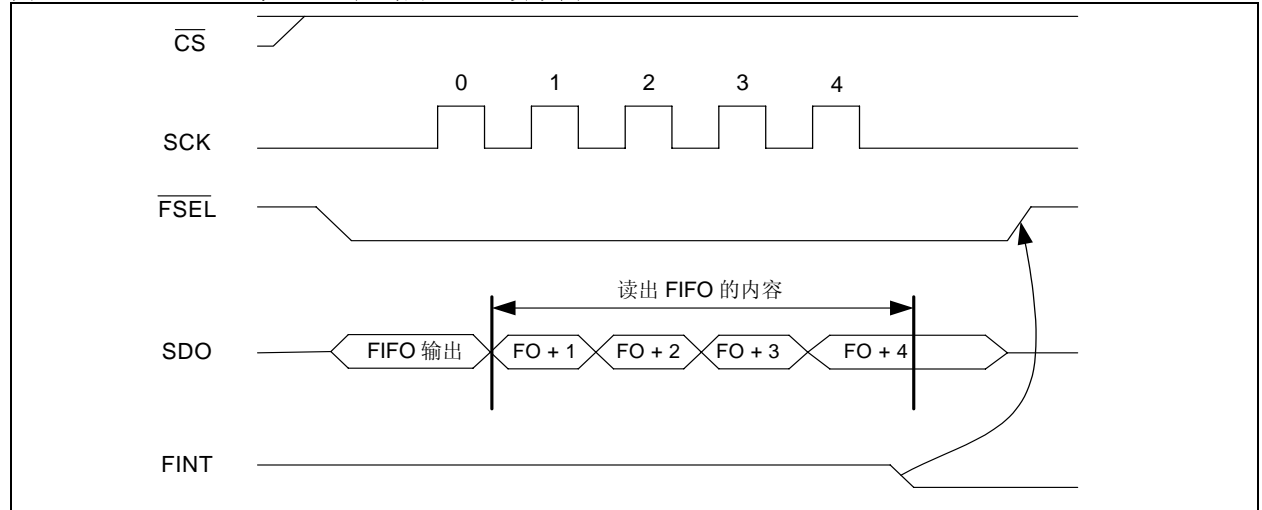
当 $\overline{\text{FSEL}}$ 信号为低电平时，FIFO 输出直接与 SDO 引脚连接，其内容随着 SCK 引脚的时钟信号移出。将 FIFO 的中断级别设置为 1。在这种情况下，只要 FINT 指示 FIFO 中接收到位，单片机就继续移走这些位。当 FINT 变为低电平时，就不再有需要移走的位。

SPI 读命令（接收器 FIFO 读命令）也可以用于读出 FIFO 的内容。关于在查询模式下通过 SPI 线进行的简单的接收器 FIFO 读命令，请参见图 3-19。

表 3-4: 接收引脚功能 — 操作模式

模式	位的设置	功能	引脚 6	引脚 7
接收	FIFOEN = 0	禁止接收器 FIFO	RX 数据输出	接收数据时钟输出
	FIFOEN = 1	使能接收器 FIFO	$\overline{\text{FSEL}}$ 输入（可访问 RX 数据 FIFO）	FINT 输出

图 3-19: 带 FINT 轮询的 FIFO 读示例



注: 在 FIFO 访问期间， f_{SCK} 不能大于 $f_{\text{ref}}/4$ ，其中 f_{ref} 是晶体振荡器频率。如果时钟信号的占空比不是 50%，那么时钟脉冲的较短周期应至少为 $2/f_{\text{ref}}$ 。

与接收有关的寄存器包括：

- STSREG（请参见寄存器 2-1）
- GENCREG（请参见寄存器 2-2）
- RXCREG（请参见寄存器 2-7）
- FIFORSTREG（请参见寄存器 2-10）
- PMCREG（请参见寄存器 2-13）

3.19 RX-TX 频率对准方法

由于实际参考频率有差异，会发生接收到发送频率偏移。为了最小化这个误差，应在 RX 和 TX 的 PCB 上使用同样的晶振类型并采用同样的 PCB 布线。同时，还请参见第 3.6 节“晶振选择指南”。

为了验证可能的 RX-TX 偏移，建议使用更高的精度来测量两个收发器的 CLK 输出。不要在 RFXTL 引脚处测量输出，因为测量过程本身可能会改变参考频率。由于载波频率源于参考频率，所以在 TX 和 RX 端具有相同的参考频率和标称频率设置，如果 CLK 信号的频率相同，应当没有偏移。

通过使用接收器 STSREG 中包含的 AFC 状态数据，可监视实际 RX-TX 偏移。通过读出 STSREG，可报告实际测得的偏移频率。为了得到精确的值，在读取期间可通过清零 FOFEN 位来禁止 AFC。

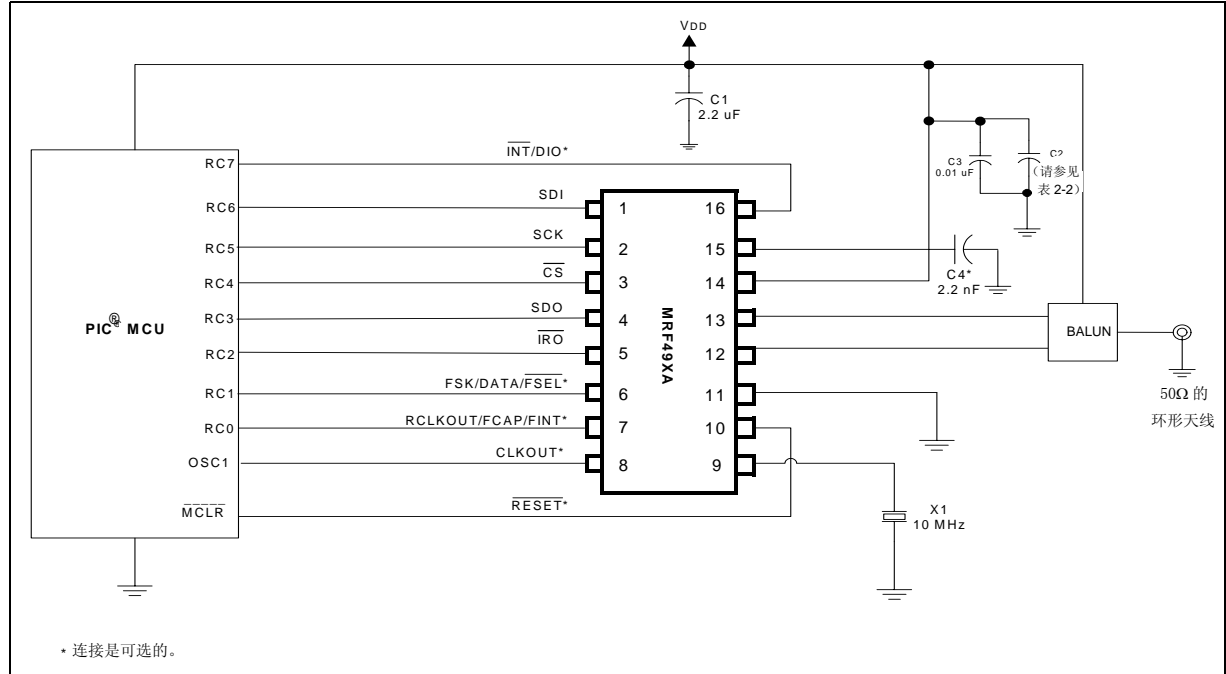
与 RX-TX 对准过程有关的寄存器包括：

- STSREG（请参见寄存器 2-1）
- AFCCREG（请参见寄存器 2-3）
- RXCREG（请参见寄存器 2-7）
- PMCREG（请参见寄存器 2-13）

4.0 应用详细信息

图 4-1 给出了带有 Balun 电路的 MRF49XA 的应用电路图。

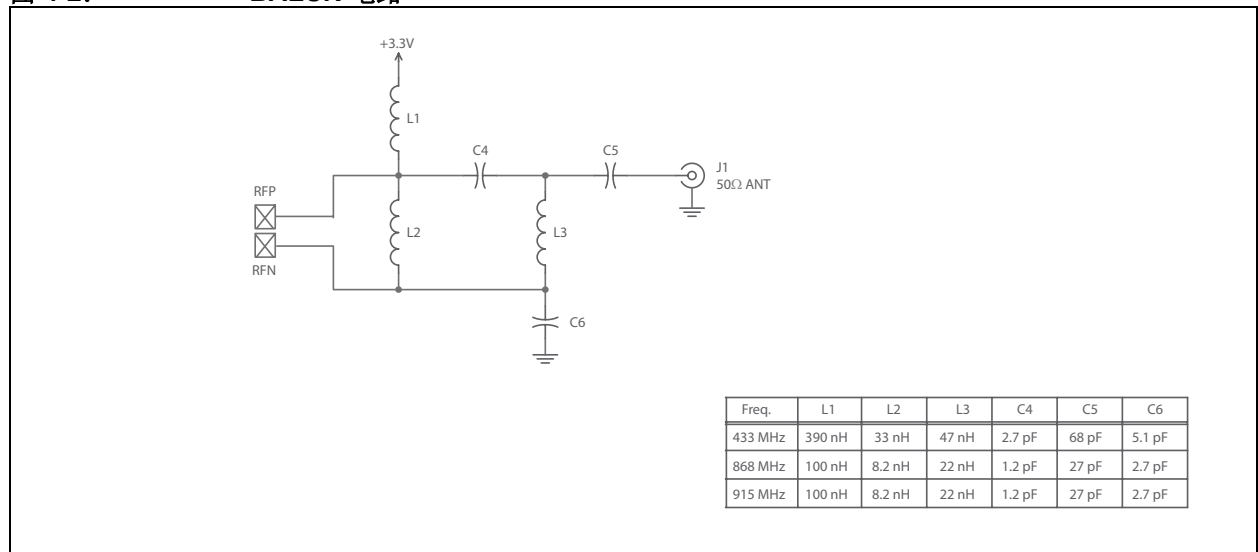
图 4-1: 应用电路



4.1 天线 / Balun

图 4-2 给出了适用于 50Ω 天线的 Balun 电路。如果采用合适的接地的低容差元件（例如 ±5%），阻抗仍然接近 50Ω 的测量值。

图 4-2: BALUN 电路



MRF49XA

4.2 天线设计要求

MRF49XA 设计用于驱动差分输出，例如双极天线或环形天线。环形天线非常适合于紧凑型尺寸的应用，而双极天线通常不适合用在小尺寸设计中，这是因为其谐振时的固定尺寸且它对周围地平面的空间要求都无法使其成为有效的天线。可将单极天线与 Balun 电路或匹配电路一起使用。

4.3 射频发送器匹配

射频引脚具有高阻抗和差分值的特点。表 4-1 所示为在给定频率波段时射频端口的最佳差分负载。

为了实现最大的功率传输，射频端口引脚使用表中的这些负载值作为天线的负载。适合这些值的天线可以是环形天线、双极天线或折叠式双极天线。对于所有的天线应用而言，由于射频输出是开集型，所以发送期间必须包含偏置、扼流圈或线圈。

表 4-1: 频率波段 —— 天线导纳 / 阻抗

MRF49XA	导纳 (ms)	阻抗 (Ω)	电感 (nH)
433 MHz	2-j5.9	52 + j152	62
868 MHz	1.2-j11.9	7.8 + j83	15.4
915 MHz	1.49-j12.8	9 + j77	13.6

4.4 一般的 PCB 布线设计

本节中的指导信息帮助用户实现高频 PCB 布线设计。

印刷电路板通常由两或四层基本 FR4 层组成。

双层印刷电路板在这两层中混合布置了信号 / 电源 / 射频线及公共接地线。

四层印刷电路板由以下层组成：

- 信号层
- 射频接地层
- 电源走线层
- 公共接地层

四层 PCB 如图 4-4 所示。

图 4-3: 双层铜基板 FR4

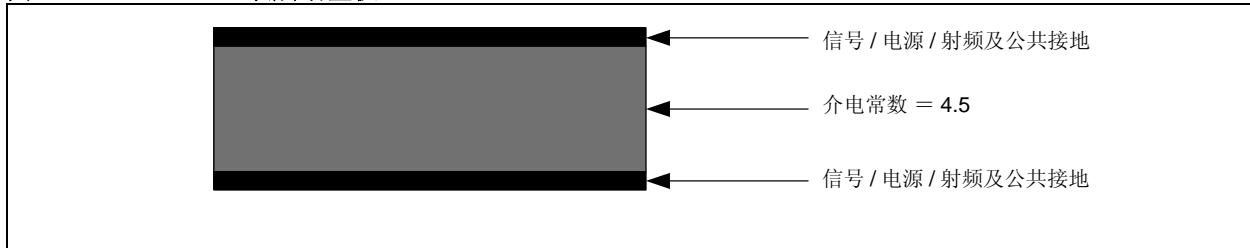
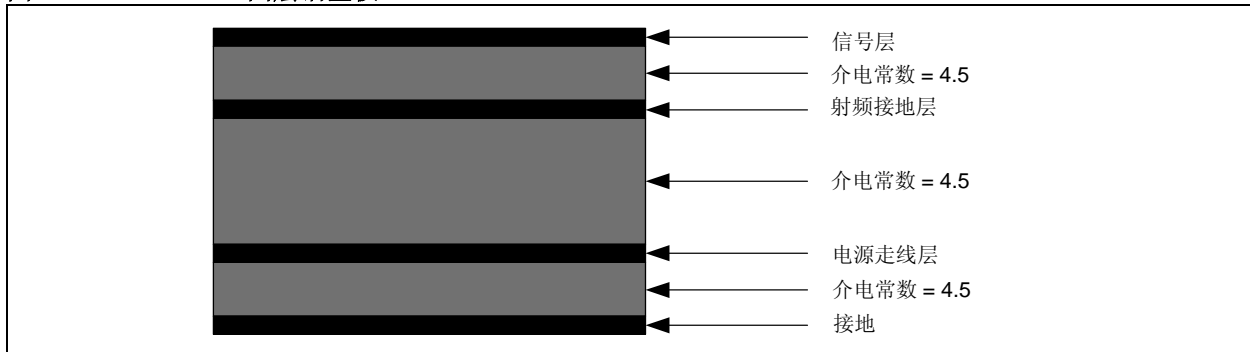


图 4-4: 四层铜基板 FR4



以下指导信息说明了上述各层的要求：

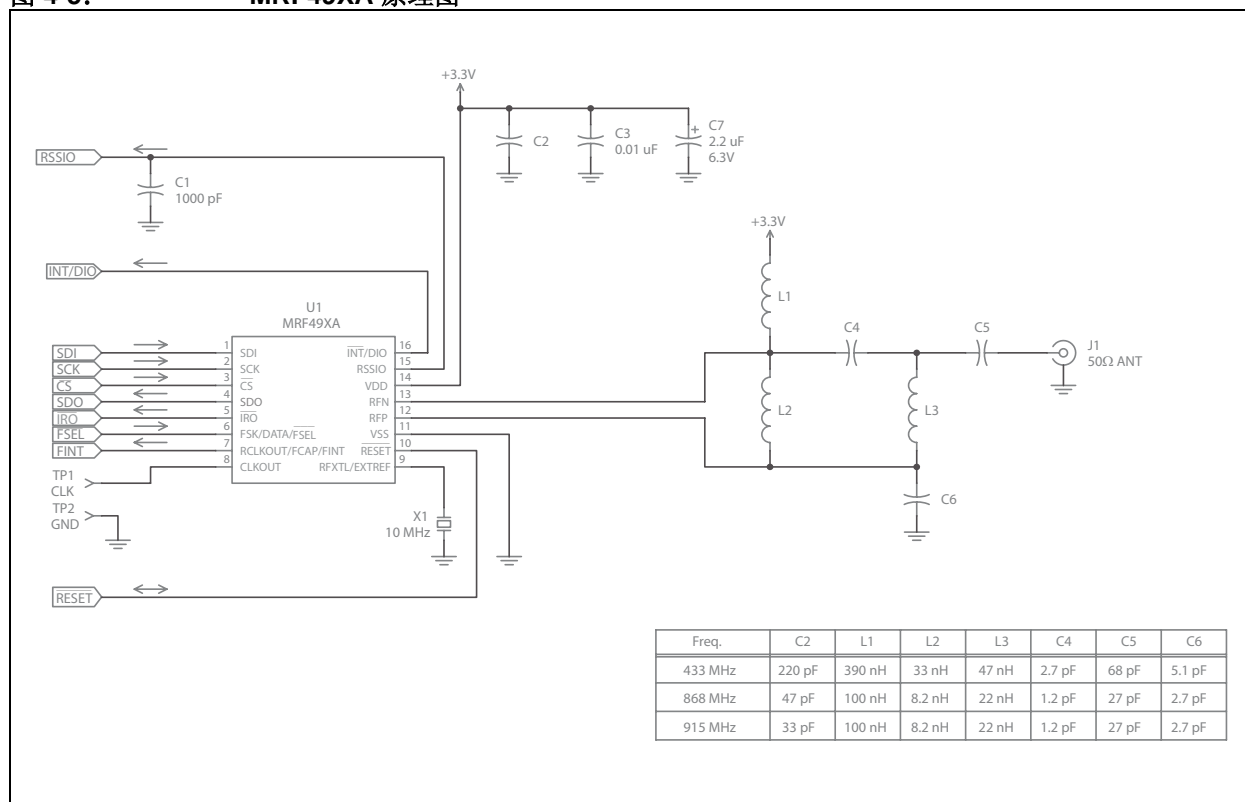
- 保持原始 PCB 厚度非常重要，因为任何改变都将影响天线性能（参见介质的总厚度）或者微带线的特性阻抗。
- 为了实现良好的发送和接收性能，在射频引脚处的走线长度应尽可能地短。采用小的表面贴装元件（在 0402/0603 封装中）可获得良好的性能和保持小的射频电路的尺寸。射频连接应当短而直接。
- 除了天线的布线，其余走线应当避免尖角出现，因为这些尖角可起到天线的作用。圆角能减少可能出现的 EMI 问题。
- 当处理周期波形和快速时钟 / 切换速率时，数字线易产生噪声。应当避免射频信号线靠近任何数字线。
- 必须在 IC 收发器下面填充用作接地贴片的 VIA。
- 电源引脚必须以星型拓扑形式连接，为了对噪声正确解耦每个引脚必须连接低 ESR 电容。
- 在每个电源引脚上进行完全，有利于降低波段内收发器噪声，尤其在噪声不会降低器件性能时更应如此。通常，将小电容（27-47 pF）与大电容（100 nF）结合使用可覆盖大的频谱范围。
- 无源元件（电感）应当归为高频范畴，自谐振频率（Self Resonant Frequency, SRF）应当至少为工作频率的两倍以上。
- 走线过长会影响晶体振荡器，因为它会将寄生电容添加到晶振的整个负载。为了减少寄生电容，晶振应尽可能地靠近射频器件。
- 板上元件的连接短而直接，这样可减少由寄生电容引入的“频率牵引”效应。它甚至使得芯片内部负载电容能够更有效地正确加载晶体振荡器电路。
- 时钟信号的长走线可能会产生辐射和引起干扰。这可能降低接收器的性能和增加发送器的谐波或不需要的调制。
- 保持时钟连接尽可能的短，并用相邻的地平面覆铜包围时钟走线。覆铜有助于减小由时钟长走线引起的辐射和串扰。
- 小耦合电容（通常为 0.01-0.1 μF ）应当连接到芯片的 VDD 上和射频电路的偏置点上。
- 高耦合电容（通常为 2.2-10 μF ）应当放置在电源与 PCB 的连接点上。
- 电源旁路是必需的。差的旁路会导致传导干扰，引起噪声和杂散信号耦合到射频部分，从而大幅度降低性能。

MRF49XA

4.5 MRF49XA 原理图和元器件清单

4.5.1 原理图

图 4-5: MRF49XA 原理图



4.5.2 元器件清单

表 4-2: MRF49XA: 433 MHz 的元器件清单

元件编号	值	描述	制造商	制造商编号
C1	200 pF	陶瓷电容, 50V, C0G, SMT 0603	Murata	GRM1885C1H201JA01D
C5	2.7 pF	陶瓷电容, 50V, C0G, SMT 0603	Murata	GRM1885C1H2R7CZ01D
C6	68 pF	陶瓷电容, 50V, C0G, SMT 0603	Murata	GRM1885C1H680JA01D
C7	5.1 pF	陶瓷电容, 50V, C0G, SMT 0603	Murata	GRM1885C1H5R1DZ01D
L1	390 nH	陶瓷电感, 5%, SMT 0603	Murata	LQW18ANR39J00D
L2	33 nH	多层电感, 5%, SMT 0603	TDK Corporation	MLG1608B33NJ
L3	47 nH	多层电感, 5%, SMT 0603	TDK Corporation	MLG1608B47NJ
C4	1000 pF	陶瓷电容, 50V, 10%, SMT 0603, X7R	Murata	GRM188R71H102KA01D
C2	10000 pF	陶瓷电容, 50V, 10%, SMT 0603, X7R	Murata	GRM188R71H103KA01D
C3	2.2 μ F, 10V	钽电容, 10%, SMT 3216-18 (A)	Kemet	T491A225K010AT
U1	—	MRF49XA 收发器	Microchip	MRF49XA-I/ST
X1	10 MHz	晶振, \pm 10 ppm, 10 pF, SMT 5 x 3.2 mm	Abracon	ABM3B-10.000MHZ-12-R8 0-B-1-U-T

MRF49XA

表 4-3: MRF49XA: 868/915 MHz 的元器件清单

元件编号	值	描述	制造商	制造商编号
C1	33 pF	陶瓷电容, 50V, C0G, SMT 0603	Murata	GRM1885C1H330JA01D
C5	1.2 pF	陶瓷电容, 50V, C0G, SMT 0603	Murata	GRM1885C1H1R2CZ01D
C6	27 pF	陶瓷电容, 50V, C0G, SMT 0603	Murata	GRM1885C1H270JA01D
C7	2.7 pF	陶瓷电容, 50V, C0G, SMT 0603	Murata	GRM1885C1H2R7CZ01D
L1	100 nH	多层电感, 5%, SMT 0603	TDK Corporation	MLG1608BR10J
L2	8.2 nH	多层电感, 5%, SMT 0603	TDK Corporation	MLG1608B8N2D
L3	22 nH	多层电感, 5%, SMT 0603	TDK Corporation	MLG1608B22NJ
C4	1000 pF	陶瓷电容, 50V, 10%, SMT 0603, X7R	Murata	GRM188R71H102KA01D
C2	10000 pF	陶瓷电容, 50V, 10%, SMT 0603, X7R	Murata	GRM188R71H103KA01D
C3	2.2 μ F, 10V	钽电容, 10%, SMT 3216-18 (A)	Kemet	T491A225K010AT
U1	—	MRF49XA 收发器	Microchip	MRF49XA-I/ST
X1	10 MHz	晶振, \pm 10 ppm, 10 pF, SMT 5 x 3.2 mm	Abracon	ABM3B-10.000MHZ-12-R80-B-1-U-T

5.0 电气特性

绝对最大额定值†

偏置电压下的温度	-40°C 至 +85°C
储存温度	-55°C 至 +125°C
铅温（焊接，最长 10 s）	+260°C
相对于 VSS 的 VDD 电压	-0.3 V 至 6 V
任一数字模拟组合引脚相对于 VSS 的电压（RFP、RFN 和 VDD 除外）	-0.3 V 至 (VDD + 0.3 V)
开集输出电压（RFP 和 RFN） ⁽¹⁾	-0.5 V 至 (VDD + 1.5 V)
引脚输入电流（VDD 和 VSS 除外）	-25 mA 至 25 mA
人体模型的静电放电	1000 V

注 1: RFP 和 RFN 引脚上最大电压不能高于 7 V。

†注: 如果器件的工作条件超过“绝对最大额定值”，可能会对器件造成永久性损坏。上述值仅为运行条件极大值，我们建议不要使器件在该规范规定的范围以外运行。器件长时间工作在最大额定值条件下，其稳定性会受到影响。

MRF49XA

表 5-1: 建议的工作条件

参数	最小值	典型值	最大值	单位
工作温度	-40	—	+85	°C
射频、模拟和数字电路的电源电压	2.2	—	3.8	V
数字 I/O 的工作电压	2.2	3.3	3.8	V
开集输出的直流电压 (RFP 和 RFN) ^(1,2)	VDD - 1.5	—	VDD + 1.5	V
开集输出的交流峰值电压 (RFP 和 RFN) ⁽¹⁾	VDD - 1.5	—	VDD + 1.5	V

注 1: VDD - 1.5 V 最小不能低于 1.2 V。

2: VDD + 1.5 V 最大不能高于 5.5 V。

表 5-2: 电流消耗 ⁽¹⁾

芯片模式	条件	最小值	典型值	最大值	单位
休眠	禁止休眠时钟和所有模块	—	0.3	1	μA
空闲	使能振荡器和基带, 禁止时钟输出	—	0.6	1.2	mA
TX	电源输出: 0 dBm, 50 Ω 负载, 433 MHz	—	15	—	mA
	868 MHz	—	16	—	mA
	915 MHz	—	17	—	mA
TX	最大输出功率, 433 MHz	—	22	26	mA
	868 MHz	—	23	27	mA
	915 MHz	—	24	28	mA
RX	433 MHz	—	11	13	mA
	868 MHz	—	12	14	mA
	915 MHz	—	13	15	mA
低电池电压检测器的电流消耗	—	—	0.5	1.7	μA
唤醒定时器的电流消耗	—	—	1.5	3.5	μA

注 1: 典型值是在以下条件下得到的: TA = 25°C, VDD = 3.3V。

表 5-3: I/O 引脚输入规范 ⁽¹⁾

符号	特性	条件	最小值	典型值	最大值	单位
VIL	输入低电压	—	—	—	0.3 x VDD	V
VIH	输入高电压	—	0.7 x VDD	—	—	V
IIL	输入低泄漏电流 ⁽²⁾	VIL = 0V	-1	—	1	μA
IIH	输入高泄漏电流	VIH = VDD, VDD = 3.8V	-1	—	1	μA
VOL	数字低输出电压	IOL = 2 mA	—	—	0.4	V
VOH	数字高输出电压	IOH = -2 mA	VDD - 0.4	—	—	V
VLBTD	低电池阈值检测	可编程, 步长为 0.1V	2.25	—	3.75	V

注 1: 典型值是在以下条件下得到的: TA = 25°C, VDD = 3.3V。

2: 负电流定义为从引脚流出的电流。

表 5-4: 接收器交流特性 (1)

参数	条件	最小值	典型值	最大值	单位
接收器灵敏度	433 MHz 波段 (2)	—	-112	—	dBm
	868 MHz 波段 (2)	—	-110	—	dBm
	915 MHz 波段 (2)	—	-109	—	dBm
最大 RF 输入功率	LNA: 高增益	0	—	—	dBm
RF 输入电容	—	—	1	—	pF
接收器杂散信号的发射	—	—	—	-60	dBm
接收器 BW	模式 0	—	67	—	kHz
	模式 1	—	134	—	kHz
	模式 2	—	200	—	kHz
	模式 3	—	270	—	kHz
	模式 4	—	340	—	kHz
	模式 5	—	400	—	kHz
RSSI 范围	—	—	46	—	dB
RSSI 误差	—	—	±6	—	dB
RSSI 电源依赖性	-100 dBm < 输入信号级别 < -54 dBm 时	—	+35	—	mV/V
模拟 RSSI 滤波器电容	—	1	—	—	nF
RSSI 可编程电平步长	—	—	6	—	dB
数字 RSSI 响应时间	从输入信号超过预编程限制后 (CARRSI = 4.7 nF) 到 RSSI 信号变为高电平的时间	—	500	—	μs
输入 IP3	高波段 (868 MHz 和 915 MHz) 的段内干扰	—	-21	—	dBm
IIP3 (LNA - 6 dB 增益)	低波段 (433 MHz) 的段内干扰	—	-15	—	dBm
IIP3 (LNA - 6 dB 增益)	段外干扰, $ f - f_0 > 4$ MHz	—	-12	—	dBm
FSK 比特率	使用设计支持的内部数字滤波器	0.6	—	115.2	kbps
FSK 比特率	使用设计支持的内部模拟滤波器	—	—	256	kbps
AFC 锁定范围	Δf_{fsk} : 所接收信号的 FSK 偏差	—	$0.8 - \Delta f_{fsk}$	—	—

注 1: 典型值是在以下条件下得到的: $T_A = 25^\circ\text{C}$, $V_{DD} = 3.3\text{V}$, 本地振荡器频率 = 2.445 GHz。

2: $BER = 10E - 3$, $BW = 67$ kHz, $\Delta f = 30$ kHz, 波特率 = 1.2 kbps, 禁止带 AFC 的数字滤波器。

MRF49XA

表 5-5: 发送器交流特性 (1)

参数	条件	最小值	典型值	最大值	单位
RF 载波频率	433 MHz 波段, 2.5 kHz 分辨率	430.24	—	439.75	MHz
	868 MHz 波段, 5.0 kHz 分辨率	860.48	—	879.51	MHz
	915 MHz 波段, 7.5 kHz 分辨率	900.72	—	929.27	MHz
最大 RF 输出功率	433 MHz @ 50Ω 负载	—	7	—	dBm
	868 MHz @ 50Ω 负载	—	5	—	dBm
	915 MHz @ 50Ω 负载	—	5	—	dBm
RF 输出功率控制范围	8 个步长	$P_{max} - 17.5$	—	P_{max}	dBm
TX 增益控制分辨率	可编程, 8 个步长	—	2.5	—	dB
谐波抑制	功率最大时, 50Ω 负载	—	—	-35	dBc
开集输出直流电流	可编程	0.5	—	6	mA
杂散信号发射 $ f - f_{sp} > 1 \text{ MHz}$	最大功率, 50Ω 负载	—	—	-55	dBc
输出电容 (由自动天线调谐电路设置)	433 MHz 波段	2	2.6	3.2	pF
	868 MHz 波段	2.1	2.7	3.3	pF
	915 MHz 波段	2.1	2.7	3.3	pF
输出电容的质量因子	433 MHz 波段	13	15	17	—
	868 MHz 波段	8	10	12	—
	915 MHz 波段	8	10	12	—
输出相位噪声	100 kHz, 来自载波	—	-80	—	dBc/Hz
	1 MHz, 来自载波	—	-103	—	dBc/Hz
FSK 比特率	内部 TX 数据寄存器	—	—	172	kbps
FSK 比特率	连接至 FSK 输入的 TX 数据	—	—	256	kbps
FSK 频率偏差	可编程, 步长为 15 kHz	15	—	240	kHz

注 1: 典型值是在以下条件下得到的: $T_A = 25^\circ\text{C}$, $V_{DD} = 3.3\text{V}$ 。

表 5-6: PLL 参数交流特性 (1)

参数	条件 / 说明	最小值	典型值	最大值	单位
PLL 参考频率	与晶振相关的时序和频率参数 根据 PLL 参考频率变化	9	10	11	MHz
PLL 锁定时间	频率误差 $< 1 \text{ kHz}$ (在 10 MHz 步长后)	—	30	—	μs
PL 启动时间	运行晶体振荡器, 并基于设计 的要求	—	200	300	μs

注 1: 典型值是在以下条件下得到的: $T_A = 25^\circ\text{C}$, $V_{DD} = 3.3\text{V}$ 。

表 5-7: 其他时序参数交流特性⁽¹⁾

参数	条件	最小值	典型值	最大值	单位
发送器开关开启时间	频率合成器关闭, 晶体振荡器开启且步长为 10 MHz	—	250	—	μs
接收器开关开启时间	频率合成器关闭, 晶体振荡器开启且步长为 10 MHz	—	250	—	μs
发送器到接收器的开关时间	TX/RX 切换期间, 频率合成器和晶体振荡器都开启, 且步长为 10 MHz	—	150	—	μs
接收器到发送器的开关时间	RX/TX 切换期间, 频率合成器和晶体振荡器都开启, 且步长为 10 MHz	—	150	—	μs
晶体负载电容 (参见“晶振选择指南”)	可编程, 步长为 0.5 pF, 容差为 ±10%	8.5	—	16	pF
晶振启动时间	默认电容模块设置, 晶体振荡器的 ESR < 50Ω。晶振负载电容 = 16 pF ⁽²⁾	—	2	7	ms
内部 POR 超时	在 VDD 达到最终值的 90% 后 ⁽³⁾	—	—	100	ms
唤醒定时器时钟精度	必须使能晶体振荡器, 以确保启动时正确校准 ⁽²⁾	—	±10	—	%
数字输入电容	—	—	—	2	pF
数字输出上升 / 下降时间	15 pF 纯电容性负载	—	—	10	ns

注 1: 典型值是在以下条件下得到的: TA = 25°C, VDD = 3.3V。

2: 晶体振荡器启动时间取决于振荡器的负载电容值。推荐采用低电容和低 ESR 的晶振, 并采用低寄生电容的 PCB 布线设计。

3: 在上电复位期间, 芯片不接受命令。在软件复位的情况下 (请参见 WTSREG (寄存器 2-14)), 复位超时时间通常为 0.25 ms。

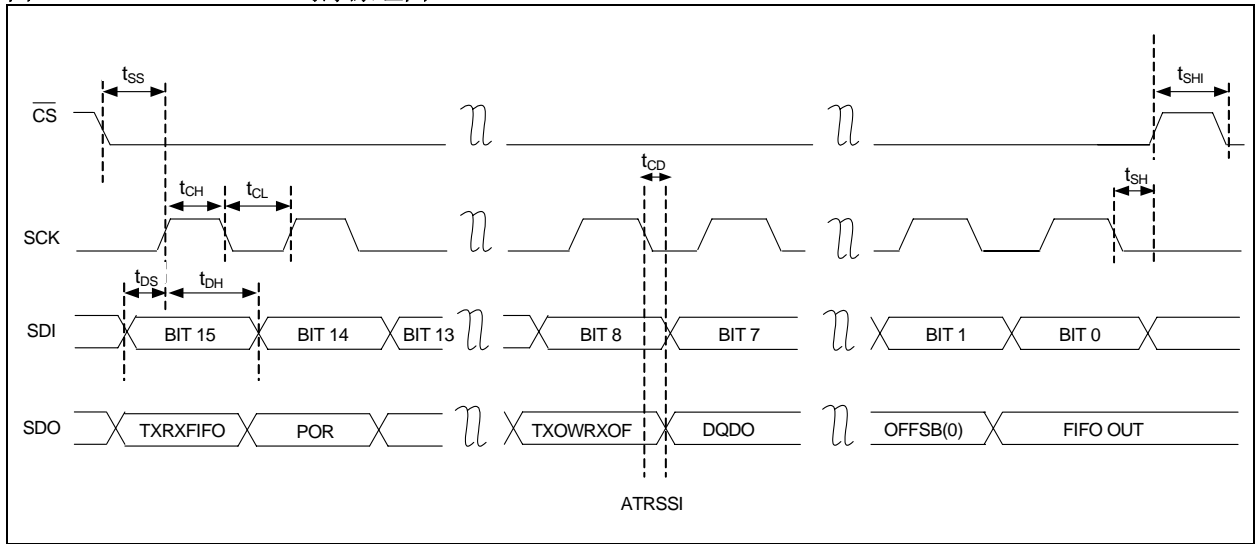
MRF49XA

5.1 时序规范和时序原理图

表 5-8: SPI 时序规范

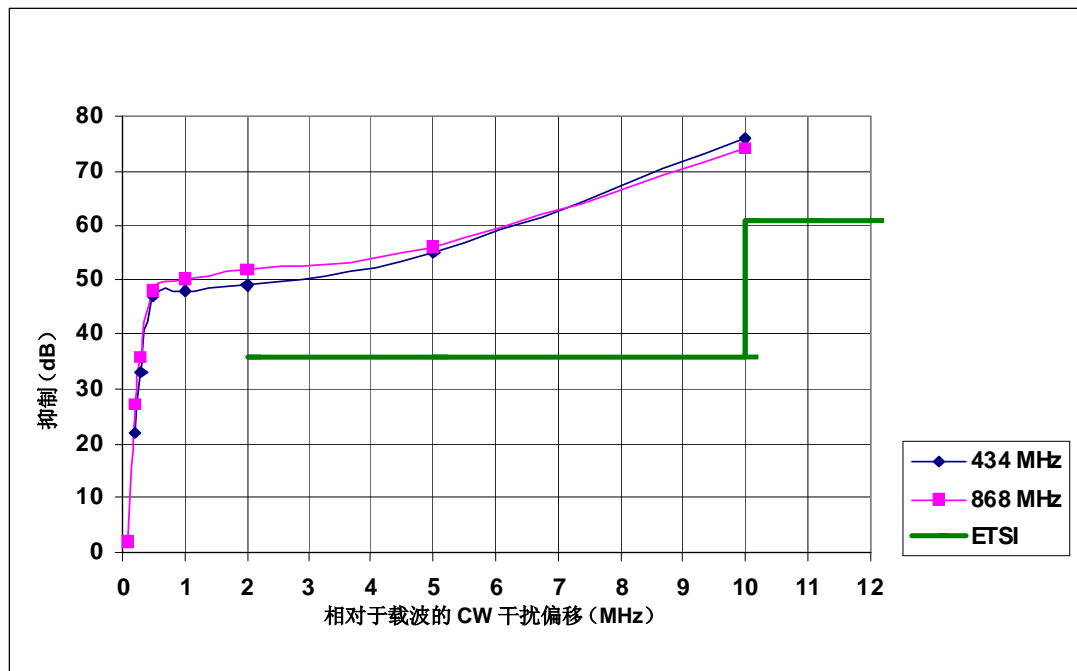
符号	参数	最小值 (ns)
t_{CH}	时钟高电平时间	25
t_{CL}	时钟低电平时间	25
t_{SS}	选择建立时间 (\overline{CS} 下降沿到 SCK 上升沿)	10
t_{SH}	选择保持时间 (SCK 下降沿到 \overline{CS} 上升沿)	10
t_{SHI}	选择高电平时间	25
t_{DS}	数据建立时间 (SDI 变换到 SCK 上升沿)	5
t_{DH}	数据保持时间 (SCK 上升沿到 SDI 变换)	5
t_{OD}	数据延时时间	10

图 5-1: SPI 时序原理图



5.2 典型性能特性

图 5-2: 信道选择和阻塞 (1,2)



- 注 1: LNA 增益为最大值, 滤波器带宽为 67 kHz, 数据传输速率为 9.6 kbps, AFC 关闭, FSK 偏差为 ± 45 kHz, $V_{DD} = 2.7V$ 。
- 注 2: 图中给出的 ETSI 限制是在典型灵敏度为 9.6 kbps, 功率级别为 -106 dBm 的条件下绘制的, 符合接收器 2 级要求。

MRF49XA

图 5-3: 433 MHz 波段时的 BER 曲线

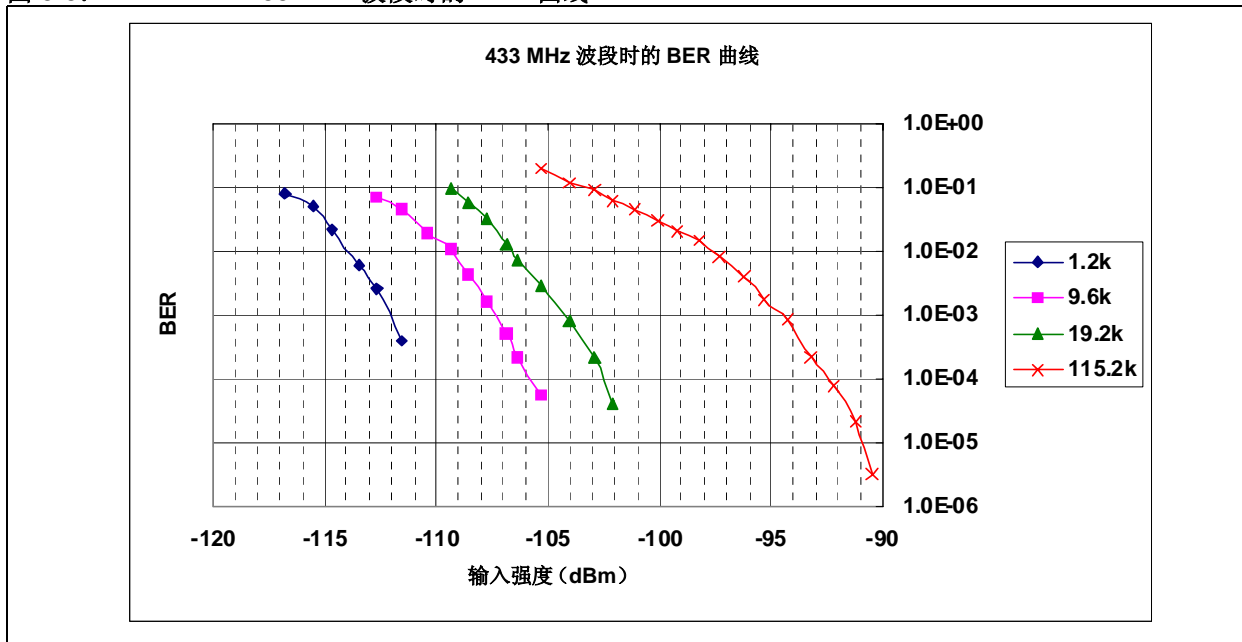


图 5-4: 868 MHz 波段时的 BER 曲线

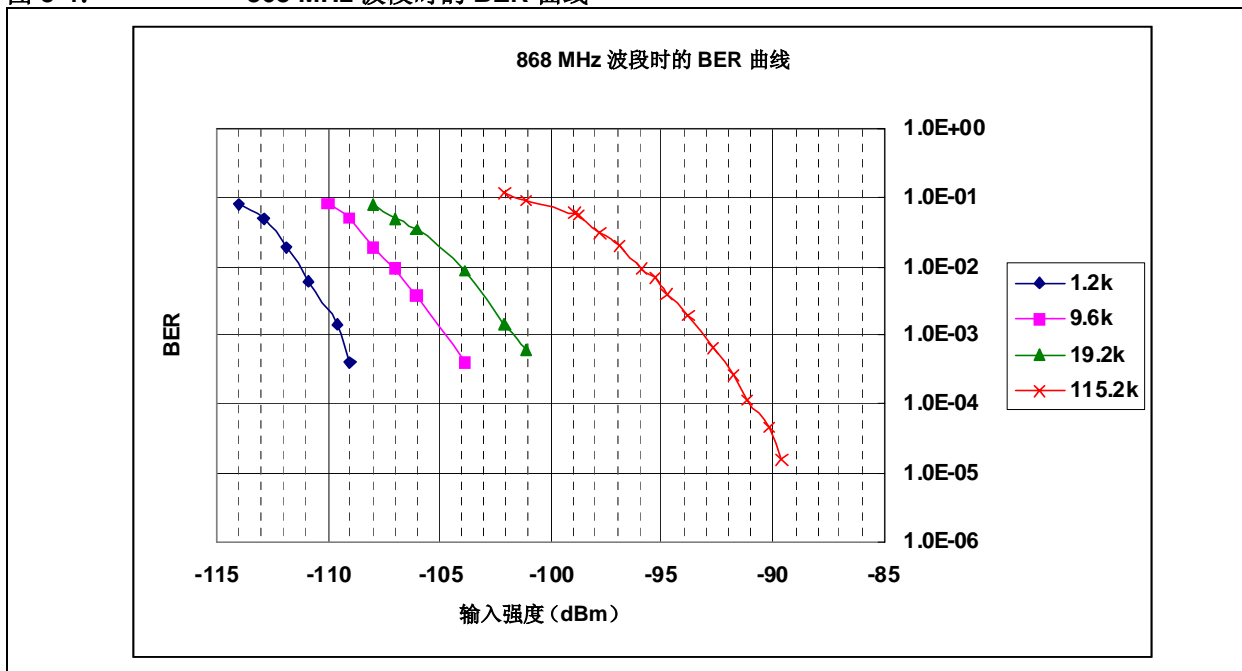


表 5-9 给出了在没有 TX/RX 偏移频率的情况下不同数据传输速率所对应的最佳接收器基带带宽和接收器偏差频率设置 (Δf_{FSK})。如果必须考虑 TX/RX 偏移 (例如, 由晶振容差引起的偏移), 则应相应地增大 BW。

表 5-9: 不同波特率下的接收 BW 和 TX 偏差频率

波特率	1.2 kbps	2.4 kbps	4.8 kbps	9.6 kbps	19.2 kbps	38.4 kbps	57.6 kbps	115.2 kbps
BW (kHz)	BW – 67	BW – 67	BW – 67	BW – 67	BW – 67	BW – 134	BW – 134	BW – 200
ΔTX (kHz)	$\Delta f_{FSK} - 45$	$\Delta f_{FSK} - 45$	$\Delta f_{FSK} - 45$	$\Delta f_{FSK} - 45$	$\Delta f_{FSK} - 45$	$\Delta f_{FSK} - 90$	$\Delta f_{FSK} - 90$	$\Delta f_{FSK} - 120$

MRF49XA

图 5-5: 接收器灵敏度随环境温度的变化 (433 MHz, 2.4 kbps, Δf_{FSK} 为 45 kHz, BW 为 67 kHz)

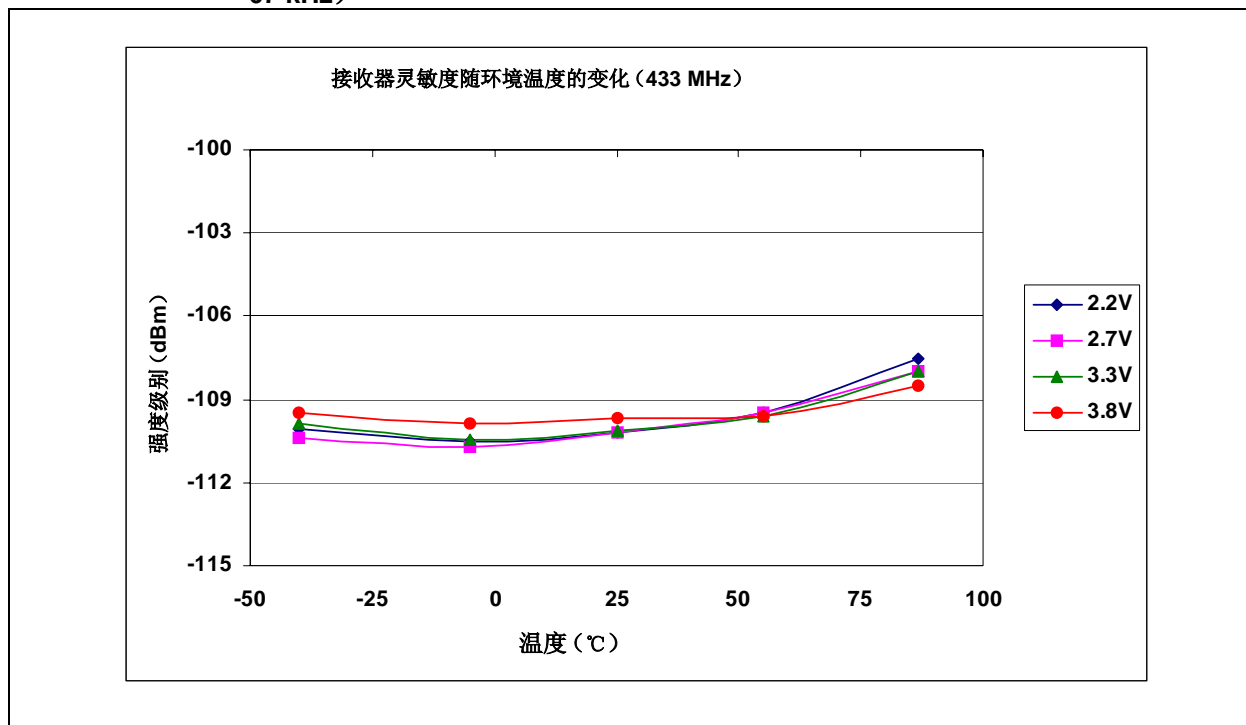
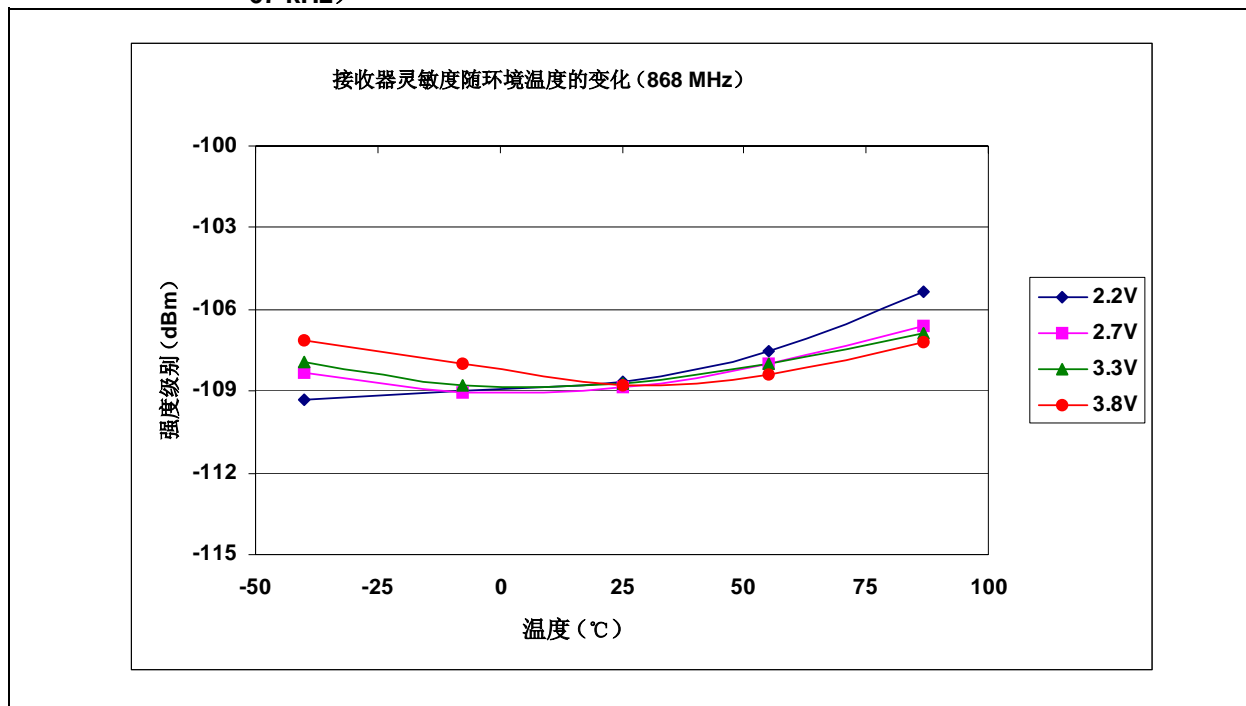


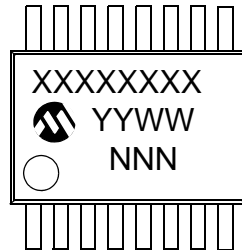
图 5-6: 接收器灵敏度随环境温度的变化 (868 MHz, 2.4 kbps, Δf_{FSK} 为 45 kHz, BW 为 67 kHz)



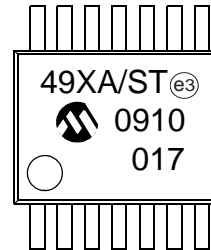
6.0 封装信息

6.1 封装标识信息

16 引脚 TSSOP



示例



图注:	XX...X	客户信息
	Y	年份代码（日历年的最后一位数字）
	YY	年份代码（日历年的最后两位数字）
	WW	星期代码（一月一日的星期代码为“01”）
	NNN	以字母数字排序的追踪代码
	(e3)	雾锡（Matte Tin, Sn）的 JEDEC 无铅标志
	*	表示无铅封装。JEDEC 无铅标志（e3）标示于此种封装的外包装上。
注:	Microchip 元器件编号如果无法在同一行内完整标注，将换行标出，因此会限制表示客户信息的字符数。	

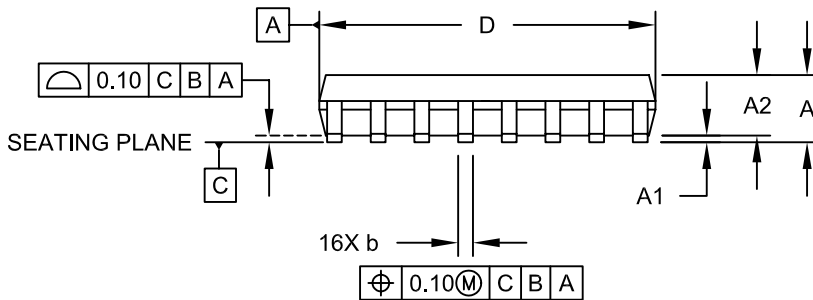
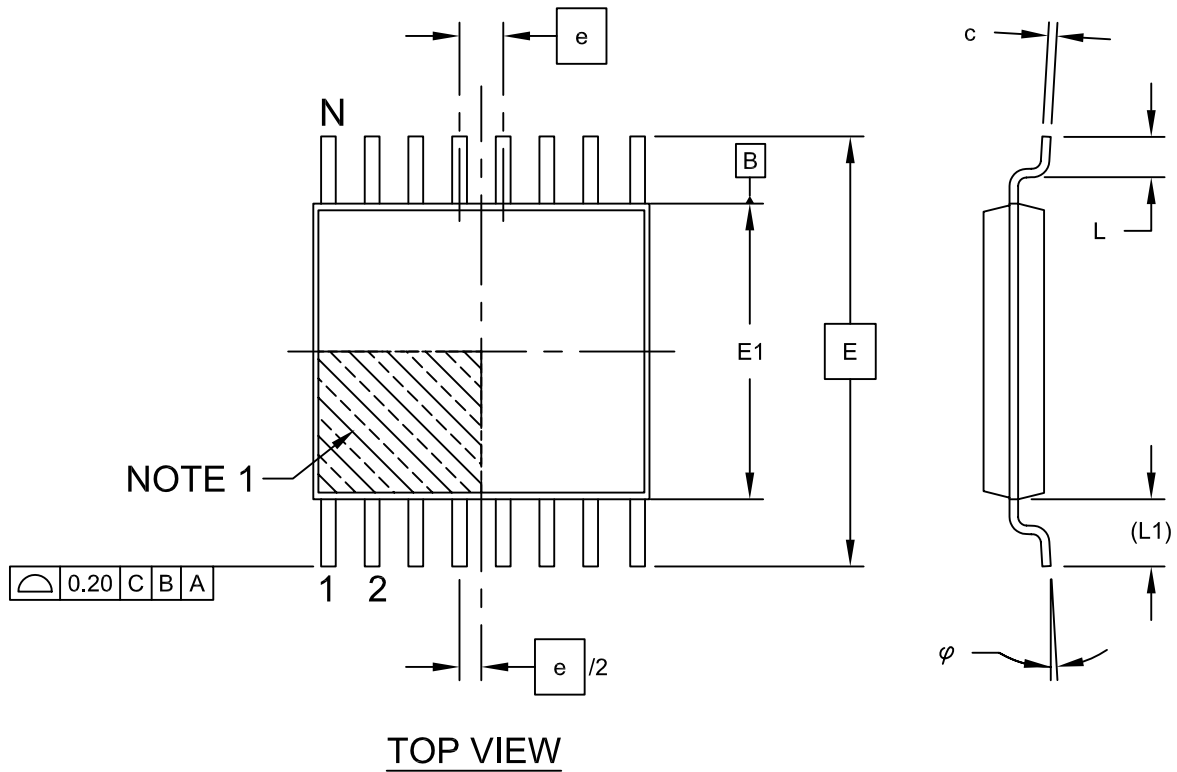
MRF49XA

6.2 封装详细信息

本节给出了封装的技术详细信息。

16 引脚塑封薄型超小外形封装 (ST) —— 主体 4.4 mm [TSSOP]

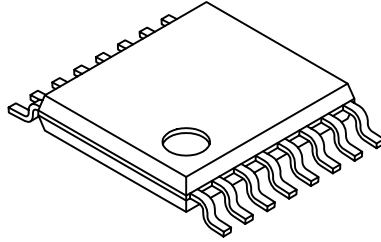
注：最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



Microchip Technology Drawing C04-068A Sheet 1 of 2

16 引脚塑封薄型超小外形封装 (ST) —— 主体 4.4 mm [TSSOP]

注：最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Pins	N	16		
Pitch	e	0.65 BSC		
Overall Height	A	-	-	1.20
Molded Package Thickness	A2	0.80	1.00	1.05
Standoff	A1	0.05	-	0.15
Overall Width	E	6.40 BSC		
Molded Package Width	E1	4.30	4.40	4.50
Molded Package Length	D	4.90	5.00	5.10
Foot Length	L	0.45	0.60	0.75
Footprint	(L1)	1.00 REF		
Foot Angle	φ	0°	-	8°
Lead Thickness	c	0.09	-	0.20
Lead Width	b	0.19	-	0.30

Notes:

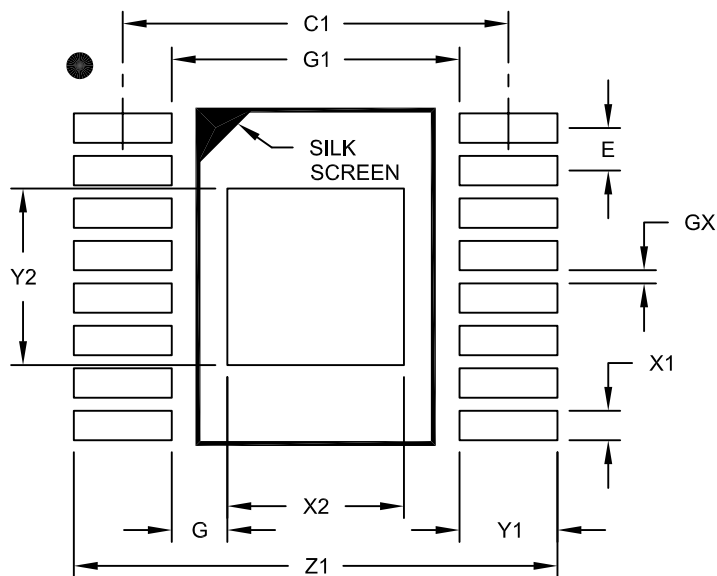
- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.15mm per side.
- Dimensioning and tolerancing per ASME Y14.5M
 BSC: Basic Dimension. Theoretically exact value shown without tolerances.
 REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-068A Sheet 2 of 2

MRF49XA

16 引脚塑封薄型超小外形封装 (ST) —— 主体 4.4 mm [TSSOP]

注：最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



RECOMMENDED LAND PATTERN

Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Contact Pitch	E	0.65 BSC		
Optional Center Pad Length	Y2			2.70
Optional Center Pad Width	X2			2.70
Clearance Between Contact Pads	G1	4.40		
Contact Pad To Center Pad	G	0.73		
Contact Pad Spacing	C1		5.90	
Contact Pad Width (X16)	X1			0.45
Contact Pad Length (X16)	Y1			1.50
Distance Between Pads	GX	0.20		
Overall Width	Z1			7.40

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2068A

附录 A: 读序列和数据包结构

以 FIFO 读为例，图 A-1 给出了 STSREG 读序列。

图 A-1: STSREG 读序列

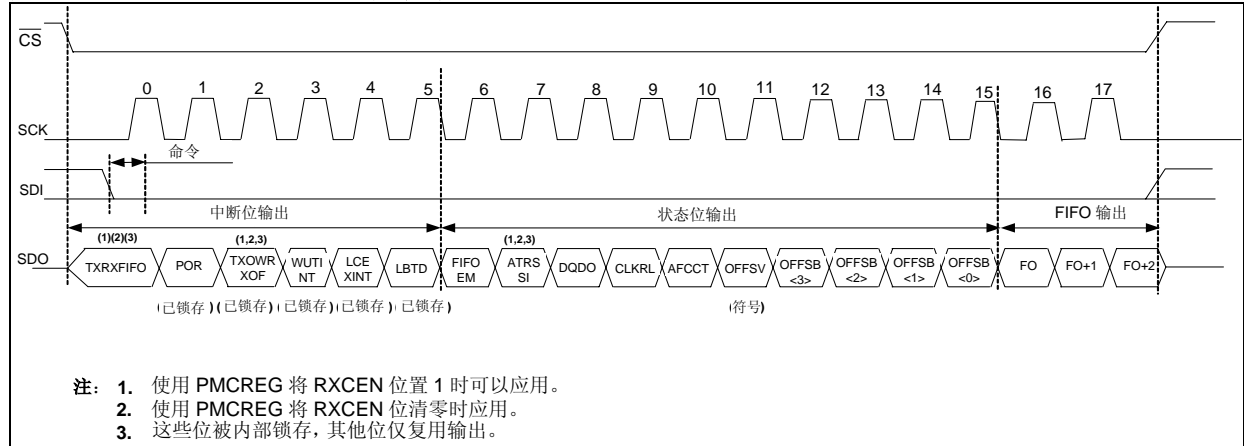


表 A-1: 推荐的 FIFO 数据包结构

长度	前导码	同步字 / 网络 ID	有效负载	CRC
最小长度	4-8 位 (0x0A 或 0x05)	0xD4 (可编程)	—	由 4 位组成 1 个字节
推荐长度	8-12 位 (例如, 0xAA 或 0x55)	0x2DD4 (D4 是可编程的)	—	2 个字节

MRF49XA

注:

附录 B: 版本历史

版本 A (2009 年 3 月)

此文档的初始版本。

版本 B (2009 年 6 月)

对整个文档进行了较大的更新。

MRF49XA

注:

索引

B

版本历史 93

C

元器件清单 75
 初始化 51
 串行外设接口 (SPI) 15
 存储器构成 16

D

低电池电压检测器 14
 低噪声放大器 (LNA) 11
 低占空比模式 14, 62
 电流消耗 78
 电气特性 77
 电源管理 59
 典型应用 1
 读者反馈表 98

F

FIFO 中断 9
 发送寄存器 14
 发送寄存器缓冲数据发送 64
 封装
 标识 87
 详细信息 88
 封装信息 87
 复位
 RESET 引脚 45
 电源毛刺复位 44
 软件复位 45
 上电复位 43
 复位模式选择 33

G

功率放大器 (PA) 11
 功率放大器和低噪声放大器 46
 功能描述 43

H

唤醒定时器 14
 恢复时钟输出 9

I

I/O 引脚输入规范 78

J

寄存器
 AFCCREG (自动频率控制配置) 21
 BBFCREG (基带滤波器配置) 29
 BCSREG (电池电压阈值检测和时钟输出值设置) ... 40
 CFSREG (中心频率值设置) 26
 DCSREG (占空比值设置) 39
 DRSREG (数据传输速率值设置) 35
 FIFORSTREG (FIFO 和复位模式配置) 32
 GENCREG (通用配置) 20
 PLLCREG (PLL 配置) 41
 PMCREG (电源管理配置) 36
 RXCREG (接收控制) 27
 RXFIFOREG (接收器 FIFO 读) 31
 STSREG (状态读) 18
 SYNBREG (同步字节配置) 34
 TXBREG (发送字节) 25
 TXCREG (发送配置) 23

WTSREG (唤醒定时器值设置) 38
 寄存器映射 17
 基带 / 数据滤波 54
 基带特性 1
 基带滤波器 (BBF) 12
 交流特性
 PLL 参数 80
 发送器 80
 接收器 79
 其他时序参数 81
 节能模式
 低电池电压检测器 14
 低占空比模式 14
 唤醒定时器 14
 接收 FIFO 数据缓冲读 68
 接收 — 发送频率对准方法 70
 接收器 FIFO 15
 接收信号强度指示器 (RSSI) 13, 57
 晶振选择指南 48
 晶体振荡器和时钟输出 46
 晶体振荡器 12
 绝对最大额定值 77

K

勘误表 3
 可编程同步字节 57
 客户变更通知 97
 客户支持 97
 框图
 AFC 频率偏移校准电路 50
 DIO 逻辑 56
 MCU 与 MRF49XA 的接口 6
 MRF49XA 架构 8
 MRF49XA 中断发生逻辑 53
 RESET 引脚内部连接 45
 Balun 电路 71
 电源控制位间的逻辑连接 61
 发送期间发送寄存器 65
 发送前发送寄存器 64
 功能节点 6
 双层铜基板 FR4 72
 模拟 RSSI 电压和 RF 输入功率的关系 13
 四层铜基板 FR4 72
 应用电路 71

M

Microchip 网站 97

P

频移键控
 FIFO 选择 9
 数据 9

R

RESET 引脚 11

S

SPI
 时序规范 82
 射频 / 模拟特性 1
 射频晶振 10
 射频收发器匹配 72
 示例
 频率偏差和 BBBW 计算 54
 时序原理图
 带有 FINT 轮询 FIFO 读 69

MRF49XA

FSK 调制偏差（发送到接收的最大偏移值）	55	RFXTL/EXTREF	10
SPI	82	RSSIO	10
STSREG 读序列	91	SCK	9
低电压占空比模式序列	62	SDI	9
接收器 FIFO 读	68	SDO	9
禁止敏感复位	45	VDD	10
上电复位示例	43	Vss	10
使能敏感复位	44	引脚图	2
使用发送寄存器	67	引脚说明	9
使用发送寄存器执行多字节操作	67	因特网网址	97
时钟恢复电路（CLKRC）	12	硬件描述	7
时钟输出	9	原理图	
输出		MRF49XA	74
滤波器电容	9	Z	
数据		自动频率控制（AFC）	12, 49
数据输出	9	中断	10, 51
数据输入	9	LBTD	52
数据滤波和时钟恢复	12	LCEXINT	52
模拟操作	55	POR	52
数字操作	55	TXOWRXOF	52
数据指示器输出（DIO）	13	清除	52
数据有效性模块		设置	52
接收信号强度指示器	13	中断请求输出	9
数据指示器输出	13		
数据质量指示器	13		
数据质量指示器（DQI）	13, 56		
锁相环（PLL）	12, 47		
T			
天线/Balun	71		
天线设计要求	72		
同步字符选择	33		
推荐工作条件	78		
V			
VDD 线路滤波	45		
W			
WWW 地址	97		
WWW 在线支持	3		
外部参考输入	10		
X			
性能特性			
BER 曲线			
433 MHz 波段时	84		
868 MHz 波段时	84		
环境温度下的接收器灵敏度			
433 MHz 时	86		
868 MHz 时	86		
信道选择和阻塞	83		
休眠、唤醒和电池工作	63		
Y			
一般的 PCB 布线设计	72		
引脚			
CLKOUT	9		
CS	9		
DATA	9		
FSK/DATA/FSEL	9		
INT/DIO	10		
IRO	9		
RCLKOUT/FCAP/FINT	9		
RESET	10		
RFN	10		
RFP	10		

MICROCHIP 网站

Microchip 网站 (www.microchip.com) 为客户提供在线支持。客户可通过该网站方便地获取文件和信息。只要使用常用的因特网浏览器即可访问。网站提供以下信息:

- **产品支持**——数据手册和勘误表、应用笔记和样本程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及存档软件
- **一般技术支持**——常见问题 (FAQ)、技术支持请求、在线讨论组以及 Microchip 顾问计划成员名单
- **Microchip 业务**——产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

变更通知客户服务

Microchip 的变更通知客户服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时, 收到电子邮件通知。

欲注册, 请登录 Microchip 网站 www.microchip.com, 点击“变更通知客户 (Customer Change Notification)”服务后按照注册说明完成注册。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助:

- 代理商或代表
- 当地销售办事处
- 应用工程师 (FAE)
- 技术支持

客户应联系其代理商、代表或应用工程师 (FAE) 寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 <http://support.microchip.com> 获得网上技术支持。

MRF49XA

读者反馈表

我们努力为您提供最佳文档，以确保您能够成功使用 Microchip 产品。如果您对文档的组织、条理性、主题及其他有助于提高文档质量的方面有任何意见或建议，请填写本反馈表并传真给我公司 TRC 经理，传真号码为 86-21-5407-5066。请填写以下信息，并从下面各方面提出您对本文档的意见。

致： TRC 经理 总页数 _____
关于： 读者反馈
发自： 姓名 _____
公司 _____
地址 _____
国家 / 省份 / 城市 / 邮编 _____
电话 (_____) _____ 传真 (_____) _____

应用 (选填):

您希望收到回复吗? 是___ 否___

器件: MRF49XA 文献编号: DS70590B_CN

问题

1. 本文档中哪些部分最有特色?

2. 本文档是否满足了您的软硬件开发要求? 如何满足的?

3. 您认为本文档的组织结构便于理解吗? 如果不便于理解, 那么问题何在?

4. 您认为本文档应该添加哪些内容以改善其结构和主题?

5. 您认为本文档中可以删减哪些内容, 而又不会影响整体使用效果?

6. 本文档中是否存在错误或误导信息? 如果存在, 请指出是什么信息及其具体页数。

7. 您认为本文档还有哪些方面有待改进?

产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

器件编号	X	XX	XXX
器件	温度范围	封装	模式
器件	MRF49XA: sub-GHz 射频收发器		
温度范围	I = -40°C 至 +85°C (工业级)		
封装	ST = TSSOP (引脚塑封薄型超小外形无铅封装) T = 卷带式		

示例:

- a) MRF49XA-I/ST: 工业级温度, TSSOP 封装。
- b) MRF49XAT-I/ST: 工业级温度, TSSOP 卷带式封装。

全球销售及服务中心

美洲

公司总部 Corporate Office
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 1-480-792-7200
Fax: 1-480-792-7277

技术支持:
<http://support.microchip.com>
网址: www.microchip.com

亚特兰大 Atlanta
Duluth, GA

Tel: 678-957-9614
Fax: 678-957-1455

波士顿 Boston
Westborough, MA
Tel: 1-774-760-0087
Fax: 1-774-760-0088

芝加哥 Chicago
Itasca, IL
Tel: 1-630-285-0071
Fax: 1-630-285-0075

克里夫兰 Cleveland
Independence, OH
Tel: 216-447-0464

Fax: 216-447-0643

达拉斯 Dallas
Addison, TX
Tel: 1-972-818-7423
Fax: 1-972-818-2924

底特律 Detroit
Farmington Hills, MI
Tel: 1-248-538-2250
Fax: 1-248-538-2260

科科莫 Kokomo
Kokomo, IN
Tel: 1-765-864-8360
Fax: 1-765-864-8387

洛杉矶 Los Angeles
Mission Viejo, CA
Tel: 1-949-462-9523
Fax: 1-949-462-9608

圣克拉拉 Santa Clara
Santa Clara, CA
Tel: 408-961-6444
Fax: 408-961-6445

加拿大多伦多 Toronto
Mississauga, Ontario,
Canada
Tel: 1-905-673-0699
Fax: 1-905-673-6509

亚太地区

亚太总部 Asia Pacific Office
Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2401-1200

Fax: 852-2401-3431

中国 - 北京
Tel: 86-10-8528-2100
Fax: 86-10-8528-2104

中国 - 成都
Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 香港特别行政区
Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 南京
Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青岛
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海
Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 沈阳
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳
Tel: 86-755-8203-2660
Fax: 86-755-8203-1760

中国 - 武汉
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 厦门
Tel: 86-592-238-8138
Fax: 86-592-238-8130

中国 - 西安
Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 珠海
Tel: 86-756-321-0040
Fax: 86-756-321-0049

台湾地区 - 高雄
Tel: 886-7-536-4818
Fax: 886-7-536-4803

台湾地区 - 台北
Tel: 886-2-2500-6610
Fax: 886-2-2508-0102

台湾地区 - 新竹
Tel: 886-3-6578-300
Fax: 886-3-6578-370

亚太地区

澳大利亚 Australia - Sydney
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

印度 India - Bangalore
Tel: 91-80-3090-4444
Fax: 91-80-3090-4080

印度 India - New Delhi
Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

印度 India - Pune
Tel: 91-20-2566-1512
Fax: 91-20-2566-1513

日本 Japan - Yokohama
Tel: 81-45-471-6166
Fax: 81-45-471-6122

韩国 Korea - Daegu
Tel: 82-53-744-4301
Fax: 82-53-744-4302

韩国 Korea - Seoul
Tel: 82-2-554-7200
Fax: 82-2-558-5932 或
82-2-558-5934

马来西亚 Malaysia - Kuala Lumpur
Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

马来西亚 Malaysia - Penang
Tel: 60-4-227-8870
Fax: 60-4-227-4068

菲律宾 Philippines - Manila
Tel: 63-2-634-9065
Fax: 63-2-634-9069

新加坡 Singapore
Tel: 65-6334-8870
Fax: 65-6334-8850

泰国 Thailand - Bangkok
Tel: 66-2-694-1351
Fax: 66-2-694-1350

欧洲

奥地利 Austria - Wels
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

丹麦 Denmark-Copenhagen
Tel: 45-4450-2828
Fax: 45-4485-2829

法国 France - Paris
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

德国 Germany - Munich
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

意大利 Italy - Milan
Tel: 39-0331-742611
Fax: 39-0331-466781

荷兰 Netherlands - Drunen
Tel: 31-416-690399
Fax: 31-416-690340

西班牙 Spain - Madrid
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

英国 UK - Wokingham
Tel: 44-118-921-5869
Fax: 44-118-921-5820