

特点

- 低相位噪声，锁相环（PLL）的
 - 片内VCO调谐从2.30 GHz到2.65 GHz的
 - 外部VCO / VCXO至2.4 GHz的可选
 - 1路差分或2路单端基准输入
 - 参考监控能力
 - 返回式自动和手动参考
 - 切换/缓激模式
 - 接受LVPECL，LVDS或CMOS的参考频率为250 MHz
 - 在路径PFD可编程延迟
 - 数字或模拟锁定检测，可选
- 2双1.6 GHz的LVPECL输出
 - 每对输出共用一个1至32分频器用粗相位延迟
 - 添加剂输出抖动：225 fs的有效值
 - 通道至通道偏移配对的<10 ps的输出
- 2双800MHz的LVDS时钟输出
 - 每对输出共用两个级联的1至32分频器粗相位延迟
 - 添加剂输出抖动：275 fs的有效值
 - 精延时每个LVDS输出调节（ ΔT ）
 - 每个LVDS输出可重新配置为两路250 MHz CMOS输出
 - 上电时所有输出自动同步
 - 手动输出同步提供
 - 采用48引脚LFCSP封装

应用

- 低抖动，低相位噪声时钟分配
- 10/40/100 Gb /秒的网络线卡，包括SONET，同步以太网，OTU2 / 3/4
- 前向纠错（G.710）
- 时钟高速ADC，DAC的，DDS中，DOC的，公爵，MxFeS
- 高性能无线收发器
- ATE和高性能仪器仪表

概述

该 AD9517-1 提供多路输出时钟分配功能与亚皮秒级抖动性能，以及一个片上PLL和VCO。从2.30 GHz的片上VCO调谐以2.65千兆赫。任选的，最多的一个外部VCO / VCXO 2.4GHz的都可以使用。

该 AD9517-1 强调低抖动和相位噪声最大化数据转换器的性能，并且它可以有益于其他应用苛刻的相位噪声和抖动要求。

功能框图

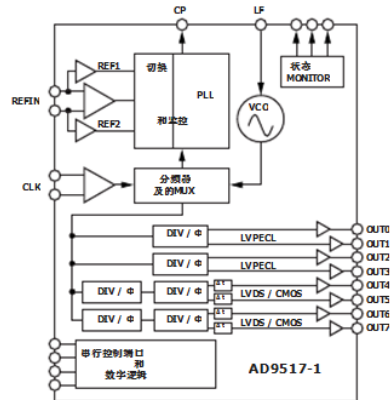


图1。

该 AD9517-1具有四个LVPECL输出（两对）和4路LVDS输出（两对）。每个LVDS输出可重新配置为两个CMOS输出。LVPECL输出操作以1.6 GHz时，LVDS输出工作于800 MHz和在CMOS输出工作频率为250 MHz。

对于需要额外的输出应用中，晶体参考输入，零延迟，或EEPROM用于在自动配置启动时，该AD9520和AD9522是可用的。此外，该AD9516和AD9518类似于AD9517但有不同组合的输出。

每对输出都有分频器，使两者的谐波比和相调延迟（或相位）进行设置。划分范围对于LVPECL输出为1至32。LVDS / CMOS输出允许的范围内分割最多1024。

该 AD9517-1在一个48引脚LFCSP封装，可以从3.3 V单电源供电。外部VCO，这需要更大的电压范围内，可以容纳通过电荷泵电源（VCP）至5伏的单独LVPECL电源可以为2.5 V至3.3 V（标称值）。

该 AD9517-1是在工业中指定的操作范围为-40 °C至+85 °C。

*AD9517是用于整个数据表，指的是所有成员在AD9517系列。然而，当AD9517-1时，它指的是在AD9517系列的特定成员。

