



SST 25 系列串行闪存采用四线、兼容 SPI 的接口，从而实现占用较少电路板空间的低引脚数封装，并最终降低总系统成本。SST25VF064C SPI 串行闪存采用 SST 专有的高性能 CMOS SuperFlash® 技术制造。与其他方法相比，分离栅极单元设计 (split-gate cell design) 和厚氧化层隧穿注入器 (thick-oxide tunneling injector) 可实现更高的可靠性和可制造性。

特性

- 单电压读写操作
 - 2.7-3.6V
- 串行接口架构
 - 兼容 SPI: 模式 0 和模式 3
- 双输入/输出支持
 - 快速读取双输出指令
 - 快速读取双 I/O 指令
- 高速时钟频率
 - 高速读 (0BH) 时为 80 MHz
 - 快速读取双输出 (3BH) 时为 75 MHz
 - 快速读取双 I/O (BBH) 时为 50 MHz
 - 读取指令 (03H) 时为 33 MHz
- 超高可靠性
 - 可擦写次数: 100,000 次 (典型值)
 - 数据保存时间大于 100 年
- 低功耗
 - 读操作工作电流: 12 mA (80 MHz 时的典型值), 对于单个位读取
 - 读操作工作电流: 14 mA (75 MHz 时的典型值), 对于双位读取
 - 待机电流: 5 μ A (典型值)
- 灵活的擦除功能
 - 均一 4 KB 扇区
 - 均一 32 KB 覆盖块
 - 均一 64 KB 覆盖块
- 快速擦除
 - 全片擦除时间: 35 ms (典型值)
 - 扇区/块擦除时间: 18 ms (典型值)
- 页编程
 - 每页 256 字节
 - 单输入和双输入支持
 - 1.5 ms (典型值) 的快速页编程时间
- 写操作结束检测
 - 软件轮询状态寄存器中的 BUSY 位
- 写保护 (WP#)
 - 使能/禁止状态寄存器的锁定功能
- 软件写保护
 - 通过状态寄存器中的块保护位实现写保护
- 安全 ID
 - 可一次性编程 (One-Time Programmable, OTP) 的 256 位安全 ID
 - 出厂前预编程的 64 位唯一标识符
 - 192 位用户可编程
- 温度范围
 - 商业级: 0°C 至 +70°C
 - 工业级: -40°C 至 +85°C
- 可用封装
 - 16 引脚 SOIC (300 mil)
 - 8 触点 WSON (6 mm x 8 mm)
 - 8 引脚 SOIC (200 mil)
- 所有器件均符合 RoHS 标准



产品描述

SST 25 系列串行闪存采用四线、兼容 SPI 的接口，从而实现占用较少电路板空间的低引脚数封装，并最终降低总系统成本。SST25VF064C SPI 串行闪存采用 SST 专有的高性能 CMOS SuperFlash[®] 技术制造。与其他方法相比，分离栅极单元设计（split-gate cell design）和厚氧化层隧穿注入器（thick-oxide tunneling injector）可实现更高的可靠性和可制造性。

SST25VF064C 可以显著提高性能和可靠性，同时降低功耗。该器件使用 2.7-3.6V 的单电源进行写操作（编程或擦除）。消耗的总能量是应用中施加电压、电流和时间的函数。对于任何给定的电压范围，SuperFlash[®] 技术的编程电流更低、擦除时间更短；因此，在任何擦除或编程操作期间消耗的总能量低于其他闪存技术。

SST25VF064C 器件提供 16 引脚 SOIC（300 mil）、8 触点 WSON（6 mm x 8 mm）和 8 引脚 SOIC（200 mil）封装。有关引脚分配，请参见图 2。



框图

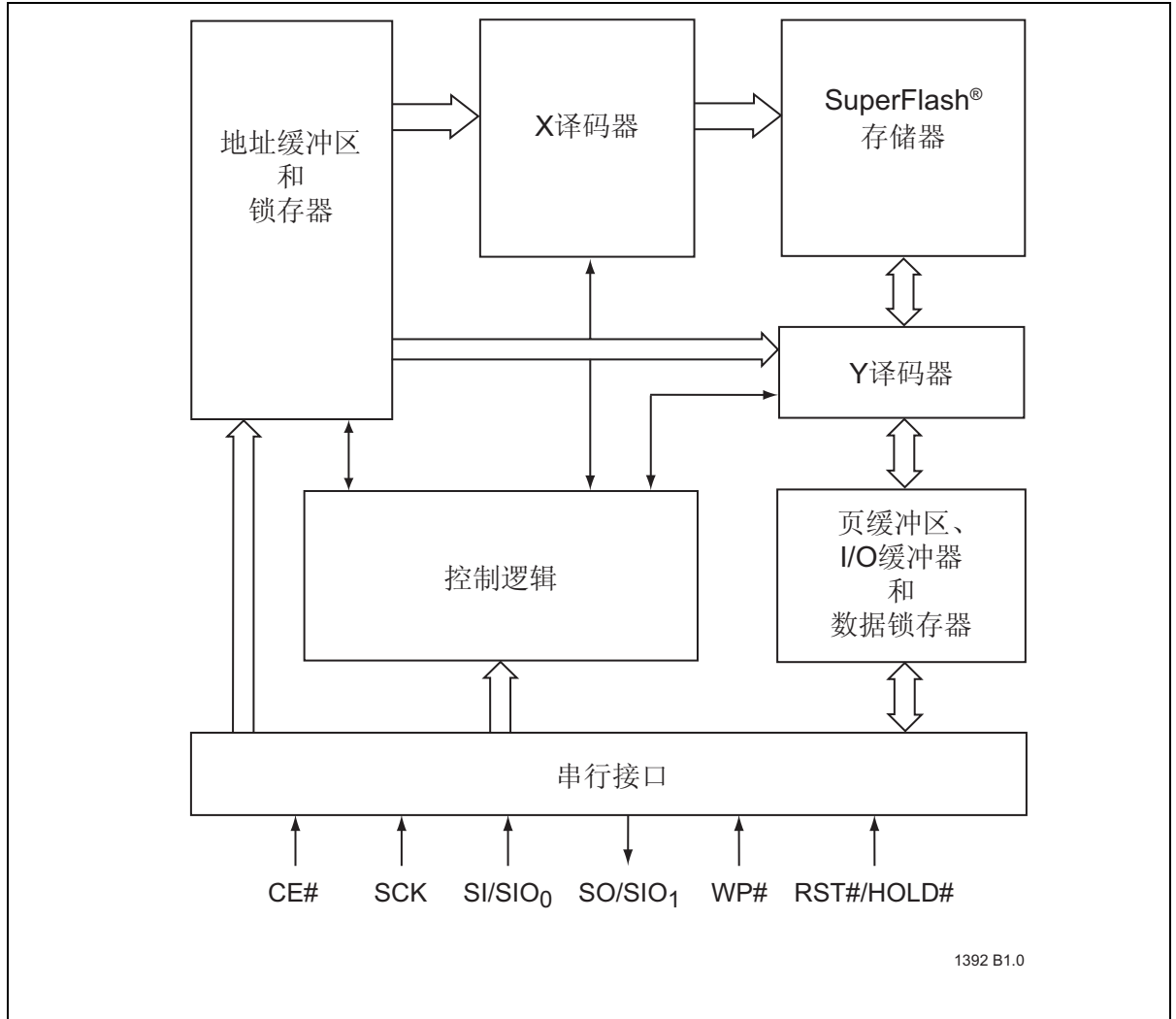


图 1: 功能框图



引脚说明

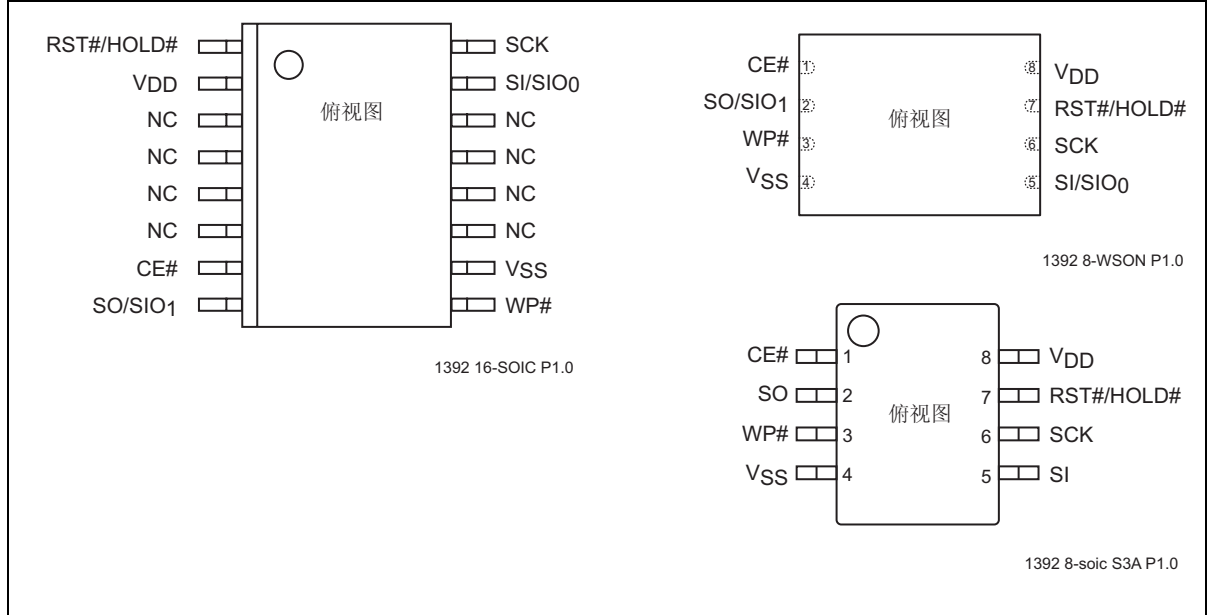


图 2: 16 引脚 SOIC、8 触点 WSON 和 8 引脚 SOIC 的引脚分配

表 1: 引脚说明

符号	引脚名称	功能
SCK	串行时钟	用于提供串行接口的时序。命令、地址或输入数据在时钟输入的上升沿进行锁存，而输出数据在时钟输入的下降沿移出。
SI	串行数据输入	用于以串行方式将命令、地址或数据传送到器件中。输入在串行时钟的上升沿进行锁存。
SO	串行数据输出	用于以串行方式将数据传送到器件。数据在串行时钟的下降沿移出。
SIO[0:1]	双 I/O 模式的串行数据输入/输出	用于以串行方式将命令、地址或数据传送到器件中或传送到器件。输入在串行时钟的上升沿进行锁存。数据在串行时钟的下降沿移出。这些引脚用于双 I/O 模式。
CE#	芯片使能	CE# 上高电平到低电平的转换可使能器件。在任何命令序列的持续时间内，CE# 都必须保持低电平。
WP#	写保护	写保护 (WP#) 引脚用于使能/禁止状态寄存器中的 BPL 位。
RST#/HOLD#	复位	用于复位器件和内部逻辑的操作。器件上电时，默认提供 RST# 引脚功能。
	保持	用于在选择器件时暂时停止与 SPI 闪存存储器的串行通信。这通过指令序列进行选择。有关详细信息，请参见第 5 页的“复位/保持模式”。
VDD	电源	用于提供电源电压：2.7-3.6V
VSS	地	

T1.0 25036



存储器构成

SST25VF064C SuperFlash 存储器阵列由均一 4 KB 可擦除扇区及 32 KB 覆盖块和 64 KB 覆盖可擦除块组成。

器件操作

SST25VF064C 通过兼容 SPI（串行外设接口）总线的协议进行访问。SPI 总线包含四条控制线；芯片使能（CE#）用于选择器件，数据通过串行数据输入（SI）、串行数据输出（SO）和串行时钟（SCK）进行访问。

SST25VF064C 支持 SPI 总线操作的模式 0（0,0）和模式 3（1,1）。如图 3 所示，两种模式之间的差异在于当总线主器件处于待机模式并且没有数据传送时的 SCK 信号状态。SCK 信号在模式 0 时为低电平，在模式 3 时为高电平。对于这两种模式，串行数据输入（SI）在 SCK 时钟信号的上升沿被采样，串行数据输出（SO）在 SCK 时钟信号的下降沿之后被驱动。

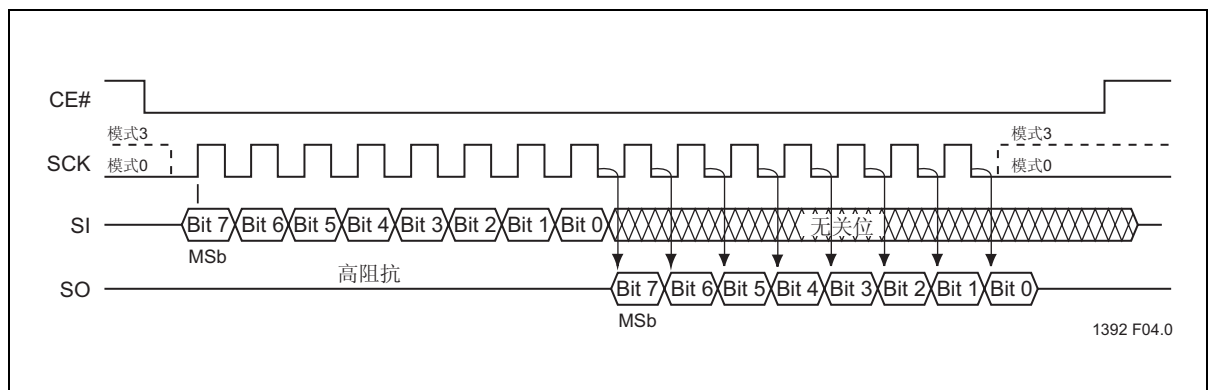


图 3: SPI 协议

复位/保持模式

RST#/HOLD# 引脚提供硬件复位或保持引脚。上电后，RST#/HOLD# 引脚默认为硬件复位引脚（RST#）。该引脚的保持模式是用户选择的选项，在该选项中通过 EHLD 指令使能保持模式。一旦选择为保持引脚（HOLD#），RST#/HOLD# 引脚就会立即配置为 HOLD# 引脚，只有经过掉电和上电序列后才恢复为 RST# 引脚。



复位

如果 RST#/HOLD# 引脚用作复位引脚，则 RST# 引脚提供了复位器件的硬件方法。将 RST# 引脚驱动为高电平可将器件置于正常工作模式。RST# 引脚必须被驱动为低电平，并持续最少 T_{RST} 时间，才能复位器件。器件复位时，SO 引脚处于高阻抗状态。成功的复位会将状态寄存器复位到上电状态（BPL、BUSY 和 WEL = 0；BP3、BP2、BP1 和 BP0 = 1）。有关默认上电模式，请参见表 2。在有效的编程或擦除操作期间复位器件将中止操作，目标地址范围内的数据可能会由于擦除或编程操作中止而发生毁坏或丢失。

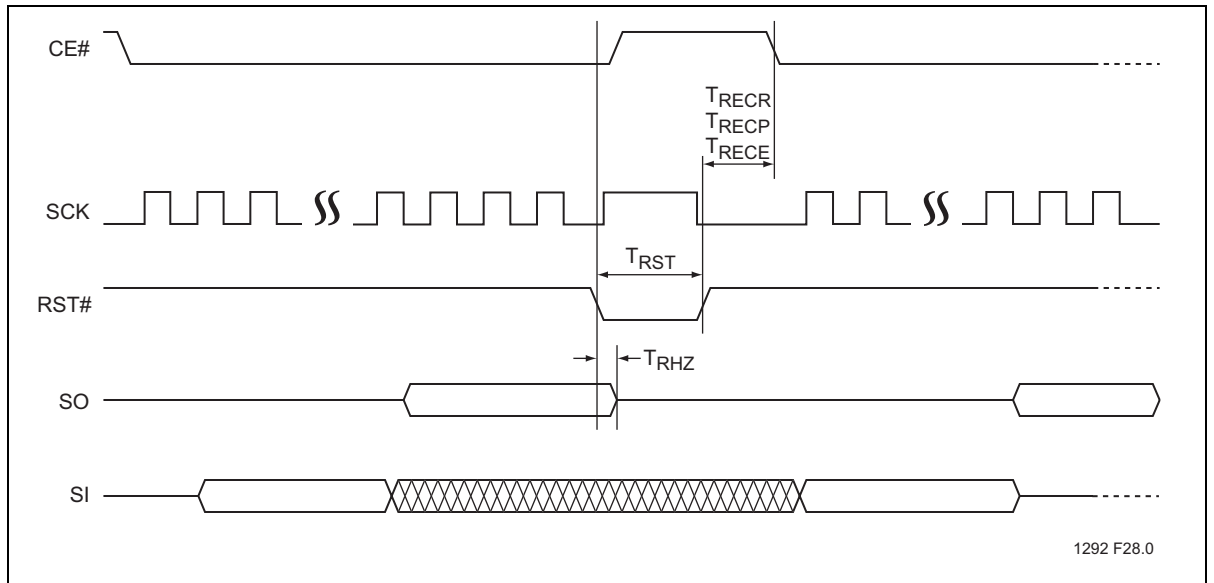


图 4: 复位时序图

表 2: 复位时序参数

符号	参数	最小值	最大值	单位
T_{RST}	复位脉冲宽度	100		ns
T_{RHZ}	复位到高阻态输出		105	ns
T_{RECR}	从读取到复位恢复		100	ns
T_{RECP}	从编程到复位恢复		10	μ s
T_{RECE}	从擦除到复位恢复		1	ms

T2.25036



保持操作

EHL D 指令将使能 RST#/HOLD# 引脚的保持引脚功能。转换为保持引脚之后，RST#/HOLD# 引脚将用作保持引脚，直到器件掉电再上电为止。掉电再上电后，引脚功能恢复为复位引脚（RST#）。

HOLD# 引脚用于暂停使用 SPI 闪存的串行序列，但不会复位时钟序列。要激活 HOLD# 模式，CE# 必须处于有效低电平状态。当 SCK 有效低电平状态与 HOLD# 信号的下降沿同时发生时，HOLD# 模式开始。当 HOLD# 信号的上升沿与 SCK 有效低电平状态同时发生时，保持模式结束。

如果 HOLD# 信号的下降沿未与 SCK 有效低电平状态同时发生，则当 SCK 再次达到有效低电平状态时器件进入保持模式。同样，如果 HOLD# 信号的上升沿未与 SCK 有效低电平状态同时发生，则当 SCK 再次达到有效低电平状态时器件退出保持模式。有关保持条件波形，请参见图 5。

器件进入保持模式之后，SO 将处于高阻抗状态，而 SI 和 SCK 可以为 V_{IL} 或 V_{IH} 。

如果在保持条件期间将 CE# 驱动为高电平，则器件恢复到待机模式。只要 HOLD# 信号为低电平，存储器就会保持在保持条件下。要继续与器件进行通信，必须将 HOLD# 驱动为有效高电平，并将 CE# 驱动为有效低电平。有关保持时序，请参见图 5。

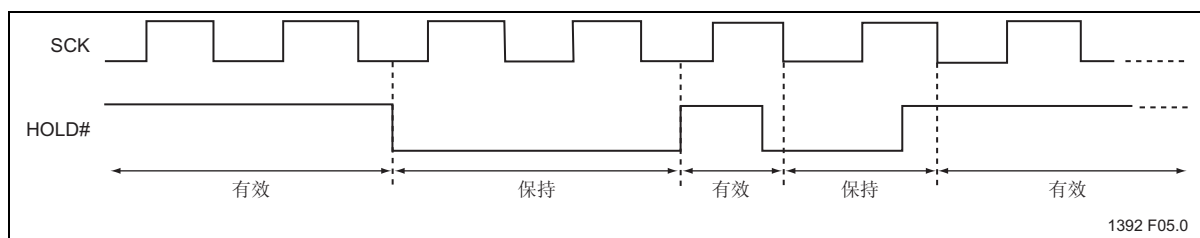


图 5： 保持条件波形

写保护

SST25VF064C 提供了软件写保护。写保护引脚（WP#）用于使能或禁止状态寄存器的锁定功能。状态寄存器中的块保护位（BP3、BP2、BP1、BP0 和 BPL）提供对存储器阵列和状态寄存器的写保护。有关块保护的说明，请参见表 5。

写保护引脚（WP#）

写保护（WP#）引脚用于使能状态寄存器的 BPL 位（bit 7）的锁定功能。当 WP# 驱动为低电平时，是否执行写状态寄存器（WRSR）指令由 BPL 位的值（见表 3）决定。当 WP# 为高电平时，BPL 位的锁定功能被禁止。

表 3： 执行写状态寄存器（WRSR）指令的条件

WP#	BPL	执行 WRSR 指令
L	1	不允许
L	0	允许
H	X	允许

T3.0 25036



安全 ID

SST25VF064C 提供 256 位安全 ID (Sec ID) 功能。安全 ID 空间分为两个部分——一个出厂前编程的 64 位段和一个用户可编程的 192 位段。出厂前编程的段在 SST 使用惟一数字进行编程，无法更改。用户可编程的段保留未编程，供客户根据需要进行编程。

使用编程 SID 命令可通过表 7 中显示的地址对安全 ID 进行编程。编程后，可使用“锁定 SID”命令锁定安全 ID。这可阻止将来对安全 ID 进行的任何写操作。

无法对安全 ID 的出厂前编程部分进行编程，而且无法擦除任何安全 ID。

状态寄存器

软件状态寄存器提供有关闪存存储器阵列是否可进行任何读或写操作的状态、器件是否写使能以及存储器写保护的状态。在内部擦除或编程操作期间，可对状态寄存器只进行读操作，以确定正在进行的操作的完成状态。表 4 列出了软件状态寄存器中每个位的功能。

表 4: 状态寄存器

Bit	名称	功能	上电时的默认值	读/写
0	BUSY	1 = 内部写操作正在进行 0 = 没有内部写操作正在进行	0	R
1	WEL	1 = 器件处于存储器写使能状态 0 = 器件未处于存储器写使能状态	0	R
2	BP0	指示当前的块写保护级别 (见表 5)	1	R/W
3	BP1	指示当前的块写保护级别 (见表 5)	1	R/W
4	BP2	指示当前的块写保护级别 (见表 5)	1	R/W
5	BP3	指示当前的块写保护级别 (见表 5)	1	R/W
6	SEC ¹	安全 ID 状态 1 = 安全 ID 空间锁定 0 = 安全 ID 空间未锁定	0 ¹	R
7	BPL	1 = BP3、BP2、BP1 和 BP0 为只读位 0 = BP3、BP2、BP1 和 BP0 可读/写	0	R/W

T4.0 25036

1. 在成功执行“锁定 SID”指令后，上电时的安全 ID 状态将始终为“1”；否则，上电时的默认值为“0”。



BUSY

BUSY 位确定是否有内部擦除或编程操作正在进行中。BUSY 位为“1”表示器件正忙于操作。BUSY 位为“0”表示器件准备好进行下一个有效操作。

写使能锁存器 (WEL)

写使能锁存器位表示内部存储器写使能锁存器的状态。如果写使能锁存器位置“1”，则表示器件写使能。如果该位置“0”（复位），则表示器件未写使能，并且不接受任何存储器写（编程/擦除）命令。在下列条件下，写使能锁存器位自动复位：

- 上电
- 写禁止 (WRDI) 指令完成
- 写状态寄存器指令完成
- 页编程指令完成
- 双输入页编程指令完成
- 扇区擦除指令完成
- 块擦除指令完成
- 全片擦除指令完成
- 编程 SID 指令完成
- 锁定 SID 指令完成

块保护 (BP3、BP2、BP1 和 BP0)

块保护 (BP3、BP2、BP1 和 BP0) 位定义了要通过软件保护方式防止任何存储器写（编程或擦除）操作的存储器区域的大小，如表 5 所示。只要 WP# 为高电平或块保护锁定 (Block-Protect-Lock, BPL) 位为 0，就可以使用写状态寄存器 (WRSR) 指令编程 BP3、BP2、BP1 和 BP0 位。仅当块保护位全部为 0 时，才能执行全片擦除。上电后，BP3、BP2、BP1 和 BP0 设置为表 5 中指定的默认值。

块保护锁定 (BPL)

WP# 引脚驱动为低电平 (V_{IL}) 时，将使能块保护锁定 (BPL) 位。当 BPL 置 1 时，将阻止对 BPL、BP3、BP2、BP1 和 BP0 位的任何进一步修改。当 WP# 引脚驱动为高电平 (V_{IH}) 时，BPL 位没有任何作用，其值为“无关”。上电后，BPL 位复位为 0。



安全 ID 状态 (SEC)

安全 ID 状态 (SEC) 位指示何时锁定安全 ID 空间以阻止写命令。主机发出“锁定 SID”命令后，SEC 位置“1”。一旦主机发出“锁定 SID”命令，SEC 位就无法再复位为“0”。

表 5: SST25VF064C 的软件状态寄存器块保护

保护级别	状态寄存器位 ¹				受保护的存储器地址
	BP3	BP2	BP1	BP0	64 Mb
无	0	0	0	0	无
前 1/128	0	0	0	1	7F0000H-7FFFFFFH
前 1/64	0	0	1	0	7E0000H-7FFFFFFH
前 1/32	0	0	1	1	7C0000H-7FFFFFFH
前 1/16	0	1	0	0	780000H-7FFFFFFH
前 1/8	0	1	0	1	700000H-7FFFFFFH
前 1/4	0	1	1	0	600000H-7FFFFFFH
前 1/2	0	1	1	1	400000H-7FFFFFFH
所有块	1	0	0	0	000000H-7FFFFFFH
所有块	1	0	0	1	000000H-7FFFFFFH
所有块	1	0	1	0	000000H-7FFFFFFH
所有块	1	0	1	1	000000H-7FFFFFFH
所有块	1	1	0	0	000000H-7FFFFFFH
所有块	1	1	0	1	000000H-7FFFFFFH
所有块	1	1	1	0	000000H-7FFFFFFH
所有块	1	1	1	1	000000H-7FFFFFFH

T5.0 25036

1. 上电时，BP3、BP2、BP1 和 BP0 的默认值为“1111”（所有块均受保护）。



指令

指令用于读、写（擦除和编程）和配置 SST25VF064C。指令总线周期是 8 个表示命令（操作码）、数据和地址的位。写使能（WREN）指令必须在任何页编程、双输入页编程、扇区擦除、块擦除、写状态寄存器、全片擦除、对 SID 编程或锁定 SID 指令之前执行。表 6 提供了完整的指令列表。

所有指令在 CE# 从高电平转换到低电平时同步。在 SCK 的上升沿从最高有效位开始接受输入。在输入指令之前，CE# 必须驱动为低电平，而在输入指令的最后一位后，CE# 必须驱动为高电平（读、读 ID 和读状态寄存器指令除外）。在接收到指令总线周期的最后一位之前，CE# 上任何低电平到高电平的转换都将终止正在进行的指令，并将器件恢复为待机模式。指令命令（操作码）、地址和数据都先从最高有效位（Most Significant Bit, MSb）输入。

表 6: 器件操作指令

指令	说明	操作码周期 ¹	地址周期 ²	空周期	数据周期
读	读存储器	0000 0011b (03H)	3	0	1 至 ∞
快速读取双 I/O	通过双地址输入和数据输出读取存储器	1011 1011b (BBH)	3 ³	1 ³	1 至 ∞ ³
快速读取双输出	通过双输出读取存储器	0011 1011b (3BH)	3	1	1 至 ∞ ³
高速读	以较高速度读存储器	0000 1011b (0BH)	3	1	1 至 ∞
扇区擦除 ⁴	擦除 4 KB 的存储器阵列	0010 0000b (20H)	3	0	0
32 KB 块擦除 ⁵	擦除 32 KB 块的存储器阵列	0101 0010b (52H)	3	0	0
64 KB 块擦除 ⁶	擦除 64 KB 块的存储器阵列	1101 1000b (D8H)	3	0	0
全片擦除	擦除全部存储器阵列	0110 0000b (60H) 或 1100 0111b (C7H)	0	0	0
页编程	对 1 至 256 数据字节进行编程	0000 0010b (02H)	3	0	1 至 256
双输入页编程	对 1 至 256 数据字节进行编程	1010 0010b (A2H)	3	0	1 至 128 ³
RDSR ⁷	读取状态寄存器	0000 0101b (05H)	0	0	1 至 ∞
EWSR	使能写状态寄存器	0101 0000b (50H)	0	0	0
WRSR	写状态寄存器	0000 0001b (01H)	0	0	1
WREN	写使能	0000 0110b (06H)	0	0	0
WRDI	写禁止	0000 0100b (04H)	0	0	0
RDID ⁸	读 ID	1001 0000b (90H) 或 1010 1011b (ABH)	3	0	1 至 ∞
JEDEC-ID	JEDEC ID 读	1001 1111b (9FH)	0	0	3 至 ∞
EHLD	使能 RST#/HOLD# 引脚的 HOLD# 引脚功能	1010 1010b (AAH)	0	0	0
读 SID	读安全 ID	1000 1000b (88H)	1	1	1 至 32
对 SID 编程 ⁹	对用户安全 ID 区域进行编程	1010 0101b (A5H)	1	0	1 至 24
锁定 SID ⁹	锁定安全 ID 编程	1000 0101b (85H)	0	0	0

T6.0 25036

1. 一个总线周期等于八个时钟周期。



2. 最高有效位以上的地址位可以是 V_{IL} 或 V_{IH} 。
3. 一个总线周期为四个时钟周期（双操作）。
4. 4 KB 扇区擦除地址：使用 $A_{MS}-A_{12}$ ，其余地址没有影响，但必须设置为 V_{IL} 或 V_{IH} 。
5. 32 KB 块擦除地址：使用 $A_{MS}-A_{15}$ ，其余地址没有影响，但必须设置为 V_{IL} 或 V_{IH} 。
6. 64 KB 块擦除地址：使用 $A_{MS}-A_{16}$ ，其余地址没有影响，但必须设置为 V_{IL} 或 V_{IH} 。
7. 读状态寄存器继续使用当前时钟周期，直到被 $CE\#$ 上低电平到高电平的转换终止。
8. 当 $A_0=0$ 时读取制造商 ID，当 $A_0=1$ 时读取器件 ID。所有其他地址位均为 00H。制造商 ID 和器件 ID 输出流一直持续到被 $CE\#$ 上低电平到高电平的转换终止为止。
9. 需要先执行 WREN 命令。

读（33 MHz）

读指令（03H）支持最高为 33 MHz 的读操作。器件从指定的地址单元开始输出数据。数据输出流连续遍历所有地址，直到被 $CE\#$ 上低电平到高电平的转换终止。内部地址指针将自动递增，直到达到最高的存储器地址为止。达到最高的存储器地址后，地址指针将自动递增到地址空间的开始位置（回绕）。例如，从地址单元 7FFFFFFH 读取数据之后，下一次输出将来自地址单元 000000H。

通过执行 8 位命令 03H（后面紧跟地址位 $A_{23}-A_0$ ）来启动读指令。在读周期的持续时间内， $CE\#$ 必须保持有效低电平。有关读序列，请参见图 6。

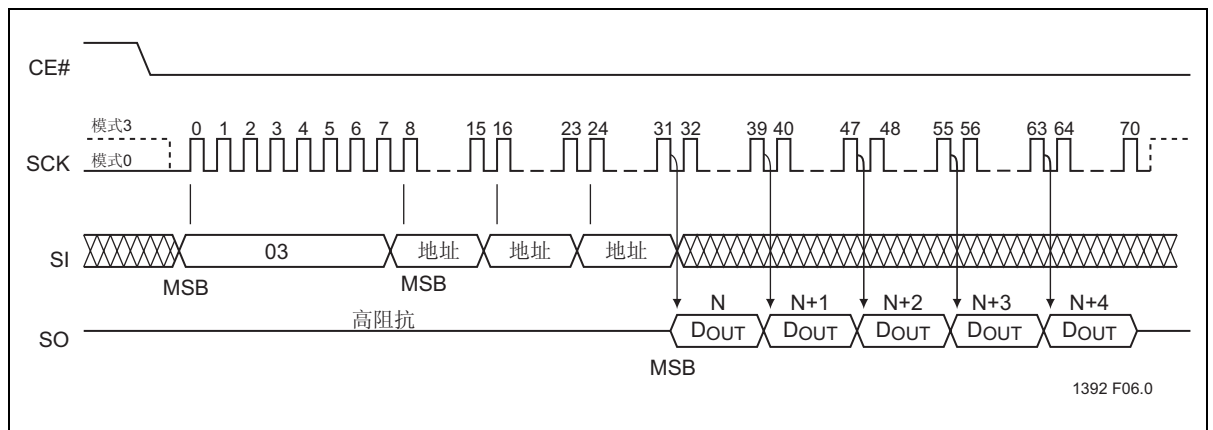


图 6： 读序列



高速读 (80 MHz)

高速读指令支持最高为 80 MHz 的读操作，通过执行 8 位命令 0BH（后面紧跟地址位 A₂₃-A₀ 和一个空字节）来启动。在高速读周期的持续时间内，CE# 必须保持有效低电平。有关高速读序列，请参见图 7。

在一个空周期之后，高速读指令从指定的地址单元开始输出数据。数据输出流连续遍历所有地址，直到被 CE# 上低电平到高电平的转换终止。内部地址指针将自动递增，直到达到最高的存储器地址为止。达到最高的存储器地址后，地址指针将自动递增到地址空间的开始位置（回绕）。例如，从地址单元 7FFFFFFH 读取数据之后，下一次输出将来自地址单元 000000H。

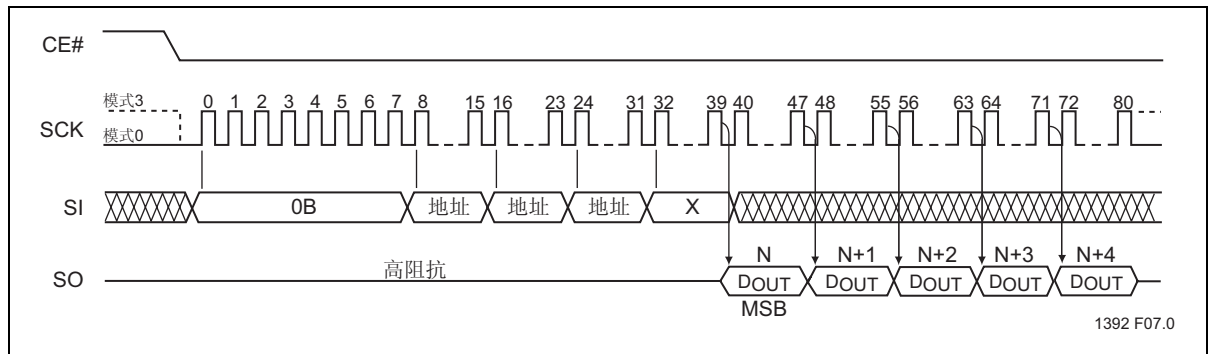


图 7: 高速读序列



快速读取双输出 (75 MHz)

快速读取双输出 (3BH) 指令以最高 75 MHz 的频率从 SIO₀ 和 SIO₁ 引脚输出数据。通过在 SI/SIO₀ 上执行 8 位命令 (3BH) (后面紧跟地址位 A23-A0 和一个空字节) 来启动该指令。在一个空周期之后, 快速读取双输出指令从 SIO₁ 和 SIO₀ 线上指定的地址单元开始输出数据。在每个时钟序列, SIO₁ 输出奇数数据位 D7、D5、D3 和 D1, SIO₀ 输出偶数数据位 D6、D4、D2 和 D0。在快速读取双输出指令周期的持续时间内, CE# 必须保持有效低电平。有关快速读取双输出序列, 请参见图 8。

数据输出流连续遍历所有地址, 直到被 CE# 上低电平到高电平的转换终止。内部地址指针将自动递增, 直到达到最高的存储器地址为止。达到最高的存储器地址后, 地址指针将自动递增到地址空间的开始位置 (回绕)。对于 64 Mb 容量, 从地址单元 7FFFFFFH 读取数据之后, 下一次输出将来自地址单元 000000H。

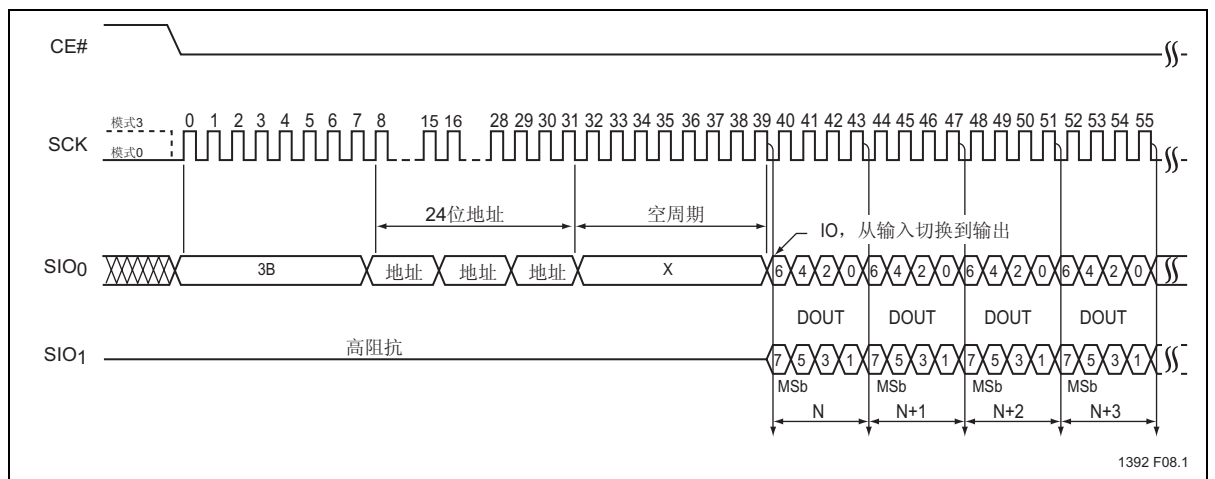


图 8: 快速读取双输出序列



快速读取双 I/O (50 MHz)

快速读取双 I/O (BBH) 指令可减少输入时钟周期的总数, 从而实现更快的数据访问。首先, 通过将芯片使能 **CE#** 驱动为低电平来选择器件。通过在 **SI/SIO₀** 上执行 8 位命令 (BBH) 来启动快速读取双 I/O, 然后, 器件在 **SI/SIO₀** 和 **SO/SIO₁** 上接受地址位 **A23-A0** 和一个空字节。该指令提供了以每时钟两位的速度输入地址位 **A23-A0** 的能力。奇地址位 **A23** 至 **A1** 在 **SIO₁** 上输入, 偶地址位 **A22** 至 **A0** 在 **SIO₀** 上输入, 两者交替进行。例如, 首先输入最高有效位, 然后输入 **A23/22**、**A21/A20** 等等。每个位在串行时钟 (**SCK**) 的同一个上升沿进行锁存。空时钟期间的输入数据为“无关”。但是, 在第一个数据输出时钟的下降沿之前, **SIO₀** 和 **SIO₁** 引脚必须处于高阻抗状态。

在一个空周期之后, 快速读取双 I/O 指令从 **SIO₁** 和 **SIO₀** 线上指定的地址单元开始输出数据。在每个时钟序列, **SIO₁** 输出奇数数据位 **D7**、**D5**、**D3** 和 **D1**; 在每个时钟边沿, **SIO₀** 输出偶数数据位 **D6**、**D4**、**D2** 和 **D0**。在快速读取双 I/O 指令周期的持续时间内, **CE#** 必须保持有效低电平。数据输出流连续遍历所有地址, 直到被 **CE#** 上低电平到高电平的转换终止。

内部地址指针将自动递增, 直到达到最高的存储器地址为止。达到最高的存储器地址后, 地址指针将自动递增到地址空间的开始位置 (回绕)。例如, 从地址单元 **7FFFFH** 读取数据之后, 下一次输出将来自地址单元 **00000H**。有关快速读取双 I/O 序列, 请参见图 9。

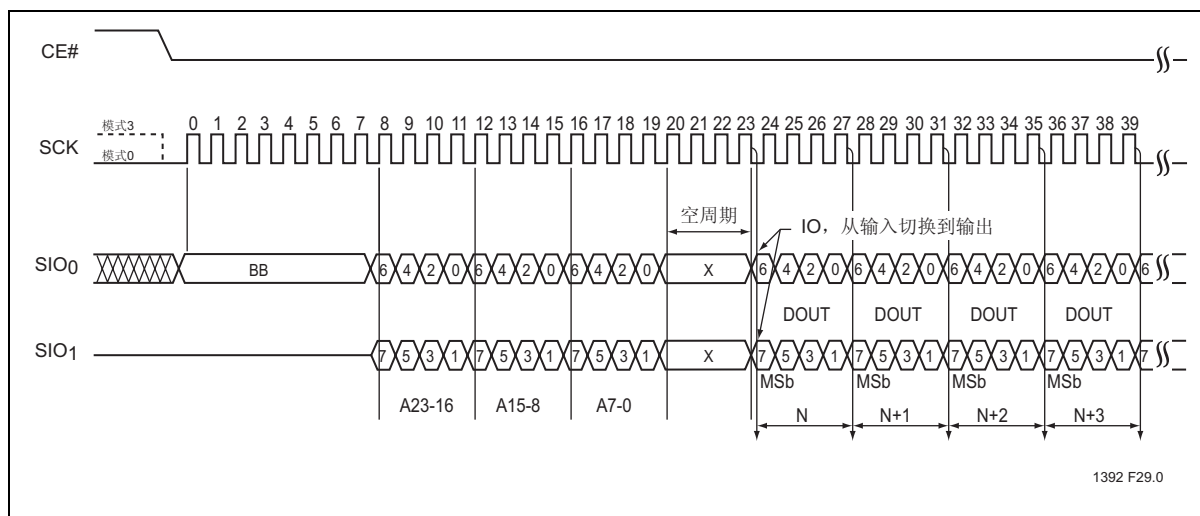


图 9: 快速读取双 I/O 序列



页编程

页编程指令最多可对存储器中的 256 字节数据进行编程。启动页编程操作前，所选页地址必须处于已擦除状态（FFH）。应用到受保护存储器区域的页编程指令将被忽略。

在执行编程操作之前，必须先执行写使能（WREN）指令。在页编程指令的持续时间内，CE# 必须保持有效低电平。通过执行 8 位命令 02H（后面紧跟地址位 A23-A0）来启动页编程指令。在地址后面，数据输入至少需要一个字节。在执行指令之前，CE# 必须驱动为高电平。用户可以轮询软件状态寄存器中的 BUSY 位，或等待 T_{PP} 时间让内部自定时页编程操作完成。有关页编程序列，请参见图 10。

对于页编程，SST25VF064C 的存储器范围以 256 字节页边界设置。器件将最后 256 字节的移位数据保持为要编程的正确数据，来应对超过 256 字节的数据的移位问题。如果页编程指令的目标地址不是页边界的开始位置（A7-A0 不全为 0），并且数据输入数超出或覆盖页边界地址的末尾，则超出的数据输入将回绕，并将在目标页的起始位置编程。

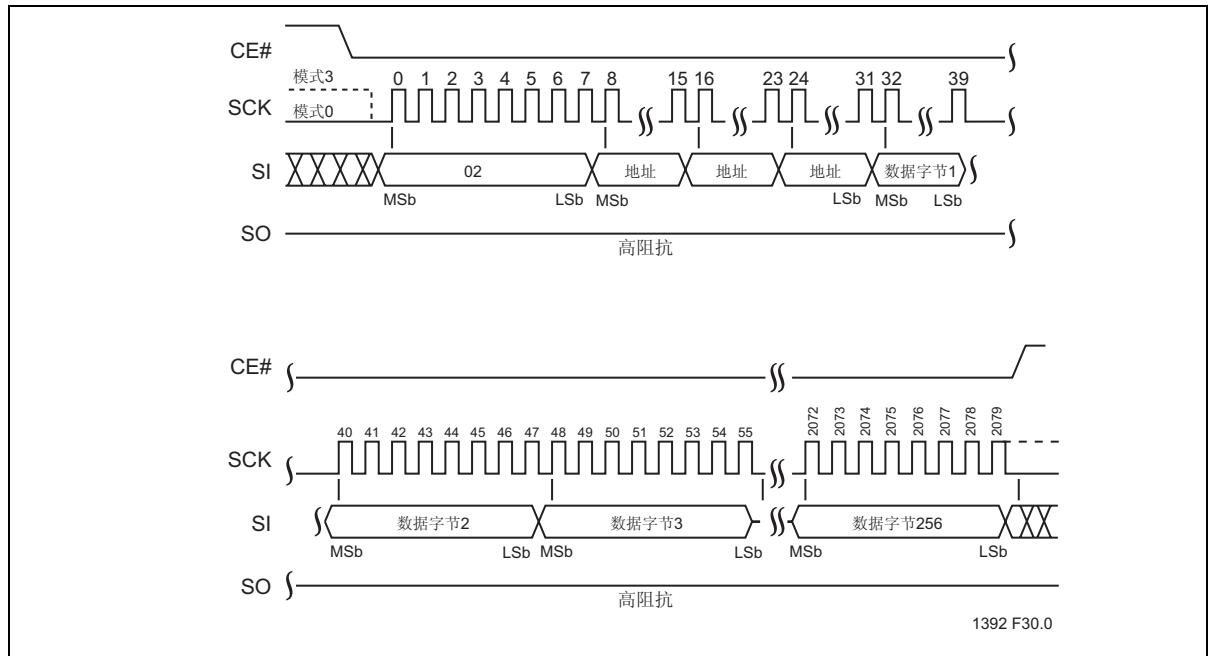


图 10: 页编程序列



双输入页编程 (50 MHz)

双输入页编程指令 A2H 使普通页编程指令的数据输入传输速度加倍，最高可支持 50 MHz。使用两个 I/O 引脚 SIO₁ 和 SIO₀ 输入要编程的数据。在执行编程操作之前，必须先执行写使能 (WREN) 指令。通过将 CE# 驱动为低电平来输入双输入页编程指令，接着在串行数据输入 SIO₁ 和 SIO₀ 引脚上输入指令代码 A2H、三个地址字节以及至少一个数据字节。在该命令序列的整个持续时间内，CE# 都必须驱动为低电平。双输入页编程指令最多可对存储器中的 256 字节数据进行编程。启动页编程操作前，所选页地址必须处于已擦除状态 (FFH)。应用到受保护存储器区域的双输入页编程指令将被忽略。

在锁存最后一个数据字节的第七位和第八位之后，必须将 CE# 驱动为高电平；否则，双输入编程指令不会执行。CE# 驱动为高电平之后，该指令即执行，用户可以轮询软件状态寄存器的 WEL 和 BUSY 位，或等待 T_{pp} 时间让内部自定时页编程操作完成。有关双输入页编程序列，请参见图 10。

对于双输入页编程，SST25VF064C 的存储器范围以 256 字节页边界设置。器件将最后 256 字节的移位数据保持为要编程的正确数据，来应对超过 256 字节的数据的移位问题。如果页编程指令的目标地址不是页边界的开始位置 (A7-A0 不全为 0)，并且数据输入数超出或覆盖页边界地址的末尾，则超出的数据输入将回绕，并将在目标页的起始位置编程。

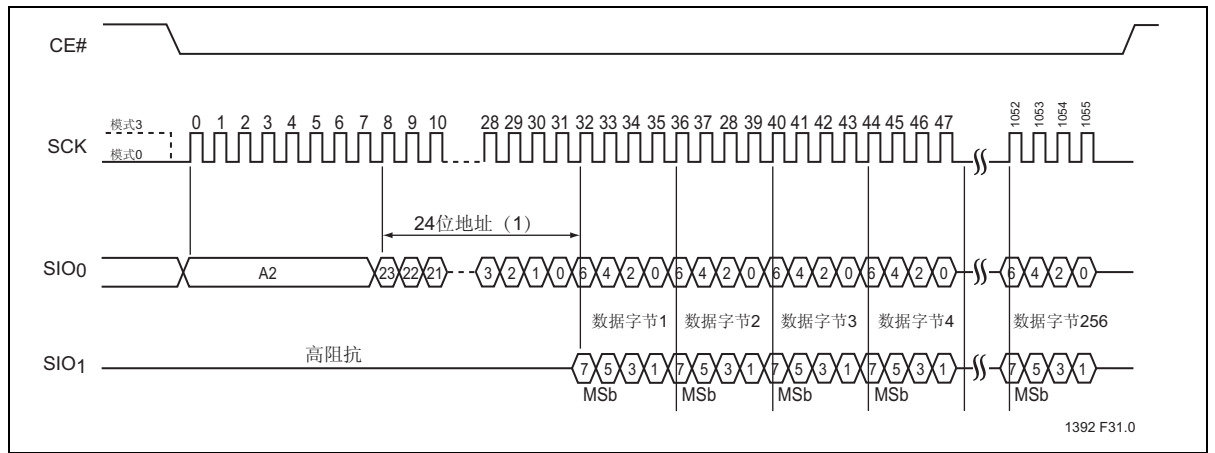


图 11: 双输入页编程



扇区擦除

扇区擦除指令会将所选 4 KB 扇区中的所有位清除为 FFH。应用到受保护存储器区域的扇区擦除指令将被忽略。在执行任何写操作之前，必须先执行写使能 (WREN) 指令。在任何命令序列的持续时间内，CE# 都必须保持有效低电平。通过执行 8 位命令 20H (后面紧跟地址位 A₂₃-A₀) 来启动扇区擦除指令。地址位 A_{MS}-A₁₂ (A_{MS} = 地址最高位) 用于确定扇区地址 (SA_X)，其余地址位可以是 V_{IL} 或 V_{IH}。在执行指令之前，CE# 必须驱动为高电平。可以轮询软件状态寄存器中的 BUSY 位，或等待 T_{SE} 时间让内部自定时扇区擦除周期完成。有关扇区擦除序列，请参见图 12。

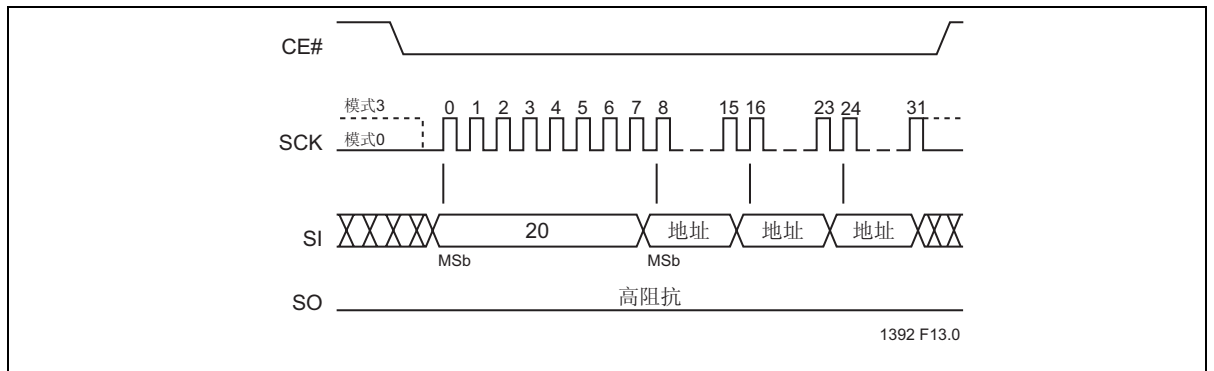


图 12: 扇区擦除序列



32 KB 和 64 KB 块擦除

32 KB 块擦除指令会将所选 32 KB 块中的所有位清除为 FFH。应用到受保护存储器区域的块擦除指令将被忽略。64 KB 块擦除指令会将所选 64 KB 块中的所有位清除为 FFH。应用到受保护存储器区域的块擦除指令将被忽略。在执行任何写操作之前，必须先执行写使能 (WREN) 指令。在任何命令序列的持续时间内，CE# 都必须保持有效低电平。通过执行 8 位命令 52H (后面紧跟地址位 A₂₃-A₀) 来启动 32 KB 块擦除指令。地址位 A_{MS}-A₁₅ (A_{MS} = 地址最高位) 用于确定块地址 (BA_X)，其余地址位可以是 V_{IL} 或 V_{IH}。在执行指令之前，CE# 必须驱动为高电平。通过执行 8 位命令 D8H (后面紧跟地址位 A₂₃-A₀) 来启动 64 KB 块擦除指令。地址位 A_{MS}-A₁₅ 用于决定块地址 (BA_X)，其余地址位可以为 V_{IL} 或 V_{IH}。在执行指令之前，CE# 必须驱动为高电平。可以轮询软件状态寄存器中的 BUSY 位，或等待 T_{BE} 时间让内部自定时 32 KB 块擦除或 64 KB 块擦除周期完成。有关 32 KB 块擦除序列，请参见图 13；有关 64 KB 块擦除序列，请参见图 14。

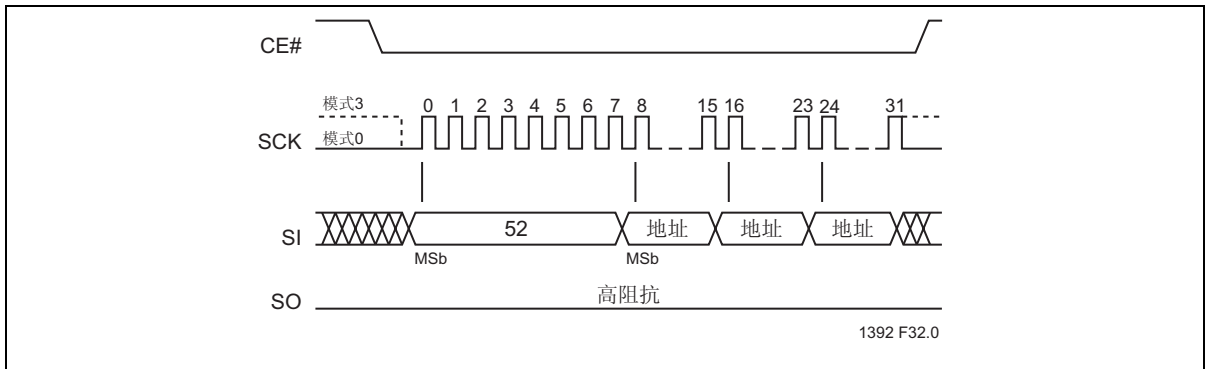


图 13: 32 KB 块擦除序列

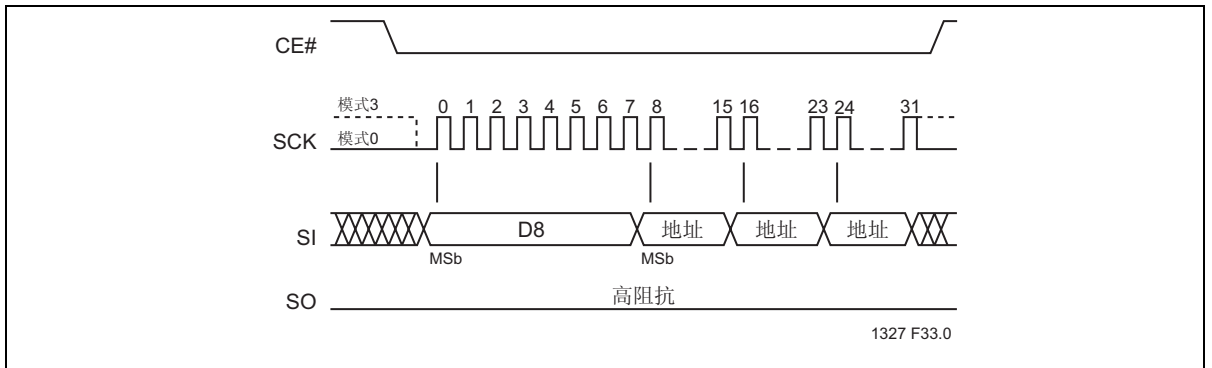


图 14: 64 KB 块擦除序列



全片擦除

全片擦除指令会将器件中的所有位清除为 FFH。如果有任何存储器区域受到保护，全片擦除指令将被忽略。在执行任何写操作之前，必须先执行写使能（WREN）指令。在全片擦除指令序列的持续时间内，CE# 必须保持有效低电平。通过执行 8 位命令 60H 或 C7H 来启动全片擦除指令。在执行指令之前，CE# 必须驱动为高电平。可以轮询软件状态寄存器中的 BUSY 位，或等待 T_{CE} 时间让内部自定时全片擦除周期完成。有关全片擦除序列，请参见图 15。

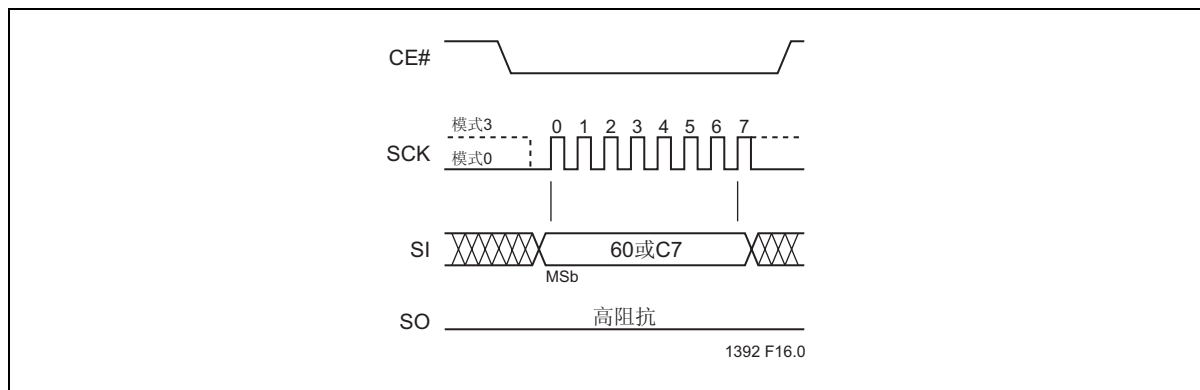


图 15: 全片擦除序列

读安全 ID

要执行读 SID 操作，主机将 CE# 驱动为低电平，然后发送读 SID 命令周期（88H）、1 个地址周期和 1 个空周期。每个周期的长度为八位，最高有效位在前。

空周期后，器件在 SCK 信号的下降沿从指定的地址单元开始输出数据。数据输出流连续遍历所有 SID 地址，直到被 CE# 上低电平到高电平的转换终止。内部地址指针自动递增，直到达到最后一个 SID 地址，然后输出将回绕，直到 CE# 驱动为高电平。

锁定安全 ID

锁定 SID 指令可防止将来对安全 ID 进行任何更改。在执行锁定 SID 操作之前，必须先执行写使能（WREN）指令。要执行锁定 SID，主机将 CE# 驱动为低电平，发送锁定 SID 命令周期（85H），然后将 CE# 驱动为高电平。一个周期的长度为八位，最高有效位在前。用户可以轮询软件状态寄存器中的 BUSY 位，或等待 T_{PSID} 时间让锁定 SID 操作完成。



编程安全 ID

编程 SID 指令可对用户可编程安全 ID 空间中 1 至 24 个字节的数据进行编程。器件将忽略指向无效或受保护地址的编程 SID 指令，见表 7。在执行任何编程操作之前，必须先执行 WREN 指令。

要执行对 SID 编程操作，主机将 CE# 驱动为低电平，发送编程 SID 命令周期（A5H）、1 个地址周期和要编程的数据，然后将 CE# 驱动为高电平。编程的数据必须在 1 至 24 字节之间，并按整个字节递增。要确定是否已完成内部自定时对 SID 编程操作，可轮询软件状态寄存器中的 BUSY 位，或等待 T_{PSID} 时间让内部自定时编程 SID 操作完成。

表 7: 编程安全 ID

编程安全 ID	地址范围
出厂前预编程	00H – 07H
用户可编程	08H – 1FH

T7.0 25036

读取状态寄存器（RDSR）

读取状态寄存器（RDSR）指令允许读取状态寄存器。可在任何时间读取状态寄存器，甚至是在写（编程/擦除）操作期间。当进行写操作时，应在发送任何新命令前检查 BUSY 位，以确保新命令会被器件正确接收。在输入 RDSR 指令之前，CE# 必须驱动为低电平，并保持低电平直到状态数据被读取为止。读状态寄存器继续使用当前时钟周期，直到被 CE# 上低电平到高电平的转换终止。有关 RDSR 指令序列，请参见图 16。

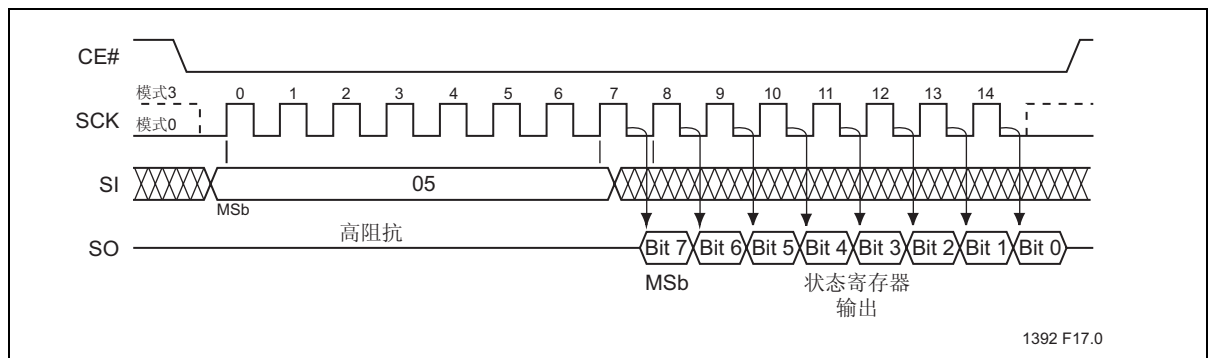


图 16: 读取状态寄存器（RDSR）序列



写使能 (WREN)

写使能 (WREN) 指令可将状态寄存器中的写使能锁存器位设置为 “1”，以允许进行写操作。在执行任何写 (编程/擦除) 操作之前，都必须先执行 WREN 指令。WREN 指令也可用于允许执行写状态寄存器 (WRSR) 指令；但是，状态寄存器中的写使能锁存器位将在 WRSR 指令的 CE# 上升沿被清零。在执行 WREN 指令之前，CE# 必须驱动为高电平。

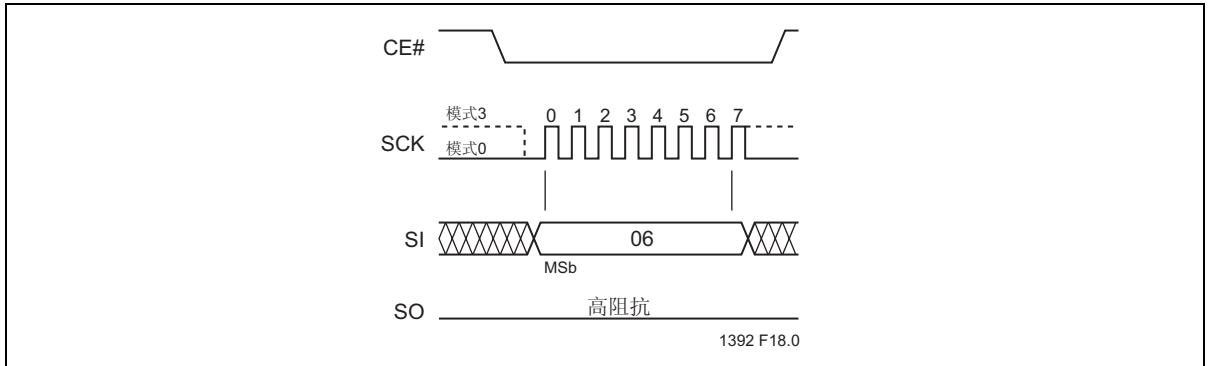


图 17: 写使能 (WREN) 序列

写禁止 (WRDI)

写禁止 (WRDI) 指令将写使能锁存器位复位为 “0”，从而禁止任何新的写操作。WRDI 指令不会终止任何正在进行的编程或擦除操作。执行 WRDI 指令之后，所有正在进行的编程或擦除操作都将继续进行。在执行 WRDI 指令之前，CE# 必须驱动为高电平。

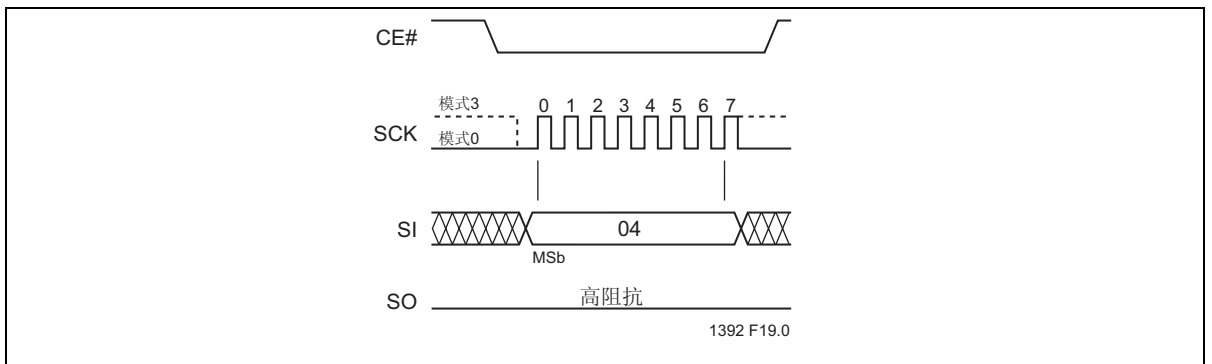


图 18: 写禁止 (WRDI) 序列



使能写状态寄存器 (EWSR)

使能写状态寄存器 (EWSR) 指令使能了写状态寄存器 (WRSR) 指令, 可打开状态寄存器进行修改。在执行使能写状态寄存器指令之后, 必须立即执行写状态寄存器指令。EWSR 指令后面紧跟 WRSR 指令, 这个两步指令序列与软件数据保护 (software data protection, SDP) 命令结构的工作方式类似, SDP 命令结构可防止状态寄存器值的意外修改。在输入 EWSR 指令之前, CE# 必须驱动为低电平; 在执行 EWSR 指令之前, CE# 必须驱动为高电平。

写状态寄存器 (WRSR)

写状态寄存器指令将新值写入状态寄存器的 BP3、BP2、BP1、BP0 和 BPL 位。在输入 WRSR 指令的命令序列之前, CE# 必须驱动为低电平; 在执行 WRSR 指令之前, CE# 必须驱动为高电平。有关 EWSR 或 WREN 和 WRSR 指令序列, 请参见图 19。

当 WP# 为低电平且 BPL 位置 “1” 时, 执行写状态寄存器指令将被忽略。当 WP# 为低电平时, 只能将 BPL 位从 “0” 设置为 “1” 以锁定状态寄存器, 但是不能将其从 “1” 复位到 “0”。当 WP# 为高电平时, BPL 位的锁定功能被禁止, 并且状态寄存器中的 BPL、BP0、BP1、BP2 和 BP3 位都可以更改。只要在 WRSR 指令结束时的 CE# 引脚低电平到高电平的转换之前将 BPL 位置 “0” 或将 WP# 引脚驱动为高电平 (V_{IH}), 就可以通过 WRSR 指令修改状态寄存器中的所有位。在这种情况下, 单条 WRSR 指令即可将 BPL 位置 “1” 来锁定状态寄存器, 同时修改 BP0、BP1、BP2 和 BP3 位。有关 WP# 和 BPL 功能的概述, 请参见表 3。

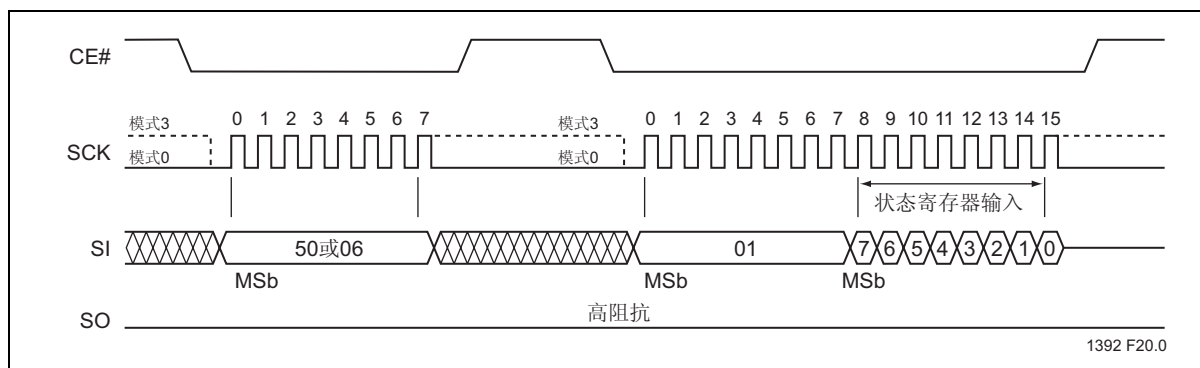


图 19: 使能写状态寄存器 (EWSR) 或写使能 (WREN) 和写状态寄存器 (WRSR) 序列



使能保持 (EHL D)

8 位命令 AAH (使能保持指令) 用于使能 RST#/HOLD# 引脚的 HOLD 功能。在使能保持指令序列的持续时间内, CE# 必须保持有效低电平。在执行指令之前, CE# 必须驱动为高电平。有关使能保持指令序列, 请参见图 20。

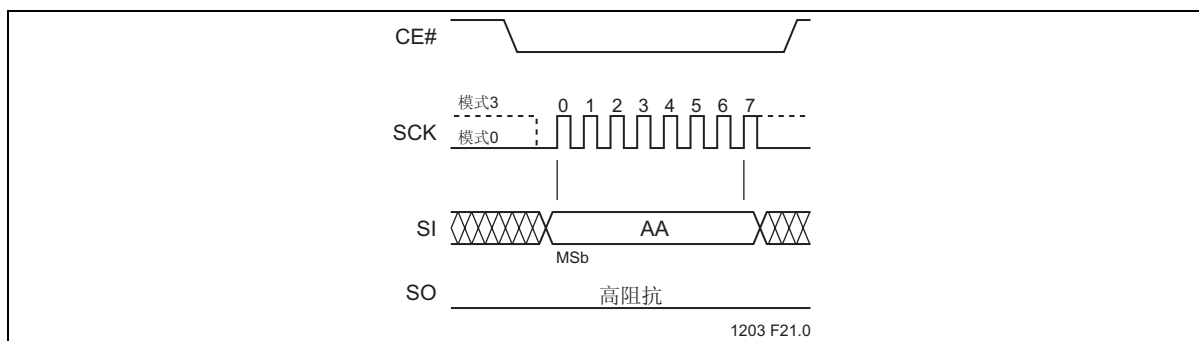
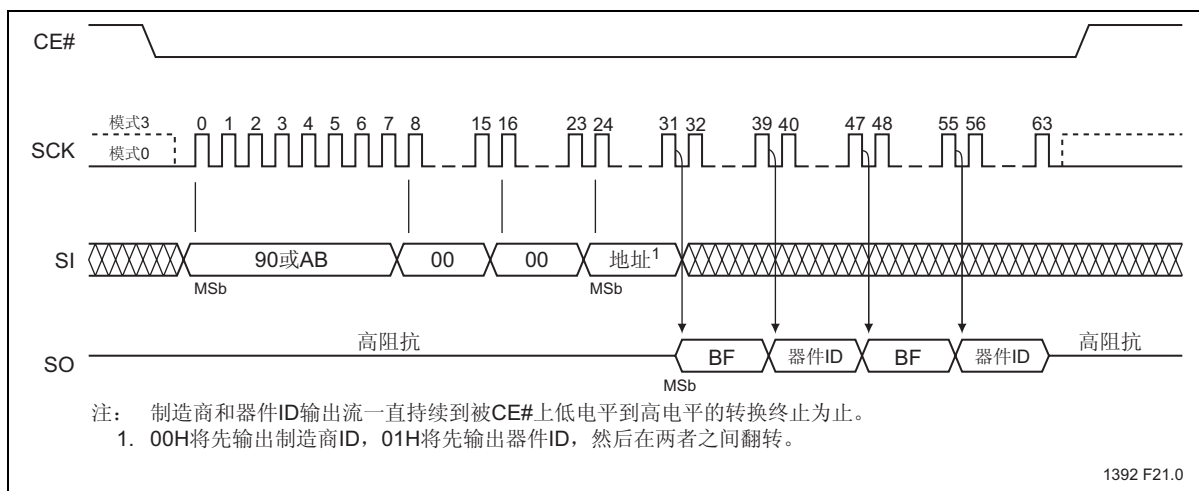


图 20: 使能保持序列

读 ID (RDID)

读 ID 指令 (RDID) 将器件标识为 SST25VF064C, 将制造商标识为 SST。通过执行 8 位命令 90H 或 ABH (后面紧跟地址位 A₂₃-A₀) 可读取器件信息。执行读 ID 指令之后, 制造商 ID 位于地址 00000H, 器件 ID 位于地址 00001H。器件处于读 ID 模式之后, 制造商 ID 和器件 ID 输出数据在地址 00000H 和 00001H 之间翻转, 直到被 CE# 上低电平到高电平的转换终止。CE# 驱动为高电平之后, 器件进入待机模式。

有关器件标识数据, 请参见表 8 和 9。



注: 制造商和器件ID输出流一直持续到被CE#上低电平到高电平的转换终止为止。
 1. 00H将先输出制造商ID, 01H将先输出器件ID, 然后在两者之间翻转。

图 21: 读 ID 序列



A Microchip Technology Company

64 Mb SPI 串行双 I/O 闪存 SST25VF064C

数据手册

表 8: 产品标识

	地址	数据
制造商 ID	00000H	BFH
器件 ID SST25VF064C	00001H	4BH

T8.0 25036



JEDEC 读 ID

JEDEC 读 ID 指令将器件标识为 SST25VF064C，将制造商标识为 SST。可通过执行 8 位命令 9FH 来读取器件信息。执行 JEDEC 读 ID 指令之后，将从器件输出 8 位制造商标识 (BFH)。然后，24 位器件 ID 在 SO 引脚上移出。字节 1 (BFH) 将制造商标识为 SST。字节 2 (25H) 将存储器类型标识为 SPI 串行闪存。字节 3 (4BH) 将器件标识为 SST25VF064C。指令序列如图 22 中所示。在数据输出期间的任何时候，CE# 上低电平到高电平的转换都将终止 JEDEC 读 ID 指令。

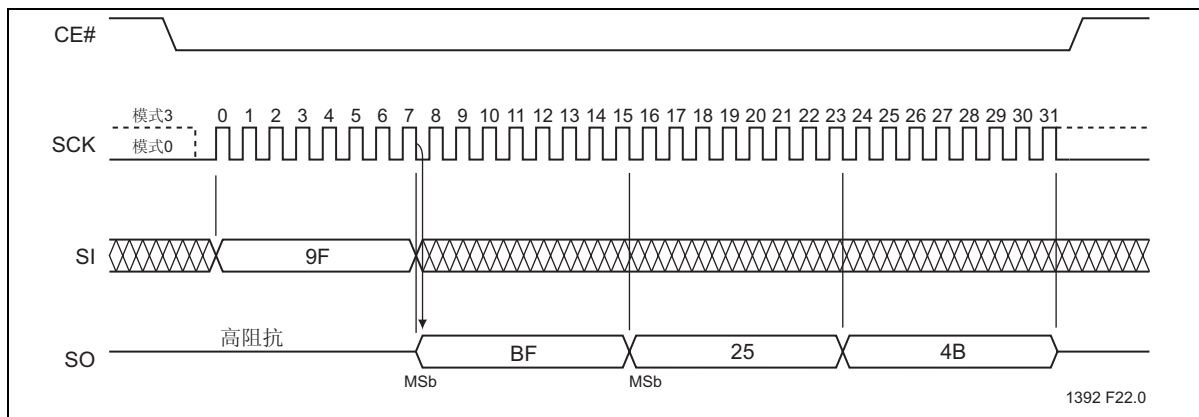


图 22: JEDEC 读 ID 序列

表 9: JEDEC 读 ID 数据

制造商 ID	器件 ID	
	存储器类型	存储器容量
字节 1	字节 2	字节 3
BFH	25H	4BH

T9.0 25036



电气规范

绝对最大极限参数 如果器件工作条件超过下述“绝对最大极限参数”，可能会对器件造成永久性损坏。这仅是极限参数，我们不建议器件工作在极限值甚至超过下述极限值。工作于绝对最大极限参数条件下时，器件可靠性可能会受到影响。

偏置时的温度范围	-55°C 至 +125°C
存储温度范围	-65°C 至 +150°C
任意引脚上相对于地的直流电压	-0.5V 至 $V_{DD}+0.5V$
任意引脚上相对于地的瞬态电压 (<20 ns)	-2.0V 至 $V_{DD}+2.0V$
封装功率耗散能力 ($T_A = 25^\circ\text{C}$)	1.0W
表面贴装回流焊温度	260°C (10 秒)
输出短路电流 ¹	50 mA

1. 输出短路时间不超过 1 秒。每次短路的输出不超过 1 个。

表 10: 工作范围

范围	环境温度	V_{DD}
商业级	0°C 至 +70°C	2.7-3.6V
工业级	-40°C 至 +85°C	2.7-3.6V

T10.1 25036

表 11: 交流测试条件¹

输入上升/下降时间	输出负载
5 ns	$C_L = 30 \text{ pF}$

T11.1 25036

1. 请参见图 28。

表 12: 直流工作特性 ($V_{DD} = 2.7-3.6V$)

符号	参数	限制值			测试条件
		最小值	最大值	单位	
I _{DDR}	读电流		12	mA	CE# = 0.1 V _{DD} /0.9 V _{DD} @33 MHz, SO = 开路
I _{DDR2}	高速读电流		25	mA	CE# = 0.1 V _{DD} /0.9 V _{DD} @80 MHz, SO = 开路
I _{DDR3}	快速读取双输出/双I/O电流		25	mA	CE# = 0.1 V _{DD} /0.9 V _{DD} @75/50 MHz
I _{DDW}	编程和擦除电流		25	mA	CE# = V _{DD}
I _{SB1}	待机电流		20	μA	CE# = V _{DD} , V _{IN} = V _{DD} 或 V _{SS}
I _{LI}	输入泄漏电流		1	μA	V _{IN} = GND 至 V _{DD} , V _{DD} = V _{DD} 最大值
I _{LO}	输出泄漏电流		1	μA	V _{OUT} = GND 至 V _{DD} , V _{DD} = V _{DD} 最大值
V _{IL}	输入低电压		0.8	V	V _{DD} = V _{DD} 最小值
V _{IH}	输入高电压	0.7 V _{DD}		V	V _{DD} = V _{DD} 最大值
V _{OL}	输出低电压		0.2	V	I _{OL} = 100 μA, V _{DD} = V _{DD} 最小值
V _{OH}	输出高电压	V _{DD} -0.2		V	I _{OH} = -100 μA, V _{DD} = V _{DD} 最小值

T12.0 25036

表 13: 电容 ($T_A = 25^\circ C$, $f = 1$ MHz, 其他引脚开路)

参数	说明	测试条件	最大值
C _{OUT} ¹	输出引脚电容	V _{OUT} = 0V	12 pF
C _{IN} ¹	输入电容	V _{IN} = 0V	6 pF

T13.0 25036

1. 该参数仅在初步认证时进行过测量, 其后经过可能影响该参数的设计或工艺变更。

表 14: 可靠性特性

符号	参数	最低规范	单位	测试方法
N _{END} ¹	可擦写次数	10,000	次	JEDEC 标准 A117
T _{DR} ¹	数据保存时间	100	年	JEDEC 标准 A103
I _{LTH} ¹	闩锁	100 + I _{DD}	mA	JEDEC 标准 78

T14.0 25036

1. 该参数仅在初步认证时进行过测量, 其后经过可能影响该参数的设计或工艺变更。



表 15: 交流工作特性

符号	参数	33 MHz		50 MHz		75/80 MHz		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
F _{CLK} ¹	串行时钟频率高速读		33		50		75/80	MHz
T _{SCKH}	串行时钟高电平时间	13		9		6		ns
T _{SCKL}	串行时钟低电平时间	13		9		6		ns
T _{SCKR} ²	串行时钟上升时间 (压摆率)	0.1		0.1		0.1		V/ns
T _{SCKF}	串行时钟下降时间 (压摆率)	0.1		0.1		0.1		V/ns
T _{CE#} ³	CE# 有效建立时间	5		5		5		ns
T _{CEH} ³	CE# 有效保持时间	5		5		5		ns
T _{CHS} ³	CE# 非有效建立时间	5		5		5		ns
T _{CHH} ³	CE# 非有效保持时间	5		5		5		ns
T _{CPH}	CE# 高电平时间	50		50		50		ns
T _{CHZ} ⁴	CE# 高电平至输出高阻态		7		7		7	ns
T _{CLZ}	SCK 低电平至输出低阻态	0		0		0		ns
T _{DS}	数据输入建立时间	3		3		2		ns
T _{DH}	数据输入保持时间	5		5		4		ns
T _{HLS}	HOLD# 低电平建立时间	5		5		5		ns
T _{HHS}	HOLD# 高电平建立时间	5		5		5		ns
T _{H LH}	HOLD# 低电平保持时间	5		5		5		ns
T _{H HH}	HOLD# 高电平保持时间	5		5		5		ns
T _{HZ} ⁴	HOLD# 低电平至输出高阻态		7		7		7	ns
T _{LZ} ⁴	HOLD# 高电平至输出低阻态		7		7		7	ns
T _{OH}	从 SCK 变化开始输出保持的时间	0		0		0		ns
T _V	从 SCK 开始到输出有效的时间		15		10		6	ns
T _{SE}	扇区擦除		25		25		25	ms
T _{BE}	块擦除		25		25		25	ms
T _{SCE}	全片擦除		50		50		50	ms
T _{PP}	页编程		2.5		2.5		2.5	ms
T _{PSID}	编程安全 ID		1.0		1.0		1.0	ms

T15.1 25036

- 读指令 03H 的最大时钟频率为 33 MHz。
快速读取双输出 (3BH) 的最大时钟频率为 75 MHz
快速读取双 I/O (BBH) 的最大时钟频率为 50 MHz
高速读 (OBH) 的最大时钟频率为 80 MHz
双输入页编程 (A2H) 的最大时钟频率为 50 MHz
- 最大上升和下降时间可能受到 T_{SCKH} 和 T_{SCKL} 要求的限制。
- 相对于 SCK。
- 未经完全生产测试。

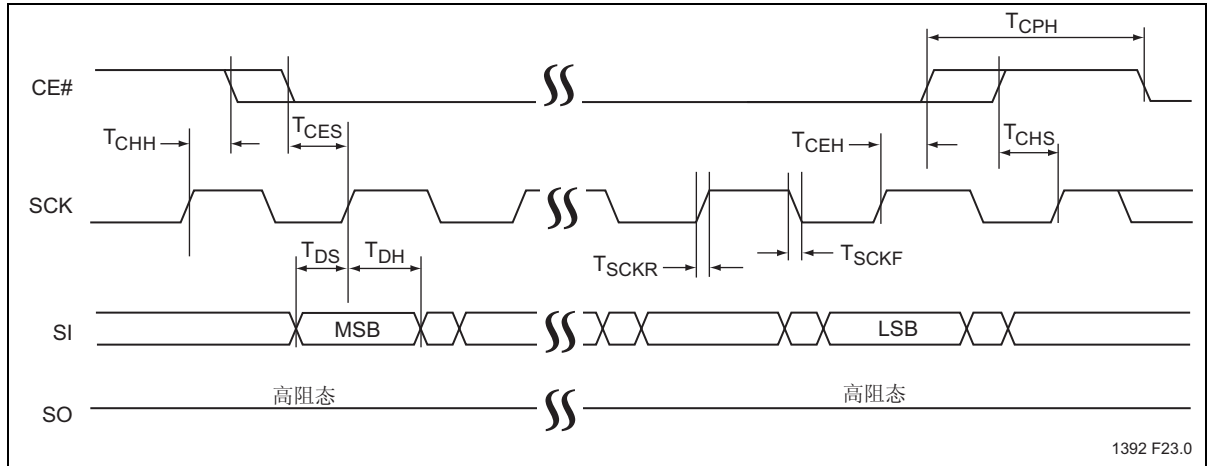


图 23: 串行输入时序图

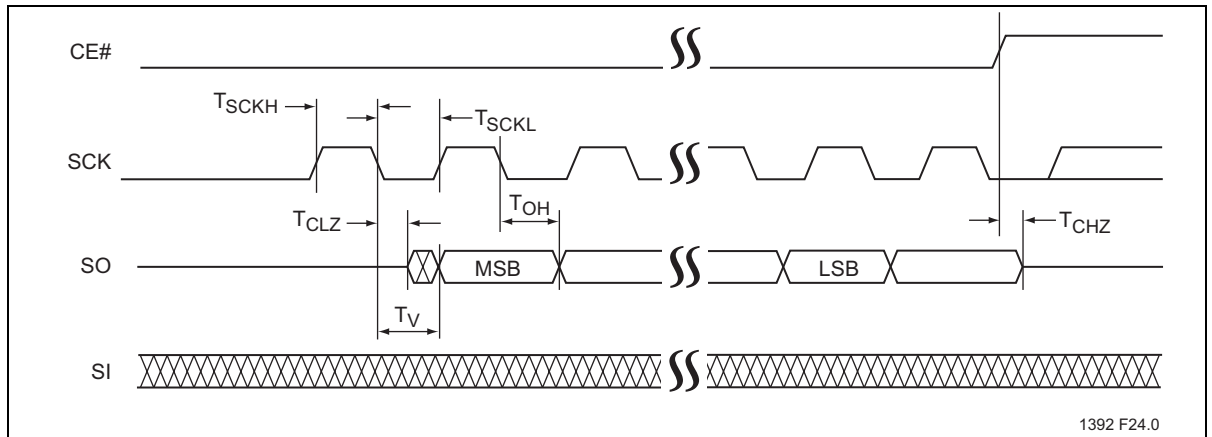


图 24: 串行输出时序图

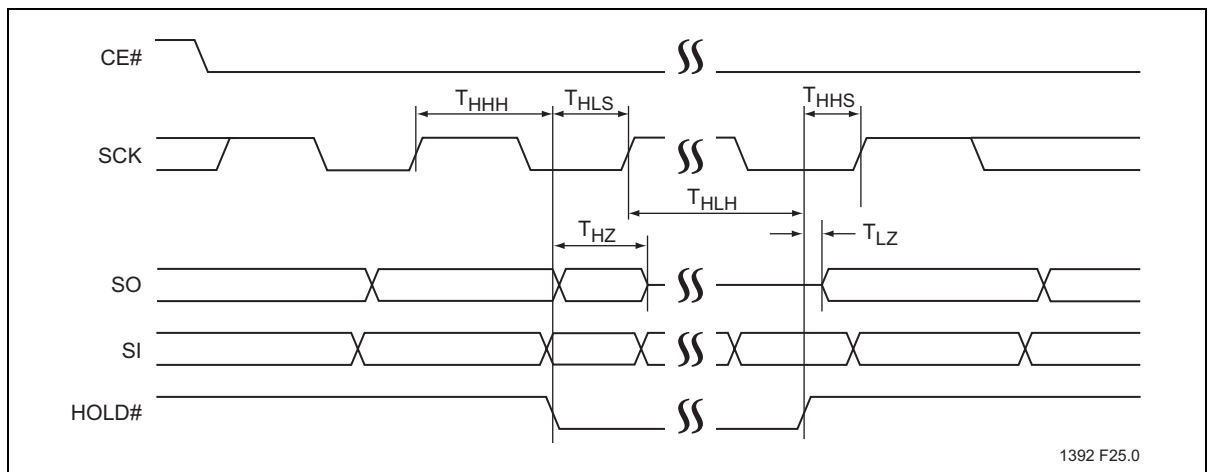


图 25: 保持时序图



上电规范

所有功能和直流规范值均针对 V_{DD} 斜升速率高于 $1V/100\text{ ms}$ ($0V$ 升至 $3V$ 的时间小于 300 ms) 的情形而规定。如果 V_{DD} 斜升速率低于 $1V/100\text{ ms}$ ，则需要硬件复位。从 V_{DD} 上电到 $RESET\#$ 为高电平的时间建议应大于 $100\text{ }\mu\text{s}$ ，以确保正确复位。更多信息，请参见表 16 以及图 26 和 27。

表 16: 建议的系统上电时序

符号	参数	最小值	单位
$T_{PU-READ}^1$	读操作的 V_{DD} 最小值	100	μs
$T_{PU-WRITE}^1$	写操作的 V_{DD} 最小值	100	μs

T16.0 25036

1. 该参数仅在初步认证时进行过测量，其后经过可能影响该参数的设计或工艺变更。

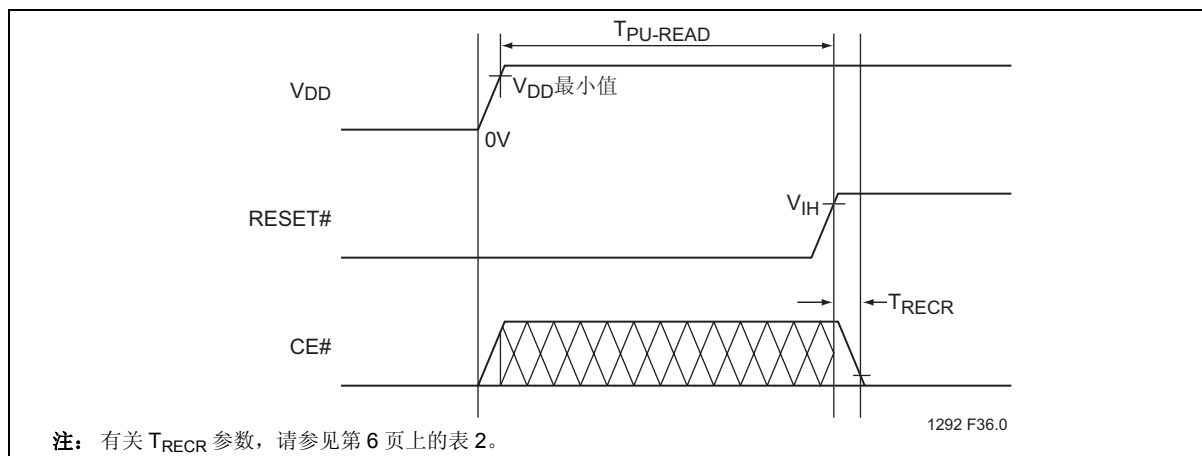


图 26: 上电复位图

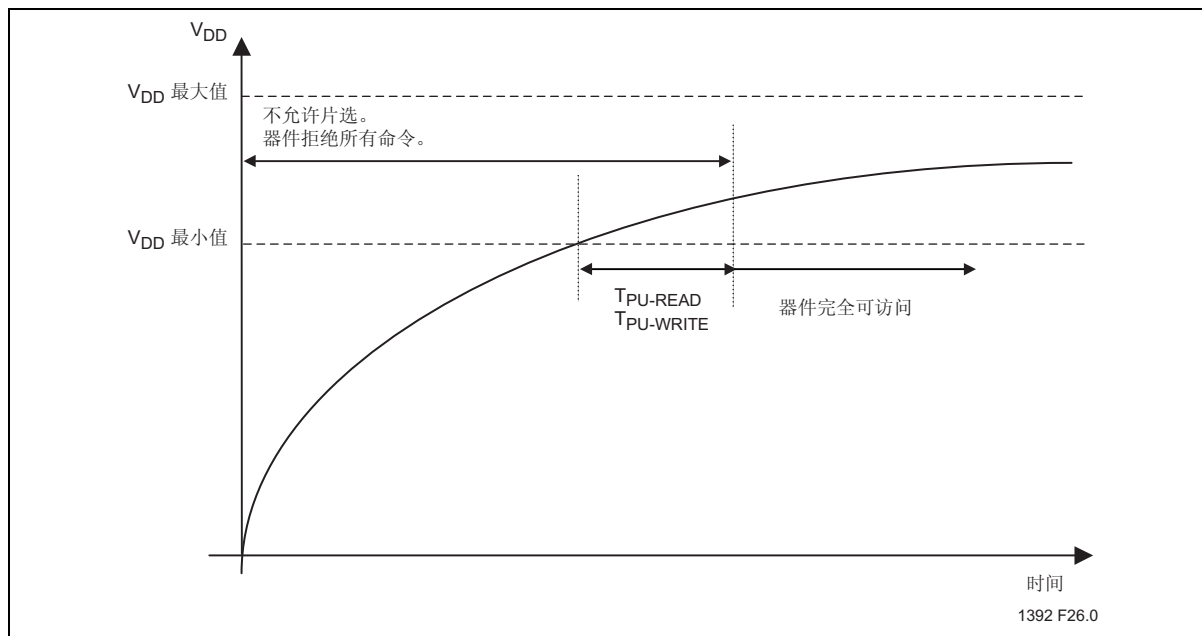


图 27: 上电时序图

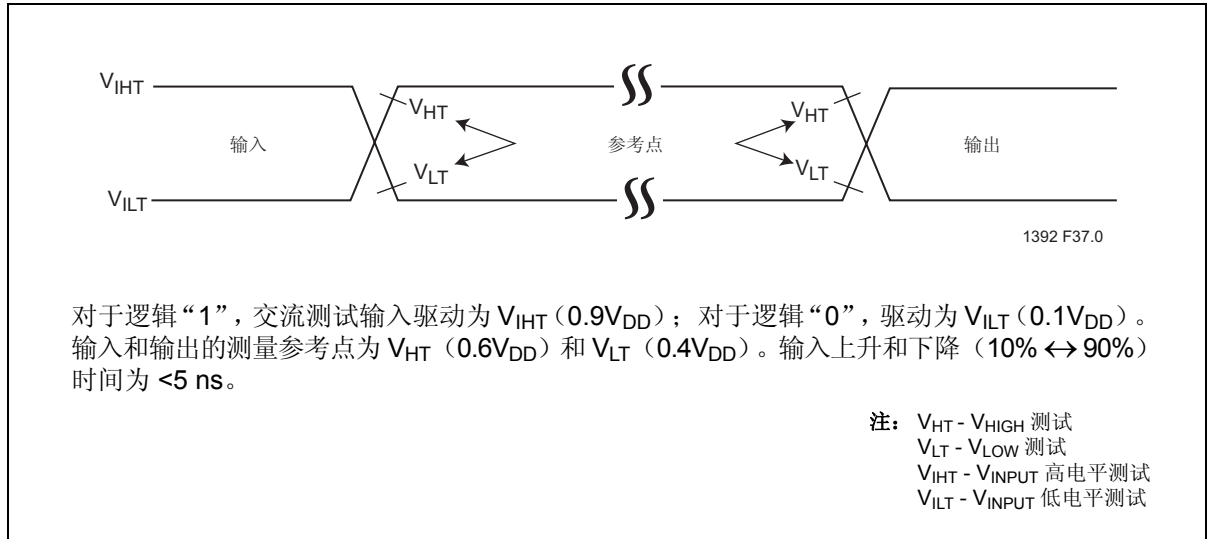
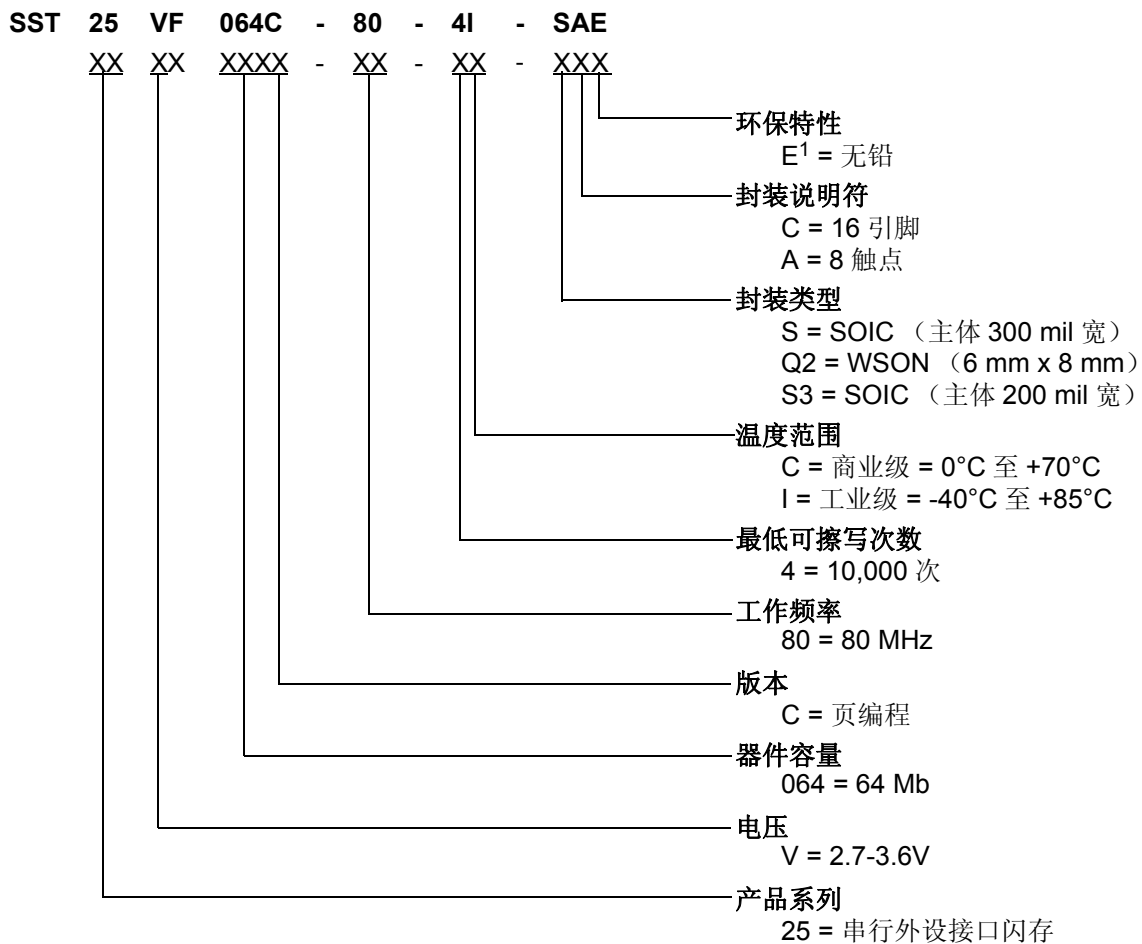


图 28: 交流输入/输出参考波形



产品订购信息



1. 环保后缀“E”代表无铅锡焊。SST 无铅锡焊器件均符合 RoHS 标准。

SST25VF064C 的有效组合

- SST25VF064C-80-4I-SCE
- SST25VF064C-80-4I-S3AE
- SST25VF064C-80-4I-Q2AE SST25VF064C-80-4C-Q2AE

注： 有效组合是已量产或即将投入量产的产品。要确认有效组合的供应情况，以及确认新组合的供应情况，请咨询您的 SST 销售代表。



封装图

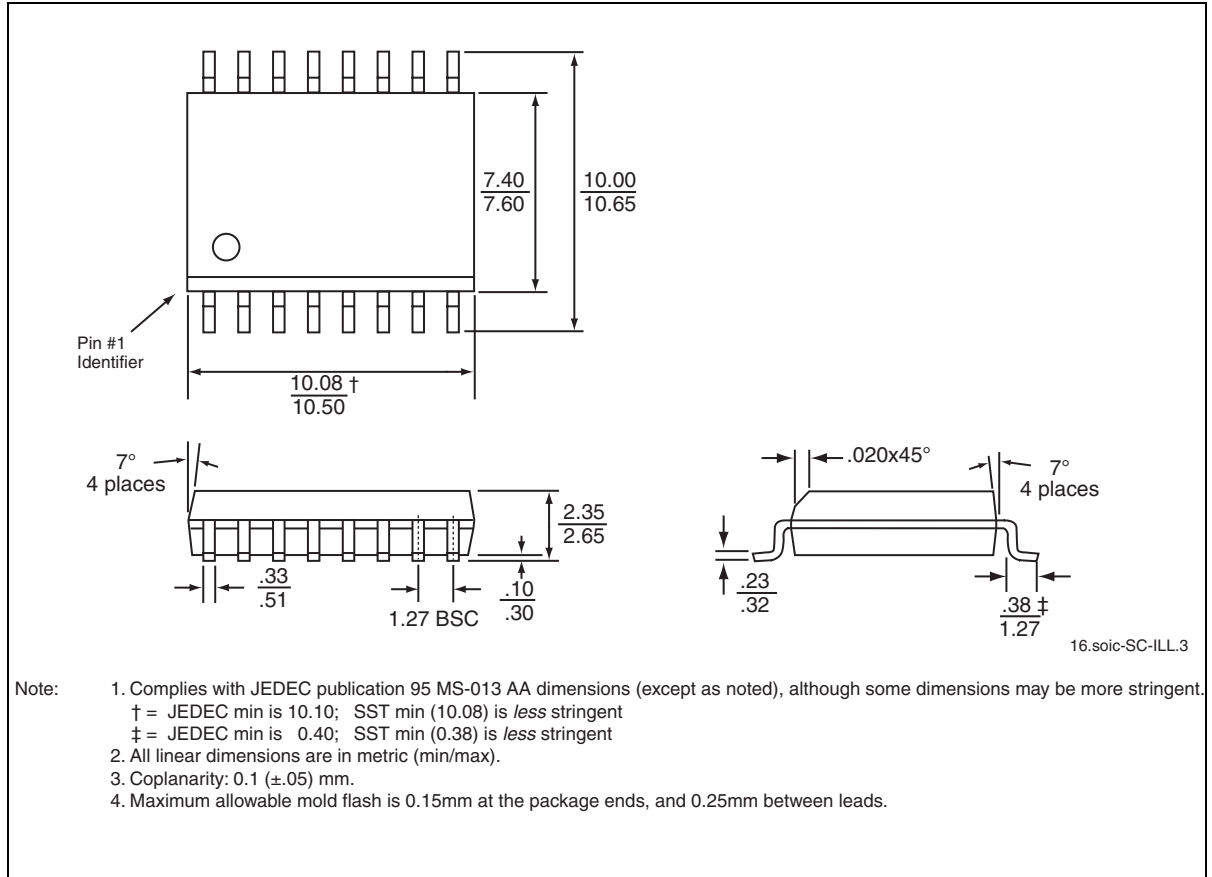


图 29: 16 引脚塑封小外形集成电路 (SOIC)
SST 封装代码: SC

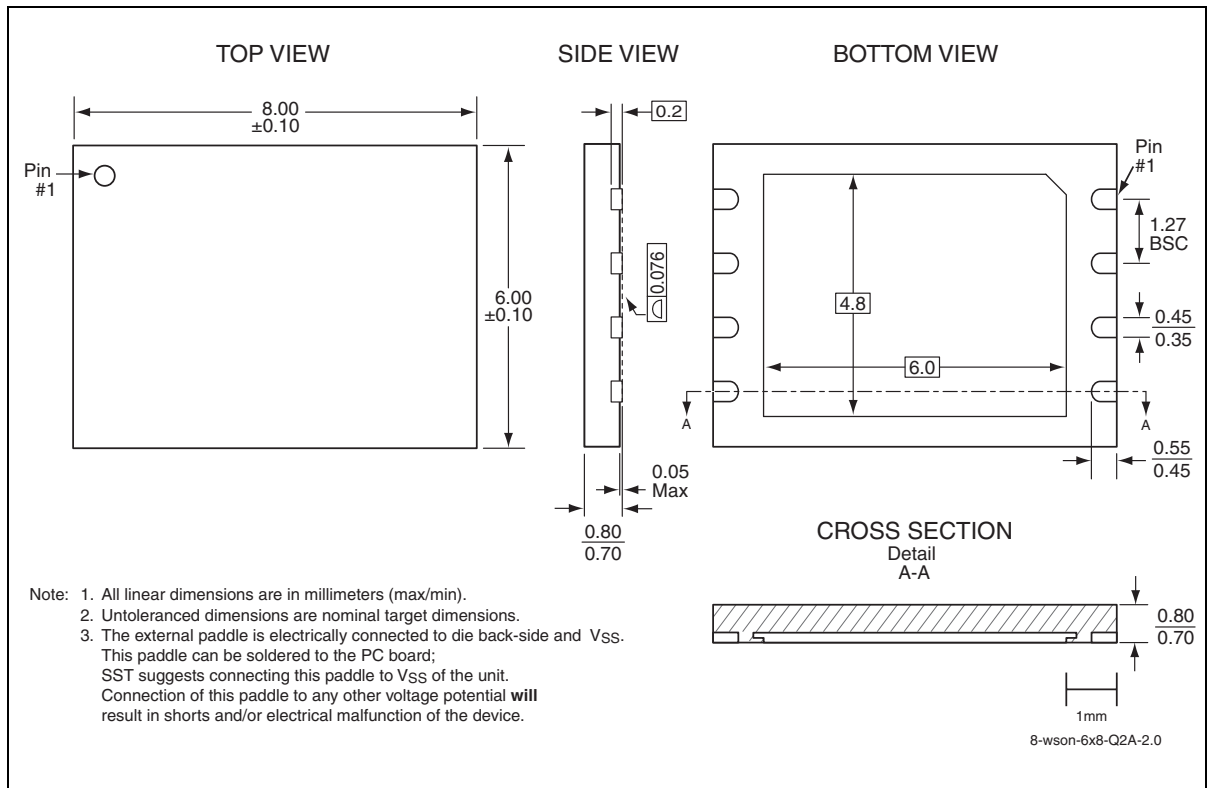


图 30: 8 触点超薄型小外形无引脚 (WSO) SST 封装代码: Q2A

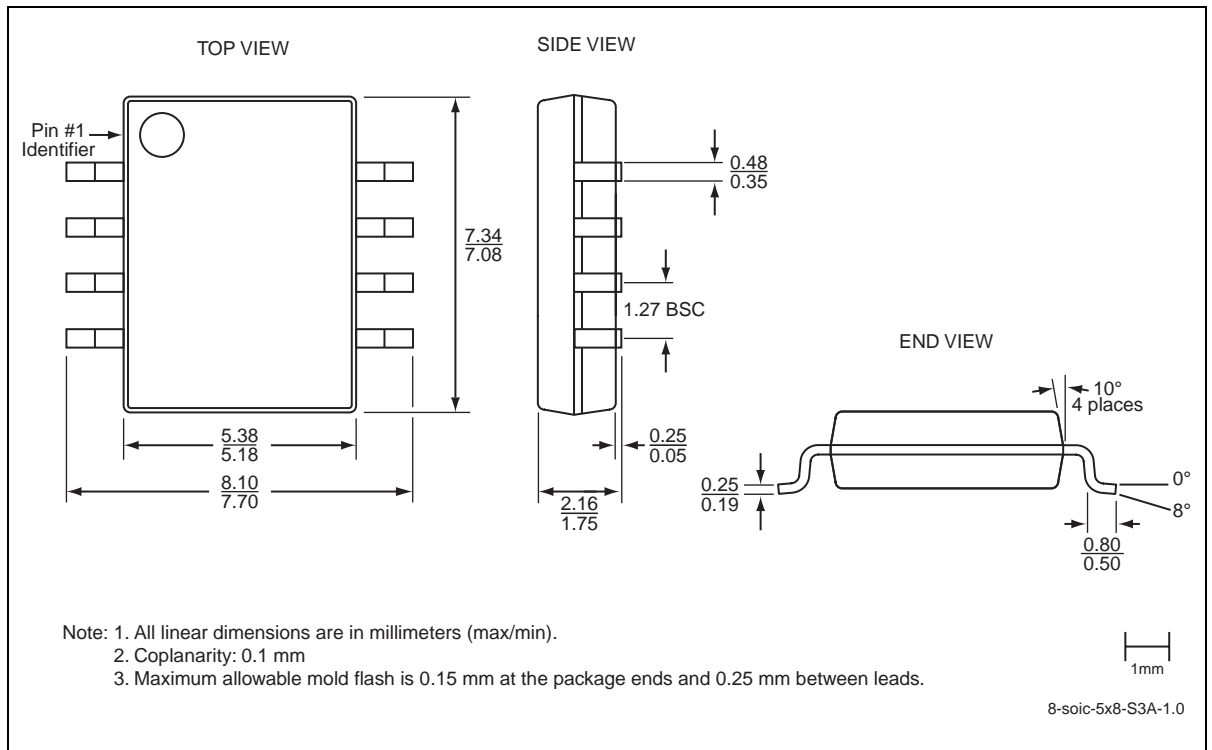


图 31: 8 引脚小外形集成电路 (SOIC)
SST 封装代码: S3A



表 17: 版本历史

编号	说明	日期
00	<ul style="list-style-type: none"> 数据手册的初始版本 	2008 年 9 月
01	<ul style="list-style-type: none"> 增加了 8 触点 WSON Q2A 封装。 通篇增加安全 ID 信息。 更新了第 11 页上的表 6。 修改了第 14 页上的“快速读取双输出 (75 MHz)”和第 15 页上的“快速读取双 I/O (50 MHz)”。 修改了第 14 页上的图 8。 更新了第 29 页上的表 15。 在第 1 页的“特性”、第 23 页的“工作范围”和第 28 页的“产品订购信息”中增加了商业级温度范围。 	2009 年 4 月
02	<ul style="list-style-type: none"> 增加了 8 引脚 SOIC S3A 封装。 	2009 年 9 月
03	<ul style="list-style-type: none"> 将第 28 页上的表 12 中的 I_{DDR2} 和 I_{DDW} 的最大值更改为 25 mA。 	2009 年 12 月
04	<ul style="list-style-type: none"> 修改了第 11 页上的表 6。 更新了第 31 页上的地址信息。 	2010 年 4 月
A	<ul style="list-style-type: none"> 采用了新的文档格式。 根据字母版本体系发布了文档。 将规范编号从 S71392 更新为 DS25036。 	2011 年 6 月

ISBN: 978-1-61341-729-4

© 2011 Silicon Storage Technology, Inc. (Microchip Technology Inc. 的全资子公司)。版权所有。

SST、Silicon Storage Technology、SST 徽标、SuperFlash、MTP 和 FlashFlex 均为 Silicon Storage Technology, Inc. 的注册商标。MPF、SQI、Serial Quad I/O 和 Z-Scale 均为 Silicon Storage Technology, Inc. 的商标。在此提及的所有其他商标和注册商标均为各持有公司所有。

规范值可能发生变更, 恕不另行通知。关于最新文档, 请访问 www.microchip.com。最新封装图请至 <http://www.microchip.com/packaging> 查看封装规范。

存储器容量表示原始存储容量, 实际可用容量可能会少一些。

除非在标准销售条款与条件中明确包含, 否则 SST 不对其产品的使用作出任何担保。

关于销售办事处的地点和信息, 请访问 www.microchip.com。

Silicon Storage Technology, Inc.
A Microchip Technology Company
www.microchip.com
