

AD7091R-2/AD7091R-4/AD7091R-8
产品特性
超低系统功耗

灵活的功耗/吞吐速率管理

正常模式

1.4 mW (1 MSPS)

省电模式

 550 nA(典型值, $V_{DD} = 5.25\text{ V}$)

 435 nA(典型值, $V_{DD} = 3\text{ V}$)

可编程ALERT中断引脚(4/8通道型号)

高性能

1 MSPS吞吐速率, 无延迟/流水线延迟

信噪比(SNR): 70 dB(典型值, 10 kHz输入频率)

总谐波失真(THD): -80 dB(典型值, 10 kHz输入频率)

 积分非线性(INL): $\pm 0.7\text{ LSB}$ (典型值, 最大值 $\pm 1.0\text{ LSB}$)

系统尺寸小

2.5 V片内精密基准电压源(5 ppm/°C典型漂移)

MUX_{OUT}/ADC_{IN}, 允许使用单缓冲放大器

菊花链模式

16/20/24引脚4 mm × 4 mm LFCSP封装

16/20/24引脚TSSOP封装

易于使用
SPI/QSPI™/MICROWIRE™/DSP兼容型数字接口
集成式可编程通道序列器
提供忙碌指示功能(4/8通道型号)
为控制和监控应用提供内置特性
提供GPOx引脚(4/8通道型号)
宽工作电压范围

温度范围: -40°C至+125°C

 V_{DD} 额定值为2.7 V至5.25 V

应用

电池供电系统

个人数字助理

医疗仪器

移动通信

仪表和控制系统

数据采集系统

光敏元件

诊断/监控功能

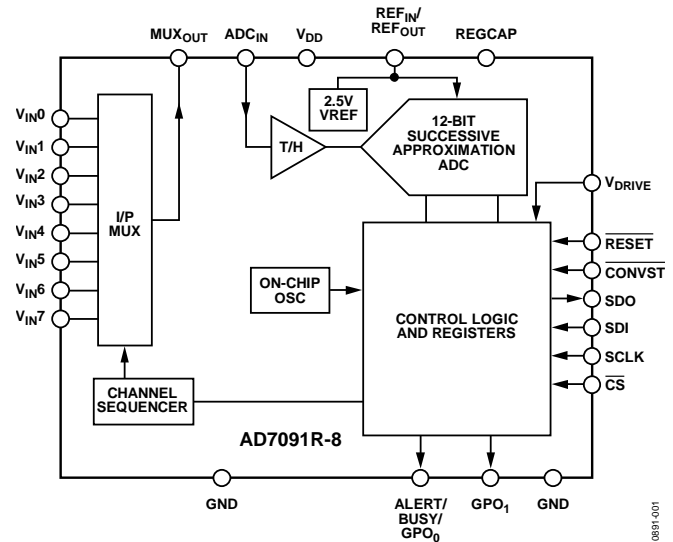
功能框图


图1.

概述

AD7091R-2/AD7091R-4/AD7091R-8系列是多通道、12位、超低功耗、逐次逼近型模数转换器(ADC), 提供2/4/8模拟输入通道选项。AD7091R-2/AD7091R-4/AD7091R-8采用2.7 V至5.25 V单电源供电, 采样速率高达1 MSPS。

AD7091R-2/AD7091R-4/AD7091R-8系列具有多达8个带通道序列器的单端模拟输入通道, 可以通过预编程选择通道转换顺序。AD7091R-2/AD7091R-4/AD7091R-8还配有片内转换时钟、片内精密2.5 V基准电压源和高速串行接口。

AD7091R-2/AD7091R-4/AD7091R-8集成串行端口接口(SPI), 可在完成转换后读取数据, 同时具有1 MSPS吞吐速率。转换过程和数据采集利用 $\overline{\text{CONVST}}$ 引脚控制。

AD7091R-2/AD7091R-4/AD7091R-8采用先进的设计技术, 可在高吞吐速率的情况下实现极低的功耗。还提供灵活的功耗管理选项。片内配置寄存器可让用户设置不同的工作条件。它们包括电源管理、报警功能、忙碌指示、通道时序和通用输出引脚。MUX_{OUT}和ADC_{IN}引脚允许在ADC获取多路复用器的输出信号之前对其进行调理。

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2013–2014 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

AD7091R-2_7091R-4_7091R-8重要链接*

最后更新时间: 08/09/2014 11:32 pm

文档

- [AN-1141](#): 用开关调节器为双电源精密ADC供电
- [AN-931](#): 了解PulSAR ADC支持电路
- [AN-932](#): 电源时序控制
- [AN-877](#): 通过SPI与高速ADC接口
- [AN-935](#): ADC变压器耦合前端设计
- [AN-742](#): 开关电容ADC的频率域响应数据转换手册
- [MT-031](#): 实现数据转换器的接地并解开
- [MT-002](#): 奈奎斯特准则对数据采样系统设计有何意义
- [MT-001](#): 解开一个蹩脚公式
(SNR=6.02N + 1.76dB)的神秘面纱, 以及为什么我们要予以关注
- [UG-633](#): 评估AD7091R-2/AD7091R-4/AD7091R-8 12位监控器和控制系统
- [UG-409](#): 用于AD7091R模数转换器的评估板
- [MS-2124](#): 了解高速ADC的交流特性九项常被忽略的ADC技术规格

设计工具、模型、驱动器和软件

- [AD7091R-2 IBIS型号](#)
- [AD7091R-4 IBIS型号](#)
- [AD7091R-8 IBIS型号](#)

评估套件、原理图符号与PCB封装

- 查看评估板和套件页面以了解文档和采购信息
- [AD7091R-2原理图符号与PCB封装](#)
- [AD7091R-4原理图符号与PCB封装](#)
- [AD7091R-8原理图符号与PCB封装](#)

申请样片与购买

- [AD7091R-2](#)
- [AD7091R-4](#)
- [AD7091R-8](#)
 - 查看报价和封装
 - 申请评估板
 - 申请样片
 - 检查库存并购买

[查找本地代理商](#)

类似产品和参数选型表

依据工作参数查找类似产品
[SAR ADC和驱动器快速匹配指南](#)

建议配套产品

推荐AD7091R-2/AD7091R-4/AD7091R-8使用的驱动放大器

- 针对低频和低偏置电流, 推荐使用[ADA4627-1](#)、[ADA4637-1](#)或[AD8610](#)。
- 针对精密、低功耗、轨到轨输出, 推荐使用[ADA4841-1](#)、[ADA4896-2](#)或[AD8031](#)。
- 针对高频、低噪声、低失真, 推荐使用[ADA4899-1](#)、[ADA4897-1](#)或[AD8021](#)。
- 关于其它[驱动放大器选择](#), 我们建议选择产品目录并使用我们的参数搜索表格进行筛选。

推荐AD7091R-2/AD7091R-4/AD7091R-8使用的外部基准电压源

- 针对3V、低功耗、低噪声, 推荐使用[ADR4530](#)或[REF193](#)。
- 针对5V、低功耗、低噪声, 推荐使用[ADR4550](#)或[REF195](#)。
- 针对额外的[ADP7102](#),

推荐AD7091R-2/AD7091R-4/AD7091R-8使用的低压差稳压器和开关

- 推荐使用[ADP7102](#)、[ADM7160](#)和[ADP162](#)。

设计支持

请将支持请求提交至:
[线性和数据转换器](#)
[嵌入式处理器和DSP](#)

免费致电客户服务中心:

- 美洲: 1-800-262-5643
- 欧洲: 00800-266-822-82
- 中国: 4006-100-006
- 印度: 1800-419-0108
- 俄罗斯: 8-800-555-45-90

[质量和可靠性](#)
[无铅\(Pb\)产品](#)
[封装信息](#)

*此页由ADI公司动态产生并插入本数据手册。
注意: 此页(标记为“重要链接”)内容的动态变更不构成
产品数据手册版本的变更。
此内容可能会经常改变。



目录

特性.....	1	寄存器.....	23
应用.....	1	寻址寄存器.....	23
功能框图.....	1	转换结果寄存器.....	24
概述.....	1	通道寄存器.....	25
修订历史.....	2	配置寄存器.....	26
技术规格.....	3	警报指示寄存器.....	28
时序规格.....	5	通道x下限寄存器.....	30
绝对最大额定值.....	7	通道x上限寄存器.....	30
热阻.....	7	通道x迟滞寄存器.....	30
ESD警告.....	7	串行接口.....	31
引脚配置和功能描述.....	8	读取转换结果.....	31
典型性能参数.....	13	向寄存器写入数据.....	31
术语.....	18	从寄存器读取数据.....	31
工作原理.....	19	工作模式.....	33
电路信息.....	19	正常模式.....	33
转换器操作.....	19	省电模式.....	33
ADC传递函数.....	19	警报(仅AD7091R-4和AD7091R-8).....	34
基准电压源.....	19	繁忙(仅AD7091R-4和AD7091R-8).....	34
电源.....	20	通道序列器.....	35
典型连接图.....	20	菊花链.....	36
模拟输入.....	20	外形尺寸.....	38
驱动放大器选择.....	21	订购指南.....	41

修订历史

2014年7月 — 修订版0至修订版A

增加16引脚LFCSP、20引脚LFCSP和 24引脚LFCSP.....	通篇
更改“产品特性”部分.....	1
更改“概述”部分.....	1
更改表1.....	3
更改表4.....	7
增加图6；重新排序.....	8
更改表5.....	8
增加图8.....	9
更改表6.....	9
增加图10.....	11
更改表7.....	11

增加“电源”部分和表8；重新排序.....	20
增加“驱动放大器选择”部分和表9.....	21
更改表16.....	26
“串行接口”部分改为“串行端口接口”部分.....	31
更改图52.....	33
更新“外形尺寸”.....	38
更改“订购指南”.....	41

2013年12月—修订版0：初始版

规格

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.25 V , $V_{DRIVE} = 1.8\text{ V}$ 至 5.25 V , $V_{REF} = 2.5\text{ V}$ (内部基准源), $f_{SAMPLE} = 1\text{ MSPS}$, $f_{SCLK} = 50\text{ MHz}$,

$T_A = T_{MIN}$ 至 T_{MAX} °

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能	$f_{IN} = 10\text{ kHz}$ 正弦波				
信噪比(SNR)		66.5	70		dB
信纳比(SINAD)		65.5	69		dB
总谐波失真(THD)			-80		dB
无杂散动态范围(SFDR)	$f_{IN} = 1\text{ kHz}$ 正弦波		-81		dB
通道间隔离			-95		dB
孔径延迟			5		ns
孔径抖动			40		ps
全功率带宽	-3 dB时		1.5		MHz
	-0.1 dB时		1.2		MHz
直流精度					
分辨率		12			位
积分非线性(INL)	$V_{DD} \geq 3.0\text{ V}$	-1	± 0.7	+1	LSB
	$V_{DD} \geq 2.7\text{ V}$	-1.25	± 0.8	+1.25	LSB
差分非线性(DNL)	保证12位无失码	-0.9	± 0.3	+0.9	LSB
失调误差	$T_A = 25^\circ\text{C}$	-1.5	0.2	+1.5	mV
失调误差匹配	$T_A = 25^\circ\text{C}$	-1.5	0.2	+1.5	mV
失调误差漂移			2		ppm/°C
增益误差	$T_A = 25^\circ\text{C}$	-0.1	0.0	+0.1	% FS
增益误差匹配	$T_A = 25^\circ\text{C}$	-0.1	0.0	+0.1	% FS
增益误差漂移			2		ppm/°C
模拟输入					
输入电压范围		0		V_{REF}	V
直流漏电流		-1		+1	μA
输入电容 ¹	采集阶段		10		pF
	采集阶段之外		1.5		pF
多路复用器导通电阻	$V_{DD} = 5.0\text{ V}$		50		Ω
	$V_{DD} = 2.5\text{ V}$		100		Ω
基准电压输入/输出					
REF_{OUT}^2	内部基准输出, $T_A = 25^\circ\text{C}$	2.49	2.5	2.51	V
REF_{IN}^2	外部基准输入	1.0		V_{DD}	V
温漂			5		ppm/°C
上电时间	$C_{REF} = 2.2\ \mu\text{F}$		50		ms
逻辑输入					
输入高电压(V_{IH})		$0.7 \times V_{DRIVE}$			V
输入低电压(V_{IL})				$0.3 \times V_{DRIVE}$	V
输入电流(I_{IN})	典型值10 nA, $V_{IN} = 0\text{ V}$ 或 V_{DRIVE}	-1		+1	μA
逻辑输出					
输出高电压(V_{OH})	$I_{SOURCE} = 200\ \mu\text{A}$	$V_{DRIVE} - 0.2$			V
输出低电压(V_{OL})	$I_{SINK} = 200\ \mu\text{A}$			0.4	V
浮空态泄漏电流		-1		+1	μA
输出编码			标准(自然)二进制		

AD7091R-2/AD7091R-4/AD7091R-8

参数	测试条件/注释	最小值	典型值	最大值	单位
转换速率					
转换时间				600	ns
瞬态响应	满量程阶跃输入			400	ns
吞吐速率				1	MSPS
电源要求					
V_{DD}		2.7		5.25	V
V_{DRIVE}	额定性能	2.7		5.25	V
V_{DRIVE} 范围 ³	功能型	1.8		5.25	V
I_{DD}	$V_{IN} = 0V$				
正常模式—静态 ⁴	$V_{DD} = 5.25V$		22	50	μA
	$V_{DD} = 3V$		21.6	46	μA
正常模式—工作状态	$V_{DD} = 5.25V, f_{SAMPLE} = 1MSPS$		500	570	μA
	$V_{DD} = 3V, f_{SAMPLE} = 1MSPS$		450	530	μA
省电模式	$V_{DD} = 5.25V$		0.550	17	μA
	$V_{DD} = 5.25V, T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		0.550	6	μA
	$V_{DD} = 3V$		0.435	15	μA
I_{DRIVE}	$V_{IN} = 0V$				
正常模式—静态 ⁵	$V_{DRIVE} = 5.25V$		2	4	μA
	$V_{DRIVE} = 3V$		1	3.5	μA
正常模式—工作状态	$V_{DRIVE} = 5.25V, f_{SAMPLE} = 1MSPS$		30	70	μA
	$V_{DRIVE} = 3V, f_{SAMPLE} = 1MSPS$		10	15	μA
省电模式	$V_{DRIVE} = 5.25V$			1	μA
	$V_{DRIVE} = 3V$			1	μA
总功耗 ⁶	$V_{IN} = 0V$				
正常模式—静态	$V_{DD} = V_{DRIVE} = 5.25V$		0.130	0.290	mW
	$V_{DD} = V_{DRIVE} = 3V$		0.070	0.149	mW
正常模式—工作状态	$V_{DD} = V_{DRIVE} = 5.25V, f_{SAMPLE} = 1MSPS$		2.8	3.4	mW
	$V_{DD} = V_{DRIVE} = 3V, f_{SAMPLE} = 1MSPS$		1.4	1.7	mW
省电模式	$V_{DD} = 5.25V$		3	95	μW
	$V_{DD} = 5.25V, T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		3	33	μW
	$V_{DD} = V_{DRIVE} = 3V$		1.4	50	μW

¹ 样片在初次发布期间均经过测试，以确保符合标准要求。

² 指参数中多功能引脚的单个功能时，只会列出引脚名称中与规格相关的部分。要了解多功能引脚的全部引脚名称，请参见“引脚配置和功能描述”部分。

³ 器件可争产工作，符合动态性能/直流精度规格， V_{DRIVE} 低至1.8V，但器件无法实现1 MSPS吞吐速率。

⁴ SCLK工作在突发模式下， \overline{CS} 为空闲高电平。使用自由振荡SCLK且 \overline{CS} 拉低时， I_{DD} 静态电流会增加30 μA (典型值， $V_{DD} = 5.25V$)。

⁵ SCLK工作在突发模式下， \overline{CS} 为空闲高电平。使用自由振荡SCLK且 \overline{CS} 拉低时， I_{DRIVE} 静态电流会增加32 μA (典型值， $V_{DRIVE} = 5.25V$)。

⁶ 总功耗包括 V_{DD} 、 V_{DRIVE} 和 REF_{IN} (见注释2)。

时序规格

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.25 V , $V_{DRIVE} = 1.8\text{ V}$ 至 5.25 V , $T_A = T_{MIN}$ 至 T_{MAX} 。

表2.

参数	符号	最小值	典型值	最大值	单位
转换时间: $\overline{\text{CONVST}}$ 下降沿至数据可用	t_{CONVERT}			600	ns
采集时间	t_{ACQ}	400			ns
两次转换间隔(正常模式)	t_{CYC}	1000			ns
CONVST脉冲宽度	t_{CNPW}	10		500	ns
SCLK周期(正常模式)	t_{SCLK}				ns
V_{DRIVE} 高于 2.7 V		16			ns
V_{DRIVE} 高于 1.8 V		22			ns
SCLK周期(链模式)	t_{SCLK}				ns
V_{DRIVE} 高于 2.7 V		20			ns
V_{DRIVE} 高于 1.8 V		25			ns
SCLK低电平时间	t_{SCLKL}	6			ns
SCLK高电平时间	t_{SCLKH}	6			ns
SCLK下降沿至数据仍然有效	t_{HSDO}	5			ns
SCLK下降沿至数据有效延迟时间	t_{DSDO}				ns
V_{DRIVE} 高于 4.5 V				12	ns
V_{DRIVE} 高于 3.3 V				13	ns
V_{DRIVE} 高于 2.7 V				14	ns
V_{DRIVE} 高于 1.8 V				20	ns
转换结束至 $\overline{\text{CS}}$ 下降沿	t_{EOCSL}	5			ns
$\overline{\text{CS}}$ 低电平到SDO使能	t_{EN}			5	ns
$\overline{\text{CS}}$ 高电平或最后一个SCLK下降沿至SDO高阻态	t_{DIS}			5	ns
SCLK上升沿前的SDI数据建立时间	t_{SSDISCLK}	5			ns
SCLK上升沿后的SDI数据保持时间	t_{HSDISCLK}	2			ns
最后一个SCLK下降沿至下一个 $\overline{\text{CONVST}}$ 下降沿	t_{QUIET}	50			ns

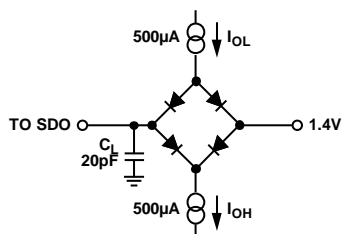
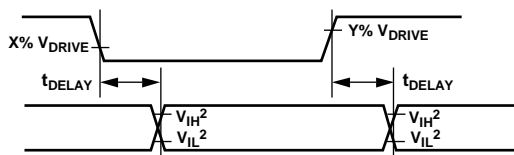


图2. 数字接口时序的负载电路



NOTES

- 1 FOR $V_{DRIVE} \leq 3.0\text{ V}$, $X = 90$ AND $Y = 10$; FOR $V_{DRIVE} > 3.0\text{ V}$, $X = 70$ AND $Y = 30$.
- 2 MINIMUM V_{IH} AND MAXIMUM V_{IL} USED. SEE SPECIFICATIONS FOR DIGITAL INPUTS PARAMETER IN TABLE 2.

图3. 时序的电平

AD7091R-2/AD7091R-4/AD7091R-8

时序图

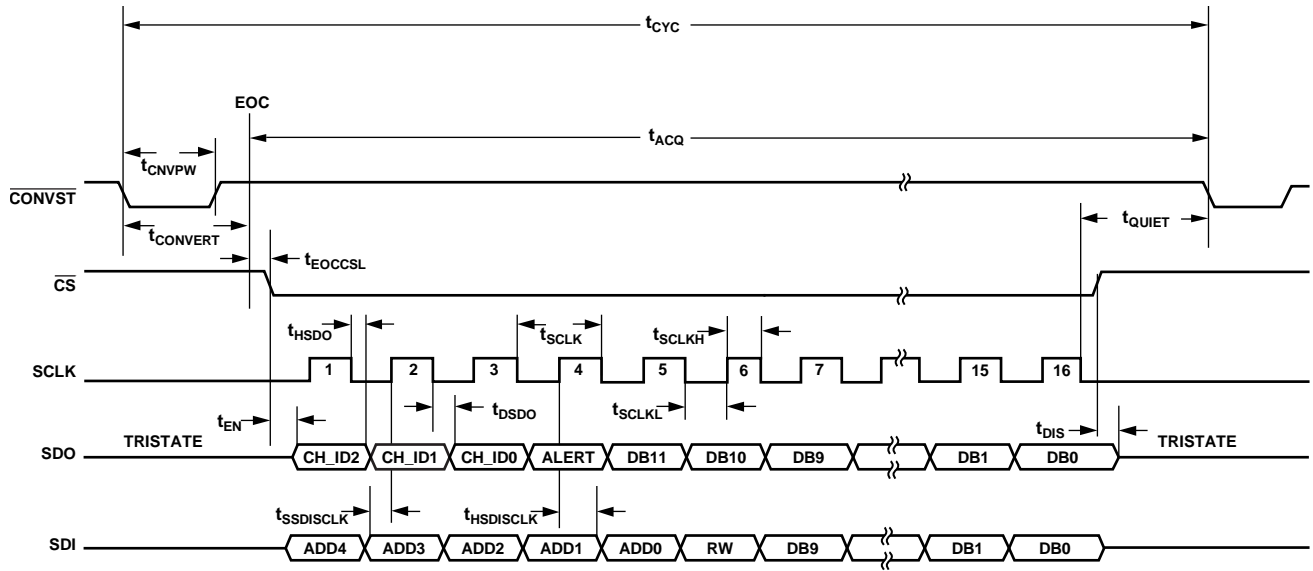


图4. 串行端口时序

10891-002

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表3.

参数	评分
V_{DD} 至 GND	-0.3 V 至 +7 V
V_{DRIVE} 至 GND	-0.3 V 至 +7 V
模拟输入电压至 GND	-0.3 V 至 $V_{REF} + 0.3 \text{ V}$
数字输入 ¹ 电压至 GND	-0.3 V 至 $V_{DRIVE} + 0.3 \text{ V}$
数字输出 ² 电压至 GND	-0.3 V 至 $V_{DRIVE} + 0.3 \text{ V}$
输入电流至除电源引脚以外的任何引脚 ³	$\pm 10 \text{ mA}$
工作温度范围	-40°C 至 $+125^\circ\text{C}$
存储温度范围	-65°C 至 $+150^\circ\text{C}$
结温	150°C
ESD	
人体模型(HBM)	1.5 kV
场感应充电器件模型(FICDM)	500 V

¹ 数字输入引脚包括： $\overline{\text{RESET}}$ 、 $\overline{\text{CONVST}}$ 、SDI、SCLK和 $\overline{\text{CS}}$ 。

² 数字输出引脚包括：SDO、GPO₀和ALERT/BUSY/GPO₀。

³ 100 mA以下的瞬态电流不会造成SCR闩锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即器件焊接在电路板上实现表贴封装。

表4. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
24引脚 LFCSP	47.3	27.78	$^\circ\text{C}/\text{W}$
24引脚 TSSOP	73.54	14.94	$^\circ\text{C}/\text{W}$
20引脚 LFCSP	49.05	29.18	$^\circ\text{C}/\text{W}$
20引脚 TSSOP	84.29	18.43	$^\circ\text{C}/\text{W}$
16引脚 LFCSP	50.58	29.64	$^\circ\text{C}/\text{W}$
16引脚 TSSOP	106.03	28.31	$^\circ\text{C}/\text{W}$

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD7091R-2/AD7091R-4/AD7091R-8

引脚配置和功能描述

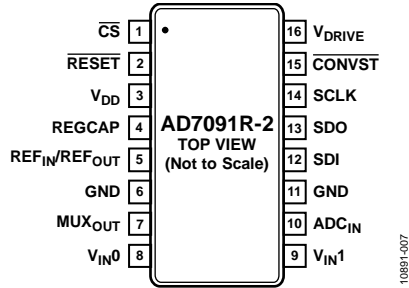


图5. 2通道、16引脚TSSOP引脚配置

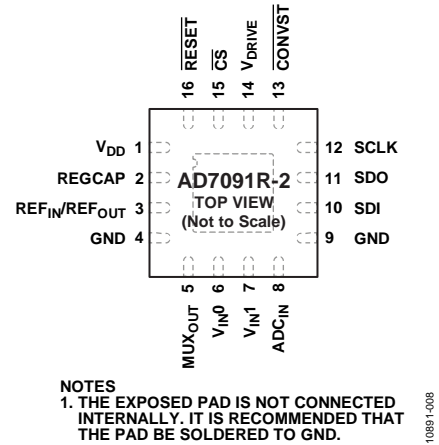


图6. 2通道、16引脚LFCSP引脚配置

表5.2 2通道、16引脚LFCSP和16引脚TSSOP引脚功能描述

引脚编号		引脚名称	说明
TSSOP	LFCSP		
1	15	CS	片选输入引脚。拉低CS时，串行总线使能，CS在SPI上对输出数据进行成帧操作。
2	16	RESET	复位。逻辑输入。
3	1	V _{DD}	电源输入引脚。V _{DD} 范围为2.7V至5.25V。应将此电源引脚去耦至GND。
4	2	REGCAP	内部稳压器电压输出的去耦电容引脚。应将此输出引脚通过一个1.0 μF电容独立去耦至GND。
5	3	REF _{IN} /REF _{OUT}	基准电压输出为2.5V。应将此引脚去耦至GND。推荐的典型去耦电容值为2.2 μF。用户既可使用内部2.5V基准电压，也可利用施加至此引脚的外部电压过载内部基准电压。外部基准电压的输入范围为1.0V至V _{DD} 。
6, 11	4, 9	GND	芯片接地引脚。这些引脚是AD7091R-2上所有电路的接地基准。
7	5	MUX _{OUT}	多路复用器输出。多路复用器输出施加在该引脚上。如果不需要外部滤波或缓冲，则应将此引脚直接连接ADC _{IN} 引脚；否则，应将调理网络输出连接至ADC _{IN} 引脚。
8	6	V _{IN0}	模拟输入0。单端模拟输入。模拟输入范围为0V至V _{REF} 。
9	7	V _{IN1}	模拟输入1。单端模拟输入。模拟输入范围为0V至V _{REF} 。
10	8	ADC _{IN}	ADC输入。该引脚可使用片内采样保持。如果不需要外部滤波或缓冲，则应将此引脚直接连接MUX _{OUT} 引脚；否则，应将调理网络输入连接至MUX _{OUT} 引脚。
12	10	SDI	串行数据输入总线。该输入可提供写入片内控制寄存器的数据。数据在SCLK输入的下沿逐个输入寄存器。数据以最高有效位(MSB)优先方式提供。
13	11	SDO	串行数据输出总线。转换输出数据以串行数据流形式提供给此引脚。各位在SCLK输入的下沿逐个输出，访问数据需要13个SCLK周期。数据以MSB优先方式提供。
14	12	SCLK	串行时钟。此引脚用作串行时钟输入。
15	13	CONVST	转换开始输入信号。边沿触发逻辑输入。CONVST下降沿使采样保持器进入保持模式，并且启动转换。
16	14	V _{DRIVE}	逻辑电源输入。此引脚的电源电压决定逻辑接口的工作电压。在V _{DRIVE} 和GND之间连接去耦电容。推荐的典型值是10 μF和0.1 μF。此引脚的电压范围为1.8V至5.25V，可以与V _{DD} 的电压范围不同。
不适用	17	EPAD	裸露焊盘。底部焊盘不在内部连接。建议将该焊盘焊接至GND。

AD7091R-2/AD7091R-4/AD7091R-8

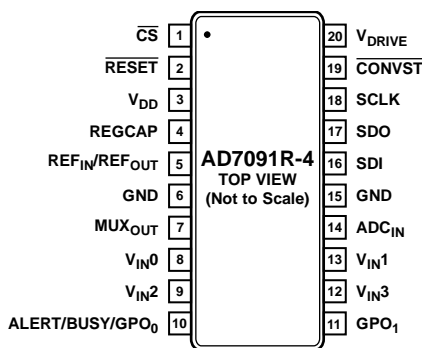
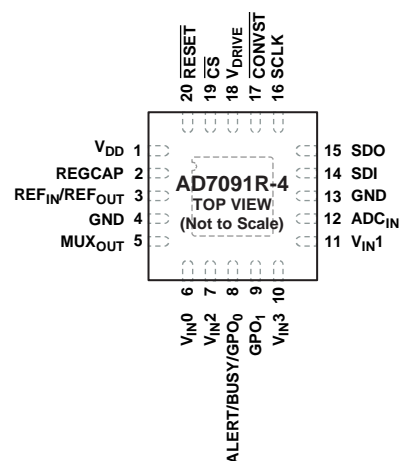


图7. 4通道、20引脚TSSOP引脚配置



NOTES
1. THE EXPOSED PAD IS NOT CONNECTED INTERNALLY. IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO GND.

图8. 4通道、20引脚LFCSP引脚配置

表6. 4通道、20引脚LFCSP和20引脚TSSOP引脚功能描述

引脚编号		引脚名称	说明
TSSOP	LFCSP		
1	19	\overline{CS}	片选输入引脚。拉低 \overline{CS} 时，串行总线使能， \overline{CS} 在SPI上对输出数据进行成帧操作。
2	20	\overline{RESET}	复位。逻辑输入。
3	1	V_{DD}	电源输入引脚。 V_{DD} 范围为2.7V至5.25V。应将该电源引脚去耦至GND。
4	2	REGCAP	内部稳压器电压输出的去耦电容引脚。应将该输出引脚通过一个1.0 μ F电容独立去耦至GND。
5	3	REF _{IN} /REF _{OUT}	基准电压输出为2.5V。应将该引脚去耦至GND。推荐的典型去耦电容值为2.2 μ F。用户既可使用内部2.5V基准电压，也可利用施加至此引脚的外部电压过载内部基准电压。外部基准电压的输入范围为1.0V至 V_{DD} 。
6, 15	4, 13	GND	芯片接地引脚。这些引脚是AD7091R-4上所有电路的接地基准。
7	5	MUX _{OUT}	多路复用器输出。多路复用器输出施加在该引脚上。如果不需要外部滤波或缓冲，则应将该引脚直接连接ADC _{IN} 引脚；否则，应将调理网络输出连接至ADC _{IN} 引脚。
8	6	V _{IN0}	模拟输入0。单端模拟输入。模拟输入范围为0V至 V_{REF} 。
9	7	V _{IN2}	模拟输入2。单端模拟输入。模拟输入范围为0V至 V_{REF} 。
10	8	ALERT/BUSY/GPO ₀	警报输出引脚(ALERT)。这是一个多功能引脚，由配置寄存器确定。配置为ALERT时，此引脚为逻辑输出，表示转换结果超出寄存器设置范围。若ALERT/BUSY/GPO ₀ 引脚配置为繁忙输出，则应使用此引脚表示转换开始。引脚还可用作通用数字输出。
11	9	GPO ₁	通用数字输出。
12	10	V _{IN3}	模拟输入3。单端模拟输入。模拟输入范围为0V至 V_{REF} 。
13	11	V _{IN1}	模拟输入1。单端模拟输入。模拟输入范围为0V至 V_{REF} 。
14	12	ADC _{IN}	ADC输入。该引脚可使用片内采样保持。如果不需要外部滤波或缓冲，则应将该引脚直接连接MUX _{OUT} 引脚；否则，应将调理网络输入连接至MUX _{OUT} 引脚。
16	14	SDI	串行数据输入总线。该输入可提供写入片内控制寄存器的数据。数据在SCLK输入的下降沿逐个输入寄存器。数据以MSB优先方式提供。
17	15	SDO	串行数据输出总线。转换输出数据以串行数据流形式提供给此引脚。各位在SCLK输入的下降沿逐个输出，访问数据需要13个SCLK周期。数据以MSB优先方式提供。

AD7091R-2/AD7091R-4/AD7091R-8

引脚编号		引脚名称	说明
TSSOP	LFCSP		
18	16	SCLK	串行时钟。此引脚用作串行时钟输入。
19	17	CONVST	转换开始输入信号。边沿触发逻辑输入。 $\overline{\text{CONVST}}$ 下降沿使采样保持器进入保持模式，并且启动转换。
20	18	V _{DRIVE}	逻辑电源输入。此引脚的电源电压决定逻辑接口的工作电压。在V _{DRIVE} 和GND之间连接去耦电容。推荐的典型值是10 μF 和0.1 μF 。此引脚的电压范围为1.8 V至5.25 V，可以与V _{DD} 的电压范围不同，但不得超过它0.3 V以上。
不适用	21	EPAD	裸露焊盘。底部焊盘不在内部连接。建议将该焊盘焊接至GND。

AD7091R-2/AD7091R-4/AD7091R-8

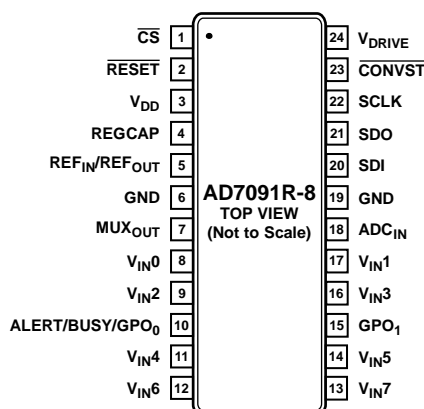
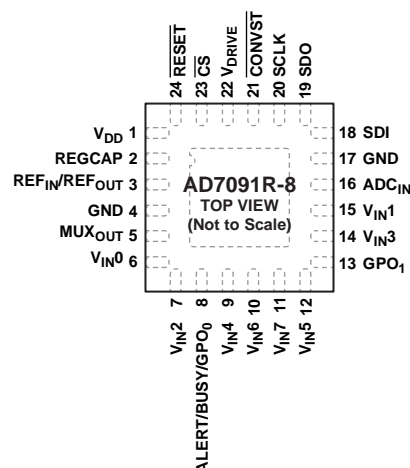


图9. 8通道、24引脚TSSOP引脚配置



NOTES
1. THE EXPOSED PAD IS NOT CONNECTED INTERNALLY. IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO GND.

图10. 8通道、24引脚LFCSP引脚配置

表7. 8通道、24引脚LFCSP和24引脚TSSOP引脚功能描述

引脚编号		引脚名称	说明
TSSOP	LFCSP		
1	23	CS	片选输入引脚。拉低CS时，串行总线使能，CS在SPI上对输出数据进行成帧操作。
2	24	RESET	复位。逻辑输入。
3	1	V _{DD}	电源输入引脚。V _{DD} 范围为2.7V至5.25V。应将此电源引脚去耦至GND。
4	2	REGCAP	内部稳压器电压输出的去耦电容引脚。应将此输出引脚通过一个1.0 μF电容独立去耦至GND。
5	3	REF _{IN} /REF _{OUT}	基准电压输出为2.5V。应将此引脚去耦至GND。推荐的典型去耦电容值为2.2 μF。用户既可使用内部2.5V基准电压，也可利用施加至此引脚的外部电压过载内部基准电压。外部基准电压的输入范围为1.0V至V _{DD} 。
6, 19	4, 17	GND	芯片接地引脚。这些引脚是AD7091R-8上所有电路的接地基准。
7	5	MUX _{OUT}	多路复用器输出。多路复用器输出施加在该引脚上。如果不需要外部滤波或缓冲，则应将此引脚直接连接ADC _{IN} 引脚；否则，应将调理网络输出连接至ADC _{IN} 引脚。
8	6	V _{IN0}	模拟输入0。单端模拟输入。模拟输入范围为0V至V _{REF} 。
9	7	V _{IN2}	模拟输入2。单端模拟输入。模拟输入范围为0V至V _{REF} 。
10	8	ALERT/BUSY/GPO ₀	警报输出引脚(ALERT)。这是一个多功能引脚，由配置寄存器确定。配置为ALERT时，此引脚为逻辑输出，表示转换结果超出寄存器设置范围。若ALERT/BUSY/GPO ₀ 引脚配置为繁忙输出，则应使用此引脚表示转换开始。引脚还可用作通用数字输出。
11	9	V _{IN4}	模拟输入4。单端模拟输入。模拟输入范围为0V至V _{REF} 。
12	10	V _{IN6}	模拟输入6。单端模拟输入。模拟输入范围为0V至V _{REF} 。
13	11	V _{IN7}	模拟输入7。单端模拟输入。模拟输入范围为0V至V _{REF} 。
14	12	V _{IN5}	模拟输入5。单端模拟输入。模拟输入范围为0V至V _{REF} 。
15	13	GPO ₁	通用数字输出。
16	14	V _{IN3}	模拟输入3。单端模拟输入。模拟输入范围为0V至V _{REF} 。
17	15	V _{IN1}	模拟输入1。单端模拟输入。模拟输入范围为0V至V _{REF} 。
18	16	ADC _{IN}	ADC输入。该引脚可使用片内采样保持。如果不需要外部滤波或缓冲，则应将此引脚直接连接MUX _{OUT} 引脚；否则，应将调理网络输入连接至MUX _{OUT} 引脚。

AD7091R-2/AD7091R-4/AD7091R-8

引脚编号		引脚名称	说明
TSSOP	LFCSP		
20	18	SDI	串行数据输入总线。该输入提供写入片内控制寄存器的数据。数据在SCLK输入的下沿逐个输入寄存器。数据以MSB优先方式提供。
21	19	SDO	串行数据输出总线。转换输出数据以串行数据流形式提供给此引脚。各位在SCLK输入的下沿逐个输出，访问数据需要13个SCLK周期。数据以MSB优先方式提供。
22	20	SCLK	串行时钟。此引脚用作串行时钟输入。
23	21	$\overline{\text{CONVST}}$	转换开始输入信号。边沿触发逻辑输入。 $\overline{\text{CONVST}}$ 下降沿使采样保持器进入保持模式，并且启动转换。
24	22	V _{DRIVE}	逻辑电源输入。此引脚的电源电压决定逻辑接口的工作电压。在V _{DRIVE} 和GND之间连接去耦电容。推荐的典型值是10 μF和0.1 μF。此引脚的电压范围为1.8 V至5.25 V，可以与V _{DD} 的电压范围不同。
不适用	25	EPAD	裸露焊盘。底部焊盘不在内部连接。建议将该焊盘焊接至GND。

典型性能参数

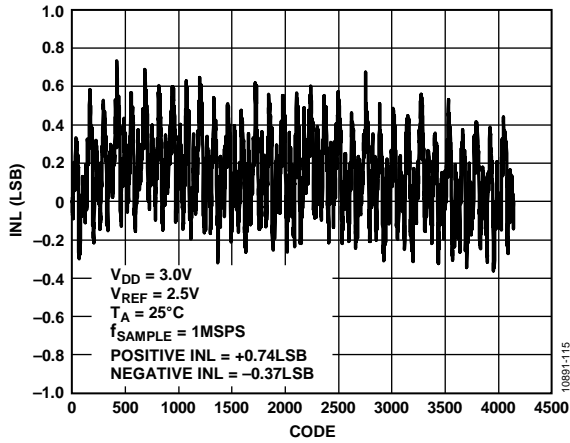


图11. 积分非线性与代码的关系

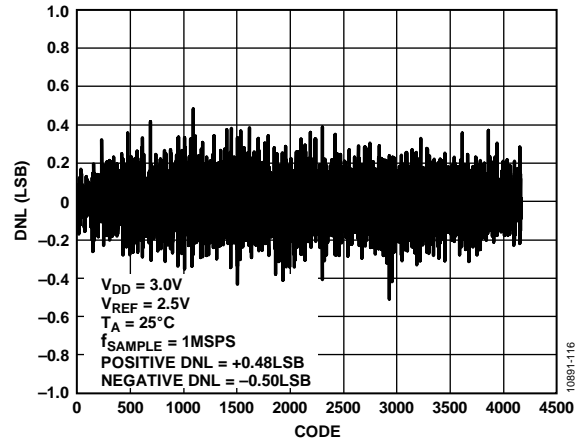


图14. 差分非线性与代码的关系

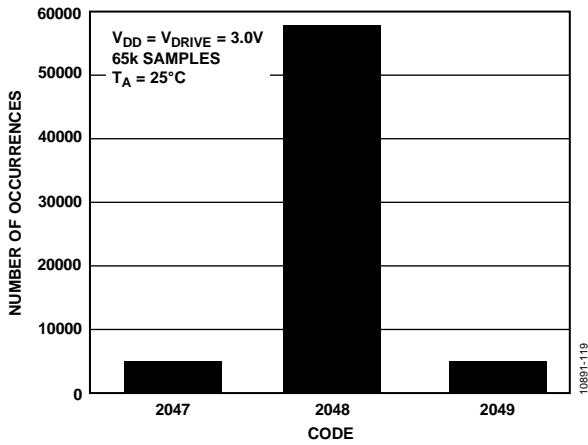


图12. 一个直流输入的直方图(码中心)

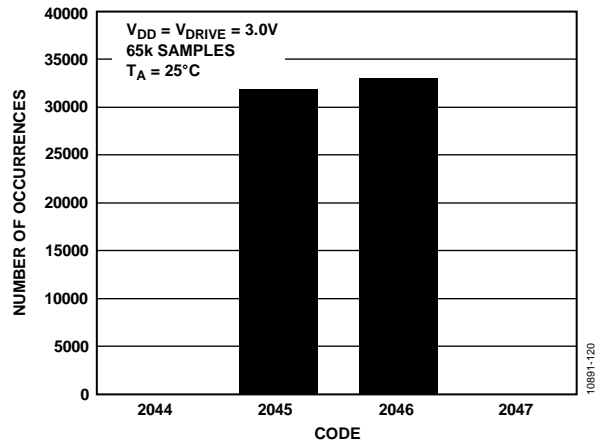


图15. 一个直流输入的直方图(码转换)

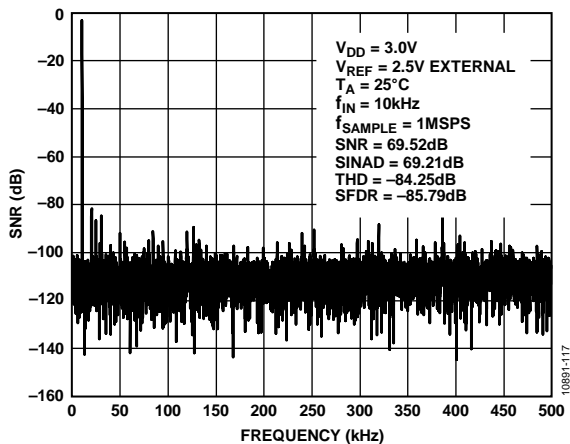


图13. 10 kHz快速傅里叶变换(FFT), $V_{DD} = 3.0V$, $V_{REF} = 2.5V$ (外部)

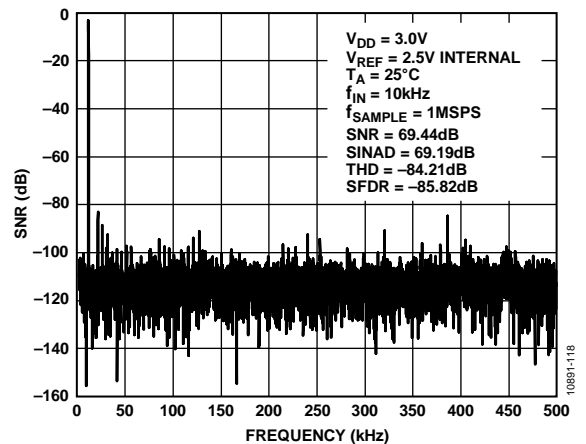


图16. 10 kHz FFT, $V_{DD} = 3.0V$, $V_{REF} = 2.5V$ (内部)

AD7091R-2/AD7091R-4/AD7091R-8

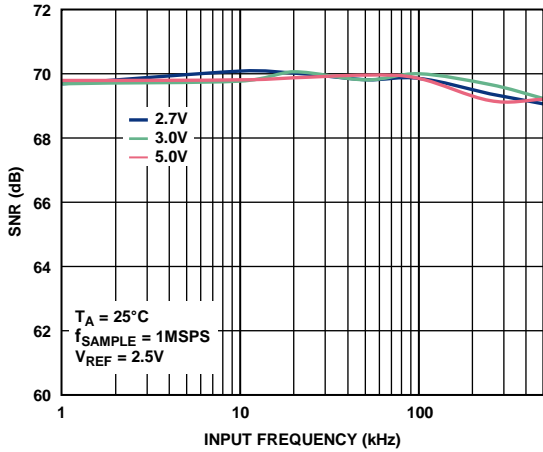


图17. 不同电源电压下SNR与模拟输入频率的关系

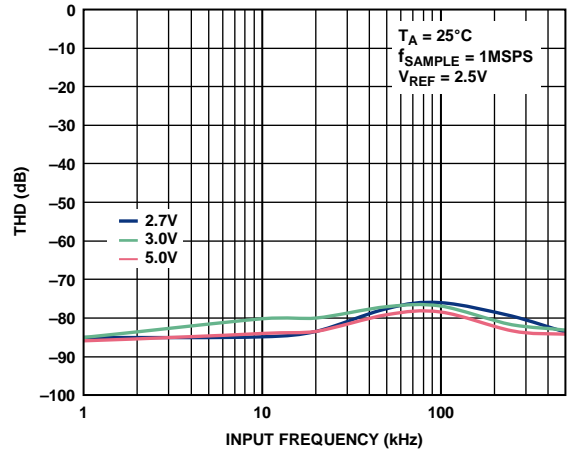


图20. 不同电源电压下THD与模拟输入频率的关系

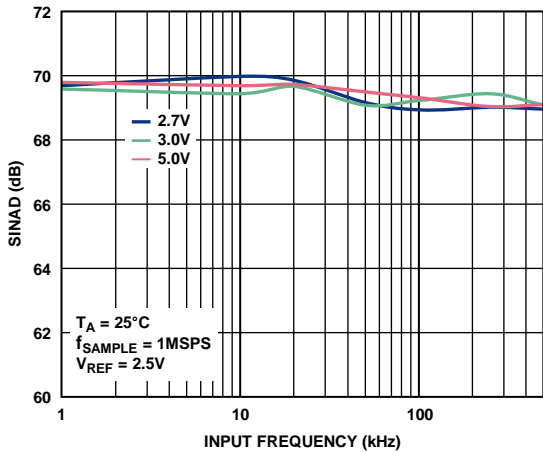


图18. 不同电源电压下SINAD与模拟输入频率的关系

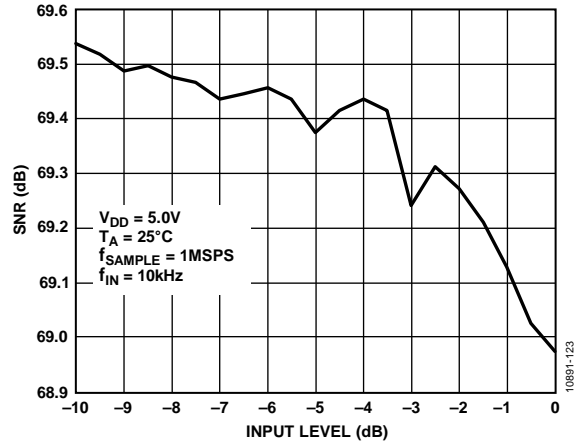


图21. SNR与输入电平的关系

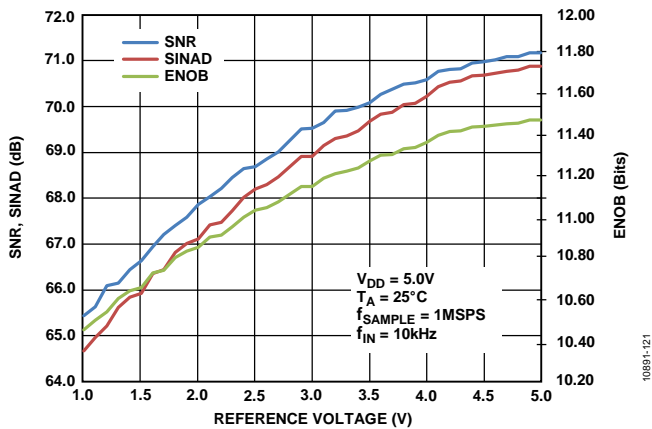


图19. SNR、SINAD和ENOB与基准电压的关系

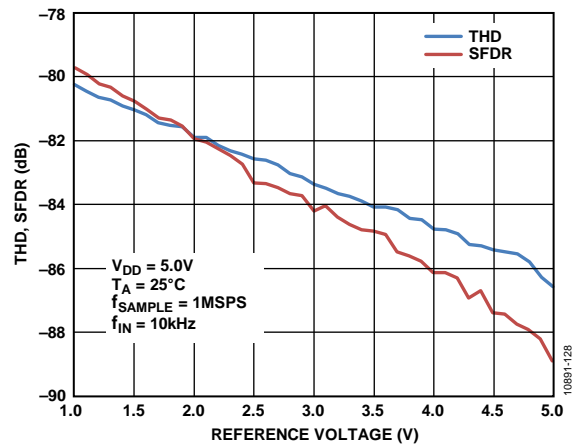


图22. THD和SFDR与基准电压的关系

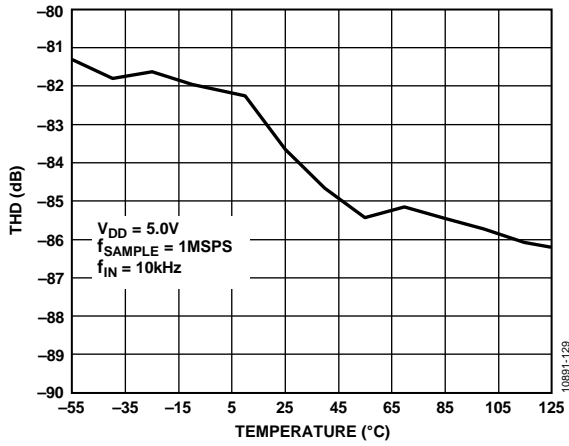


图23. THD与温度的关系

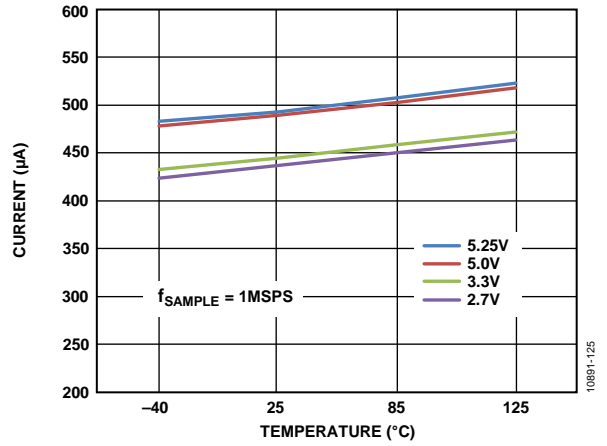


图26. 工作 I_{DD} 电源电流与不同 V_{DD} 电源电压下的温度关系

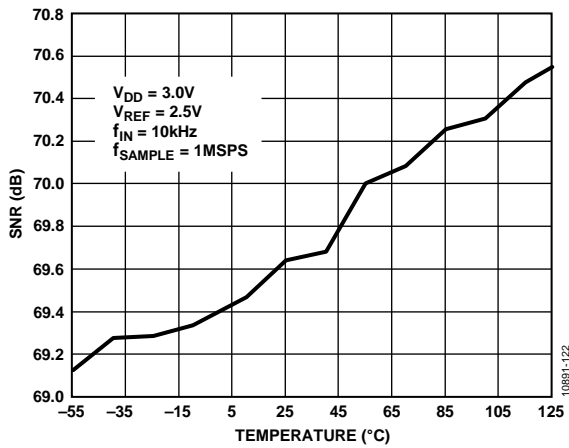


图24. SNR与温度的关系

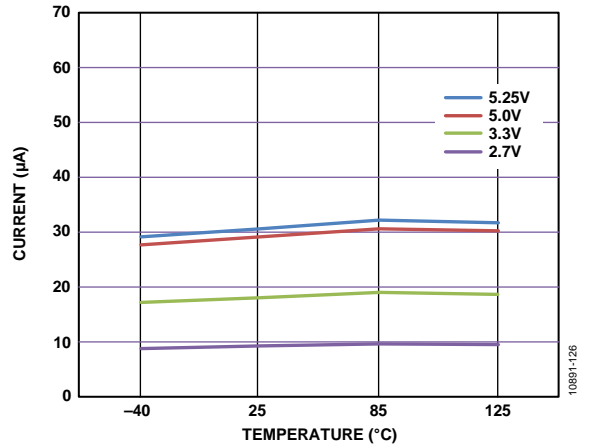


图27. 不同 V_{DRIVE} 电源电压下工作 I_{DRIVE} 电源电流与温度的关系

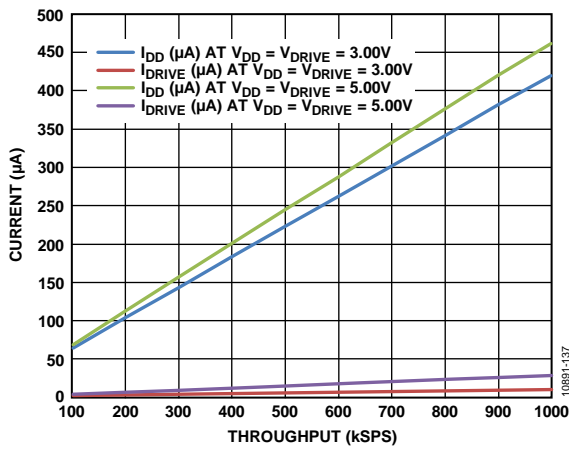


图25. 工作电流与吞吐速率的关系

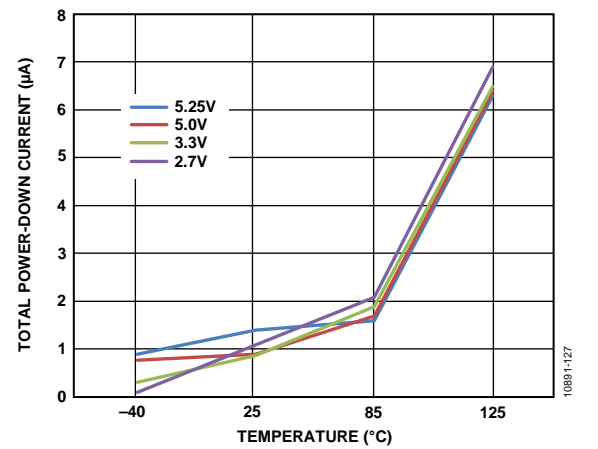


图28. 不同电源下总关断电流与温度的关系

AD7091R-2/AD7091R-4/AD7091R-8

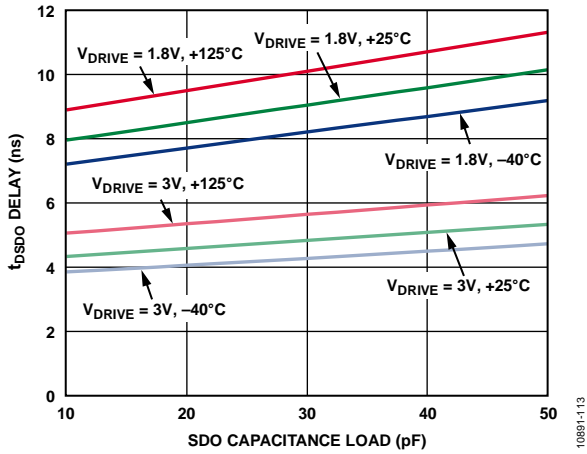


图29. t_{DSDO} 延迟与SDO电容负载和电源的关系

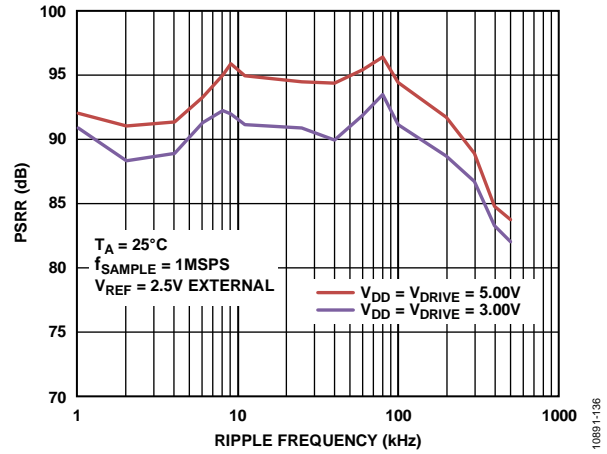


图32. PSRR与纹波频率的关系

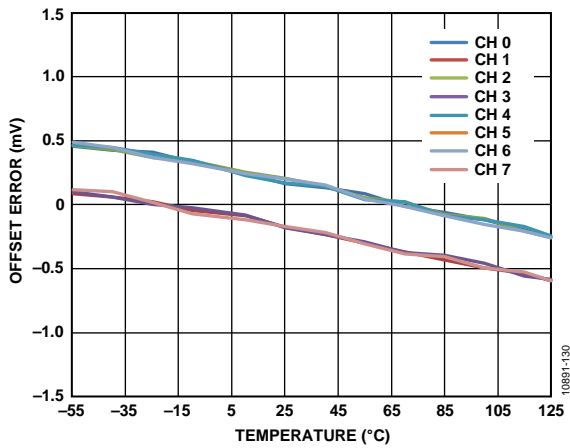


图30. 偏置误差与温度的关系

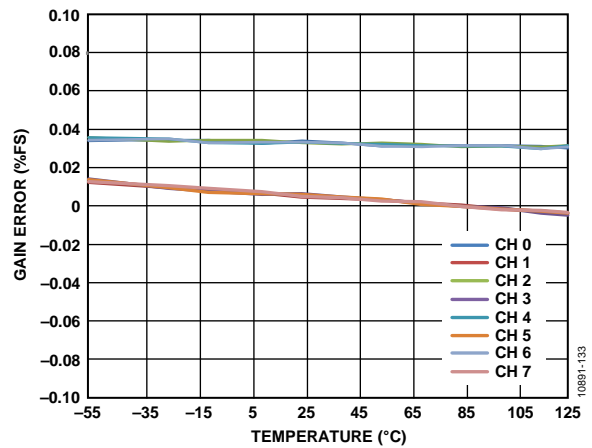


图33. 增益误差与温度的关系

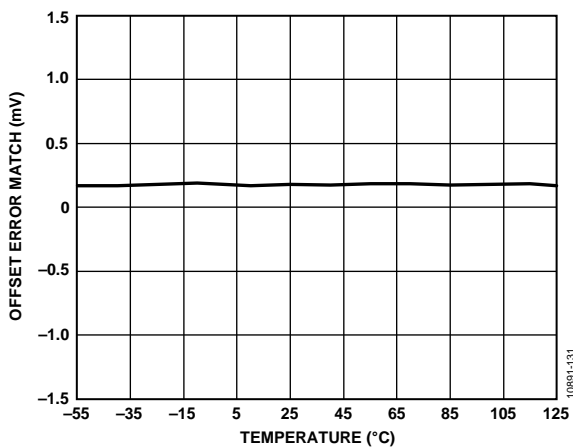


图31. 失调误差匹配与温度的关系

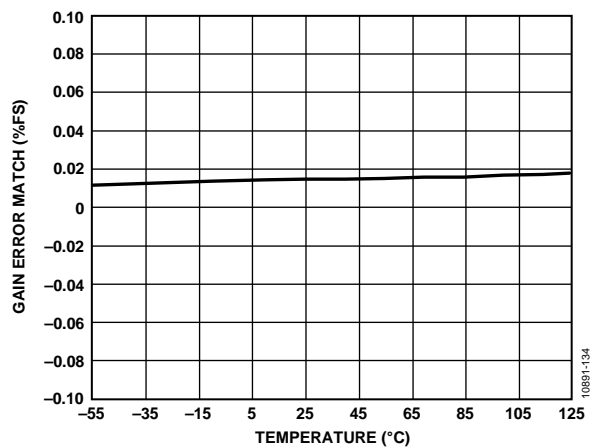


图34. 增益误差匹配与温度的关系

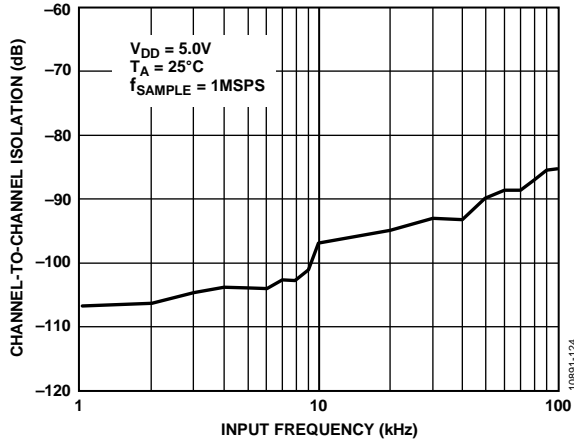


图35. 通道间隔离与输入频率的关系

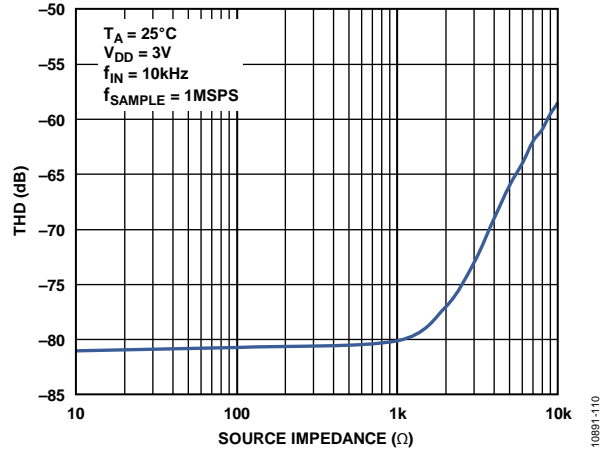


图38. THD与源阻抗的关系

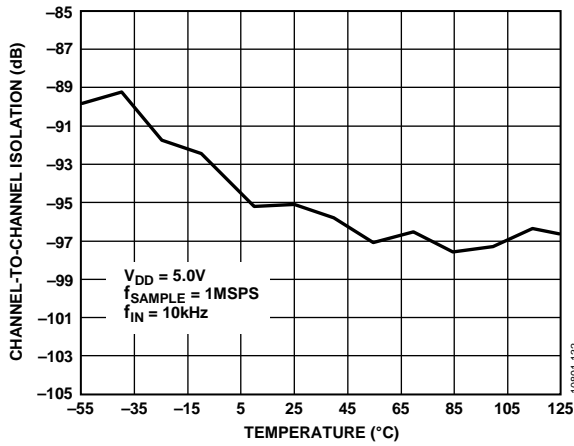


图36. 通道间隔离与温度的关系

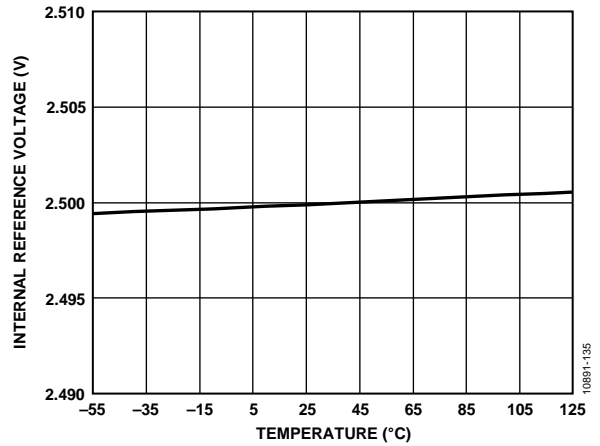


图39. 内部基准电压与温度的关系

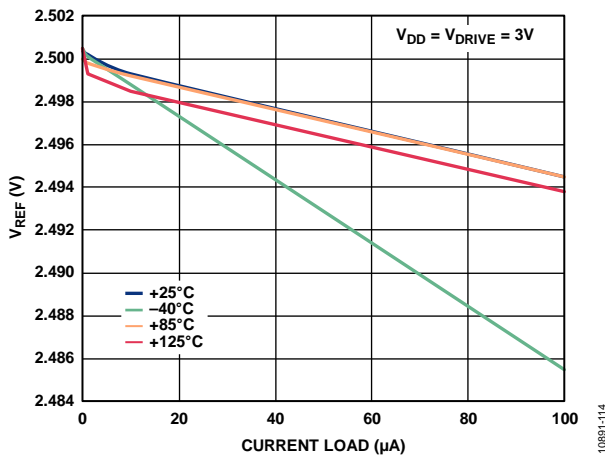


图37. 不同温度下基准电压输出(V_{REF})与电流负载的关系

术语

积分非线性(INL)

INL指ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。对于AD7091R-2/AD7091R-4/AD7091R-8，传递函数有两个端点，起点在低于第一个码转换的 $\frac{1}{2}$ LSB处的零电平，终点在高于最后一个码转换的 $\frac{1}{2}$ LSB处的满量程。

差分非线性(DNL)

DNL指ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

失调误差

失调误差是指第一个码转换(00 ... 000到00 ... 001)的跃变点与理想点(例如GND + 0.5 LSB)的偏差。

失调误差匹配

失调误差匹配是指任意两个输入通道之间的失调误差之差。

增益误差

对于AD7091R-2/AD7091R-4/AD7091R-8，增益误差指在失调误差调零之后，最后一个码转换(从111 ... 110到111 ... 111)的跃变点与理想点(例如 $V_{REF} - 1.5$ LSB)的偏差。

增益误差匹配

增益误差匹配是指任意两个输入通道之间的增益误差之差。

瞬态响应时间

采样保持放大器在转换结束后恢复跟踪模式。采样保持器采集时间是转换结束后，采样保持放大器输出达到最终值(在 ± 0.5 LSB内)所需的时间。详情参见“串行端口接口”部分。

信纳比(SINAD)

信纳比是指在ADC输出端测得的信号对噪声及失真比。这里的信号是基波幅值的均方根值。噪声为所有达到采样频率一半($f_s/2$ ，直流信号除外)的非基波信号之和。

在数字化过程中，这个比值的大小取决于量化级数，量化级数越多，量化噪声就越小。对于一个正弦波输入的理想N位转换器，信纳比理论值计算公式为：

$$SINAD = (6.02N + 1.76) \text{ dB}$$

因此，对于12位转换器，信纳比为74 dB。

通道间隔离

通道间隔离衡量选定通道之间，以及与其它所有通道之间的串扰水平，通过向所有未选定的输入通道施加一个满量程、10 kHz正弦波信号，并决定该信号在施加直流信号的选定通道内的衰减程度来测量。图35显示AD7091R-2/AD7091R-4/AD7091R-8所有通道的最差情况。

总谐波失真(THD)

THD指所有谐波均方根和与基波的比值。对于AD7091R-2/AD7091R-4/AD7091R-8，其定义为

$$THD(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中：

V_1 是基波幅度的均方根值。

V_2 、 V_3 、 V_4 、 V_5 和 V_6 是二次到六次谐波幅度的均方根值。

无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号的均方根幅值之差，用分贝(dB)表示。

工作原理

电路信息

AD7091R-2/AD7091R-4/AD7091R-8为12位、快速(1 MSPS)、超低功耗、单电源ADC。这些器件均采用2.7 V至5.25 V电源供电。AD7091R-2/AD7091R-4/AD7091R-8的吞吐速率可达1 MSPS。

AD7091R-2/AD7091R-4/AD7091R-8提供片内采样-保持ADC和串行接口，采用16/20/24引脚TSSOP或LFCSP封装，相比替代解决方案可节省大量空间。串行时钟输入访问器件产生的数据。该逐次逼近型ADC所用的时钟由内部产生。AD7091R-2/AD7091R-4/AD7091R-8所用的基准电压由外部提供，或由片内精密基准电压源产生。AD7091R-2/AD7091R-4/AD7091R-8的模拟输入范围是0 V至 V_{REF} 。

AD7091R-2/AD7091R-4/AD7091R-8还提供省电选项，可在两次转换间隙进入省电状态。省电特性通过标准串行接口实现，详见“工作模式”部分。

转换器操作

AD7091R-2/AD7091R-4/AD7091R-8为逐次逼近型ADC，基于电荷再分配数模转换器(DAC)。图40和图41显示了该ADC的原理示意图。图40显示的是采样阶段的ADC。SW2闭合且SW1置于A时，比较器保持在平衡状态，采样电容采集 V_{IN} 的信号。

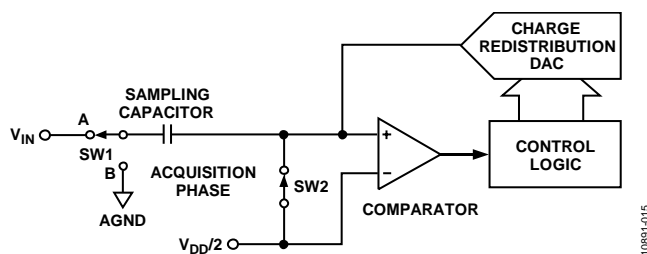


图40. ADC采集阶段

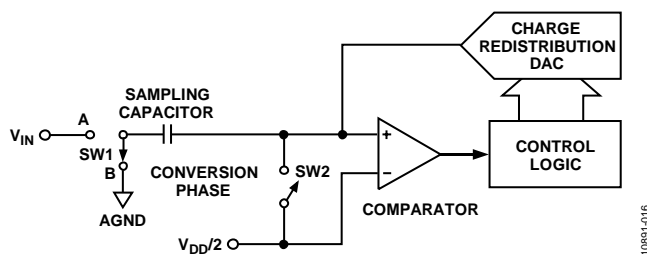


图41. ADC转换阶段

当ADC启动转换时，SW2断开，而SW1移至位置B，使比较器变得不平衡(见图41)。使用控制逻辑可让电荷再分配DAC可以加上和减去采样电容中的固定电荷数量，使得比较器恢复到平衡状态。完成SAR判断后，比较器输入重新平衡。控制逻辑从这些SAR判断中生成ADC输出代码。

ADC传递函数

AD7091R-2/AD7091R-4/AD7091R-8的输出编码方式为标准二进制。所设计的码跃迁在连续整数LSB值的中间(即 $\frac{1}{2}$ LSB、 $1\frac{1}{2}$ LSB等等)进行。AD7091R-2/AD7091R-4/AD7091R-8的LSB大小为 $V_{REF}/4096$ 。AD7091R-2/AD7091R-4/AD7091R-8的理想传递特性如图42所示。

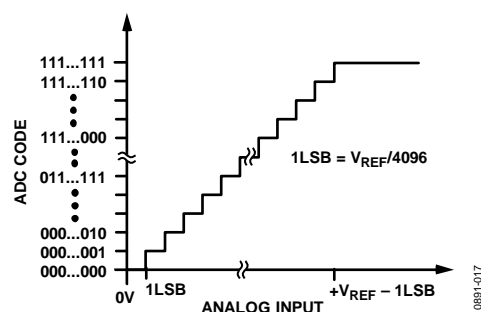


图42. AD7091R-2/AD7091R-4/AD7091R-8传递特性

基准电压

AD7091R-2/AD7091R-4/AD7091R-8既可在内部2.5 V片内基准电压下工作，也可在外部施加的基准电压下工作。配置寄存器内的P_DOWN LSB位逻辑状态决定是否使用内部基准电压源。当P_DOWN LSB位设为1时，使用内部基准电压源。

P_DOWN LSB位设为0时，通过 REF_{IN}/REF_{OUT} 引脚提供范围为2.5 V至 V_{DD} 的外部基准电压源。上电时，默认禁用内部基准电压源。

内部基准电压电路由一个2.5 V带隙基准电压源和一个基准电压缓冲器组成。AD7091R-2/AD7091R-4/AD7091R-8采用内部基准电压源模式工作时，由 REF_{IN}/REF_{OUT} 引脚提供2.5 V内部基准电压，该引脚通常使用2.2 μ F电容耦合至GND。将内部基准电压施加于系统的其它地方之前，建议对其进行缓冲。

基准电压缓冲器需要50 ms的上电时间，并在上电期间给2.2 μ F去耦电容充电。

AD7091R-2/AD7091R-4/AD7091R-8

电源

AD7091R-2/AD7091R-4/AD7091R-8采用两个电源引脚：内核电源(V_{DD})和数字输入/输出接口电源(V_{DRIVE})。 V_{DRIVE} 可以与1.8 V至5.25 V的任何逻辑直接接口。为减少所需的电源数， V_{DRIVE} 和 V_{DD} 引脚可以连在一起，具体取决于系统的逻辑电平。AD7091R-2/AD7091R-4/AD7091R-8与 V_{DRIVE} 和 V_{DD} 电源的时序无关。此外，AD7091R-2/AD7091R-4/AD7091R-8在很宽的频率范围内对电源变化非常不敏感，如图32所示。

AD7091R-2/AD7091R-4/AD7091R-8在每个转换阶段结束时自动关断，因此功耗与采样速率成线性比例关系。自动关断功能使得AD7091R-2/AD7091R-4/AD7091R-8非常适合低采样速率(甚至几赫兹)和电池供电的应用。

表8. 推荐电源管理器件¹

产品	说明
ADP7102	20 V、300 mA低噪声CMOS LDO
ADM7160	超低噪声、200 mA线性稳压器
ADP162	超低静态电流、CMOS线性稳压器

¹ 针对最新的推荐电源管理器件，请参考AD7091R-2/AD7091R-4/AD7091R-8产品页面。

典型连接图

图44显示AD7091R-2/AD7091R-4/AD7091R-8的典型连接图。

应将一个2.7 V至5.25 V范围的正电源连接到 V_{DD} 引脚。这些去耦电容的典型值为0.1 μ F和10 μ F。将这些电容靠近器件引脚放置。注意，对 REF_{IN}/REF_{OUT} 引脚去耦可达到指定的性能。 REF_{IN}/REF_{OUT} 电容典型值为2.2 μ F，具有0 V至 V_{REF} 模拟输入范围。调节器旁路(REGCAP)去耦电容的典型值为1.0 μ F。 V_{DRIVE} 输入上施加的电压控制串行接口的电压，因此，此引脚应连接到微处理器的电源电压。将 V_{DRIVE}

设为1.8 V至5.25 V范围。 V_{DRIVE} 去耦电容的典型值为0.1 μ F和10 μ F。转换结果以16位字输出，MSB优先。

需要外部施加基准电压源时，使用配置寄存器禁用内部基准电压源。选用1.0 V至5.25 V V_{DD} 范围的外部基准电压源，并连接至 REF_{IN}/REF_{OUT} 引脚。

对于注重功耗的应用，可使用ADC省电模式改善功耗性能。详情请参见“工作模式”部分。

模拟输入

图43显示AD7091R-2/AD7091R-4/AD7091R-8模拟输入结构的等效电路。二极管D1和D2为模拟输入提供ESD保护。切记，模拟输入信号不得超过供电轨300 mV以上，否则会造成二极管正偏，并开始向基板内导通电流。这些二极管可以导通但不会导致器件彻底损坏的最大电流为10 mA。

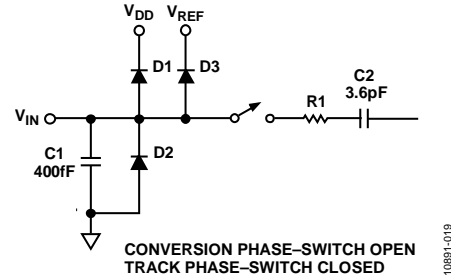


图43. 等效模拟输入电路

图43中的C1电容典型值约为400 pF，主要是引脚寄生电容。R1电阻是由开关导通电阻构成的集总元件，典型值约为500 Ω 。C2电容是ADC采样电容，典型值为3.6 pF。

在对谐波失真和信噪比要求严格的应用中，模拟输入应采用一个低阻抗源进行驱动。高源阻抗会显著影响该ADC的交流性能，并且可能要求用一个输入缓冲放大器，如图44所示。通常根据具体应用来选择运算放大器。

不用放大器来驱动模拟输入端时，应将源阻抗的值限制在较低水平。最大的源阻抗取决于可容许的总谐波失真(THD)。总谐波失真随着输入源阻抗的增加而增大，从而使ADC性能下降。

使用AD7091R-2/AD7091R-4/AD7091R-8 $V_{IN,X}$ 引脚模拟输入信号路径上的外部滤波器实现特定性能。该滤波器可以是单极点低通RC滤波器或类似器件。

将 MUX_{OUT} 引脚直接连接至 ADC_{IN} 引脚。如有需要，可在路径上插入一个缓冲放大器。对通道进行序列操作时，不要在 MUX_{OUT} 和任何缓冲输入之间放置滤波器，因为这样会产生串扰。如果不进行缓冲，则对通道进行序列操作时，不要在 MUX_{OUT} 和 ADC_{IN} 之间放置滤波器，因为这样会产生串扰。

驱动放大器选择

虽然AD7091R-2/AD7091R-4/AD7091R-8很容易驱动，但驱动放大器必须满足下列要求：

- 驱动放大器所产生的噪声必须足够低，以保持AD7091R-2/AD7091R-4/AD7091R-8的SNR和转换噪声性能。来自驱动器的噪声由R1和C2所构成的AD7091R-2/AD7091R-4/AD7091R-8模拟输入电路单极低通滤波器进行滤波，或者由外部滤波器(如有)进行滤波。AD7091R-2/AD7091R-4/AD7091R-8的典型噪声为280 μ V rms，因此放大器引起的SNR性能降低为：

$$SNR_{LOSS} = 20 \log \left(\frac{280}{\sqrt{280^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

其中：

f_{-3dB} 是AD7091R-2/AD7091R-4/AD7091R-8的输入带宽 (1.5 MHz)，单位为MHz，或者是输入滤波器(如有)的截止频率。

N 是放大器的噪声增益(例如，缓冲器配置时增益 = 1；参见图44)。

e_N 为运算放大器的等效输入噪声电压，单位为nV/ \sqrt Hz。

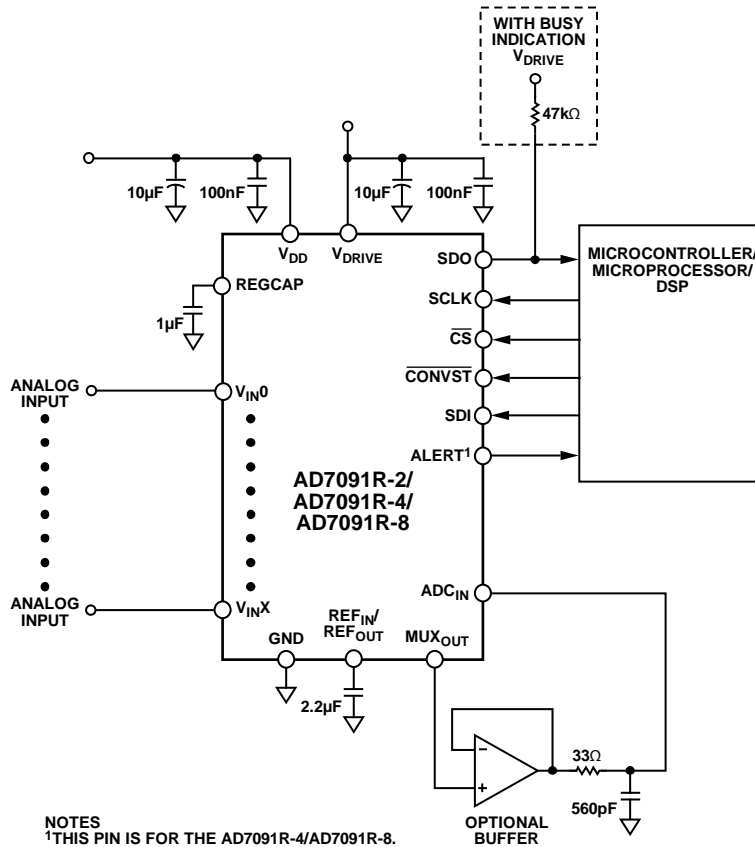
- 对于交流应用，驱动器的THD性能必须与AD7091R-2/AD7091R-4/AD7091R-8相当。
- 如果缓冲器位于MUX_{OUT}和ADC_{IN}之间，则驱动放大器和AD7091R-2/AD7091R-4/AD7091R-8模拟输入电路必须使电容阵列以12位水平(0.0244%，244 ppm)建立满量程阶跃。在放大器数据手册中，更常见的是从0.1%建立到0.01%，且可能与12位水平时的建立时间有很大的不同。因此选择驱动器之前务必进行验证。

表9. 推荐的驱动放大器¹

产品	说明
ADA4805-1	低噪声、超低功耗、宽带宽放大器
AD8031	低噪声、低功耗、单通道放大器
AD8032	低噪声、低功耗、双通道放大器
AD8615	低频率、低电压放大器

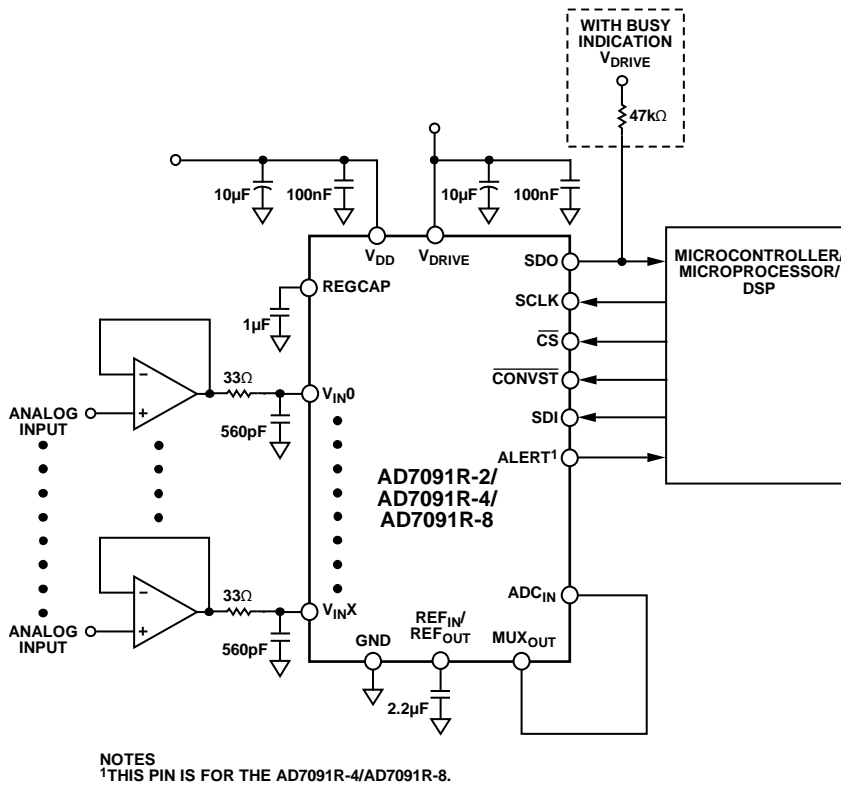
¹ 针对最新的推荐ADC驱动器产品，请参见AD7091R-2/AD7091R-4/AD7091R-8产品页面。

AD7091R-2/AD7091R-4/AD7091R-8



10891-018

图44. 带可选缓冲器的典型连接图



10891-140

图45. 无可选缓冲器的典型连接图

寄存器

AD7091R-2/AD7091R-4/AD7091R-8集成用户可编程寄存器。

表10提供寄存器的完整列表。

寄存器为读/写(R/W)或只读(R)。数据写入读/写寄存器，或者从读/写寄存器中回读。只读寄存器只能用于读取。针对只读寄存器或未部署寄存器地址的任何写操作均视为无操作(NOP)。NOP命令是一个SPI命令，AD7091R-2/AD7091R-4/AD7091R-8会将其忽略。写入只读寄存器后，如果在下一个SPI帧之前无转换，则后续SPI帧的输出为零。类似地，针对未部署寄存器的任何读操作均输出零。

寻址寄存器

AD7091R-2/AD7091R-4/AD7091R-8上的串行传输由16个SCLK周期组成。16个SCLK传输期间，对SDI线路上的6个MSB解码，以确定所寻址的寄存器。6个MSB由寄存器地址(ADDx)、位[4:0]和读/写位组成。寄存器地址位确定选中哪个片内寄存器。读/写位确定SDI线路上读/写位之后的数据是否载入寻址寄存器。若读/写位为1，则这些位载入由寄存器选择位寻址的寄存器。数据在 \overline{CS} 上升沿载入寄存器。若读/写位为0，则认为命令是一个读操作请求。请求的寄存器数据在SDO线路上的下一个消息中可用。

表10. 寄存器描述

地址	寄存器名称	默认	访问类型		
			AD7091R-8	AD7091R-4	AD7091R-2
0x00	转换结果	0x0000	R	R	R
0x01	通道	0x0000	R/W	R/W	R/W
0x02	配置	0x00C0	R/W	R/W	R/W
0x03	警报指示	0x0000	R	R	R
0x04	通道0下限	0x0000	R/W	R/W	R/W
0x05	通道0上限	0x01FF	R/W	R/W	R/W
0x06	通道0迟滞	0x01FF	R/W	R/W	R/W
0x07	通道1下限	0x0000	R/W	R/W	R/W
0x08	通道1上限	0x01FF	R/W	R/W	R/W
0x09	通道1迟滞	0x01FF	R/W	R/W	R/W
0x0A	通道2下限	0x0000	R/W	R/W	无操作(NOP)
0x0B	通道2上限	0x01FF	R/W	R/W	无操作(NOP)
0x0C	通道2迟滞	0x01FF	R/W	R/W	无操作(NOP)
0x0D	通道3下限	0x0000	R/W	R/W	无操作(NOP)
0x0E	通道3上限	0x01FF	R/W	R/W	无操作(NOP)
0x0F	通道3迟滞	0x01FF	R/W	R/W	无操作(NOP)
0x10	通道4下限	0x0000	R/W	无操作(NOP)	无操作(NOP)
0x11	通道4上限	0x01FF	R/W	无操作(NOP)	无操作(NOP)
0x12	通道4迟滞	0x01FF	R/W	无操作(NOP)	无操作(NOP)
0x13	通道5下限	0x0000	R/W	无操作(NOP)	无操作(NOP)
0x14	通道5上限	0x01FF	R/W	无操作(NOP)	无操作(NOP)
0x15	通道5迟滞	0x01FF	R/W	无操作(NOP)	无操作(NOP)
0x16	通道6下限	0x0000	R/W	无操作(NOP)	无操作(NOP)
0x17	通道6上限	0x01FF	R/W	无操作(NOP)	无操作(NOP)
0x18	通道6迟滞	0x01FF	R/W	无操作(NOP)	无操作(NOP)
0x19	通道7下限	0x0000	R/W	无操作(NOP)	无操作(NOP)
0x1A	通道7上限	0x01FF	R/W	无操作(NOP)	无操作(NOP)
0x1B	通道7迟滞	0x01FF	R/W	无操作(NOP)	无操作(NOP)
0x1C	保留	0x0000	无操作(NOP)	无操作(NOP)	无操作(NOP)
...
0x1F	保留	0x0000	无操作(NOP)	无操作(NOP)	无操作(NOP)

AD7091R-2/AD7091R-4/AD7091R-8

转换结果寄存器

转换结果寄存器是一个16位只读寄存器，以标准二进制格式存储最后一次ADC转换结果。寄存器还存储转换通道的通道ID以及警报状态。

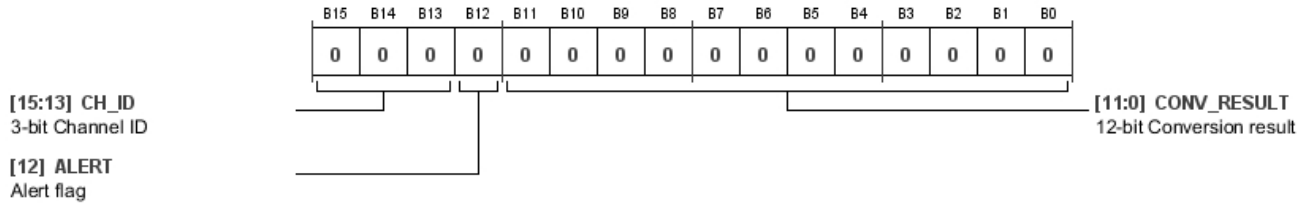


图46. 转换结果寄存器

表11. 转换结果寄存器映射

MSB															LSB
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
CH_ID			ALERT	CONV_RESULT											

表12. 转换结果寄存器位描述

位	名称	说明	复位	访问类型			
[15:13]	CH_ID	转换通道的3位通道ID	0x0	R			
		B15 ^{1,2}			B14 ²	B13	模拟输入通道
		0			0	0	V _{IN0}
		0			0	1	V _{IN1}
		0			1	0	V _{IN2}
		0			1	1	V _{IN3}
		1			0	0	V _{IN4}
		1			0	1	V _{IN5}
1	1	0	V _{IN6}				
1	1	1	V _{IN7}				
12	ALERT	警报标志 0: 无警报 1: 有警报	0	R			
[11:0]	CONV_RESULT	12位转换结果	0x000	R			

¹ AD7091R-4中始终为零。

² AD7091R-2中始终为零。

通道寄存器

AD7091R-2/AD7091R-4/AD7091R-8中的通道寄存器是一个8位读/写寄存器。8个模拟输入通道中的每一个都在通道寄存器中有一个对应位。如需选择一个通道使其位于通道转换序列中，可在通道寄存器中将对应的通道位设为1。通道转换序列更新以前有一个转换延迟。如果通道寄存器采用新数值编程，则转换序列复位至新数值中编号最低的通道。

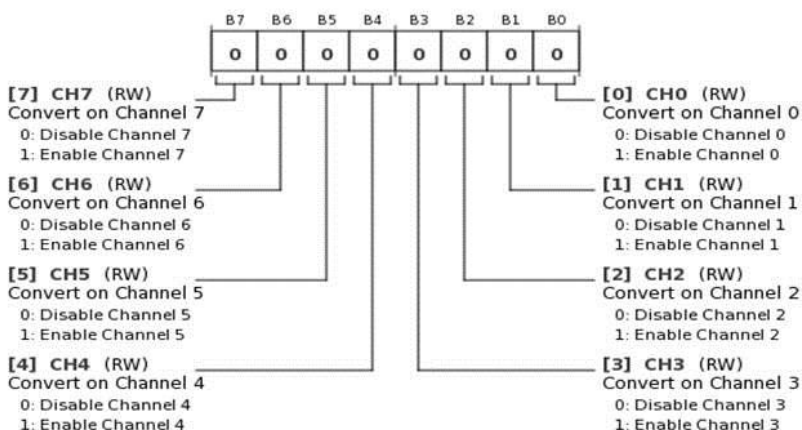


图47. 通道寄存器

表13. 通道寄存器映射

MSB														LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
保留								CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0

表14. 通道寄存器的位描述

位	名称	说明	复位	访问类型
[15:8]	保留	保留	0x00	R
7	CH7	转换通道7 0: 禁用通道7 1: 使能通道7	0x0	R/W
6	CH6	转换通道6 0: 禁用通道6 1: 使能通道6	0x0	R/W
5	CH5	转换通道5 0: 禁用通道5 1: 使能通道5	0x0	R/W
4	CH4	转换通道4 0: 禁用通道4 1: 使能通道4	0x0	R/W
3	CH3	转换通道3 0: 禁用通道3 1: 使能通道3	0x0	R/W
2	CH2	转换通道2 0: 禁用通道2 1: 使能通道2	0x0	R/W
1	CH1	转换通道1 0: 禁用通道1 1: 使能通道1	0x0	R/W

AD7091R-2/AD7091R-4/AD7091R-8

位	名称	说明	复位	访问类型
0	CH0	转换通道0 0: 禁用通道0 1: 使能通道0	0x0	R/W

配置寄存器

配置寄存器是一个16位、读/写寄存器，用来设置AD7091R-2/AD7091R-4/AD7091R-8的工作模式。

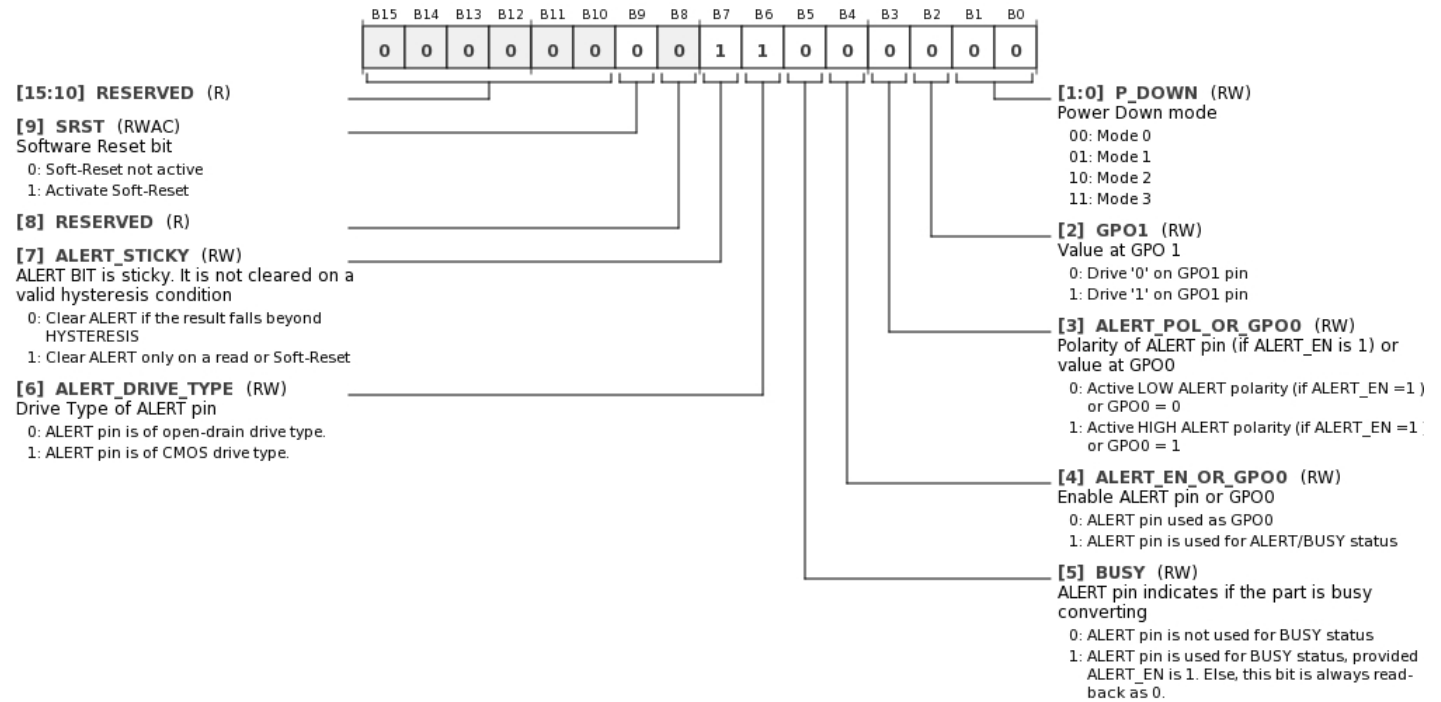


图48. 配置寄存器

表15. 配置寄存器映射

MSB														LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
保留						SRST	保留	ALERT_STICKY	ALERT_DRIVE_TYPE	BUSY	ALERT_EN_OR_GPO0	ALERT_POL_OR_GPO0	GPO1	P_DOWN	

表16. 配置寄存器的位描述

位	名称	说明	复位	访问类型
[15:10]	保留		0x00	R
9	SRST	软件复位位。设置此位可复位内部数字控制逻辑和结果，以及警报寄存器，但不复位其他存储器映射寄存器。此位在下一个时钟周期中自动清零。注意，它会从熔丝载入随机访问存储器(RAM)。0: 软复位未激活。1: 激活软复位。	0x0	RWAC
8	保留	保留	0x0	R
7	ALERT_STICKY	ALERT_STICKY位为粘滞位。此位在有效迟滞条件下不清零。0: 若结果下降至超出迟滞范围，则清零ALERT ¹ 。1: 仅在读操作或软复位时清零ALERT ¹ 。	0x1	R/W

AD7091R-2/AD7091R-4/AD7091R-8

位	名称	说明	复位	访问类型			
6	ALERT_DRIVE_TYPE	ALERT ¹ 引脚驱动类型。 0: ALERT ¹ 引脚为开漏驱动型。 1: ALERT ¹ 引脚为CMOS驱动型。	0x1	R/W			
5	BUSY	ALERT ¹ 引脚指示器件是否因转换操作而繁忙。 0: ALERT ¹ 引脚未用于繁忙状态。 1: ALERT ¹ 引脚用于繁忙状态, 前提是ALERT_EN_OR_GPO0为1; 不满足前提条件则该位始终回读0。	0x0	R/W			
4	ALERT_EN_OR_GPO0	使能ALERT引脚或GPO ₀ ¹ 。 0: ALERT ¹ 引脚用作GPO ₀ ¹ 。 1: ALERT ¹ 引脚用于ALERT ¹ /BUSY ¹ 状态。	0x0	R/W			
3	ALERT_POL_OR_GPO0	ALERT ¹ 引脚极性(若ALERT_EN_OR_GPO0为1)或GPO ₀ ¹ 数值。 0: 低电平有效ALERT ¹ 极性(若ALERT_EN_OR_GPO0 = 1)或GPO ₀ ¹ = 0。 1: 高电平有效ALERT ¹ 极性(若ALERT_EN_OR_GPO0 = 1)或GPO ₀ ¹ = 1。	0x0	R/W			
2	GPO1	GPO ₁ ¹ 数值。 0: GPO ₁ ¹ 引脚上的驱动0。 1: GPO ₁ ¹ 引脚上的驱动1。	0x0	R/W			
[1:0]	P_DOWN	省电模式。	0x0	R/W			
		设置			模式	睡眠模式/偏置发生器	内部基准电压源
		00			模式0	关	关
		01			模式1	关	开
		10			模式2	开	关
		11	模式2	开	开		

¹指参数中多功能引脚的单个功能时, 只会列出引脚名称中与规格相关的部分。要了解多功能引脚的全部引脚名称, 请参见“引脚配置和功能描述”部分。

AD7091R-2/AD7091R-4/AD7091R-8

警报指示寄存器

16位警报指示寄存器是一个只读寄存器，提供警报事件信息。如果一次转换导致ALERT/BUSY/GPO₀引脚的ALERT功能激活，如“通道x下限寄存器”部分和“通道x上限寄存器”部分所述，则可以读取警报寄存器，以确定警报源。该寄存器的每条通道均含有两个状态位，一个对应上限，另一个对应下限。状态为1的位显示超出限值发生的位置，即哪一通道，以及超过的是上限还是下限。

如果在接收第一个警报事件和查询警报寄存器之间，另一

通道上发生第二个警报事件，该警报事件的对应位也会置位。

读取警报指示寄存器的内容将使该寄存器复位。警报指示寄存器在SPI帧的第二个SCLK周期复位，此时读出ALERT数据。如果同一时间发生了一次转换，则发送转换结果而非警报指示寄存器内容。这种情况下不会复位警报指示寄存器。

双通道或四通道器件中，任何未部署通道的警报位始终返回零。

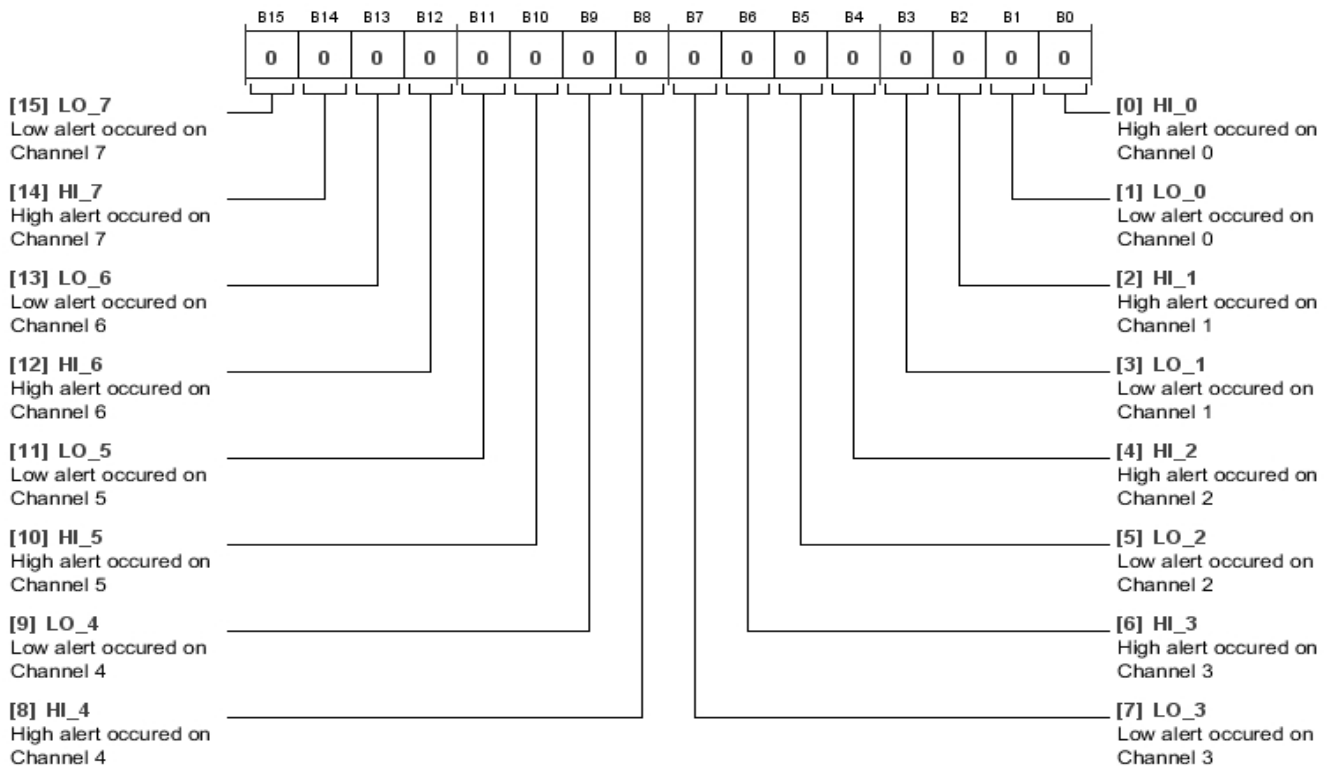


图49. 警报指示寄存器(图中显示默认寄存器值为0，表示未发生警报)

表17. 警报指示寄存器的寄存器映射

MSB														LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
LO_7	HI_7	LO_6	HI_6	LO_5	HI_5	LO_4	HI_4	LO_3	HI_3	LO_2	HI_2	LO_1	HI_1	LO_0	HI_0

表18. 警报指示寄存器的位描述

位	位名称	说明	复位	访问类型
15	LO_7	通道7低电平警报状态 0: 通道7无警报 1: 通道7低电平警报	0x0	R
14	HI_7	通道7高电平警报状态 0: 通道7无警报 1: 通道7高电平警报	0x0	R

AD7091R-2/AD7091R-4/AD7091R-8

位	位名称	说明	复位	访问类型
13	LO_6	通道6低电平警报状态 0: 通道6无警报 1: 通道6低电平警报	0x0	R
12	HI_6	通道6高电平警报状态 0: 通道6无警报 1: 通道6高电平警报	0x0	R
11	LO_5	通道5低电平警报状态 0: 通道5无警报 1: 通道5低电平警报	0x0	R
10	HI_5	通道5高电平警报状态 0: 通道5无警报 1: 通道5高电平警报	0x0	R
9	LO_4	通道4低电平警报状态 0: 通道4无警报 1: 通道4低电平警报	0x0	R
8	HI_4	通道4高电平警报状态 0: 通道4无警报 1: 通道4高电平警报	0x0	R
7	LO_3	通道3低电平警报状态 0: 通道3无警报 1: 通道3低电平警报	0x0	R
6	HI_3	通道3高电平警报状态 0: 通道3无警报 1: 通道3高电平警报	0x0	R
5	LO_2	通道2低电平警报状态 0: 通道2无警报 1: 通道2低电平警报	0x0	R
4	HI_2	通道2高电平警报状态 0: 通道2无警报 1: 通道2高电平警报	0x0	R
3	LO_1	通道1低电平警报状态 0: 通道1无警报 1: 通道1低电平警报	0x0	R
2	HI_1	通道1高电平警报状态 0: 通道1无警报 1: 通道1高电平警报	0x0	R
1	LO_0	通道0低电平警报状态 0: 通道0无警报 1: 通道0低电平警报	0x0	R
0	HI_0	通道0高电平警报状态 0: 通道0无警报 1: 通道0高电平警报	0x0	R

AD7091R-2/AD7091R-4/AD7091R-8

通道x下限寄存器

AD7091R-2/AD7091R-4/AD7091R-8的每一个模拟输入通道都有各自的下限寄存器。下限寄存器为16位读/写寄存器。寄存器地址见表10。下限寄存器存储激活ALERT输出的转换值下限。

16位时，B15至B9未使用。仅使用9个LSB、B8至B0。这9位由用户编程，用作内部12位寄存器的MSB。内部12位寄存器的3个LSB设为000。

通道x上限寄存器

AD7091R-2/AD7091R-4/AD7091R-8的每一个模拟输入通道都有各自的上限寄存器。上限寄存器为16位读/写寄存器。寄存器地址见表10。上限寄存器存储激活ALERT输出的转换值上限。

16位时，B15至B9未使用。仅使用9个LSB、B8至B0。这9位由用户编程，用作内部12位寄存器的MSB。内部12位寄存器的3个LSB设为111。

通道x迟滞寄存器

AD7091R-2/AD7091R-4/AD7091R-8的每一个模拟输入通道都有各自的迟滞寄存器，该寄存器为16位读/写寄存器。寄存器地址见表10。使用限值寄存器时，迟滞寄存器存储迟滞值(N)。如果发生超过限值事件，迟滞值将决定ALERT/BUSY/GPO₀引脚的复位点。

16位时，B15至B9未使用。仅使用9个LSB、B8至B0。这9位由用户编程，用作内部12位寄存器的MSB。内部12位寄存器的3个LSB设为000。

表19. 通道x下限寄存器的寄存器映射

MSB														LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
保留							CHx下限								

表20. 通道x下限寄存器的位描述

位	位名称	说明	复位	访问类型
[15:9]	保留	保留	0x00	R
[8:0]	CHx下限	通道x的下限值	0x000	R/W

表21. 通道x上限寄存器映射

MSB														LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
保留							CHx上限								

表22. 通道x上限寄存器的位描述

位	位名称	说明	复位	访问类型
[15:9]	保留	保留	0x00	R
[8:0]	CHx上限	通道x的上限值	0x1FF	R/W

表23. 通道x迟滞寄存器映射

MSB														LSB	
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
保留							CHx迟滞								

表24. 通道x迟滞寄存器的位描述

位	位名称	说明	复位	访问类型
[15:9]	保留	保留	0x00	R
[8:0]	CHx迟滞	通道x迟滞值	0x1FF	R/W

串行端口接口

SPI是一个4线式接口(3路输入, 1路输出), 用于串行数据通信。它有一条片选(\overline{CS})线路、一路串行时钟(SCLK)、一路串行数据输入(SDI)和一路串行数据输出(SDO)。SDI和SDO上的数据相对于SCLK传输。 \overline{CS} 用于帧同步数据, 低电平有效。

当 \overline{CS} 为高电平时, SDO保持高阻态。 \overline{CS} 的下降沿使SDO线路脱离高阻态。 \overline{CS} 的上升沿使SDO线返回高阻态。

AD7091R-2/AD7091R-4/AD7091R-8上部署的SPI可同时支持: CPHA和CPOL = 0, 且CPHA和CPOL = 1。这样可以确保器件能与微控制器和DSP对接, 从而当 \overline{CS} 未置位时保持SCLK高电平或低电平。当 \overline{CS} 未置位时, 器件忽略SCLK切换。

读取转换结果

\overline{CONVST} 信号用于初始化转换过程。 \overline{CONVST} 信号的高电平至低电平转换可将采样保持电路置于保持模式, 并在此时对模拟输入采样。转换开始后, 需600 ns时间来完成。转换结束前, 再次拉高 \overline{CONVST} 信号。转换过程结束后, 采样保持模式返回跟踪模式。随后, 拉低 \overline{CS} 引脚, 并将转换结果逐个输出至SDO引脚。数据作为16位字在串行时钟(SCLK)输入的控制下移出器件。数据在SCLK下降沿移出, 数据位在上升沿和下降沿均有效。MSB在 \overline{CS} 下降沿移出。数据传输的最后一位在第15个下降沿输出, 并在第16

个上升沿和下降沿有效。第16个下降沿之后, 再次拉高 \overline{CS} , 使SDO返回高阻态。如需再次转换, 则再次拉低 \overline{CONVST} 引脚(至少1 μ s以后), 然后重复读取周期。图51给出了这种操作的时序图。

向寄存器写入数据

可通过SPI写入器件中的任意读/写寄存器。通过单次16位SPI读取操作, 可执行寄存器写命令。写命令格式如表25所示。位[B15:B11]包含寄存器地址。寄存器地址的完整列表参见表10。将位B10设为1可选择写命令。随后的10位(位[B9:B0])包含待写入选定寄存器的数据。

从寄存器读取数据

器件中的所有寄存器均可通过SPI读取。读取寄存器的命令执行方法为: 发出一个寄存器读取命令, 然后再发出一个额外的SPI命令; 该命令可以是有效的命令, 也可以是NOP。读命令格式如表26所示。位[B15:B11]包含寄存器地址。寄存器地址的完整列表参见表10。将位B10设为0可选择读命令。器件忽略后续位(位[B9:B0])。

任何转换事件均被当作特殊情况对待, 覆盖之前的读命令。AD7091R-2/AD7091R-4/AD7091R-8始终在每次转换事件之后将转换结果驱动至SDO, 哪怕上一个SPI帧发出过寄存器读操作。

表25. 写命令消息配置

MSB															LSB
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
寄存器地址[4:0]					1	数据									

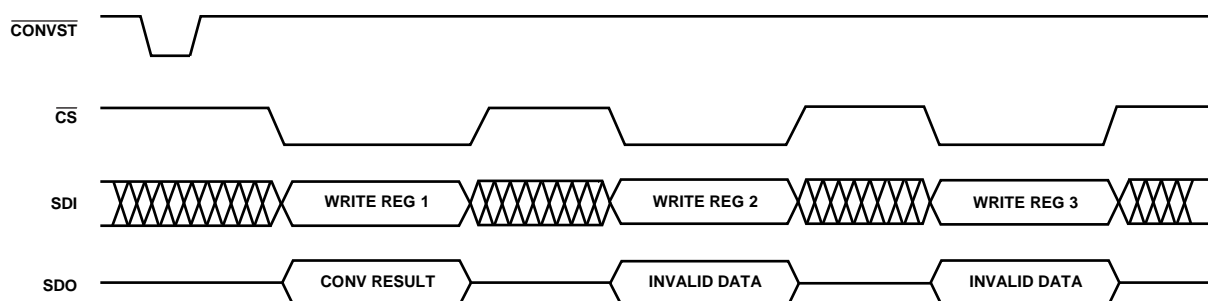


图50. 串行接口寄存器写操作

AD7091R-2/AD7091R-4/AD7091R-8

表26. 读命令消息配置

MSB															LSB
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
寄存器地址[4:0]					0	无关									

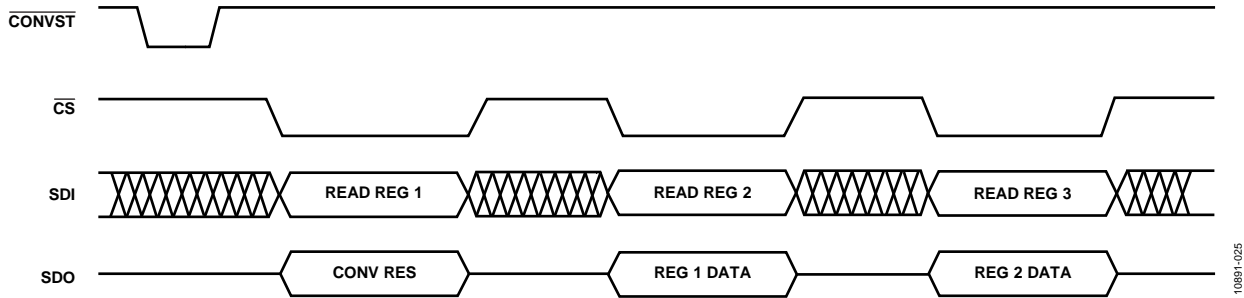


图51. 串行接口寄存器读操作

工作模式

正常模式

用户可以控制器件工作在正常模式或进入省电模式。这些工作模式提供灵活的电源管理选项，允许针对不同的应用要求优化功耗与吞吐速率之比。

为实现最高的吞吐速率性能，应当使用正常模式。对于AD7091R-2/AD7091R-4/AD7091R-8来说，上电时间不成问题，因为这些器件始终保持完全上电状态。图52显示AD7091R-2/AD7091R-4/AD7091R-8正常模式下的一般原理图。如“串行端口接口”部分所述，转换在 $\overline{\text{CONVST}}$ 下降沿启动。为确保器件始终处于完全上电状态，应在 t_{CONVERT} 之前使 $\overline{\text{CONVST}}$ 返回高电平，并且保持高电平状态直到转换完成。图52中的转换结束(EOC)点表示EOC结束以及测试 $\overline{\text{CONVST}}$ 逻辑电平的时刻。

若要回读转换结果寄存器中存储的数据，应等待转换完成，然后拉低 $\overline{\text{CS}}$ ，并将转换数据逐个输出至SDO引脚。输出移位寄存器为16位宽。数据作为16位字在串行时钟(SCLK)输入的控制下移出器件。图4给出了这种操作的完整时序图。转换读操作完成之后，再次拉低 $\overline{\text{CONVST}}$ 以启动另一次转换。

省电模式

当要求较低吞吐速率和功耗时，可以使用省电模式；方法是在两次转换之间关断ADC，或者以高吞吐速率执行一系列转换，然后在这些突发转换之间关断ADC并持续一段相对较长的时间。当AD7091R-2/AD7091R-4/AD7091R-8处于省电模式时，所有模拟电路关断；然而，串行接口依然处于激活状态。

如需进入省电模式，可对配置寄存器的省电配置位执行写操作，如表15所示。如需进入完全省电模式，可将休眠模式/偏置发生器位设为1，然后将内部基准位设为0，这样便可确保关断所有模拟电路和内部基准电压源。使能内部基准电压源后，只要配置寄存器的位0设为1，它就会消耗电能。

AD7091R-2/AD7091R-4/AD7091R-8的串行接口在省电模式下仍能工作；因此，用户可在器件进入省电模式后回读转换结果。

如需退出该模式并再次上电AD7091R-2/AD7091R-4/AD7091R-8，可写入配置寄存器的省电配置位(见表15)。在 $\overline{\text{CONVST}}$ 的上升沿，器件开始上电。AD7091R-2/AD7091R-4/AD7091R-8上电时间典型值为1 μs 。上电后，ADC将处于完全上电状态，可以正常采集输入信号。要启动下一次转换，应按照“正常模式”所述操作接口。使用内部基准电压源且器件处于完全省电模式时，用户必须等待直到内部基准电压源有足够时间上电并建立之后，才能执行转换操作。基准电压缓冲器需要50 ms的上电时间，并在上电期间给2.2 μF 去耦电容充电。

若在AD7091R-2/AD7091R-4/AD7091R-8器件未执行转换期间使用省电模式，则较低吞吐速率下ADC平均功耗将下降。使用吞吐速率较低的省电模式。如果两次突发转换的间隔较短，则使用正常模式(参见“正常模式”部分)。

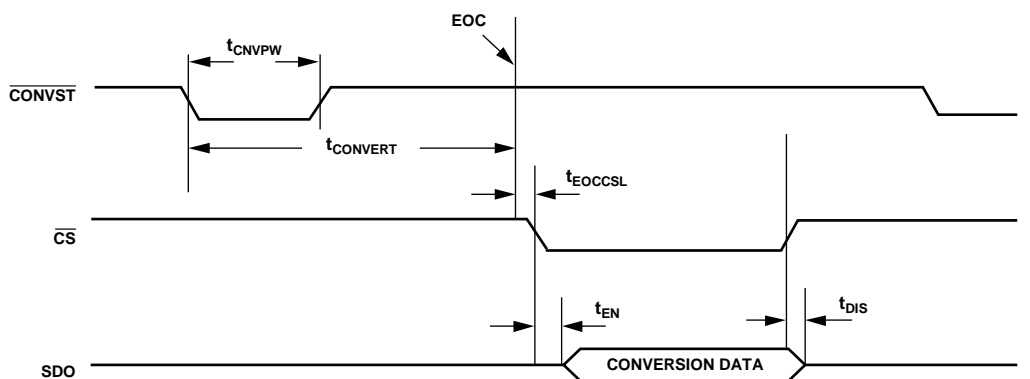


图52. 正常模式下的串行接口读取时序

10891-026

AD7091R-2/AD7091R-4/AD7091R-8

警报(仅AD7091R-4和AD7091R-8)

警报功能用作超出范围指示器。当选定通道的转换结果寄存器数值超出通道上限寄存器中的CHx HIGH LIMIT数值或低于通道下限寄存器中的CHx LOW LIMIT数值时，便触发警报事件。

详细警报信息可通过警报寄存器读取。该寄存器的每条通道均含有两个状态位，一个对应上限，另一个对应下限。针对所有通道的逻辑“或”运算产生一般警报值。该值可通过转换结果寄存器的警报位读取，并可配置为驱动ALERT功能至ALERT/BUSY/GPO₀引脚。通过配置配置寄存器中的下列各位，可配置ALERT/BUSY/GPO₀引脚：

- ALERT_EN_OR_GPO₀位(位4)设为1。
- BUSY位(位5)设为0。
- 如需使能ALERT/BUSY/GPO₀引脚的ALERT功能并使其低电平有效，可将ALERT_POL_OR_GPO0位(位3)设为0；如需使其高电平有效，可将该位设为1。

读取警报寄存器内容可清零警报寄存器、警报位和ALERT/BUSY/GPO₀引脚的ALERT功能。另外，如果转换结果超过选定通道的迟滞值，则该通道对应的警报位自动复位。将配置寄存器中的ALERT_STICKY位设为1，可禁用警报状态的自动清零。若警报发生时ALERT_STICKY位已置位，则只能通过读取警报寄存器进行复位。发出软件复位命令同样可清零警报状态。

ALERT/BUSY/GPO₀引脚具有开漏配置，允许在ALERT/BUSY/GPO₀引脚的ALERT功能为低电平有效时将多个AD7091R-4/AD7091R-8器件的警报输出连接在一起。配置寄存器的ALERT_DRIVE_TYPE位(位6)控制ALERT/BUSY/GPO₀引脚配置。

使用配置寄存器的ALERT_POL_OR_GPO0位(位3)设置警报输出的有效极性。上电默认低电平有效。

使用ALERT/BUSY/GPO₀引脚的ALERT功能以及开漏配置时，需采用外部上拉电阻。将外部上拉电阻连接至V_{DRIVE}。电阻值取决于应用；然而，该值必须足够大，以避免ALERT/BUSY/GPO₀引脚的ALERT功能触发时产生过量吸电流。

繁忙(仅AD7091R-4和AD7091R-8)

将ALERT/BUSY/GPO₀引脚配置为繁忙输出时，使用该引脚可表示转换开始。如需将ALERT/BUSY/GPO₀引脚配置为繁忙，可使用配置寄存器中的下列位：

- ALERT_EN_OR_GPO0位(位4)设为1。
- BUSY位(位5)设为1。
- 如需使BUSY引脚低电平有效，可将ALERT_POL_OR_GPO0位(位3)设为0；如需使该引脚高电平有效，可将其设为1。

使用ALERT/BUSY/GPO₀引脚的BUSY功能时，需采用外部上拉电阻，因为输出为开漏配置。将外部上拉电阻连接至V_{DRIVE}。电阻值取决于应用；然而，该值必须足够大，以避免ALERT/BUSY/GPO₀引脚的BUSY功能触发时产生过量吸电流。

通道序列器

AD7091R-2/AD7091R-4/AD7091R-8 包括一个通道序列器，可用于重复扫描通道。序列所包含的通道可在通道寄存器中配置。如果通道寄存器中的所有位均为0，则默认选择通道0，且全部转换均在该通道上进行。如果通道寄存器

为非零，则转换序列从通道寄存器中使能的最低编号通道开始。序列器按升序遍历所有使能的通道。序列中的所有通道完成转换后，再次开始执行序列。

通道转换序列更新以前有一个转换延迟。如果通道寄存器采用新数值编程，则转换序列复位至新数值中编号最低的通道。

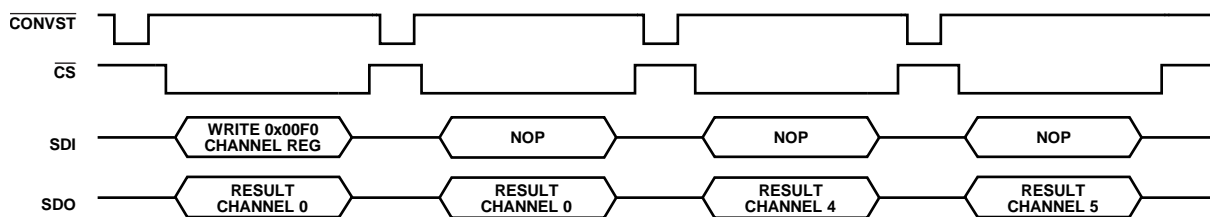


图53. 通道序列器

10891-028

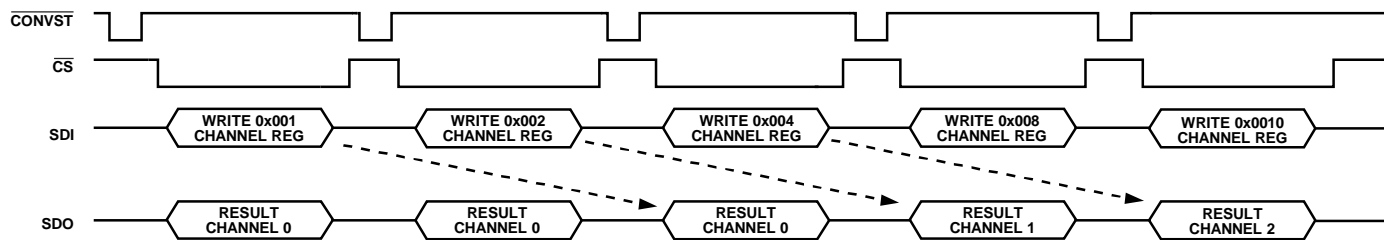


图54. 通道序列器的多通道写操作

10891-029

AD7091R-2/AD7091R-4/AD7091R-8

菊花链

该模式适用于多个AD7091R-2/AD7091R-4/AD7091R-8器件的应用。这一特性有助于减少器件数量和线路连接；例如在隔离式多转换器应用或接口能力有限的系统中。

以相同的 \overline{CS} 、 \overline{CONVST} 和SCLK信号寻址全部ADC从机。链路中的第一个AD7091R-2/AD7091R-4/AD7091R-8从机SDI由SPI主机的MOSI引脚直接驱动。第一个从机的SDO连接第二个从机的SDI。所有后续从机均以此方式连接，且最后一个从机的SDO驱动主机输入和主机的从机输出(MISO)引脚。使用两个AD7091R-2/AD7091R-4/AD7091R-8器件的连接原理图示例如图55所示。

链路中的每一个AD7091R-2/AD7091R-4/AD7091R-8从机都要求一个16位SPI命令。如果有N个从机，则每个SPI帧都必须具有 $N \times 16$ 位数据。在AD7091R-2/AD7091R-4/AD7091R-8

中，当位计数器超过16位时，所有接收位都通过SDO发送。第一个从机的输出是第二个从机的输入。出于效率方面的考虑，每个从机都忽略输入的所有16位SPI命令——除了最后一个。 \overline{CS} 上升沿之前接收的最后一个SPI命令是菊花链上指定器件的唯一一个有效SPI命令。下一个SPI帧的输出由有效SPI命令或任意转换事件确定。

利用读取的转换结果来配置从机寄存器的方法如图56至图60所示；图中示例采用两个从机。采用与双器件配置相同的办法可向链路中添加额外的从机器件。

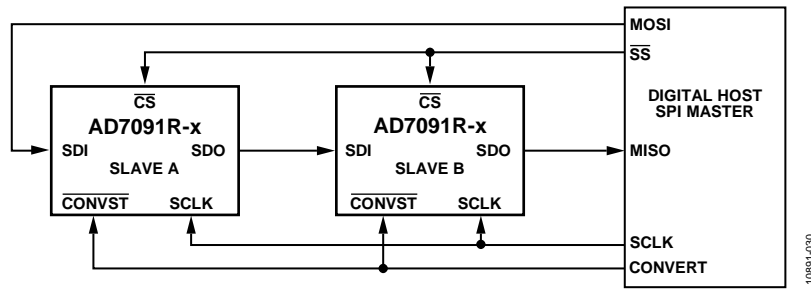


图55. 菊花链配置

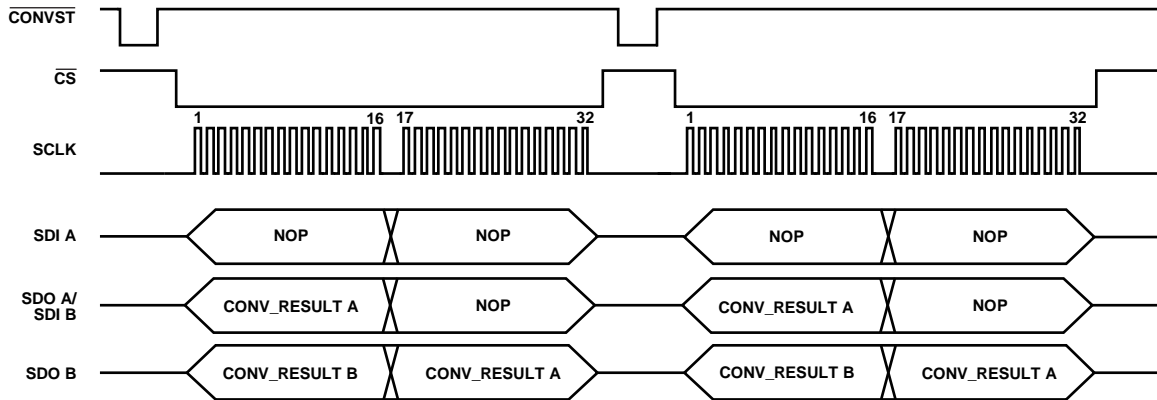


图56. 双从机菊花链模式配置下的转换

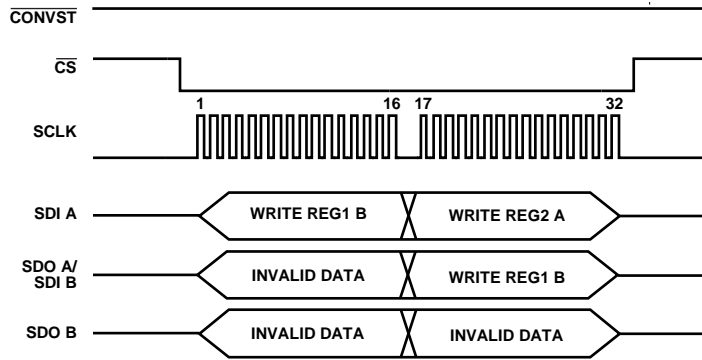


图57. 双从机菊花链模式配置下的单次寄存器写操作

10891-032

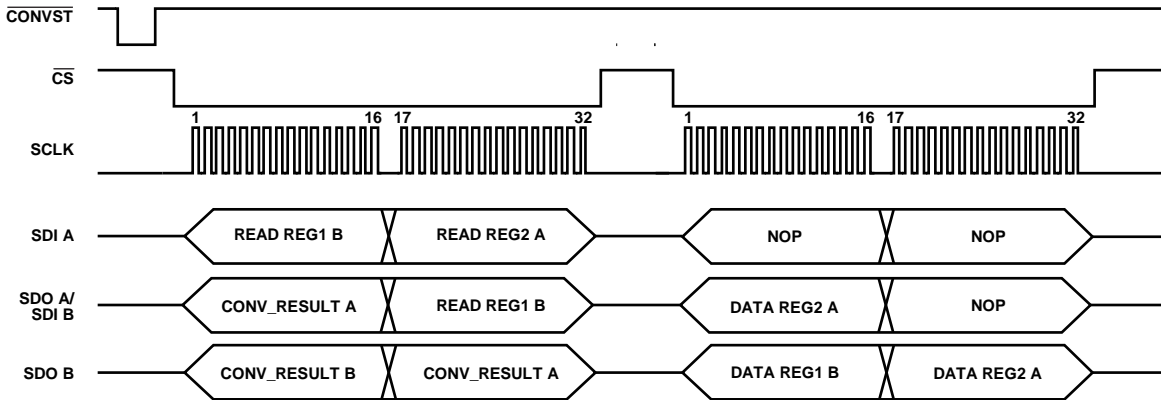


图58. 双从机菊花链模式配置下的单次寄存器读操作

10891-033

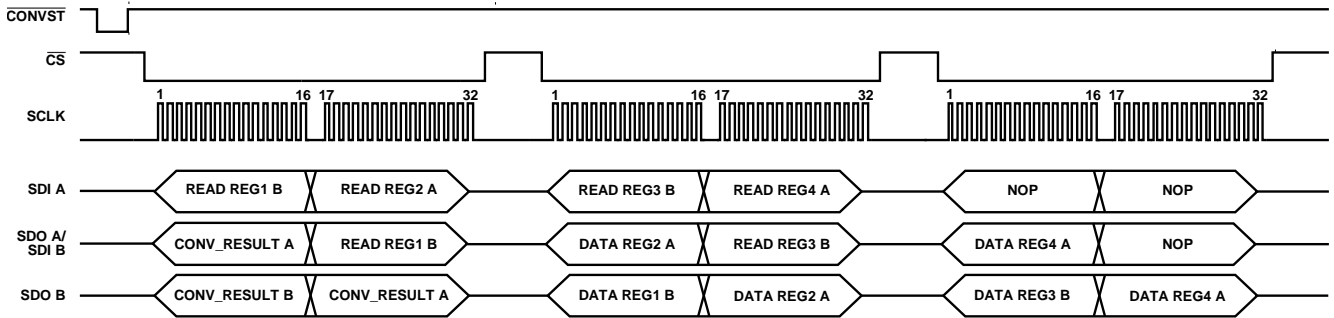


图59. 双从机菊花链模式配置下的多次寄存器读操作

10891-034

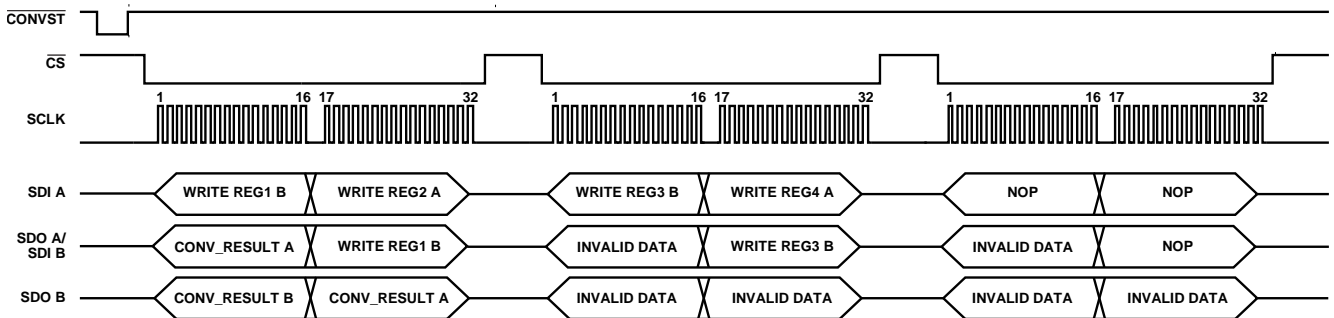
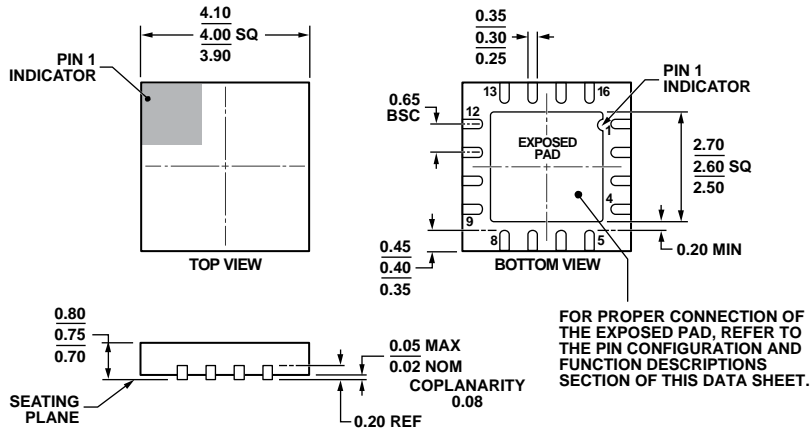


图60. 双从机菊花链模式配置下的多次寄存器写操作

10891-035

AD7091R-2/AD7091R-4/AD7091R-8

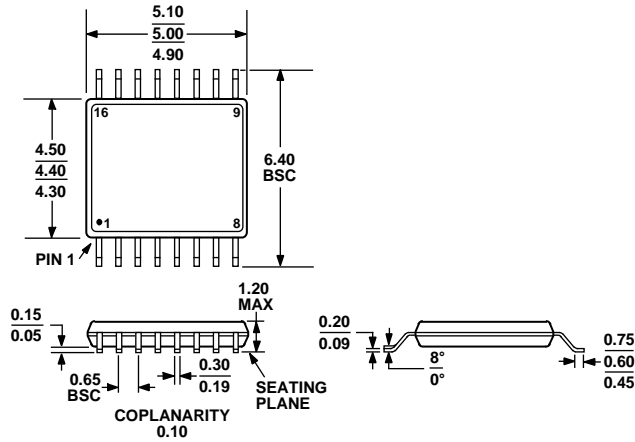
外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WGGC.

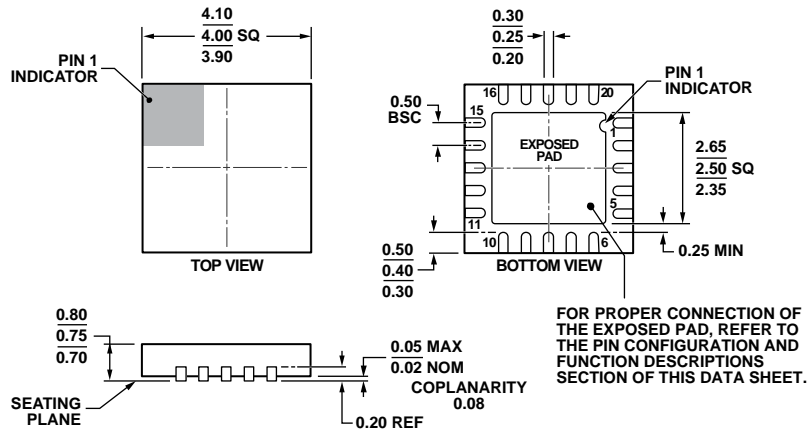
图61. 16引脚架构芯片级封装[LFCSP_WQ]
 4 mm × 4 mm 超薄四方体
 (CP-16-17)
 图示尺寸单位: mm

08-16-2010-C



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图62. 16引脚超薄紧缩小型封装[TSSOP] (RU-16)
 图示尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

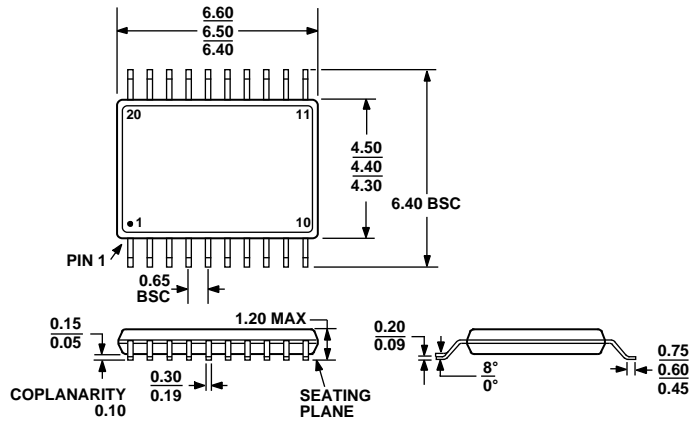
图63. 20引脚引脚架构芯片级封装[LFCSP_WQ]

4 mm × 4 mm超薄四方体

(CP-20-10)

图示尺寸单位: mm

061609-B

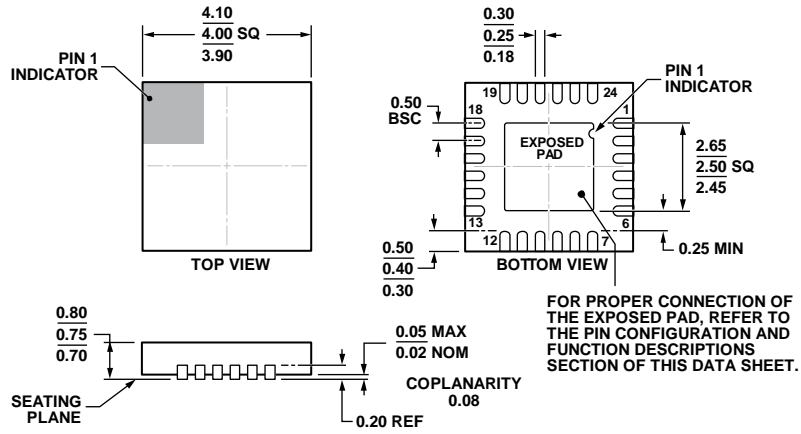


COMPLIANT TO JEDEC STANDARDS MO-153-AC

图62. 20引脚超薄紧缩小型封装[TSSOP] (RU-20)

图示尺寸单位: mm

AD7091R-2/AD7091R-4/AD7091R-8



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

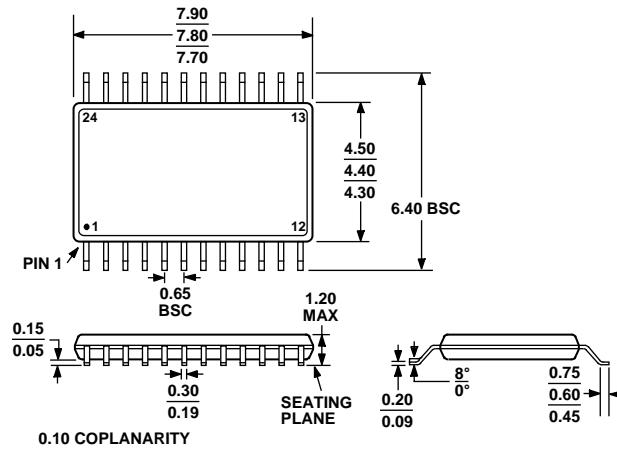
图65. 24引脚引脚架构芯片级封装[LFCSP_WQ]

4 mm × 4 mm 超薄四方体

(CP-24-7)

图示尺寸单位: mm

04-12-2012-A



COMPLIANT TO JEDEC STANDARDS MO-153-AD

图66. 24引脚超薄紧缩小型封装[TSSOP] (RU-24)

图示尺寸单位: mm

AD7091R-2/AD7091R-4/AD7091R-8

订购指南

型号 ¹	通道	温度范围	封装描述	封装选项
AD7091R-2BCPZ	2	-40°C至+125°C	16引脚引线框芯片级封装[LFCSP_WQ]	CP-16-17
AD7091R-2BCPZ-RL7	2	-40°C至+125°C	16引脚引线框芯片级封装[LFCSP_WQ]	CP-16-17
AD7091R-2BRUZ	2	-40°C至+125°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
AD7091R-2BRUZ-RL7	2	-40°C至+125°C	16引脚超薄紧缩小型封装[TSSOP]	RU-16
EVAL-AD7091R-2SDZ			评估板	
AD7091R-4BCPZ	4	-40°C至+125°C	20引脚引线框芯片级封装[LFCSP_WQ]	CP-20-10
AD7091R-4BCPZ-RL7	4	-40°C至+125°C	20引脚引线框芯片级封装[LFCSP_WQ]	CP-20-10
AD7091R-4BRUZ	4	-40°C至+125°C	20引脚超薄紧缩小型封装[TSSOP]	RU-20
AD7091R-4BRUZ-RL7	4	-40°C至+125°C	20引脚超薄紧缩小型封装[TSSOP]	RU-20
EVAL-AD7091R-4SDZ			评估板	
AD7091R-8BCPZ	8	-40°C至+125°C	24引脚引线框芯片级封装[LFCSP_WQ]	CP-24-7
AD7091R-8BCPZ-RL7	8	-40°C至+125°C	24引脚引线框芯片级封装[LFCSP_WQ]	CP-24-7
AD7091R-8BRUZ	8	-40°C至+125°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
AD7091R-8BRUZ-RL7	8	-40°C至+125°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
EVAL-AD7091R-8SDZ			评估板	
EVAL-SDP-CB1Z			评估控制板	

¹ Z = 符合RoHS标准的器件。