

## 产品特性

- 8 通道, TSSOP 封装, 保证单调性
- 低功耗工作: 540uA @ 3V, 600uA @ 5V
- 轨到轨电压输出
- 菊花链工作模式
- 多通道同时输出更新
- 单通道选择性休眠
- 2.7V ~ 5.5V 供电范围
- 两路 0.5V ~ VA 参考电压
- -40°C ~ +125°C 工作温度范围
- 上电和断电两种复位方式, 复位至 0V

## 产品应用

- 便携式电池供电仪器
- 数字增益和偏移调整
- 可编程电压源和电流源
- 可编程衰减器
- 模数转换器参考电压源
- 传感器参考电压源
- 范围检测器

## 产品描述

CBM128S085/CBM108S085为一款高精度高集成度的数模转换器芯片, 单芯片集成了8通道12/10位带输出缓冲驱动器的电压输出数模转换器。芯片采用较小的16管脚TSSOP封装; 正常工作电源电压范围为2.7V~5.5V; 输出缓冲驱动能够保证输出电压为轨到轨, 进而确保最大的电压输出范围; 功耗很低, 在不带负载的情况下, 整体消耗的电流仅为540uA@3V, 600uA@5V; 采用三线串行接口, 最大时钟可达40MHz, 允许很灵活的配置, 兼容目前常见的SPI™, QSPI, MICROWIRE和 DSP等接口标准; 支持菊花链工作模式, 采用单个接口可以同时控制多个芯片, 保证多个芯片在同一时刻进行状态更新。

CBM128S085/CBM108S085有两个外部参考电压输入, 其中一个提供给通道A至D使用, 另外一个提供给通道E至H使用。每个参考电压均可以进行单独配置, 允许输入范围为0.5V~VA, 进而确保芯片提供尽可能宽的动态输出范围。串行接口控制的数字输入端16个移位寄存器能方便控制芯片的工作模式, 包括休眠输出状态和输出更新状态等; 所有通道都可以单独进行状态更新或者统一进行状态更新。

CBM128S085/CBM108S085 的最大特点就是同时支持上电复位和断电复位两种复位方式; 上电复位电路保证在电源电压上升至有效电压时, 数模转换器的输出为 0V, 并一直保持该状态直到接收到新的状态更新命令; 当芯片电源电压下降至低于 2.7V 时, 断电复位电路对芯片进行复位, 使得数模转换器输出为 0V, 避免数模转换器非 0V 输出电压对系统电路造成影响。芯片多通道可以灵活配置, 允许各通道单独工作, 并支持三种不同的输出阻抗休眠模式; 当所有的数模转换器进入休眠模式, 芯片处于 uW 级功耗。芯片的低功耗特性使其非常适合应用于便携式设备中。

功能框图

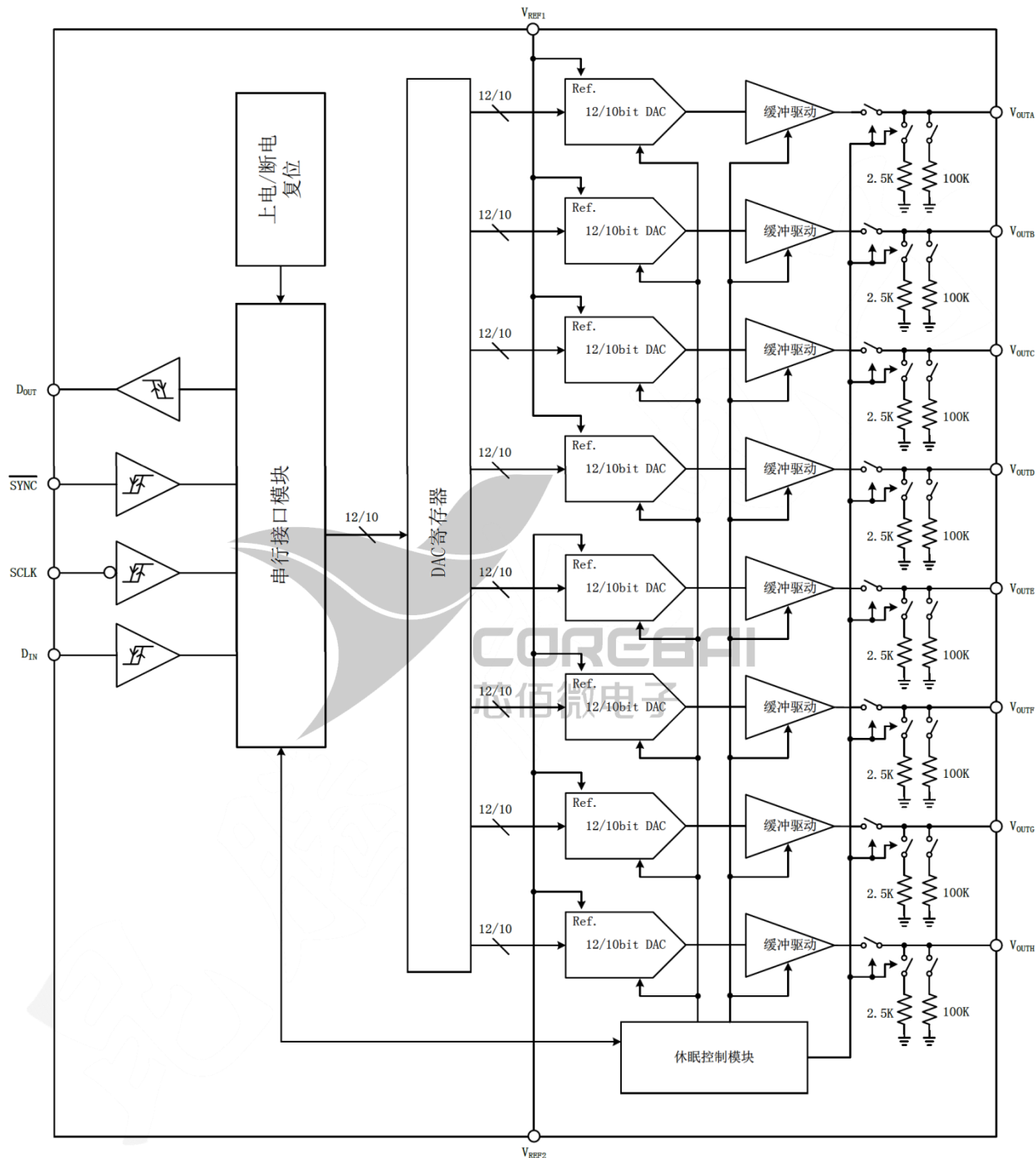


图 1 功能结构框图

## 绝对最大额定值

表 1

=25°C, 特殊说明除外。

参数 <sup>1</sup>	符号	数值
电源电压相对地	$V_{Aabs}$	-0.3V to +7V
数字输入电压相对地	$V_{Digabs}$	-0.3V to +0.3V
参考输入电压相对地	$V_{refabs}$	-0.3V to +0.3V
A ~ H 相对地	$V_{outabs}$	-0.3V to +0.3V
温度范围		
存储温度范围	$T_S$	-65°C to +150°C
结温	$T_{Jmax}$	150°C
ESD 特性		
Human Body Model		5000V
Machine Model		300V
Charge Device Model		1000V

1. 超出最大绝对额定值的操作可对芯片造成不可恢复的损害, 而长期暴露在最大绝对额定值下会影响芯片的可靠性。

## 正常工作范围

表 2

参数	符号	范围		单位
		最小值	最大值	
电源电压	VA	2.7	5.5	V
工作电流 <sup>1</sup>	IA	300	700	uA
环境温度	Ta	-40	125	°C
参考电压	VREF1,2	0.5	VA	V
输出负载	CLoad	0	1500	pF
SCLK 时钟频率	FSCLK	\	40	MHz

1. DAC 输出空载情况下

## 静态特性

表 3

$V_A=2.7V$  to  $5.5V$ ;  $V_{REF1,2}=V_A$ ;  $C_L=200pF$  到地;  $T_a=25^\circ C$ ; 特殊说明除外。

参数	符号	测试条件	最小值	典型值	最大值	单位
<b>静态特性</b> <sup>1,2</sup>						
CBM128S085						
分辨率	$Res_N$			12		Bits
积分非线性	INL			$\pm 2$		LSB
差分非线性	DNL	保证单调性		$\pm 0.2$		LSB
CBM108S085						
分辨率	$Res_N$			10		Bits
积分非线性	INL			$\pm 0.5$		LSB
差分非线性	DNL	保证单调性		$\pm 0.05$		LSB
零码误差	ZE	$I_{OUT} = 0$		+5	+15	mv(max)
满幅误差	FSE	$I_{OUT} = 0$		-0.1		% FSR(max)
增益误差	GE			-0.2		% FSR(max)
零码误差温漂	ZCED			-20		$\mu V/^\circ C$
增益误差温漂	TC GE			-1.0		ppm/ $^\circ C$
<b>参考电压输入特性</b>						
$F_{1,2}$ 输入范围			0.5		$V_A$	V
$F_{1,2}$ 输入阻抗				45		K $\Omega$
<b>输出特性</b>						
最小输出电压				0		V
最大输出电压				$V_{REF1,2}$		V
直流输出阻抗	$Z_{OUT}$			0.5		$\Omega$
零码输出	ZCO	$V_A = 3V, I_{OUT} = 200\mu A$		10		mv
		$V_A = 3V, I_{OUT} = 1mA$		45		mv
		$V_A = 5V, I_{OUT} = 200\mu A$		8		mv
		$V_A = 5V, I_{OUT} = 1mA$		34		mv
满幅输出	FSO	$V_A = 3V, I_{OUT} = 200\mu A$		2.984		V
		$V_A = 3V, I_{OUT} = 1mA$		2.933		V
		$V_A = 5V, I_{OUT} = 200\mu A$		4.987		V

		$V_A = 5V, I_{OUT} = 1mA$		4.955		V
输出短路电流 (Source)	IOS	$V_A = 3V, V_{OUT} = 0V,$ Input Code = FFFh		-20		mA
		$V_A = 5V, V_{OUT} = 0V,$ Input Code = FFFh		-20		mA
输出短路电流 (Sink)	IOS	$V_A = 3V, V_{OUT} = 3V,$ Input Code = 000h		20		mA
		$V_A = 5V, V_{OUT} = 5V,$ Input Code = 000h		20		mA
最大负载电容	CL	$R_L = \infty$		1500		pF
		$R_L = 2k\Omega$		1500		pF
<b>逻辑输入特性 3</b>						
输入低电平		$V_A=3V$			0.6	V
		$V_A=5V$			0.8	V
输入高电平		$V_A=3V$	2.1			V
		$V_A=5V$	2.4			V
输入电容				3		pF
<b>功耗特性</b>						
电源电压	VA		2.7		5.5	V
电源静态电流	IST	$F_{SCLK}=0,$ 输出空载 $V_A = 2.7V \sim 3.6V,$ 输入码 为 0x800		540		uA
		$F_{SCLK}=0,$ 输出空载 $V_A = 4.5V \sim 5.5V,$ 输入码 为 0x800		600		uA
参考电压电流	IST	$V_A = 2.7V \sim 3.6V,$ 输入码 为 0x800		73		uA
		$V_A = 4.5V \sim 5.5V,$ 输入码 为 0x800		110		uA
休眠电流 4		$F_{SCLK}=0, Sync=V_A,$ $D_{IN}=0V,$ DAC 处于休眠模 式		10		uA

1. 静态特性测试时, DAC 输出无负载
2. 线性特性测试时, 输入码范围: CBM128S085(Code 48 to Code 4047), CBM108S085(Code 12 to Code 1011)
3. 设计值非实际测试值
4. 休眠模式下, 芯片的断电复位电路仍然工作, 消耗约 10uA 电流

## 动态特性

表 4

$V_A=2.7V$  to  $5.5V$ ;  $V_{REF1,2}=V_A$ ;  $C_L=200pF$  到地;  $T_a=25^\circ C$ ; 特殊说明除外。

参数	符号	测试条件	最小值	典型值	最大值	单位
SCLK 频率	$F_{SCLK}$				40	MHz
输出电压建立时间 <sup>1</sup>	$t_s$	$R_L=2K\Omega$ , $C_L=200pF$ , 数字码 0x400 到 0xC00		6	8.5	$\mu S$
输出压摆率	SR			1		V/ $\mu S$
毛刺	GI	数字码 0x7FF 到 0x800		40		nV-sec
数字馈通 <sup>1</sup>	DF			0.5		nV-sec
数字串扰 <sup>1</sup>	DC			0.5		nV-sec
多通道串扰 <sup>1</sup>	CROSS			1		nV-sec
输出带宽	MBW	$V_{REF1,2} = 2.5V \pm 2V_{pp}$		350		KHz
总谐波失真与噪声 <sup>1</sup>	THD+N	$V_{REF1,2} = 2.5V \pm 0.5V_{pp}$ $100Hz < f_{IN} < 20kHz$		-80		dB
输出噪声频谱密度 <sup>1</sup>	ONSD	数字码 0x800, 10kHz		80		nV/sqrt(Hz)
输出噪声 <sup>1</sup>	ON	BW = 30kHz		14		$\mu V$
唤醒时间	$t_{WU}$	$V_A=3V$		5		$\mu S$
		$V_A=5V$		3		$\mu S$
SCLK 最小周期	$1/f_{SCLK}$			25	33	nS
SCLK 最小高电平时间	$t_{CH}$			7	10	nS
SCLK 最小低电平时间	$t_{CL}$			7	10	nS
YNC 最小建立时间	$t_{SS}$			3	10	nS
DATA 最小建立时间	$t_{DS}$			1	2.5	nS
DATA 最小保持时间	$t_{DH}$			1	2.5	nS
YNC 最小保持时间	$t_{SH}$			0	3	nS
YNC 最小高电平时间	$t_{SYNC}$			5	15	nS

1. 设计值非实际测试值

引脚配置图

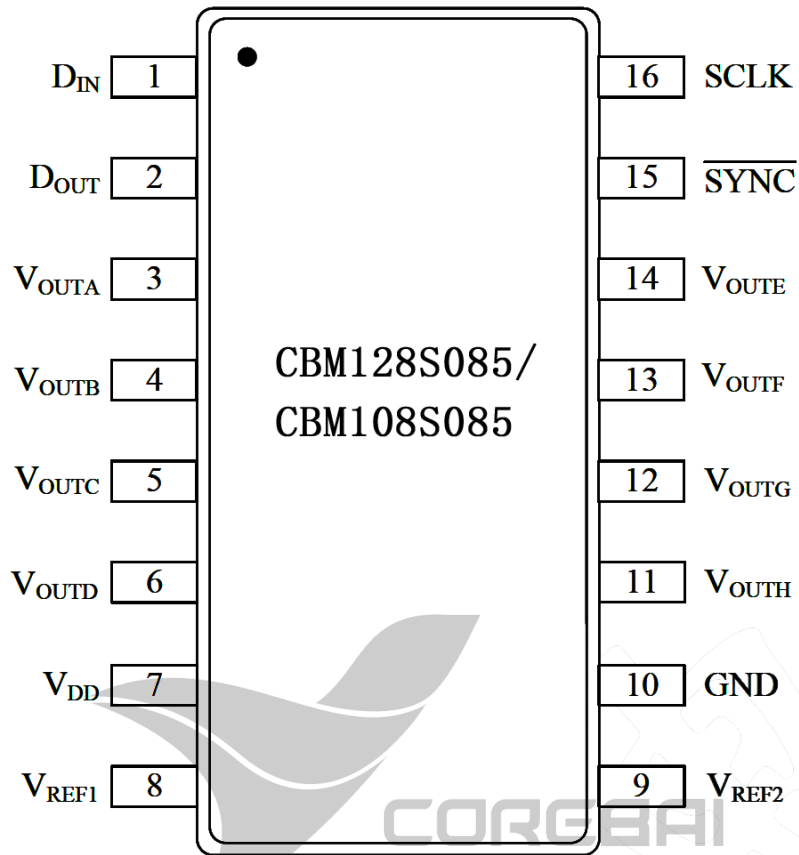


图 2. TSSOP16 管脚配置

## 引脚简述

表 5

管脚名	序号	类型	描述
D <sub>IN</sub>	1	数字输入	串行数据输入. 在帧同步信号变高前, 16 个时钟信号下降沿将数据输入至 16 位移位寄存器.
D <sub>OUT</sub>	2	数字输出	串行数据输出. 该数字输出在菊花链模式时使用, 用于连接另一块 CBM128S085 芯片的输入. 出现 16 个时钟周期前, 帧同步信号变高, 该数字输出无效.
	3	模拟输出	A 通道模拟输出电压.
	4	模拟输出	B 通道模拟输出电压.
	5	模拟输出	C 通道模拟输出电压.
	6	模拟输出	D 通道模拟输出电压.
	7	电源	电源输入. 电源输入范围为 2.7V~5.5V, 工作时接去耦合电容到地.
	8	模拟输入	A、B、C、D 通道共享参考电压. 电压范围为 0.5V~VA, 工作时接去耦合电容到地.
	9	模拟输入	E、F、G、H 通道共享参考电压. 电压范围为 0.5V~VA, 工作时接去耦合电容到地.
	10	地	整个芯片的地电位参考电压.
	11	模拟输出	H 通道模拟输出电压.
	12	模拟输出	G 通道模拟输出电压.
	13	模拟输出	F 通道模拟输出电压.
	14	模拟输出	E 通道模拟输出电压.
	15	数字输入	帧同步输入信号. 当该信号为低时, 数字信号在时钟下降沿写入至输入移位寄存器. 时钟信号出现 16 个下降沿后, 该信号的上升沿使 DAC 输出更新. 若该信号在 15 个上升沿前变高, 该信号的上升沿视为中断信号, DAC 的输出将忽略输入序列.
	16	数字输入	串行时钟输入. 在该时钟的下降沿, 数字信号被输入至移位寄存器. 时钟最高工作频率为 40MHz.



## 典型性能描述

$V_A = V_{REF} = 5V$ ,  $T_a = 25^\circ C$ , 特殊说明除外

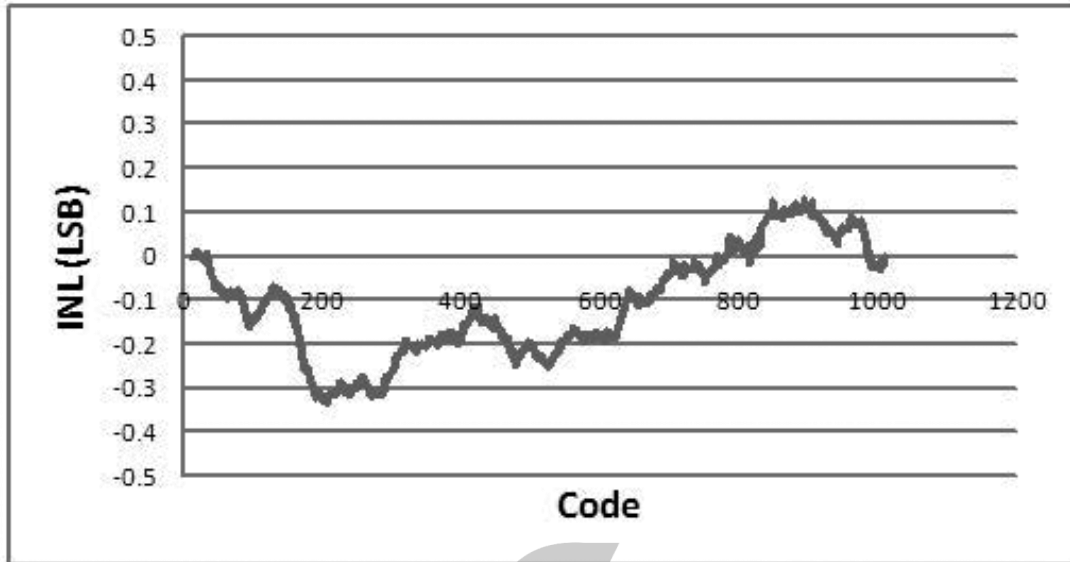


图 3. CBM108S085 典型 INL

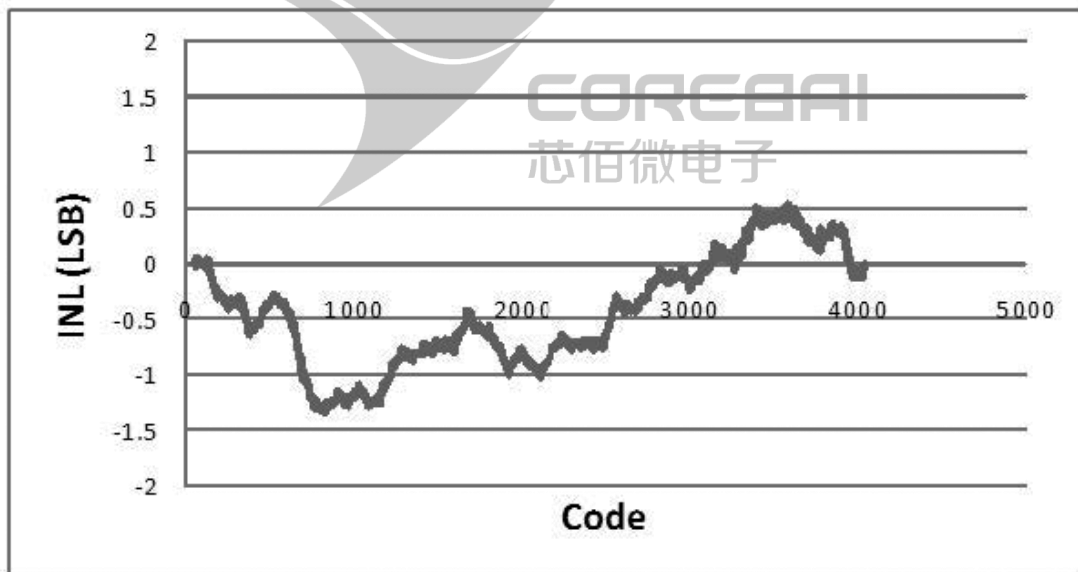


图 4. CBM128S085 典型 INL

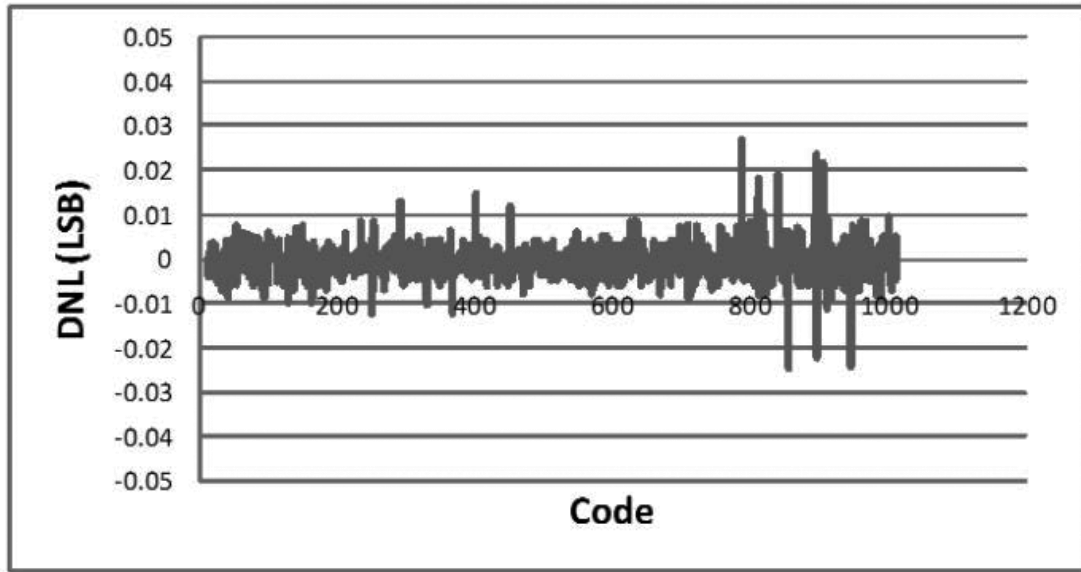


图 5. CBM108S085 典型 DNL

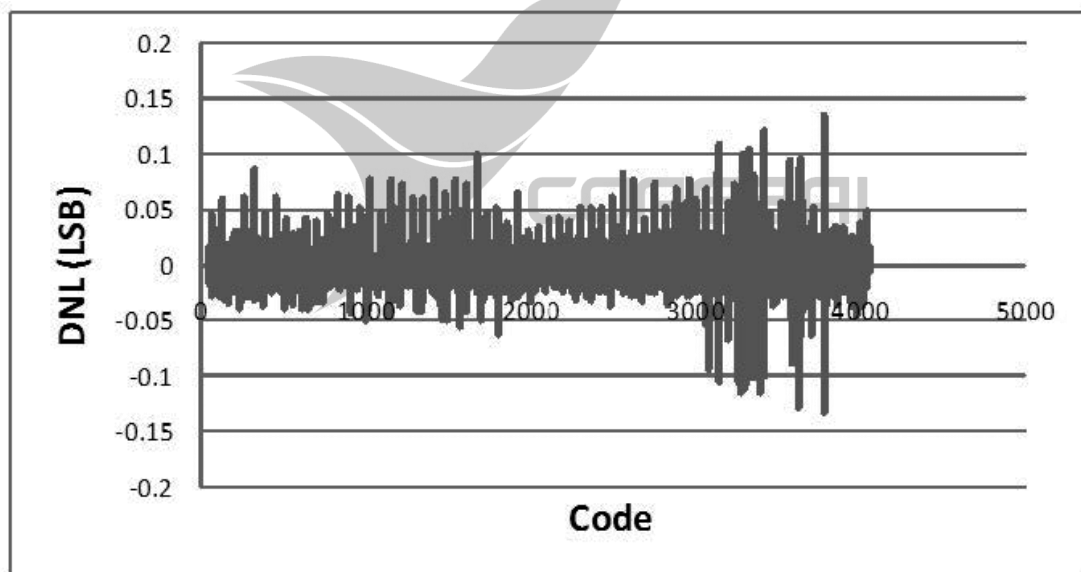


图 6. CBM128S085 典型 DNL

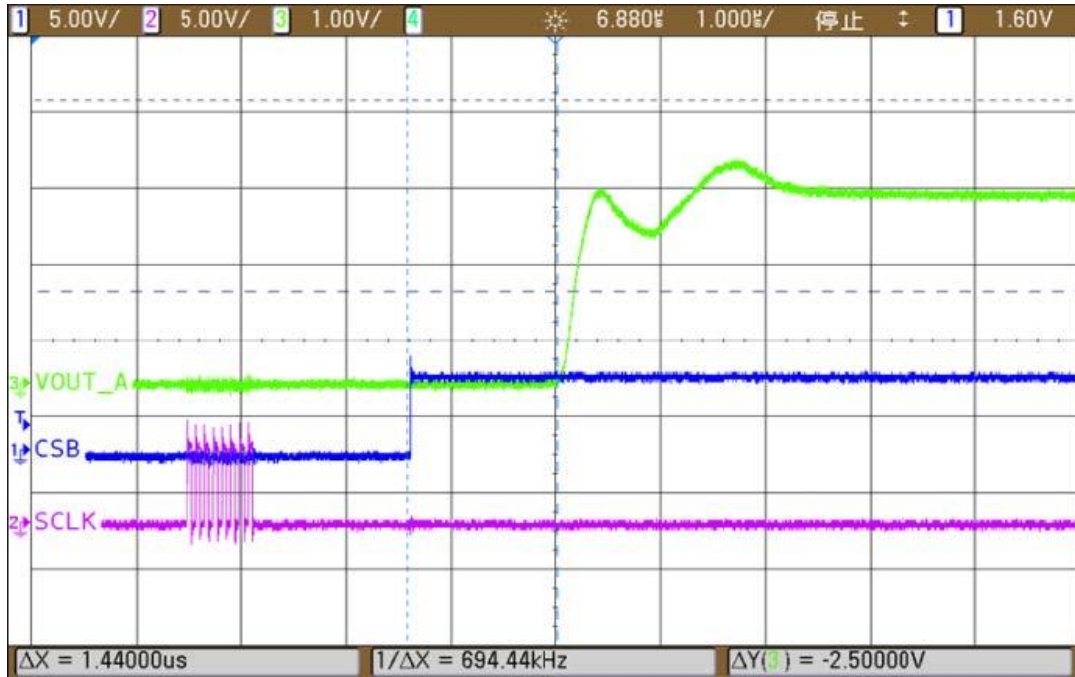


图 7. DAC 唤醒 (退出休眠状态) 过程

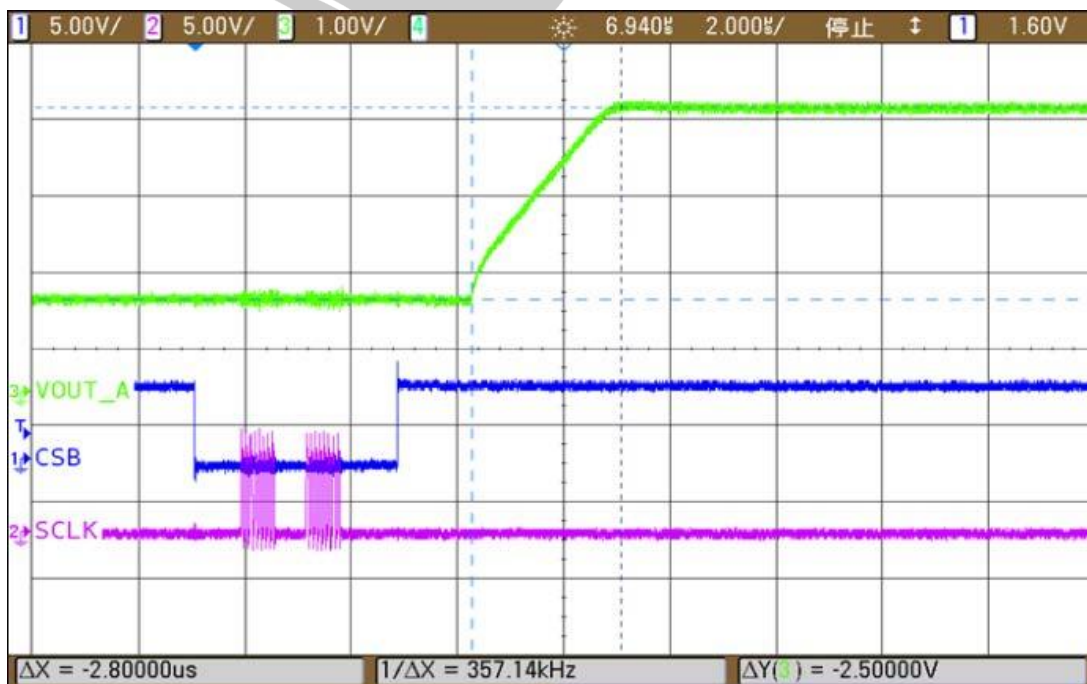


图 8. 输出建立过程 (0.25 满幅至 0.75 满幅变化)



图 9. 上电复位

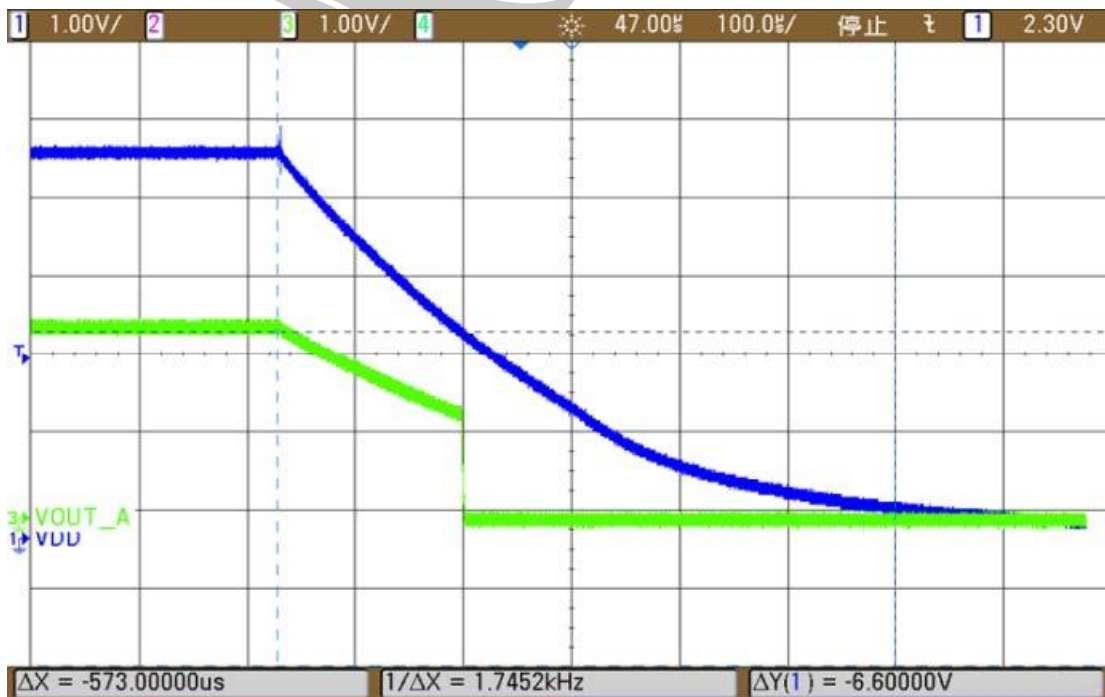


图 10 断电复位

## 功能描述

### DAC 结构

CBM128S085/CBM108S085中含有8通道DAC，每个通道都包含一DAC寄存器、一个电阻串结构DAC和一输出驱动电路。电阻串结构DAC通过电阻串分压产生对应的电平，然后开关选择相应输出。为了驱动外部负载，每通道输出端都增加了一缓冲驱动电路。

电阻串 DAC 结构示意图如图 11 所示，电阻串由  $N$  个等值电阻组成，参考电压直接加在电阻串上，电阻分压产生  $N$  个输出电压，分别由  $N$  个开关控制，相邻电压均为  $V_{LSB}$ 。每个电阻电压均可通过闭合对应开关输出，数字输入信号控制开关的闭合与断开，每个输入码对应一个开关，因此对于 10bit 精度， $N=1024$ ；对于 12bit 精度， $N=4096$ 。

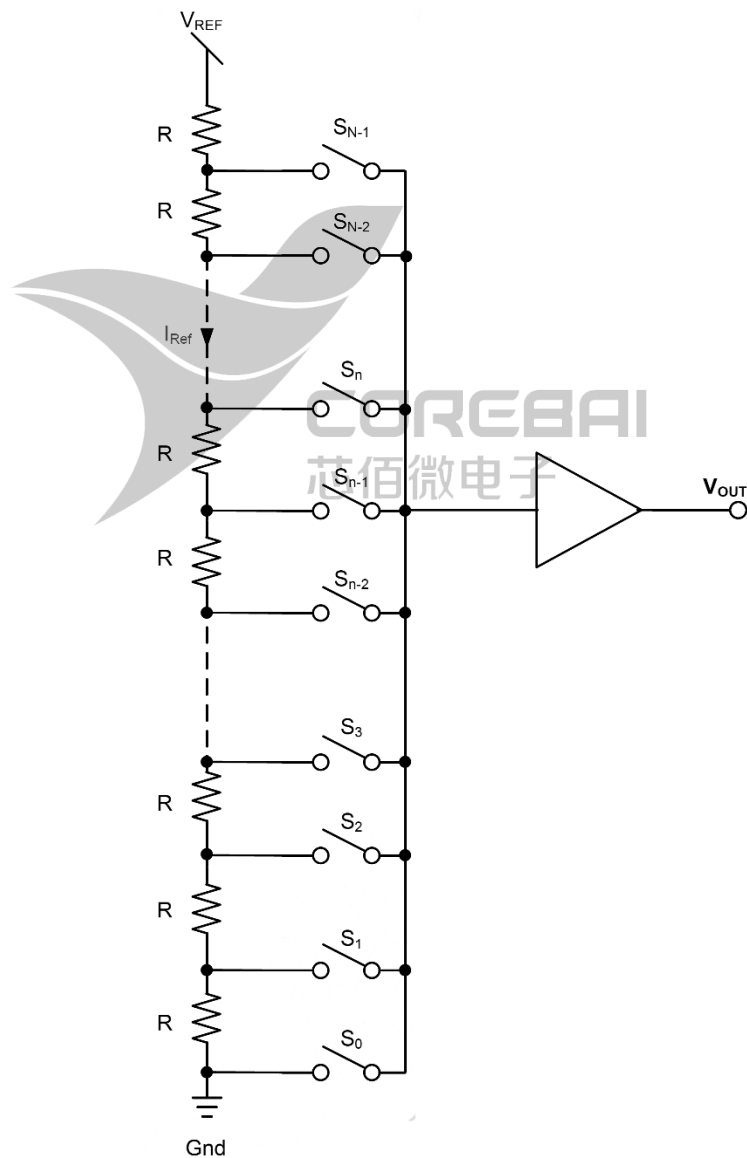


图 11 电阻串 DAC 结构示意图

当输入数字信号为 D 时:

$$V_{OUT} = V_{REF} \times (D/N)$$

CBM128S085 时 N=4096; CBM108S085 时 N=1024。CBM128S085/CBM108S085 中的 8 通道 DAC, 其中 ABCD 通道采用 VREF1 参考电压, EFGH 通道采用 VREF2 参考电压, 参考电压直接从外部输入因而可以灵活设置。数字信号 D 由串行接口写入内部 DAC 寄存器, 进而控制 DAC 最终输出电压。CBM128S085/ CBM108S085 的 8 通道 DAC 可以单独控制其使能或休眠, 休眠状态下 DAC 的输出有三种模式: 高阻、2.5K 欧姆阻抗到地和 100K 欧姆阻抗到地, 可以根据实际需要进行选择。

DAC 输出缓冲驱动电路采用轨到轨结构, 输出电压范围为 [0, V<sub>A</sub>] (实际输出电压范围受限于参考电压的大小), 当输出电压接近 0 或 V<sub>A</sub> 时, 缓冲驱动电路的线性度会快速恶化, 因此线性度指标 INL 的定义中去掉了部分最大码和最小码, 在实际应用中应需注意。输出缓冲驱动电路可以驱动 2K 欧姆电阻负载以及 1500pF 到地或电源的电容。负载电阻减小时, 驱动电流相应增大, 导致输出电压会有所变化, 具体的结果请参考前面的特性说明。缓冲驱动电路内置输出短路保护装置, 保护电流典型值为 20mA。

## 串行接口

### 串行接口描述

输入端的三线串行接口与 SPITM, QSPI 和 MICROWIRE, 以及大多数的 DSP 接口兼容, 其时钟工作频率最高能达到 40MHz。芯片的写操作在时钟下降沿进行, 数据以 16 个周期为一帧, 即在一帧数据同步序列内有 16 个时钟下降沿, 详细接口时序如图 12 所示, 具体数值请参考表 4。

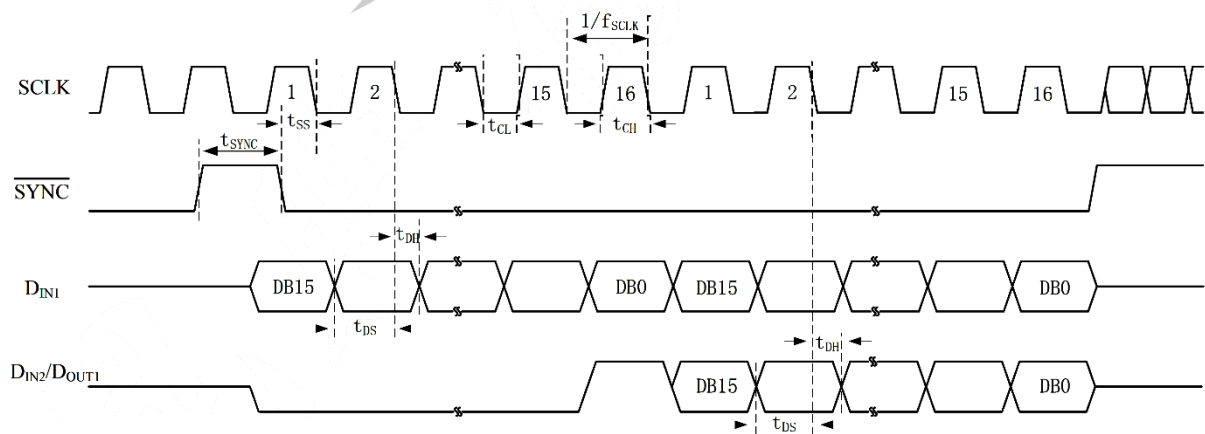


图 12 串行接口时序

以写一帧数据为例, 当 SYNC 信号拉低, 芯片的写操作开始执行, 在 DIN 输入的数据通过 SCLK 的下降沿同步至移位

寄存器。为了避免时钟错误，需要保证SYNC 下降沿与时钟下降沿之间的建立时间（SYNC 与SCLK 的时序关系）。当SCLK 的第16 个时钟下降沿到来，最后一位数据写入移位寄存器。此时，SYNC信号变高，芯片开始进行编程操作（通道选择，模式选择与寄存器内容变更等）。SYNC信号变高之后的时钟下降沿不会对芯片产生影响。

若SYNC在第15个时钟下降沿前变高，移位寄存器中写序列操作数据将被视为无效。当时钟沿超过17个下降沿时， $D_{IN}$  的数据将在 $D_{OUT}$ 端口上依次输出。这种操作模式的更多信息可参考菊花链工作模式。

当  $D_{IN}$  为高时，输入端驱动器需要消耗更多的电流，在写序列有效时， $D_{IN}$  应当处于闲置状态从而降低功耗。另一方面，当处于菊花链模式  $D_{OUT}$  有效输出时，同步帧信号应处于空闲状态。

### 菊花链工作模式

菊花链（Daisy chain）工作模式允许单个串行控制器同时对多个芯片进行操作，进而减少信号线数目并且简化连接。菊花链工作模式下，所有芯片共享SYNC和SCLK信号，前一芯片的 $D_{OUT}$ 信号接后一芯片的 $D_{IN}$ 。串行接口接收数据时仍然以帧为单位，当数据长度超过一帧时，芯片在接收当前帧的同时会把前一帧的数据依次从 $D_{OUT}$ 端口输出给后续芯片，进而作为后续芯片的数据输入。当SYNC信号上升沿到来时，所有芯片会把当前接收到的帧数据同时更新至串行输入寄存器。

以三颗芯片菊花链为例进行说明，此时连接如图 13 所示，DAC1 的  $D_{OUT}$  输出给 DAC2 的  $D_{IN}$ ，DAC2 的  $D_{OUT}$  输出给 DAC3 的  $D_{IN}$ 。串行控制器发送数据时的时序如图 14 所示，在 SYNC 信号为低时发送 3 帧数据，分别输出给 DAC3、DAC2 和 DAC1，需要注意的是  $D_{OUT}$  是在 SCLK 信号下降沿更新的，将在 SCLK 信号的下一次下降沿被后续芯片采样，为了保证正确采样需要满足  $D_{IN}$  信号保持时间的要求，因此需要特别注意板上 SYNC、SCLK、 $D_{IN}$  和  $D_{OUT}$  信号的延时，必要时需要在  $D_{IN}$  和  $D_{OUT}$  中间加入延时。

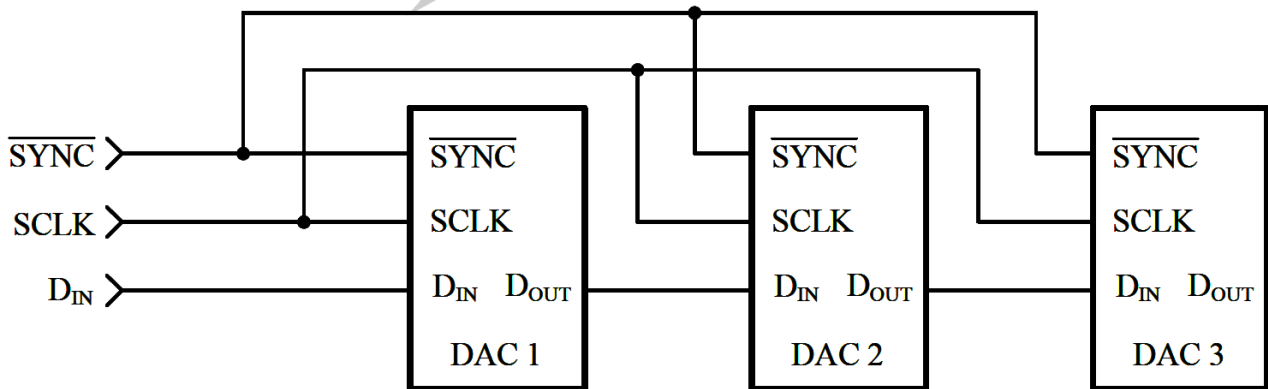


图 13 菊花链连接

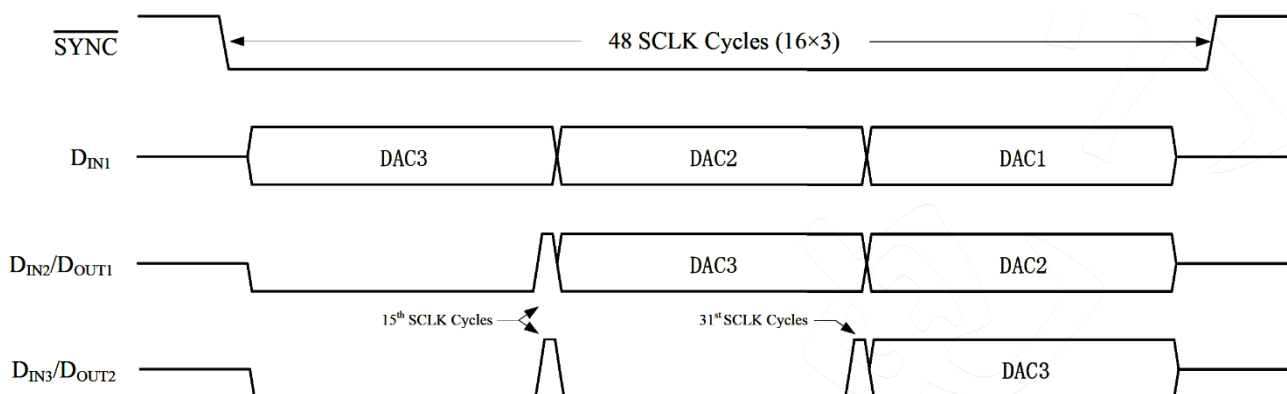


图 14 菊花链时序

### 串行输入寄存器

串行输入寄存器以 16 位为一帧，记为  $DB[15:0]$ ，其中前 4 位  $DB[15:12]$  为模式控制位，后 12 位  $DB[11:0]$  为数据位。串行输入寄存器的说明一览表如表 6 所示。CBM108S085 为 10bit DAC，因此当  $D[15]=0$  时，数据位  $D[11:0]$  中只有  $D[11:2]$  有效，剩余  $D[1:0]$  无效。 $D[11]$  为 MSB， $D[0]$  为 LSB。 $DB[15:12]$  把串行输入数据分为 4 种类型，分别是：写数据/DAC 寄存器、模式控制、特殊命令和休眠模式，分别对应不同的功能。

表 6 串行输入寄存器说明

类型	$DB[15:12]$	$DB[11:0]$	说明
休眠模式	1111	xxxx_HGFEDCBA	$DB[7:0]$ 相应位为 '1' 时，对应通道进入休眠状态，2.5K 欧姆阻抗输出
	1110	xxxx_HGFEDCBA	$DB[7:0]$ 相应位为 '1' 时，对应通道进入休眠状态，100K 欧姆阻抗输出
	1101	xxxx_HGFEDCBA	$DB[7:0]$ 相应位为 '1' 时，对应通道进入休眠状态，高阻输出
特殊命令	1100	D11 D10 ... D1 D0	广播模式：所有通道的数据寄存器和 DAC 寄存器同时更新为 $DB[11:0]$ 的值。
	1011	D11 D10 ... D1 D0	A 通道更新：A 通道的数据寄存器和 DAC 寄存器同时更新为 $DB[11:0]$ ，其它 7 个通道的 DAC 寄存器也同时更新为对应数据寄存器的值。
	1010	xxxx_HGFEDCBA	更新选择：当 $DB[7:0]$ 某位为 '1' 时，对应通道 DAC 寄存器更新为数据寄存器的值，DAC 输出也随着更新。
模式控制	1001	xxxx_xxxx_xxxx	WTM 模式命令
	1000	xxxx_xxxx_xxxx	WRM 模式命令
写数据/DAC	0111	D11 D10 ... D1 D0	WRM: $D[11:0]$ 仅写入 H 通道数据寄存器



寄存器			WTM: D[11:0] 直接更新 H 通道 DAC 寄存器
	0110	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 G 通道数据寄存器 WTM: D[11:0] 直接更新 G 通道 DAC 寄存器
	0101	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 F 通道数据寄存器 WTM: D[11:0] 直接更新 F 通道 DAC 寄存器
	0100	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 E 通道数据寄存器 WTM: D[11:0] 直接更新 E 通道 DAC 寄存器
	0011	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 D 通道数据寄存器 WTM: D[11:0] 直接更新 D 通道 DAC 寄存器
	0010	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 C 通道数据寄存器 WTM: D[11:0] 直接更新 C 通道 DAC 寄存器
	0001	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 B 通道数据寄存器 WTM: D[11:0] 直接更新 B 通道 DAC 寄存器
	0000	D11 D10 ... D1 D0	WRM: D[11:0] 仅写入 A 通道数据寄存器 WTM: D[11:0] 直接更新 A 通道 DAC 寄存器

所有DAC通道都包含两个寄存器：数据寄存器和DAC寄存器，更新DAC寄存器会直接更新DAC的输出模拟信号；数据寄存器暂存串行接口输入的数据，用户可以发送命令把DAC寄存器更新为数据寄存器中的值。当所有数据寄存器都写入后，用户可以发送命令控制所有DAC通道的输出同时更新。

串行接口控制寄存器的更新有两种方式：WRM(Write Register Mode)和 WTM(Write Through Mode)。写数据/DAC寄存器时，WRM方式下只有数据寄存器被更新，WTM方式下数据寄存器和DAC寄存器同时更新。芯片上电默认采用的是WRM方式。

串行输入特殊命令有三个：更新选择、A 通道更新和广播模式。更新选择命令可以选择性的对某一通道进行 DAC 寄存器更新，进而更新 DAC 的输出；A 通道更新命令在写入 A 通道数据的同时更新所有通道的 DAC 输出；广播命令可以把所有通道的数据寄存器和 DAC 寄存器同时更新为同一值。

## 休眠模式

CBM128S085/ CBM108S085 的 8 通道 DAC 均可以单独配置为休眠模式，休眠模式通过设置串行输入寄存器来完成，设置 DB[15:12]为所需的休眠模式，并把需要休眠的通道的对应位设置为“1”。当 8 通道 DAC 全部休眠后，芯片内部的偏置电路也一并休眠，不过芯片内部断电复位电路此时仍然在正常工作，消耗电流的典型值约为 10uA。

### 上电/断电复位

CBM128S085/ CBM108S085 内部同时含有上电复位和断电复位电路，该复位电路同时控制所有通道的输出，复位后所有通道的数据/DAC 寄存器设置为全 0，DAC 的最终输出也为 0 电平。当电源电压升高至芯片最低工作电压后产生复位操作，波形如图 9 所示。断电复位发生在芯片电源断电过程中，当电源电压低于约 2.7V 时，产生复位操作，波形如图 10 所示。

### 封装尺寸(TSSOP-16)

SYBMOL	MILLIMETER		
	MIN	NOM	MAX
A	-	-	1.20
A1	0.05	-	0.15
A2	0.90	1.00	1.05
A3	0.39	0.44	0.49
b	0.20	-	0.30
b1	0.19	0.22	0.25
c	0.13	-	0.19
c1	0.12	0.13	0.14
D	4.86	4.96	5.06
E	6.20	6.40	6.60
E1	4.30	4.40	4.50
e	0.65 BSC		
L	0.45	-	0.75
L1	1.00 BSC		
θ	0	-	8°
L/F 载体尺寸 (mil)	91×118		

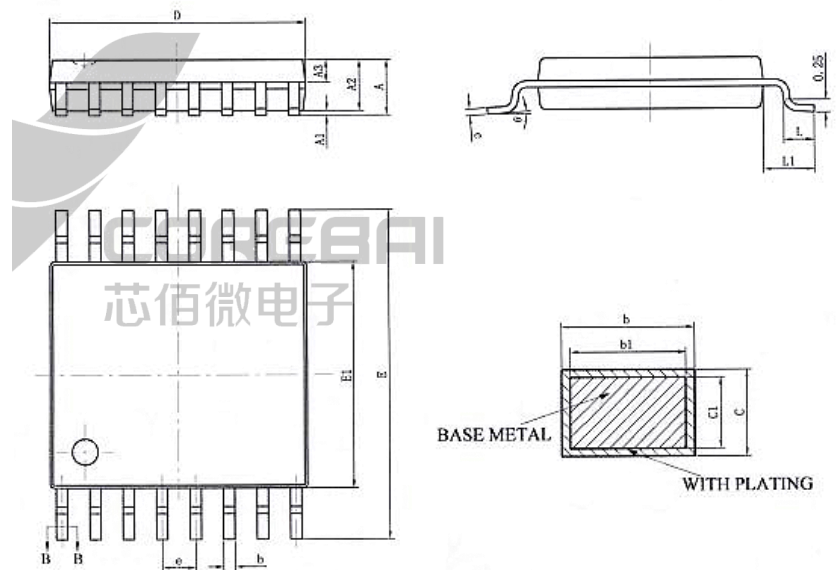
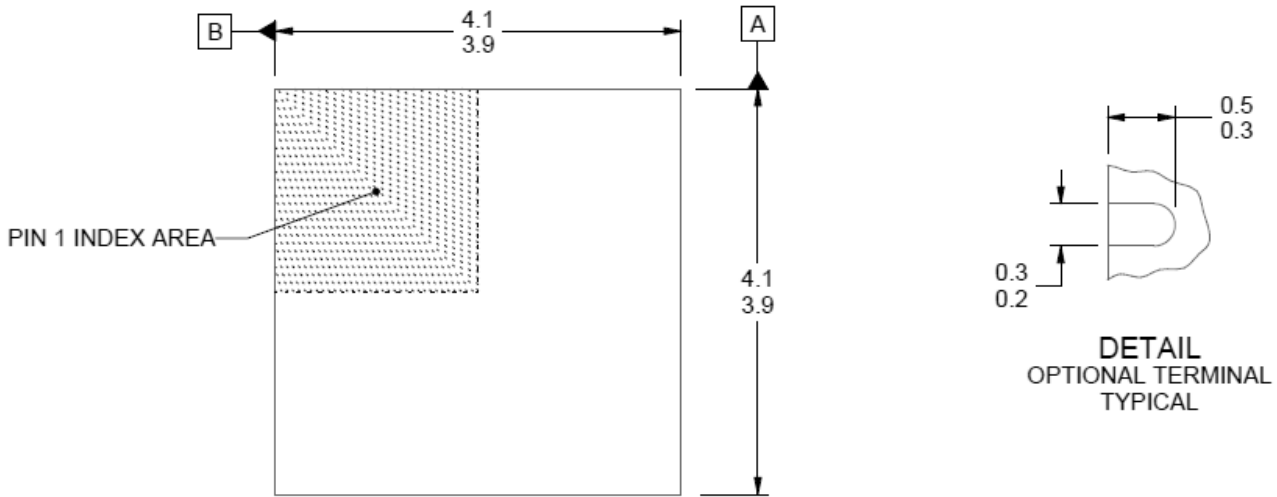
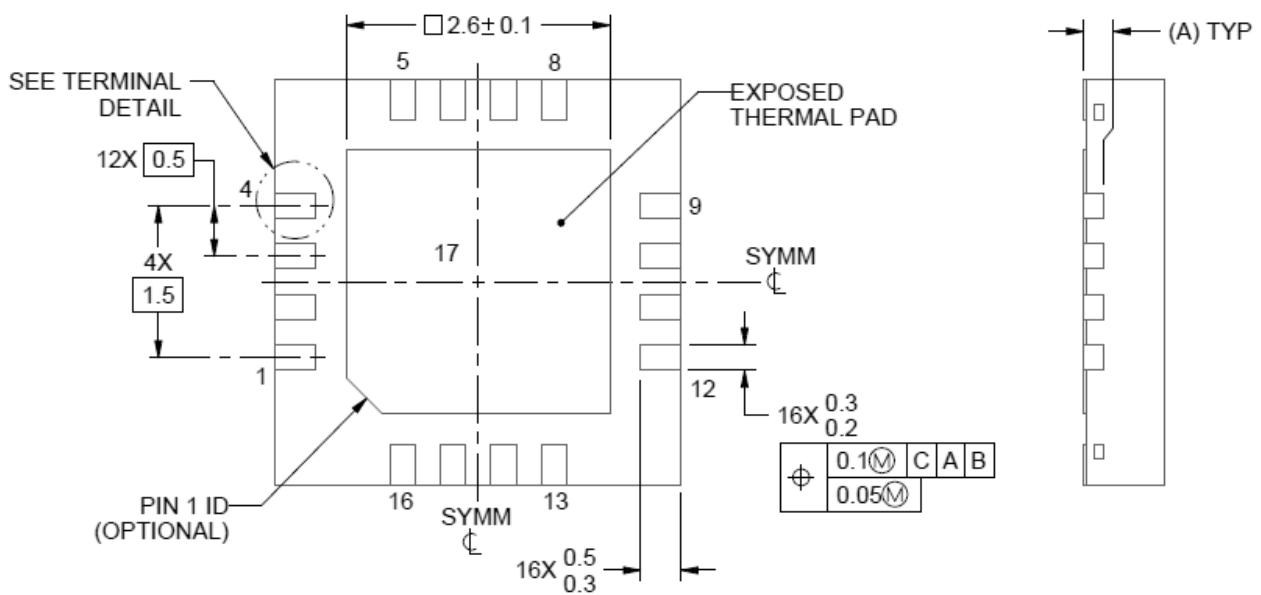


图 15 TSSOP16 封装尺寸, 单位:mm

QFN



DIM A	
OPT 1	OPT 1
(0.1)	(0.2)



## PACKAGE/ORDERING INFORMATION

PRODUCT	ORDERING NUMBER	TEMPRANGE	PACKAGE	PAKEAGE MARKING	TRANSPOT MEDIA,QUANTILY
CBM108S085	CBM108S085QS	-40°C~125°C	QFN16	108S085	Reel,2500
	CBM108S085TS	-40°C~125°C	TSSOP16	108S085	Reel,2500
CBM128S085	CBM128S085QS	-40°C~125°C	QFN16	128S085	Reel,2500
	CBM128S085TS	-40°C~125°C	TSSOP16	128S085	Reel,2500

