

产品特性

集成小数N分频PLL和VCO的I/Q调制器

增益控制范围：47 dB，步进为 1 dB

输出频率范围：100 MHz至2,400 MHz

1 dB 输出压缩：8 dBm(LO = 1800 MHz)

输出IP3：20.5 dBm(LO = 1800 MHz)

噪底：-161 dBm/Hz(LO = 1800 MHz)

基带调制带宽：600 MHz (3 dB)

输出频率分辨率：1 Hz

SPI和I²C兼容型串行接口

电源：5 V/380 mA

概述

ADRF6755是一款高集成度正交调制器、频率合成器和可编程衰减器。该器件工作在100 MHz至2400 MHz的频率范围，适用于卫星、蜂窝和宽带通信。

ADRF6755调制器包括一个集成VCO的高模数、小数N分频频率合成器，其频率分辨率低于1 Hz，以及一个47 dB数字控制输出衰减器，其步进为1 dB。

所有片内寄存器均通过用户可选的SPI或I²C接口进行控制。该器件采用4.75 V至5.25 V单电源供电。

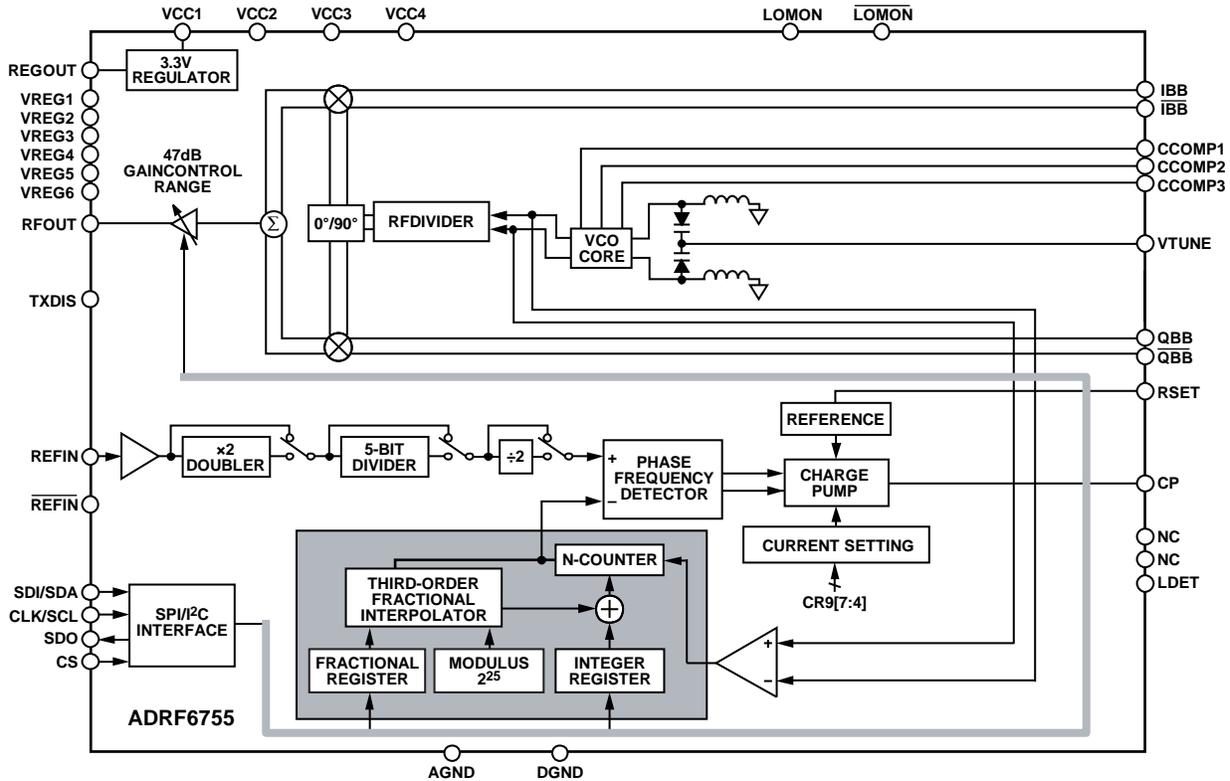


图1.

Rev. B

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2012–2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

AD中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，AD不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考AD提供的最新英文版数据手册。

目录

特性.....	1	SPI接口.....	27
概述.....	1	编程模式.....	29
修订历史.....	2	寄存器映射.....	31
技术规格.....	3	寄存器映射汇总.....	31
时序特性.....	8	寄存器位功能描述.....	32
绝对最大额定值.....	10	建议上电时序.....	35
ESD警告.....	10	初始寄存器写序列.....	35
引脚配置和功能描述.....	11	评估板.....	37
典型性能参数.....	13	概述.....	37
工作原理.....	21	硬件描述.....	37
概述.....	21	PCB布局图.....	41
PLL频率合成器和VCO.....	21	物料清单.....	44
正交调制器.....	24	外形尺寸.....	45
衰减器.....	25	订购指南.....	45
稳压器.....	25		
I ² C接口.....	25		

修订历史

2013年4月 — 修订版A至修订版B

更改“订购指南”.....	45
---------------	----

2012年11月—修订版0至修订版A

更改图1.....	1
更改表1的输入频率参数.....	6
更改表27的位7描述和表27的位6描述.....	34
步骤13中的0x00更改为0x60.....	35
更新“外形尺寸”.....	45
更改“订购指南”.....	45

2012年7月—修订版0：初始版

技术规格

除非另有说明， $V_{CC} = 5\text{ V} \pm 5\%$ ，工作温度范围 = -40°C 至 $+85^{\circ}\text{C}$ ，I/Q输入 = 0.9 V p-p 差分正弦波与 500 mV 直流偏置正交，REFIN = 80 MHz ，PFD = 40 MHz ，基带频率 = 1 MHz ，LOMON关闭，环路带宽(LBW) = 100 kHz ， $I_{CP} = 5\text{ mA}$ 。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
工作频率范围		100		2400	MHz
RF输出 = 100 MHz	RFOUT引脚				
标称输出功率	$V_{IQ} = 0.9\text{ V p-p}$ 差分		-0.2		dBm
增益平坦度	任意 40 MHz		± 2.0		dB
输出P1dB			9.0		dBm
输出IP3	$f_{1_{BB}} = 3.5\text{ MHz}$ ， $f_{2_{BB}} = 4.5\text{ MHz}$ ， $P_{OUT} = -6\text{ dBm/信号音}$		21.0		dBm
输出回损	衰减器设置 = 0 dB		-12		dB
LO载波馈通 ¹	衰减器设置 = 0 dB 至 47 dB		-55		dBc
$2\times$ LO载波馈通	衰减器设置 = 0 dB 至 47 dB		-80		dBm
边带抑制			-70		dBc
本底噪声	I/Q输入 = 0 V p-p 差分，衰减器设置 = 0 dB		-153		dBm/Hz
基带谐波			-60		dBc
频率合成器杂散	整数边界 < 环路带宽		-85		dBc
	相对于载波的偏移大于 10 MHz		-90		dBc
相位噪声	100 Hz偏移		-106		dBc/Hz
	1 kHz偏移		-116		dBc/Hz
	10 kHz偏移		-127		dBc/Hz
	100 kHz偏移		-131		dBc/Hz
	1 MHz偏移		-146		dBc/Hz
	10 MHz偏移		-152		dBc/Hz
积分相位噪声	积分带宽 1 kHz 到 8 MHz		0.02		$^{\circ}\text{ rms}$
RF输出 = 300 MHz	RFOUT引脚				
标称输出功率	$V_{IQ} = 0.9\text{ V p-p}$ 差分		0.2		dBm
增益平坦度	任意 40 MHz		± 0.5		dB
输出P1dB			9.3		dBm
输出IP3	$f_{1_{BB}} = 3.5\text{ MHz}$ ， $f_{2_{BB}} = 4.5\text{ MHz}$ ， $P_{OUT} = -6\text{ dBm/信号音}$		23.0		dBm
输出回损	衰减器设置 = 0 dB		-20		dB
LO载波馈通 ¹	衰减器设置 = 0 dB 至 47 dB		-50		dBc
$2\times$ LO载波馈通	衰减器设置 = 0 dB 至 47 dB		-75		dBm
边带抑制			-70		dBc
本底噪声	I/Q输入 = 0 V p-p 差分，衰减器设置 = 0 dB		-158		dBm/Hz
基带谐波			-60		dBc
频率合成器杂散	整数边界 < 环路带宽		-85		dBc
	相对于载波的偏移大于 10 MHz		-85		dBc
相位噪声	100 Hz偏移		-105		dBc/Hz
	1 kHz偏移		-113		dBc/Hz
	10 kHz偏移		-117		dBc/Hz
	100 kHz偏移		-122		dBc/Hz
	1 MHz偏移		-145		dBc/Hz
	10 MHz偏移		-150		dBc/Hz
积分相位噪声	积分带宽 1 kHz 到 8 MHz		0.04		$^{\circ}\text{ rms}$

ADRF6755

参数	测试条件/注释	最小值	典型值	最大值	单位
RF输出 = 700 MHz	RFOUT引脚				
标称输出功率	$V_{IQ} = 0.9\text{ V p-p}$ 差分		0.2		dBm
增益平坦度	任意40 MHz		± 0.5		dB
输出P1dB			9.4		dBm
输出IP3	$f_{1_{BB}} = 3.5\text{ MHz}$, $f_{2_{BB}} = 4.5\text{ MHz}$, $P_{OUT} = -6\text{ dBm/信号音}$		23.0		dBm
输出回损	衰减器设置 = 0 dB		-16		dB
LO载波馈通 ¹	衰减器设置 = 0 dB至47 dB		-48		dBc
2× LO载波馈通	衰减器设置 = 0 dB至47 dB		-70		dBm
边带抑制			-70		dBc
本底噪声	I/Q输入 = 0 V p-p差分, 衰减器设置 = 0 dB		-158		dBm/Hz
基带谐波			-60		dBc
频率合成器杂散	整数边界 < 环路带宽		-60		dBc
	相对于载波的偏移大于10 MHz		-85		dBc
相位噪声	100 Hz偏移		-97		dBc/Hz
	1 kHz偏移		-106		dBc/Hz
	10 kHz偏移		-112		dBc/Hz
	100 kHz偏移		-115		dBc/Hz
	1 MHz偏移		-139		dBc/Hz
	10 MHz偏移		-154		dBc/Hz
积分相位噪声	积分带宽1 kHz到8 MHz		0.07		° rms
RF输出 = 900 MHz	RFOUT引脚				
标称输出功率	$V_{IQ} = 0.9\text{ V p-p}$ 差分		0.0		dBm
增益平坦度	任意40 MHz		± 0.5		dB
输出P1dB			9.2		dBm
输出IP3	$f_{1_{BB}} = 3.5\text{ MHz}$, $f_{2_{BB}} = 4.5\text{ MHz}$, $P_{OUT} = -6\text{ dBm/信号音}$		22.8		dBm
输出回损	衰减器设置 = 0 dB		-15		dB
LO载波馈通 ¹	衰减器设置 = 0 dB至47 dB		-48		dBc
2× LO载波馈通	衰减器设置 = 0 dB至47 dB		-68		dBm
边带抑制			-60		dBc
本底噪声	I/Q输入 = 0 V p-p差分, 衰减器设置 = 0 dB		-158.5		dBm/Hz
	衰减器设置 = 0 dB至21 dB, 载波偏移 = 10 MHz		-152		dBc/Hz
	衰减器设置 = 21 dB至47 dB, 载波偏移 = 10 MHz		-171		dBm/Hz
基带谐波			-60		dBc
频率合成器杂散	整数边界 < 环路带宽		-60		dBc
	相对于载波的偏移大于10 MHz		-80		dBc
相位噪声	100 Hz偏移		-94		dBc/Hz
	1 kHz偏移		-104		dBc/Hz
	10 kHz偏移		-109		dBc/Hz
	100 kHz偏移		-114		dBc/Hz
	1 MHz偏移		-139		dBc/Hz
	10 MHz偏移		-154		dBc/Hz
积分相位噪声	积分带宽1 kHz到8 MHz		0.11		° rms
RF输出 = 1,800 MHz	RFOUT引脚				
标称输出功率	$V_{IQ} = 0.9\text{ V p-p}$ 差分		-0.4		dBm
增益平坦度	任意40 MHz		± 0.5		dB
输出P1dB			8.0		dBm
输出IP3	$f_{1_{BB}} = 3.5\text{ MHz}$, $f_{2_{BB}} = 4.5\text{ MHz}$, $P_{OUT} = -6\text{ dBm/信号音}$		20.5		dBm
输出回损	衰减器设置 = 0 dB		-13		dB
LO载波馈通 ¹	衰减器设置 = 0 dB至47 dB		-45		dBc
2× LO载波馈通	衰减器设置 = 0 dB至47 dB		-53		dBm
边带抑制			-45		dBc

参数	测试条件/注释	最小值	典型值	最大值	单位
本底噪声	I/Q输入 = 0 V p-p差分, 衰减器设置 = 0 dB 衰减器设置 = 0 dB至21 dB, 载波偏移 = 10 MHz 衰减器设置 = 21 dB至47 dB, 载波偏移 = 10 MHz		-161 -150 -170		dBm/Hz dBc/Hz dBm/Hz
基带谐波			-58		dBc
频率合成器杂散	整数边界 < 环路带宽 相对于载波的偏移大于10 MHz		-60 -75		dBc dBc
相位噪声	100 Hz偏移 1 kHz偏移 10 kHz偏移 100 kHz偏移 1 MHz偏移 10 MHz偏移		-89 -99 -103 -108 -133 -152		dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz
积分相位噪声	积分带宽1 kHz到8 MHz		0.17		° rms
RF输出 = 1,875 MHz	RFOUT引脚				
标称输出功率	$V_{IQ} = 0.9\text{ V p-p}$ 差分		-0.6		dBm
增益平坦度	任意40 MHz		±0.5		dB
输出P1dB			7.8		dBm
输出IP3	$f_{1_{BB}} = 3.5\text{ MHz}$, $f_{2_{BB}} = 4.5\text{ MHz}$, $P_{OUT} = -6\text{ dBm/信号音}$		20.2		dBm
输出回损	衰减器设置 = 0 dB		-13		dB
LO载波馈通 ¹	衰减器设置 = 0 dB至47 dB		-45		dBc
2× LO载波馈通	衰减器设置 = 0 dB至47 dB		-52		dBm
边带抑制			-50		dBc
本底噪声	I/Q输入 = 0 V p-p差分, 衰减器设置 = 0 dB 衰减器设置 = 0 dB至21 dB, 载波偏移 = 10 MHz 衰减器设置 = 21 dB至47 dB, 载波偏移 = 10 MHz		-160 -150 -170		dBm/Hz dBc/Hz dBm/Hz
基带谐波			-60		dBc
频率合成器杂散	整数边界 < 环路带宽 相对于载波的偏移大于10 MHz		-60 -73		dBc dBc
相位噪声	100 Hz偏移 1 kHz偏移 10 kHz偏移 100 kHz偏移 1 MHz偏移 10 MHz偏移		-89 -97 -103 -108 -133 -152		dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz
积分相位噪声	积分带宽1 kHz到8 MHz		0.18		° rms
RF输出 = 2,100 MHz	RFOUT引脚				
标称输出功率	$V_{IQ} = 0.9\text{ V p-p}$ 差分		-1.0		dBm
增益平坦度	任意40 MHz		±0.5		dB
输出P1dB			7.4		dBm
输出IP3	$f_{1_{BB}} = 3.5\text{ MHz}$, $f_{2_{BB}} = 4.5\text{ MHz}$, $P_{OUT} = -6\text{ dBm/信号音}$		19.5		dBm
输出回损	衰减器设置 = 0 dB		-12		dB
LO载波馈通 ¹	衰减器设置 = 0 dB至47 dB		-44		dBc
2× LO载波馈通	衰减器设置 = 0 dB至47 dB		-51		dBm
边带抑制			-45		dBc
本底噪声	I/Q输入 = 0 V p-p差分, 衰减器设置 = 0 dB 衰减器设置 = 0 dB至21 dB, 载波偏移 = 10 MHz 衰减器设置 = 21 dB至47 dB, 载波偏移 = 10 MHz		-161 -149 -170		dBm/Hz dBc/Hz dBm/Hz
基带谐波			-60		dBc
频率合成器杂散	整数边界 < 环路带宽 相对于载波的偏移大于10 MHz		-60 -67		dBc dBc

ADRF6755

参数	测试条件/注释	最小值	典型值	最大值	单位
相位噪声	100 Hz偏移 1 kHz偏移 10 kHz偏移 100 kHz偏移 1 MHz偏移 10 MHz偏移	-88 -98 -101 -108 -134 -152			dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz
积分相位噪声	积分带宽1 kHz到8 MHz	0.25			° rms
RF输出 = 2400 MHz	RFOUT引脚				
标称输出功率	$V_{IQ} = 0.9\text{ V p-p}$ 差分	-1.7			dBm
增益平坦度	任意40 MHz	± 0.5			dB
输出P1dB		6.5			dBm
输出IP3	$f_{1\text{BB}} = 3.5\text{ MHz}$, $f_{2\text{BB}} = 4.5\text{ MHz}$, $P_{\text{OUT}} = -6\text{ dBm/信号音}$	18.5			dBm
输出回损	衰减器设置 = 0 dB	-11			dB
LO载波馈通 ¹	衰减器设置 = 0 dB至47 dB	-43			dBc
2× LO载波馈通	衰减器设置 = 0 dB至47 dB	-60			dBm
边带抑制		-40			dBc
本底噪声	I/Q输入 = 0 V p-p差分, 衰减器设置 = 0 dB 衰减器设置 = 0 dB至21 dB, 载波偏移 = 10 MHz 衰减器设置 = 21 dB至47 dB, 载波偏移 = 10 MHz	-160.5 -148 -170			dBm/Hz dBc/Hz dBm/Hz
基带谐波		-55			dBc
频率合成器杂散	整数边界 < 环路带宽 相对于载波的偏移大于10 MHz	-55 -64			dBc dBc
相位噪声	100 Hz偏移 1 kHz偏移 10 kHz偏移 100 kHz偏移 1 MHz偏移 10 MHz偏移	-85 -96 -100 -107 -132 -152			dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz
积分相位噪声	积分带宽1 kHz到8 MHz	0.25			° rms
参考特性	REFIN引脚				
输入频率	参考2分频使能 参考2分频禁用 参考倍频器使能	10 10 10		300 165 80	MHz MHz MHz
输入灵敏度	交流耦合	0.4		VREG	V p-p
输入电容				10	pF
输入电流				± 100	μA
电荷泵					
I_{CP} 吸/源电流	可编程, RSET = 4.7 k Ω				
高值			5		mA
低值			312.5		μA
绝对精度			4.0		%
VCO					
增益	K_{VCO}		25		MHz/V
频率合成器	LO = 100 MHz至2400 MHz				
频率分辨率				1	Hz
频率建立	任意步长, 最大频率误差 = 100 Hz		0.17		ms
无自动校准情况下的最大频率步进	无自动校准程序情况下的频率步进; 寄存器CR24, Bit 0 = 1			100/2 ^{RFDIV}	kHz
鉴相器频率		10		40	MHz

参数	测试条件/注释	最小值	典型值	最大值	单位
增益控制					
增益范围			47		dB
步长			1		dB
相对步长精度	固定频率, 相邻步长, 所有衰减步长, LO > 300 MHz ²		±0.3		dB
	全频率范围, 相邻步长, 所有衰减步长, LO > 300 MHz ³		±1.5		dB
绝对步长精度 ⁴	47 dB衰减步长, LO > 300 MHz ⁵		-2.0		dB
输出建立时间	任意步长; 输出功率建立到±0.2 dB		15		µs
输出禁用	TXDIS引脚				
关断隔离	RFOUT, 衰减器设置 = 0 dB至47 dB, TXDIS高电平		-100		dBm
	LO, 衰减器设置 = 0 dB至47 dB, TXDIS高电平		-75		dBm
	2× LO, 衰减器设置 = 0 dB至47 dB, TXDIS高电平		-50		dBm
开启建立时间	TXDIS高至低: 输出功率至包络的90%		180		ns
	频率建立到100 Hz		20		µs
关闭建立时间	TXDIS低至高(至-55 dBm)		350		ns
监控输出	LOMON、LOMON引脚				
标称输出功率			-24		dBm
基带输入	IBB、 $\overline{\text{IBB}}$ 、QBB、 $\overline{\text{QBB}}$ 引脚				
I和Q输入偏置电平			500		mV
3 dB带宽			600		MHz
逻辑输入					
输入高电压 V_{INH}	CS、TXDIS引脚	1.4			V
输入低电压 V_{INL}	CS、TXDIS引脚			0.6	V
输入高电压 V_{INH}	SDI/SDA、CLK/SCL引脚	2.1			V
输入低电压 V_{INL}	SDI/SDA、CLK/SCL引脚			1.1	V
输入电流 $I_{\text{INH}}/I_{\text{INL}}$	CS、TXDIS、SDI/SDA、CLK/SCL引脚			±1	µA
输入电容 C_{IN}	CS、TXDIS、SDI/SDA、CLK/SCL引脚			10	pF
逻辑输出					
输出高电压 V_{OH}	SDO、LDET引脚; $I_{\text{OH}} = 500 \mu\text{A}$	2.8			V
输出低电压 V_{OL}	SDO、LDET引脚; $I_{\text{OL}} = 500 \mu\text{A}$			0.4	V
	SDA (SDI/SDA)引脚; $I_{\text{OL}} = 3 \text{ mA}$			0.4	V
电源	VCC1、VCC2、VCC3、VCC4、VREG1、VREG2、VREG3、VREG4、VREG5、VREG6和REGOUT引脚; REGOUT一般连接到VREG1、VREG2、VREG3、VREG4、VREG5和VREG6				
电压范围	VCC1、VCC2、VCC3和VCC4	4.75	5	5.25	V
	REGOUT、VREG1、VREG2、VREG3、VREG4、VREG5和VREG6		3.3		V
电源电流	VCC1、VCC2、VCC3和VCC4总和; REGOUT连接到VREG1、VREG2、VREG3、VREG4、VREG5和VREG6		380	420	mA
掉电电流	CR29[0] = 0, 关断调制器 CR12[2] = 1, 关断PLL CR28[4] = 1, 关断RFDIVIDER CR27[2] = 0, 关断LOMON		7		mA
工作温度		-40		+85	°C

¹ LO载波馈通是指衰减器发生步进变化时, LO载波相对于RF输出功率的变化, 用dBc表示。RF输出因I/Q输入幅度改变而变化时, LO载波馈通保持不变。

² 关于LO < 300 MHz时的相对步长精度, 参见图37。

³ 关于LO < 300 MHz时整个频率范围内的相对步长精度, 参见图39。

⁴ 所有其它衰减步长的绝对误差小于±2.0 dB。

⁵ 关于LO < 300 MHz时的绝对步长精度, 参见图40。

ADRF6755

时序特性 I²C接口时序

表2.

参数 ¹	符号	限值	单位
SCL时钟频率	f_{SCL}	400	kHz(最大值)
SCL高电平脉冲宽度	t_{HIGH}	600	ns(最小值)
SCL低电平脉冲宽度	t_{LOW}	1300	ns(最小值)
起始条件保持时间	$t_{HD;STA}$	600	ns(最小值)
起始条件建立时间	$t_{SU;STA}$	600	ns(最小值)
数据建立时间	$t_{SU;DAT}$	100	ns(最小值)
数据保持时间	$t_{HD;DAT}$	300	ns(最小值)
停止条件建立时间	$t_{SU;STO}$	600	ns(最小值)
数据有效时间	$t_{VD;DAT}$	900	ns(最大值)
数据有效应答时间	$t_{VD;ACK}$	900	ns(最大值)
总线空闲时间	t_{BUF}	1300	ns(最小值)

¹ 参见图2。

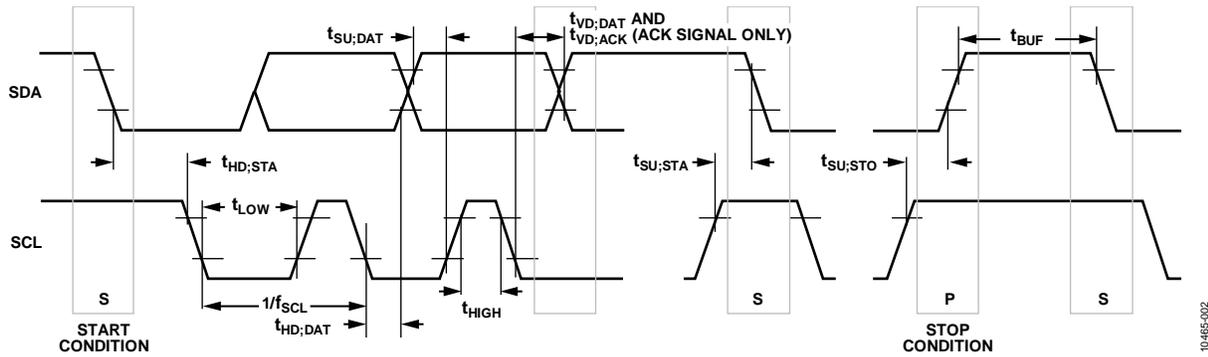


图2. I²C端口时序图

10-465-002

SPI接口时序

表3.

参数 ¹	符号	限值	单位
CLK频率	f_{CLK}	20	MHz(最大值)
CLK高电平脉冲宽度	t_1	15	ns(最小值)
CLK低电平脉冲宽度	t_2	15	ns(最小值)
起始条件保持时间	t_3	5	ns(最小值)
数据建立时间	t_4	10	ns(最小值)
数据保持时间	t_5	5	ns(最小值)
停止条件建立时间	t_6	5	ns(最小值)
SDO访问时间	t_7	15	ns(最小值)
CS至SDO高阻态	t_8	25	ns(最大值)

¹ 参见图3。

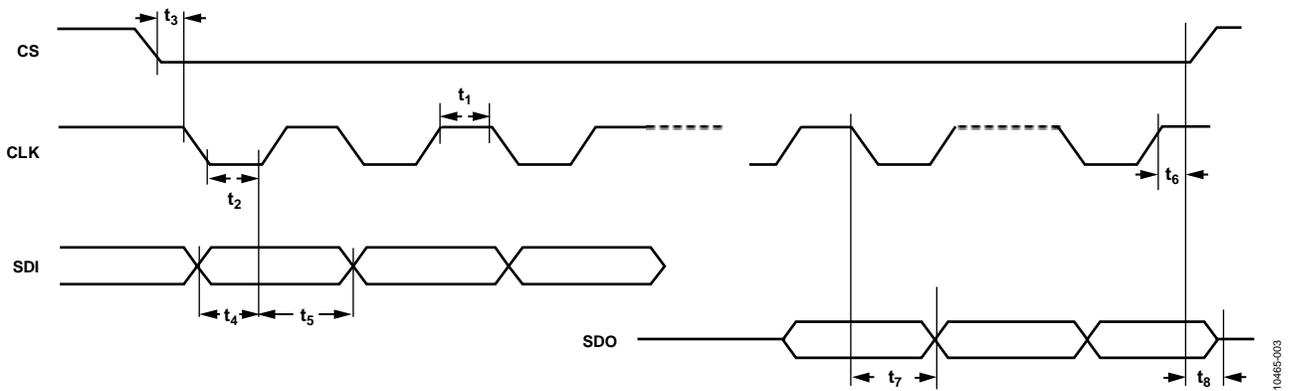


图3. SPI端口时序图

10465-003

绝对最大额定值

表4.

参数	额定值
VCC1、VCC2、VCC3和VCC4电源	-0.3 V至+6 V
VREG1、VREG2、VREG3、VREG4、VREG5和VREG6电源电压	-0.3 V至+4 V
IBB、 $\overline{\text{IBB}}$ 、QBB、 $\overline{\text{QBB}}$	0 V至2.5 V
数字I/O	-0.3 V至+4 V
模拟I/O(除IBB、 $\overline{\text{IBB}}$ 、QBB和 $\overline{\text{QBB}}$ 以外)	-0.3 V至+4 V
最高结温	125°C
存储温度范围	-65°C至+150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

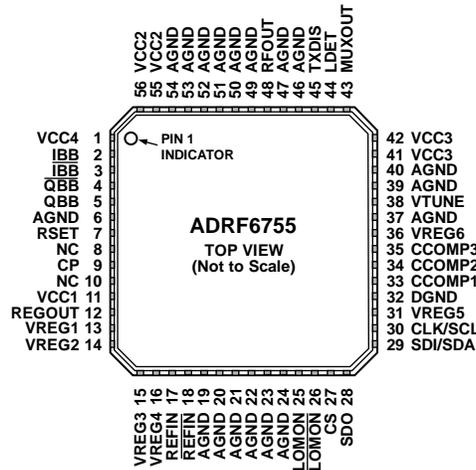
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



- NOTES
 1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
 2. CONNECT EXPOSED PAD TO GROUND PLANE VIA A LOW IMPEDANCE PATH.

10465-004

图4. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	描述
11, 55, 56, 41, 42, 1	VCC1至VCC4	I/Q调制器的正电源。对VCC1施加5 V电源，该引脚应通过电源去耦电容去耦。VCC2、VCC3和VCC4同样连接到该5 V电源。
12	REGOUT	3.3 V输出电源。驱动VREG1、VREG2、VREG3、VREG4、VREG5和VREG6。
13, 14, 15, 16, 31, 36	VREG1至VREG6	PLL频率合成器、VCO和串行端口的正电源。将这些引脚连接到REGOUT (3.3 V)并分别去耦。
6, 19, 20, 21, 22, 23, 24, 37, 39, 40, 46, 47, 49, 50, 51, 52, 53, 54	AGND	模拟地。连接至低阻抗接地层。
32	DGND	数字地。连接到与AGND引脚相同的低阻抗接地层。
2, 3	IBB, IBB	差分同相基带输入。这些高阻抗输入必须直流偏置大约500 mV DC，并且应通过低阻抗源驱动。各引脚的标称特征交流信号摆幅为450 mV p-p。这些输入不是自偏置，必须外部偏置。
4, 5	QBB, QBB	差分正交基带输入。这些高阻抗输入必须直流偏置大约500 mV DC，并且应通过低阻抗源驱动。各引脚的标称特征交流信号摆幅为450 mV p-p。这些输入不是自偏置，必须外部偏置。
33, 34, 35	CCOMP1至CCOMP3	内部补偿节点。这些引脚必须用一个100 nF电容去耦至地。
38	VTUNE	VCO的控制输入。此电压决定输出频率，从对CP输出电压的滤波而获得。
7	RSET	电荷泵电流设置。在此引脚与地之间连一个电阻可设置最大电荷泵输出电流。 I_{CP} 与 R_{SET} 的关系如下： $I_{CPmax} = \frac{23.5}{R_{SET}}$
9	CP	电荷泵输出。使能时，此输出提供 $\pm I_{CP}$ 到外部环路滤波器，后者又驱动内部VCO。
27	CS	片选，CMOS输入。当CS为高电平时，存储在移位寄存器内的数据将载入31个锁存器中的一个。在I ² C模式下，当CS为高电平时，器件的从机地址为0x60；当CS为低电平时，从机地址为0x40。

ADRF6755

引脚编号	引脚名称	描述
29	SDI/SDA	SPI端口的串行数据输入，I ² C端口的串行数据输入/输出。在SPI模式下，此输入为高阻抗CMOS数据输入，数据以8位字载入。在I ² C模式下，此引脚为双向端口。
30	CLK/SCL	SPI/I ² C端口的串行时钟输入。此串行时钟用来将串行数据逐个输入寄存器。此输入为高阻抗CMOS输入。
28	SDO	SPI端口的串行数据输出。寄存器状态可以通过SDO数据输出线回读。
17	REFIN	基准电压输入。此高阻抗CMOS输入应交流耦合。
18	REFIN	参考输入信号。此引脚应接地或交流耦合至地。
48	RFOUT	RF输出。单端50Ω内部偏置RF输出。此引脚必须交流耦合到负载。
45	TXDIS	输出禁用。此引脚可用于禁用RF输出。连接到高逻辑电平将禁用输出。正常工作：连接到低逻辑电平。
25, 26	LOMON, LOMON	差分监控输出。这些引脚以四种不同的功率水平提供内部本振频率(1× LO)的副本：-6 dBm、-12 dBm、-18 dBm、-24 dBm。这些开集输出必须利用外部电阻端接到REGOUT。这些输出可以通过串行端口编程禁用，不用时应连接到REGOUT。
8, 10	NC	不连接。请勿连接到这些引脚。
44	LDET	锁定检测。此输出引脚表示PLL的状态：高电平表示已锁定，低电平表示失去锁定。
43	MUXOUT	多路复用器输出。此引脚为测试输出，仅用于诊断。请勿连接该引脚。
裸露焊盘	EP	裸露焊盘。通过低阻抗路径连接到接地层。

典型性能参数

除非另有说明， $V_{CC} = 5\text{ V} \pm 5\%$ ，工作温度范围 = -40°C 至 $+85^{\circ}\text{C}$ ，I/Q输入 = 0.9 V p-p 差分正弦波与 500 mV 直流偏置正交，REFIN = 80 MHz ，PFD = 40 MHz ，基带频率 = 1 MHz ，LOMON关闭，环路带宽(LBW) = 100 kHz ， $I_{CP} = 5\text{ mA}$ 。标称条件为： 25°C 、 5.00 V 和 1800 MHz 的LO频率。最差条件为：最差温度、电源电压和LO频率。

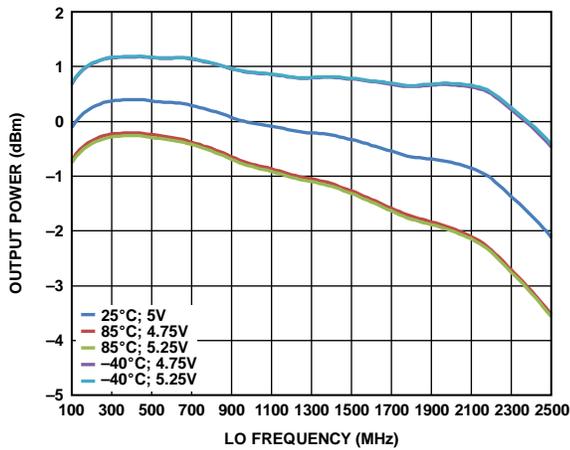


图5. 输出功率与LO频率、电源和温度的关系

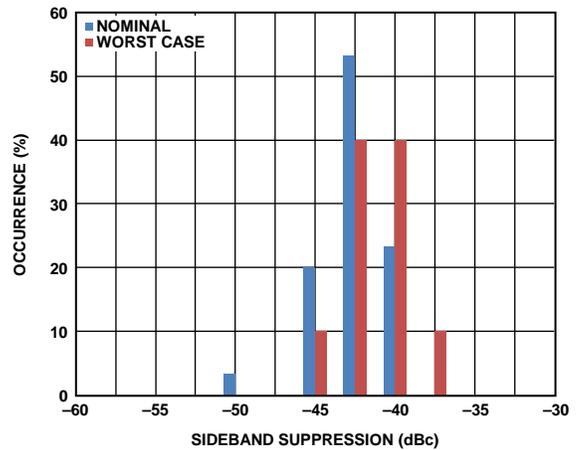


图8. 边带抑制分布，标称条件和最差条件

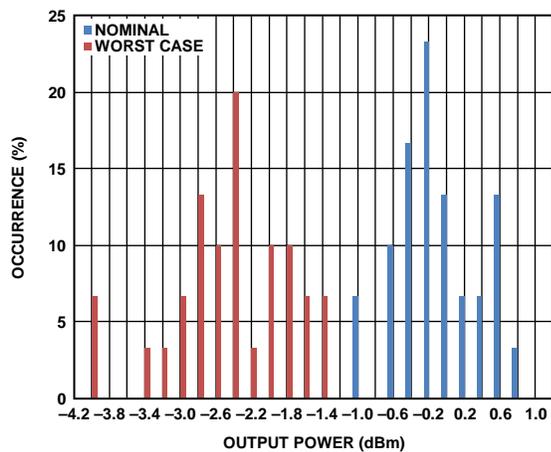


图6. 输出功率分布，标称条件和最差条件

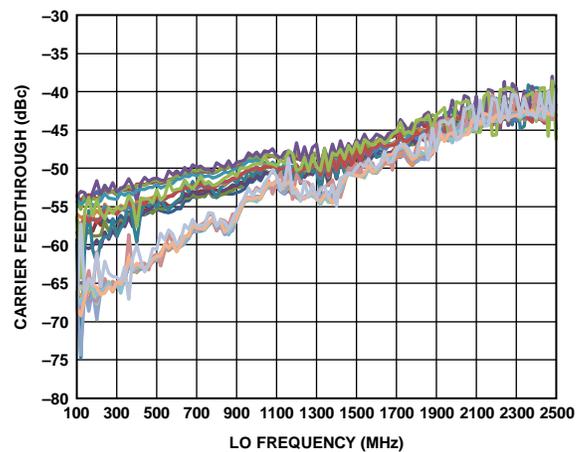


图9. LO载波馈通与LO频率、衰减、电源和温度的关系

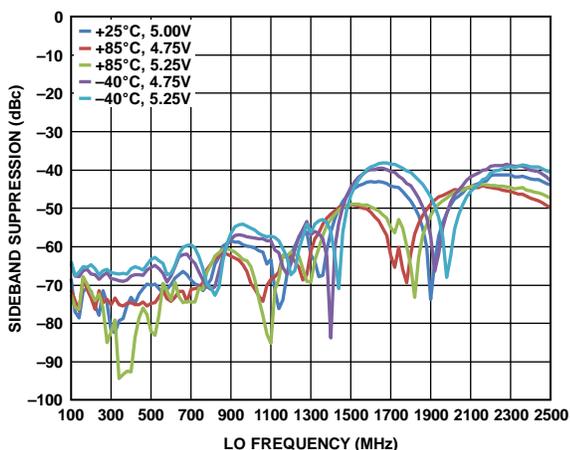


图7. 边带抑制与LO频率、电源和温度的关系

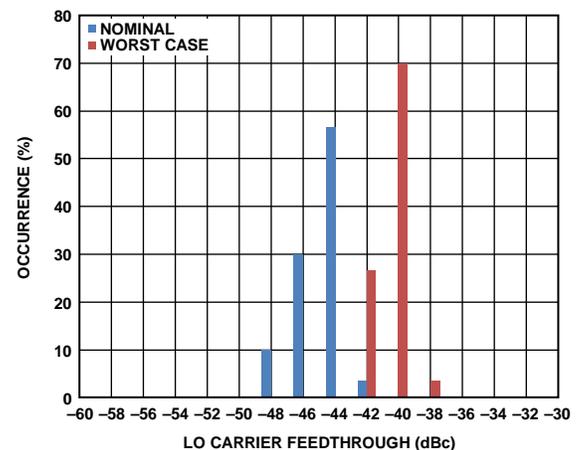


图10. LO载波馈通分布，标称条件和最差条件，衰减设置

ADRF6755

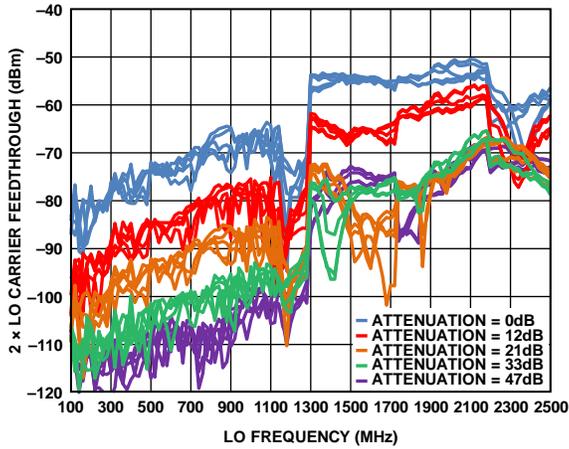


图11. 2x LO载波馈通与LO频率、衰减、电源和温度的关系

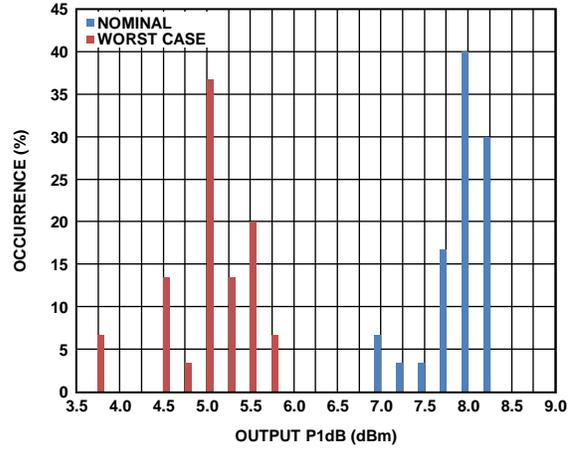


图14. 输出P1dB压缩点分布, 标称条件和最差条件

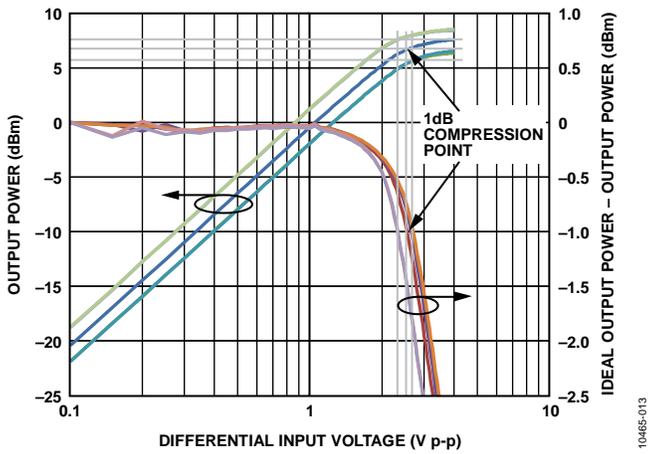


图12. 最差LO频率时的输出P1dB压缩点与电源和温度的关系

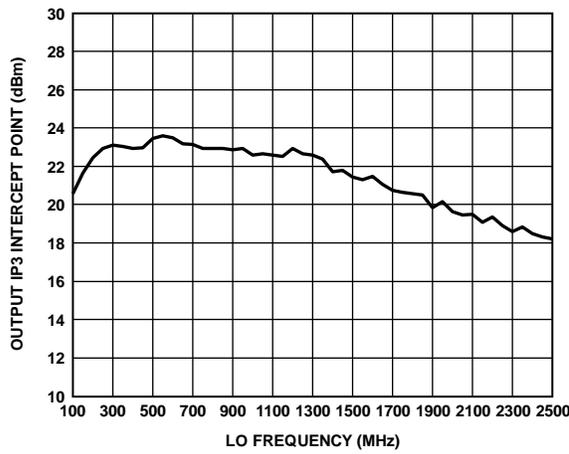


图15. 输出IP3与LO频率的关系, 标称条件

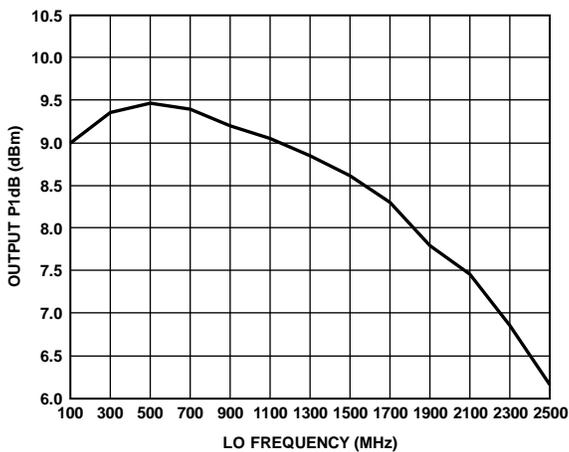


图13. 输出P1dB压缩点与LO频率的关系, 标称条件

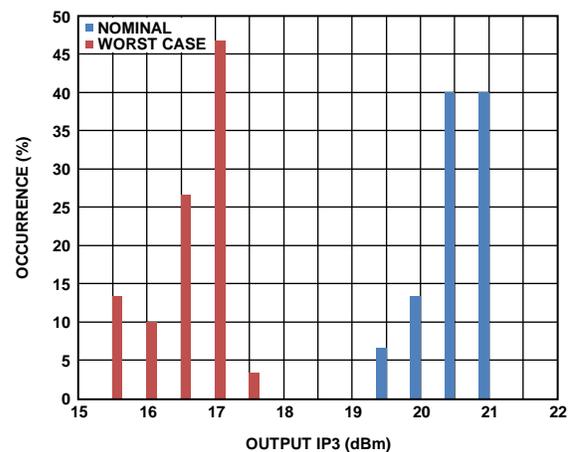


图16. 输出IP3分布, 标称条件和最差条件

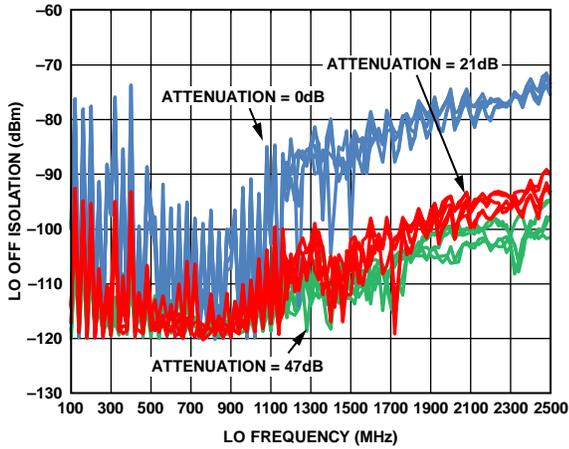


图17. LO关断隔离与LO频率、衰减、电源和温度的关系

10465-118

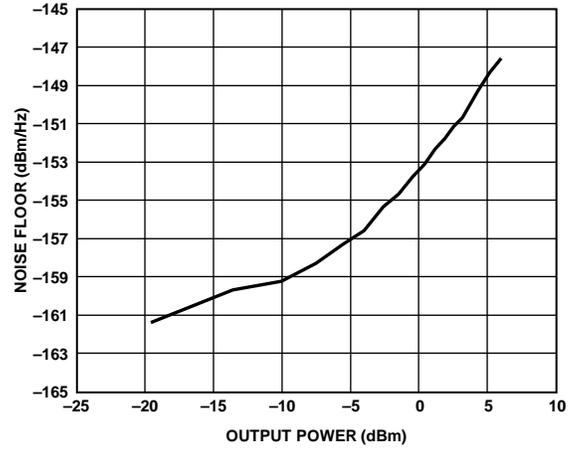


图20. 0 dB衰减时的噪底与输出功率的关系, 标称条件

10465-022

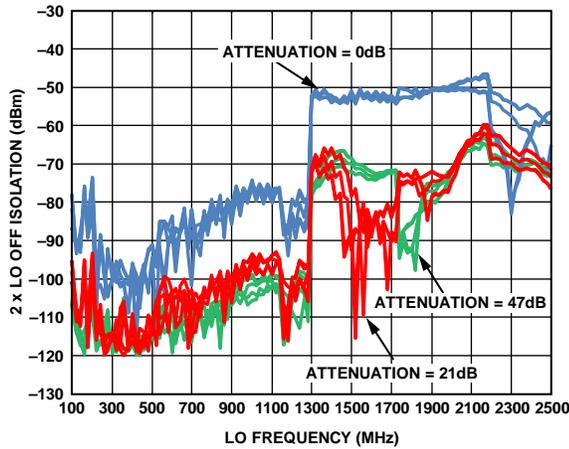


图18. 2x LO关断隔离与LO频率、衰减、电源和温度的关系

10465-119

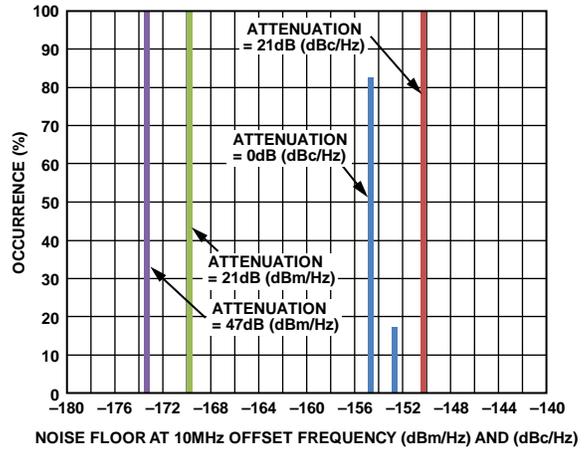


图21. 不同衰减设置下10 MHz偏移频率时的噪底分布, 最差条件

10465-167

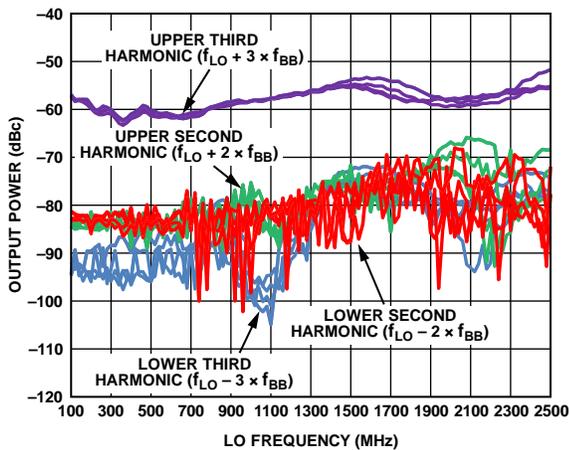


图19. 二阶和三阶谐波失真与LO频率、电源和温度的关系

10465-120

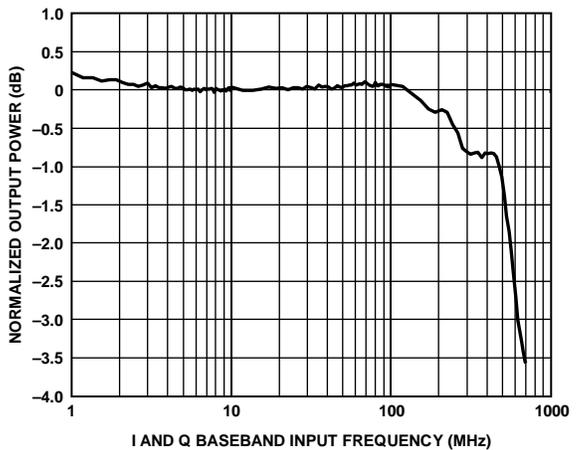


图22. 归一化I和Q输入带宽

10465-023

ADRF6755

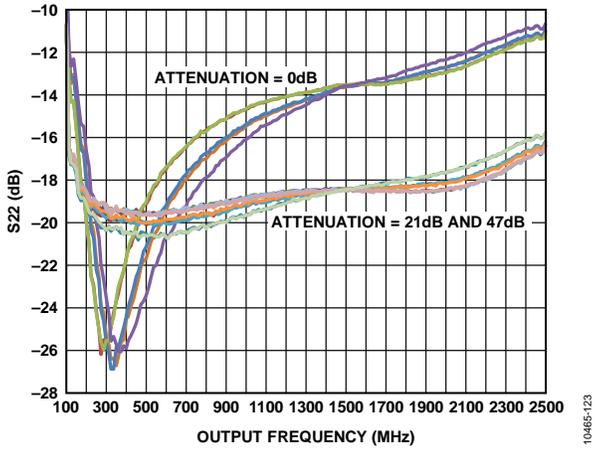


图23. 不同衰减设置下的输出回损与输出频率、电源和温度的关系

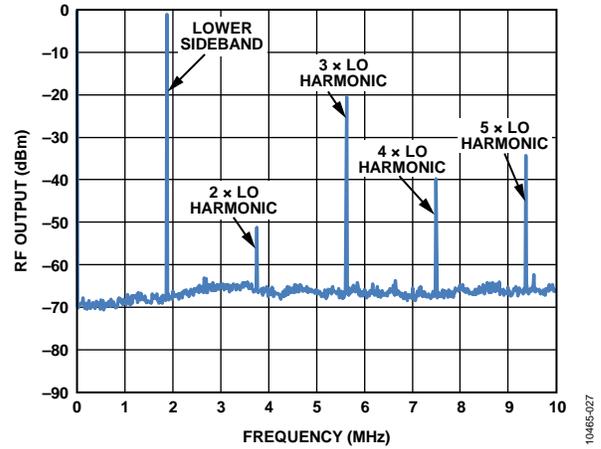


图26. 宽范围内的RF输出频谱

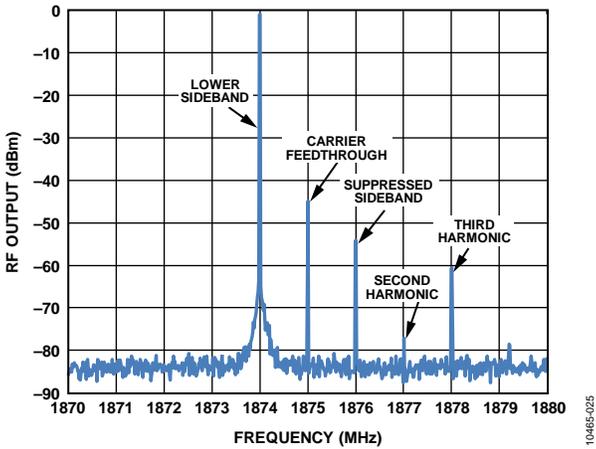


图24. 10 MHz范围内的RF输出频谱

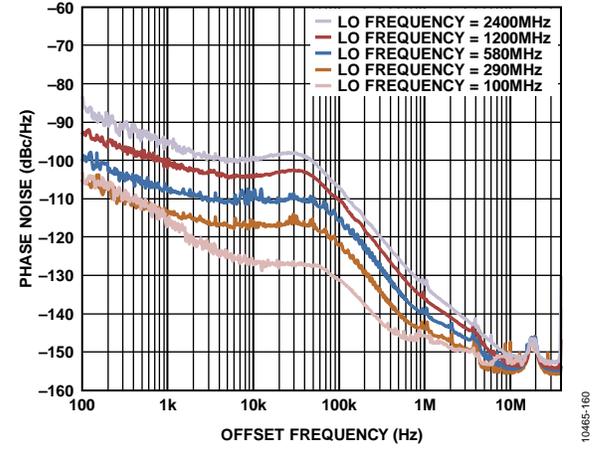


图27. 相位噪声性能与LO频率的关系, 标称条件

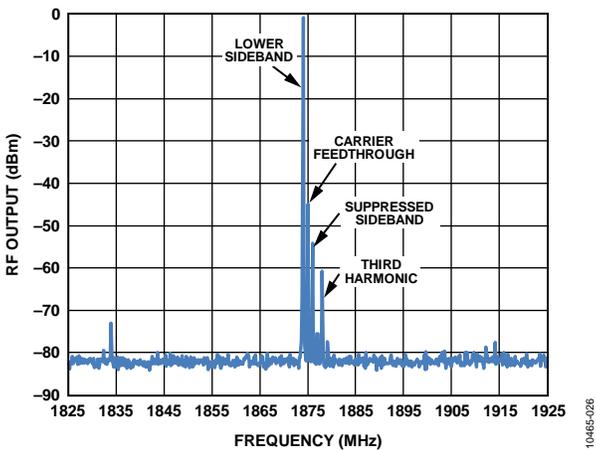


图25. 100 MHz范围内的RF输出频谱

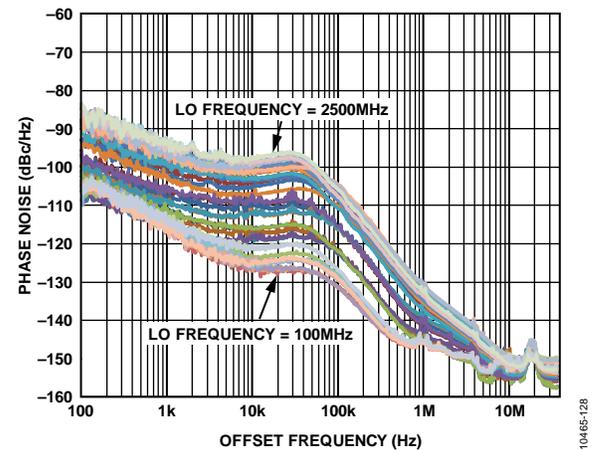


图28. 相位噪声性能与LO频率、电源和温度的关系

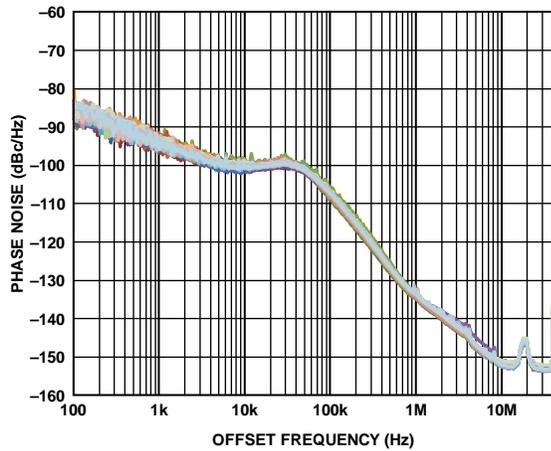


图29. 相位噪声性能分布, 最差条件

10465-123

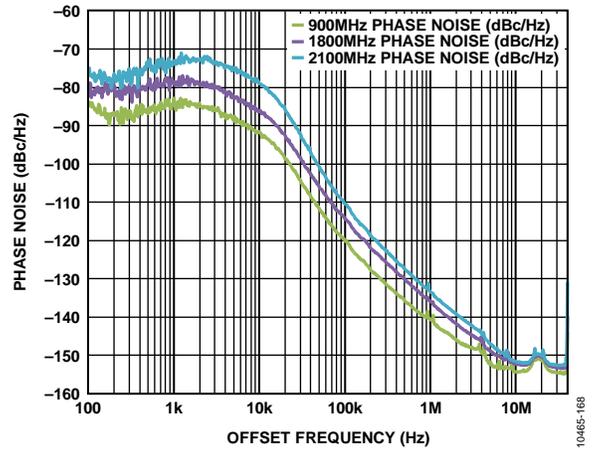


图32. 相位噪声性能与LO频率的关系, 标称条件, 窄环路带宽

10465-168

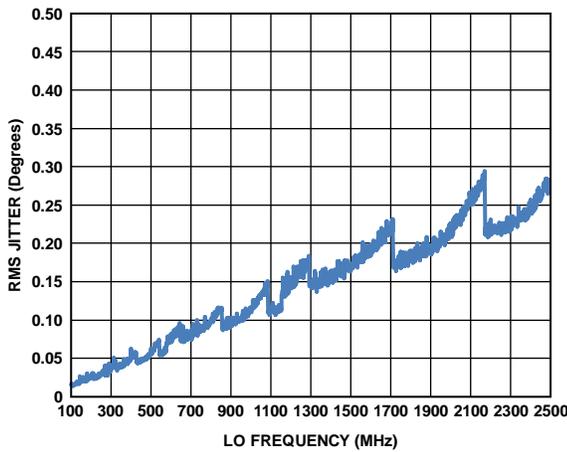


图30. 1 kHz至8 MHz积分带宽内的积分相位噪声与LO频率的关系, 标称条件

10465-133

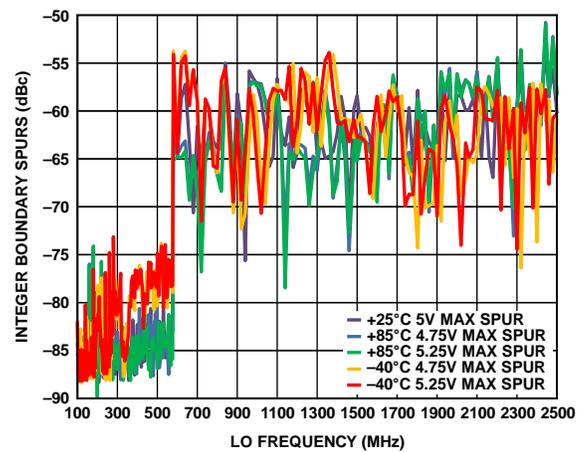


图33. 积分边界杂散性能与LO频率、电源和温度的关系

10465-166

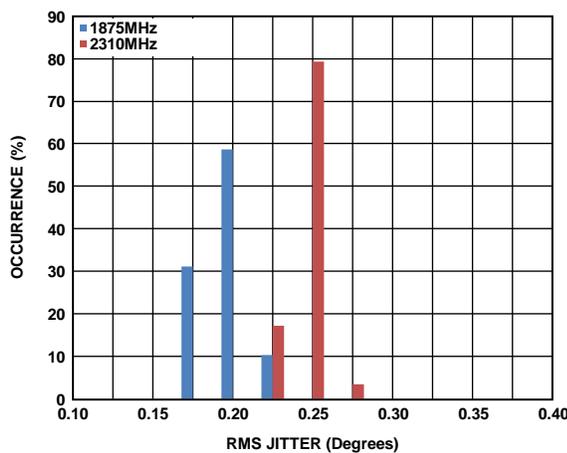


图31. 1 kHz至8 MHz积分带宽内的积分相位噪声分布, 1875 MHz和2310 MHz

10465-034

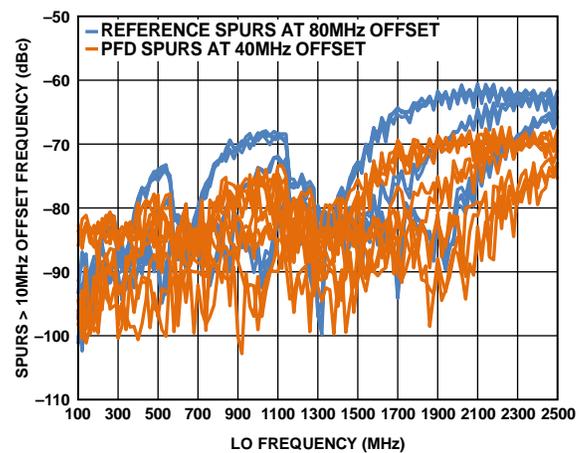


图34. 相对于载波偏移10 MHz以上的杂散与LO频率、电源和温度的关系

10465-132

ADRF6755

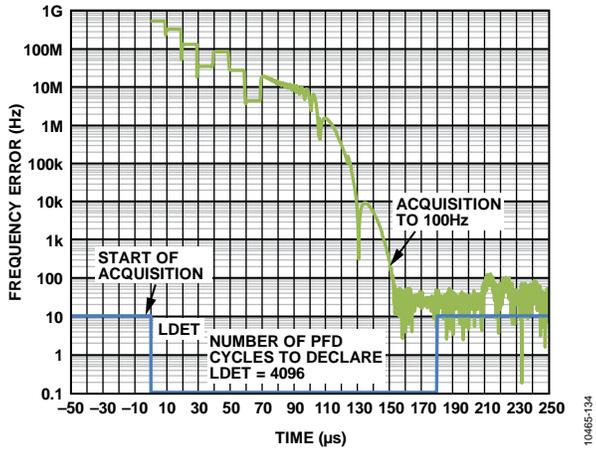


图35. 最差LO频率时的PLL频率建立时间，显示锁定检测

10465-134

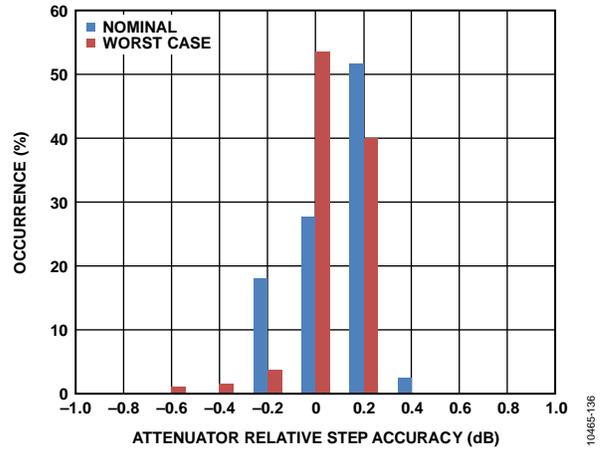


图38. 衰减器相对步长精度分布，标称条件和最差条件， $LO > 300$ MHz，所有衰减器步长

10465-136

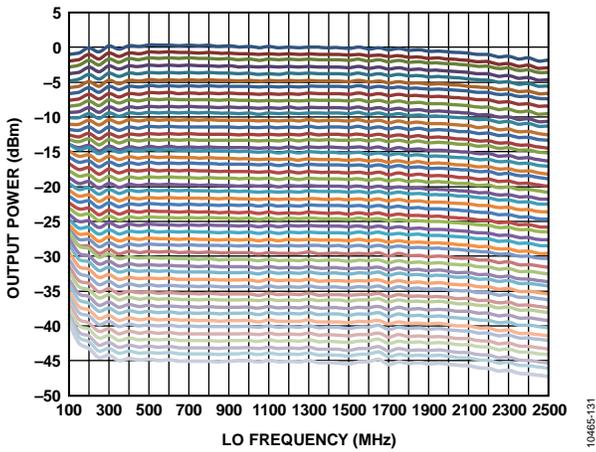


图36. 不同增益代码的衰减器增益与LO频率的关系，所有衰减器代码阶跃

10465-131

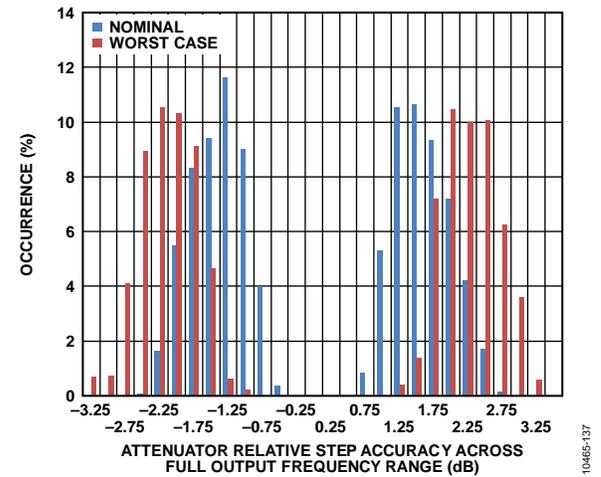


图39. 全输出频率范围内衰减器相对步长精度分布，标称条件和最差条件， $LO > 300$ MHz，所有衰减器步长

10465-137

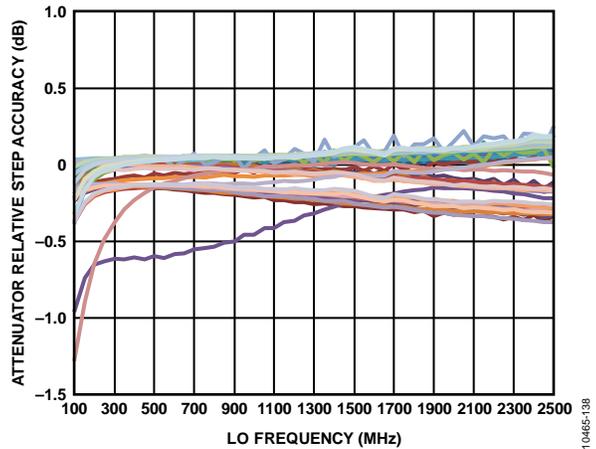


图37. 所有衰减器步长的衰减器相对步长精度与LO频率的关系，标称条件

10465-138

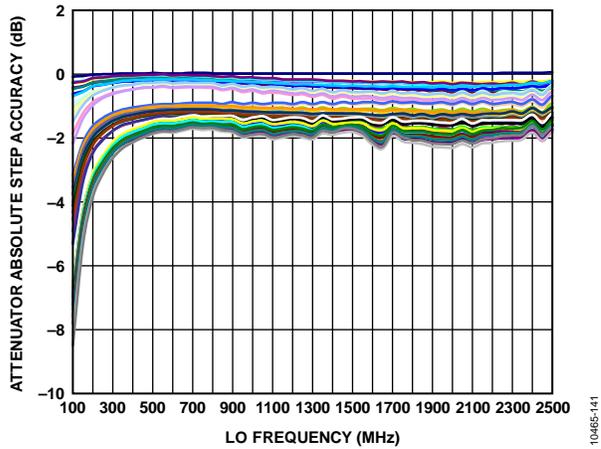


图40. 所有衰减器步长的衰减器绝对步长精度与LO频率的关系，标称条件

10465-141

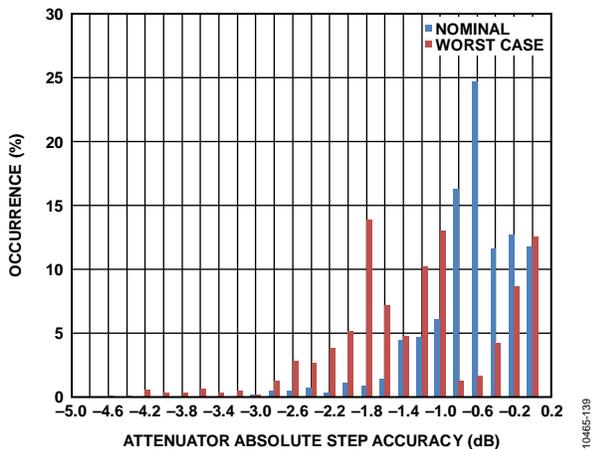


图41. 衰减器绝对步长精度分布, 标称条件和最差条件, LO > 300 MHz, 所有衰减器步长

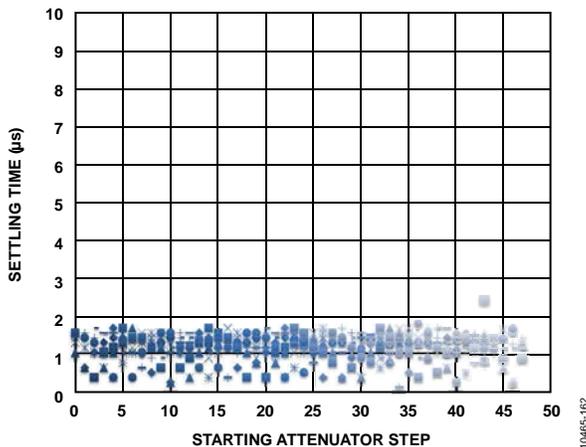


图44. 小步长(1 dB至6 dB)下衰减器0.5 dB建立时间, 标称条件

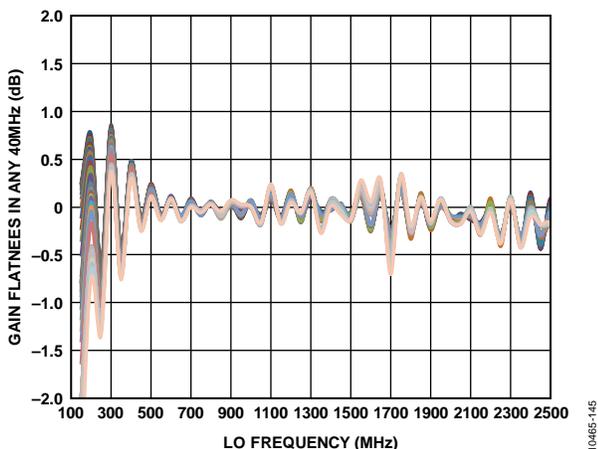


图42. 所有衰减器步长下任意40 MHz的增益平坦度与LO频率的关系, 标称条件

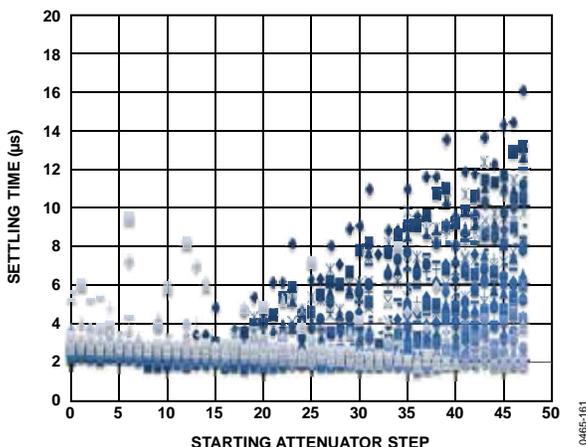


图45. 大步长(7 dB至47 dB)下衰减器0.2 dB建立时间, 标称条件

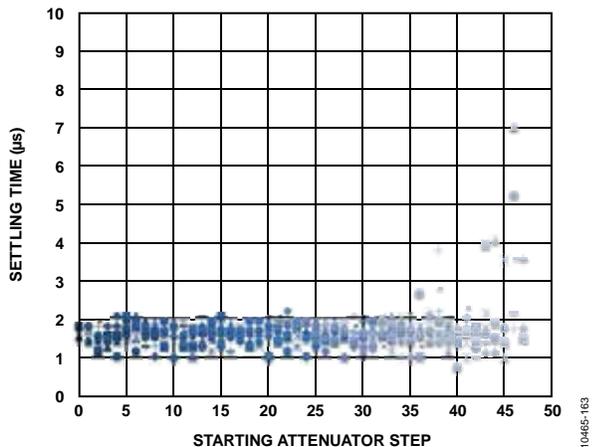


图43. 小步长(1 dB至6 dB)下衰减器0.2 dB建立时间, 标称条件

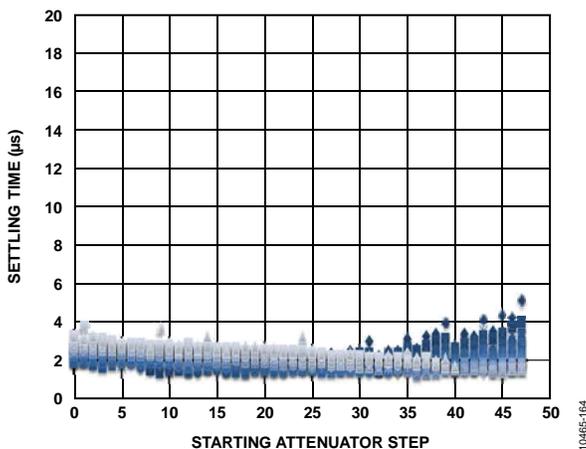


图46. 大步长(7 dB至47 dB)下衰减器0.5 dB建立时间, 标称条件

ADRF6755

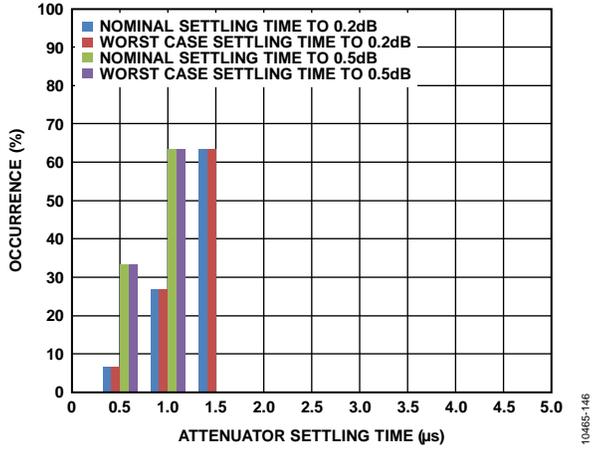


图47. 典型小步长下衰减器0.2 dB和0.5 dB建立时间分布, 标称条件和最差条件

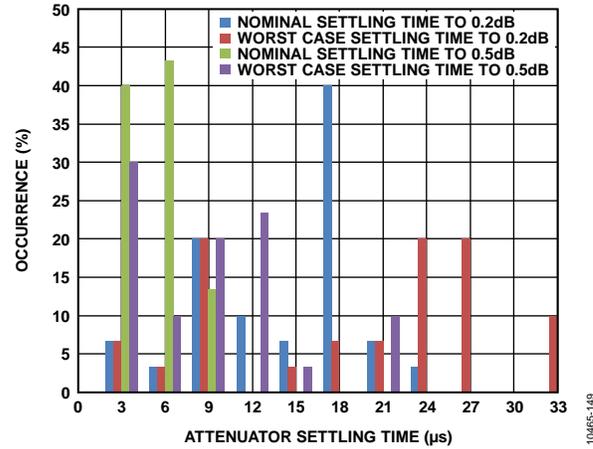


图50. 最差大步长(47 dB至0 dB)下衰减器0.2 dB和0.5 dB建立时间分布, 标称条件和最差条件

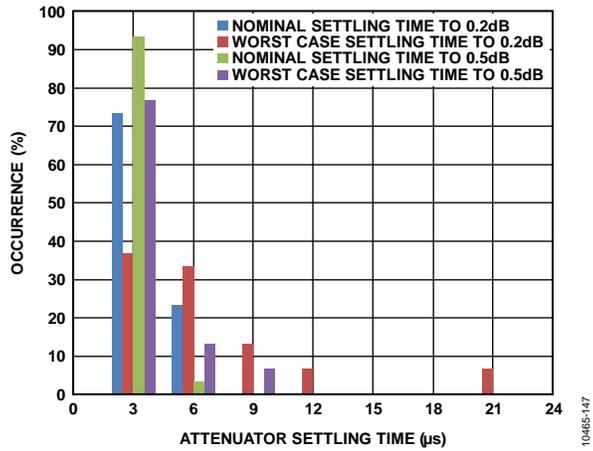


图48. 最差小步长(36 dB至42 dB)下衰减器0.2 dB和0.5 dB建立时间分布, 标称条件和最差条件

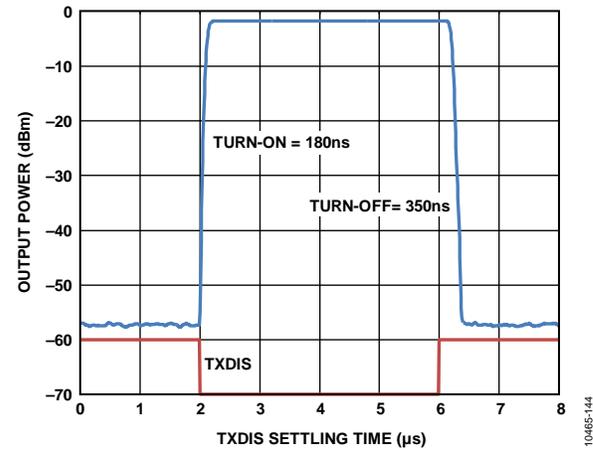


图51. 最差电源和温度下的TXDIS建立时间

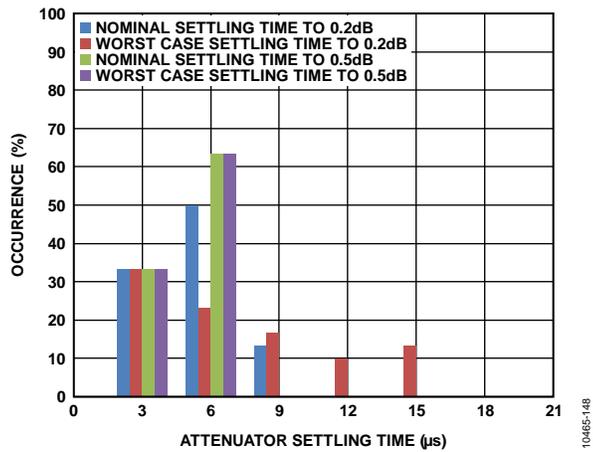


图49. 典型大步长下衰减器0.2 dB和0.5 dB建立时间分布, 标称条件和最差条件

工作原理

概述

ADRF6755器件可以分为以下几个基本构建模块：

- PLL频率合成器和VCO
- 正交调制器
- 衰减器
- 电压调节器
- I²C/SPI接口

以下部分将详细介绍各个模块。

PLL频率合成器和VCO

概述

锁相环(PLL)包括一个25位固定模数的小数N分频频率合成器，整个频率范围内的频率分辨率小于1 Hz。它还有一个集成电压控制振荡器(VCO)，其基波输出频率范围为2310 MHz至4800 MHz。一个RF分频器(由寄存器CR28的位[2:0]控制)将本振(LO)频率范围的下限扩展到100 MHz。寄存器CR28的详情参见表6。

参考输入部分

参考输入级如图52所示。SW1和SW2为常闭开关。SW3常开。启动关断程序后，SW3闭合，SW1和SW2断开，确保关断期间REFIN引脚无负载。

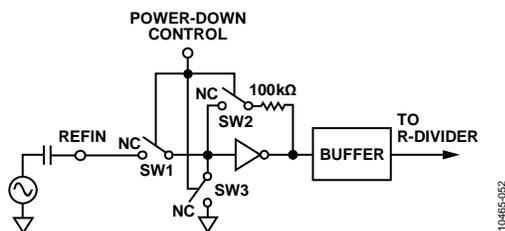


图52. 参考输入级

参考输入路径

片内参考倍频器可以使输入参考信号频率加倍，这可用于提高PFD比较频率。提高PFD频率可改善系统的噪声性能。PFD频率加倍一般可使带内相位噪声性能改善最多3 dBc/Hz。

利用5位R分频器，可以细分输入参考频率(f_{REFIN})以产生PFD的参考时钟。分频比可以为1至32。

参考输入路径还有一个额外的2分频($\div 2$)功能，可进一步细分频率。

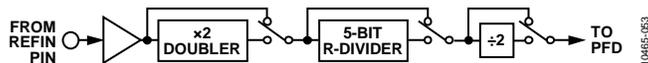


图53. 参考输入路径

PFD频率公式如下

$$f_{PFD} = f_{REFIN} \times [(1 + D)/(R \times (1 + T))] \quad (1)$$

其中：

f_{REFIN} 为参考输入频率；

D为倍频器位；

R为二进制5位可编程参考分频器的编程分频比(1至32)；

T为R/2分频器设置位(CR10[6] = 0或1)。

如果不需要分频，建议设置CR5[4] = 0以禁用5位R分频器和2分频。如果需要偶数分频，请设置CR5[4] = 1且CR10[6] = 1以使能2分频，并在5位R分频器中实现剩下的分频。如果需要奇数分频，请设置CR5[4] = 1，在5位R分频器中实现所有分频。

RF小数N分频器

RF小数N分频器可以在PLL反馈路径中提供一个23至4095的分频比。小数N分频器与LO频率的关系参见“INT与FRAC的关系”部分所述。

INT与FRAC的关系

利用整数(INT)和小数(FRAC)值，可以产生间隔为鉴频鉴相器(PFD)频率的分数的输出频率。更多信息参见“示例——更改LO频率”部分。

LO频率公式如下

$$LO = f_{PFD} \times (INT + (FRAC/2^{25}))/2^{RFDIV} \quad (2)$$

其中：

LO为本振频率；

f_{PFD} 为PFD频率；

INT为所需分频系数的整数部分，由CR6和CR7寄存器控制；

FRAC为所需分频系数的小数部分，由CR0至CR3寄存器控制；

RFDIV为寄存器CR28位[2:0]的设置，控制位于PLL输出端的分频器的设置。

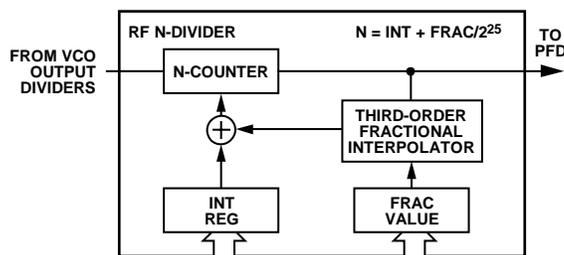


图54. RF小数N分频器

ADRF6755

鉴频鉴相器(PFD)和电荷泵

PFD接受R分频器和N计数器的输入，产生与二者的相位和频率差成比例的输出(简化原理图见图55)。PFD内置一个固定延迟元件，用来设置反冲防回差脉冲宽度，确保PFD传递函数无死区。

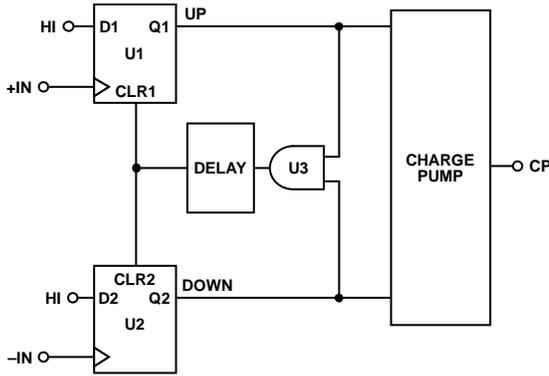


图55. PFD简化原理图

锁定检测(LDET)

LDET(引脚44)指示PLL是否实现了误差频率小于100 Hz的锁定。写入寄存器CR0时，新的PLL采集周期开始，LDET信号变为低电平。实现锁定时，此信号变为高电平。

电压控制振荡器(VCO)

ADRF6755中的VCO内核由三个独立的VCO组成，各VCO具有16个重叠频段，这种48频段配置使得VCO频率范围达到2310 MHz至4800 MHz。三个VCO由一个可编程分频器(RFDIV，受寄存器CR28的位[2:0]控制)分频。此分频器提供1、2、4、8和16的分频比，从而提供144.375 MHz (2310 MHz/16)至4800 MHz (4800 MHz/1)的频率范围。然后，至调制器的路径中的2分频正交电路提供100 MHz至2400 MHz的完整LO频率范围。

图56所示为 V_{TUNE} 与LO频率的扫描关系图，显示了100 MHz至2,400 MHz的LO频率范围时三个VCO的重叠和各VCO内的多个重叠频段。注意，图56包括利用RFDIV对VCO基频进一步分频的情况；因此，在完整LO频率范围内，各VCO用于多种不同的情况。三个16频段VCO和一个RFDIV可以覆盖很宽的频率范围，VCO灵敏度(K_{VCO})无需非常高，相位噪声和杂散性能也不会变差。

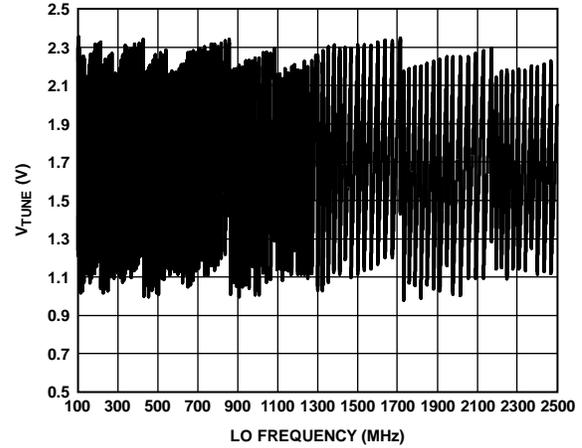


图56. V_{TUNE} 与LO频率的关系

V_{TUNE} 在频段内和频段间变化时，VCO的 K_{VCO} 随之变化。图57显示了 K_{VCO} 在整个频率范围内的变化情况。利用ADISimPLL™计算环路滤波器带宽和个别环路滤波器元件时，可以使用图57。ADISimPLL是ADI公司开发的一种仿真器，用来辅助PLL设计，特别是环路滤波器的设计。根据一组特定的输入条件，它能算出相位噪声、积分相位噪声、采集时间等参数。欲下载ADISimPLL，请访问：www.analog.com/adisimpll。

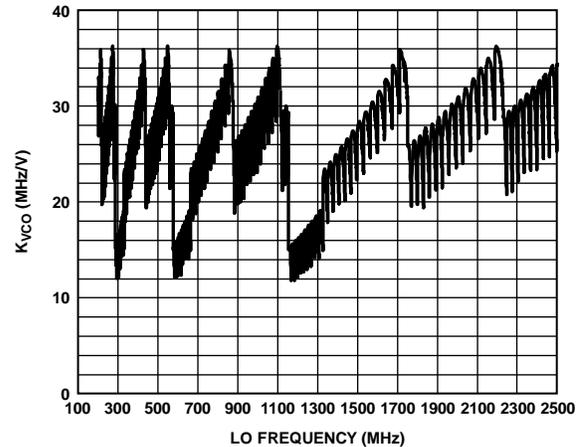


图57. K_{VCO} 与LO频率的关系

自动校准

寄存器CR0更新时，VCO和频段选择电路会自动选择正确的VCO和频段，这称为自动校准。自动校准时间由寄存器CR25设置。

$$\text{自动校准时间} = (\text{BSCDIV} \times 28) / \text{PFD} \quad (3)$$

其中：

BSCDIV = 寄存器CR25的位[7:0]；

PFD = PFD频率；

当PFD频率为40 MHz且BSCDIV为100时，自动校准时间为70 μ s。

注意，PFD频率改变时，必须重新计算BSCDIV。建议自动校准时间设置为70 μs。在此时间内，VCO V_{TUNE} 与环路滤波器的输出断开，连接到内部基准电压。图58所示为典型的频率采集曲线。

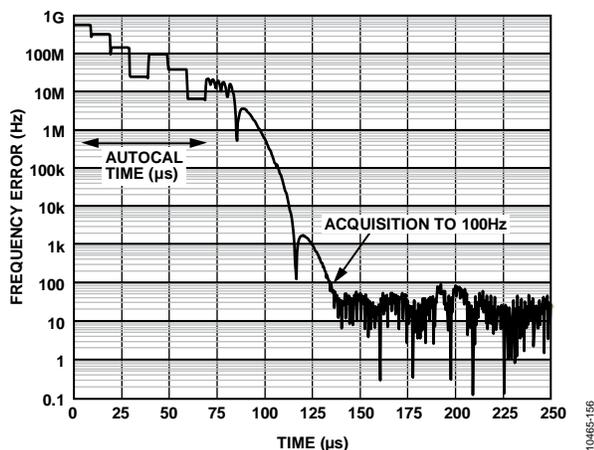


图58. PLL采集

自动校准完成后，恢复正常PLL操作，一般在170 μs内采集到频率误差在100 Hz内的正确频率。对于最大100 kHz/ 2^{RFDIV} 的累积步进，可以通过设置寄存器CR24的位0为1来关闭自动校准。这样就可以在无自动校准的情况下进行100 kHz或以下($RFDIV = \pm 1$ 时为100 kHz, $RFDIV = \pm 2$ 时为50 kHz, 依此类推)的累积PLL采集，显著缩短采集时间(参见图59)。

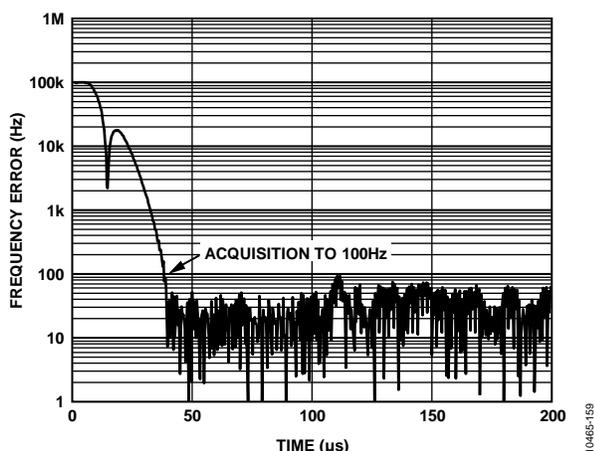


图59. 无自动校准的PLL采集(100 kHz步进)

设置正确的LO频率

设置正确的LO频率包括两个步骤。用户必须根据所需的LO频率和PFD频率计算RFDIV值和PLL所需的N分频比。

1. 根据下面的查找表(表6)计算用来设置寄存器CR28位[2:0]和CR27位4的RFDIV值。

表6. RFDIV查找表

LO频率(MHz)	RFDIVIDER	CR28[2:0] = RFDIV	CR27[4]
1155 < LO < 2400	1分频	000	1
577.5 < LO ≤ 1155	2分频	001	0
288.75 < LO ≤ 577.5	4分频	010	0
144.375 < LO ≤ 288.75	8分频	011	0
100 < LO ≤ 144.375	8分频	100	0

2. 利用下式计算N分频器的值：

$$N = (2^{RFDIV} \times LO) / f_{PFD} \quad (4)$$

其中：

N为N分频值；

RFDIV为寄存器CR28位[2:0]的设置；

LO为本振频率；

f_{PFD} 为PFD频率；

此公式是公式2的不同表达形式。

设置正确的LO频率示例

假设PFD频率为40 MHz，所需的LO频率为1875 MHz。

从表6得知， $2^{RFDIV} = 1$ ($RFDIV = 0$)

$$N = (1 \times 1875 \times 10^6) / (40 \times 10^6) = 46.875$$

N分频值由整数(INT)部分和小数(FRAC)部分组成，如下式所示：

$$N = INT + FRAC / 2^{25} \quad (5)$$

INT = 46, FRAC = 29,360,128

然后必须根据寄存器映射设置相应的寄存器。设置寄存器的顺序很重要。写入CR0会启动一个PLL采集周期。如果设置的LO频率要求改变CR27[4]的值(参见表6)，则CR27应是最后设置的寄存器，之前是CR0。如果设置的LO频率不要求改变CR27[4]的值，可以不写入CR27，此时CR0应是最后设置的寄存器。

ADRF6755

正交调制器

概述

图60给出了ADRF6755正交调制器电路的基本框图。VCO/RFDIVIDER产生 $2 \times$ LO频率的信号，然后分频为LO频率的信号。此信号然后分离成同相和正交分量，以提供驱动混频器的LO信号。

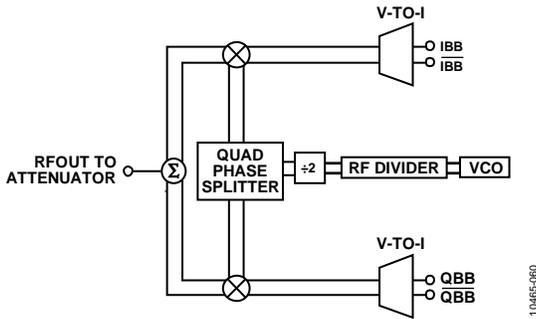


图60. 正交调制器框图

I和Q基带输入信号通过V-I级转换为电流，然后驱动两个混频器。这些混频器的输出合并后送至单端输出，此单端输出然后送至衰减器，最后送至外部RFOUT信号引脚。

基带输入

基带输入 \overline{QBB} 、 \overline{QBB} 、 \overline{IBB} 和 \overline{IBB} 必须通过差分源驱动。标称驱动电平0.9 V p-p差分(每个引脚450 mV p-p)应偏置500 mV DC的共模电平。

要设置基带输入的直流偏置电平，请参阅图61。AD9779各输出端的平均输出电流为10 mA。10 mA电流流经各50 Ω接地电阻，从而在各基带输入端产生所需的500 mV直流偏置。

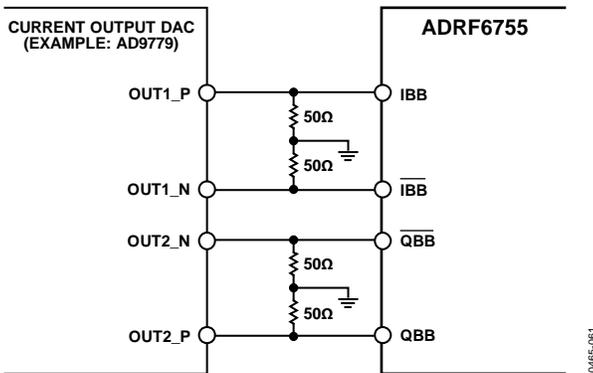


图61. 建立基带输入的直流偏置电平

差分基带输入(\overline{QBB} 、 \overline{QBB} 、 \overline{IBB} 、和 \overline{IBB})由PNP晶体管的基极构成，具有约30 kΩ的高阻抗和约2 pF的并联电容。该阻抗在1 MHz以下时约为30 kΩ，在更高频率时开始滚降。建议在基带输入端连接一个100 Ω差分终端电阻，它将是输

入基带信号看到的主要输入阻抗，从而确保输入电路看到的输入阻抗在基带带宽内保持平坦。图62所示为典型配置。

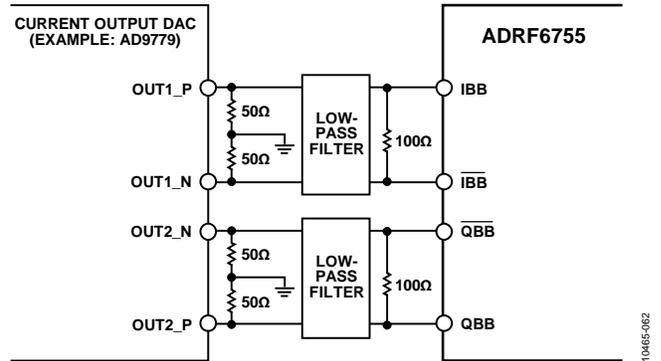


图62. 典型基带输入配置

AD9779输出电流的摆幅为0 mA至20 mA。连接50 Ω电阻时，交流电压摆幅为1 V p-p(单端)或2 V p-p(差分)。基带输入端的100 Ω差分终端电阻具有限制此摆幅的作用，但不会改变500 mV的直流偏置条件。驱动调制器时，使用低通滤波器对DAC输出进行滤波，以便消除镜像。

另一个考虑是，四路基带输入各自都会流出240 μA的电流。设置500 mV的直流偏置时，必须考虑此电流。在基于图61的初始例子中，240 μA电流流经50 Ω电阻会引起12 mV的误差。ADI公司建议直流偏置的精度应在500 mV ± 25 mV。另外，此240 μA电流应通过一个直流路径流至地，这点也很重要。

优化

采用下列优化技术，可以改善ADRF6755的载波馈通和边带抑制性能，使其超过表1所示的规格。

载波馈通消除

载波馈通源于各差分基带输入的P输入与N输入之间的直流偏移。一般情况下，这些输入设置大约500 mV的直流偏置。

然而，如果在I输入和/或Q输入的P输入与N输入之间引入一个直流偏移，就会对载波馈通产生正影响或负影响。注意，直流偏置电平仍然是500 mV(P和N平均电平)。I通道偏移常常保持不变，改变Q通道偏移，直至获得最小载波馈通。然后，保持新的Q通道偏移不变，调整I通道偏移，直至实现新的最小值。这通常是在某一频率下进行，因此并未针对完整频率范围进行优化。必须在不同频率下进行多次优化，确保整个频率范围内载波馈通性能最佳。

边带抑制消除

边带抑制源于I通道与Q通道之间的相对增益和相对相位偏移，可以通过调整这两个参数予以优化。仅调整一个参数只能将边带抑制性能提高到某一点。为获得最佳边带抑制，需要迭代调整相位和幅度。

衰减器

数字衰减器由6个衰减模块组成：1 dB、2 dB、4 dB、8 dB 模块和两个16 dB模块，各模块均独立控制。各衰减模块由场效应晶体管(FET)开关和电阻组成，形成δ形或T形衰减器。通过控制线控制FET开关的状态，就能将各衰减模块设置为通过状态(0 dB)或衰减状态(1 dB至47 dB)。6个衰减模块的各种组合可提供从0 dB到47 dB的衰减状态，增量为1 dB。

电压调节器

电压调节器由VCC1(引脚11)提供的5 V电源供电，在引脚12上产生3.3 V标称调节输出电压REGOUT，此引脚必须在IC外部连接到VREG1至VREG6封装引脚。

调节器输出(REGOUT)应通过10 pF和220 μF电容的并联组合去耦。220 μF电容是实现最佳性能的建议值，用于去耦宽带噪声，进而提高相位噪声性能。各VREGx引脚应具有如下去耦电容：100 nF多层陶瓷电容和10 pF并联电容，二者均应尽可能靠近被测器件(DUT)电源引脚。推荐使用X7R或X5R电容。更多信息参见“评估板”部分。

I²C接口

ADRF6755支持双线I²C兼容型串行总线驱动多个外设。串行数据(SDA)和串行时钟(SCL)输入承载任何连接到总线的器件之间的信息。每个从机都通过一个唯一的地址识别。对于读操作和写操作，ADRF6755均有两个可能的7位从机地址。7位从机地址的MSB设为1。从机地址的位A5由CS引脚(引脚27)设置。从机地址的位[4:0]设为全0。从机地址由一个8位字的7位MSB组成。该字的LSB设置读或写操作(见图63)。逻辑1对应于读操作，逻辑0对应于写操作。

要控制总线上的器件，必须遵循下列规则：主机通过建立起始条件而启动数据传输；起始条件要求SDA发生高低转换，同时SCL保持高电平。这表示随后将出现地址/数据流。所有外设都对起始条件做出响应，并对接下来的8个位(7位地址加R/W位)移位。这些位以MSB到LSB的方式传输。在第9个时钟脉冲期间，能够识别所发送地址的外设通过将数据线拉低来做出响应。这就是所谓应答位。所有其它器件从总线退出，保持空闲状态。在空闲条件下，器件监控SDA和SCL线，等待起始条件和正确的传输地址。R/W位决定数据的方向。如果第一个字节的LSB为逻辑0，则表示主机将信息写入外设，如果为逻辑1，则表示主机将从外设读取信息。

ADRF6755在总线上用作标准从机器件。SDA引脚(引脚29)上的数据为8位，支持7位地址加R/W位。ADRF6755具有34个子地址以支持用户访问内部寄存器；因此，它将第一个字节解释为器件地址，将第二个字节解释为起始子地址。它支持自动递增模式，数据可以读出或写入起始子地址及后续各地址，而无需手动寻址后续子地址。数据传输总是由停止条件终止。用户也可以逐个访问任一子地址寄存器，而无需更新所有寄存器。

数据传输过程中的任何阶段都可以检测停止和起始条件。如果这些条件的置位打破了正常的读写操作顺序，则将造成器件立即跳到空闲状态。如果用户发送的子地址无效，ADRF6755不会发送应答，而是直接返回到空闲状态。不应答条件是指在第9个时钟脉冲期间，SDA线未被拉低。写入和读取数据传输示例参见图64和图65，时序方案参见图66，更详细时序图参见图2。

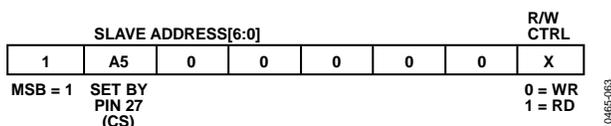


图63. 从机地址配置

ADRF6755



S = START BIT
A(S) = ACKNOWLEDGE BY SLAVE

P = STOP BIT

10485-064

图64. I²C写数据传输



S = START BIT
A(S) = ACKNOWLEDGE BY SLAVE

P = STOP BIT
A(M) = ACKNOWLEDGE BY MASTER

$\bar{A}(M)$ = NO ACKNOWLEDGE BY MASTER

10485-065

图65. I²C读数据传输

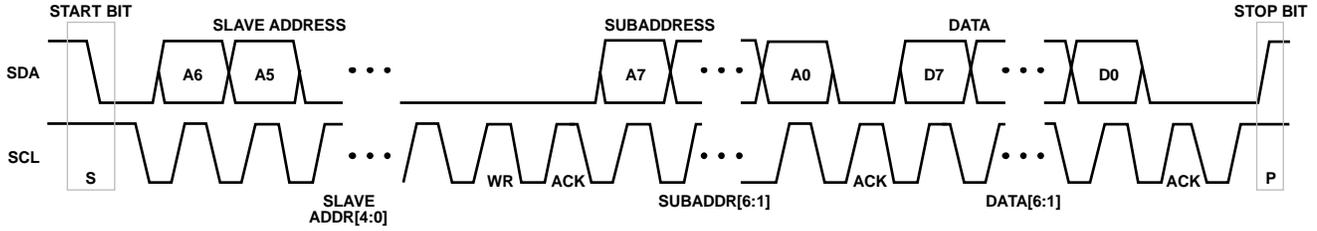


图66. I²C数据传输时序

10485-066

SPI接口

ADRF6755也支持SPI协议。该器件上电进入I²C模式，但未锁定此模式。要保持I²C模式，建议用户将CS线连接到3.3 V或GND，从而禁用SPI模式。无法锁定I²C模式，但可以选择并锁定SPI模式。

要选择并锁定SPI模式，必须向CS引脚发送3个脉冲，如图67所示。锁定SPI模式后，在器件保持上电期间无法解除锁定。要复位串行接口，必须关断器件然后再次上电。

串行接口选择

CS引脚控制I²C或SPI接口的选择。图67显示了锁定SPI模式所需的选择过程。要利用SPI协议与器件通信，必须向CS引脚发送3个脉冲。在第三个上升沿，器件选择并锁定SPI协议。与大部分SPI标准相同，CS引脚在与器件进行SPI通信期间必须保持低电平，在所有其它时间保持高电平。

SPI串行接口功能

ADRF6755的SPI串行接口由CS、SDI (SDI/SDA)、CLK (CLK/SCL)和SDO引脚组成。当串行时钟和数据线连接有多个器件时，CS用于选择其中一个器件。CLK用于将数据输入和输出器件。SDI引脚用于写入寄存器。SDO引脚是读取模式的专用输出。该器件采用从机模式工作，并需要在CLK引脚施加外部串行时钟。利用该串行接口，器件可以与所提供串行时钟与串行数据同步的系统进行接口。

图68显示了对ADRF6755执行写操作的示例。利用一个24位写入命令，数据在CLK的上升沿输入寄存器。前8位表示写入命令(0xD4)，其后8位是寄存器地址，最后8位是要写入特定寄存器的数据。图69显示了读操作的一个例子。此例中，首先使用一个缩短的16位写入命令来选择要执行读操作的寄存器，前8位表示写入命令(0xD4)，后8位表示特定寄存器。然后，CS线第二次变为低电平，以便利用一个16位读取命令从选定的寄存器检索数据，前8位表示读取命令(0xD5)，后8位表示要读取的寄存器的内容。图3给出了SPI读操作和写操作的时序。

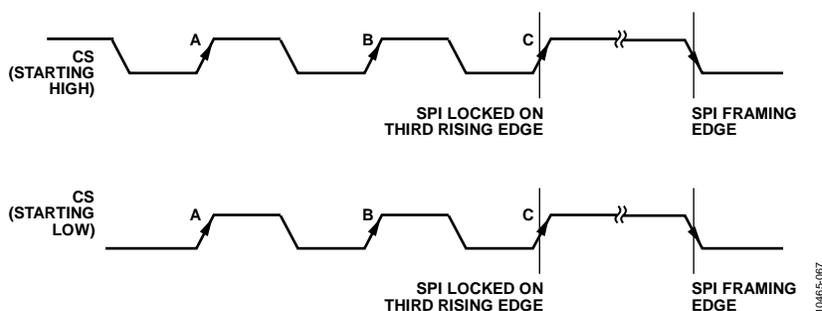


图67. 选择SPI协议

ADRF6755

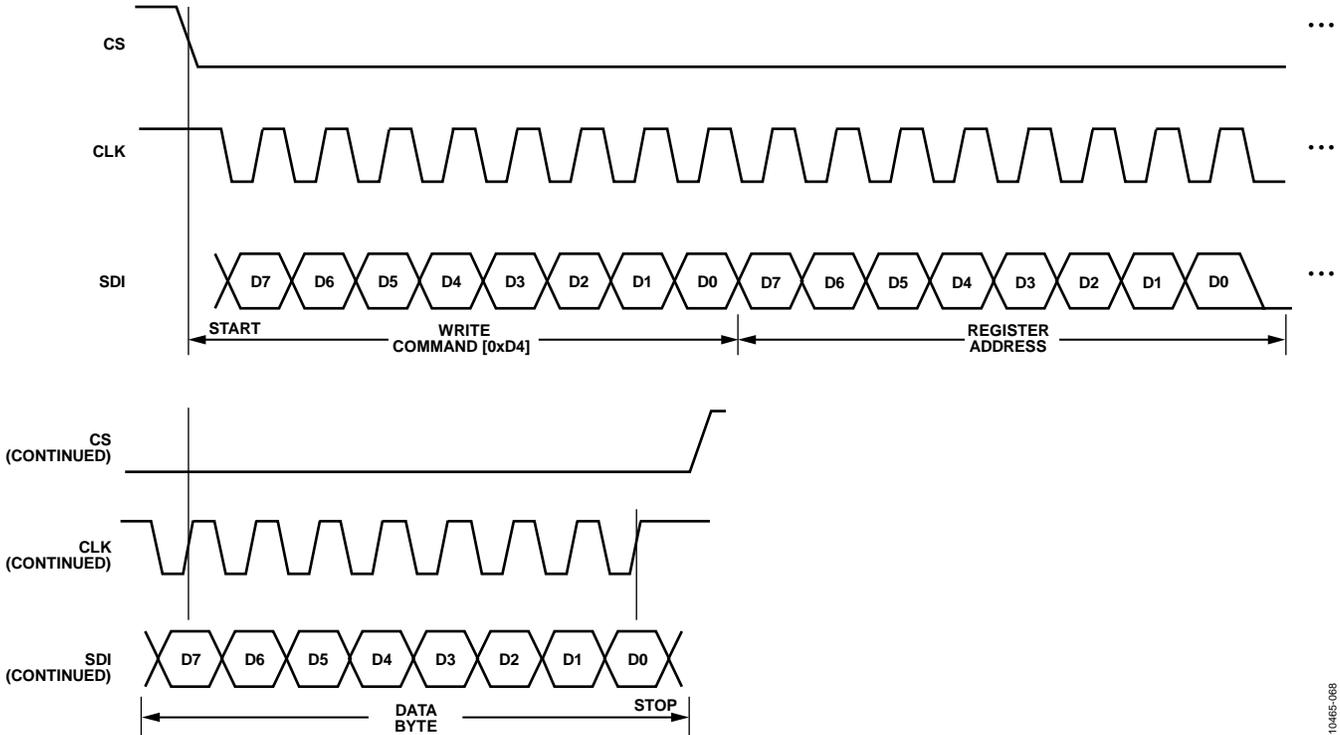


图68. SPI字节写入示例

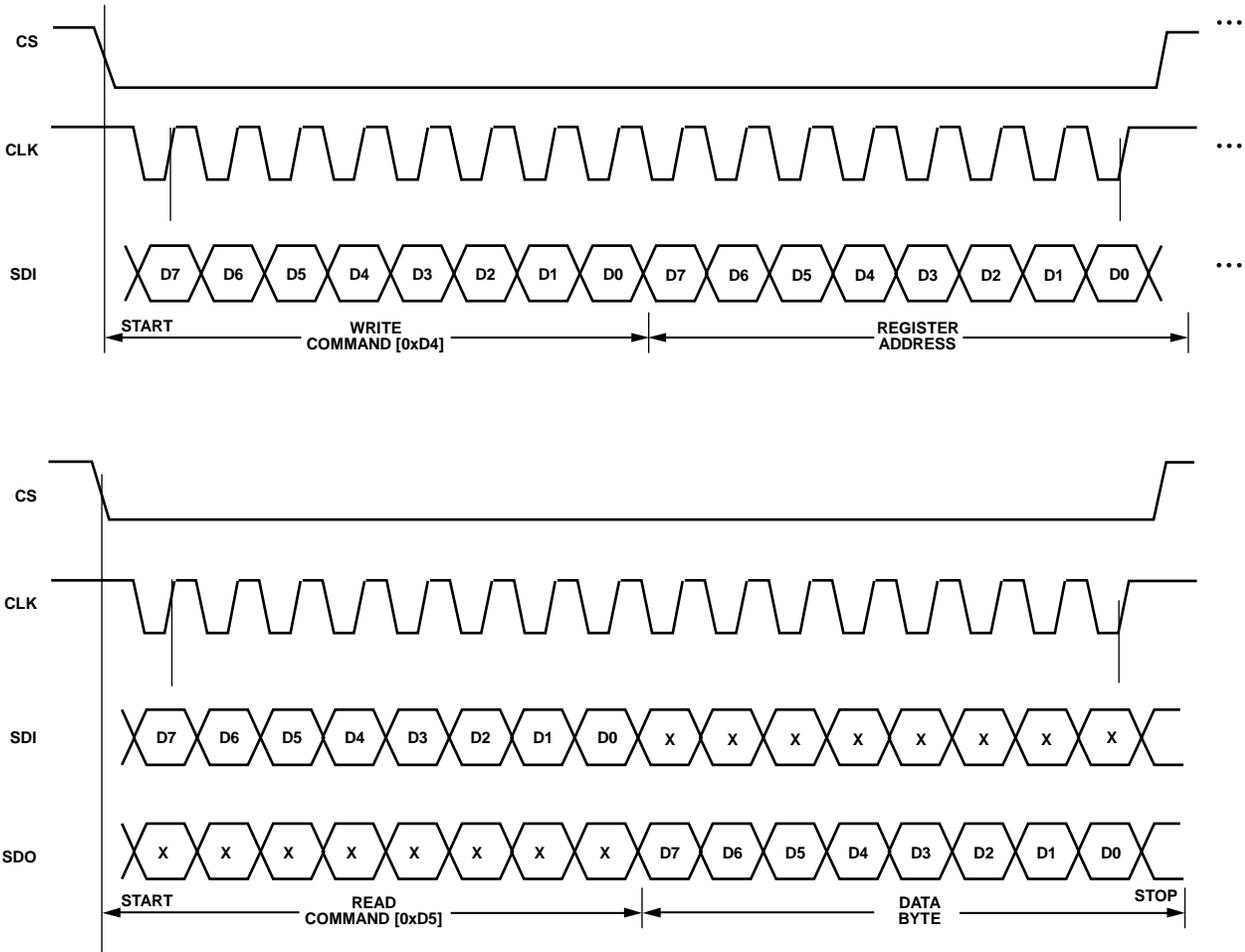


图69. SPI字节读取示例

编程模式

ADRF6755具有34个8位寄存器，允许对许多功能进行编程控制。SPI和I²C接口均可用来对寄存器编程。接口和时序的详细信息参见图63至图69。寄存器说明见表8至表28。

ADRF6755有多个设置采用双缓冲，包括FRAC值、INT值、5位R分频器值、参考倍频器、R/2分频器、RFDIV值和电荷泵电流设置。这意味着，该器件要使用任何双缓冲设置的新值，必须发生两个事件。首先，通过写入适当的寄存器，将新值锁存至器件中。然后，必须对寄存器CR0执行一次新的写操作。写入寄存器CR0后，就会发生新的PLL采集。

例如，更新小数值涉及到写入寄存器CR3、CR2、CR1和CR0。首先应写入寄存器CR3，然后写入寄存器CR2和寄存器CR1，最后写入寄存器CR0。新采集开始于写入寄存器CR0之后。双缓冲确保了写入的位不会在写入寄存器CR0前生效。

12位整数

寄存器CR7和CR6设置反馈分频系数(N)的整数(INT)，详情参见公式5。INT值是一个12位数，MSB通过寄存器CR7的位[3:0]设置，LSB通过寄存器CR6的位[7:0]设置。LO频率设置如公式2所示。公式4是此公式的另一种情形，说明了如何设置N分频器值。注意，这些寄存器是双缓冲型。

25位小数值

寄存器CR3至CR0设置反馈分频系数(N)的小数值(FRAC)，详情参见公式5。FRAC值是一个25位数，MSB通过寄存器CR3的位0设置，LSB通过寄存器CR0的位0设置。LO频率设置如公式2所示。公式4是此公式的另一种情形，说明了如何设置N分频器值。注意，这些寄存器是双缓冲型。

RFDIV值

RFDIV值取决于LO频率的值。RFDIV值可以从表6选择。将所选的RFDIV值以及LO频率、PFD频率代入公式4，计算正确的N分频器值。

参考输入路径

参考输入路径由参考倍频器、5位参考分频器和2分频功能组成(参见图53)。倍频器通过寄存器CR10的位5设置。5位分频器和2分频通过寄存器CR5的位4使能，分频比通过寄存器CR10的位[4:0]设置。R/2分频器通过寄存器CR10的位6设置。注意，这些寄存器是双缓冲型。

电荷泵电流

寄存器CR9的位[7:4]用于指定电荷泵的电流。当R_{SET}值为4.7 kΩ时，最大电荷泵电流为5 mA。计算公式如下：

$$I_{CPmax} = 23.5/R_{SET}$$

电荷泵电流具有从312.5 μA到5 mA的16种设置。对于应用解决方案中指定的环路滤波器，5 mA的电荷泵电流(寄存器CR9[7:4]=0xF)提供100 kHz的带宽，这是推荐的环路带宽设置。

发射禁用控制(TXDIS)

发射禁用控制(TXDIS)用于禁用RF输出。一般情况下，TXDIS为低电平。置位(变为高电平)时，禁用RF输出。TXDIS置位时，寄存器CR14用于控制哪些电路模块关断。为了同时满足关断隔离功率要求和开启/关闭建立时间要求，应将值0x80载入寄存器CR14。这样可以有效确保衰减器在TXDIS置位时始终使能，即使其它电路被禁用。

关断/上电控制位

4个可编程上电和关断控制位如下：

- 寄存器CR12的位2，PLL(包括VCO)的主电源控制位。此位一般设置为默认值0，以允许PLL上电。
- 寄存器CR28的位4，控制RFDIVIDER。此位一般设置为默认值0，以允许RFDIVIDER上电。
- 寄存器CR27的位2，控制LO监控输出LOMON和LOMON。默认值为0，监控输出关断。将此位设为1时，监控输出上电至四个选项中的一个：-6 dBm、-12 dBm、-18 dBm或-24 dBm，具体由寄存器CR27的位[1:0]控制。
- 寄存器CR29的位0，控制正交调制器的电源。默认值为0，调制器关断。写入1可以使调制器上电。

ADRF6755

锁定检测(LDET)

锁定检测是通过设置寄存器CR23的位4为1来使能。锁定检测电路基于对PFD的升/降脉冲的监控。随着采集的进行，这些脉冲的宽度会缩短，直至小于目标宽度(由CR23[2]设置)。此时，对后续PFD周期数的计数启动，升/降脉冲的宽度仍然小于目标宽度。当此计数达到目标计数(由CR13[6]和CR23[3]设置)时，LDET设置。表7是声明LDET的真值表。

表7. 声明LDET

LDCount1 CR13[6]	LDCount0 CR23[3]	声明LDET所需的PFD周期数
0	0	2048
0	1	3072
1	0	4096
1	1	16,384

合适的设置取决于PFD频率和声明LDET所需的精度。LDET设置不影响PLL的采集时间，只影响LDET变为高电平的时间。

VCO自动校准

VCO利用自动校准技术选择正确的VCO和频段，如“自动校准”部分所述。寄存器CR24的位0控制是否使能自动校准。正常工作时，必须使能自动校准。然而，如果使用100 kHz/ 2^{RFDIV} 或更小的累积频率步进，可以将此位设为1以禁用自动校准，然后写入寄存器CR0以启动新的采集。

衰减器

衰减器可以在0 dB到47 dB范围内以1 dB的步长进行设置，由寄存器CR30的位[5:0]控制。

版本回读

芯片版本可以通过寄存器CR33回读。

寄存器映射

寄存器映射汇总

表8. 寄存器映射汇总

寄存器地址(十六进制)	寄存器名称	类型	描述
0x00	CR0	读/写	小数字4
0x01	CR1	读/写	小数字3
0x02	CR2	读/写	小数字2
0x03	CR3	读/写	小数字1
0x04	CR4	读/写	保留
0x05	CR5	读/写	5位参考分频器使能
0x06	CR6	读/写	整数字2
0x07	CR7	读/写	整数字1和MUXOUT控制
0x08	CR8	读/写	保留
0x09	CR9	读/写	电荷泵电流设置
0x0A	CR10	读/写	参考频率控制
0x0B	CR11	读/写	保留
0x0C	CR12	读/写	PLL上电
0x0D	CR13	读/写	锁定检测控制2
0x0E	CR14	读/写	TXDIS控制
0x0F	CR15	读/写	保留
0x10	CR16	读/写	保留
0x11	CR17	读/写	保留
0x12	CR18	读/写	保留
0x13	CR19	读/写	保留
0x14	CR20	读/写	保留
0x15	CR21	读/写	保留
0x16	CR22	读/写	保留
0x17	CR23	读/写	锁定检测控制1
0x18	CR24	读/写	自动校准
0x19	CR25	读/写	自动校准定时器
0x1A	CR26	读/写	保留
0x1B	CR27	读/写	LO监控输出和LO选择
0x1C	CR28	读/写	LO选择
0x1D	CR29	读/写	调制器
0x1E	CR30	读/写	衰减器
0x1F	CR31	只读	保留
0x20	CR32	只读	保留
0x21	CR33	只读	版本代码

ADRF6755

寄存器位功能描述

表9. 寄存器CR0(地址0x00)小数字4

位	描述 ¹
7	小数字F7
6	小数字F6
5	小数字F5
4	小数字F4
3	小数字F3
2	小数字F2
1	小数字F1
0	小数字F0 (LSB)

¹ 双缓冲。写入寄存器CR0时加载。

表10. 寄存器CR1(地址0x01)小数字3

位	描述 ¹
7	小数字F15
6	小数字F14
5	小数字F13
4	小数字F12
3	小数字F11
2	小数字F10
1	小数字F9
0	小数字F8

¹ 双缓冲。写入寄存器CR0时加载。

表11. 寄存器CR2(地址0x02)小数字2

位	描述 ¹
7	小数字F23
6	小数字F22
5	小数字F21
4	小数字F20
3	小数字F19
2	小数字F18
1	小数字F17
0	小数字F16

¹ 双缓冲。写入寄存器CR0时加载。

表12. 寄存器CR3(地址0x03)小数字1

位	描述
7	置0
6	置0
5	置0
4	置0
3	置0
2	置1
1	置0
0	小数字F24 (MSB) ¹

¹ 双缓冲。写入寄存器CR0时加载。

表13. 寄存器CR5(地址0x05)5位参考分频器使能

位	描述
7	置0
6	置0
5	置0
4	5位R分频器和2分频使能 ¹ 0 = 禁用5位R分频器和2分频(默认) 1 = 使能5位R分频器和2分频
3	置0
2	置0
1	置0
0	置0

¹ 双缓冲。写入寄存器CR0时加载。

表14. 寄存器CR6(地址0x06)整数字2

位	描述 ¹
7	整数字N7
6	整数字N6
5	整数字N5
4	整数字N4
3	整数字N3
2	整数字N2
1	整数字N1
0	整数字N0

¹ 双缓冲。写入寄存器CR0时加载。

表15. 寄存器CR7(地址0x07)整数字1和MUXOUT控制

位	描述
[7:4]	MUXOUT控制 0000 = 三态 0001 = 逻辑高电平 0010 = 逻辑低电平 1101 = 参考时钟/2 1110 = RF小数N分频器时钟/2
3	整数字N11 ¹
2	整数字N10 ¹
1	整数字N9 ¹
0	整数字N8 ¹

¹ 双缓冲。写入寄存器CR0时加载。

表16. 寄存器CR9(地址0x09), 电荷泵电流设置

位	描述
[7:4]	电荷泵电流 ¹ 0000 = 0.3125 mA(默认) 0001 = 0.63 mA 0010 = 0.94 mA 0011 = 1.25 mA 0100 = 1.57 mA 0101 = 1.88 mA 0110 = 2.19 mA 0111 = 2.50 mA 1000 = 2.81 mA 1001 = 3.13 mA 1010 = 3.44 mA 1011 = 3.75 mA 1100 = 4.06 mA 1101 = 4.38 mA 1110 = 4.69 mA 1111 = 5.00 mA
3	置0
2	置0
1	置0
0	置0

¹ 双缓冲。写入寄存器CR0时加载。

表17. 寄存器CR10(地址0x0A), 参考频率控制

位	描述
7	置0 ¹
6	R/2分频器设置 ¹ 0 = 旁路R/2分频器(默认) 1 = 选择R/2分频器
5	参考倍频器(R倍频器)使能 ¹ 0 = 禁用倍频器(默认) 1 = 使能倍频器
[4:0]	5位R分频器设置 ¹ 00000 = 32分频(默认) 00001 = 1分频 00010 = 2分频 ... 11110 = 30分频 11111 = 31分频

¹ 双缓冲。写入寄存器CR0时加载。

表18. 寄存器CR12(地址0x0C), PLL上电

位	描述
7	置0
6	置0
5	置0
4	置1
3	置1
2	关断PLL 0 = PLL上电(默认) 1 = PLL关断
1	置0
0	置0

表19. 寄存器CR13(地址0x0D), 锁定检测控制2

位	描述
7	置1
6	LDCount1(参见表7)
5	置1
4	置0
3	置1
2	置0
1	置0
0	置0

表20. 寄存器CR14(地址0x0E), TXDIS控制

位	描述
7	TXDIS_LOCLK 0 = LO时钟一直运行 1 = TXDIS为1时停止LO
6	置0
5	置0
4	置0
3	置0
2	置0
1	置0
0	置0

表21. 寄存器CR23(地址0x17), 锁定检测控制1

位	描述
7	置0
6	置1
5	置1
4	锁定检测使能 0 = 锁定检测禁用(默认) 1 = 锁定检测使能
3	锁定检测升/降计数, LDCount0(参见表7)
2	锁定检测精度 0 = 低、粗(10 ns) 1 = 高、精(6 ns)
1	置0
0	置0

ADRF6755

表22. 寄存器CR24(地址0x18), 自动校准

位	描述
7	置0
6	置0
5	置0
4	置1
3	置1
2	置0
1	置0
0	禁用自动校准 0 = 使能自动校准(默认) 1 = 禁用自动校准

表23. 寄存器CR25(地址0x19), 自动校准定时器

位	描述
[7:0]	自动校准定时器

表24. 寄存器CR27(地址0x1B), LO监控输出和LO选择

位	描述
7	置0
6	置0
5	置0
4	频率范围; 根据表6设置
3	置0
2	LO监控输出上电 0 = 关断(默认) 1 = 上电
[1:0]	驱动50 Ω的监控输出电源 00 = -24 dBm(默认) 01 = -18 dBm 10 = -12 dBm 11 = -6 dBm

表25. 寄存器CR28(地址0x1C), LO选择

位	描述
7	置0
6	置0
5	置0
4	关断RFDIVIDER 0 = 上电(默认) 1 = 关断
3	置1
[2:0]	RFDIV ¹ , 根据表6设置

¹ 双缓冲。写入寄存器CR0时加载。

表26. 寄存器CR29(地址0x1D), 调制器

位	描述
7	置1
6	置0
5	置0
4	置0
3	置0
2	置0
1	置0
0	调制器上电 0 = 关断(默认) 1 = 上电

表27. 寄存器CR30(地址0x1E), 衰减器

位	描述
7	置0
6	置0
[5:0]	衰减器A5至衰减器A0 000000 = 0 dB 000001 = 1 dB 000010 = 2 dB ... 011111 = 31 dB 110000 = 32 dB 110001 = 33 dB ... 111101 = 45 dB 111110 = 46 dB 111111 = 47 dB

表28. 寄存器CR33(地址0x21), 版本代码¹

位	描述
[7:0]	版本代码

¹ 只读寄存器。

建议上电序列

初始寄存器写序列

器件通电后，应执行如下的初始寄存器写序列。注意，寄存器CR33、CR32和CR31为只读寄存器。还应注意，所有可写寄存器都应在上电时写入。有关所有寄存器的详细信息，参见“寄存器映射”部分。

1. 将0x00写入寄存器CR30。衰减器增益设置为0 dB。
2. 将0x80写入寄存器CR29。调制器关断。调制器默认关断，确保PLL进行第一次采集时RF输出上没有杂散信号。调制器只应在PLL锁定时上电。
3. 将0x0X写入寄存器CR28。RFDIV取决于要使用的LO频率值，应根据表6设置。注意，寄存器CR28的位3设为1。
4. 将0xX0写入寄存器CR27。位4取决于要使用的LO频率，应根据表6设置。
5. 将0x00写入寄存器CR26。保留寄存器。
6. 将0x64写入寄存器CR25，自动校准定时器。此设置适用于PFD = 40 MHz。对于其它PFD，参见“VCO自动校准”部分中的公式3。
7. 将0x18写入寄存器CR24。使能自动校准。
8. 将0x70写入寄存器CR23。使能锁定检测器并选择推荐的锁定检测时序。此设置适用于PFD = 40 MHz。对于其它PFD，参见“编程模式”部分中的“锁定检测(LDET)”。
9. 将0x80写入寄存器CR22。保留寄存器。
10. 将0x00写入寄存器CR21。保留寄存器。
11. 将0x00写入寄存器CR20。保留寄存器。
12. 将0x80写入寄存器CR19。保留寄存器。
13. 将0x60写入寄存器CR18。保留寄存器。
14. 将0x00写入寄存器CR17。保留寄存器。
15. 将0x00写入寄存器CR16。保留寄存器。
16. 将0x00写入寄存器CR15。保留寄存器。
17. 将0x80写入寄存器CR14。TXDIS = 1时停止LO。
18. 将0xE8写入寄存器CR13。此设置适用于PFD = 40 MHz。
对于其它PFD，参见“编程模式”部分中的“锁定检测(LDET)”。
19. 将0x18写入寄存器CR12。PLL上电。
20. 将0x00写入寄存器CR11。保留寄存器。
21. 写入寄存器CR10。参见“参考输入路径”部分，特别是公式1。

22. 将0xF0写入寄存器CR9。对于推荐的环路滤波器元件值、 $R_{SET} = 4.7 \text{ k}\Omega$ (如图70所示)和100 kHz的环路带宽，电荷泵电流设为5 mA。
23. 将0x00写入寄存器CR8。保留寄存器。
24. 将0x0X写入寄存器CR7。根据“工作原理”部分的公式2设置。此外应将MUXOUT引脚设置为三态。
25. 将0xXX写入寄存器CR6。根据“工作原理”部分的公式2设置。
26. 写入寄存器CR5。参见“参考输入路径”部分，特别是公式1。
27. 将0x01写入寄存器CR4。保留寄存器。
28. 将000010X(二进制)写入寄存器CR3。根据“工作原理”部分的公式2设置。
29. 将0xXX写入寄存器CR2。根据“工作原理”部分的公式2设置。
30. 将0xXX写入寄存器CR1。根据“工作原理”部分的公式2设置。
31. 将0xXX写入寄存器CR0。根据“工作原理”部分的公式2设置。为使所有双缓冲位写操作生效，寄存器CR0必须是最后写入的寄存器。
32. 写入寄存器CR27，根据表6设置位4。
33. 监控LDET输出或等待170 μs ，确保PLL锁定。
34. 将0x81写入寄存器CR29。调制器上电。写入寄存器CR29后不需要写入寄存器CR0，因为它不是双缓冲寄存器。

示例一更改LO频率

下面是说明初始化序列后如何更改LO频率的一个例子。PLL锁定到2000 MHz，条件如下：

- $f_{PFD} = 40 \text{ MHz}$ (假定)
- 分频比 $N = 50$ ；因此，INT = 50(十进制)，FRAC = 0
- RFDIVIDER = 1分频。参见表6。

寄存器CR28[2:0] = 000

寄存器CR27[4] = 1

INT寄存器包含下列值：寄存器CR7 = 0x00，寄存器CR6 = 0x32

FRAC寄存器包含下列值：寄存器CR3 = 0x04，寄存器CR2 = 0x00，寄存器CR1 = 0x00，寄存器CR0 = 0x00

ADRF6755

要将LO频率更改为925 MHz,

- $f_{\text{PFD}} = 40$ MHz(假定)
- 分频比 $N = 46.25$; 因此, $\text{INT} = 46$ (十进制), $\text{FRAC} = 8,388,608$
- $\text{RFDIVIDER} = 2$ 分频。参见表6。

寄存器CR28[2:0] = 001

寄存器CR27[4] = 0

INT寄存器包含下列值: 寄存器CR7 = 0x00, 寄存器CR6 = 0x2E

FRAC寄存器包含下列值: 寄存器CR3 = 0x04, 寄存器CR2 = 0x80, 寄存器CR1 = 0x00, 寄存器CR0 = 0x00

注意, 在此序列中, 寄存器CR27应是最后写入的寄存器, 之前是CR0。写入寄存器CR0会导致所有双缓冲寄存器更新, 包括INT、FRAC和RFDIV寄存器, 并开始新的PLL采集。

评估板

概述

EVAL-ADRF6755SDZ 评估板设计用于帮助用户评估 ADRF6755 的性能。它包含以下部分：

- 集成小数N分频PLL和VCO的I/Q调制器
- 用于连接标准USB接口板(SPD-S)的连接器，必须与 EVAL-ADRF6755SDZ板一同订购。
- 用于基带输入的直流偏置和滤波电路
- 低通环路滤波器电路
- 80 MHz参考时钟
- 监控LOMON输出的电路
- 用于电源和RF输出的SMA连接器

评估板附带相关的驱动软件，以使用户能够对 ADRF6755 轻松编程。

硬件说明

欲了解更多信息，参见图70的电路图。

电源

一个外部5 V电源(DUT +5 V (J14))驱动片内3.3 V调节器和正交调制器。

调节器向片内VREG1至VREG6引脚提供3.3 V电源。这些引脚为PLL电路供电。

外部参考时钟发生器应通过3.3 V电源驱动。此电源应通过SMA连接器(OSC +V (J15))连接。

建议电源去耦

外部DUT +5 V电源由一个10 μ F电容初步去耦，然后由100 nF和10 pF电容的并联组合进一步去耦，后两个电容应尽可能靠近DUT放置，以便实现良好的本地去耦。调节器输出应通过10 pF和220 μ F电容的并联组合去耦。220 μ F电容去耦宽带噪声，进而提高相位噪声性能，有助于实现最佳性能。使用尺寸C 220 μ F电容以使面积最小。在每个VREGx引脚上放置100 nF和10 pF电容的并联组合，应尽可能靠近这些引脚。这些电容的阻抗应很低，并且在较宽频率范围内保持稳定。表贴多层陶瓷芯片(MLCC) II类电容提供非常低的ESL和ESR，有助于高效去耦电源噪声。此类电容还具有良好的温度稳定性和老化特性。

容值也会随着所施加的偏置电压而变化。外壳尺寸较大的电容，其容值随所施加偏置电压的变化较小，ESR也较低，但ESL较高。0603尺寸电容提供良好的折中。X5R和X7R电容就是此类电容的例子，建议用于去耦。

SPI接口

SPI接口由附加SPD-S板提供。它必须与ADRF6755评估板一同订购。系统演示平台(SDP)是一个硬件和软件平台，提供PC与ADI产品以及需要数字控制和/或回读的系统之间的通信途径(参见图71)。

SDP-S控制板通过USB 2.0连接到PC，并通过一个小尺寸120引脚连接器连接到ADRF6755评估板。SDP-S(仅串行接口)是一款低成本、小尺寸SDP控制板。

基带输入

I和Q基带输入对由SMA输入(J2至J5)服务，以便能直接通过外部发生器或DAC板驱动，二者还可以提供所需的直流偏置。还有一个对基带输入进行滤波的选项，不过滤波可能不需要，具体取决于基带源的质量。

环路滤波器

电荷泵输出端有一个四阶环路滤波器；为了充分滤除N分频器所用 Σ - Δ 调制器的噪声，必须使用该滤波器。电荷泵电流设置为5 mA值且使用片内VCO时，环路带宽约为100 kHz，相位裕量为55°。环路滤波器中建议使用C0G电容，因为它们的电介质吸收很低，而这是实现快速精确的建立时间所必需的。使用非C0G电容可能导致建立时间瞬变中出现长尾现象。

参考输入

参考输入可以通过80 MHz Jauch时钟发生器提供，或通过连接器REFIN (J7)所连的外部时钟提供。PFD输入的参考范围为10 MHz至40 MHz；如果使用80 MHz时钟发生器，应使用片内5位参考分频器或2分频器，将PFD频率设置为40 MHz，从而优化相位噪声性能。

LOMON输出

这些引脚是差分LO监控输出，提供内部LO频率的副本(1 \times LO)。50 Ω 负载的单端功率可以设置为-24 dBm、-18 dBm、-12 dBm或-6 dBm。这些开集输出必须端接到3.3 V。由于两路输出都必须端接50 Ω ，因此提供了两个选项来端接到3.3 V：利用板上50 Ω 电阻和通过串联电感(或铁氧体磁珠)；对于后一选项，50 Ω 端接电阻通过测量仪器确定。如果不使用，这些输出应连接到REGOUT。

ADRF6755

CCOMP_x引脚

CCOMP_x是内部补偿节点，必须用一个100 nF电容去耦至地。

MUXOUT

MUXOUT是测试输出，可以监控不同的内部节点。它是一个CMOS输出级，无需端接。

锁定检测(LDET)

锁定检测是CMOS输出，表示PLL的状态。高电平表示已锁定，低电平表示失去锁定。

TXDIS

此输入禁用RF输出。它可以通过外部激励驱动，或者简单地通过跳线J18接高电平或低电平。

RF输出(RFOUT)

RFOUT (J12)是ADRF6755的RF输出。

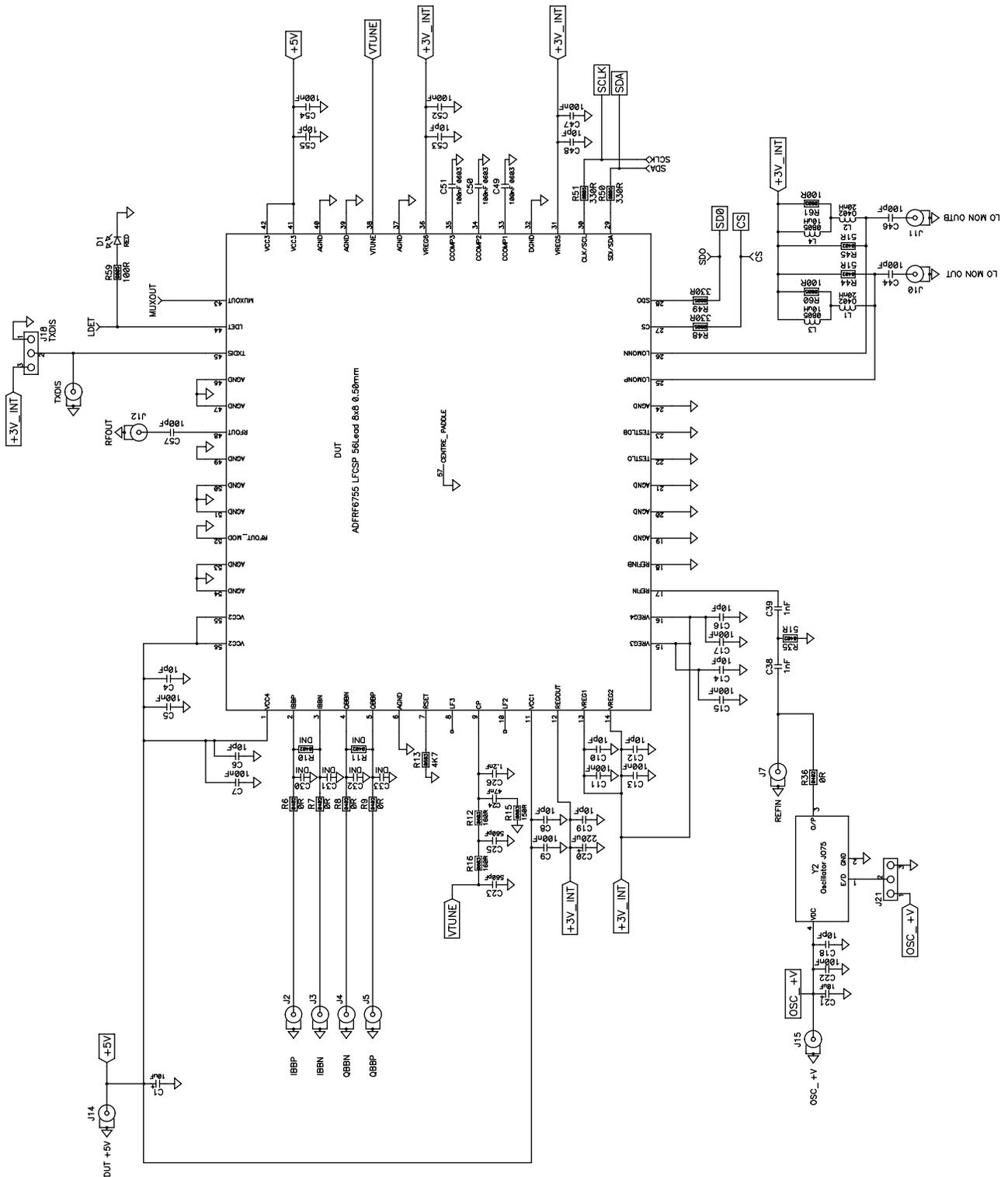


图70. 应用电路原理图

PCB布局图 贴片

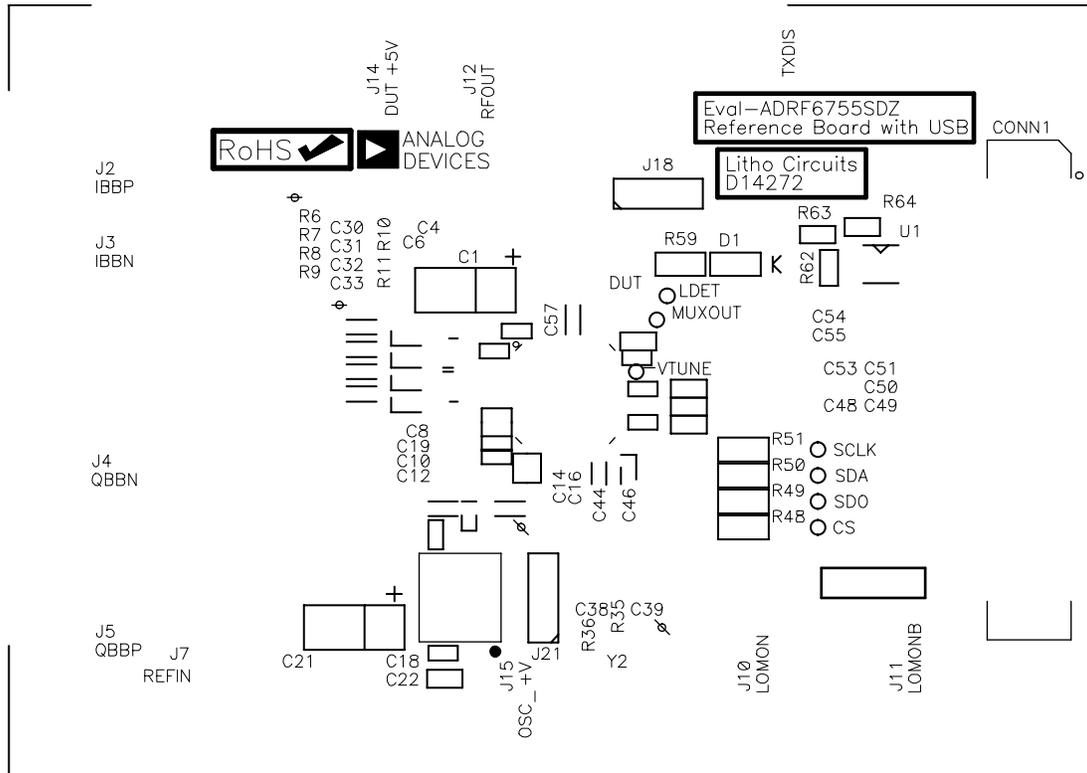


图72. 评估板，顶端贴片

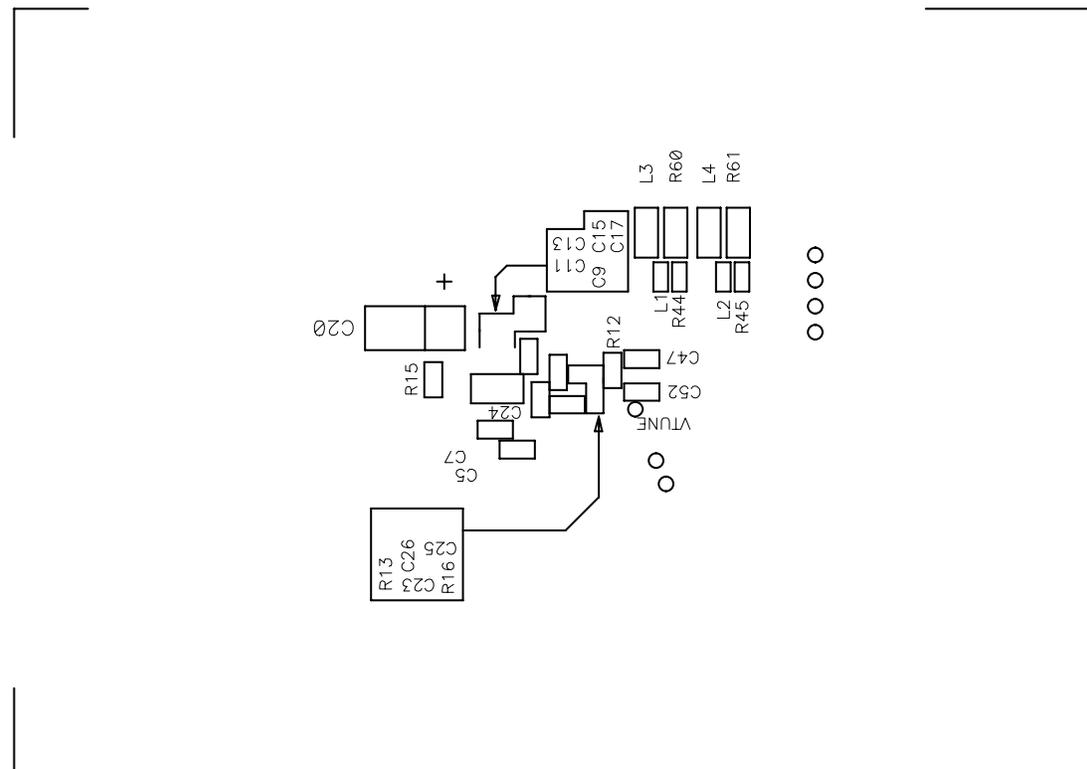
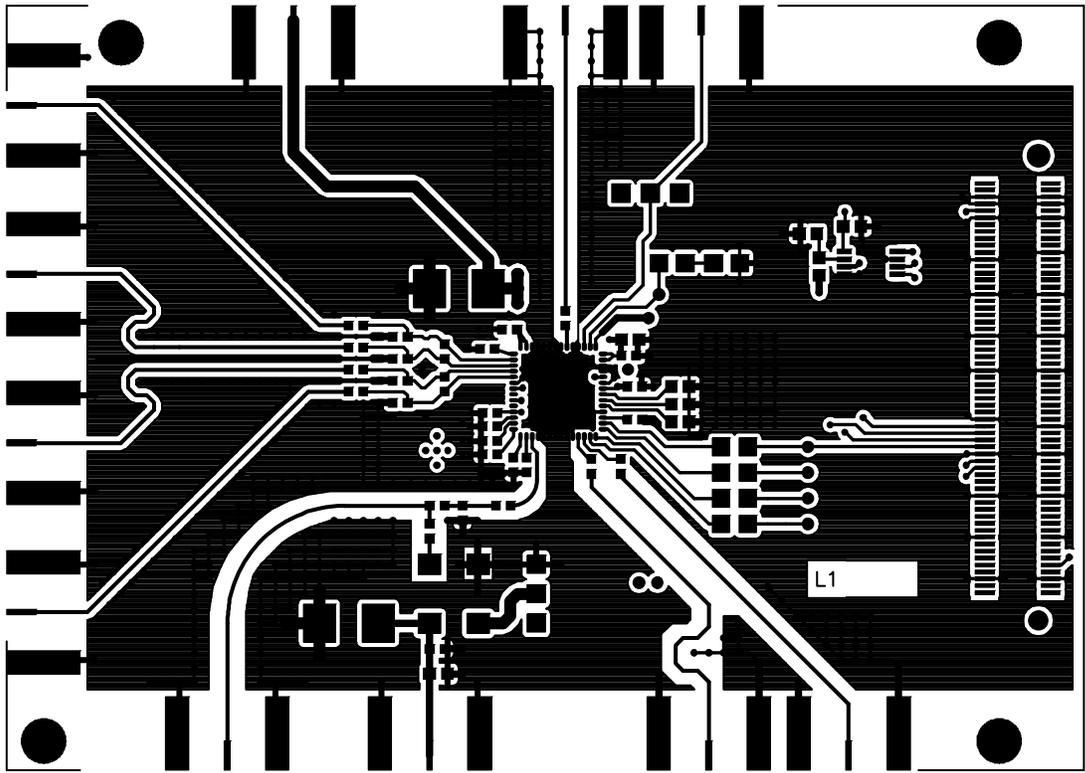


图73. 评估板，底端贴片

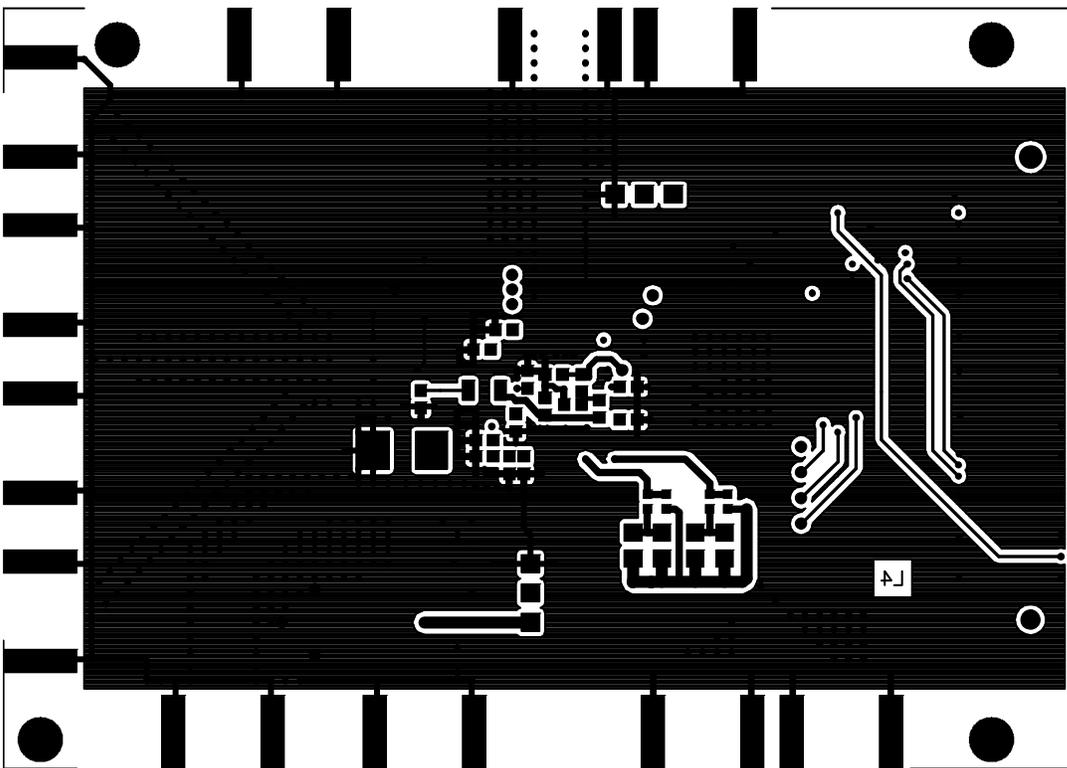
ADRF6755

PCB各层信息



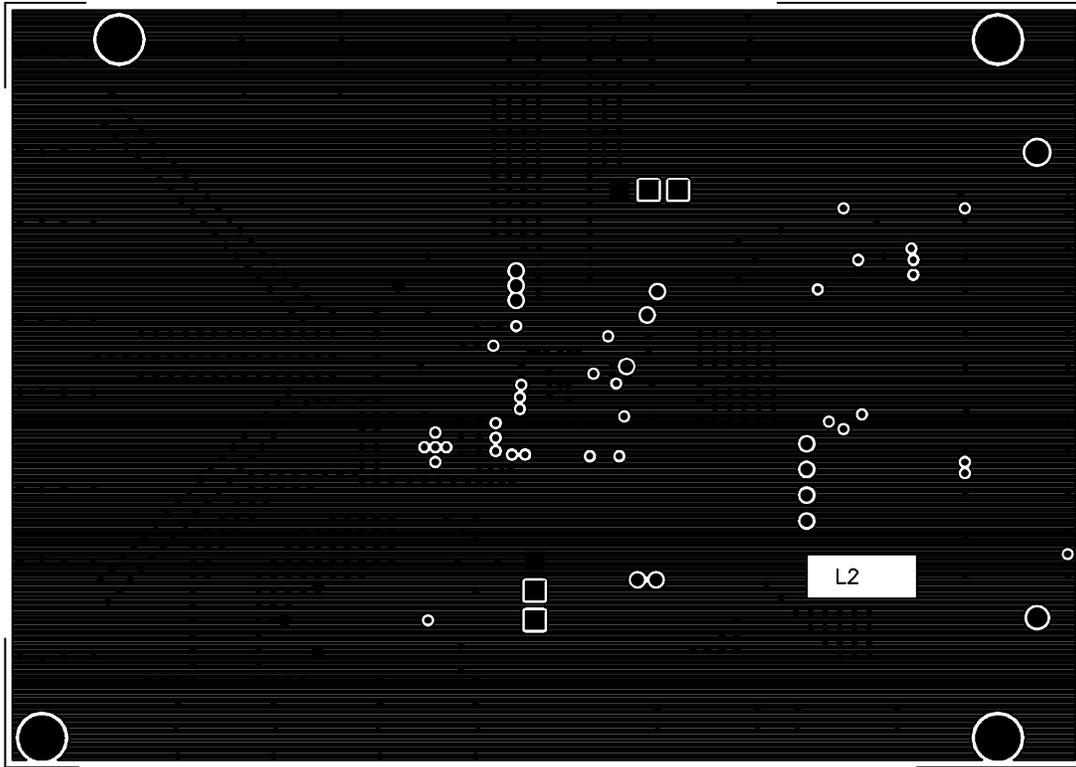
10465-074

图74. 评估板，顶端—第一层



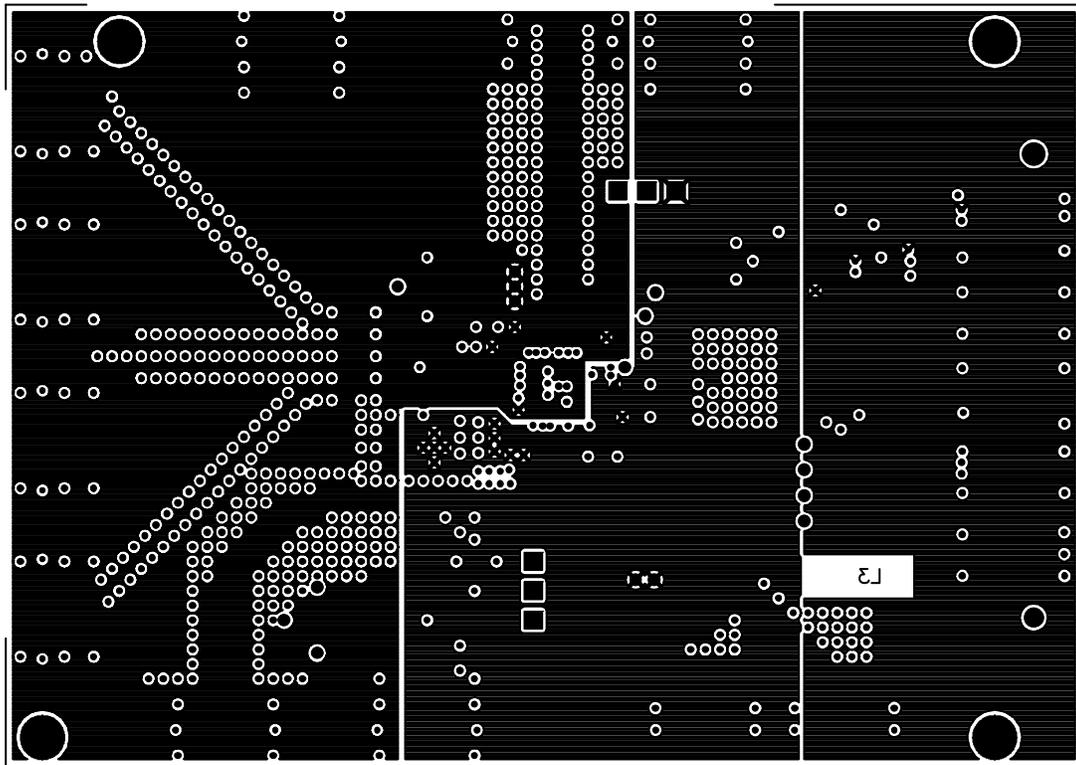
10465-075

图75. 评估板，底端—第四层



10465-076

图76. 评估板，接地—第二层



10465-077

图77. 评估板，电源—第三层

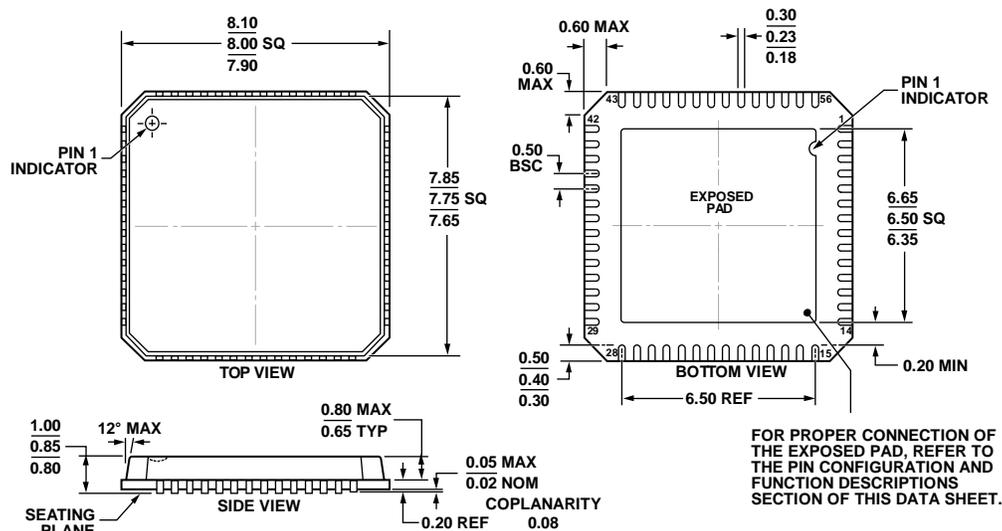
ADRF6755

物料清单

表29. 材料清单

数量	索引标识符	描述	制造厂商	产品型号
1	DUT	ADRF6755, 56引脚8 mm × 8 mm LFCSP	ADI公司	ADRF6755ACPZ
1	Y2	晶振, 80 MHz	Jauch	O 80.0-JO75-B-3.3-2-T1
1	CONN1	连接器, FX8-120S-SV(21)	Hirose	FEC 1324660
2	C1、C21	电容, 10 μF, 25 V, 钽, TAJ-C	AVX	FEC 197518
12	C4, C6, C8, C10, C12, C14, C16, C18, C19, C48, C53, C55	电容, 10 pF, 50 V, 陶瓷, C0G, 0402	Murata	FEC 8819564
14	C5, C7, C9, C11, C13, C15, C17, C22, C47, C49至C52, C54	电容, 100 nF, 25 V, X7R, 陶瓷, 0603	AVX	FEC 317287
1	C20	电容, 220 μF, 6.3 V, 钽, 尺寸C	AVX	FEC 197087
4	C30至C33	电容间隔, 0402(不安装)		
1	C26	电容, 1.2 nF, 50 V, C0G, 陶瓷, 0603	Kemet	FEC 1813421
1	C24	电容, 47 nF, 50 V, C0G, 陶瓷, 1206	Murata	FEC 8820201
2	C23、C25	电容, 560 pF, 50 V, NP0, 陶瓷, 0603	Murata	FEC 1828912
2	C38、C39	电容, 1 nF, 50 V, C0G, 陶瓷, 0402	Murata	FEC 8819556
3	C44、C46、C57	电容, 100 pF, 50 V, C0G, 陶瓷, 0402	Murata	FEC 8819572
11	J2至J5, J7, J10至J12, J14, J15, TXDIS	SMA末端装接连接器	Johnson/Emerson	142-0701-851
2	J18, J21	跳线, 3引脚加分流	Harwin	FEC 148533和FEC 150411
2	L1、L2	电感, 20 nH, 0402, 5%	TE Connectivity	FEC 1265424
2	L3、L4	电感, 10 μH, 0805, LQM系列	Vishay	FEC 1653752
5	R6至R9、R36	电阻, 0 Ω, 1/16 W, 1%, 0402	Multicomp	FEC 1357983
2	R10、R11	电阻, 0402, 间隔(不安装)		
1	R13	电阻, 4.7 kΩ, 1/10 W, 1%, 0603	Bourns	FEC 2008358
2	R12、R16	电阻, 160 Ω, 1/16 W, 1%, 0603	Multicomp	FEC 9330658
1	R15	电阻, 150 Ω, 1/16 W, 1%, 0603	Multicomp	FEC 9330593
2	R62	电阻, 0603, 间隔(不安装)		
3	R35、R44、R45	电阻, 51 Ω, 1/16 W, 5%, 0402	Bourns	FEC 2008358
4	R48至R51	电阻, 330 Ω, 1/10 W, 5%, 0805	Vishay	FEC 1739223
3	R59至R61	电阻, 100 Ω, 1/10 W, 5%, 0805	Vishay	FEC 1652907
2	R63、R64	电阻, 100 kΩ, 1/16 W, 1%, 0603	Multicomp	FEC 9330402
1	D1	LED, 红色, 0805, 1.8 V, 低电流	Rohm	FEC 1685056
1	U1	IC 24LC32A-I/MS EEPROM MSOP-8	Microchip	FEC 133-4660

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VLLD-2

图78. 56引脚引脚架构芯片级封装[LFCSP_VQ]

8 mm × 8 mm, 超薄体
(CP-56-4)

图示尺寸单位: mm

06-11-2012-A

订购指南

型号 ^{1,2}	温度范围	封装描述	封装选项
ADRF6755ACPZ	-40°C至+85°C	56引脚引脚架构芯片级封装[LFCSP_VQ], 卷盘	CP-56-4
ADRF6755ACPZ-R7	-40°C至+85°C	56引脚引脚架构芯片级封装[LFCSP_VQ], 7" 卷带和卷盘	CP-56-4
EVAL-ADRF6755SDZ		评估板	
EVAL-SDP-CS1Z		SDP-S控制器板; 与同样需要的EVAL-ADRF6755SDZ接口	
EVAL-SDP-CB1Z		EVAL-SDP-CB1Z SDP-B控制器板; 与替代解决方案EVAL-ADRF6755SDZ接口	

¹ Z = 符合RoHS标准的器件。

² 选择EVAL-SDP-CS1Z或EVAL-SDP-CB1Z作为EVAL-ADRF6755SDZ的接口解决方案。

注释

注释

注释

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。