

ADN4691E/ADN4693E/ADN4696E/ADN4697E

产品特性

多点LVDS收发器(低电压差分信号驱动器和接收器对)

开关速率: 200 Mbps (100 MHz)

支持的总线负载: 30 Ω至55 Ω

2类接收器可供选择

1类(ADN4691E/ADN4693E): 迟滞为25 mV

2类(ADN4696E/ADN4697E): 100 mV阈值失调, 可提供开

路和总线空闲故障安全功能

符合M-LVDS的TIA/EIA-899标准

M-LVDS总线上的无毛刺上电/关断

驱动器输出转换时间可控

共模范围: -1 V至+3.4 V, 允许在2 V接地噪声下进行通信

禁用或关断时驱动器输出处于高阻抗状态

总线引脚提供增强型ESD保护

空气放电: ±15 kV HBM(人体模型)

接触放电: ±8 kV HBM(人体模型)

空气放电: ±10 kV IEC 61000-4-2

接触放电: ±8 kV IEC 61000-4-2

工作温度范围: -40°C至+85°C

提供8引脚(ADN4691E/ADN4696E)和14引脚

(ADN4693E/ADN4697E) SOIC封装

应用

背板和电缆多点数据传输

多点时钟分配

低功耗、高速替代器件, 可缩短RS-485链路

网络和无线基站基础设施

概述

ADN4691E/ADN4693E/ADN4696E/ADN4697E都是多点低电压差分信号(M-LVDS)收发器(驱动器和接收器对), 工作速率最高可达200 Mbps (100 MHz)。接收器可在-1 V至+3.4 V的共模电压范围内利用低至50 mV的差分输入检测总线状态。总线引脚上提供最高可达±15 kV的ESD保护。这些器件遵循M-LVDS的TIA/EIA-899标准, 为TIA/EIA-644 LVDS器件添加了额外的多点能力。

ADN4691E/ADN4693E是1类接收器, 具有25 mV迟滞, 因此缓慢变化的信号或输入损耗不至于引起输出振荡。ADN4696E/ADN4697E是具有失调阈值的2类接收器, 可在总线处于空闲状态(总线空闲故障安全)或输入端断开(开路故障安全)时保证输出状态。

功能框图

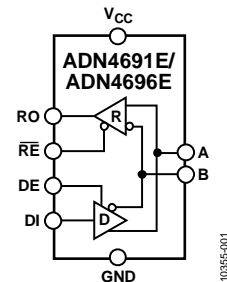


图1.

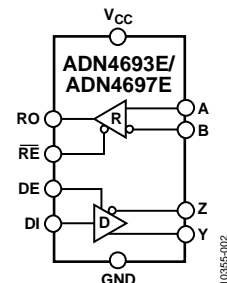


图2.

这些器件提供8引脚SOIC封装半双工配置(ADN4691E/ADN4696E)或14引脚SOIC封装全双工配置(ADN4693E/ADN4697E)。ADN469xE器件的选型表如表1所示。

表1. ADN469xE选型表

产品型号	接收器	数据速率	SOIC	产品型号
ADN4690E	1类	100 Mbps	8引脚	半
ADN4691E	1类	200 Mbps	8引脚	半
ADN4692E	1类	100 Mbps	14引脚	全
ADN4693E	1类	200 Mbps	14引脚	全
ADN4694E	2类	100 Mbps	8引脚	半
ADN4695E	2类	100 Mbps	14引脚	全
ADN4696E	2类	200 Mbps	8引脚	半
ADN4697E	2类	200 Mbps	14引脚	全

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2011–2012 Analog Devices, Inc. All rights reserved.

目录

产品特性	1
应用	1
功能框图	1
概述	1
修订历史	2
技术规格	3
接收器输入阈值测试电压	4
时序规格	5
绝对最大额定值	6
热阻	6
ESD警告	6
引脚配置和功能描述	7
典型性能参数	8
测试电路和开关特性	11

驱动器电压和电流测量	11
驱动器时序测量	12
接收器时序测量	13
工作原理	14
半双工/全双工操作	14
三态总线连接	14
真值表	14
无毛刺上电/关断	15
故障状况	15
接收器输入阈值/故障安全	15
应用信息	16
外形尺寸	17
订购指南	17

修订历史

2012年3月—修订版0至修订版A

增加ADN4691E和ADN4693E	通篇
更改“产品特性”部分、“概述”部分和表1	1
表2中增加1类接收器参数	3
增加表3；重新排序	4
表5中增加1类接收器参数	5
增加表7	6

更改表8	7
更改图33	13
增加表12	14
更改“接收器输入阈值/故障安全”部分和图36	15
更改“订购指南”	17

2011年12月—修订版0：初始版

技术规格

除非另有说明, $V_{CC} = 3.0\text{ V}$ 至 3.6 V , $R_L = 50\ \Omega$, $T_A = T_{MIN}$ 至 T_{MAX} 。¹

表2.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
驱动器						
差分输出						
差分输出电压幅度	$ V_{OD} $	480		650	mV	参见图19
$\Delta V_{OD} $ 互补输出状态	$\Delta V_{OD} $	-50		+50	mV	参见图19
共模输出电压(稳态)	$V_{OC(SS)}$	0.8		1.2	V	参见图20、图23
$\Delta V_{OC(SS)}$ 互补输出状态	$\Delta V_{OC(SS)}$	-50		+50	mV	参见图20、图23
峰峰值 V_{OC}	$V_{OC(PP)}$			150	mV	参见图20、图23
最大稳态开路输出电压	$V_{A(O)}$ 、 $V_{B(O)}$ 、 $V_{Y(O)}$ 或 $V_{Z(O)}$	0		2.4	V	参见图21
电压过冲						
低至高	V_{PH}			$1.2V_{SS}$	V	参见图24、图27
高至低	V_{PL}	$-0.2V_{SS}$			V	参见图24、图27
输出电流						
短路	$ I_{OS} $			24	mA	参见图22
高阻抗状态, 仅驱动器	I_{OZ}	-15		+10	μA	$-1.4\text{ V} \leq (V_Y \text{ 或 } V_Z) \leq 3.8\text{ V}$, 其他输出 = 1.2 V
关断	$I_{O(OFF)}$	-10		+10	μA	$-1.4\text{ V} \leq (V_Y \text{ 或 } V_Z) \leq 3.8\text{ V}$, 其他输出 = 1.2 V, $0\text{ V} \leq V_{CC} \leq 1.5\text{ V}$ ² 其他输出 = 1.2 V, DE = 0 V
输出电容						
差分输出电容	C_{YZ}		3		pF	$V_1 = 0.4 \sin(30e^{6\pi t})\text{ V} + 0.5\text{ V}$, ² 其他输出 = 1.2 V, DE = 0 V
输出电容平衡(C_Y/C_Z)	$C_{Y/Z}$	0.99		1.01		$V_{AB} = 0.4 \sin(30e^{6\pi t})\text{ V}$, ² DE = 0 V
逻辑输入(DI、DE)						
输入高电压	V_{IH}	2		V_{CC}	V	
输入低电压	V_{IL}	GND		0.8	V	
输入高电流	I_{IH}	0		10	μA	$V_{IH} = 2\text{ V}$
输入低电流	I_{IL}	0		10	μA	$V_{IL} = 0.8\text{ V}$
接收器						
差分输入						
差分输入阈值电压						
1类接收器(ADN4691E、ADN4693E)	V_{TH}	-50		+50	mV	参见表3、图36
2类接收器(ADN4696E、ADN4697E)	V_{TH}	50		150	mV	参见表4、图36
输入迟滞						
1类接收器(ADN4691E、ADN4693E)	V_{HYS}		25		mV	
2类接收器(ADN4696E、ADN4697E)	V_{HYS}		0		mV	
差分输入电压幅度	$ V_{ID} $	0.05		V_{CC}	V	
输入电容	C_A 或 C_B		3		pF	$V_1 = 0.4 \sin(30e^{6\pi t})\text{ V} + 0.5\text{ V}$, ² 其他输入 = 1.2 V $V_{AB} = 0.4 \sin(30e^{6\pi t})\text{ V}$
差分输入电容	C_{AB}			2.5	pF	
输入电容平衡(C_A/C_B)	$C_{A/B}$	0.99		1.01		
逻辑输出RO						
输出高电压	V_{OH}	2.4			V	$I_{OH} = -8\text{ mA}$
输出低电压	V_{OL}			0.4	V	$I_{OL} = 8\text{ mA}$
高阻抗输出电流	I_{OZ}	-10		+15	μA	$V_O = 0\text{ V}$ 或 3.6 V
逻辑输入RE						
输入高电压	V_{IH}	2		V_{CC}	V	
输入低电压	V_{IL}	GND		0.8	V	
输入高电流	I_{IH}	-10		0	μA	$V_{IH} = 2\text{ V}$
输入低电流	I_{IL}	-10		0	μA	$V_{IL} = 0.8\text{ V}$

ADN4691E/ADN4693E/ADN4696E/ADN4697E

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
总线输入/输出						
输入电流						
A(接收器或禁用驱动器的收发器)	I_A	0		32	μA	$V_B = 1.2\text{ V}, V_A = 3.8\text{ V}$
		-20		+20	μA	$V_B = 1.2\text{ V}, V_A = 0\text{ V}$ 或 2.4 V
		-32		0	μA	$V_B = 1.2\text{ V}, V_A = -1.4\text{ V}$
B(接收器或禁用驱动器的收发器)	I_B	0		32	μA	$V_A = 1.2\text{ V}, V_B = 3.8\text{ V}$
		-20		+20	μA	$V_A = 1.2\text{ V}, V_B = 0\text{ V}$ 或 2.4 V
		-32		0	μA	$V_A = 1.2\text{ V}, V_B = -1.4\text{ V}$
差分(接收器或禁用驱动器的收发器)	I_{AB}	-4		+4	μA	$V_A = V_B, 1.4\text{ V} \leq V_A \leq 3.8\text{ V}$
关断输入电流						$0\text{ V} \leq V_{CC} \leq 1.5\text{ V}$
A(接收器或收发器)	$I_{A(\text{OFF})}$	0		32	μA	$V_B = 1.2\text{ V}, V_A = 3.8\text{ V}$
		-20		+20	μA	$V_B = 1.2\text{ V}, V_A = 0\text{ V}$ 或 2.4 V
		-32		0	μA	$V_B = 1.2\text{ V}, V_A = -1.4\text{ V}$
B(接收器或收发器)	$I_{B(\text{OFF})}$	0		32	μA	$V_A = 1.2\text{ V}, V_B = 3.8\text{ V}$
		-20		+20	μA	$V_A = 1.2\text{ V}, V_B = 0\text{ V}$ 或 2.4 V
		-32		0	μA	$V_A = 1.2\text{ V}, V_B = -1.4\text{ V}$
差分(接收器或收发器)	$I_{AB(\text{OFF})}$	-4		+4	μA	$V_A = V_B, 1.4 \leq V_A \leq 3.8\text{ V}$
输入电容(禁用驱动器的收发器)	C_A or C_B		5		pF	$V_1 = 0.4 \sin(30e^6\pi t)\text{ V} + 0.5\text{ V}$, ² 其他输入 = 1.2 V , $DE = 0\text{ V}$
差分输入电容(禁用驱动器的收发器)	C_{AB}			3	pF	$V_{AB} = 0.4 \sin(30e^6\pi t)\text{ V}$, ² $DE = 0\text{ V}$
输入电容平衡(C_A/C_B)(禁用驱动器的收发器)	$C_{A/B}$	0.99		1.01		$DE = 0\text{ V}$
电源						
电源电流	I_{CC}					
仅驱动器使能			13	22	mA	$DE, \overline{RE} = V_{CC}, R_L = 50\ \Omega$
驱动器和接收器均禁用			1	4	mA	$DE = 0\text{ V}, \overline{RE} = V_{CC}, R_L = \text{空载}$
驱动器和接收器均使能			16	24	mA	$DE = V_{CC}, \overline{RE} = 0\text{ V}, R_L = 50\ \Omega$
仅接收器使能			4	13	mA	$DE, \overline{RE} = 0\text{ V}, R_L = 50\ \Omega$

¹ 所有典型值在 $V_{CC} = 3.3\text{ V}$ 和 $T_A = 25^\circ\text{C}$ 的条件下测得。

² HP4194A阻抗分析仪(或等效设备)。

接收器输入阈值测试电压

$\overline{RE} = 0\text{ V}$, H = 高电平, L = 低电平

表3.1类接收器的测试电压

施加的电压		差分输入电压	共模输入电压	接收器输出
V_A (V)	V_B (V)	V_{ID} (V)	V_{IC} (V)	RO (V)
2.4	0	2.4	1.2	H
0	2.4	-2.4	1.2	L
3.8	3.75	0.05	3.775	H
3.75	3.8	-0.05	3.775	L
-1.35	-1.4	0.05	-1.375	H
-1.4	-1.35	-0.05	-1.375	L

ADN4691E/ADN4693E/ADN4696E/ADN4697E

表4. 2类接收器的测试电压

施加的电压		差分输入电压	共模输入电压	接收器输出
V _A (V)	V _B (V)	V _{ID} (V)	V _{IC} (V)	RO (V)
+2.4	0	+2.4	+1.2	H
0	+2.4	-2.4	+1.2	L
+3.8	+3.65	+0.15	+3.725	H
+3.8	+3.75	+0.05	+3.775	L
-1.25	-1.4	+0.15	-1.325	H
-1.35	-1.4	+0.05	-1.375	L

时序规格

除非另有说明, V_{CC} = 3.0 V至3.6 V, T_A = T_{MIN}至T_{MAX}。¹

表5.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
驱动器						
最大数据速率		200			Mbps	
传播延迟	t _{PLH} , t _{PHL}	1	1.5	2.4	ns	参见图24、图27
差分输出上升/下降时间	t _R , t _F	1		1.6	ns	参见图24、图27
脉冲偏斜 t _{PHL} - t _{PLH}	t _{SK}		0	100	ps	参见图24、图27
器件间偏斜 ²	t _{SK(PP)}			1	ns	参见图24、图27
周期抖动, RMS(1个标准偏差) ³	t _{J(PER)}	2		3	ps	100 MHz时钟输入 ⁴ (参见图26)
峰峰值抖动 ^{3,5}	t _{J(PP)}	30		130	ps	200 Mbps 2 ¹⁵ - 1 PRBS输入 ⁶ (参见图29)
从高电平开始的禁用时间	t _{PHZ}			7	ns	参见图25、图28
从低电平开始的禁用时间	t _{PLZ}			7	ns	参见图25、图28
到高电平的使能时间	t _{PZH}			7	ns	参见图25、图28
到低电平的使能时间	t _{PZL}			7	ns	参见图25、图28
接收器						
传播延迟	t _{RPLH} , t _{RPHL}	2	4	6	ns	C _L = 15 pF(参见图30、图33)
上升/下降时间	t _R , t _F	1		2.3	ns	C _L = 15 pF(参见图30、图33)
脉冲偏斜 t _{RPHL} - t _{RPLH}	t _{SK}					C _L = 15 pF(参见图30、图33)
1类接收器(ADN4691E、ADN4693E)			100	300	ps	
2类接收器(ADN4696E、ADN4697E)			300	500	ps	
器件间偏斜 ²	t _{SK(PP)}			1	ns	C _L = 15 pF(参见图30、图33)
周期抖动, RMS(1个标准偏差) ³	t _{J(PER)}	4		7	ps	100 MHz时钟输入 ⁷ (参见图32)
峰峰值抖动 ^{3,5}	t _{J(PP)}					200 Mbps 2 ¹⁵ - 1 PRBS输入 ⁸ (参见图35)
1类接收器(ADN4691E、ADN4693E)	t _{J(PP)}	300		700	ps	
2类接收器(ADN4696E、ADN4697E)		450		800	ps	
从高电平开始的禁用时间	t _{RPHZ}			10	ns	参见图31、图34
从低电平开始的禁用时间	t _{RPLZ}			10	ns	参见图31、图34
到高电平的使能时间	t _{RPZH}			15	ns	参见图31、图34
到低电平的使能时间	t _{RPZL}			15	ns	参见图31、图34

¹ 所有典型值在V_{CC} = 3.3 V和T_A = 25°C的条件下测得。

² t_{SK(PP)}定义为两个器件任意指定的引脚之间的传播延迟之差。该规格适用于相同V_{CC}和温度条件下具有同样封装和测试电路的器件。

³ 通过设计和特性保证抖动参数。数值不包括激励抖动。

⁴ t_R = t_F = 0.5 ns(10%至90%), 通过30,000个样本测得。

⁵ 峰峰值抖动规格包括脉冲偏斜(t_{SK})导致的抖动。

⁶ t_R = t_F = 0.5 ns(10%至90%), 测量100,000个样本测得。

⁷ |V_{ID}| = 400 mV(ADN4696E、ADN4697E), V_{IC} = 1.1 V, t_R = t_F = 0.5 ns(10%至90%), 通过30,000个样本测得。

⁸ |V_{ID}| = 400 mV(ADN4696E、ADN4697E), V_{IC} = 1.1 V, t_R = t_F = 0.5 ns(10%至90%), 通过100,000个样本测得。

ADN4691E/ADN4693E/ADN4696E/ADN4697E

绝对最大额定值

除非另有说明， $T_A = T_{MIN}$ 至 T_{MAX} 。

表6.

参数	额定值
V_{CC}	-0.5 V至+4 V
数字输入电压(DE、 \overline{RE} 、DI)	-0.5 V至+4 V
接收器输入(A、B)电压	
半双工(ADN4691E、ADN4696E)	-1.8 V至+4 V
全双工(ADN4693E、ADN4697E)	-4 V至+6 V
接收器输出电压(RO)	-0.3 V至+4 V
驱动器输出(A、B、Y、Z)电压	-1.8 V至+4 V
ESD额定值(A、B、Y、Z引脚)	
HBM(人体模型)	
空气放电	±15 kV
接触放电	±8 kV
空气放电: IEC 61000-4-2	±10 kV
接触放电: IEC 61000-4-2	±8 kV
ESD额定值(其他引脚, HBM)	±4 kV
ESD额定值(所有引脚)	
FICDM	±1.25 kV
机器模型	±400 V
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即器件焊接在电路板上实现表贴封装。

表7. 热阻

封装类型	θ_{JA}	单位
8引脚 SOIC	121	°C/W
14引脚 SOIC	86	°C/W

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

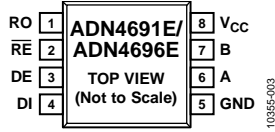


图3. ADN4691E/ADN4696E引脚配置

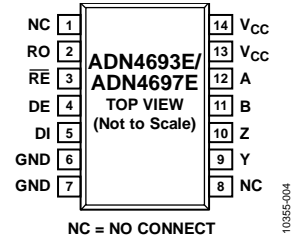


图4. ADN4693E/ADN4697E引脚配置

表8. 引脚功能描述

ADN4691E/ ADN4696E 引脚编号	ADN4693E/ ADN4697E 引脚编号	引脚名称	说明
1	2	RO	接收器输出。1类接收器(ADN4691E/ADN4693E)，使能时： 如果 $A - B \geq 50 \text{ mV}$ ，则RO = 逻辑高电平。如果 $A - B \leq -50 \text{ mV}$ ，则RO = 逻辑低电平。 2类接收器(ADN4696E/ADN4697E)，使能时： 如果 $A - B \geq 150 \text{ mV}$ ，则RO = 逻辑高电平。如果 $A - B \leq 50 \text{ mV}$ ，则RO = 逻辑低电平。 未在这些条件之外定义接收器输出。
2	3	$\overline{\text{RE}}$	接收器输出使能。此引脚上为逻辑低电平时，使能接收器输出RO。 此引脚上为逻辑高电平，则RO置于高阻抗状态。
3	4	DE	驱动器输出使能。此引脚上为逻辑高电平时，使能驱动器差分输出。 此引脚上为逻辑低电平时，则驱动器差分输出置于高阻抗状态。
4	5	DI	驱动器输入。半双工(ADN4691E/ADN4696E)，使能时： 如果DI上为逻辑低电平，则强制A变为低电平、B变为高电平；如果DI上为逻辑高电平， 则强制A变为高电平而B变为低电平。 全双工(ADN4693E/ADN4697E)，使能时： 如果DI上为逻辑低电平，则强制Y变为低电平、Z变为高电平；如果DI上为逻辑高电平， 则强制Y变为高电平而Z变为低电平。
5	6, 7	GND	地。
N/A	9	Y	同相驱动器输出Y。
N/A	10	Z	反相驱动器输出Z。
6	N/A	A	同相接收器输入A和同相驱动器输出A。
N/A	12	A	同相接收器输入A。
7	N/A	B	反相接收器输入B和反相驱动器输出B。
N/A	11	B	反相接收器输入B。
8	13, 14	V _{CC}	电源(3.3V ± 0.3V)。
N/A	1, 8	NC	不连接。请勿连接到这些引脚。

典型性能参数

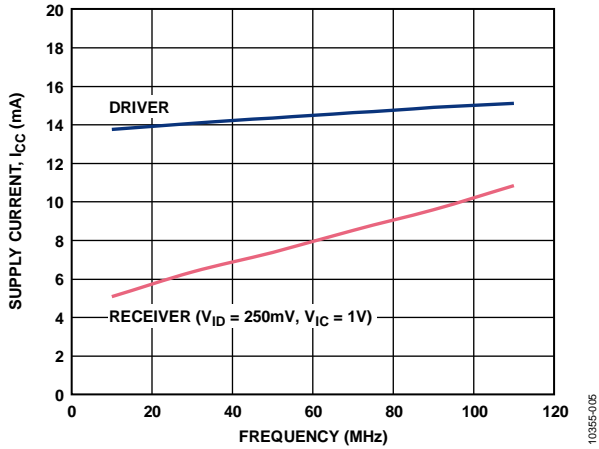


图5. 电源电流(I_{CC})与频率的关系

($V_{CC} = 3.3V$, $T_A = 25^\circ C$; 接收器 $V_{ID} = 250mV$, $V_{IC} = 1V$)

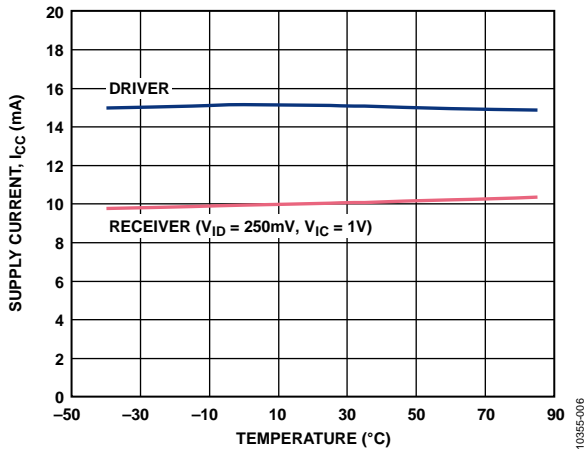


图6. 电源电流与温度的关系

(数据速率 = 200 Mbps, $V_{CC} = 3.3V$; 接收器 $V_{ID} = 250mV$, $V_{IC} = 1V$)

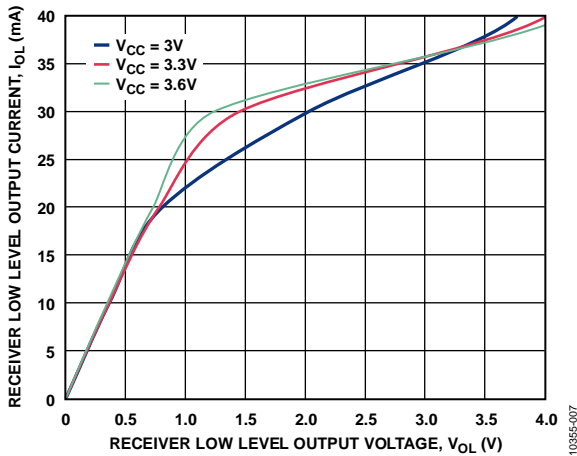


图7. 接收器输出电流与输出电压的关系(输出低电平)($T_A = 25^\circ C$)

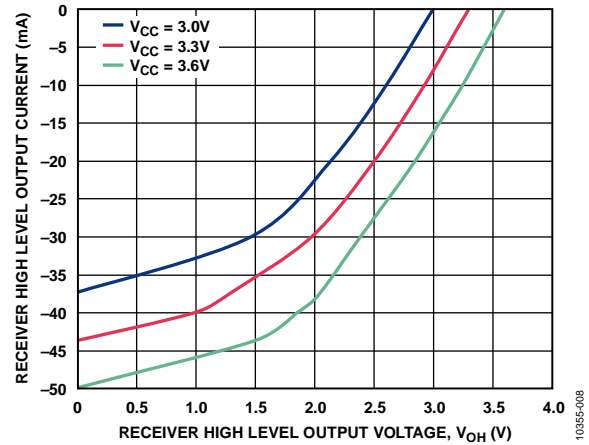


图8. 接收器输出电流与输出电压的关系(输出高电平)($T_A = 25^\circ C$)

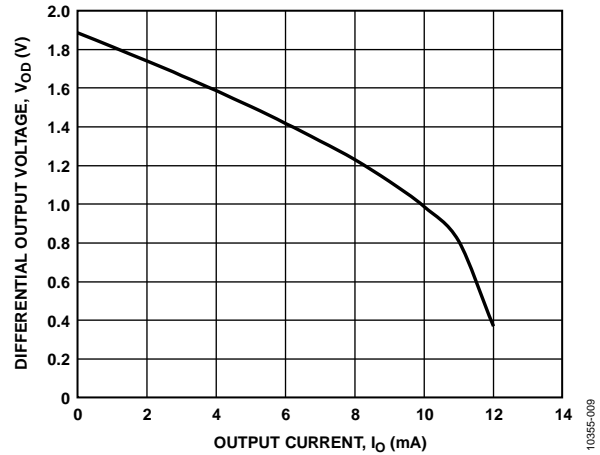


图9. 驱动器差分输出电压与输出电流的关系($V_{CC} = 3.3V$, $T_A = 25^\circ C$)

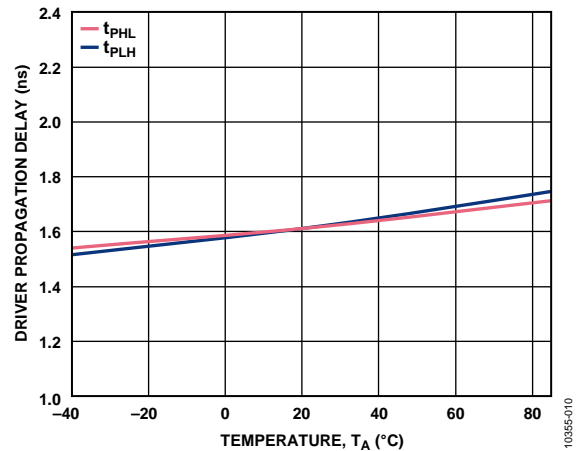


图10. 驱动器传播延迟与温度的关系
(数据速率 = 2 Mbps, $V_{CC} = 3.3V$)

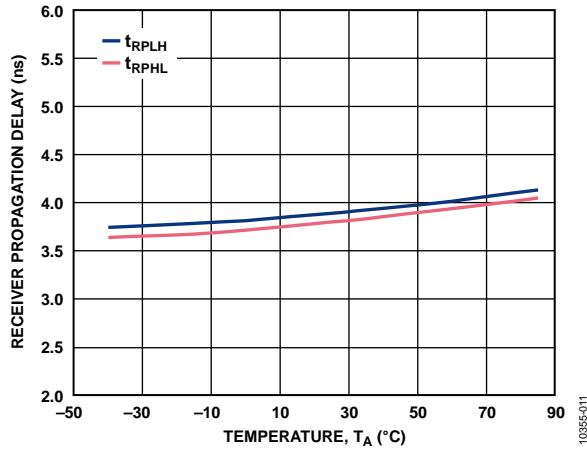


图11. 接收器传播延迟与温度的关系
(数据速率 = 2 Mbps, $V_{CC} = 3.3$ V, $V_{ID} = 400$ mV, $V_{IC} = 1.1$ V)

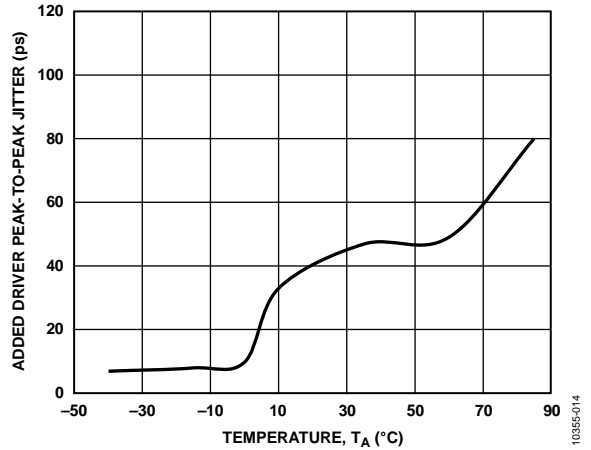


图14. 驱动器抖动(峰峰值)与温度的关系
(数据速率 = 200 Mbps, $V_{CC} = 3.3$ V, PRBS $2^{15} - 1$ 输入)

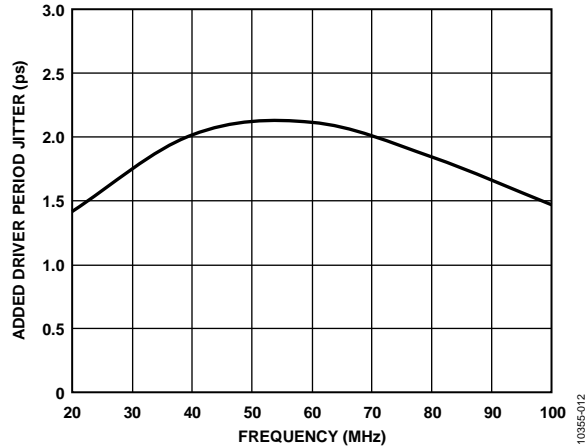


图12. 驱动器抖动(周期)与频率的关系
($V_{CC} = 3.3$ V, $T_A = 25^\circ\text{C}$, 时钟输入)

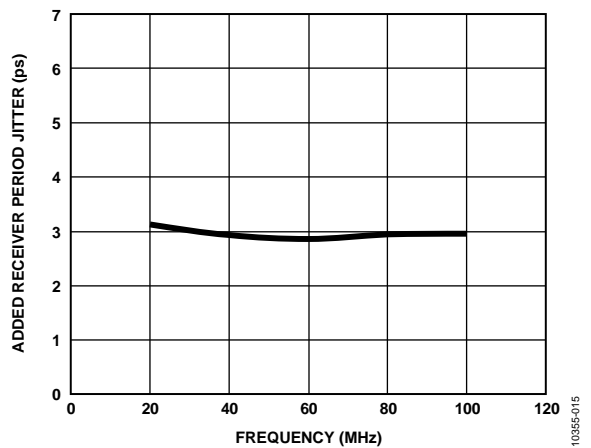


图15. 接收器抖动(周期)与频率的关系
($V_{CC} = 3.3$ V, $T_A = 25^\circ\text{C}$, $V_{ID} = 400$ mV)

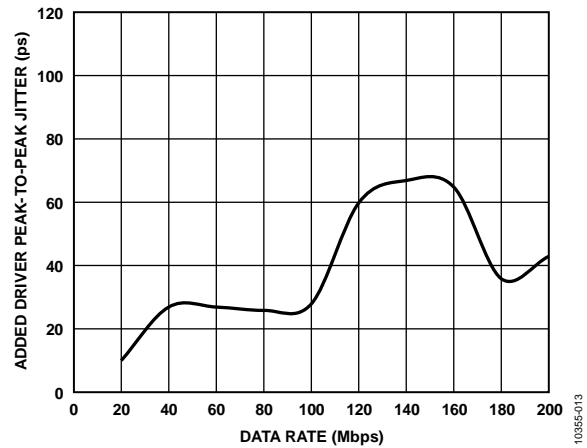


图13. 驱动器抖动(峰峰值)与数据速率的关系
($V_{CC} = 3.3$ V, $T_A = 25^\circ\text{C}$, PRBS $2^{15} - 1$ 输入)

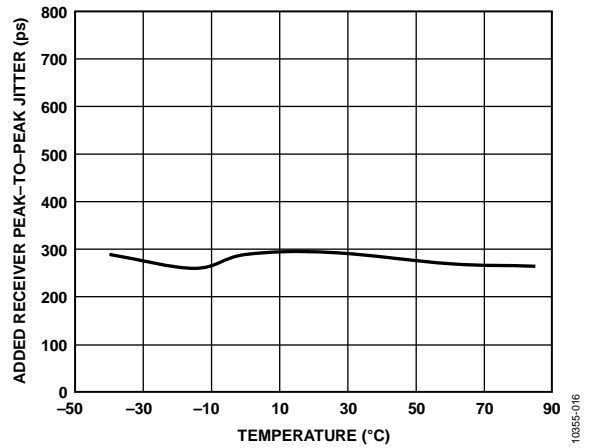


图16. 接收器抖动(峰峰值)与温度的关系
(数据速率 = 200 Mbps, $V_{CC} = 3.3$ V, $V_{ID} = 400$ mV, $V_{IC} = 1.1$ V, PRBS $2^{15} - 1$ 输入)

ADN4691E/ADN4693E/ADN4696E/ADN4697E

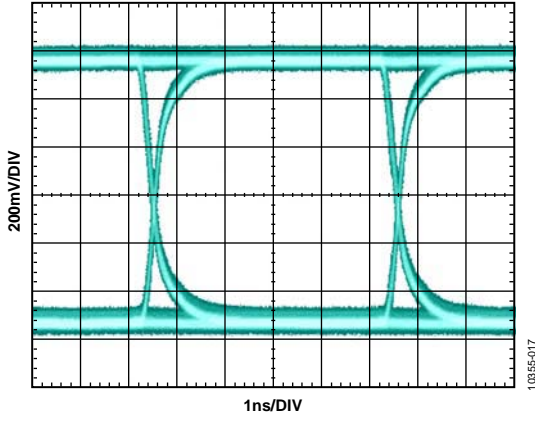


图17. ADN4696E驱动器输出眼图
(数据速率 = 200 Mbps, PRBS $2^{15} - 1$ 输入, $R_L = 50 \Omega$)

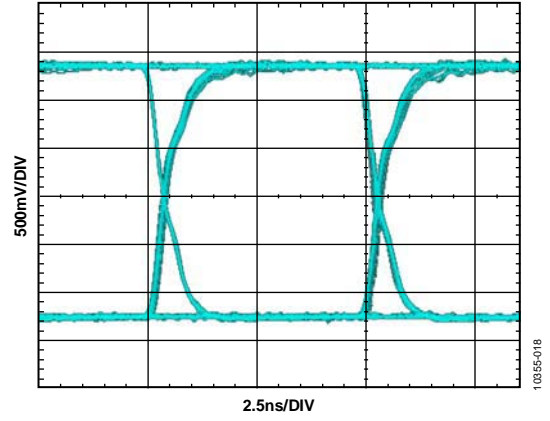
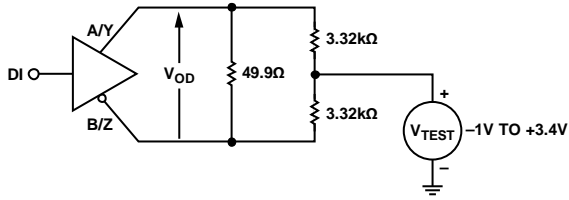


图18. ADN4696E接收器输出眼图
(数据速率 = 200 Mbps, PRBS $2^{15} - 1$ 输入, $C_L = 15 \text{ pF}$)

测试电路和开关特性

驱动器电压和电流测量



NOTES
1. 1% TOLERANCE FOR ALL RESISTORS

图19. 共模范围内的驱动器电压测量

10395-019

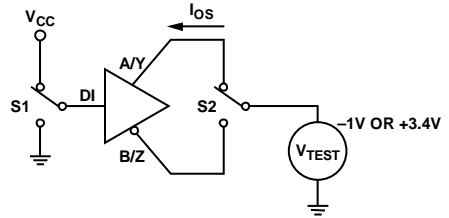
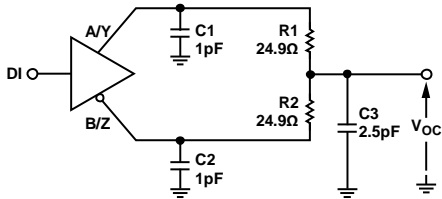


图22. 驱动器短路

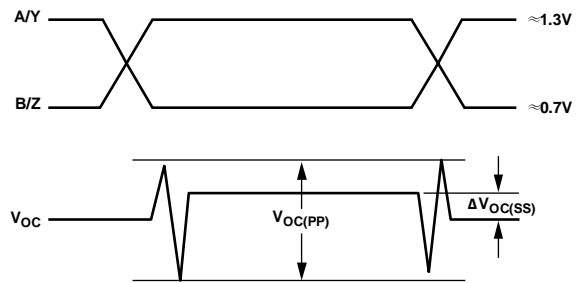
10395-022



NOTES
1. C1, C2, AND C3 ARE 20% AND INCLUDE PROBE/STRAY CAPACITANCE LESS THAN 2cm FROM DUT.
2. R1 AND R2 ARE 1%, METAL FILM, SURFACE MOUNT, LESS THAN 2cm FROM DUT.

图20. 驱动器共模输出电压测量

10395-020



NOTES
1. INPUT PULSE GENERATOR: 500kHz; 50% ± 5% DUTY CYCLE; tr, tf ≤ 1ns.
2. Voc(PP) MEASURED ON TEST EQUIPMENT WITH -3dB BANDWIDTH ≥ 1GHz.

图23. 驱动器共模输出电压(稳态)

10395-023

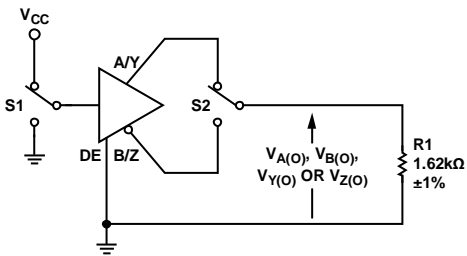
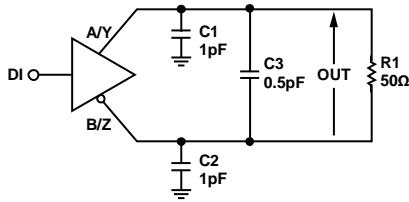


图21. 最大稳态输出电压测量

10395-021

ADN4691E/ADN4693E/ADN4696E/ADN4697E

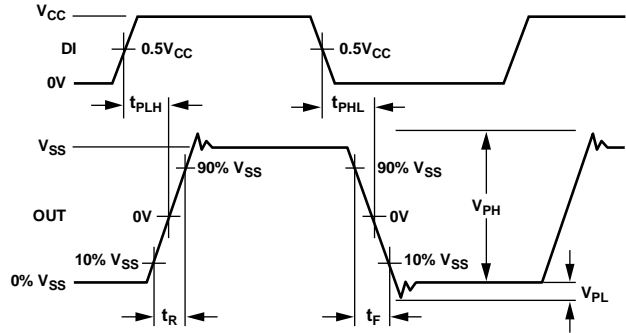
驱动器时序测量



- NOTES**
1. C1, C2, AND C3 ARE 20% AND INCLUDE PROBE/STRAY CAPACITANCE LESS THAN 2cm FROM DUT.
 2. R1 IS 1%, METAL FILM, SURFACE MOUNT, LESS THAN 2cm FROM DUT.

图24. 驱动器时序测量

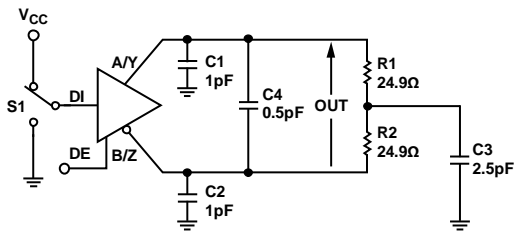
10395-024



- NOTES**
1. INPUT PULSE GENERATOR: 500kHz; 50% ± 5% DUTY CYCLE; $t_R, t_F \leq 1\text{ns}$.
 2. MEASURED ON TEST EQUIPMENT WITH -3dB BANDWIDTH $\geq 1\text{GHz}$.

图27. 驱动器传播延迟、上升/下降时间和电压过冲

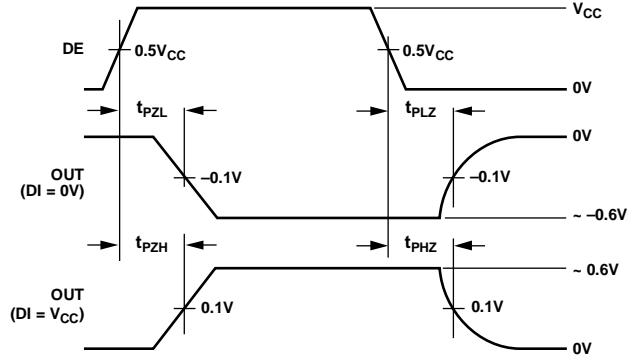
10395-027



- NOTES**
1. C1, C2, C3, AND C4 ARE 20% AND INCLUDE PROBE/STRAY CAPACITANCE LESS THAN 2cm FROM DUT.
 2. R1 AND R2 ARE 1%, METAL FILM, SURFACE MOUNT, LESS THAN 2cm FROM DUT.

图25. 驱动器使能/禁用时序

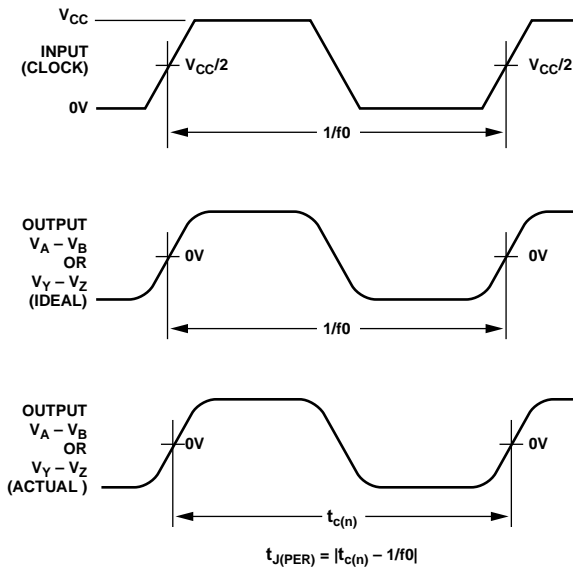
10395-025



- NOTES**
1. INPUT PULSE GENERATOR: 500kHz; 50% ± 5% DUTY CYCLE; $t_R, t_F \leq 1\text{ns}$.
 2. MEASURED ON TEST EQUIPMENT WITH -3dB BANDWIDTH $\geq 1\text{GHz}$.

图28. 驱动器使能/禁用时序

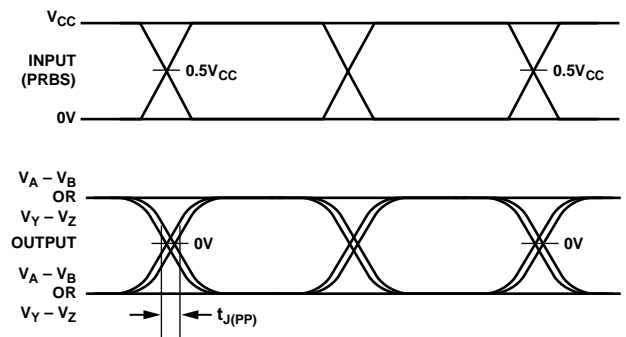
10395-028



- NOTES**
1. INPUT PULSE GENERATOR: AGILENT 8304A STIMULUS SYSTEM; 100MHz; 50% ± 1% DUTY CYCLE.
 2. MEASURED USING TEK TDS6604 WITH TDSJIT3 SOFTWARE.

图26. 驱动器周期抖动特性

10395-026

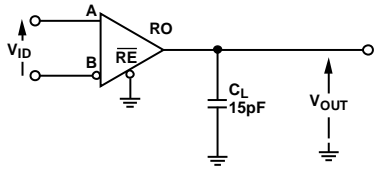


- NOTES**
1. INPUT PULSE GENERATOR: AGILENT 8304A STIMULUS SYSTEM; 200Mbps; 2¹⁵ - 1PRBS.
 2. MEASURED USING TEK TDS6604 WITH TDSJIT3 SOFTWARE.

图29. 驱动器峰峰值抖动特性

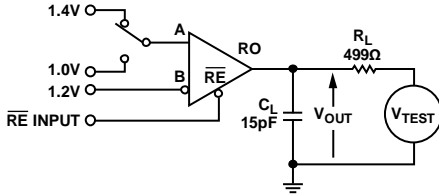
10395-029

接收器时序测量



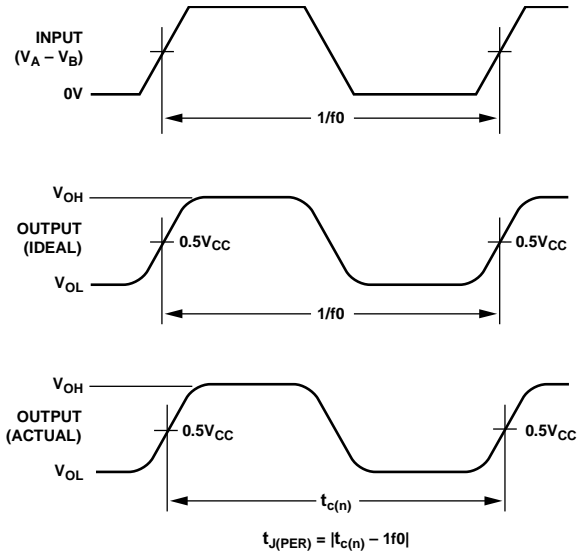
NOTES
 1. C_L IS 20%, CERAMIC, SURFACE MOUNT, AND INCLUDES PROBE/STRAY CAPACITANCE < 2cm FROM DUT.

图30. 接收器时序测量



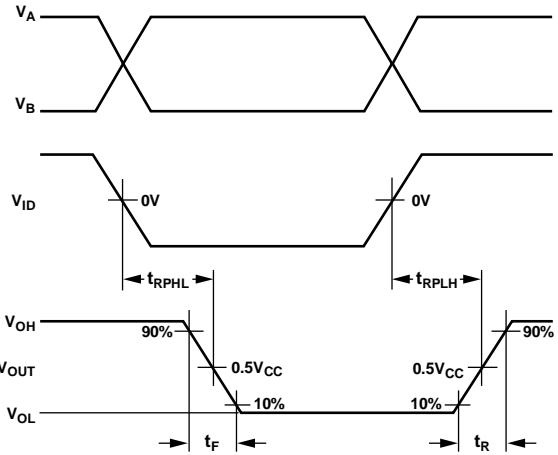
NOTES
 1. C_L IS 20% AND INCLUDES PROBE/STRAY CAPACITANCE < 2cm FROM DUT.
 2. R_L IS 1% METAL FILM, SURFACE MOUNT, <2cm FROM DUT.

图31. 接收器使能/禁用时序



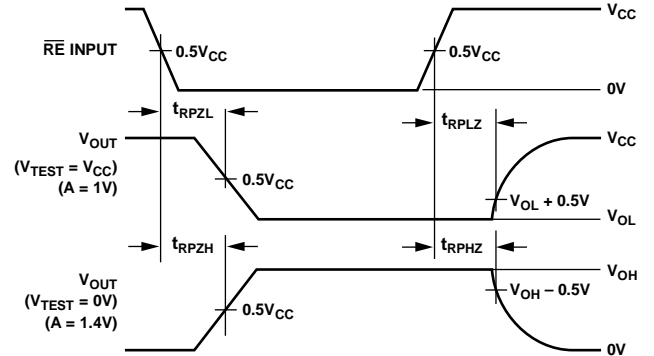
NOTES
 1. INPUT PULSE GENERATOR: AGILENT 8304A STIMULUS SYSTEM; 100MHz; 50% ± 1% DUTY CYCLE.
 2. MEASURED USING TEK TDS6604 WITH TDSJIT3 SOFTWARE.

图32. 接收器周期抖动特性



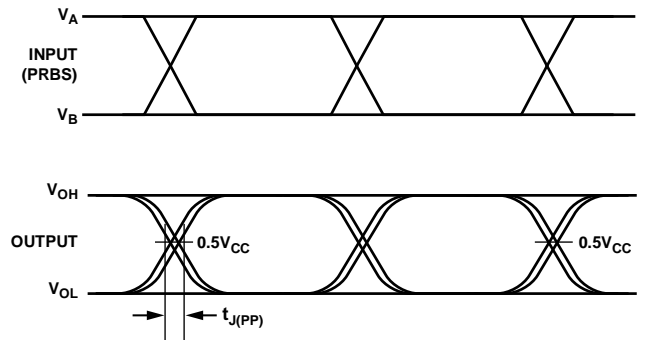
NOTES
 1. INPUT PULSE GENERATOR: 50MHz; 50% ± 5% DUTY CYCLE; $t_R, t_F < 1ns$.
 2. MEASURED ON TEST EQUIPMENT WITH -3dB BANDWIDTH ≥ 1GHz.

图33. 接收器传播延迟和上升/下降时序



NOTES
 1. INPUT PULSE GENERATOR: 500kHz; 50% ± 5% DUTY CYCLE; $t_R, t_F < 1ns$.

图34. 接收器使能/禁用时序



NOTES
 1. INPUT PULSE GENERATOR: AGILENT 8304A STIMULUS SYSTEM; 200Mbps; $2^{15} - 1$ PRBS.
 2. MEASURED USING TEK TDS6604 WITH TDSJIT3 SOFTWARE.

图35. 接收器峰峰值抖动特性

ADN4691E/ADN4693E/ADN4696E/ADN4697E

工作原理

ADN4691E/ADN4693E/ADN4696E/ADN4697E收发器均能高速(数据速率最高可达200 Mbps)发送和接收多点、低电压差分信号(M-LVDS)。各器件均内置差分线路驱动器和差分线路接收器,允许各器件发送和接收数据。

多点LVDS允许在两个以上节点之间进行双向通信,在现有LVDS低电压差分信号传输方式的基础上加以扩展。M-LVDS总线上最多可连接32个节点。

半双工/全双工操作

半双工操作允许收发器进行发送或接收,但无法同时收发。但全双工操作可让收发器同时进行发送和接收。ADN4691E/ADN4696E是半双工器件,驱动器和接收器共享差分总线终端。ADN4693E/ADN4697E是全双工器件,具有专用的驱动器输出引脚和接收器输入引脚。图37和图38分别显示典型的M-LVDS半双工和全双工总线拓扑结构。

三态总线连接

通过禁用驱动器或接收器,可将器件的输出置于高阻抗状态。这样便允许将多个驱动器输出连接至一个M-LVDS总线。请注意,每条总线上一次只能使能一个驱动器,但可以同时使能多个接收器。

可使用驱动器使能引脚(DE)来使能或禁用驱动器。拉高DE则使能驱动器输出,拉低DE则将驱动器输出置于高阻抗状态。类似地,低电平有效接收器使能引脚(RE)控制接收器。拉低RE则使能接收器,拉高RE则将接收器输出置于高阻抗状态。

各种条件下的驱动器和接收器输出状态真值表如表10、表11、表12和表13所示。

真值表

表9. 真值表缩略语

缩略语	说明
H	高电平
L	低电平
X	无关
I	不确定
Z	高阻抗(关)
NC	不连接

驱动器, 半双工(ADN4691E/ADN4696E)

表10. 发送(缩略语见表9)

电源	输入		输出	
	DE	DI	A	B
是	H	H	H	L
是	H	L	L	H
是	H	NC	L	H
是	L	X	Z	Z
是	NC	X	Z	Z
≤1.5 V	X	X	Z	Z

驱动器, 全双工(ADN4693E/ADN4697E)

表11. 发送(缩略语见表9)

电源	输入		输出	
	DE	DI	Y	Z
是	H	H	H	L
是	H	L	L	H
是	H	NC	L	H
是	L	X	Z	Z
是	NC	X	Z	Z
≤1.5 V	X	X	Z	Z

1类接收器(ADN4691E/ADN4693E)

表12. 接收(缩略语见表9)

电源	输入		输出	
	A - B	RE	RO	
是	≥50 mV	L	H	
是	≤-50 mV	L	L	
是	-50 mV < A - B < 50 mV	L	I	
是	NC	L	I	
是	X	H	Z	
是	X	NC	Z	
否	X	X	Z	

2类接收器(ADN4696E/ADN4697E)

表13. 接收(缩略语见表9)

电源	输入		输出	
	A - B	RE	RO	
是	≥150 mV	L	H	
是	≤50 mV	L	L	
是	50 mV < A - B < 150 mV	L	I	
是	NC	L	L	
是	X	H	Z	
是	X	NC	Z	
否	X	X	Z	

无毛刺上电/关断

为了尽可能避免在增加节点时对总线造成中断，器件的M-LVDS输出在器件上电或关断时保持无毛刺。该特性允许将器件插入现场M-LVDS总线，因为器件完全上电之前不会开启总线输出。此外，器件关断时，所有输出均处于高阻抗状态。

故障条件

ADN4691E/ADN4693E/ADN4696E/ADN4697E具有短路电流保护功能，当总线短路时可保护器件不受故障条件的影。当短路故障电压位于-1 V至+3.4 V范围内时，这一保护特性可将故障条件下的发送器输出电流限制为24 mA。必须清除所有网络故障，以避免数据传输错误并确保数据网络以及连接网络的所有器件可靠工作。

接收器输入阈值/故障安全

有两种接收器类型可供选择；两种类型均集成短路保护。

1类接收器(ADN4691E/ADN4693E)具有25 mV迟滞。这可确保信号的缓慢变化或输入丢失不会使接收器输出振荡。1类接收器阈值为 ± 50 mV；因此，如果A与B的差接近0 V，则接收器的输出状态不确定。总线空闲(A与B上约为0 V)且连接的节点上无驱动器使能时，会出现这种状态。

2类接收器(ADN4696E/ADN4697E)具有开路 and 总线空闲故障安全特性。输入阈值偏移100 mV，以便总线空闲或接收器输入端开路时，接收器输出为逻辑低电平。

两类接收器的不同接收器阈值如图36所示。各条件下的接收器输出状态如表12和表13所示。

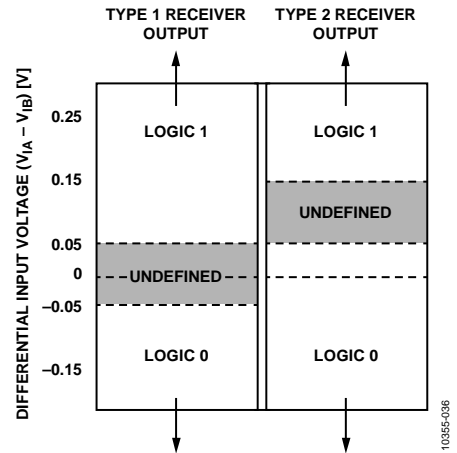


图36. 输入阈值电压

ADN4691E/ADN4693E/ADN4696E/ADN4697E

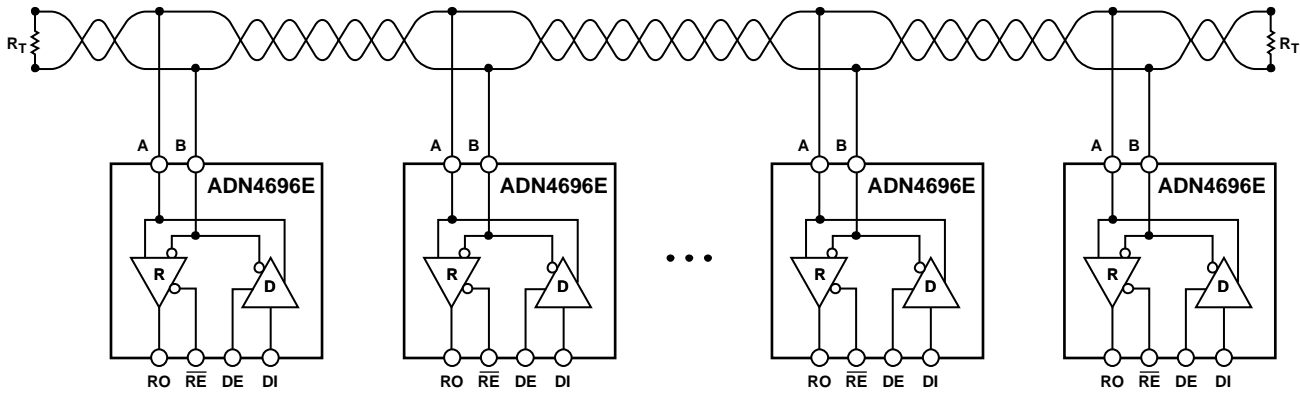
应用信息

M-LVDS可将低功耗、高速、差分信号LVDS(低电压差分信号)扩展至多点系统中，这类系统中多个节点通过总线拓扑网络进行短距离连接。

借助M-LVDS，发送节点可驱动差分信号通过传输介质，如双绞线。发送的差分信号可通过总线连接的其他接收节点检测其差分电压，并由接收器将差分电压转换回单端逻辑信号。

通信线路通常在两端由电阻(R_T)端接，所选的电阻值与介质的特性阻抗(通常100 Ω)匹配。

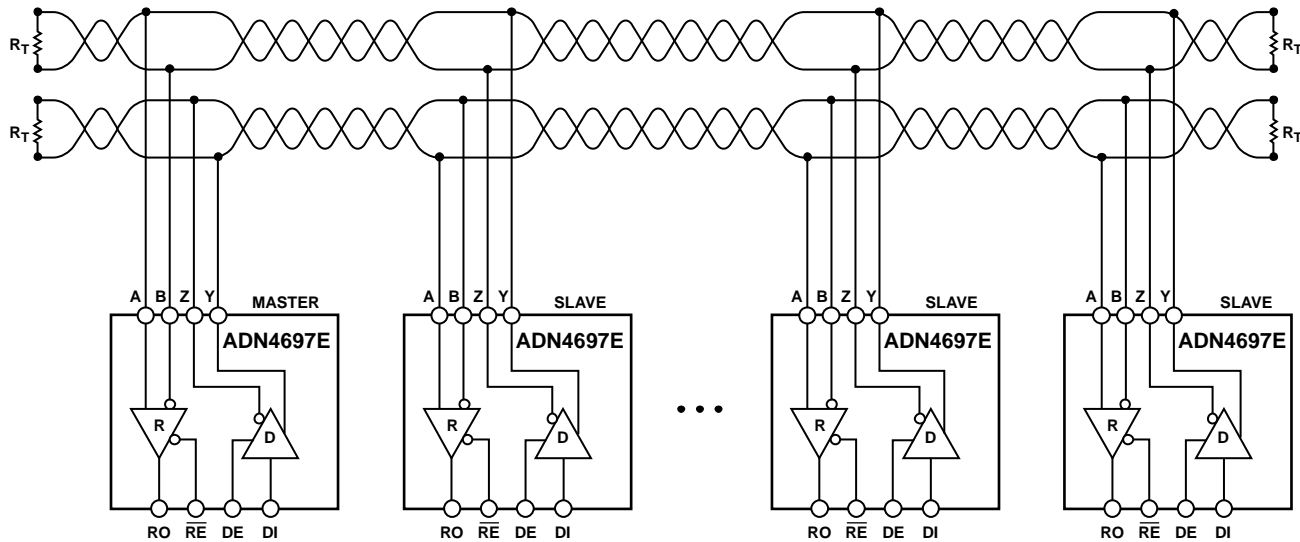
对于半双工多点应用(如图37所示)，一次只能使能一个驱动。全双工节点允许采用主从拓扑结构，如图38所示。在该配置中，主节点可以向从节点发送数据，并同时接收来自从节点的数据。无论何时，只有一个从节点可使其驱动，从而同时向主节点回发数据。



- NOTES
 1. MAXIMUM NUMBER OF NODES: 32.
 2. R_T IS EQUAL TO THE CHARACTERISTIC IMPEDANCE OF THE CABLE USED.

图37. ADN4696E典型半双工M-LVDS网络(带阈值失调的2类接收器，具有总线空闲故障安全特性)

1035E-037

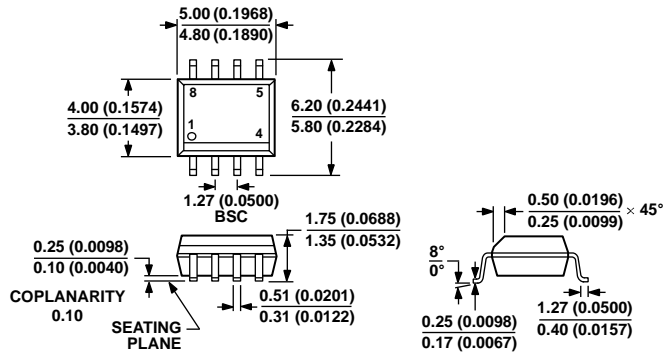


- NOTES
 1. MAXIMUM NUMBER OF NODES: 32.
 2. R_T IS EQUAL TO THE CHARACTERISTIC IMPEDANCE OF THE CABLE USED.

图38. ADN4697E典型全双工M-LVDS网络(带阈值失调的2类接收器，具有总线空闲故障安全特性)

1035E-038

外形尺寸



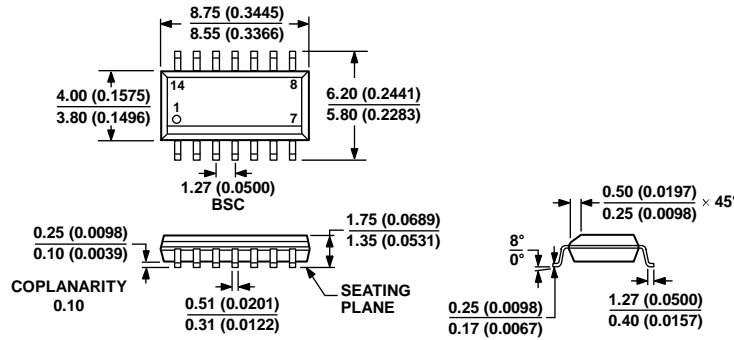
COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012A07-A

图39. 8引脚标准小型封装[SOIC_N]

窄体
(R-8)

图示尺寸单位: mm和(inch)



COMPLIANT TO JEDEC STANDARDS MS-012-AB
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

006606-A

图40. 14引脚标准小型封装[SOIC_N]

窄体
(R-14)

图示尺寸单位: mm和(inch)

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADN4691EBRZ	-40°C至+85°C	8引脚标准小型封装(SOIC_N)	R-8
ADN4691EBRZ-RL7	-40°C至+85°C	8引脚标准小型封装(SOIC_N)	R-8
ADN4693EBRZ	-40°C至+85°C	14引脚标准小型封装(SOIC_N)	R-14
ADN4693EBRZ-RL7	-40°C至+85°C	14引脚标准小型封装(SOIC_N)	R-14
ADN4696EBRZ	-40°C至+85°C	8引脚标准小型封装(SOIC_N)	R-8
ADN4696EBRZ-RL7	-40°C至+85°C	8引脚标准小型封装(SOIC_N)	R-8
ADN4697EBRZ	-40°C至+85°C	14引脚标准小型封装(SOIC_N)	R-14
ADN4697EBRZ-RL7	-40°C至+85°C	14引脚标准小型封装(SOIC_N)	R-14
EVAL-ADN469xEHDEBZ		半双工评估板(ADN4691E/ADN4696E)	
EVAL-ADN469xEFDEBZ		全双工评估板(ADN4693E/ADN4697E)	

¹ Z = 符合RoHS标准的器件。

注释

注释

注释