

DS2430A

256 位 1-Wire EEPROM

特性

- 256 位电可擦除、可编程只读存储器 (EEPROM) 和 64 位一次性可编程应用寄存器
- 唯一的、工厂光刻并经过检测的 64 位注册码 (8 位家族码 + 48 位序列号 + 8 位 CRC 校验码), 保证绝对、唯一的识别
- 内置多点控制器可保证器件兼容于其它 MicroLAN 总线产品
- EEPROM 按页组织, 每页 32 个字节, 可随机存取
- 将控制、寻址、数据和电源集于一个数据引脚
- 可直接与微控制器的一个端口连接, 通信速度为 16.3kbps
- 8 位家族码表明需要读取的是 DS2430A
- 当读取探头首次作用一个电压时, 将发出在线检测应答
- 采用低成本 TO-92 或 6 引脚 TSOC 表面贴封装
- 在 -40°C 至 +85°C 温度范围、2.8V 至 6.0V 电压范围内可进行读、写操作

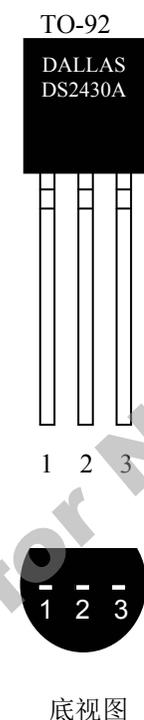
订购信息

DS2430A	TO-92 封装
DS2430AP	6 引脚 TSOC 封装
DS2430A/T&R	TO-92 封装, 卷带包装
DS2430AP/T&R	TSOC 封装, 卷带包装
DS2430A+	TO-92 封装
DS2430AP+	6 引脚 TSOC 封装
DS2430A+T&R	TO-92 封装, 卷带包装
DS2430AP+T&R	TSOC 封装, 卷带包装
DS2430AX	倒装芯片, 10k 卷带包装
DS2430AX-S	倒装芯片, 2.5k 卷带包装

+表示无铅封装。

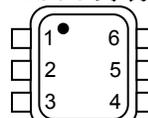
本文是英文数据资料的译文, 文中可能存在翻译上的不准确或错误。如需进一步确认, 请在您的设计中参考英文资料。有关价格、供货及订购信息, 请联络Maxim亚洲销售中心: 10800 852 1249 (北中国区), 10800 152 1249 (南中国区), 或访问Maxim的中文网站: china.maximintegrated.com。

引脚排列



参见机械尺寸部分

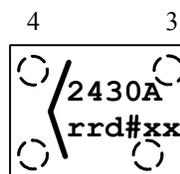
TSOC 封装



3.7mm x 4.0mm x 1.5mm



参见机械尺寸部分



倒装芯片, 顶视图及光刻标记, 触点不可见。

“rrd” = 版本/日期

#xx = 批号

封装图请参考 [56-G7016-001](#)。

注: TO-92 封装的引脚在卷带内的排列间隔大约为 100mil (2.54mm), 详细信息请参考图 [56-G0006-003](#)。

引脚说明

	TO-92	TSOC	倒装片
引脚 1	地	地	地
引脚 2	数据	数据	数据
引脚 3	浮空	浮空	浮空
引脚 4	——	浮空	浮空
引脚 5	——	浮空	——
引脚 6	——	浮空	——

说明

DS2430A 256 位 1-Wire EEPROM用于识别和保存产品的相关信息，识别码和这些相关信息可以通过最少的接口（例如，微控制器的一个端口）进行访问。DS2430A内部包含由工厂激光刻制的 64 位注册码、256 位用户可编程EEPROM和 64 位一次性可编程应用寄存器。其中 64 位注册码由唯一的 48 位序列号、8 位CRC校验码和 8 位家族码 (14h)组成。DS2430A读写操作所需要的电源可从 1-Wire®传输线获取。数据传输按照 1-Wire总线协议进行，只需要一根数据线和一根地线。激光刻制在每个DS2430A中的 48 位序列号是绝对唯一的，可作为器件的ID。采用紧凑的TO-92 和 TSOC封装，能够采用标准的器件装配设备安装到印刷电路板上或进行引线。典型应用包括：储存校准系数、板卡识别以及产品升级的状态信息等。

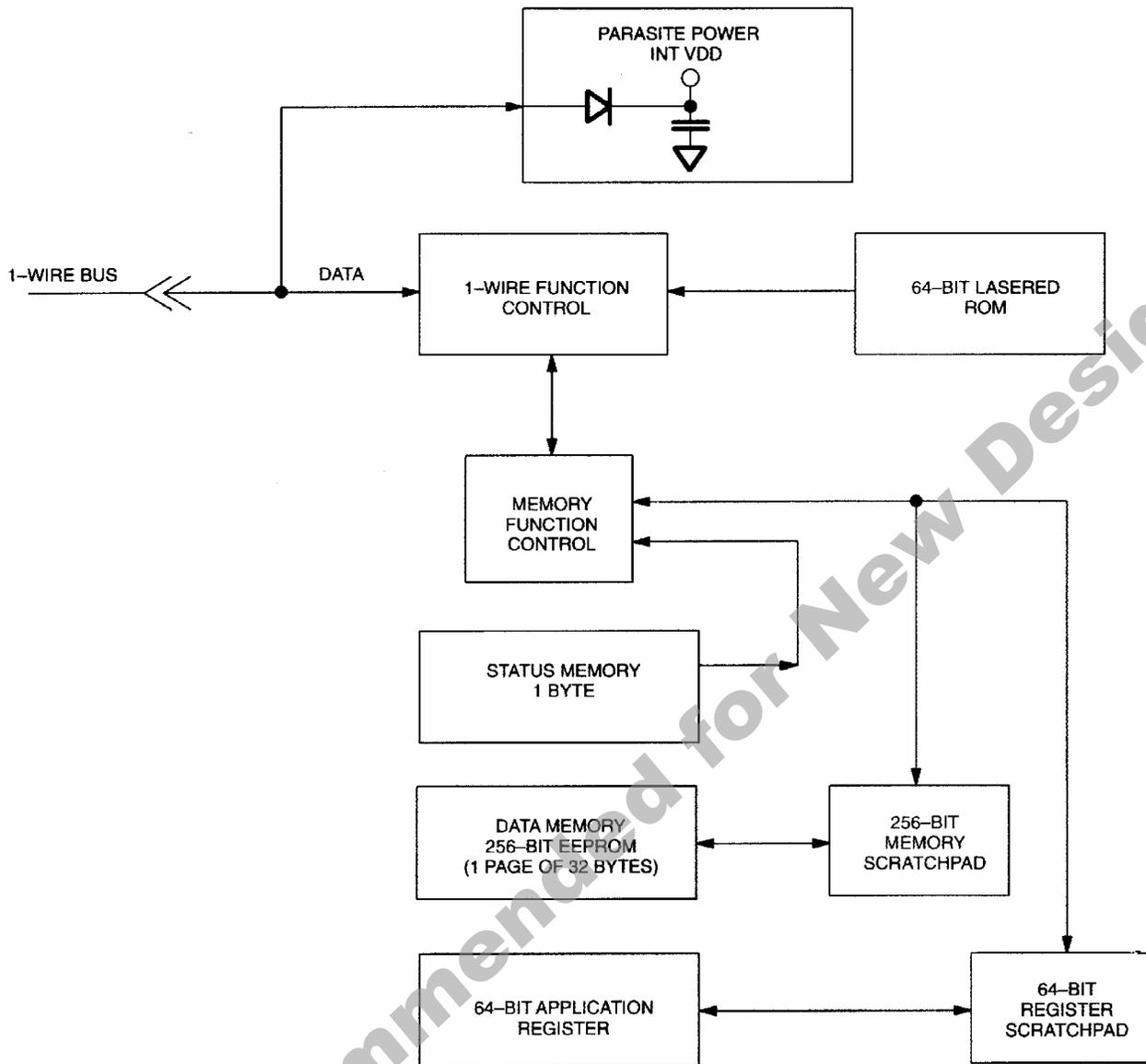
概述

图 1 中的框图说明了 DS2430A 的主控部分和存储单元之间的关系。DS2430A 有四个主要的数据部件：1) 64 位光刻 ROM, 2) 256 位数据 EEPROM 和暂存器, 3) 64 位一次性编程应用寄存器和暂存器, 4) 8 位状态存储器。1-Wire 协议分层结构见图 2。总线主机必须首先提供四个 ROM 操作命令中的一个：1) Read ROM, 2) Match ROM, 3) Search ROM, 4) Skip ROM。图 8 说明了协议对这些 ROM 操作命令的要求。成功地执行了 ROM 操作命令后，就可以进行存储器操作，主机可以发出四条存储器操作命令中的任何一个。图 6 说明了有关这些存储器操作命令的协议。所有数据读写都是最低有效位在前。

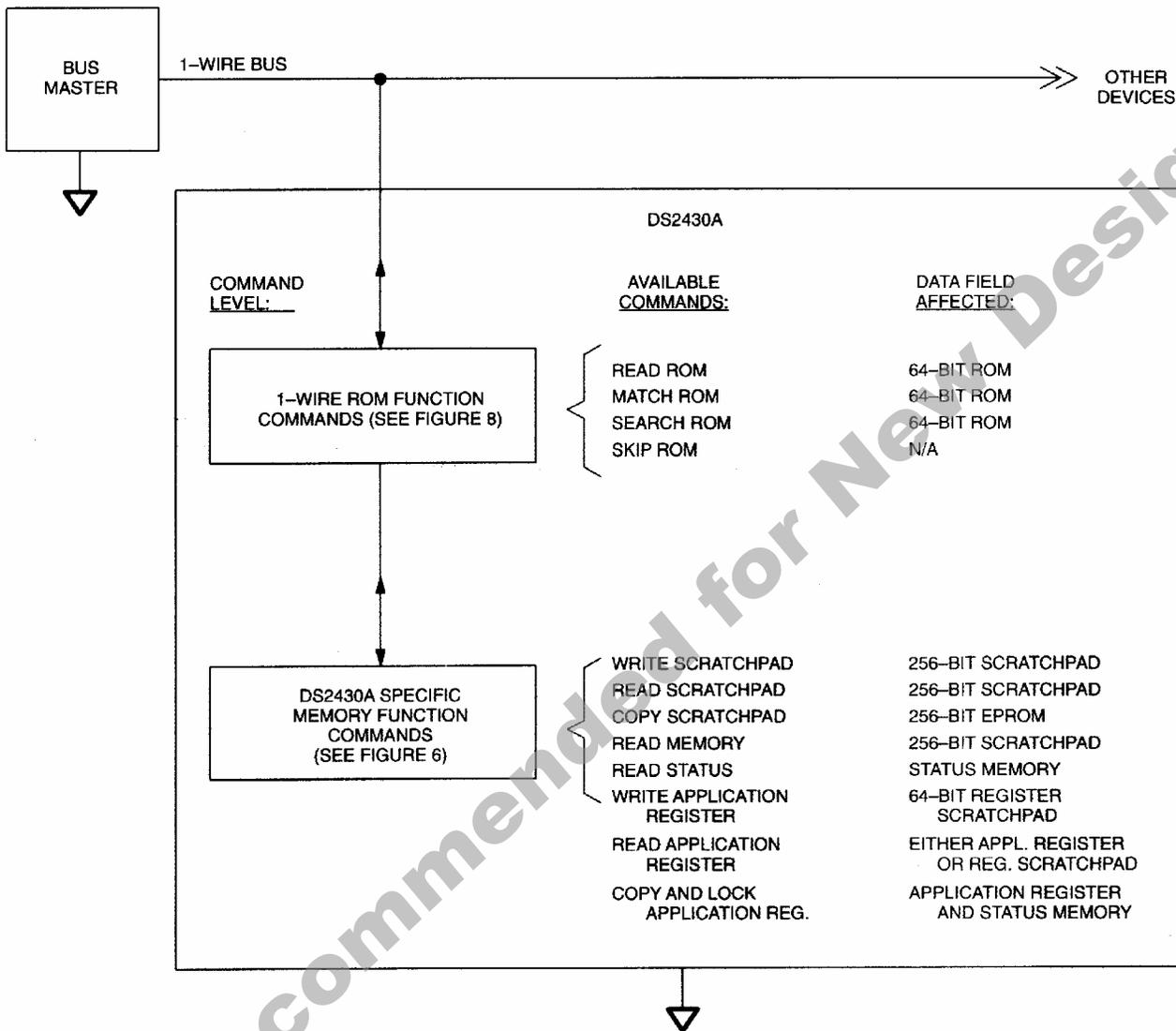
激光刻制的 64 位 ROM

每个DS2430A都有一个 64 位的唯一ROM代码。前 8 位是 1-Wire家族代码 (14h)，然后是 48 位的唯一序列号，最后 8 位是前 56 位的CRC检验码（图 3）。1-Wire CRC校验码由一个包含移位寄存器和异或门的多项式发生器产生，如图 4 所示。生成多项式为 $X^8 + X^5 + X^4 + 1$ 。关于Dallas 1-Wire 循环冗余校验的更多信息请参见应用笔记 27。移位寄存器初值为零。然后，从家族代码的最低有效位开始，每次移入一位。当家族代码第 8 位移入后，再移入序列号。当序列号第 48 位也移入后，留在移位寄存器中的就是CRC值。移入八位CRC校验码后，移位寄存器应该全部归零。

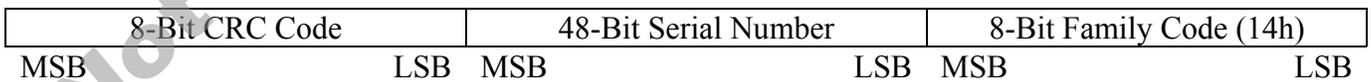
DS2430A 的内部框图 图 1



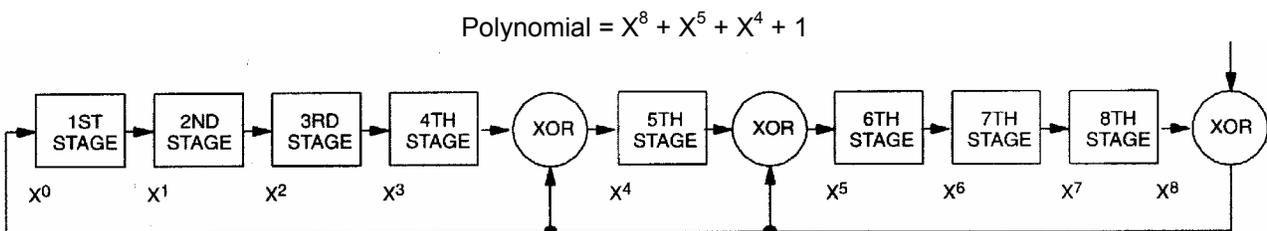
1-Wire 协议的层次结构 图 2



64 位光刻 ROM 图 3



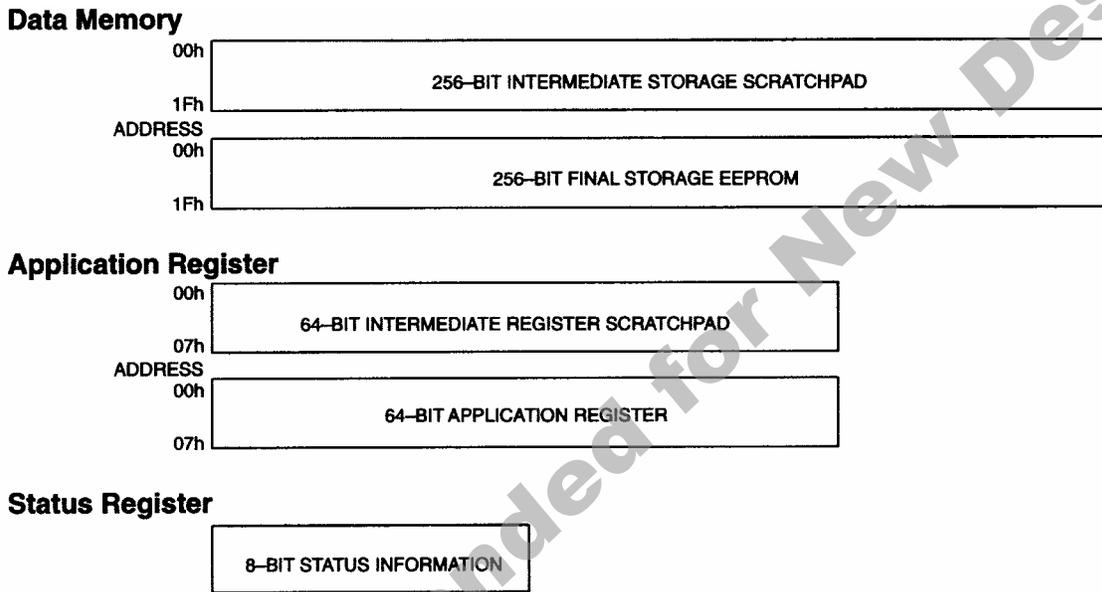
1-Wire CRC 产生器 图 4



存储器

DS2430A 的存储器由三个独立部分组成，分别为数据存储器、应用寄存器和状态寄存器（见图 5）。每个数据存储器和应用寄存器都有其对应的暂存单元，称为暂存器，当向该器件写入数据时，暂存器可作为缓冲器使用。数据存储器可在需要时反复读写，而应用寄存器只能编程一次。一旦对应用寄存器进行编程，它将自动进入写保护状态。状态寄存器用于指示应用寄存器是否已被锁定或是否可用于存储数据。在应用寄存器被编程之前，读出的状态寄存器值是 FFh。当把暂存器的数据写入到应用寄存器时，状态寄存器的两个最低有效位将被清零，此后读出的状态寄存器结果是 FCh。

DS2430A 的存储器映射图 图 5



存储器功能命令

图 6 所示的存储器功能流程图描述了访问 DS2430A 的不同存储器时需要遵循的协议。本文将在后面举例说明。

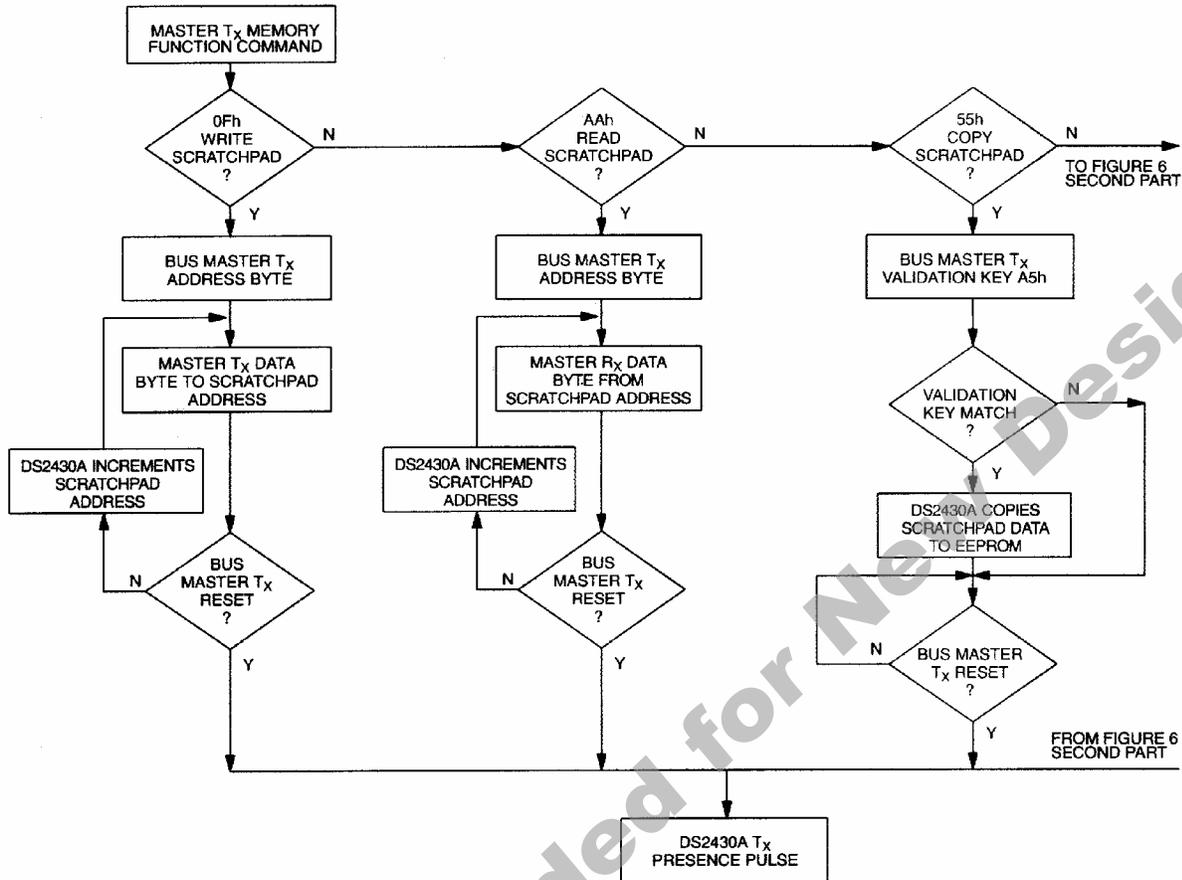
Write Scratchpad [0Fh]

发出 Write Scratchpad 命令后，主机必须紧接着发出一个字节的地址，随后将需要送入数据存储器的数据写入暂存器。DS2430A 每收到一个字节后地址会自动加 1。当地址为 1Fh 的暂存器也收到了数据字节以后，地址计数器将返回到 00h，可继续写入下一个字节，直到主机发出复位脉冲。

Read Scratchpad [AAh]

该命令用于在将暂存器数据拷贝到 EEPROM 存储器之前对数据进行验证。主机发出 Read Scratchpad 命令后，要紧接着发出一个字节的地址，表明读取数据的起始地址。主机每读取一个字节，DS2430A 地址将自动加 1。读取地址为 1Fh 的数据后，地址计数器将返回到 00h，可继续读取下一个字节，直到主机发出复位脉冲。

存储器功能流程图 图 6



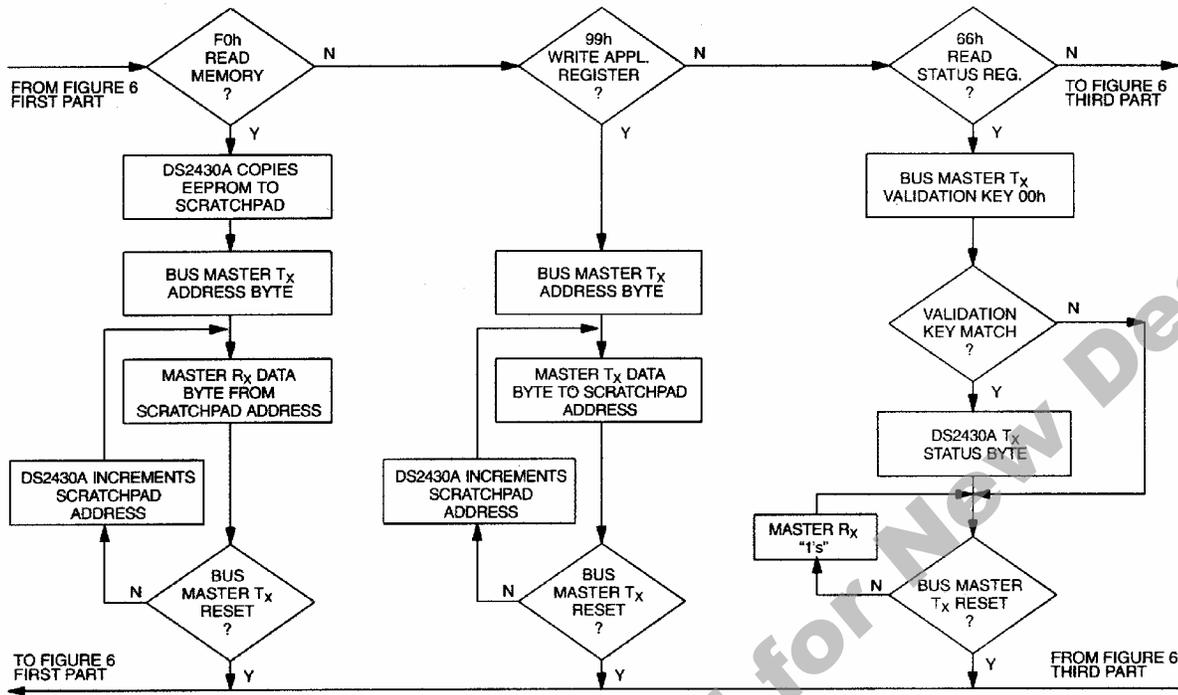
Copy Scratchpad [55h]

存入暂存器的数据经过确认后，主机便可发出 Copy Scratchpad 命令和确认字节 A5h，把数据从暂存器写入 EEPROM 存储器。该命令总是把暂存器的全部数据拷贝到 EEPROM。如果只想改变 EEPROM 中几个字节的数据，在发出 Write Scratchpad 和 Copy Scratchpad 命令之前，暂存器中应该包含了最新的 EEPROM 数据。发出该命令后，数据线要保持逻辑高电平状态至少 10ms。

Read Memory [F0h]

Read Memory 命令用于读取 EEPROM 数据存储器中的部分或全部数据，或把数据存储器中的全部内容拷贝到暂存器为仅改变 EEPROM 部分字节做准备。当把数据从数据存储器拷贝到暂存器并进行读取时，主机必须发出 Read Memory 命令和一个字节的数据读取起始地址。主机每读取一个字节的的数据，DS2430A 的地址自动加 1。读取地址 1Fh 的数据后，地址计数器将返回到 00h，以便继续读取下一个字节，直到主机发出复位脉冲。如果只希望将数据存储器中的全部数据拷贝到暂存器中，而不必读取数据，主机可以在发出命令字节后，立即发送复位脉冲。

存储器功能流程图 图 6 (续)



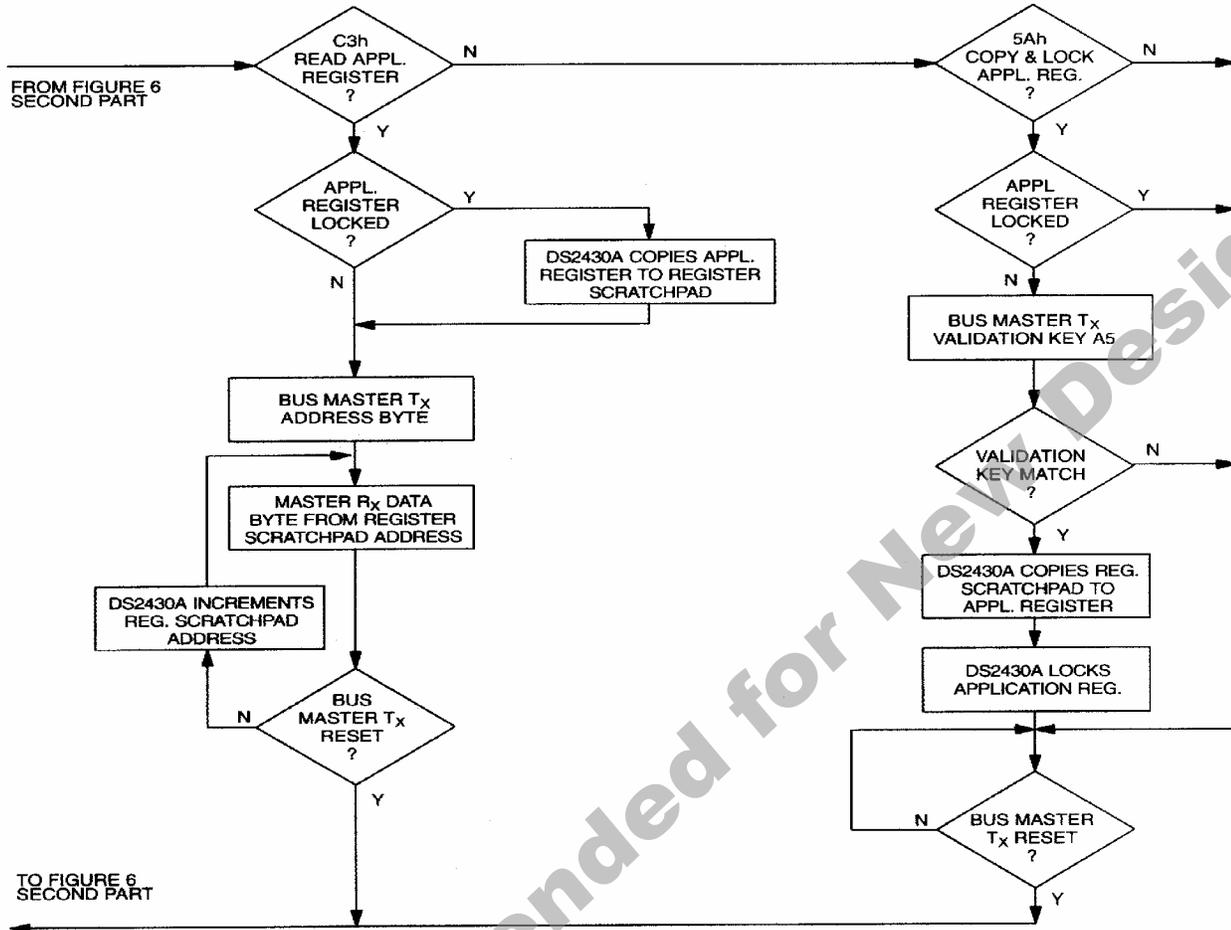
Write Application Register [99h]

该命令与 Write Scratchpad 命令基本相同，只是它是向 64 位应用寄存器的暂存器写入数据。在发出命令代码后，主机必须提供一个字节的地址，随后发送要写入的数据。DS2430A 每收到一个字节后地址会自动加 1。当地址为 07h 的暂存器收到数据后，地址计数器将返回到 00h，可继续写入下一个字节，直到主机发出复位脉冲。只要应用寄存器未被锁定，就可以使用 Write Application Register 命令。如果向已经锁定的应用寄存器发出该命令，写入寄存器暂存器的数据将会丢失。

Read Status Register [66h]

状态寄存器的主要作用是向主机指示应用寄存器是否已编程并锁定。在主机发出读状态寄存器命令后，在接收状态信息之前必须发出确认字节 00h。如果应用寄存器已被编程并锁定，8 位状态寄存器中的 2 个最低有效位为 0，而其余各位全部为 1。主机可以在任何时候通过发出复位脉冲结束读状态命令。

存储器功能流程图 图 6 (续)



Read Application Register [C3h]

该命令用来读取应用寄存器或寄存器暂存器。只要应用寄存器未锁定，将接收来自寄存器暂存器的数据。当应用寄存器锁定时，DS2430A 将从应用寄存器传送数据，使得寄存器暂存器的内容无法读取。状态寄存器的内容确定通过该命令接收到的数据来自何处。发出 Read Application Register 命令后，主机必须提供一个字节的数据读取起始地址。主机每读取一个字节，DS2430A 地址将自动加 1。读取地址 07h 的数据后，地址计数器将返回到 00h，以便继续读取下一个字节，直到主机发送复位脉冲。

Copy & Lock Application Register [5Ah]

当存储到寄存器暂存单元的数据确认后，主机便可发出 Copy & Lock Application Register 命令和确认字节 A5h，把数据从寄存器暂存器全部写入到应用寄存器并对应用寄存器进行写保护。主机也可以通过发送复位脉冲（而不是确认字节）取消该命令。在确认字节发出后，应用寄存器中将包含寄存器暂存器的数据。随后对应用寄存器进行的写访问将被拒绝。**注意：Copy & Lock Application Register 命令只能执行一次。**

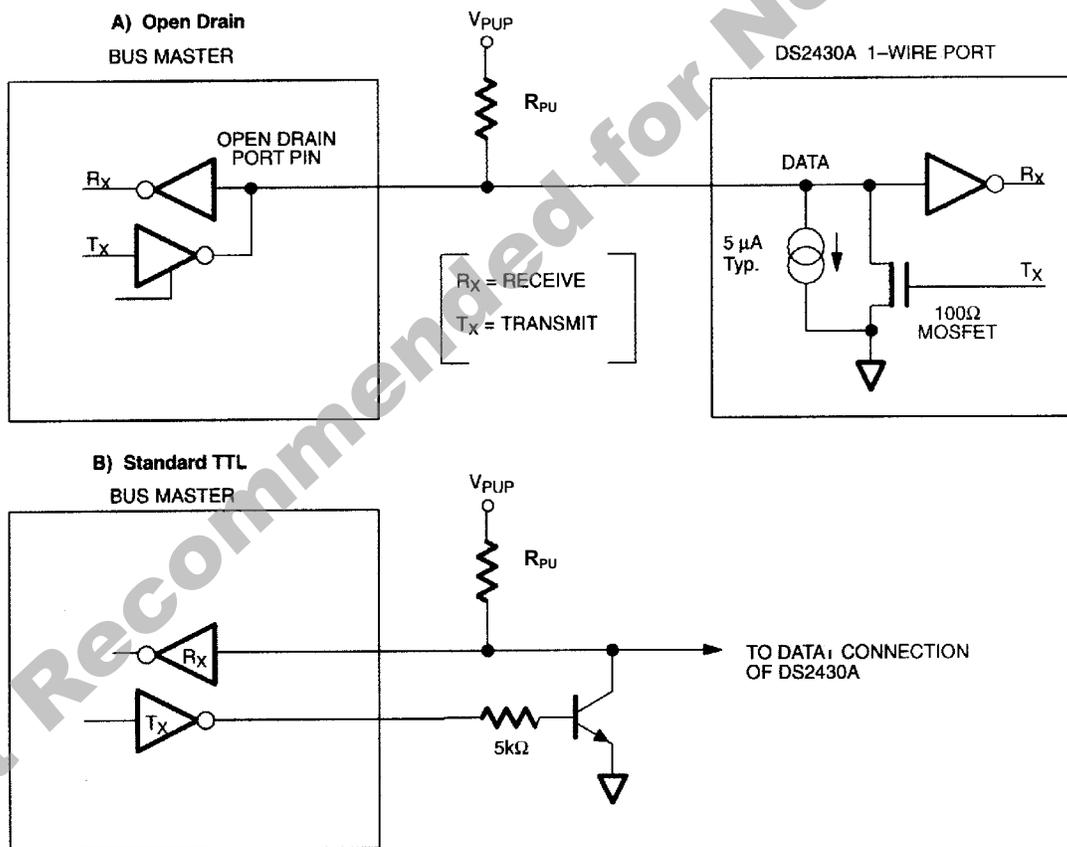
1-Wire 总线系统

1-Wire 总线系统是由一个单总线主机和一个或多个从器件组成。在任何情况下，DS2430A 都是作为从器件。总线主机通常是一个微控制器。对 1-Wire 总线系统的讨论分为 3 个部分：硬件配置、处理流程和 1-Wire 信令 (信号类型和时序)。1-Wire 协议根据特定时隙总线的状态工作，这些特定时隙始于总线主机发出的同步脉冲的下降沿。

硬件配置

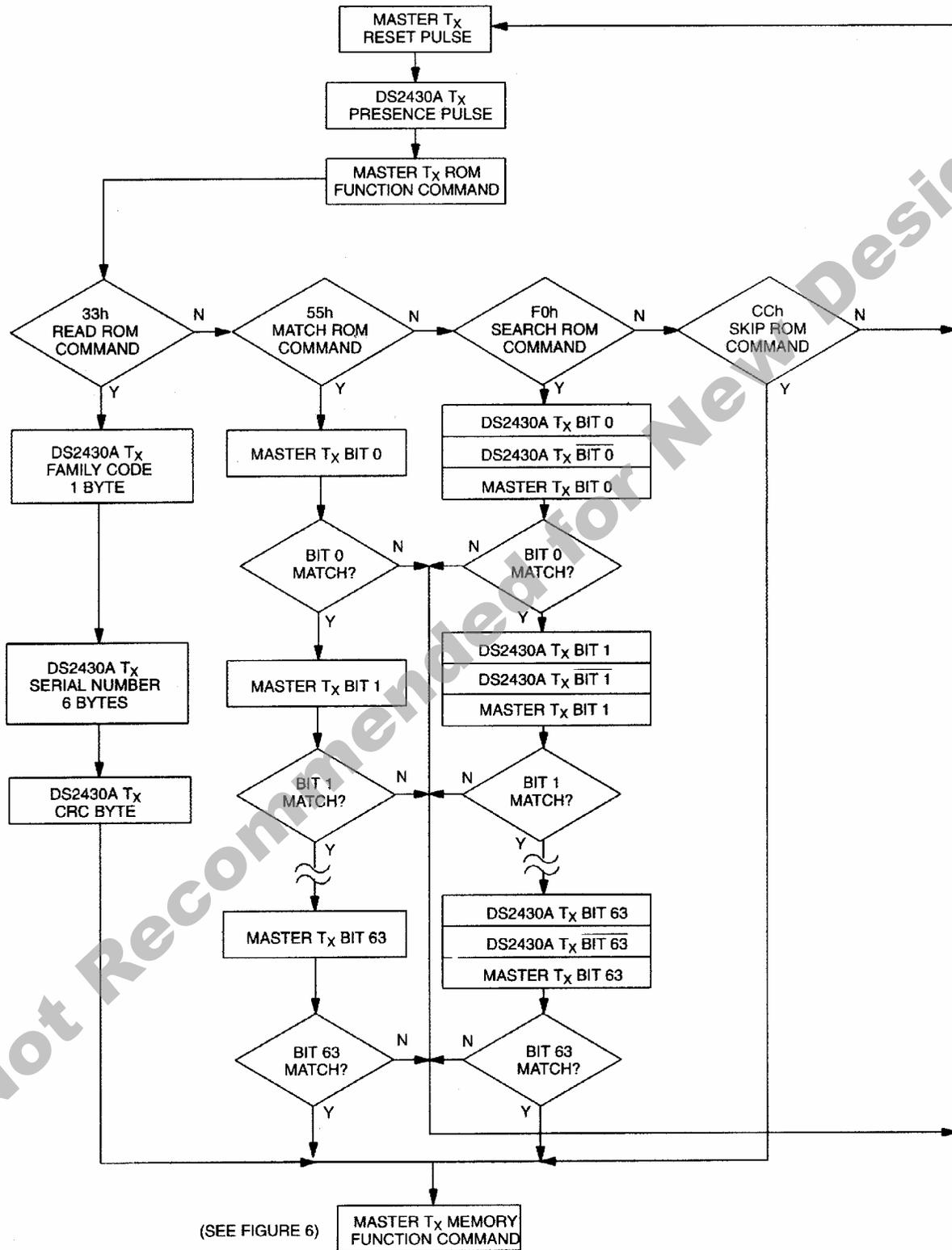
1-Wire 总线系统只有一条数据线。因此，在适当时间驱动总线上的每个器件十分重要。为使上述操作易于实现，总线上的每个器件需要具有漏极开路或三态输出。图 7 所示是 DS2430A 的内部开漏输出等效电路。多节点总线由一个 1-Wire 总线和多个从器件组成，DS2430A 的标准传输速率为 16.3kbps，需要图 7 所示的上拉电阻。1-Wire 总线的空闲状态为高电平。如果由于某种原因需要暂停工作，稍后还要恢复工作的话，必须将总线置于空闲状态。否则，如果总线置为低电平的时间超过 $120\mu\text{s}$ ，总线上的器件将被复位。

硬件配置 图 7



注意：根据不同的 1-Wire 通信速率和总线特征，上拉电阻的阻值应在 $1.5\ \text{k}\Omega$ 到 $5\ \text{k}\Omega$ 范围内选择。只向一个器件进行写操作时，选择 $2.2\ \text{k}\Omega$ 的上拉电阻、 V_{PUP} 不低于 $4.0\ \text{V}$ 就足够了；当对多个 DS2430A 进行写操作时或 V_{PUP} 电压较低时，在器件将数据从暂存器拷贝到 EEPROM 时，需要一个低阻值的上拉电阻接到 V_{PUP} 。

ROM 功能流程图 图 8



处理流程

通过 1-Wire 端口访问 DS2430A 的操作流程如下：

- 初始化
- ROM 功能命令
- 存储器功能命令
- 传输/数据

初始化

1-Wire 总线上的所有数据处理均从初始化开始。该初始化过程由主机发送的复位脉冲和从器件发送的在线应答脉冲组成。

在线应答脉冲用于通知主机 DS2430A 已挂接在总线上，并已准备就绪。有关这方面的详细内容，请参阅“1-Wire 信令”部分。

ROM 功能命令

一旦主机检测到在线应答脉冲，就可以发出四条 ROM 功能命令中的一个。所有 ROM 功能命令的字长均是 8 位。下面是这些 ROM 命令的简要介绍 (参考图 8 所示的流程图)。

Read ROM [33h]

主机用该命令来读取 DS2430A 的 8 位家族码、唯一的 48 位序列号和 8 位 CRC 码。该命令适用于总线上只有一个从器件的情况。如果总线上挂接有多个从器件，那么当所有从器件都试图在同一时刻传送数据时，就会发生数据冲突 (开漏输出将产生“线与”结果)，将会导致主机读取的家族码和 48 位序列号与 CRC 不匹配。

Match ROM [55h]

发出 Match ROM 命令后紧接着要发出 64 位 ROM 码，总线主机利用该命令访问多点总线上某个特定的 DS2430A。只有内部 ROM 码与主机发出的 64 位 ROM 码匹配的 DS2430A 才会响应随后的存储器功能命令，而其他与 64 位 ROM 码不匹配的所有从器件将等待复位脉冲。总线上有一个或多个从器件时都可使用该命令。

Skip ROM [CCh]

在单点总线系统中，总线主机可使用该命令在不提供从器件 64 位 ROM 码的情况下直接执行存储功能，从而节省时间。如果总线上挂接有多个从器件，Skip ROM 命令后发出读命令将会导致总线冲突，因为会有多个从器件同时发送数据 (开漏下拉将产生一个“线与”结果)。

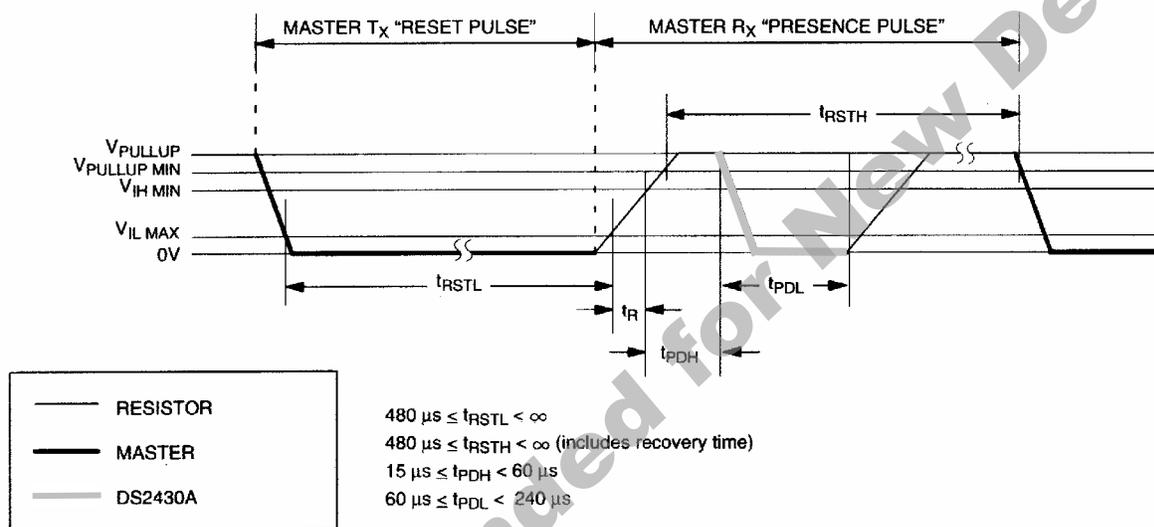
Search ROM [F0h]

当一个系统初始化时，总线主机可能不知道在 1-Wire 总线上挂接有多少个器件，也不知道各个器件的 64 位 ROM 码。总线主机利用 Search ROM 命令通过采用排除法可以确认总线上所有从器件的 64 位 ROM 码。Search ROM 是以下三个步骤的简单重复，这三个步骤是：读一位、读该位的补码、写入一位所希望的数值。总线主机对 ROM 的每一位都执行这三个步骤。经过一个完整循环后，总线主机就可得到某个器件的 ROM 码。继续进行类似的过程可获悉其他从器件的 ROM 码。有关 Search ROM 的深入讨论，请参考 *应用笔记 187*，其中还给出了一个实例。

1-Wire 信令

DS2406 需要严格的协议来保证数据的完整性。该协议包括通过一条总线传送的四种信令：复位脉冲和在线应答的复位过程、写 0 时隙、写 1 时隙、读数据时隙。除应答脉冲外，所有信号都由总线主机发出。通过 DS2430A 进行通信时所需要的初始化时序如图 9 所示。复位脉冲后的在线应答脉冲表明 DS2430A 已准备好接收 ROM 命令。总线主机发送 (TX) 一个复位脉冲 (t_{RSTL} ，最短时间为 $480\mu\text{s}$)，然后总线主机释放总线并进入接收 (RX) 模式，这时 1-Wire 总线通过上拉电阻被拉至高电平。当在数据引脚检测到上升沿后，DS2430A 将在等待 (t_{PDH} ， $15\mu\text{s}$ 至 $60\mu\text{s}$) 后发送在线应答脉冲 (t_{PDL} ， $60\mu\text{s}$ 至 $240\mu\text{s}$)。

复位和应答脉冲的初始化时序 图 9



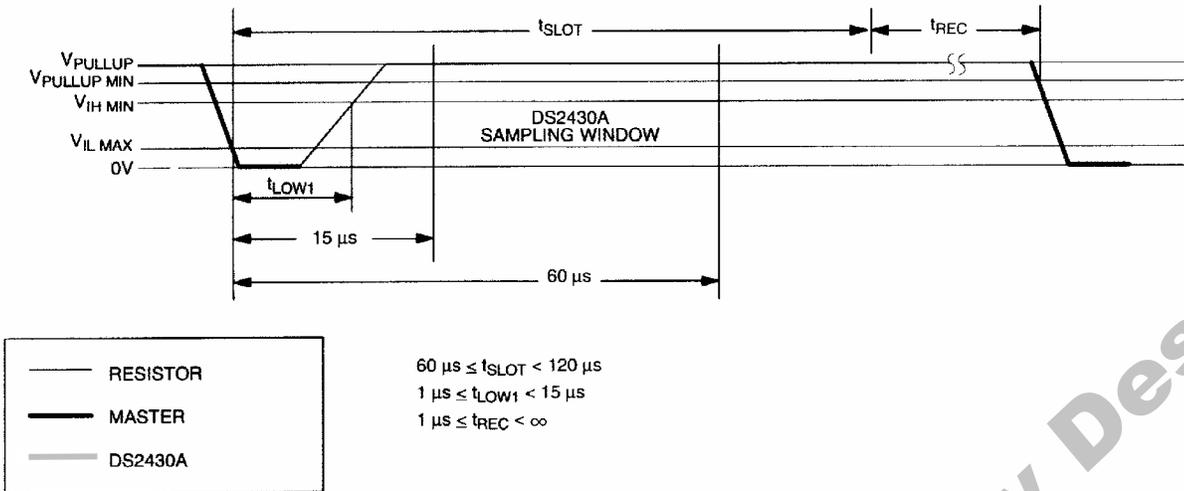
为了避免 1-Wire 总线上的其它器件屏蔽中断信号， $t_{RSTL} + t_R$ 应始终小于 $960\mu\text{s}$ 。

读/写时隙

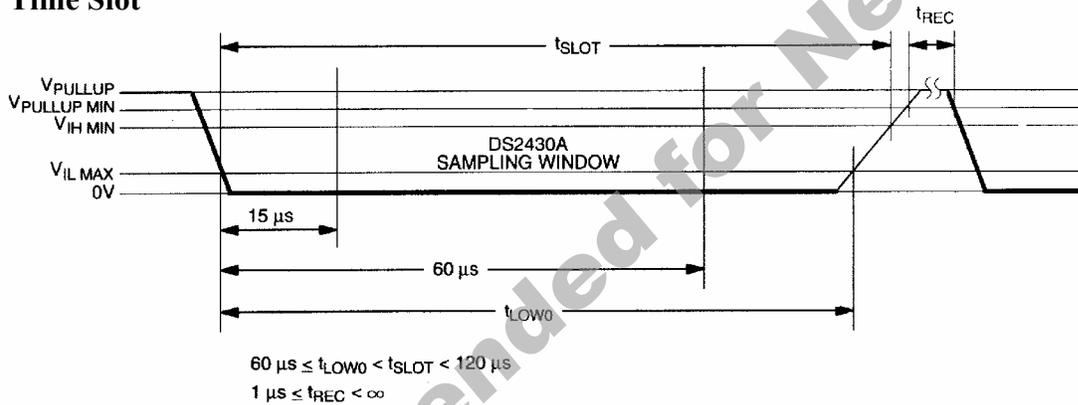
读、写时隙的定义如图 10 所示。主机通过拉低数据线来启动所有时隙。数据线的下降沿通过触发内部延迟电路使 DS2430A 与主机同步。在写时隙中，延迟电路可确定什么时候 DS2430A 采样数据线。对读数据时隙来说，如果发送的是“0”，那么延迟电路将决定 DS2430A 数据线保持为低的时间。如果数据位是“1”，则 DS2430A 将保持读时隙不变。

读/写时序图 图 10

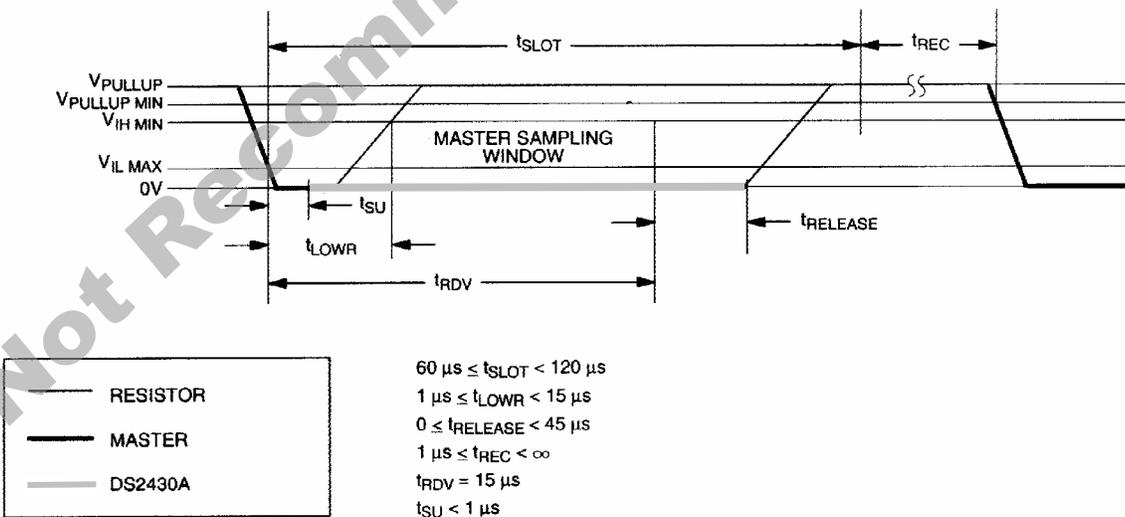
Write-1 Time Slot



Write-0 Time Slot



Read-data Time Slot



存储器功能实例

例：向数据存储单元 0006 和 0007 写入 2 个字节，然后读取数据存储器的全部数据。

主机工作状态	数据 (LSB 在先)	说明
TX	Reset	复位脉冲 (480 μ s 至 960 μ s)
RX	Presence	在线应答脉冲
TX	CCh	发送 “Skip ROM” 命令
TX	0Fh	发送 “Write Scratchpad” 命令
TX	06h	起始地址 = 06h
TX	<2 Data Bytes>	向暂存器写入 2 个字节的数据
TX	Reset	复位脉冲
RX	Presence	在线应答脉冲
TX	CCh	发送 “Skip ROM” 命令
TX	AAh	发送 “Read Scratchpad” 命令
TX	06h	起始地址 = 06h
RX	<2 Data Bytes>	读暂存器数据并进行校验
TX	Reset	复位脉冲
RX	Presence	在线应答脉冲
TX	CCh	发送 “Skip ROM” 命令
TX	55h	发送 “Copy Scratchpad” 命令
TX	A5h	发送确认字节
TX	<Data Line High>	总线主机保持数据线为高电平 10ms，为从器件把数据从暂存器写入 EEPROM 提供能源。
TX	Reset	复位脉冲
RX	Presence	在线应答脉冲
TX	CCh	发送 “Skip ROM” 命令
TX	F0h	发送 “Read Memory” 命令
TX	00h	起始地址 = 00h
RX	<32 Bytes>	读 EEPROM 数据页
TX	Reset	复位脉冲
RX	Presence	在线应答脉冲

ABSOLUTE MAXIMUM RATINGS*

Voltage on DATA to Ground	-0.5V to +7.0V
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-55°C to +125°C
Soldering Temperature	See J-STD-020A Specification

* This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

DC ELECTRICAL CHARACTERISTICS (-40°C to +85°C; $V_{PUP} = 2.8V$ to 6.0V)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Logic 1	V_{IH}	2.2			V	1, 6
Logic 0	V_{IL}	-0.3		+0.8	V	1, 9
Output Logic Low @ 4mA	V_{OL}			0.4	V	1
Output Logic High	V_{OH}		V_{PUP}	6.0	V	1, 2
Input Load Current (DATA pin)	I_L	0.1	5	15	μA	3
Programming Current	I_P			500	μA	10

CAPACITANCE $(t_A = +25^\circ C)$

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Capacitance	C_D			800	pF	7

EEPROM $(V_{PUP} = 5.0V; t_A = +25^\circ C)$

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Write/Erase Cycles	N_{CYCLE}	100k			-	10
Data Retention(at 85°C)	t_{DR}	10			years	

AC ELECTRICAL CHARACTERISTICS (-40°C to +85°C; $V_{PUP}=2.8V$ to 6.0V)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Time Slot	t_{SLOT}	60		120	μs	
Write 1 Low Time	t_{LOW1}	1		15	μs	13
Write 0 Low Time	t_{LOW0}	60		120	μs	
Read Low Time	t_{LOWR}	1		15	μs	13
Read Data Valid	t_{RDV}		15		μs	11, 12
Release Time	$t_{RELEASE}$	0	15	45	μs	
Read Data Setup	t_{SU}			1	μs	5
Recovery Time	t_{REC}	1			μs	
Reset Time High	t_{RSTH}	480			μs	4
Reset Time Low	t_{RSTL}	480		960	μs	8
Presence Detect High	t_{PDH}	15		60	μs	
Presence Detect Low	t_{PDL}	60		240	μs	
Programming Time	t_{PROG}			10	ms	

注释:

- 1) 所有电压均以地为参考。
- 2) V_{PUP} = 外部上拉电压。
- 3) 为输入负载到参考地的电流。
- 4) 在复位脉冲的高电平结束之前，不能开始其它复位操作或通信过程。
- 5) 读数据建立时间是指主机为读取数据而必须将 1-Wire 总线拉低的时间。在下降沿 $1\mu\text{s}$ 内数据应保证有效。
- 6) V_{IH} 是外部上拉电阻和 V_{PUP} 的函数。
- 7) 首次加电时，数据引脚的电容可能会达到 800pF 。如果采用一个 $5\text{k}\Omega$ 上拉电阻将数据线拉高至 V_{PUP} ，则上电 $5\mu\text{s}$ 之后该寄生电容就不会对正常通信产生影响了。
- 8) 复位低电平时间(t_{RSTL})的最大值应被限制在 $960\mu\text{s}$ 以内，这样中断信号可以工作；否则可能会掩盖或屏蔽中断脉冲。
- 9) 在某些低电压情况下， V_{ILMAX} 可能必须降至 0.5V ，以保证有效的在线应答脉冲。
- 10) Copy Scratchpad 命令最多需要 10ms ，在此期间 1-Wire 总线电压不能低于 2.8V 。
- 11) 上拉电阻的阻值取决于 1-Wire 总线的通讯速度和总线负载的特性，最佳值范围为 $1.5\text{k}\Omega$ 到 $5\text{k}\Omega$ 。
- 12) 主机的读时隙最佳采样点应尽可能靠近 $15\mu\text{s}$ 的 t_{RDV} ，但不能超过 t_{RDV} 。执行读 1 时隙时，这样做会给上拉电阻留出足够的时间来使总线恢复为高电平；执行读 0 时隙时，这将确保在最快的 1-Wire 器件释放总线前执行读操作。
- 13) 主机发出的低脉冲的持续时间最小值为 $1\mu\text{s}$ ，但应尽可能的窄。这样，1-Wire 器件无论写 1 还是读 1，就都能保证上拉电阻在数据线被采样之前将数据线恢复到高电平状态。

Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。