

产品特性

2.5 V至5.5 V电源供电

真12位精度

采用5 V电源供电时, 电流 $<1 \mu\text{A}$

快速三线式串行输入

5 μs 快速建立时间

1.9 MHz四象限乘法带宽

DAC8043和DAC8043A的升级产品

标准和旋转式引脚排列

应用

工业控制中PLC应用的理想选择

可编程放大器和衰减器

数字控制校准和滤波器

运动控制系统

概述

AD5441是一款改进型、高精度、12位乘法数模转换器(DAC), 采用节省空间的8引脚封装。该器件具有串行输入、双缓冲和出色的模拟性能, 非常适合小电路板空间的应用。该器件还拥有更高的线性度和增益误差性能, 无需调整元件, 从而减少了部件数量。输入时钟和负载DAC采用分离式控制线路设计, 使用户可以完全控制数据负载和模拟输出。

电路由一个12位串行输入/并行输出移位寄存器、一个12位DAC寄存器、一个12位CMOS DAC和控制逻辑构成。串行数据在时钟脉冲的上升沿进入输入寄存器。当新的数据字被输入时, 会通过LD输入引脚载入DAC寄存器。DAC寄存器中的数据由DAC转换成输出电流。

采用5 V单电源供电时, AD5441的功耗仅为 $1 \mu\text{A}$, 提供了一种低功耗、小尺寸的高性能解决方案, 能够解决诸多应用问题。

AD5441的额定温度范围为 -40°C 至 $+125^{\circ}\text{C}$ 扩展工业温度范围。该器件提供8引脚LFCSP和8引脚MSOP两种封装。

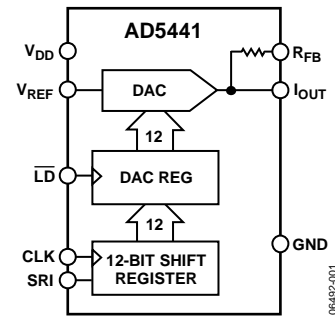
功能框图

图1.

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2008–2011 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

产品特性	1	典型性能参数	7
应用	1	术语	10
功能框图	1	参数定义	11
概述	1	一般电路信息	11
修订历史	2	输出阻抗	11
技术规格	3	应用信息	11
电气特性	3	单极性二象限乘法	11
时序特性	4	双极性四象限乘法	12
绝对最大额定值	5	接口逻辑信息	12
热阻	5	数字部分	12
ESD警告	5	外形尺寸	13
引脚配置和功能描述	6	订购指南	13

修订历史

2011年3月—修订版0至修订版A

删除图2	4
增加“时序图”部分	4
新增图2、图3和图4；图号重新排序	4
更改图5和表6	6
更新“外形尺寸”	13
更改“订购指南”	13

2008年1月—版本0：初始版

技术规格

电气特性

除非另有说明， $V_{DD} = 5\text{ V}$ ， $V_{REF} = 10\text{ V}$ ， $-40^{\circ}\text{C} < T_A < +155^{\circ}\text{C}$ 。

表1.

参数	符号	最小值	典型值	最大值	单位	条件
静态性能						
分辨率	N			12	位	
相对精度	INL			± 0.5	LSB	
差分非线性	DNL			± 0.5	LSB	所有等级均具有12位单调性
增益误差	GFSE			± 1	LSB	数据 = FFF _H
增益温度系数 ¹	TCG _{FS}			± 5	ppm/ $^{\circ}\text{C}$	测量I _{OUT} 引脚
输出漏电流	I _{LKG}			± 5	nA	数据 = 000 _H ，测量I _{OUT} 引脚
				± 25	nA	T _A = -40 $^{\circ}\text{C}$ ，+125 $^{\circ}\text{C}$ ，数据 = 000 _H ，测量I _{OUT} 引脚
零值误差	I _{ZSE}			± 0.03	LSB	数据 = 000 _H
				± 0.15	LSB	T _A = -40 $^{\circ}\text{C}$ 至+125 $^{\circ}\text{C}$ ，数据 = 000 _H
基准输入						
输入电阻	R _{REF}	7		15	k Ω	绝对温度系数小于50 ppm/ $^{\circ}\text{C}$
输入电容 ¹	C _{REF}		5		pF	
模拟输出						
输出电容 ¹	C _{OUT}		1		pF	数据 = 000 _H
			4		pF	数据 = FFF _H
数字输入						
数字输入低电平	V _{IL}			0.8	V	
数字输入高电平	V _{IH}	2.4			V	
输入漏电流	I _{IL}			1	μA	V _{LOGIC} = 0 V 至 5 V
输入电容 ¹	C _{IL}		4.0		pF	V _{LOGIC} = 0 V
交流特性 ¹						
输出电流建立时间	t _s		5		μs	到满量程的 $\pm 0.01\%$ ，外部运算放大器OP42
				0.5	μs	到满量程的 $\pm 0.01\%$ ，100 Ω 端接于地
DAC毛刺	Q		40		nVs	数据 = 000 _H 至FFF _H 至000 _H ，V _{REF} = 0 V，OP42
				1	nVs	数据 = 000 _H 至FFF _H 至000 _H ，V _{REF} = 0 V，100 Ω
数字馈通			5		nV	使用外部运算放大器OP42
馈通(V _{OUT} /V _{REF})	FT		1.4		mV p-p	V _{REF} = 20 V p-p，数据 = 000 _H ，f = 10 kHz
总谐波失真	总谐波失真(THD)		-85		dB	V _{REF} = 6 V rms，数据 = FFF _H ，f = 1 kHz
输出噪声密度	e _n			17	nV/ $\sqrt{\text{Hz}}$	R _{FB} 和I _{OUT} 之间为10 Hz至100 kHz
乘法带宽	带宽		1.9		MHz	-3 dB，V _{OUT} /V _{REF} ，V _{REF} = 100 mV rms，数据 = FFF _H
电源特性 ¹						
电源电压范围	V _{DD} 范围	2.5		5.5	V	
正电源电流	I _{DD}			10	μA	V _{LOGIC} = 0 V 或 V _{DD}
功耗	P _{DISS}	2.5		5.5	μW	V _{LOGIC} = 0 V 或 V _{DD}
电源灵敏度	PSS			0.002	%/%	$\Delta V_{DD} = \pm 5\%$

¹通过设计保证这些参数，而这些参数未经生产测试。

AD5441

时序特性

所有输入控制信号均指定 $t_R = t_F = 2 \text{ ns}$ (10%至90%, V_{DD}), 并从 $(V_{IL} + V_{IH})/2$ 电平起开始计时; $V_{DD} + 2.5 \text{ V}$ 至 5.5 V , $V_{REF} = 10 \text{ V}$; 温度范围 = -40°C 至 $+125^\circ\text{C}$; 除非另有说明, 所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表2. 时序特性

参数	2.5V	5.5V	单位	条件/注释
t_{DS}	10	5	ns(最小值)	数据建立
t_{DH}	5	5	ns(最小值)	数据保持
t_{CH}	15	10	ns(最小值)	时钟高电平脉宽
t_{CL}	15	10	ns(最小值)	时钟低电平脉宽
t_{LD}	20	10	ns(最小值)	负载脉冲宽度
t_{LD1}	0	0	ns(最小值)	LD DAC高电平至MSB CLK高电平
t_{ASB}	0	0	ns(最小值)	LSB CLK至LD DAC

时序图

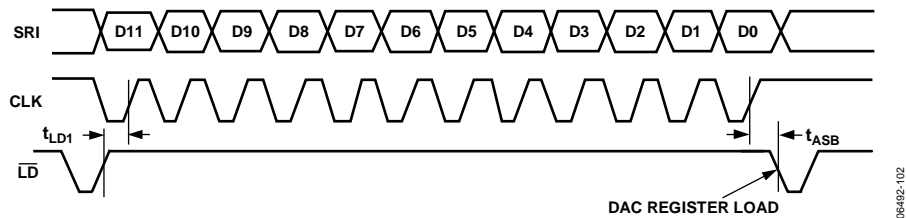


图2. 完整数据传输

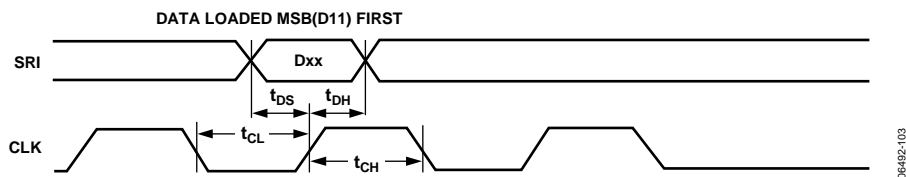


图3. 位数据传输

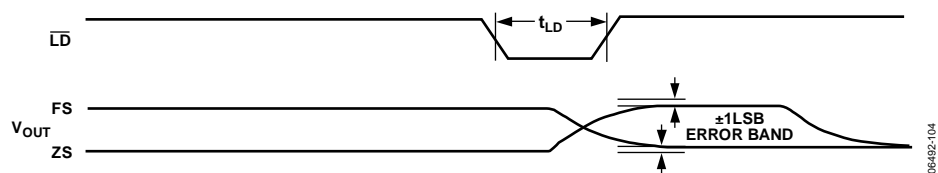


图4. 输出转换

表3. 控制逻辑真值表

CLK	LD	串行移位寄存器功能	DAC寄存器功能
↑ ¹	H	移位寄存器数据前移一位	锁存
↑	L	移位寄存器数据前移一位	透明
H或L	L	不起作用	用电流移位寄存器内容更新
L	↑ ¹	不起作用	锁存全部12位

¹ ↑ 等于正逻辑转换。

绝对最大额定值

表4.

参数	额定值
V _{DD} 至 GND	-0.3 V, +8 V
V _{REF} 至 GND	±18 V
R _{FB} 至 GND	±18 V
逻辑输入至GND	-0.3 V, V _{DD} + 0.3 V
I _{OUT} 至 GND	-0.3 V, V _{DD} + 0.3 V
对地短路I _{OUT}	50 mA
封装功耗	(T _J 最大值 - T _A)/θ _{JA}
最大结温(T _{JMAX})	150°C
工作温度范围	-40°C 至 +125°C
存储温度范围	-65°C 至 +150°C
引脚温度(焊接, 10秒)	300°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即器件焊接在电路板上以实现表贴封装。

表5.

封装类型	θ _{JA}	θ _{JC}	单位
8引脚MSOP	142	44	°C/W
8引脚LFCSP ¹	75	18	°C/W

¹裸露焊盘焊接到接地层。

ESD警告

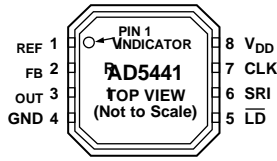


ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD5441

引脚配置和功能描述



NOTES
1. THE EXPOSED PAD SHOULD BE CONNECTED TO THE GROUND PLANE.

06492-203

图5. 8引脚LFCSP的引脚配置

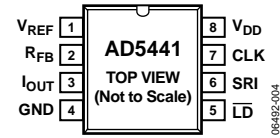


图6. 8引脚MSOP的引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	描述
1	V _{REF}	DAC基准电压输入引脚。建立DAC满量程电压。恒定的输入电阻与代码。
2	R _{FB}	内部匹配的反馈电阻。连接到外部运算放大器输出。
3	I _{OUT}	DAC电流输出，满量程输出比基准输入电压 $-V_{REF}$ 小1 LSB。
4	GND	模拟地和数字地。
5	\overline{LD}	负载选通，电平敏感数字输入。移位寄存器数据在低电平有效时传输到DAC寄存器。 有关工作参数，参见表3。
6	SRI	12位串行寄存器输入。数据以MSB优先方式直接加载到移位寄存器。多余的前导位被忽略。
7	CLK	时钟输入。数据在正边沿输入移位寄存器中。
8	V _{DD}	正电源输入。额定工作范围为 $5V \pm 10\%$ 。
	EP	裸露焊盘。裸露焊盘必须连接到接地层。

典型性能参数

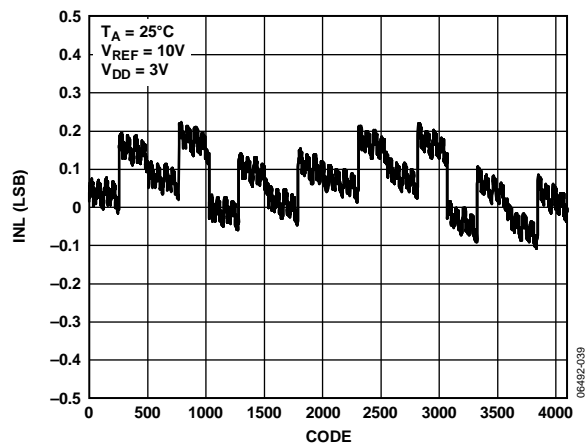


图7. INL与代码的关系, 3 V

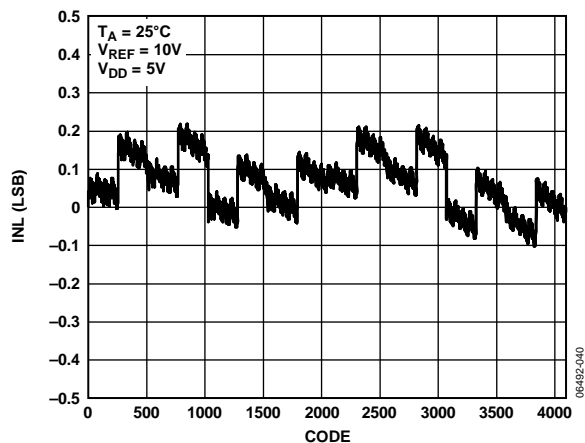


图10. INL与代码的关系, 5 V

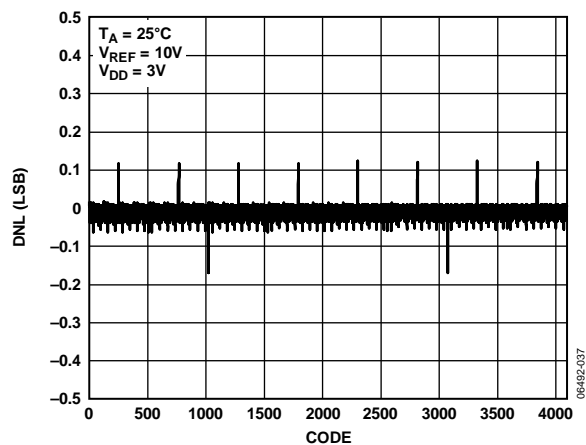


图8. DNL与代码的关系, 3 V

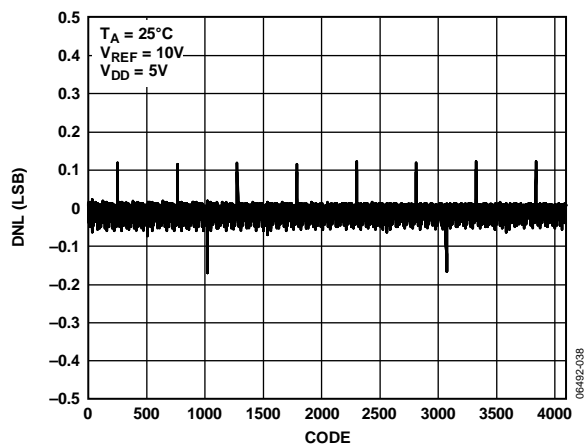


图11. DNL与代码的关系, 5 V

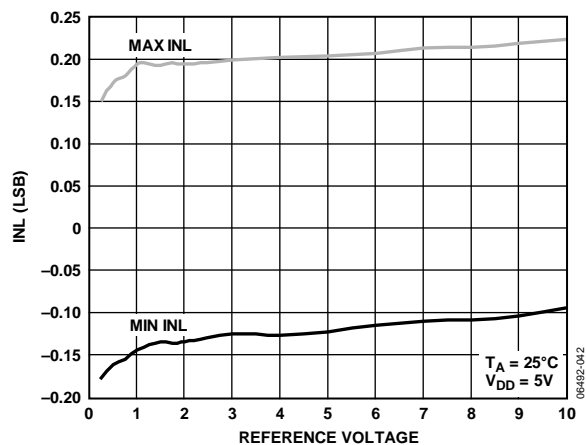


图9. INL与基准电压的关系, 5 V

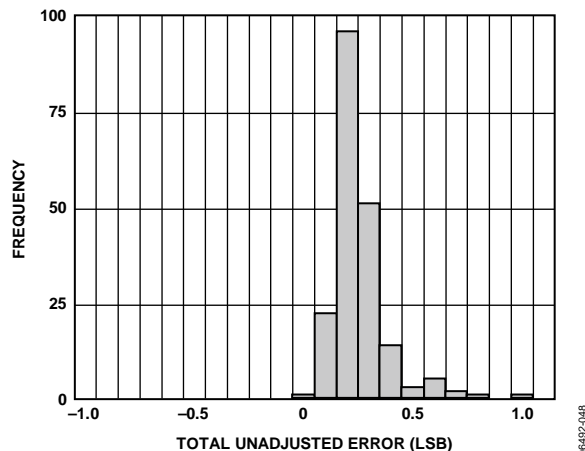


图12. 总不可调整误差直方图

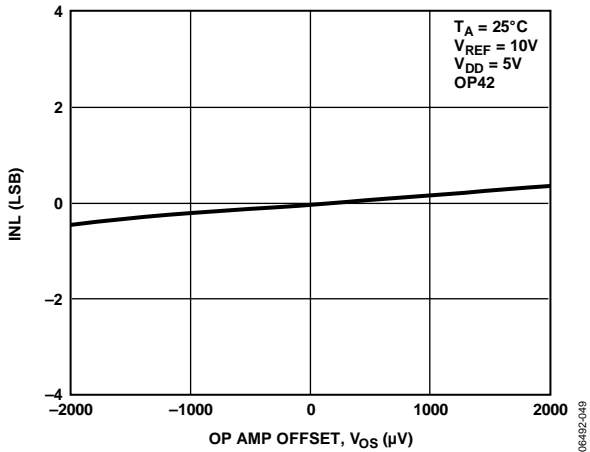


图13. 积分非线性误差与外部运算放大器的关系

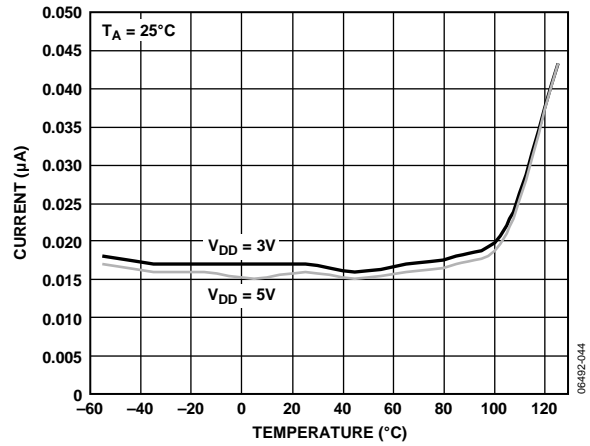


图16. 电源电流与温度的关系

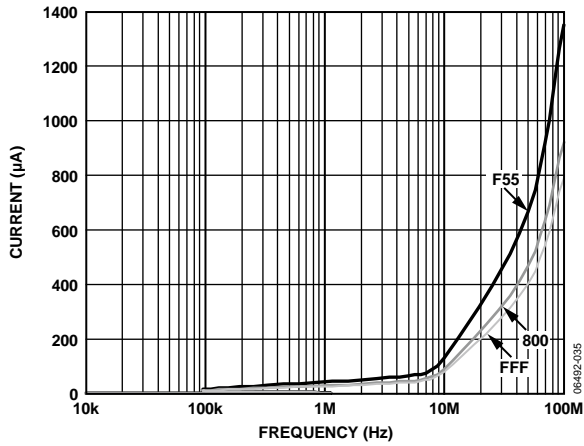


图14. 电源电流与时钟频率的关系

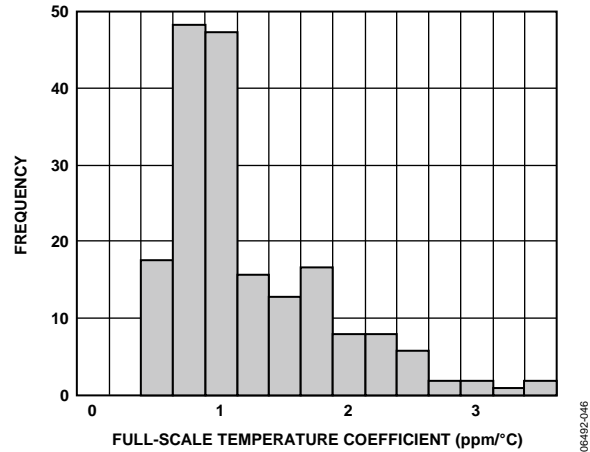


图17. 满量程输出温度系数直方图

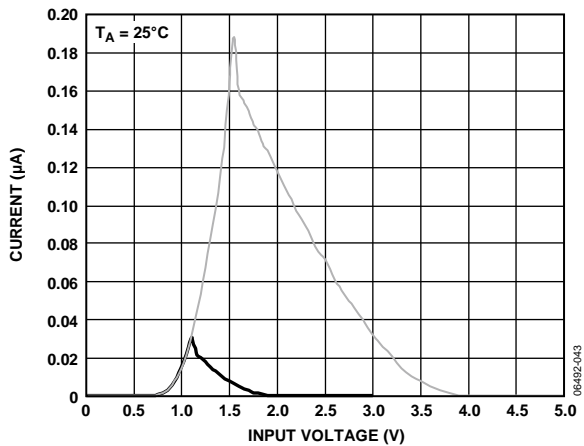


图15. 电源电流与逻辑输入电压的关系

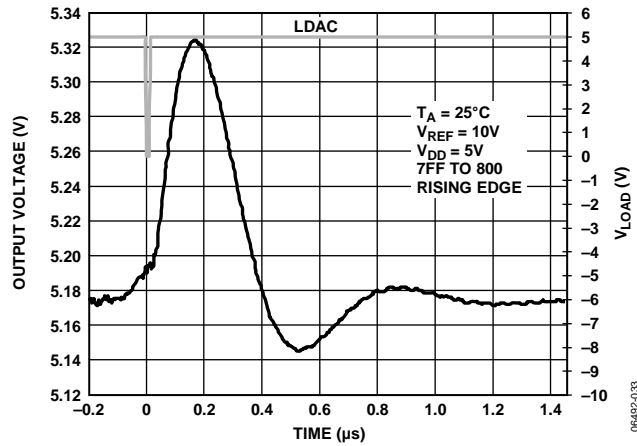


图18. 中间值转换

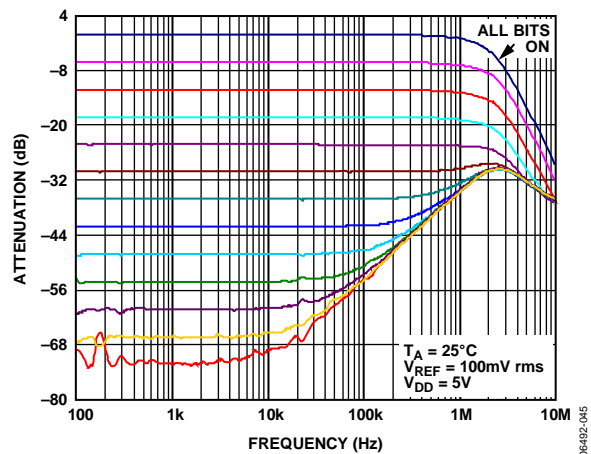


图19. 基准乘法带宽

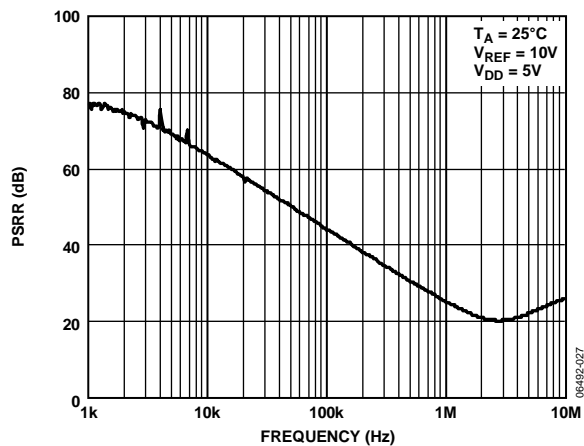


图20. PSRR与频率的关系

术语

相对精度(INL)

相对精度或端点非线性度是指DAC输出与通过DAC传递函数的两个端点的直线之间的最大偏差。它是在调整零值和满量程后进行测量，通常用LSB或满量程读数的百分比表示。

差分非线性(DNL)

DNL指任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。整个工作温度范围内最大-1 LSB的额定差分非线性可确保单调性。

增益误差

增益误差或满量程误差衡量理想DAC和实际器件输出之间的输出误差。对于这些DAC，理想的最大输出为 $V_{REF} - 1 \text{ LSB}$ 。这些DAC的增益误差可通过外部电阻调整为零。

零值误差

根据最差情况下的 R_{REF} 进行计算

$$I_{ZSE}(\text{LSB}) = (R_{REF} \times I_{LKG} \times 4096) / V_{REF}$$

输出漏电流

输出泄露电流是指DAC梯形开关断开时流入其中的电流。对于 I_{OUT} 端，可以通过向DAC中载入全0并测量 I_{OUT} 电流来进行测量。

输出电容

从 I_{OUT} 1到AGND的电容。

数模转换毛刺脉冲

输入状态变化时从数字输入注入到模拟输出的电荷量。数模转换毛刺脉冲通常规定为毛刺的面积，用pA-s或nV-s表示，具体取决于毛刺是作为电流信号还是作为电压信号来测量的。

数字馈通

当器件未被选择时，器件数字输入端的高频逻辑活动可以穿越器件以容性方式耦合，在 I_{OUT} 引脚上产生噪声。此噪声会从器件的输出端耦合到后续电路。这种噪声就是数字馈通。

乘法馈通误差

这是由向DAC中载入全0时从DAC基准输入以容性方式馈通到DAC I_{OUT} 1引脚而引起的误差。

总谐波失真(THD)

DAC由交流基准电压源驱动。总谐波失真是指DAC输出的谐波均方根和与基波值之比。通常仅包括较低阶的谐波，例如二次到五次谐波。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1}$$

顺从电压范围

器件提供额定特征的(输出)端电压最大范围。

输出噪声频谱密度

计算公式为

$$e_n = \sqrt{4KTRB}$$

其中：

K 表示波尔兹曼常数(J/°K)。

R 表示电阻(Ω)。

T 表示电阻温度(°K)。

B 表示1 Hz带宽。

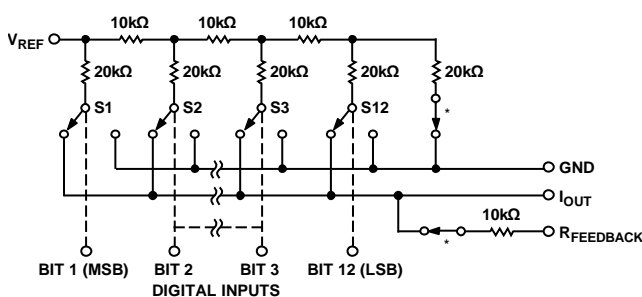
参数定义

一般电路信息

AD5441是一款具有低温度系数的12位乘法DAC，包含一个R-2R电阻梯形网络、数据输入和控制逻辑以及两个数据寄存器。

数字电路构成一个接口，串行数据可以在微处理器控制下通过该接口载入12位移位寄存器，然后以并行方式传输到12位DAC寄存器。

AD5441的模拟部分包含一个反相R-2R梯形网络，该网络由高度稳定(50 ppm/°C)的薄膜硅铬电阻和12对NMOS电流导引开关组成(见图21)。这些开关将二进制加权电流导引到 I_{OUT} 或GND；这会在每个梯形支路上产生恒流，与数字输入代码无关。此恒流会在 V_{REF} 产生阻值为R的恒定输入电阻。 V_{REF} 输入可以由绝对最大额定值所述限制内的任何基准交直流电压或电流驱动。



*THESE SWITCHES PERMANENTLY ON.

NOTES

1. SWITCHES SHOWN FOR DIGITAL INPUTS HIGH.

图21. DAC简化电路图

12个输出电流导引NMOS FET开关与每个R-2R电阻串联。

为了进一步在整个温度范围内确保器件精度，始终接通的MOS开关与R-2R梯形网络的反馈电阻和端接电阻串联。图21显示了串联开关的位置。

电阻梯形网络或 $R_{FEEDBACK}$ (例如输入检查)的任何测试期间， V_{DD} 必须存在，才能接通这些串联开关。

输出阻抗

类似于输出电容的情形，AD5441的输出电阻因数字输入代码而异。纵观 I_{OUT} 引脚定义，此电阻的阻值可能介于10 kΩ(所有数字输入均为低电平时则只有反馈电阻)和7.5 kΩ(任何单个位逻辑为高电平时则为反馈电阻与大约30 kΩ的R-2R梯形网络电阻并联)。静态精度和动态性能会受到这些变化的影响。

应用信息

大多数应用中，线性度取决于 I_{OUT} 以及处于相同电位的GND引脚的电势。DAC连接到外部精密运算放大器的反相输入端。外部放大器的同相输入端应直接连接到地，无需常用的偏置电流补偿电阻(见图22和图24)。选定的放大器应具有低输入偏置电流和低温度漂移。放大器的输入失调电压应通过零点校准调整为小于200 mV(小于10%的1 LSB)。所有接地引脚均应连接到单个公用接地点，以避免形成接地环路。 V_{DD} 电源应具有充分的旁路，从而保持低噪声水平。AD5441最好采用模拟电源和模拟地。

单极性二象限乘法

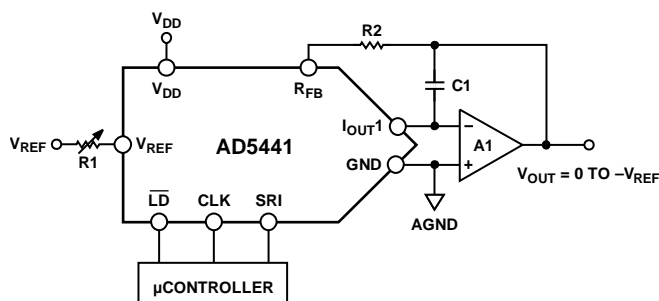
AD5441最直接的应用是图22所示的二象限乘法配置。如果参考输入信号替换为固定的直流基准电压，DAC输出会根据传递公式提供成正比的直流电压输出

$$V_{OUT} = -D/4096 \times V_{REF}$$

其中：

D 表示载入DAC寄存器中的十进制数据。

V_{REF} 表示外部提供的基准电压源。



NOTES

1. R1 AND R2 USED ONLY IF GAIN ADJUSTMENT IS REQUIRED.
2. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1 IS A HIGH SPEED AMPLIFIER.

图22. 单极性(二象限)运算

AD5441

双极性四象限乘法

图24显示了实现四象限乘法运算的建议电路。求和放大器将 V_{OUT1} 乘以2，并通过基准电压使输出发生偏移，使得中间值数字输入代码2048令 V_{OUT2} 为0 V。DAC载入全0时，负满量程电压为 V_{REF} 。DAC载入全1时，正满量程输出为 $-(V_{REF} - 1 \text{ LSB})$ 。因此，数字编码为偏移二进制。各个输入数据和基准(或信号)值的电压输出传递公式如下

$$V_{OUT2} = (D/2048 - 1) - V_{REF}$$

其中：

D 表示载入DAC寄存器中的十进制数据。

V_{REF} 表示外部提供的基准电压源。

接口逻辑信息

AD5441专门针对简化运算而设计。图2中的时序图展示了输入寄存器加载序列。请注意，最高有效位(MSB)优先载入。12位输入寄存器存满之后， \overline{LD} 会被短暂拉低，从将数据传输至DAC寄存器。

数字部分

AD5441的数字输入(SRI、 \overline{LD} 和CLK)为TTL兼容。输入电平影响从电源吸取的电流量；数字输入(V_{IN})通过跃迁区时出现峰值电源电流。有关电源电流与逻辑输入电压的关系图，请参见图15。保持数字输入电平尽可能接近电源 V_{DD} 和GND，可使电源功耗降到最低。通过精心设计布局和内置输入保护电路，AD5441的数字输入具有防静电能力。图23显示了输入保护二极管和串联电阻；每个数字输入端均具有相同的输入结构。施加于输入端的高压静电电荷通过正偏二极管分流到电源和接地轨。这些保护二极管设计用于在静电放电期间将输入端箝位至远低于危险电平。

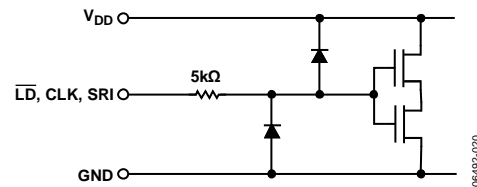
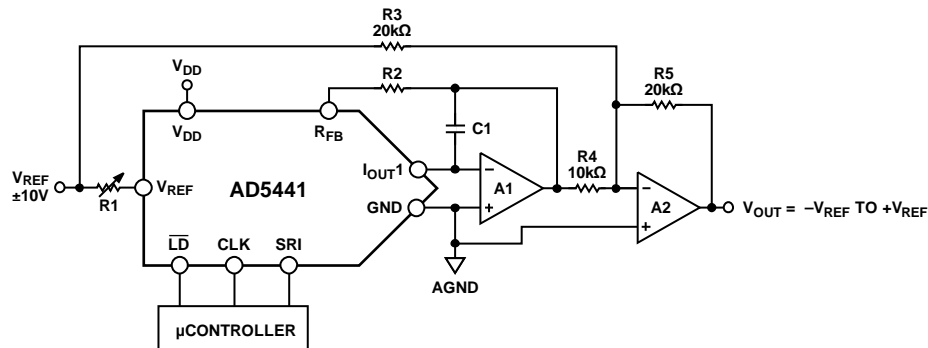


图23. 数字输入保护

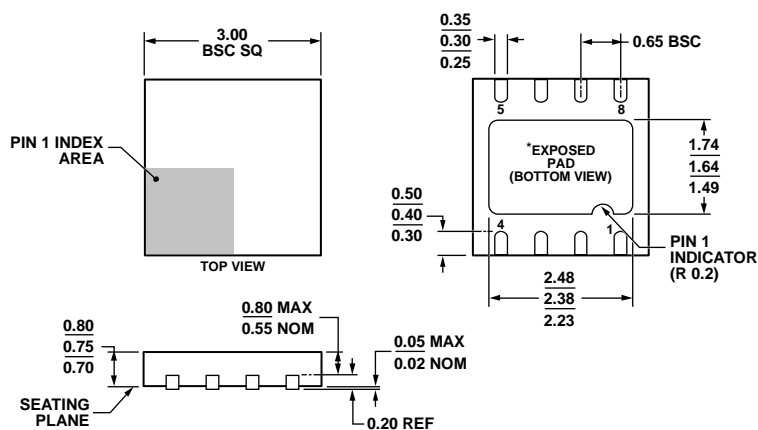


NOTES

1. R1 AND R2 ARE USED ONLY IF GAIN ADJUSTMENT IS REQUIRED. ADJUST R1 FOR $V_{OUT} = 0V$ WITH CODE 10000000 LOADED TO DAC.
2. MATCHING AND TRACKING IS ESSENTIAL FOR RESISTOR PAIRS R3 AND R4.
3. C1 PHASE COMPENSATION (1pF TO 2pF) MAY BE REQUIRED IF A1/A2 IS A HIGH SPEED AMPLIFIER.

图24. 双极性(四象限)运算

外形尺寸



*FOR PROPER CONNECTION OF THE EXPOSED PAD PLEASE REFER TO THE PIN CONFIGURATION AND FUNCTION DESCRIPTIONS SECTION OF THIS DATA SHEET.

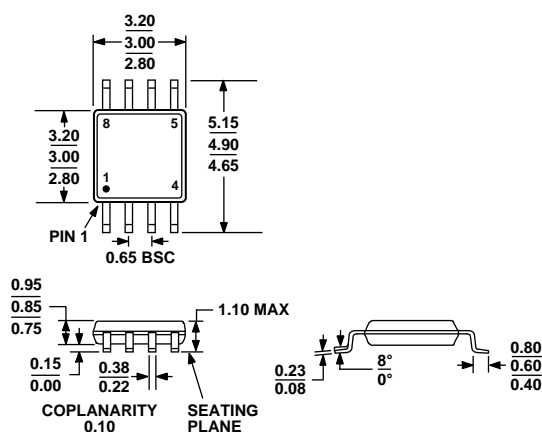
图25. 8引脚引线框芯片级封装[LFCSP_WD]

3 mm x 3 mm, 超薄体, 双列引脚

(CP-8-3)

图示尺寸单位: mm

022808-B



COMPLIANT TO JEDEC STANDARDS MO-187-AA

图26. 8引脚超小型封装[MSOP]

(RM-8)

图示尺寸单位: mm

订购指南

型号 ¹	INL (LSB)	温度范围	封装描述	封装选项	标识
AD5441BCPZ-R2	±0.5	-40°C至+125°C	8引脚LFCSP_WD	CP-8-3	DBD
AD5441BCPZ-REEL7	±0.5	-40°C至+125°C	8引脚LFCSP_WD	CP-8-3	DBD
AD5441BRMZ	±0.5	-40°C至+125°C	8引脚MSOP	RM-8	DBC
AD5441BRMZ-REEL7	±0.5	-40°C至+125°C	8引脚MSOP	RM-8	DBC

¹ Z = 符合RoHS标准的器件。

AD5441

注释

注释

AD5441

注释