

### 特性

分辨率: 1ppm  
 积分非线性(INL): 1ppm  
 噪声频谱密度:  $7.5 \text{ nV}/\sqrt{\text{Hz}}$   
 长期线性稳定性: 0.19 LSB  
 温度漂移:  $<0.05 \text{ ppm}/^\circ\text{C}$   
 建立时间:  $1 \mu\text{s}$   
 毛刺脉冲:  $1 \text{ nV}\cdot\text{s}$   
 工作温度范围:  $-40^\circ\text{C}$ 至 $+125^\circ\text{C}$   
 20引脚TSSOP封装  
 宽电源电压范围: 最高达 $\pm 16.5 \text{ V}$   
 35 MHz施密特触发数字接口  
 1.8 V兼容数字接口

### 应用

医疗仪器  
 测试与测量  
 工业控制  
 高端科学和航空航天仪器

### 概述

AD5791是一款单通道、20位、无缓冲电压输出DAC，采用最高33 V的双极性电源供电。正基准电压输入范围为5 V至 $V_{DD} - 2.5\text{V}$ ，负基准电压输入范围为 $V_{SS} + 2.5 \text{ V}$ 至0V。相对精度最大值为 $\pm 1 \text{ LSB}$ ，保证工作单调性，微分非线性(DNL)最大值为 $\pm 1 \text{ LSB}$ 。

这款器件采用多功能三线式串行接口，能够以最高35 MHz的时钟速率工作，并与标准SPI、QSPI™、MICROWIRE™、DSP接口标准兼容。它内置上电复位电路，确保DAC上电后输出至0 V并保持已知输出阻抗状态，直到对该器

### 功能框图

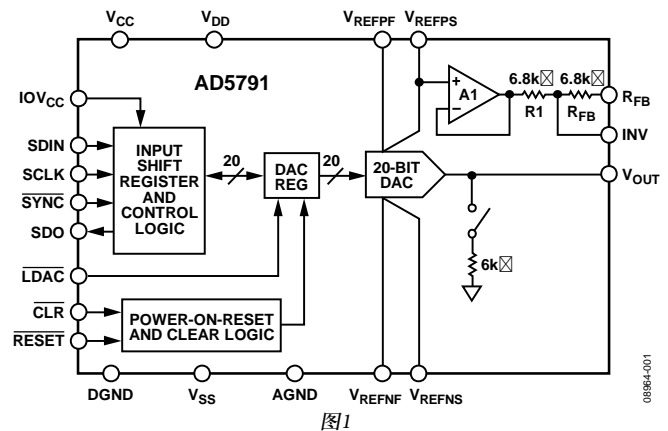


表1. 配套器件

产品型号	描述
AD8675	超高精度、36 V、2.8 nV/√Hz轨到轨输出运算放大器
AD8676	超高精度、36 V、2.8 nV/√Hz双通道轨到轨输出运算放大器
ADA4898-1	高电压、低噪声、低失真、单位增益稳定、高速运算放大器

表2. 相关器件

产品型号	描述
AD5781	18位、0.5 LSB INL、电压输出DAC

件执行一次有效的写操作为止。输出箝位特性可将输出置于已定义的负载状态。

### 产品聚焦

- 1 ppm精度。
- 宽电源电压范围: 最高达 $\pm 16.5\text{V}$ 。
- 工作温度范围:  $-40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。
- 低噪声频谱密度:  $7.5 \text{ nV}/\sqrt{\text{Hz}}$ 。
- 低温度漂移:  $0.05 \text{ ppm}/^\circ\text{C}$ 。

### Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
 Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
 Fax: 781.461.3113 ©2010 Analog Devices, Inc. All rights reserved.

## 目录

特性.....	1	DAC架构.....	19
应用.....	1	串行接口.....	19
功能框图.....	1	硬件控制引脚.....	20
概述.....	1	片内寄存器.....	21
产品聚焦.....	1	AD5791特性.....	24
修订历史.....	2	上电至0 V.....	24
技术规格.....	3	配置AD5791.....	24
时序特性.....	5	DAC输出状态.....	24
绝对最大额定值.....	8	线性补偿.....	24
ESD警告.....	8	输出放大器配置.....	24
引脚配置和功能描述.....	9	应用信息.....	26
典型工作特性.....	10	典型工作电路.....	26
术语.....	17	外形尺寸.....	27
工作原理.....	19	订购指南.....	27

## 修订历史

2010年7月—修订版0：初始版

## 技术规格

除非另有说明,  $V_{DD} = 12.5\text{ V}$ 至 $16.5\text{ V}$ ,  $V_{SS} = -16.5\text{ V}$ 至 $-12.5\text{ V}$ ,  $V_{REFP} = 10\text{ V}$ ,  $V_{REFN} = -10\text{ V}$ ,  $V_{CC} = 2.7\text{ V}$ 至 $+5.5\text{ V}$ ,  $IOV_{CC} = 1.71\text{ V}$ 至 $5.5\text{ V}$ ,  $R_L = \text{空载}$ ,  $C_L = \text{空载}$ , 所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ 而言。

表3

参数	A、B级 <sup>1</sup>			单位	测试条件/注释
	最小值	典型值	最大值		
静态性能 <sup>2</sup>					
Resolution分辨率	20			Bits	
积分非线性误差(相对精度)	-1	±0.25	+1	LSB	B级, $V_{REFP} = +10\text{ V}$ , $V_{REFN} = -10\text{ V}$ , $T_A = 0^\circ\text{C}$ 至 $105^\circ\text{C}$
	-1.5	±0.25	+1.5	LSB	B级, $V_{REFP} = +10\text{ V}$ , $V_{REFN} = -10\text{ V}$
	-1.5	±0.5	+1.5	LSB	B级, $V_{REFP} = 10\text{ V}$ , $V_{REFN} = 0\text{ V}$ <sup>3</sup>
	-3	±1	+3	LSB	B级, $V_{REFP} = 5\text{ V}$ , $V_{REFN} = 0\text{ V}$ <sup>3</sup>
	-4	±2	+4	LSB	A级 <sup>4</sup>
微分非线性误差	-1	±0.5	+1	LSB	$V_{REFP} = +10\text{ V}$ , $V_{REFN} = -10\text{ V}$
	-1.5	±0.75	+1.5	LSB	$V_{REFP} = 10\text{ V}$ , $V_{REFN} = 0\text{ V}$
	-2.5	±1	+2.5	LSB	$V_{REFP} = 5\text{ V}$ , $V_{REFN} = 0\text{ V}$
线性误差长期稳定性 <sup>5</sup>		0.16		LSB	500小时后, $T_A = 125^\circ\text{C}$
		0.19		LSB	1000小时后, $T_A = 125^\circ\text{C}$
		0.11		LSB	1000小时后, $T_A = 100^\circ\text{C}$
满量程误差	-3	±0.1	+3	LSB	$V_{REFP} = +10\text{ V}$ , $V_{REFN} = -10\text{ V}$
	-5	±0.25	+5	LSB	$V_{REFP} = 10\text{ V}$ , $V_{REFN} = 0\text{ V}$ <sup>3</sup>
	-9	±0.8	+9	LSB	$V_{REFP} = 5\text{ V}$ , $V_{REFN} = 0\text{ V}$ <sup>3</sup>
满量程误差温度系数		±0.02		ppm FSR/°C	
零电平误差	-1.5	±0.1	+1.5	LSB	$V_{REFP} = +10\text{ V}$ , $V_{REFN} = -10\text{ V}$
	-2.5	±0.15	+2.5	LSB	$V_{REFP} = 10\text{ V}$ , $V_{REFN} = 0\text{ V}$ <sup>3</sup>
	-9	±0.75	+9	LSB	$V_{REFP} = 5\text{ V}$ , $V_{REFN} = 0\text{ V}$ <sup>3</sup>
零电平误差温度系数 <sup>3</sup>		±0.04		ppm FSR/°C	
增益误差	-6	±0.3	+6	ppm FSR	$V_{REFP} = +10\text{ V}$ , $V_{REFN} = -10\text{ V}$
	-10	±0.4	+10	ppm FSR	$V_{REFP} = 10\text{ V}$ , $V_{REFN} = 0\text{ V}$ <sup>3</sup>
	-20	±0.4	+20	ppm FSR	$V_{REFP} = 5\text{ V}$ , $V_{REFN} = 0\text{ V}$ <sup>3</sup>
增益误差温度系数 <sup>3</sup>		±0.04		ppm FSR/°C	
中间电平误差	-3	±1	+3	LSB	$V_{REFP} = +10\text{ V}$ , $V_{REFN} = -10\text{ V}$
	-3	±1	+3	LSB	$V_{REFP} = 10\text{ V}$ , $V_{REFN} = 0\text{ V}$ <sup>3</sup>
	-3	±1	+3	LSB	$V_{REFP} = 5\text{ V}$ , $V_{REFN} = 0\text{ V}$ <sup>3</sup>
中间电平误差温度系数 <sup>3</sup>		±0.005		ppm FSR/°C	
R1、 $R_{FB}$ 匹配		0.01		%	
输出特性 <sup>3</sup>					
输出电压范围	$V_{REFN}$		$V_{REFP}$	V	
输出压摆率		50		V/μs	
输出电压建立时间		1		μs	10 V阶跃至0.02%, AD845输出缓冲器
		1		μs	500代码阶跃至±1 LSB, AD797输出缓冲器 <sup>6</sup>
输出噪声频谱密度		7.5		nV/√Hz	1 kHz, DAC代码 = 中间电平
		7.5		nV/√Hz	10 kHz, DAC代码 = 中间电平
		7.5		nV/√Hz	100 kHz, DAC代码 = 中间电平
输出电压噪声		1.1		μV p-p	DAC代码 = 中间电平, 0.1 Hz至10 Hz带宽 <sup>7</sup>
数模转换毛刺脉冲		15		nV-sec	$V_{REFP} = +10\text{ V}$ , $V_{REFN} = -10\text{ V}$
		5		nV-sec	$V_{REFP} = 10\text{ V}$ , $V_{REFN} = 0\text{ V}$
		1		nV-sec	$V_{REFP} = 5\text{ V}$ , $V_{REFN} = 0\text{ V}$
输出使能毛刺脉冲		45		nV-sec	消除输出接地箝位时

# AD5791

参数	A、B级 <sup>1</sup>			单位	测试条件/注释
	最小值	典型值	最大值		
数字馈通		0.4		nV-sec	
直流输出阻抗(正常模式)		3.4		kΩ	
直流输出阻抗(输出箝位至接地)		6		kΩ	
无杂散动态范围		100		dB	1 kHz信号音, 10 kHz采样速率
总谐波失真		97		dB	1 kHz信号音, 10 kHz采样速率
基准输入 <sup>3</sup>					
$V_{REFP}$ 输入范围	5		$V_{DD} - 2.5 V$	V	
$V_{REFN}$ 输入范围	$V_{SS} + 2.5 V$		0	V	
直流输入阻抗	5	6.6		kΩ	$V_{REFP}$ , $V_{REFN}$ , 代码相关, 中间电平代码时的典型值
输入电容		15		pF	$V_{REFP}$ , $V_{REFN}$
逻辑输入 <sup>3</sup>					
输入电流 <sup>8</sup>	-1		+1	μA	
输入低电压 $V_{IL}$			$0.3 \times IOV_{CC}$	V	$IOV_{CC} = 1.71 V$ 至 $5.5 V$
输入高电压 $V_{IH}$	$0.7 \times IOV_{CC}$			V	$IOV_{CC} = 1.71 V$ 至 $5.5 V$
引脚电容		5		pF	
逻辑输出(SDO) <sup>3</sup>					
输出低电压 $V_{OL}$			0.4	V	$IOV_{CC} = 1.71 V$ to $5.5 V$ , sinking 1 mA
输出高电压 $V_{OH}$	$IOV_{CC} - 0.5 V$			V	$IOV_{CC} = 1.71 V$ to $5.5 V$ , sourcing 1 mA
高阻抗漏电流			$\pm 1$	μA	
高阻抗输出电容		3		pF	
电源要求					所有数字输入接DGND或 $IOV_{CC}$
$V_{DD}$	7.5		$V_{SS} + 33$	V	
$V_{SS}$	$V_{DD} - 33$		-2.5	V	
$V_{CC}$	2.7		5.5	V	
$IOV_{CC}$	1.71		5.5	V	$IOV_{CC} \leq V_{CC}$
$I_{DD}$		4.2	5.2	mA	
$I_{SS}$		4	4.9	mA	
$I_{CC}$		600	900	μA	
$IOI_{CC}$		52	140	μA	SDO禁用
直流电源抑制比 <sup>3,9</sup>		$\pm 0.6$		μV/V	$V_{DD} \pm 10\%$ , $V_{SS} = 15 V$
		$\pm 0.6$		μV/V	$V_{SS} \pm 10\%$ , $V_{DD} = 15 V$
交流电源抑制比 <sup>3</sup>		95		dB	$V_{DD} \pm 200 mV$ , 50 Hz/60 Hz, $V_{SS} = -15 V$
		95		dB	$\Delta V_{SS} \pm 200 mV$ , 50 Hz/60 Hz, $V_{DD} = 15 V$

<sup>1</sup> 温度范围:  $-40^{\circ}C$ 至 $+125^{\circ}C$ , 典型值 $+25^{\circ}C$ ,  $V_{DD} = +15 V$ ,  $V_{SS} = -15 V$ ,  $V_{REFP} = +10 V$ ,  $V_{REFN} = -10 V$ 。

<sup>2</sup> 利用AD8676BRZ基准电压缓冲器和AD8675ARZ输出缓冲器描述性能。

<sup>3</sup> 通过设计和特性保证, 但未经生产测试。

<sup>4</sup> 对所有基准电压范围都有效。

<sup>5</sup> 线性误差指INL和DNL两种误差, 任一参数经过一定时间后均可能发生规定量的漂移。

<sup>6</sup> AD5791配置为X2增益模式, AD797使用25 pF补偿电容。

<sup>7</sup> 包括AD8676 BRZ基准电压缓冲器的噪声贡献。

<sup>8</sup> 各逻辑引脚中流动的电流。

<sup>9</sup> 包括AD8676 BRZ基准电压缓冲器的PSRR。

## 时序特性

除非另有说明， $V_{CC} = 2.7\text{ V}$ 至 $5.5\text{ V}$ ，所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ 而言。

表4

参数	限值 <sup>1</sup>		单位	测试条件/注释
	$IOV_{CC} = 1.71\text{ V}$ 至 $3.3\text{ V}$	$IOV_{CC} = 3.3\text{ V}$ 至 $5.5\text{ V}$		
$t_1^2$	40	28	ns(最小值)	SCLK周期时间
	92	60	ns(最小值)	SCLK周期时间(回读和菊花链模式)
$t_2$	15	10	ns(最小值)	SCLK高电平时间
$t_3$	9	5	ns(最小值)	SCLK低电平时间
$t_4$	5	5	ns(最小值)	$\overline{SYNC}$ 到SCLK下降沿建立时间
$t_5$	2	2	ns(最小值)	SCLK下降沿到 $\overline{SYNC}$ 上升沿保持时间
$t_6$	48	40	ns(最小值)	最小 $\overline{SYNC}$ 高电平时间
$t_7$	8	6	ns(最小值)	$\overline{SYNC}$ 上升沿到下一SCLK下降沿忽略
$t_8$	9	7	ns(最小值)	数据建立时间
$t_9$	12	7	ns(最小值)	数据保持时间
$t_{10}$	13	10	ns(最小值)	LDAC下降沿到 $\overline{SYNC}$ 下降沿
$t_{11}$	20	16	ns(最小值)	$\overline{SYNC}$ 上升沿到LDAC下降沿
$t_{12}$	14	11	ns(最小值)	LDAC低电平脉冲宽度
$t_{13}$	130	130	ns(典型值)	LDAC下降沿到输出响应时间
$t_{14}$	10	10	$\mu\text{s}$ (典型值)	输出建立时间(20 V阶跃)
$t_{15}$	130	130	ns(典型值)	$\overline{SYNC}$ 上升沿到输出响应时间(LDAC接低电平)
$t_{16}$	50	50	ns(最小值)	$\overline{CLR}$ 低电平脉冲宽度
$t_{17}$	140	140	ns(典型值)	$\overline{CLR}$ 脉冲启动时间
$t_{18}$	0	0	ns(最小值)	$\overline{SYNC}$ 下降沿到第一SCLK上升沿
$t_{19}$	65	60	ns(最大值)	$\overline{SYNC}$ 上升沿至SDO三态( $C_L = 50\text{ pF}$ )
$t_{20}$	62	45	ns(最大值)	SCLK上升沿到SDO有效( $C_L = 50\text{ pF}$ )
$t_{21}$	0	0	ns(最小值)	$\overline{SYNC}$ 上升沿到SCLK上升沿忽略
$t_{22}$	35	35	ns(典型值)	$\overline{RESET}$ 低电平脉冲宽度
$t_{23}$	150	150	ns(典型值)	$\overline{RESET}$ 脉冲启动时间

<sup>1</sup> 所有输入信号均指定 $t_r = t_f = 1\text{ ns/V}$  (10%至90%的 $IOV_{CC}$ ) 并从 $(V_{IL} + V_{IH})/2$ 的电平起开始计时。

<sup>2</sup> 写入模式下最大SCLK频率为35 MHz，回读和菊花链模式下则为16 MHz。

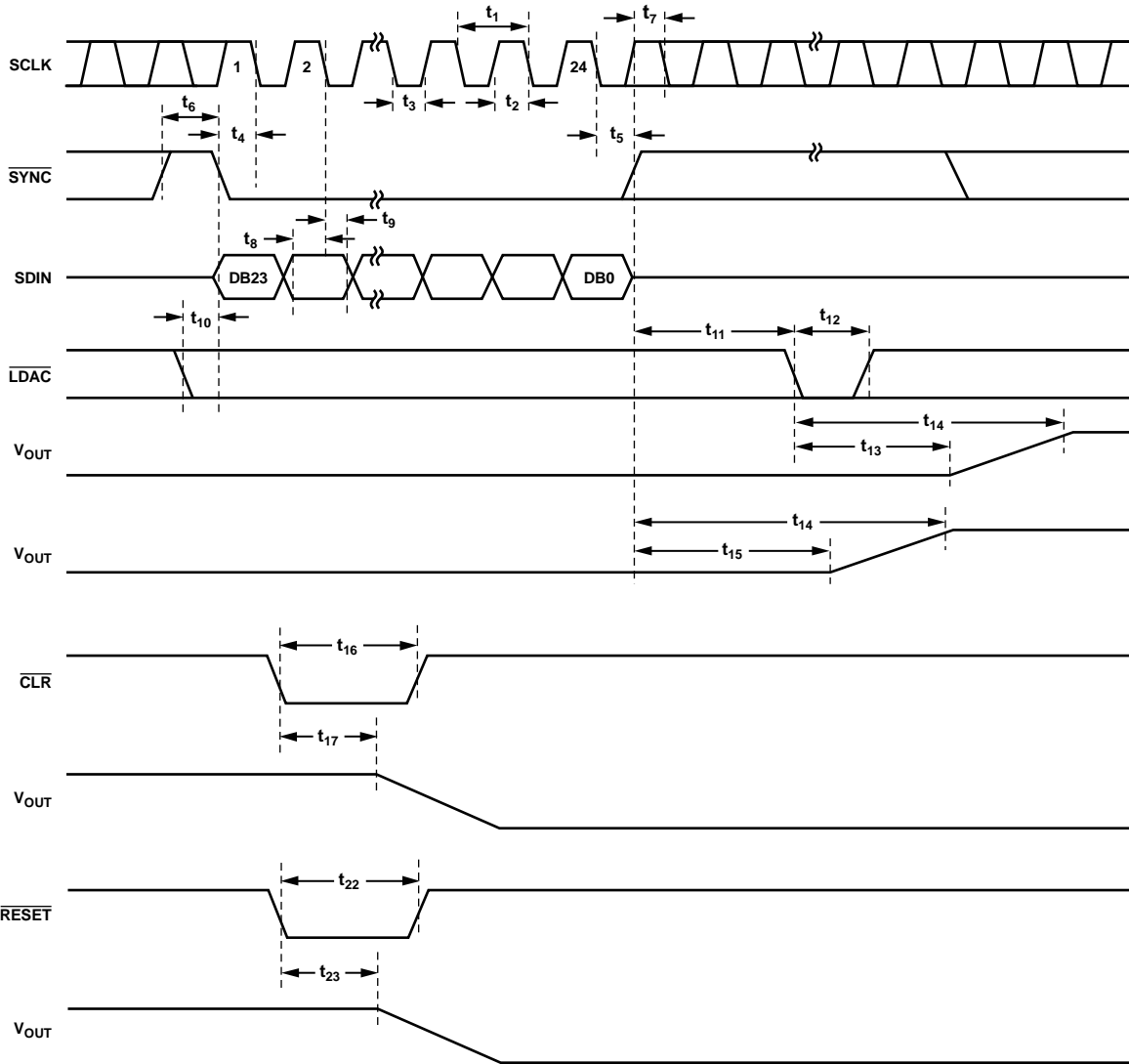


图2. 写入模式时序图

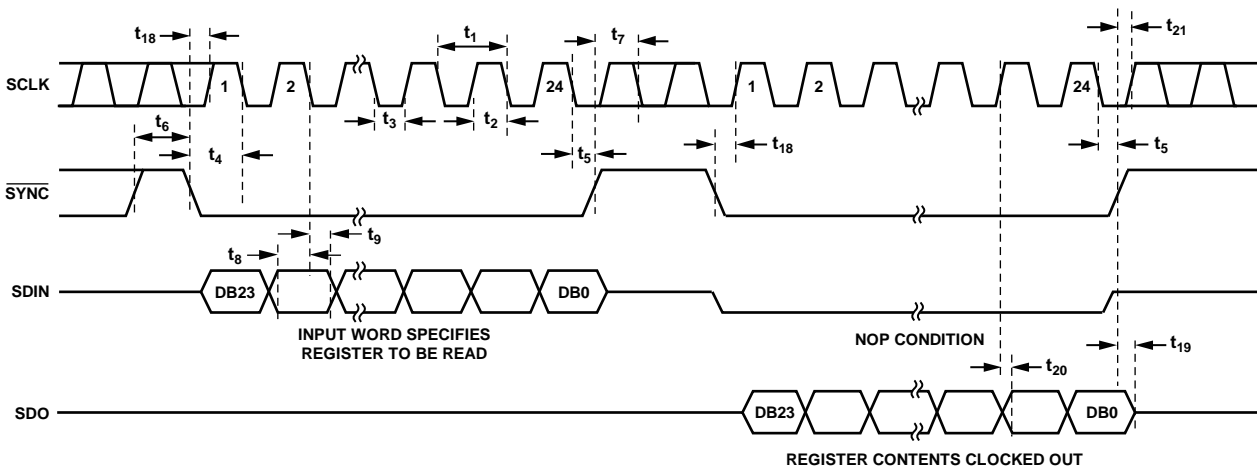


图3. 回读模式时序图

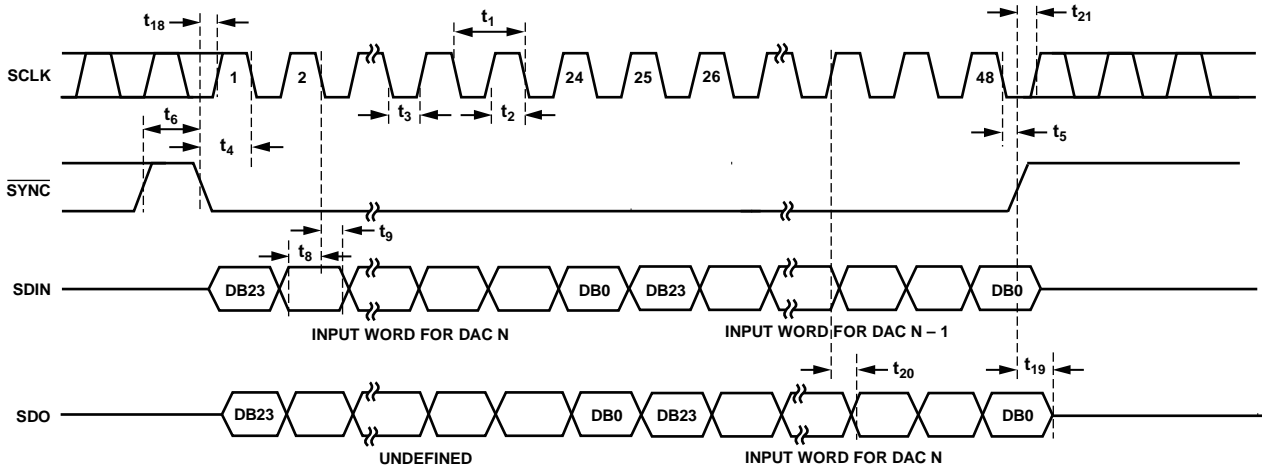


图4. 菊花链模式时序图

08984-004

## 绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。100 mA以下的瞬态电流不会造成SCR闩锁。

表5

参数	额定值
$V_{DD}$ 至 AGND	-0.3 V 至 +34 V
$V_{SS}$ 至 AGND	-34 V 至 +0.3 V
$V_{DD}$ 至 $V_{SS}$	-0.3 V 至 +34 V
$V_{CC}$ 至 DGND	-0.3 V 至 +7 V
$IOV_{CC}$ 至 DGND	-0.3 V 至 $V_{CC} + 0.3\text{ V}$ 或 +7 V (取较小者)
数字输入至 DGND	-0.3 V 至 $IOV_{CC} + 0.3\text{ V}$ 或 +7 V (取较小者)
$V_{OUT}$ 至 AGND	-0.3 V 至 $V_{DD} + 0.3\text{ V}$
$V_{REPPF}$ 至 AGND	-0.3 V 至 $V_{DD} + 0.3\text{ V}$
$V_{REPPS}$ 至 AGND	-0.3 V 至 $V_{DD} + 0.3\text{ V}$
$V_{REFNF}$ 至 AGND	$V_{SS} - 0.3\text{ V}$ 至 +0.3 V
$V_{REFNS}$ 至 AGND	$V_{SS} - 0.3\text{ V}$ 至 +0.3 V
DGND 至 AGND	-0.3 V 至 +0.3 V
$T_A$ 工业温度范围	$-40^\circ\text{C}$ 至 $+125^\circ\text{C}$
存储温度范围	$-65^\circ\text{C}$ 至 $+150^\circ\text{C}$
最大结温 ( $T_{JMAX}$ )	$150^\circ\text{C}$
功耗	$(T_{Jmax} - T_A)/\theta_{JA}$
TSSOP 封装	
$\theta_{JA}$ 热阻	$143^\circ\text{C}/\text{W}$
$\theta_{JC}$ 热阻	$45^\circ\text{C}/\text{W}$
引脚温度	JEDEC 工业标准
焊接	J-STD-020
ESD(人体模型)	1.5 kV

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

本器件为高性能集成电路，ESD额定值为1.5 kV，对ESD(静电放电)敏感。搬运和装配时应采取适当的防范措施。

### ESD警告



#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。



## 引脚配置和功能描述

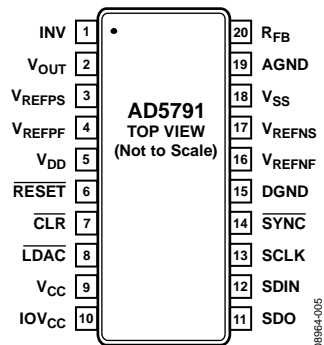


图5. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	描述
1	INV	连接到外部放大器的反相输入端。详情见“AD5791特性”部分。
2	V <sub>OUT</sub>	模拟输出电压。
3	V <sub>REFPS</sub>	正基准检测电压输入。可以连接5V至V <sub>DD</sub> - 2.5V范围内的电压。必须在此引脚和V <sub>REFPF</sub> 引脚上连接一个单位增益放大器。详情见“AD5791特性”部分。
4	V <sub>REFPF</sub>	正基准驱动电压输入。可以连接5V至V <sub>DD</sub> - 2.5V范围内的电压。必须在此引脚和V <sub>REFPS</sub> 引脚上连接一个单位增益放大器。详情见“AD5791特性”部分。
5	V <sub>DD</sub>	正模拟电源连接。可以连接7.5V至16.5V范围内的电压，应将V <sub>DD</sub> 去耦至AGND。
6	RESET	低电平有效复位逻辑输入引脚。置位此引脚时，AD5791返回上电状态。
7	CLR	低电平有效清零逻辑输入引脚。置位此引脚可将DAC寄存器设置为用户自定义值(见表13)并更新DAC输出。输出值取决于所用的DAC寄存器编码格式：二进制或二进制补码。
8	LDAC	低电平有效加载DAC逻辑输入引脚。用于更新DAC寄存器和模拟输出。当永久接为低电平时，输出在SYNC的上升沿更新。如果LDAC在写入周期保持高电平，输入寄存器会更新，但输出直到LDAC的下降沿才会更新输出。LDAC引脚不能悬空。
9	V <sub>CC</sub>	数字电源连接。可以连接2.7V至5.5V范围内的电压。应将V <sub>CC</sub> 去耦至DGND。
10	IOV <sub>CC</sub>	数字接口电源引脚。数字阈值电平参考施加于此引脚的电压。可以连接1.71V至5.5V范围内的电压。IOV <sub>CC</sub> 不得超过V <sub>CC</sub> 。
11	SDO	串行数据输出引脚。数据在串行时钟输入的上升沿输出。
12	SDIN	串行数据输入引脚。该器件有一个24位移位寄存器。数据在串行时钟输入的下降沿输入寄存器。
13	SCLK	串行时钟输入。数据在串行时钟输入的下降沿输入移位寄存器。数据以最高35MHz的时钟速率进行传输。
14	SYNC	低电平有效数字接口同步输入引脚。这是输入数据的帧同步信号。当SYNC为低电平时，使能输入移位寄存器，然后数据在后续时钟的下降沿输入移位寄存器。输入移位寄存器在SYNC的上升沿更新。
15	DGND	数字电路的接地基准引脚。
16	V <sub>REFNF</sub>	负基准驱动电压输入。可以连接+2.5V至0V范围内的电压。必须在此引脚和V <sub>REFNS</sub> 引脚上连接一个单位增益放大器。详情见“AD5791特性”部分。
17	V <sub>REFNS</sub>	负基准检测电压输入。可以连接+2.5V至0V范围内的电压。必须在此引脚和V <sub>REFNF</sub> 引脚上连接一个单位增益放大器。详情见“AD5791特性”部分。
18	V <sub>SS</sub>	负模拟电源连接。可以连接-16.5V至-2.5V范围内的电压。应将V <sub>SS</sub> 去耦至AGND。
19	AGND	模拟电路的接地基准引脚。
20	RFB	外部放大器的反馈连接。详情见“AD5791特性”部分。

## 典型工作特性

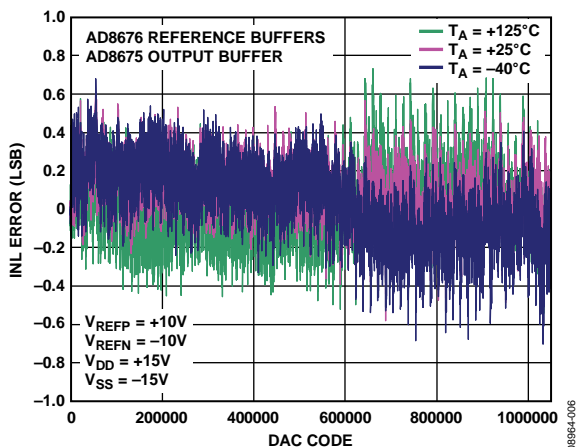


图6. 积分非线性误差与DAC代码的关系, ±10 V范围

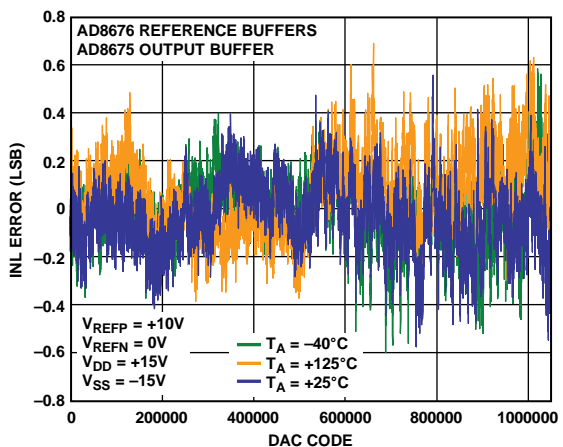


图9. 积分非线性误差与DAC代码的关系, X2增益模式

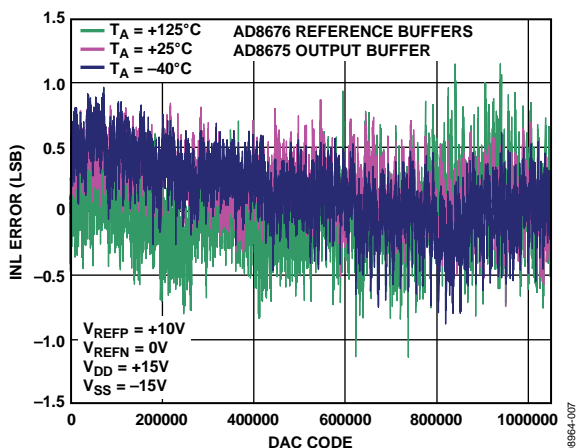


图7. 积分非线性误差与DAC代码的关系, 10 V范围

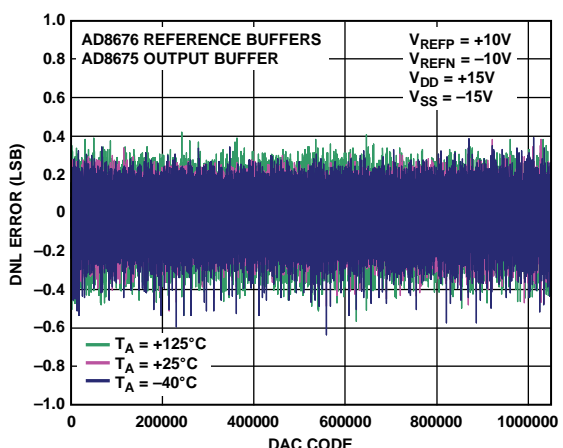


图10. 微分非线性误差与DAC代码的关系, ±10 V范围

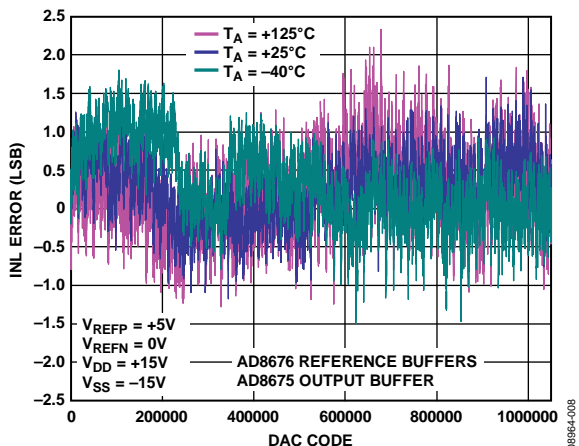


图8. 积分非线性误差与DAC代码的关系, 5 V范围

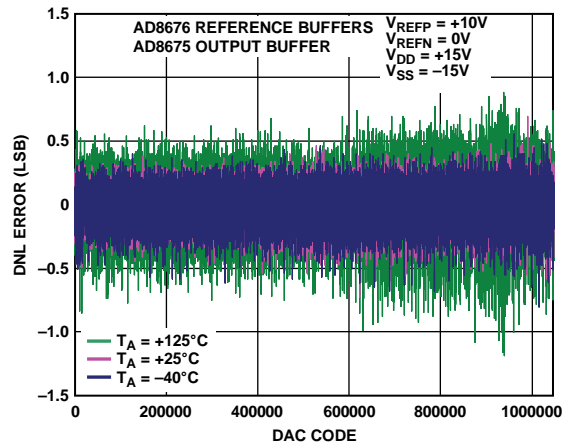


图11. 微分非线性误差与DAC代码的关系, 10 V范围

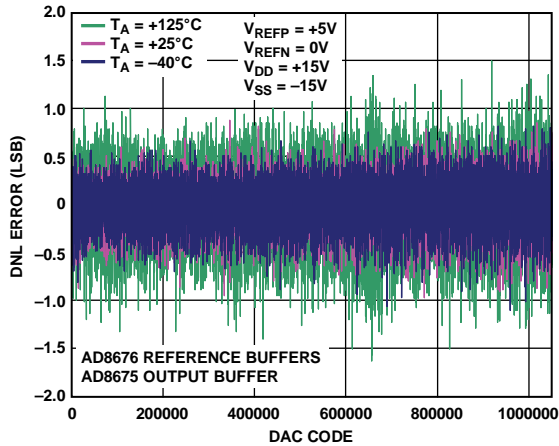


图12. 微分非线性误差与DAC代码的关系, 5 V范围

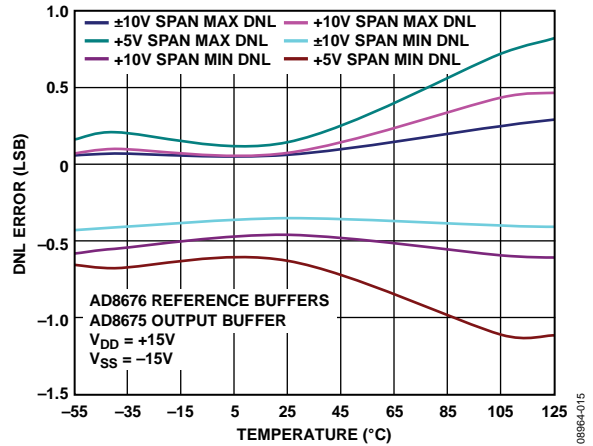


图15. 微分非线性误差与温度的关系

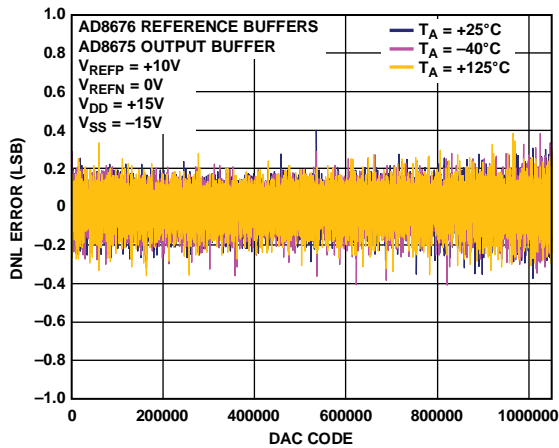


图13. 微分非线性误差与DAC代码的关系, X2增益模式

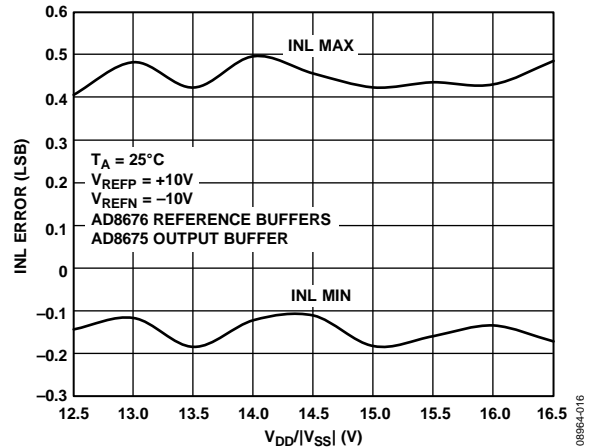


图16. 积分非线性误差与电源电压的关系, ±10 V范围

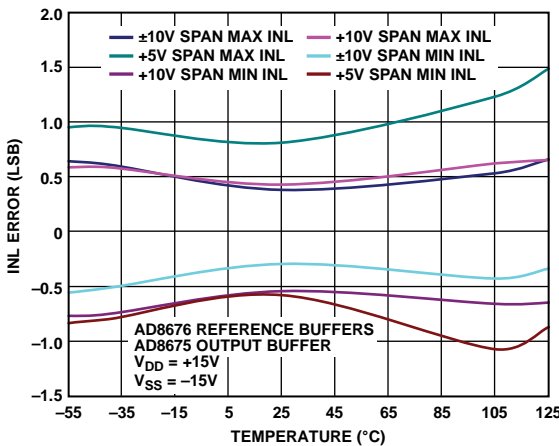


图14. 积分非线性误差与温度的关系

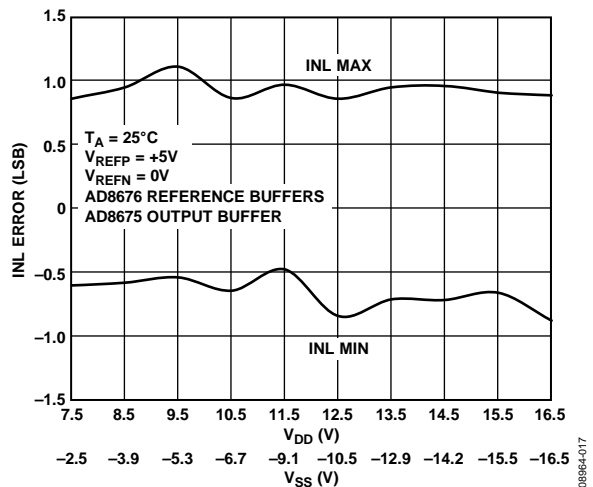


图17. 积分非线性误差与电源电压的关系, 5 V范围

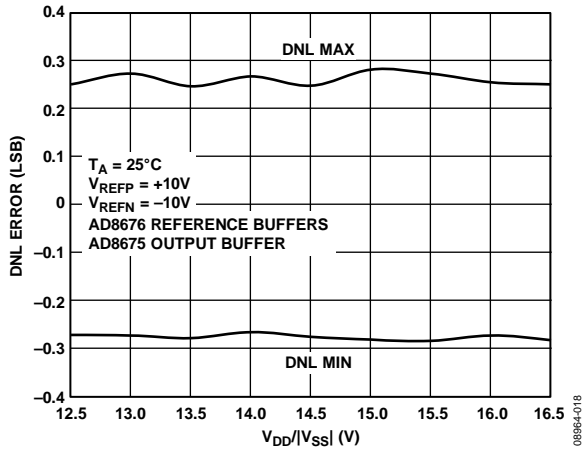


图18. 微分非线性误差与电源电压的关系,  $\pm 10$  V范围

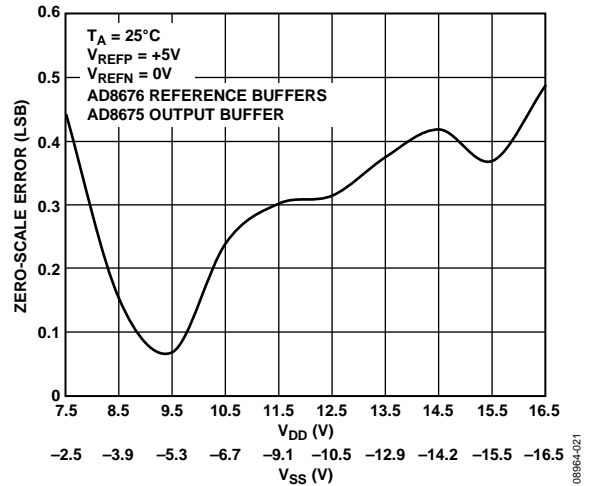


图21. 零电平误差与电源电压的关系, 5 V范围

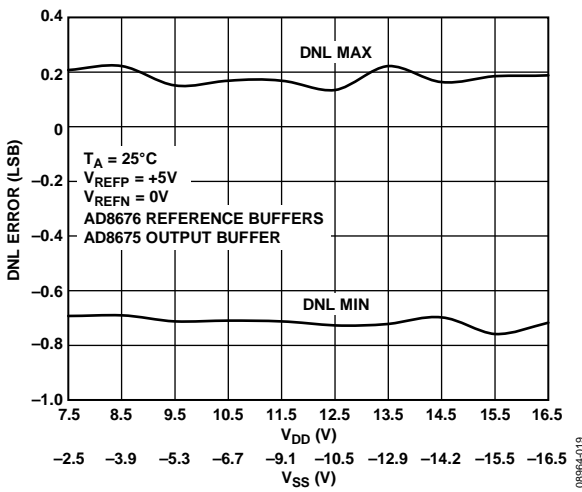


图19. 微分非线性误差与电源电压的关系, 5 V范围

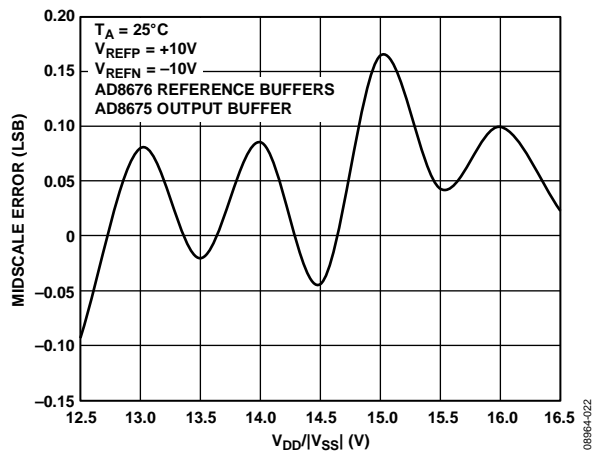


图22. 中间电平误差与电源电压的关系,  $\pm 10$  V范围

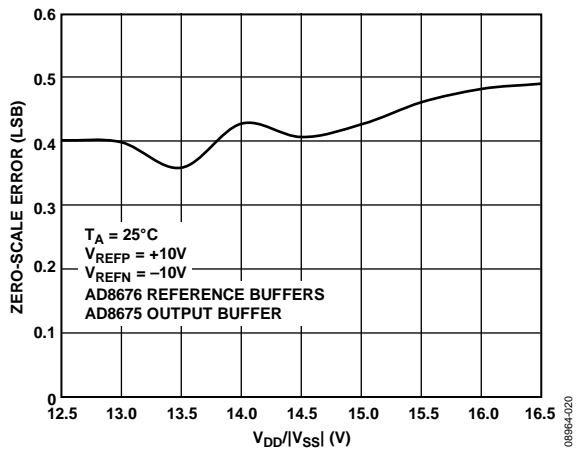


图20. 零电平误差与电源电压的关系,  $\pm 10$  V范围

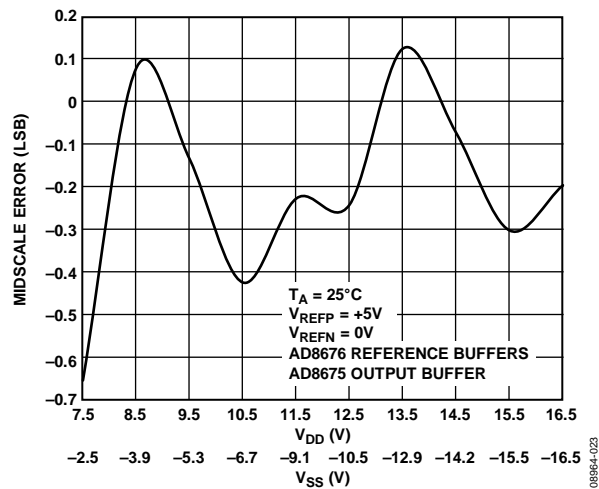


图23. 中间电平误差与电源电压的关系, 5 V范围

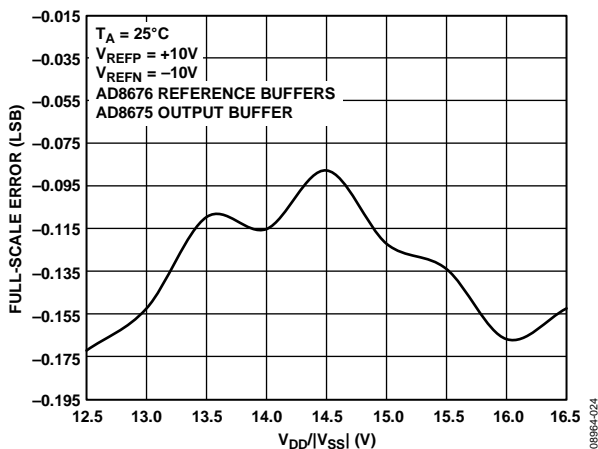


图24. 满量程误差与电源电压的关系, ±10 V范围

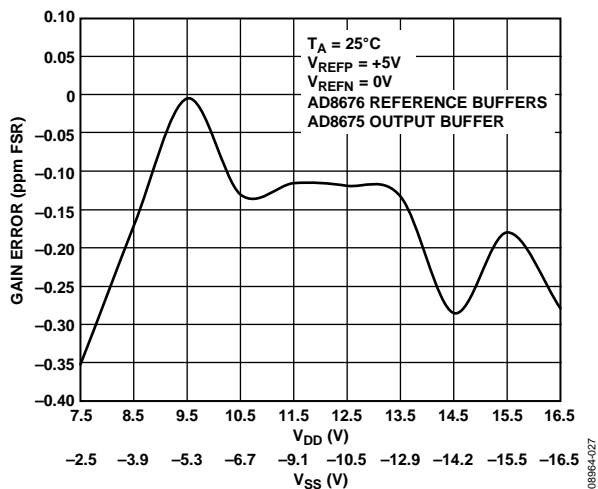


图27. 增益误差与电源电压的关系, 5 V范围

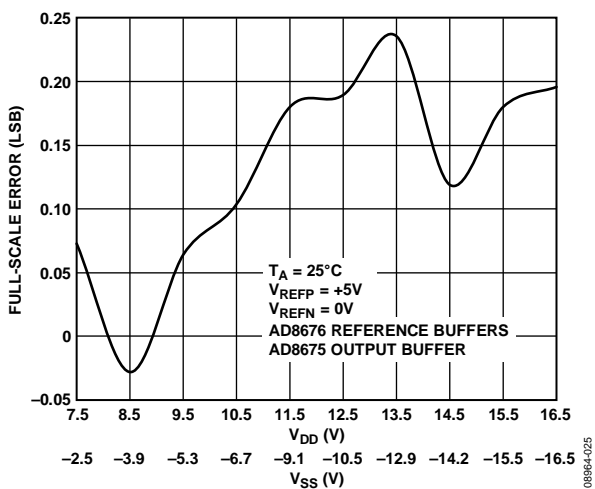


图25. 满量程误差与电源电压的关系, 5 V范围

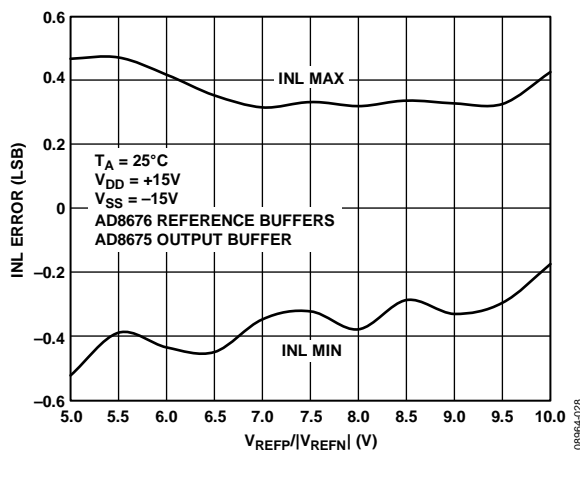


图28. 积分非线性误差与基准电压的关系

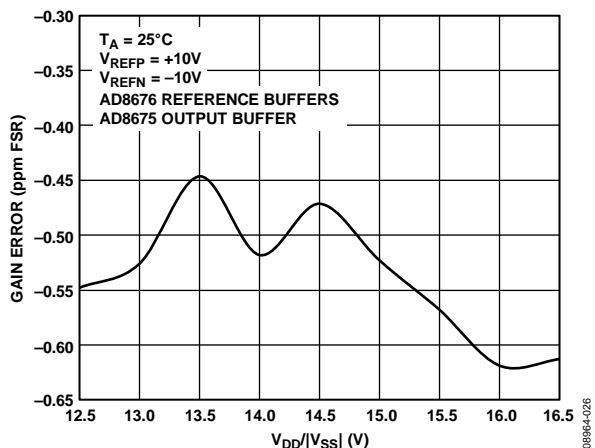


图26. 增益误差与电源电压的关系, ±10 V范围

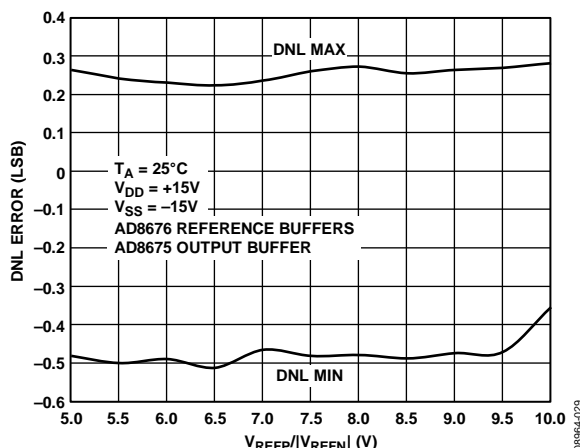


图29. 微分非线性误差与基准电压的关系

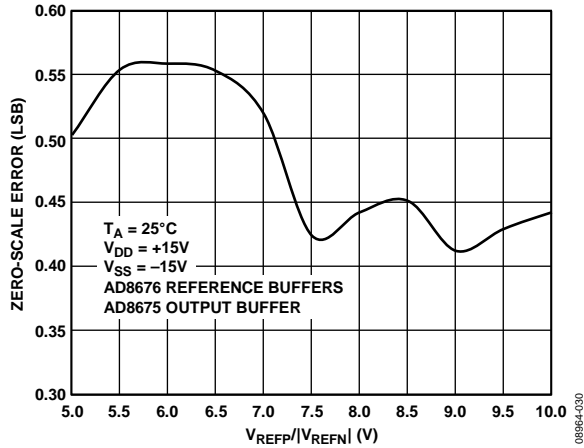


图30. 零电平误差与基准电压的关系

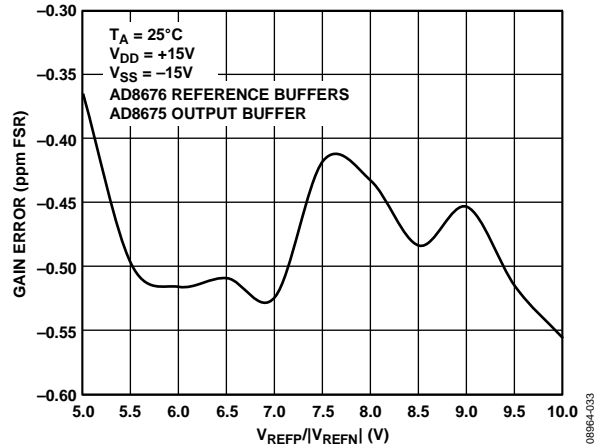


图33. 增益误差与基准电压的关系

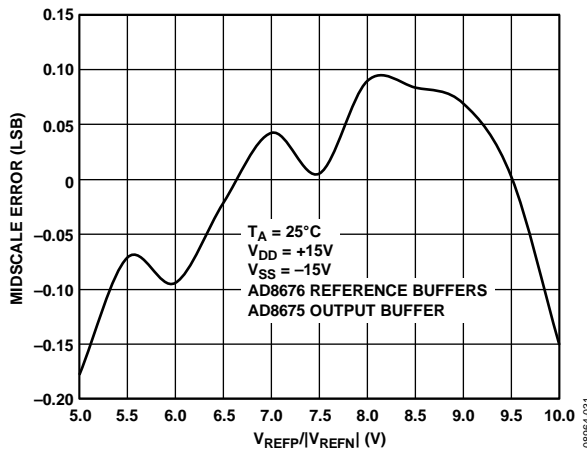


图31. 中间电平误差与基准电压的关系

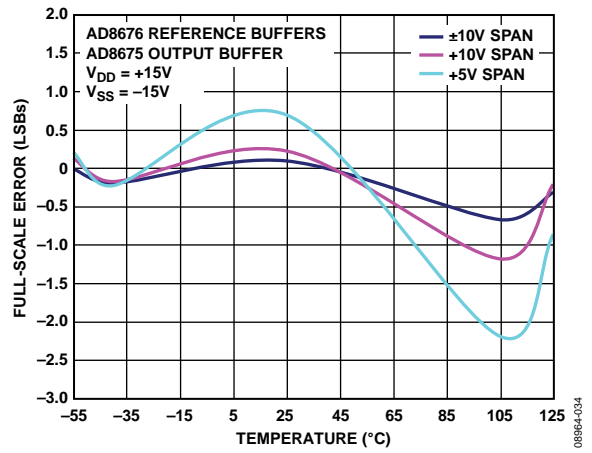


图34. 满量程误差与温度的关系

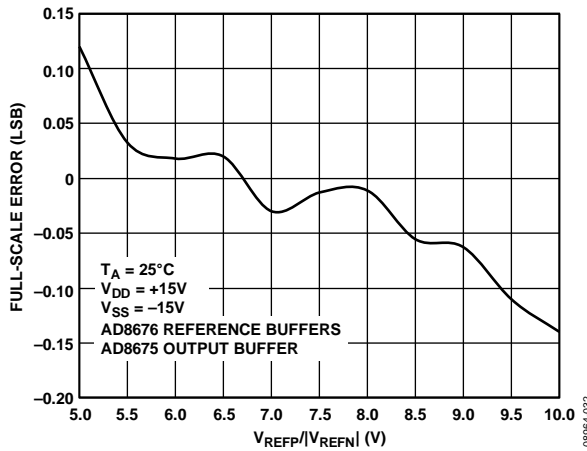


图32. 满量程误差与基准电压的关系

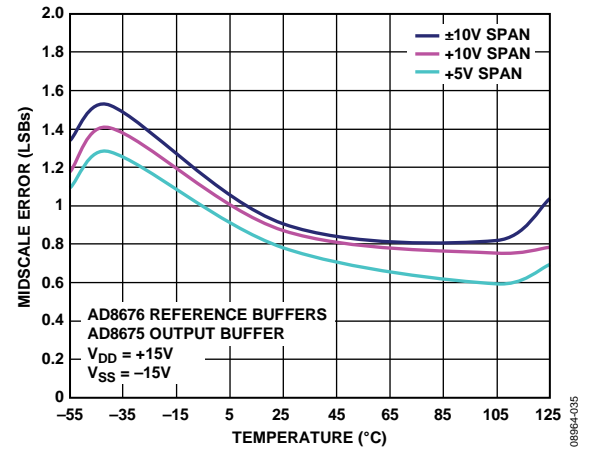


图35. 中间电平误差与温度的关系

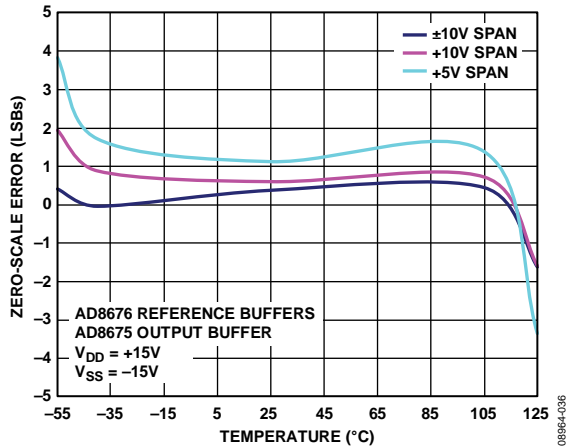


图36. 零电平误差与温度的关系

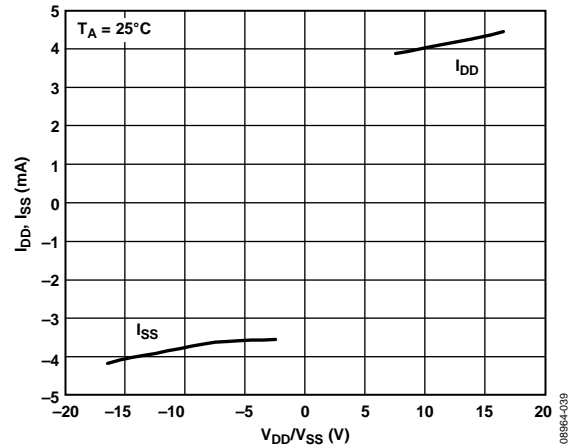


图39. 电源电流与电源电压的关系

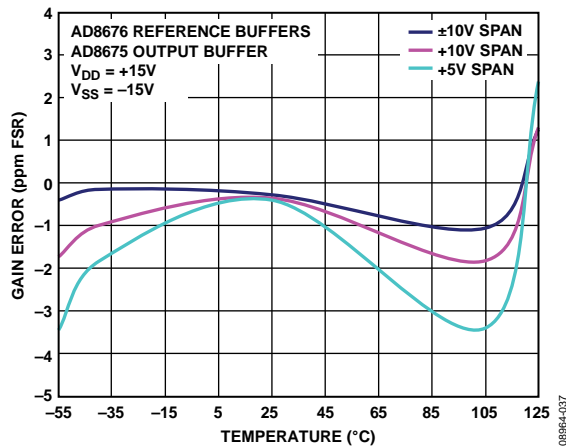


图37. 增益误差与温度的关系

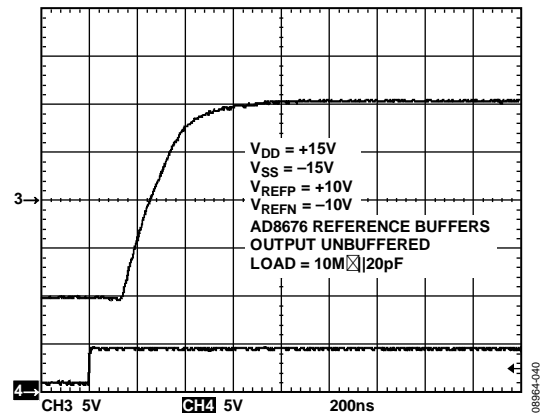


图40. 上升满量程电压阶跃

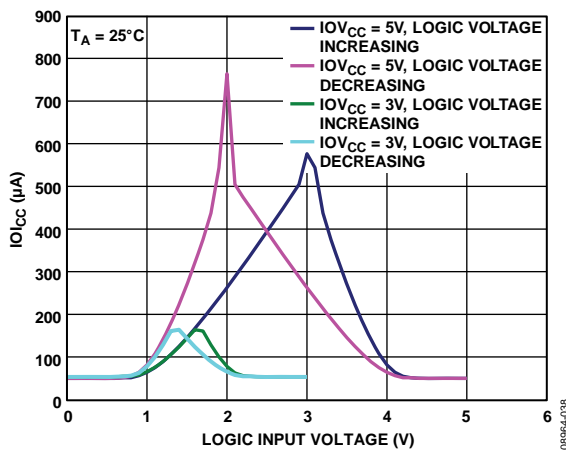


图38. IOICC与逻辑输入电压的关系

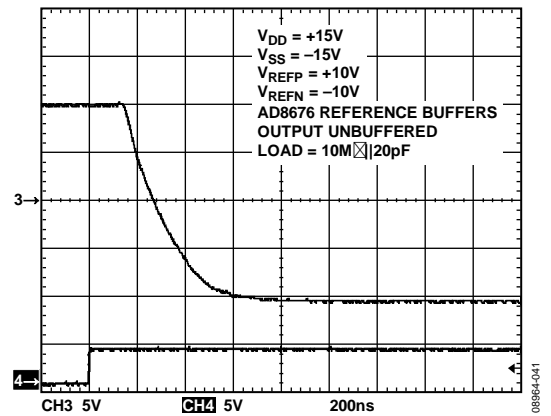


图41. 下降满量程电压阶跃

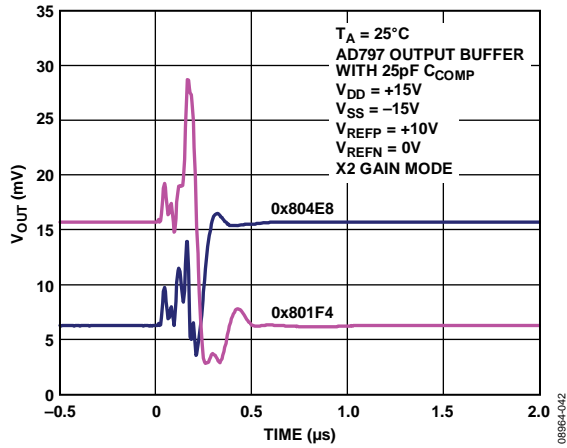


图42. 500代码阶跃建立时间

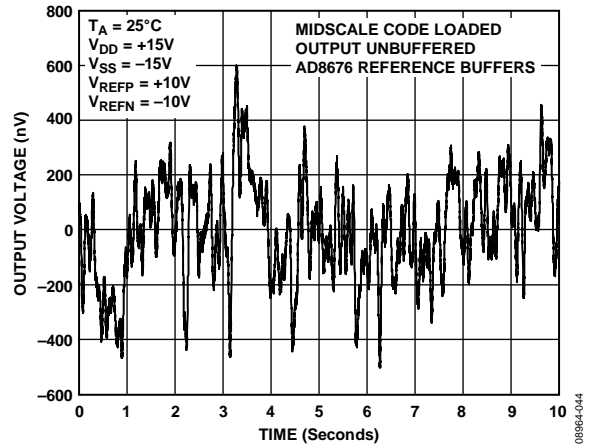


图44. 电压输出噪声, 0.1 Hz至10 Hz带宽

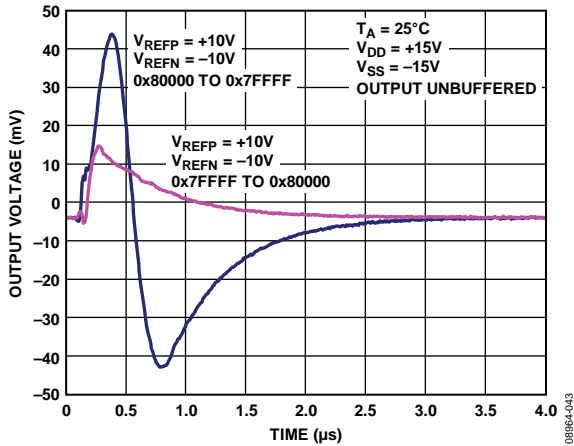


图43. 数模转换毛刺脉冲

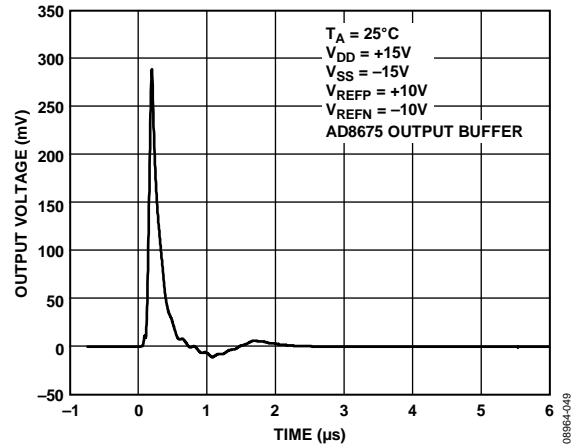


图45. 消除输出箝位时的毛刺脉冲



## 术语

### 相对精度

相对精度或积分非线性(INL)是指DAC输出与通过DAC端点的传递函数直线之间的最大偏差,单位为LSB。图6所示为典型的INL误差与代码的关系图。

### 微分非线性(DNL)

微分非线性是指任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大±1 LSB的额定微分非线性可确保单调性。此DAC可保证单调性。图10所示为典型的DNL误差与代码的关系图。

### 线性误差长期稳定性

线性误差长期稳定性是指DAC线性度在较长时间内的稳定程度。它用LSB表示,在500小时和1000小时的时间和环境温度下进行测量。

### 零电平误差

零电平误差衡量将零电平代码(0x00000)载入DAC寄存器时的输出误差。理想情况下,输出电压应为 $V_{REFNS}$ 。零电平误差用LSB表示。

### 零电平误差温度系数

零电平误差温度系数衡量零电平误差随温度的变化,用ppm FSR/°C表示。

### 满量程误差

满量程误差衡量将满量程代码(0x3FFFF)载入DAC寄存器时的输出误差。理想情况下,输出电压应为 $V_{REFPS} - 1$  LSB。满量程误差用LSB表示。

### 满量程误差温度系数

满量程误差温度系数衡量满量程误差随温度的变化,用ppm FSR/°C表示。

### 增益误差

增益误差是衡量DAC量程误差的指标,它是指DAC传递特性的斜率与理想值之间的偏差,用满量程范围的ppm表示。

### 增益误差温度系数

增益误差温度系数衡量增益误差随温度的变化,用ppm FSR/°C表示。

### 中间电平误差

中间电平误差衡量将中间电平代码(0x20000)载入DAC寄存器时的输出误差。理想情况下,输出电压应为 $(V_{REFPS} - V_{REFNS})/2 + V_{REFNS}$ 。中间电平误差用LSB表示。

### 中间电平误差温度系数

中间电平误差温度系数衡量中间电平误差随温度的变化,用ppm FSR/°C表示。

### 输出压摆率

压摆率衡量对输出电压变化率的限制。AD5791输出电压的压摆率由 $V_{OUT}$ 引脚的容性负载与AD5791的3.4 kΩ输出阻抗共同决定。压摆率的测量范围是输出电压变化的10%至90%,用V/μs表示。

### 输出电压建立时间

输出电压建立时间是指对于指定的电压变化,输出电压达到并保持在指定电平所需的时间量。对于快速建立应用,需要高速缓冲放大器作为AD5791的3.4 kΩ输出阻抗与负载间的缓冲,此时建立时间由放大器决定。

### 数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的编码输入变化时注入到模拟输出的脉冲。它规定为毛刺的面积,用nV-sec表示,数字输入代码在主进位跃迁中改变1 LSB时进行测量(参见图43)。

### 输出使能毛刺脉冲

输出使能毛刺脉冲是DAC输出接地箝位消除时注入到模拟输出的脉冲。它规定为毛刺的面积,用nV-sec表示(参见图45)。

### 数字馈通

数字馈通衡量从DAC的数字输入注入DAC的模拟输出的脉冲,但在DAC输出未更新时进行测量。单位为nV-秒,测量数据总线上发生满量程编码变化时的情况,即全0至全1,反之亦然。

### 无杂散动态范围(SFDR)

无杂散动态范围指DAC的可用动态范围,超出此范围,杂散噪声就会干扰基波信号或使其失真。它用基波与DC至全奈奎斯特带宽(DAC采样速率的一半或fs/2)范围内的最大谐波或非谐波相关杂散的幅值之差来衡量。SFDR可在生成数字正弦波信号时测量。

### 总谐波失真(THD)

总谐波失真是指DAC输出的谐波均方根和与基波的比值。仅包括二次至五次谐波。

# AD5791

## 直流电源抑制比

直流电源抑制比衡量输出电压对DAC电源直流变化的抑制能力。它在电源电压的给定直流变化下测量，用 $\mu\text{V}/\text{V}$ 表示。

## 交流电源抑制比(AC PSRR)

交流电源抑制比衡量输出电压对DAC电源交流变化的抑制能力。它在电源电压的给定幅度和频率变化下测量，用分贝(dB)表示。

## 工作原理

AD5791是一款高精度、快速建立、单通道、20位、串行输入、电压输出DAC。 $V_{DD}$ 电源电压范围为7.5 V至16.5 V， $V_{SS}$ 电源电压范围为-16.5 V至-2.5 V。数据通过3线串行接口以24位字格式写入AD5791。它内置一个上电复位电路，确保DAC输出上电至0 V， $V_{OUT}$ 引脚通过约6 k $\Omega$ 的内部电阻箝位至AGND。

### DAC架构

AD5791的DAC架构由两个匹配的DAC部分组成。图46给出了简化电路图。20位数据字的6个MSB经解码用于驱动63个开关E0到E62。每个开关将63个匹配电阻之一连接到VREFP或VREFN电压。数据字的其余14位驱动14位电压模式R-2R梯形网络的S0至S13开关。为确保获得额定性能，基准输入必须利用外部放大器进行强制检测。

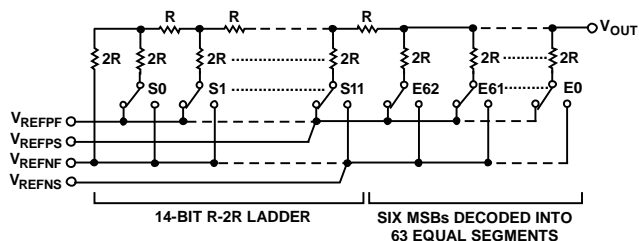


图46. DAC梯形结构

### 串行接口

AD5791有一个3线串行接口(SYNC、SCLK和SDIN)，它与SPI、QSPI、MICROWIRE接口标准及大多数DSP兼容(时序图参见图2)。

### 输入移位寄存器

输入移位寄存器为24位宽。在工作速度最高可达50 MHz的串行时钟输入SCLK的控制下，数据作为24位字以MSB优先的方式载入器件。输入寄存器包括R/W位、3个地址位和20个寄存器位，如表7所示。图2给出了这种操作的时序图。

表7. 输入移位寄存器格式

MSB			LSB		
DB23	DB22	DB21	DB20	DB19	DB0
R/W	寄存器地址			寄存器数据	

表8. 输入移位寄存器解码

R/W	寄存器地址			描述
X <sup>1</sup>	0	0	0	无操作 (NOP; 用于回读操作)
0	0	0	1	写入DAC寄存器
0	0	1	0	写入控制寄存器
0	0	1	1	写入清零代码寄存器
0	1	0	0	写入软件控制寄存器
1	0	0	1	读取DAC寄存器
1	0	1	0	读取控制寄存器
1	0	1	1	读取清零代码寄存器

<sup>1</sup> X表示无关。

### 独立操作

串行接口可以采用连续式和非连续式串行时钟工作。如果SYNC在正确的时钟周期数内保持为低电平，只能使用连续的SCLK时钟源。在选通时钟模式下，必须采用包含确切时钟周期数的突发时钟，在时钟周期结束后必须将SYNC置为高电平来锁存数据。SYNC的第一个下降沿启动写周期。SCLK必须在24个时钟下降沿后，才能将SYNC重新拉高。如果在第24个SCLK下降沿之前拉高SYNC，写入的数据无效。如果拉高SYNC前有超过24个SCLK下降沿，输入数据同样无效。输入移位寄存器在SYNC的上升沿更新。若需进行其他串行传输，必须将SYNC再次拉低。串行传输结束后，数据自动从输入移位寄存器传送到寻址寄存器。一旦写入周期完成，就可以在SYNC为高电平时拉低LDAC，从而更新输出。

### 菊花链操作

对于包含数个器件的系统，可利用SDO引脚通过菊花链方式将多个器件连接起来。菊花链模式有助于系统诊断和减少串行接口线的数量。SYNC的第一个下降沿启动写周期。当SYNC为低电平时，SCLK不断施加到输入移位寄存器。如果施加了24个以上的时钟脉冲，则数据从移位寄存器纹波输出并出现在SDO线路上。此数据在SCLK上升沿逐个输出，并在SCLK的下降沿有效。将第一个器件的SDO连接到菊花链中下一个器件的SDIN输入，可构建一个多器件接口。系统中的每个器件都需要24个时钟脉冲，因此总时钟周期数必须等于 $24 \times N$ ，其中N为菊花链中的AD5791器件总数。当对所有器件的串行传输结束时，SYNC变为高电平，这样可以锁存菊花链中各器件的输入数据，防止额外的数据进入输入移位寄存器。串行时钟可以是连续时钟或选通时钟。

如果SYNC在正确的时钟周期数内保持为低电平，只能使用连续的SCLK时钟源。在选通时钟模式下，必须采用包含确切时钟周期数的突发时钟，在时钟周期结束后必须将SYNC置为高电平来锁存数据。

在任何一个菊花链序列中，写入DAC寄存器不应与写入任何其它寄存器混合在一起。对菊花链器件的所有写入要么是写入DAC寄存器，要么是写入控制寄存器、清零代码寄存器或软件控制寄存器。

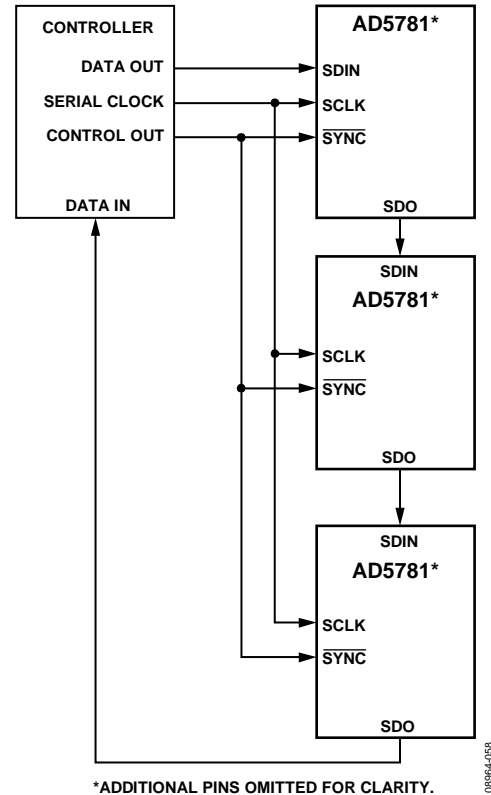


图47. 菊花链框图

### 回读

通过SDO引脚可以回读所有片内寄存器的内容。表8显示了寄存器的解码情况。寻址一个待读取的寄存器后，数据将通过SDO引脚在接下来的24个时钟周期输出。时钟必须在SYNC为低电平时施加。当SYNC返回高电平时，SDO引脚变为三态。当读取单个寄存器时，可以使用NOP功能输出数据。如果读取一个以上的寄存器，则第一个待寻址寄存器的数据可以在寻址第二个待读取寄存器的同时输出。要完成一个回读操作，必须使能SDO引脚。SDO引脚默认使能。

### 硬件控制引脚

#### 加载DAC功能(LDAC)

数据传输到DAC的输入寄存器之后，有两种方法可以更新DAC寄存器和DAC输出。根据SYNC和LDAC的状态，选择两种更新模式之一：同步DAC更新或异步DAC更新。

#### 同步DAC更新

在此模式下，当数据进入输入移位寄存器时LDAC要保持为低电平。DAC输出在SYNC的上升沿更新。

### 异步DAC更新

在此模式下，当数据进入输入移位寄存器时 $\overline{\text{LDAC}}$ 要保持为高电平。在拉高 $\overline{\text{SYNC}}$ 后，通过拉低 $\overline{\text{LDAC}}$ 可以异步更新DAC输出。此时在 $\overline{\text{LDAC}}$ 的下降沿进行更新。

### 复位功能(RESET)

AD5791可以通过两种方式复位至上电状态：一是置位 $\overline{\text{RESET}}$ 引脚，二是利用软件RESET控制功能(见表14)。如果 $\overline{\text{RESET}}$ 引脚不用，应将其硬连线至 $\text{IOV}_{\text{CC}}$ 。

### 异步清零功能(CLR)

$\overline{\text{CLR}}$ 引脚是低电平有效清零，允许输出清零至用户自定义值。20位清零代码值写入清零代码寄存器(见表13)。 $\overline{\text{CLR}}$ 必须至少保持一段时间的低电平才能完成操作(参见图2)。当 $\overline{\text{CLR}}$ 信号变回高电平后，输出保持为清零值(如果 $\overline{\text{LDAC}}$ 为高电平)，直到新值载入DAC寄存器。当 $\overline{\text{CLR}}$ 引脚为低电平时，无法用新值更新输出。清零操作还可通过设置软件控制寄存器中的CLR位来执行(见表14)。

表9. 硬件控制引脚真值

LDAC	CLR	RESET	功能
X <sup>1</sup>	X <sup>1</sup>	0	AD5791处于复位模式。无法对器件进行编程。
X <sup>1</sup>	X <sup>1</sup>	1	AD5791返回到上电状态。所有寄存器都被设置为默认值。
0	0	1	DAC寄存器加载清零代码寄存器值，并相应地设置输出。
0	1	1	输出根据DAC寄存器值进行设置。
1	0	1	DAC寄存器加载清零代码寄存器值，并相应地设置输出。
↓	1	1	输出根据DAC寄存器值进行设置。
↓	0	1	输出保持为清零代码值。
↑	1	1	输出根据DAC寄存器值进行设置。
↑	0	1	输出保持为清零代码值。
1	↓	1	DAC寄存器加载清零代码寄存器值，并相应地设置输出。
0	↓	1	DAC寄存器加载清零代码寄存器值，并相应地设置输出。
1	↑	1	输出保持为清零代码值。
0	↑	1	输出根据DAC寄存器值进行设置。

<sup>1</sup> X表示无关。

## 片内寄存器

### DAC寄存器

表10说明如何写入和读取DAC寄存器。

表10. DAC寄存器

MSB					LSB
DB23	DB22	DB21	DB20	DB19	DB0
R/W			寄存器地址		DAC寄存器地址
R/W	0	0	1	20位数据	

以下方程式描述了DAC的理想传递函数：

$$V_{OUT} = \frac{(V_{REFP} - V_{REFN}) \times D}{2^{20}} + V_{REFN}$$

其中：

$V_{REFN}$  是 $V_{REFN}$  输入引脚上施加的负电压。

$V_{REFP}$  是 $V_{REFP}$  输入引脚上施加的正电压。

D为写入DAC的20位代码。

# AD5791

## 控制寄存器

控制寄存器控制AD5791的工作模式。

表11. 控制寄存器

MSB													LSB		
DB23	DB22	DB21	DB20	DB19...DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
R/W	寄存器地址			控制寄存器数据											
R/W	0	1	0	保留	保留	LIN COMP			SDODIS	BIN/2sC	DACTRI	OPGND	RBUF	保留	

表12. 控制寄存器功能

功能	描述
保留	这些位为保留位，应设置为零。
RBUF	输出放大器配置控制。 0: 内部放大器A1上电，电阻RFB和R1串联，如图50所示。允许连接一个增益为配置2的外部放大器。详情见“AD5791特性”部分。 1: (默认)内部放大器A1掉电，电阻RFB和R1并联，如图49所示；RFB与INV引脚之间的电阻为3.4 kΩ，等于DAC的电阻。允许RFB和INV引脚对外部单位增益放大器进行输入偏置电流补偿。详情见“AD5791特性”部分。
OPGND	输出接地箝位控制。 0: 消除DAC输出接地箝位，DAC处于正常模式。 1: (默认)DAC输出通过约6 kΩ电阻箝位至接地，DAC处于三态模式。
DACTRI	DAC三态控制。 0: DAC处于正常工作模式。 1: (默认)DAC处于三态模式。
BIN/2sC	DAC寄存器编码选择。 0: (默认)DAC寄存器使用二进制补码编码。 1: DAC寄存器使用偏移二进制编码。
SDODIS	SDO引脚使能/禁用控制。 0: (默认)SDO引脚使能。 1: SDO引脚禁用(三态)。
LIN COMP	线性误差补偿，用于改变基准输入范围。详情见“AD5791特性”部分。
	0 0 0 0 (默认)基准输入范围: 10 V及以下
	1 0 0 1 基准输入范围: 10 V至12 V
	1 0 1 0 基准输入范围: 12 V至16 V
	1 0 1 1 基准输入范围: 16 V至19 V
	1 1 0 0 基准输入范围: 19 V至20 V
R/W	读/写选择位。 0: 寻址AD5791进行写操作。 1: 寻址AD5791进行读操作。

## 清零代码寄存器

当置位CLR引脚或CLR位时，清零代码寄存器设置DAC输出值。输出值取决于所用的DAC编码格式：二进制或二进制补码。默认寄存器值为0。

表13. 清零代码寄存器

MSB										LSB	
DB23	DB22	DB21	DB20	DB19						DB0	
R/W	寄存器地址				清零代码寄存器数据						
R/W	0	1	1	20位数据							

**软件控制寄存器**

这是一个只写寄存器，将1写入特定位相当于通过发送脉冲将相应的引脚拉低。

**表14. 软件控制寄存器**

MSB				LSB				
DB23	DB22	DB21	DB20	DB19	DB3	DB2	DB1	DB0
R/ $\overline{W}$	寄存器地址			软件控制寄存器数据				
0	1	0	0	保留		RESET	CLR <sup>1</sup>	LDAC <sup>2</sup>

<sup>1</sup> 如果 $\overline{LDAC}$ 引脚为低电平，CLR功能无效。

<sup>2</sup> 如果CLR引脚为低电平，LDAC功能无效。

**表15. 软件控制寄存器功能**

功能	描述
LDAC	此位设置为1可更新DAC寄存器和DAC输出。
CLR	此位设置为1可将DAC寄存器设置为用户自定义值(见表13)并更新DAC输出。输出值取决于所用的DAC寄存器编码格式：二进制或二进制补码。
RESET	此位设置为1可使AD5791返回上电状态。

## AD5791特性

### 上电至0V

AD5791内置一个上电复位电路，它除了能将所有寄存器复位至默认值以外，还能控制上电期间的输出电压。上电时，DAC处于三态模式(其基准输入断开)，DAC输出通过约6 kΩ电阻箝位至接地。DAC将保持此状态，直到通过控制寄存器将其设置为其它状态。这个特性对于在DAC上电过程中必须知道DAC输出状态的应用十分有用。

### 配置AD5791

上电之后，必须将AD5791置于正常工作模式才能对输出进行编程。为此，必须对控制寄存器进行编程。DACTRI位清零可使DAC脱离三态，OPGND位清零可消除输出箝位。此时，输出将变为VREFN，除非首先给DAC寄存器设置了其它值。

### DAC输出状态

通过控制寄存器的DACTRI和OPGND位，可以将DAC输出置于三种状态之一，如表16所示。

表16. AD5791输出状态真值表

DACTRI	OPGND	输出状态
0	0	正常工作模式
0	1	输出通过约6 kΩ电阻箝位至AGND
1	0	输出为三态
1	1	输出通过约6 kΩ电阻箝位至AGND

### 线性补偿

AD5791的积分非线性(INL)会随着所施加的基准电压范围不同而改变，可设置控制寄存器的LIN COMP位以补偿INL的这种变化。本数据手册中的特性是在以下条件下获得的：LIN COMP = 0000针对10 V及以上的基准电压范围，LIN COMP = 1100针对20 V的基准电压范围。LIN COMP位的默认值为0000。针对10 V至20 V的基准电压范围，可以设置中间的LIN COMP值，如表12所示。

### 输出放大器配置

输出放大器可以通过多种方式连接到AD5791，具体取决于所施加的基准电压和所需的输出电压范围。

### 单位增益配置

图48所示为输出放大器的单位增益配置，输出范围从V<sub>REFN</sub>到V<sub>REFP</sub>。

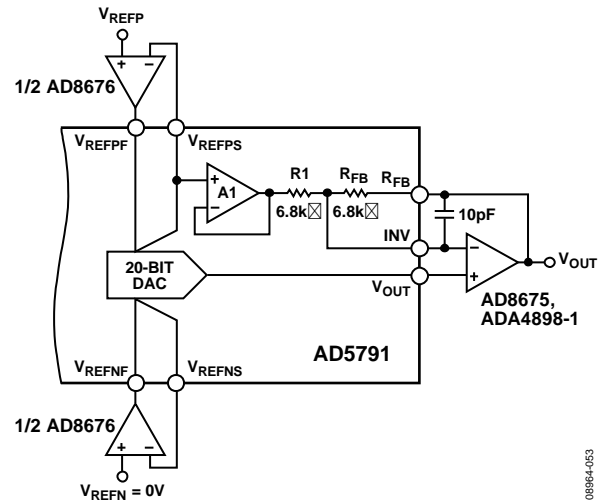


图48. 单位增益配置的输出放大器

输出放大器还有一种单位增益配置，该配置从放大器的输入偏置电流中消除了失调，方法是在放大器的反馈路径中插入一个阻值与DAC输出电阻相等的电阻。DAC输出电阻为3.4 kΩ，通过并联连接R1和RFB，就能在片内获得一个与DAC电阻相等的电阻。由于这些电阻全部位于一个硅片上，因此其温度系数彼此匹配。若要使能这种工作模式，必须将控制寄存器的RBUF位设置为逻辑1。图49给出了输出放大器连接到AD5791的方式。在此配置中，输出放大器为单位增益，输出范围从V<sub>REFN</sub>到V<sub>REFP</sub>。这种单位增益配置允许在放大器反馈路径中放置一个电容，以提高动态性能。

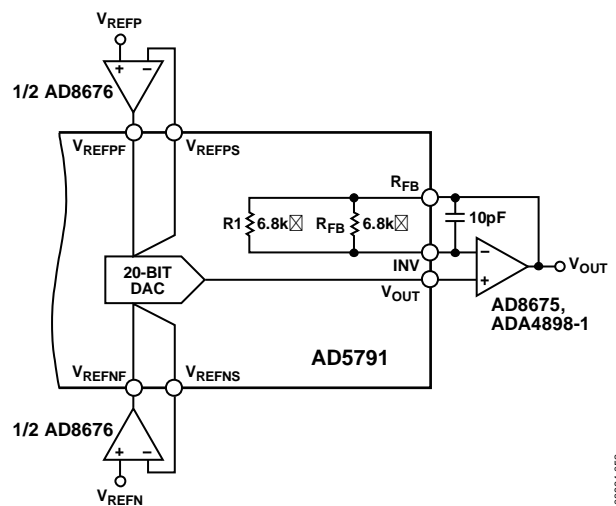


图49. 带放大器输入偏置电流补偿的单位增益输出放大器



### 增益为2的配置

图50所示为增益配置为2的输出放大器。增益由内部匹配的6.8 k $\Omega$ 电阻设置，这些电阻恰好是DAC电阻的2倍，并具有从外部放大器的输入偏置电流中消除失调的作用。在此配置中，输出范围是从 $2 \times V_{REFN} - V_{REFP}$ 到 $V_{REFP}$ 。这种配置可用来从单端基准输入( $V_{REFN} = 0$  V)产生双极性输出范围。若要使能这种工作模式，必须将控制寄存器的RBUF位设置为逻辑0。

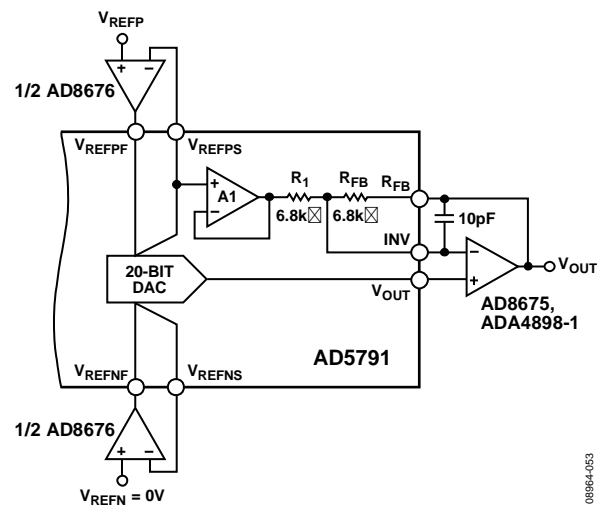


图50. 增益配置为2的输出放大器

08984-053

## 应用信息

### 典型工作电路

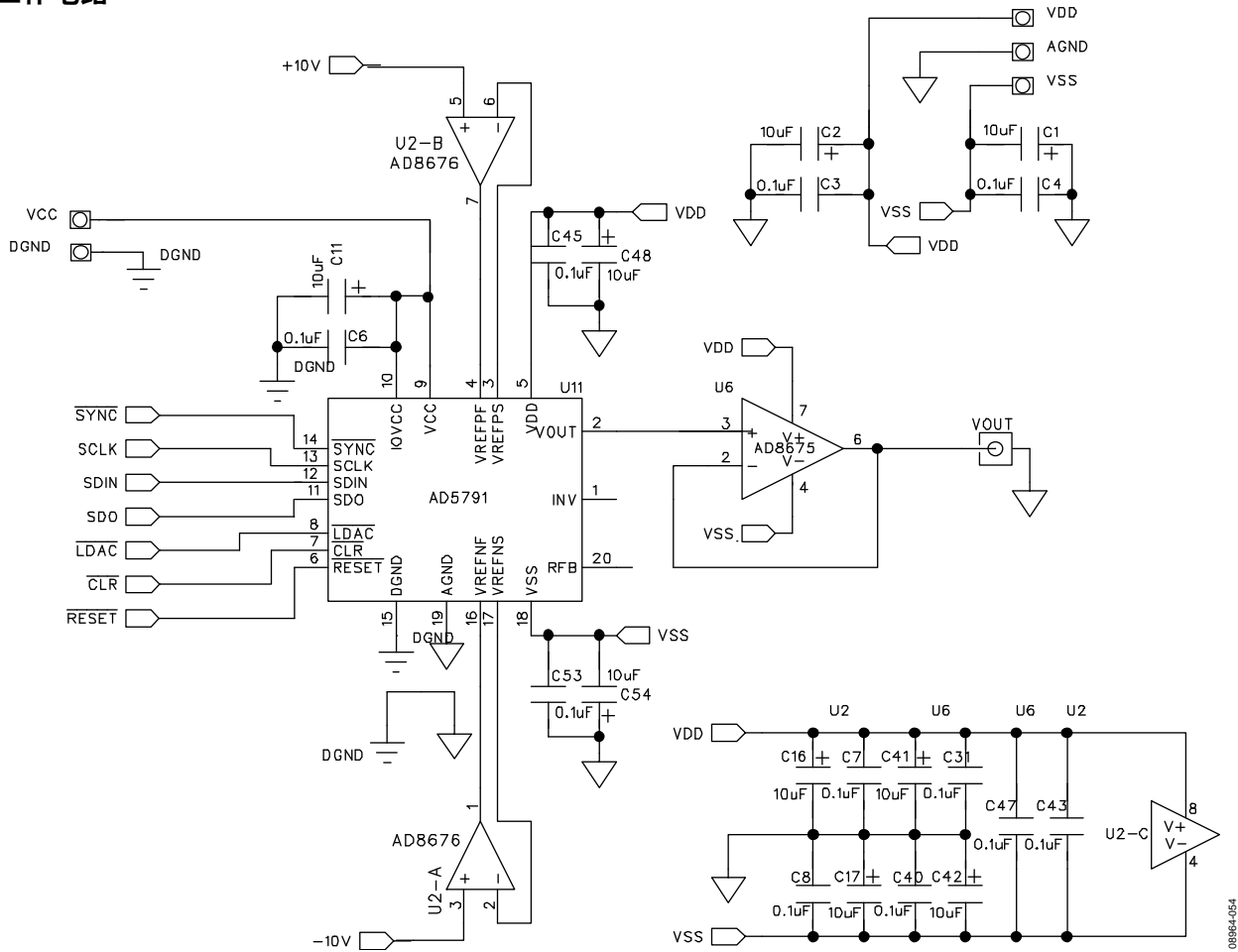
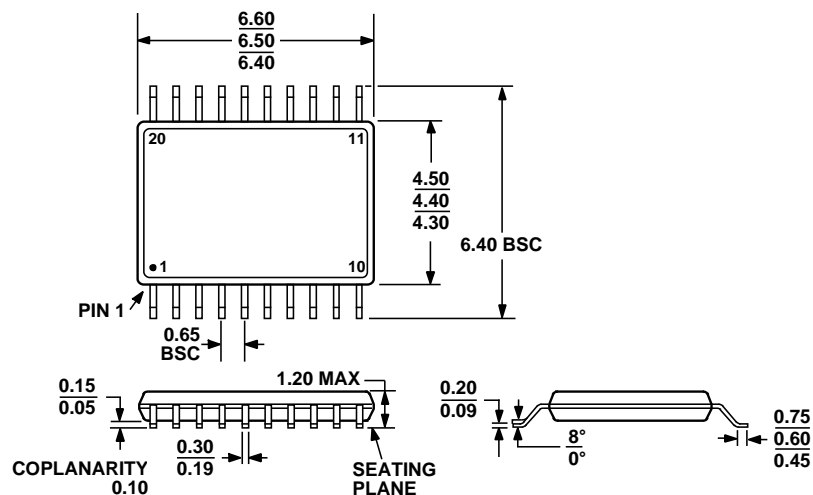


图51. 典型工作电路

图51所示为AD5791的典型工作电路，其中AD8676用作基准电压缓冲器，AD8675用作输出缓冲器。为达到额定线性度，基准输入端必须使用强制检测缓冲器。由于

AD5791的输出阻抗为3.4 kΩ，因此需要一个输出缓冲器来驱动低电阻、高电容负载。

## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-153-AC

图52. 20引脚超薄紧缩小型封装[TSSOP]  
(RU-20)

尺寸单位: mm

## 订购指南

型号 <sup>1</sup>	温度范围	INL	封装描述	封装选项
AD5791BRUZ	-40°C 至 +125°C	±1.5 LSB	20引脚 TSSOP	RU-20
AD5791ARUZ	-40°C 至 +125°C	±4 LSB	20引脚 TSSOP	RU-20

<sup>1</sup> Z = 符合RoHS标准的器件。

**AD5791**

**注释**