

特性

完全16位性能

2.7 V至5.5 V单电源供电

低功耗: 0.375 mW (3 V)

建立时间: 1 μ s

温度范围: -40°C 至 $+125^{\circ}\text{C}$

低毛刺: 1.1 nV-s

50 MHz SPI/QSPI/MICROWIRE/DSP兼容接口标准

上电复位可将DAC输出清零至零电平

采用10引脚MSOP封装

硬件LDAC功能

5 kV HBM ESD额定值

应用

自动测试设备

精密源测量仪器

数据采集系统

医疗仪器

航空航天仪器仪表

通信基础设施设备

工业控制

概述

AD5541A是一款单通道、16位、串行输入、无缓冲电压输出数模转换器(DAC), 采用2.7 V至5.5 V单电源供电。

DAC输出范围为0V至VREF, 可保证单调性, 16位时能提供1 LSB INL精度, 在 -40°C 至 $+125^{\circ}\text{C}$ 的额定温度范围内无需调整。

AD5541A提供无缓冲输出, 建立时间为1 μ s, 具有低功耗和低失调误差特性。11.8 nV/ $\sqrt{\text{Hz}}$ 的低噪声性能和低毛刺使AD5541A适合部署在多种终端系统中。

AD5541A采用多功能三线式接口, 并且与50MHz SPI、QSPI™、MICROWIRE™和DSP接口标准兼容。

功能框图

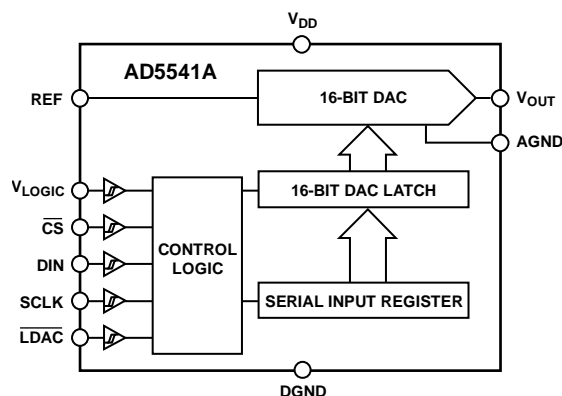


图1. 典型应用电路

产品聚焦

1. 单电源供电。AD5541A的额定电源电压为2.7 V至5.5 V。
2. 低功耗。该器件采用5V电源时的典型功耗为0.625 mW, 采用3 V电源时的典型功耗为0.375 mW。
3. 三线式串行接口。
4. 无缓冲输出能够驱动60 k Ω 负载。因为没有内部缓冲需要驱动, 所以可降低功耗。
5. 上电复位电路。

表1. 相关器件

产品型号	描述
AD5541	单通道16位无缓冲nanoDAC, ± 1 LSB INL, SOIC
AD5024/AD5044/AD5064	四通道12/14/16位nanoDAC, ± 1 LSB INL, TSSOP
AD5062	单通道16位nanoDAC, ± 1 LSB INL, SOT-23
AD5063	单通道16位nanoDAC, ± 1 LSB INL, MSOP
AD5061	单通道16位nanoDAC, ± 4 LSB INL, SOT-23
AD5040/AD5060	14/16位nanoDAC, ± 1 LSB INL, SOT-23

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2010 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	单极性输出操作.....	14
应用.....	1	输出放大器选择.....	14
功能框图.....	1	驱动检测放大器选择.....	15
概述.....	1	基准电压和地.....	15
产品聚焦.....	1	上电复位.....	15
修订历史.....	2	电源和基准电压旁路.....	15
技术规格.....	3	应用信息.....	16
交流特性.....	4	微处理器接口.....	16
时序特性.....	5	AD5541A与ADSP-BF531接口.....	16
绝对最大额定值.....	6	AD5541A与SPORT接口.....	16
ESD警告.....	6	布局指南.....	16
引脚配置和功能描述.....	7	电流隔离接口.....	16
典型工作特性.....	8	多个DAC的解码.....	17
术语.....	12	外形尺寸.....	18
工作原理.....	13	订购指南.....	18
数模转换部分.....	13		
串行接口.....	13		

修订历史

2010年7月—修订版0：初始版

技术规格

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $2.5\text{ V} \leq V_{REF} \leq V_{DD}$, $AGND = DGND = 0\text{ V}$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表2.

参数	最小值	典型值	最大值	单位	测试条件
静态性能					
分辨率	16			位	
相对精度(INL)		± 0.5	± 1.0	LSB	B级
		± 0.5	± 2.0	LSB	A级
微分非线性(DNL)		± 0.5	± 1.0	LSB	保证单调性
增益误差		0.5	± 2	LSB	$T_A = 25^\circ\text{C}$
			± 3	LSB	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$
			± 4	LSB	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$
增益误差温度系数		± 0.1		ppm/ $^\circ\text{C}$	
零代码误差		0.3	± 0.7	LSB	$T_A = 25^\circ\text{C}$
			± 1.5	LSB	$-40^\circ\text{C} < T_A < +85^\circ\text{C}$
			± 3	LSB	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$
零代码温度系数		± 0.05		ppm/ $^\circ\text{C}$	
直流电源抑制比			± 1	LSB	$\Delta V_{DD} \pm 10\%$
输出特性 ¹					
输出电压范围	0		$V_{REF} - 1\text{ LSB}$	V	单极性操作
DAC输出阻抗		6.25		k Ω	容差典型值20%
DAC基准电压输入 ²					
基准电压输入范围	2.0		V_{DD}	V	
基准电压输入电阻	9			k Ω	单极性操作
基准电压输入电容		26		pF	代码0x0000
		26		pF	代码0xFFFF
逻辑输入					
输入电流			± 1	μA	
低输入电压 V_{INL}			0.8	V	$V_{DD} = 2.7\text{ V}$ 至 5.5 V
高输入电压 V_{INH}	2.4			V	$V_{DD} = 2.7\text{ V}$ 至 5.5 V
输入电容 ¹			10	pF	
迟滞电压 ¹		0.15		V	
电源要求					
V_{DD}	2.7		5.5	V	所有数字输入为0、 V_{LOGIC} 或 V_{DD}
I_{DD}		125	150	μA	$V_{IH} = V_{LOGIC}$ 或 V_{DD} , $V_{IL} = \text{GND}$
V_{LOGIC}	1.8		5.5	V	
I_{LOGIC}		15	24	μA	
功耗		0.625	0.825	mW	所有数字输入为0、 V_{LOGIC} 或 V_{DD}

¹ 通过设计保证, 但未经生产测试。

² 基准电压输入电阻与代码相关, 最小值在0x8555。

AD5541A

交流特性

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $2.5\text{ V} \leq V_{REF} \leq V_{DD}$, $AGND = DGND = 0\text{ V}$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表3.

参数	最小值	典型值	最大值	单位	测试条件
输出电压建立时间		1		μs	至满量程的1/2 LSB, $C_L = 10\text{ pF}$
压摆率		17		$\text{V}/\mu\text{s}$	$C_L = 10\text{ pF}$, 测量范围从0%至63%
数模转换毛刺脉冲		1.1		$\text{nV}\cdot\text{sec}$	主进位1 LSB变化
基准电压-3 dB带宽		2.2		MHz	载入全1
基准电压馈通		1		mV p-p	载入全0, $V_{REF} = 1\text{ V}$ 峰峰值(100 kHz)
数字馈通		0.2		$\text{nV}\cdot\text{sec}$	
信噪比		92		dB	
无杂散动态范围		80		dB	数字生成的1 kHz正弦波
总谐波失真		74		dB	DAC代码 = 0xFFFF, 频率10 kHz, $V_{REF} = 2.5\text{ V} \pm 1\text{ V}$ 峰峰值
输出噪声频谱密度		11.8		$\text{nV}/\sqrt{\text{Hz}}$	DAC代码 = 0x8400, 频率 = 1 kHz
输出噪声		0.134		$\mu\text{V p-p}$	0.1 Hz至10 Hz

时序特性

除非另有说明, $V_{\text{LOGIC}} = 2.7\text{ V}$ 至 5.5 V , $V_{\text{DD}} = 5\text{ V}$, $2.5\text{ V} \leq V_{\text{REF}} \leq V_{\text{DD}}$, $V_{\text{INH}} = V_{\text{LOGIC}}$ 的90%, $V_{\text{INL}} = V_{\text{LOGIC}}$ 的10%, $\text{AGND} = \text{DGND} = 0\text{ V}$, $-40^\circ\text{C} < T_{\text{A}} < +125^\circ\text{C}$ 。

表4.

参数 ^{1,2}	限值	单位	描述
f_{SCLK}	50	MHz (最大值)	SCLK周期频率
t_1	20	ns (最小值)	SCLK周期时间
t_2	10	ns (最小值)	SCLK高电平时间
t_3	10	ns (最小值)	SCLK低电平时间
t_4	5	ns (最小值)	$\overline{\text{CS}}$ 低电平至SCLK高电平建立时间
t_5	5	ns (最小值)	$\overline{\text{CS}}$ 高电平至SCLK高电平建立时间
t_6	5	ns (最小值)	SCLK高电平至 $\overline{\text{CS}}$ 低电平保持时间
t_7	5	ns (最小值)	SCLK高电平至 $\overline{\text{CS}}$ 高电平保持时间
t_8	10	ns (最小值)	数据建立时间
t_9	4	ns (最小值)	数据保持时间($V_{\text{INH}} = V_{\text{DD}}$ 的90%, $V_{\text{INL}} = V_{\text{DD}}$ 的10%)
t_9	5	ns (最小值)	数据保持时间($V_{\text{INH}} = 3\text{ V}$, $V_{\text{INL}} = 0\text{ V}$)
t_{10}	20	ns (最小值)	LDAC脉冲宽度
t_{11}	10	ns (最小值)	$\overline{\text{CS}}$ 高电平至LDAC低电平建立时间
t_{12}	15	ns (最小值)	有效周期之间的 $\overline{\text{CS}}$ 高电平时间

¹ 通过设计和特性保证, 未经生产测试。

² 所有输入信号均指定 $t_{\text{R}} = t_{\text{F}} = 1\text{ ns/V}$, 并从 $(V_{\text{INL}} + V_{\text{INH}})/2$ 电平起开始计时。

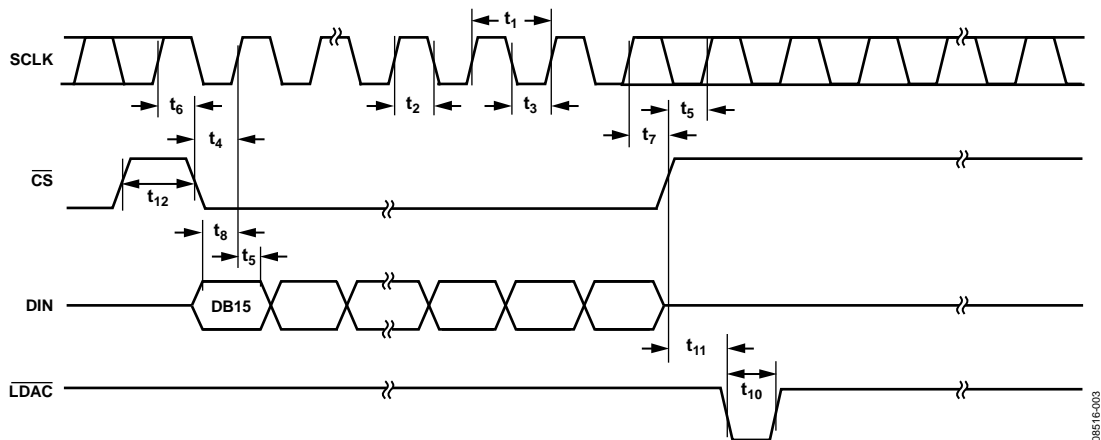


图2. 时序图

08516-003

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$

表5.

参数	额定值
V_{DD} 至 AGND	-0.3 V 至 +6 V
V_{LOGIC} 至 DGND	-0.3 V 至 +6 V
数字输入电压至 DGND	-0.3 V 至 $V_{DD}/V_{LOGIC} + 0.3\text{ V}$
V_{OUT} 至 AGND	-0.3 V 至 $V_{DD} + 0.3\text{ V}$
AGND 至 DGND	-0.3 V 至 +0.3 V
输入电流至除电源外的任何引脚	$\pm 10\text{ mA}$
工作温度范围	
工业级 (A、B级)	-40°C 至 $+125^\circ\text{C}$
存储温度范围	-65°C 至 $+150^\circ\text{C}$
最大结温 (T_J 最大值)	150°C
封装功耗	$(T_{Jmax} - T_A)/\theta_{JA}$
热阻 θ_{JA}	
MSOP (RM-10)	135°C/W
引脚温度, 焊接	
峰值温度 ¹	260°C
ESD ²	5 kV

¹ 依据 JEDEC 标准 20。

² 人体模型 (HBM) 级别。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

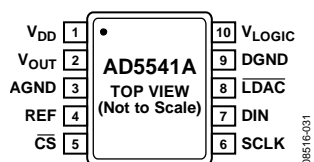


图3. AD5541A 10引脚MSOP引脚配置

表6. AD5541A引脚功能描述

引脚编号	引脚名称	描述
1	V _{DD}	模拟电源电压，5 V ± 10%。
2	V _{OUT}	DAC的模拟输出电压。
3	AGND	模拟电路的地参考点。
4	REF	DAC的基准电压输入。连接到2.5 V外部基准电压。基准电压范围为2 V至V _{DD} 。
5	\overline{CS}	逻辑输入信号。片选信号用于使能串行数据帧输入。
6	SCLK	时钟输入。数据在SCLK的上升沿逐个读入输入寄存器。占空比必须在40%至60%之间。
7	DIN	串行数据输入。该器件支持16位字。数据在SCLK的上升沿逐个读入输入寄存器。
8	\overline{LDAC}	\overline{LDAC} 输入。当此输入被拉低时，DAC寄存器与串行寄存器数据内容同步更新。
9	DGND	数字地。数字电路的接地基准。
10	V _{LOGIC}	逻辑电源。

典型工作特性

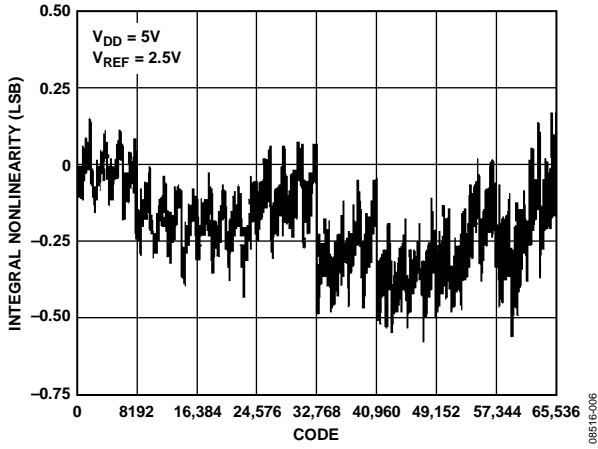


图4. 积分非线性与代码的关系

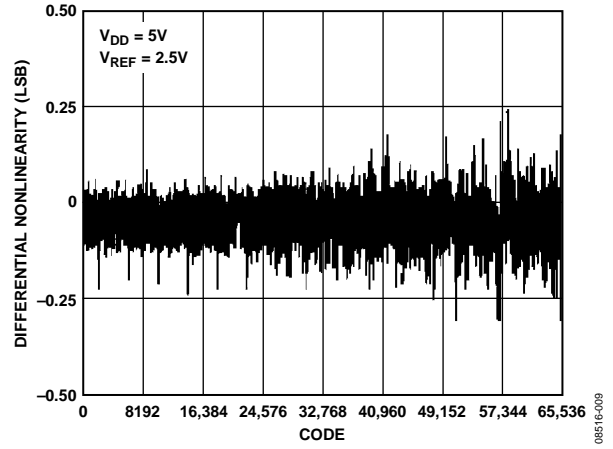


图7. 微分非线性与代码的关系

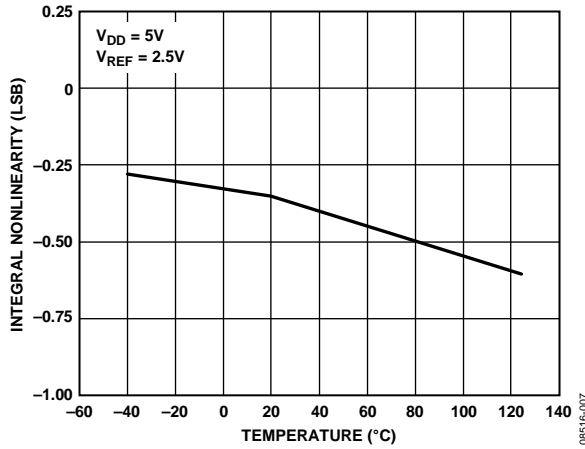


图5. 积分非线性与温度的关系

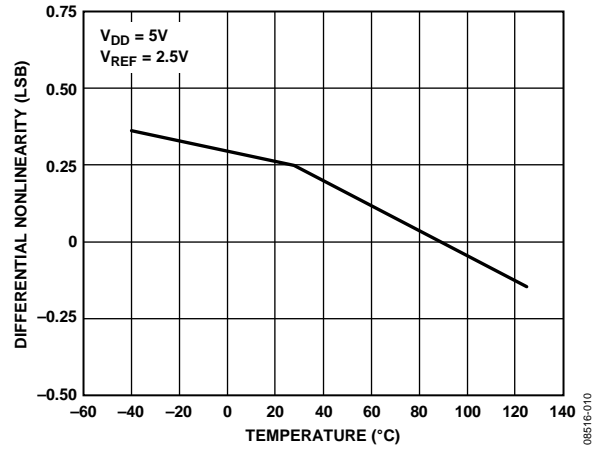


图8. 微分非线性与温度的关系

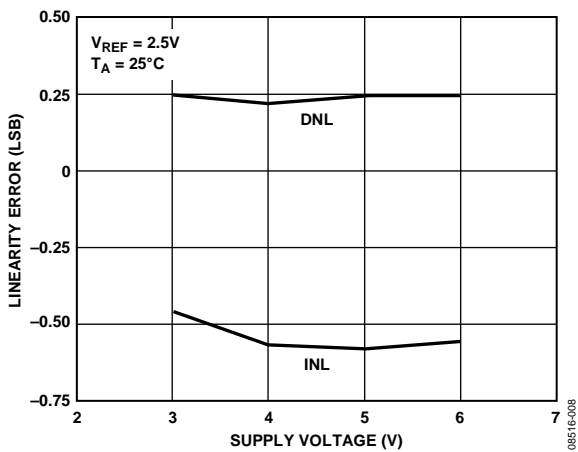


图6. 线性误差与电源电压的关系

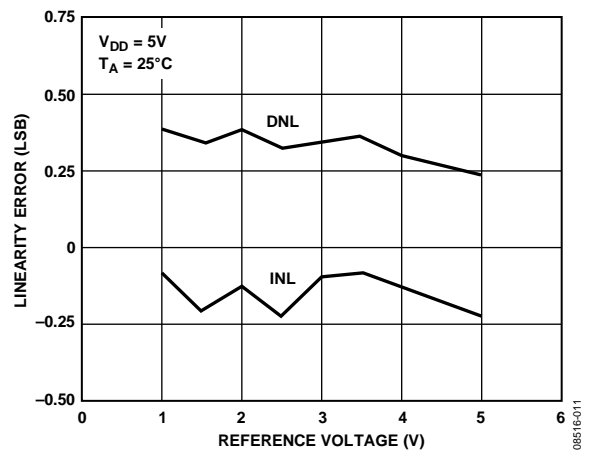


图9. 线性误差与基准电压的关系

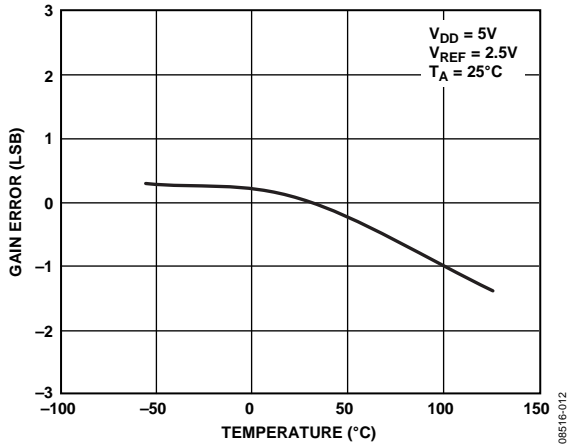


图10. 增益误差与温度的关系

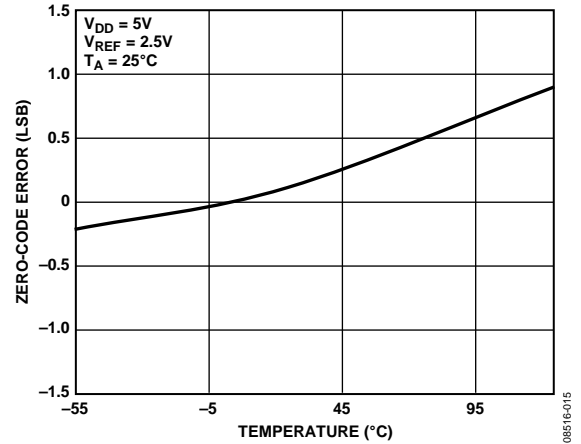


图13. 零代码误差与温度的关系

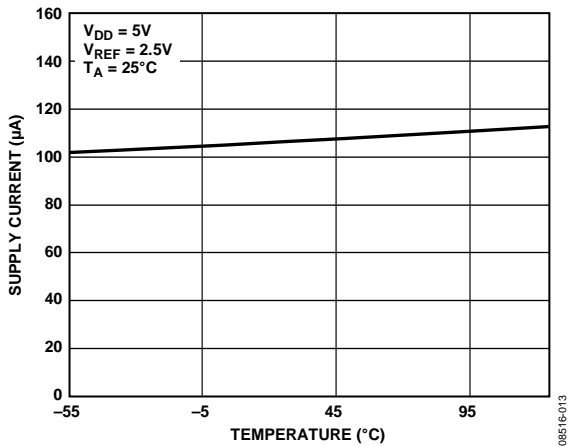


图11. 电源电流与温度的关系

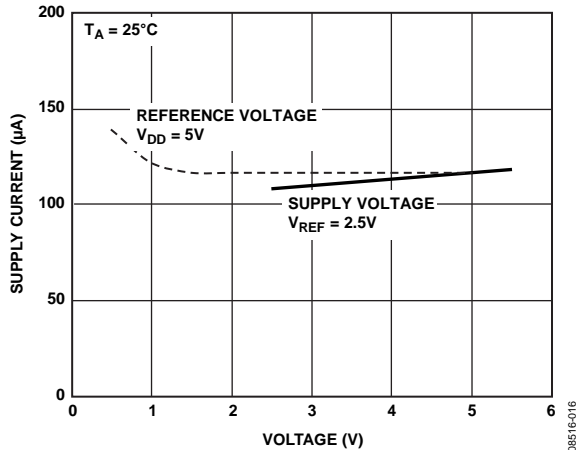


图14. 电源电流与基准电压或电源电压的关系

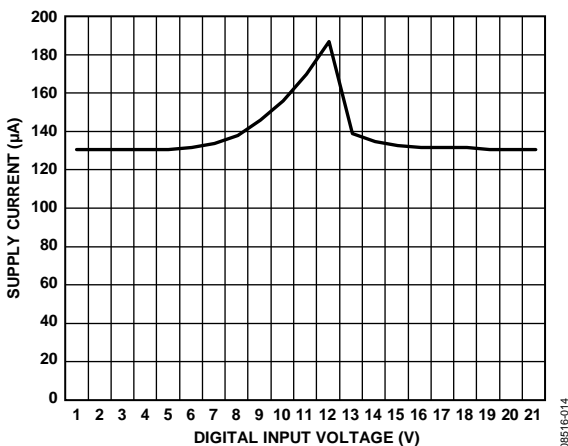


图12. 电源电流与数字输入电压的关系

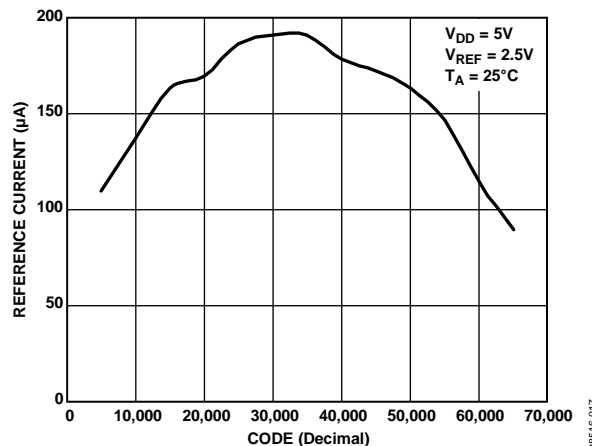


图15. 基准电流与代码的关系

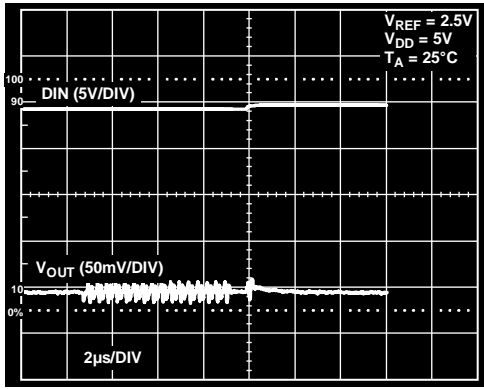


图16. 数字馈通

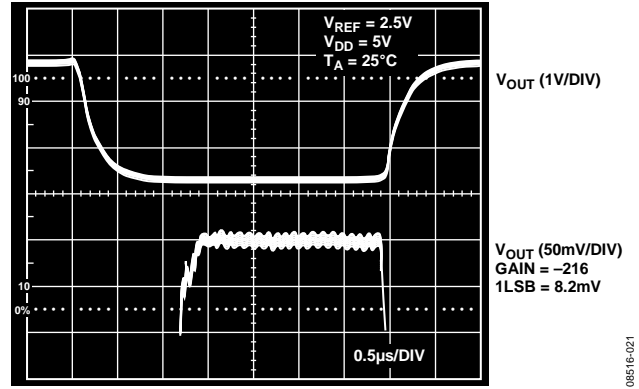


图19. 小信号建立时间

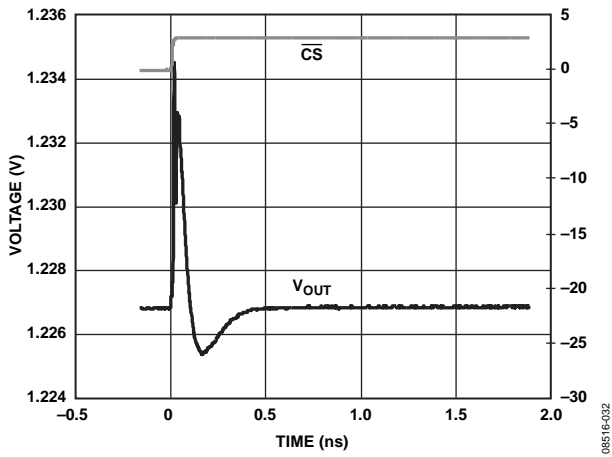


图17. 数模转换毛刺脉冲

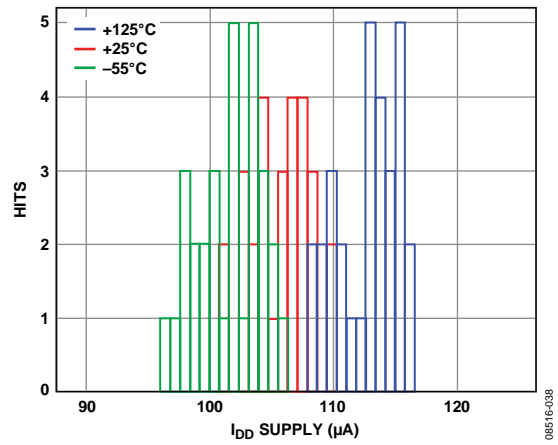


图20. 模拟电源电流直方图

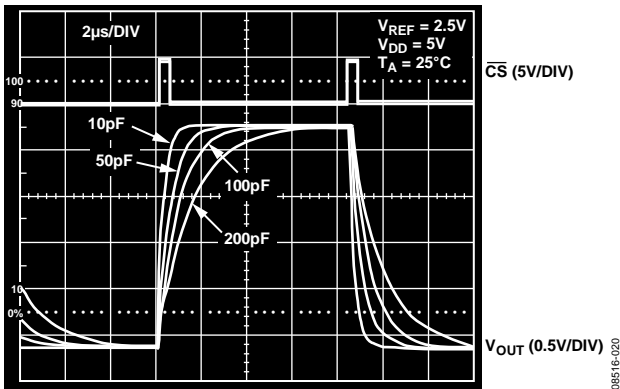


图18. 大信号建立时间

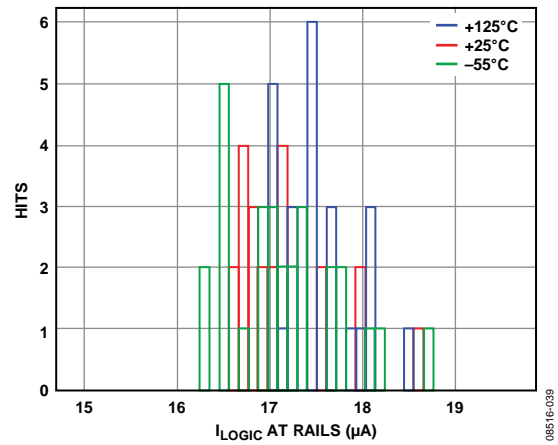


图21. 数字电源电流直方图

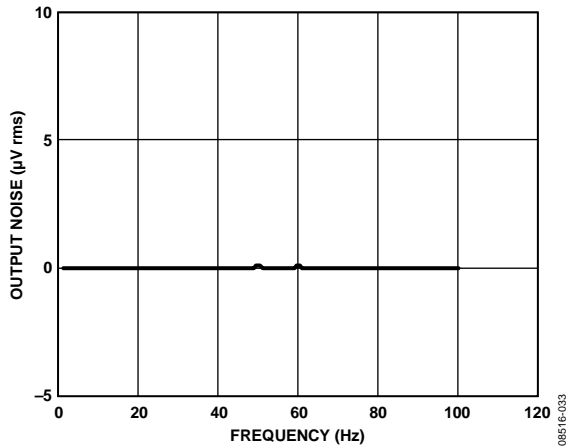


图22. 0.1 Hz至10 Hz输出噪声

08516-033

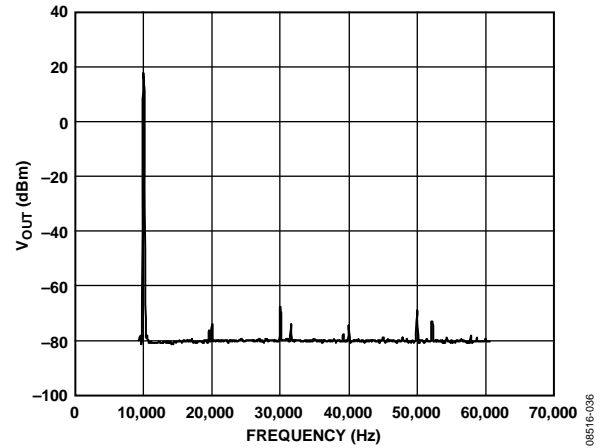


图25. 总谐波失真

08516-035

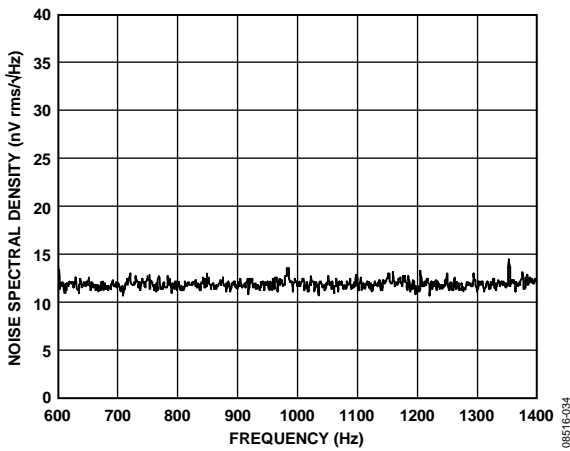


图23. 噪声频谱密度与频率的关系(1 kHz)

08516-034

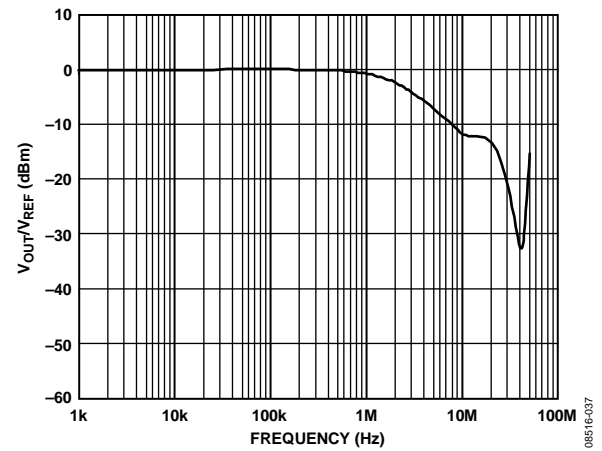


图26. 乘法带宽

08516-037

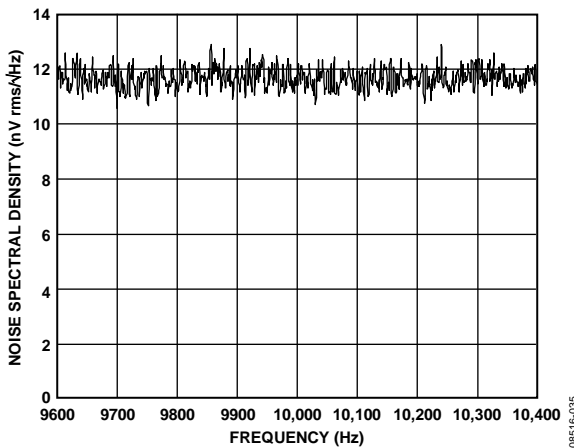


图24. 噪声频谱密度与频率的关系(10 kHz)

08516-035

术语

相对精度或积分非线性(INL)

对于DAC，相对精度或INL是指DAC输出与通过DAC端点的传递函数直线之间的最大偏差，单位为LSB。图4给出了典型的INL与代码的关系图。

微分非线性(DNL)

DNL是指任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 ± 1 LSB的额定微分非线性可确保单调性。图7给出了典型的DNL与代码的关系图。

增益误差

增益误差指实际与理想模拟输出范围之差，用满量程范围的百分比表示。它是DAC传递特性的斜率与理想值的偏差。

增益误差温度系数

增益误差温度系数衡量增益误差随温度的变化，用ppm/ $^{\circ}$ C表示。

零代码误差

零代码误差衡量将零电平代码载入DAC寄存器时的输出误差。

零代码温度系数

它衡量零电平代码误差随温度的变化，用mV/ $^{\circ}$ C表示。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的输入编码变化时注入到模拟输出的脉冲。它通常规定为毛刺的面积，用nV-s表示，数字输入代码在主进位跃迁中改变1 LSB时进行测量。图17给出了数模转换毛刺脉冲图。

数字馈通

数字馈通衡量从DAC的数字输入注入DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。 \overline{CS} 在SCLK和DIN信号跳变的同时保持高电平。单位为nV-s，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。图16给出了典型数字馈通图。

电源抑制比(PSRR)

PSRR表示DAC的输出如何受电源电压变化影响。电源抑制比指对于DAC的满量程输出，输出的百分比变化与 V_{DD} 的百分比变化之比。 V_{DD} 的变化范围为 $\pm 10\%$ 。

基准电压馈通

基准电压馈通衡量DAC载入全0时，从 V_{REF} 输入到DAC输出的馈通。将100 kHz、1 V峰峰值电压施加于 V_{REF} 。基准电压馈通用mV p-p表示。

工作原理

AD5541A是一款单通道、16位、串行输入、电压输出DAC。工作电压范围是2.7 V至5 V，采用5 V电源时典型功耗为125 μ A。数据通过三线或四线式串行接口，以16位字格式写入该器件。为确保处于已知上电状态，该器件设计具有上电复位功能。输出复位至0 V。

数模转换部分

DAC架构包含两个匹配的DAC部分。图27所示为简化电路图。AD5541A采用分段式DAC架构。16位数据字的4个MSB位解码后，可驱动E1到E15的15个开关。每个开关都将15个匹配电阻中的一个连接到AGND或 V_{REF} 。数据字的其余12位驱动12位电压模式R-2R梯形网络的S0至S11开关。

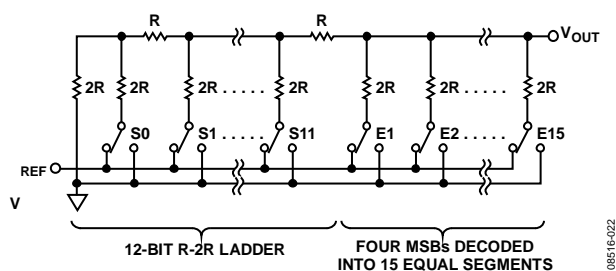


图27. DAC结构

采用这种DAC配置，输出阻抗与代码无关，而基准电压源的输入阻抗则与代码高度相关。输出电压与基准电压相关，如下式所示：

$$V_{OUT} = \frac{V_{REF} \times D}{2^N}$$

其中：

D为载入DAC寄存器的十进制数据字。

N为DAC的分辨率。

对于2.5 V基准电压，上述公式可简化为下式：

$$V_{OUT} = \frac{2.5 \times D}{65,536}$$

这样，DAC载入中间电平代码时 V_{OUT} 为1.25V，载入满量程代码时 V_{OUT} 为2.5 V。

LSB大小为 $V_{REF}/65,536$ 。

串行接口

AD5541A由多功能三线或四线式串行接口控制，能够以最高50 MHz的时钟速率工作，并与SPI、QSPI、MICROWIRE和DSP接口标准兼容。时序图见图2。除16位DAC寄存器外，AD5541A还有一个独立的串行输入寄存器，新数据值可以预载到该串行输入寄存器中，而不会干扰现有DAC输出电压。

输入数据由片选输入 \overline{CS} 使能帧传输。 \overline{CS} 上发生高低跃迁之后，数据在串行时钟SCLK的上升沿同步移入，并锁存在串行输入寄存器中。16个数据位全部载入串行输入寄存器之后， \overline{CS} 上发生低高跃迁，如果 \overline{LDAC} 处于低电平，则将移位寄存器的内容传输至DAC寄存器。如果 \overline{LDAC} 此时处于高电平，则 \overline{CS} 上的低高跃迁只会将该内容传输至串行输入寄存器。新值完全载入串行输入寄存器之后，可以通过选通

引脚，将其异步传输到DAC寄存器。数据以16位字形式载入，MSB优先。只能在 \overline{CS} 处于低电平时将数据载入器件。

AD5541A

单极性输出操作

该DAC能够驱动60kΩ的无缓冲负载。无缓冲操作导致电源电流(典型值300μA)和失调误差都很低。AD5541A的单极性输出摆幅为0V至VREF。图28所示为一个典型的单极性输出电压电路。这种工作模式的代码表如表7所示。该示例使用了2.5V基准电压源ADR421和低失调、零漂移基准电压缓冲器AD8628。

表7. 单极性代码表

DAC锁存内容		模拟输出
MSB	LSB	
1111 1111 1111 1111		$V_{REF} \times (65,535/65,536)$
1000 0000 0000 0000		$V_{REF} \times (32,768/65,536) = \frac{1}{2} V_{REF}$
0000 0000 0000 0001		$V_{REF} \times (1/65,536)$
0000 0000 0000 0000		0 V

假设使用理想的基准电压源, 则单极性最差情况输出电压可以通过下式计算:

$$V_{OUT-UNI} = \frac{D}{2^{16}} \times (V_{REF} + V_{GE}) + V_{ZSE} + INL$$

其中:

$V_{OUT-UNI}$ 为单极性模式最差情况输出。

D为载入DAC的代码。

V_{REF} 为施加于器件的基准电压。

V_{GE} 为增益误差, 单位伏特(V)。

V_{ZSE} 为零电平误差, 单位伏特(V)。

INL为积分非线性, 单位伏特(V)。

输出放大器选择

对于双极性模式, 应当采用精密放大器并从双电源供电, 以便提供 $\pm V_{REF}$ 输出。在单电源应用中, 选择适当的运算放大器可能更为困难, 因为放大器的输出摆幅通常不包括负供电轨(这种情况下为AGND)这可能会在一定程度上导致额定性能的下降, 除非应用不使用接近0的代码。

所选运算放大器必须具有极低失调电压(采用2.5V基准电压源时DAC的LSB为38μV), 以消除对输出失调调整的需求。输入偏置电流也应当非常低, 因为偏置电流乘以DAC输出阻抗(约6kΩ)会加大零电平代码误差。要求放大器具有轨到轨输入和输出性能。为实现快速建立, 运算放大器的压摆率不应妨碍DAC的建立。DAC的输出阻抗恒定, 且与代码无关, 但为了将增益误差降至最小, 输出放大器的输入阻抗应尽可能高。放大器还应具有1 MHz或更高的3 dB带宽。放大器给系统增加了另一个时间常数, 因此会延长输出的建立时间。放大器的3 dB带宽越高, 则DAC与放大器组合的有效建立时间越短。

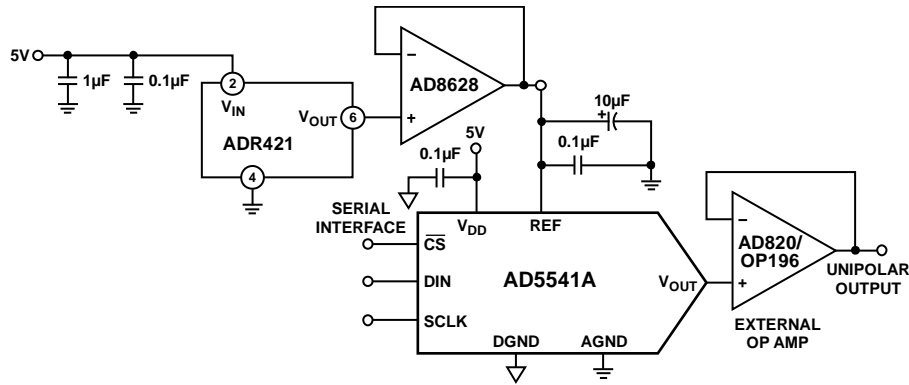


图28. 单极性输出

08516-023

驱动检测放大器选择

使用单电源、低噪声放大器。在高频时，放大器最好具有低输出阻抗，因为放大器必须能够处理高达 ± 20 mA的动态电流。

基准电压和地

输入阻抗与代码相关，因此应采用低阻抗源驱动基准电压引脚。AD5541A的基准电压范围是2 V至 V_{DD} 。低于2 V的基准电压会导致精度下降。DAC的满量程输出电压由基准电压决定。表7列出了模拟输出电压或特定数字码。

如果应用不需要单独的驱动和检测线，应将这些线连接到封装附近，使封装引脚与内部芯片之间的压降最小。

上电复位

AD5541A具有上电复位功能，确保输出在上电时处于已知状态。上电时，DAC寄存器包含全0，直到从串行寄存器载入数据。但串行寄存器在上电时不会清零，因此，它的内容是不明确的。初次载入数据到DAC时，应载入16位或更多数据，防止输出端出现错误数据。如果载入的数据多于16位，则保留最后16位；如果载入的数据少于16位，则上一个字中的位仍会存在。如果AD5541A必须与少于16位的数据接口，数据的LSB应填充0。

电源和基准电压旁路

为获得精确的高分辨率性能，建议利用并联的10 μ F钽电容和0.1 μ F陶瓷电容旁路基准电压和电源引脚。

应用信息

微处理器接口

AD5541A通过一条串行总线实现与微处理器的接口，这条总线使用与DSP处理器和微控制器兼容的标准协议。通信通道需要一个包含时钟信号、数据信号和同步信号的三线或四线式接口。AD5541A需要16位数据字，在SCLK的上升沿时数据有效。

AD5541A与ADSP-BF531接口

AD5541A的SPI接口设计旨在能够轻松连接到业界标准DSP和微控制器。图29显示AD5541A连接到ADI公司的Blackfin® DSP。Blackfin具有一个集成的SPI端口，可以直接连接到AD5541A的SPI引脚。

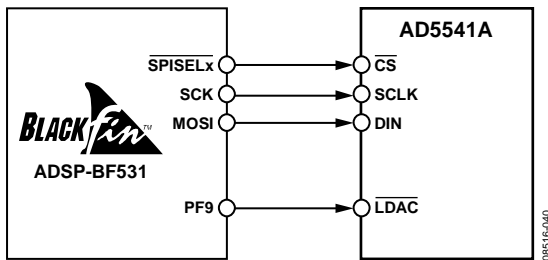


图29. AD5541A与ADSP-2101接口

AD5541A与SPORT接口

ADI公司的ADSP-BF527具有一个SPORT串行端口。图30显示一个SPORT接口可以用于控制AD5541A。

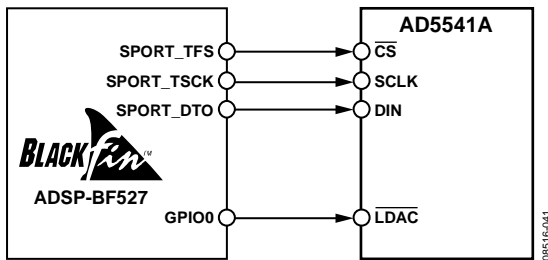


图30. AD5541A与68HC11/68L11接口

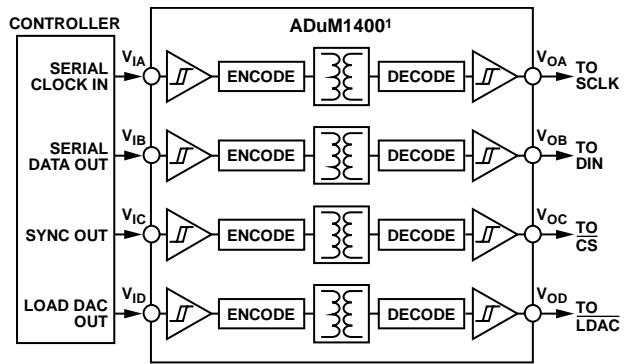
布局指南

在任何注重精度的电路中，精心考虑电源和接地回路布局有助于确保达到规定的性能。安装AD5541A所用的印刷电路板(PCB)应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。如果AD5541A所在系统有多个器件要求模拟地-数字地连接，则只能在一个点上连接。星形接地点尽可能靠近该器件。

AD5541A应当具有足够大的10 μF电源旁路电容，与每个电源上的0.1 μF电容并联，并且尽可能靠近封装，最好是正对着该器件。10 μF电容为钽珠型电容。0.1 μF电容应具有低有效串联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。

电流隔离接口

在许多过程控制应用中，需要在控制器与受控单元之间提供一个隔离栅，以防止控制电路遭受可能发生的任何危险共模电压并将其隔离开。ADI公司的iCoupler®产品提供超过2.5 kV的电压隔离。AD5541A的串行加载结构使它成为隔离接口的理想之选，原因是接口线路数保持在最小值。图31显示使用ADuM1400¹与AD5541A的4通道隔离接口。欲了解更多信息，请访问<http://www.analog.com/icouplers>。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

图31. 隔离接口

多个DAC的解码

AD5541A的 $\overline{\text{CS}}$ 引脚可以用来选择多个DAC中的一个。所有器件都接收相同的串行时钟和串行数据，但一次只有一个器件接收 $\overline{\text{CS}}$ 信号。被寻址的DAC由解码器决定。数字输入线路会引起一定的数字馈通。使用突发时钟可以将模拟信号通道上的数字馈通效应降至最小。图32所示为典型电路。

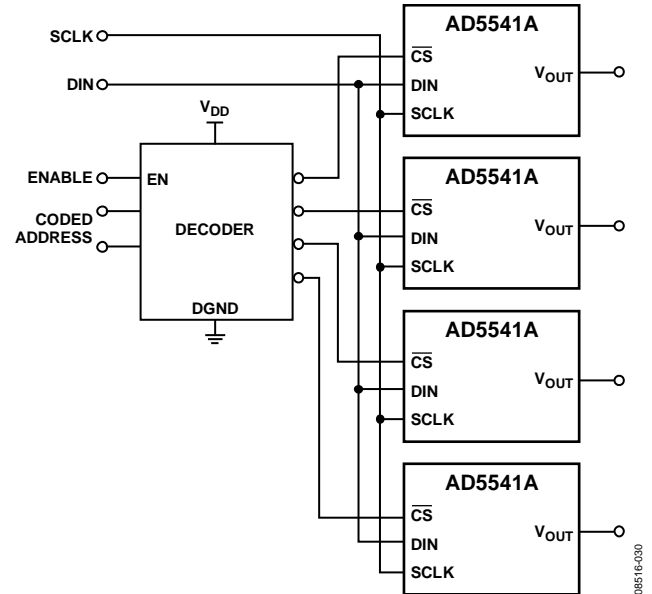


图32. 多个DAC的寻址

AD5541A

外形尺寸

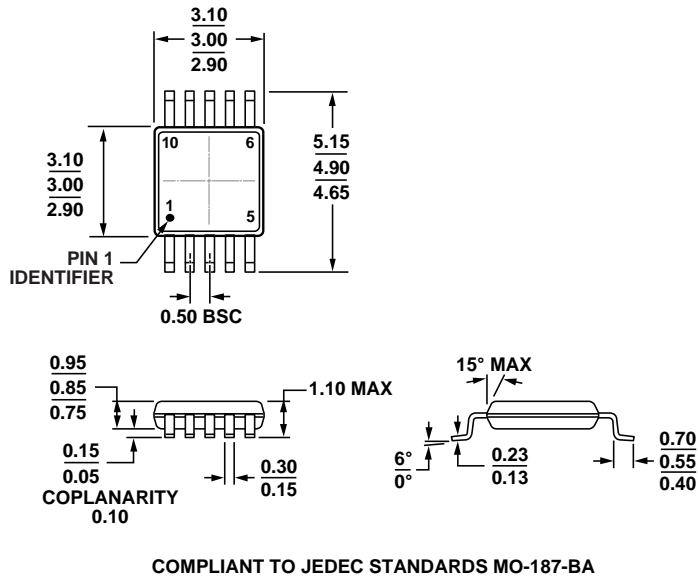


图33. 10引脚超小型封装[MSOP]
(RM-10)

图示尺寸单位: mm

081705-A

订购指南

型号 ¹	INL	DNL	上电复位至代码	温度范围	封装描述	封装选项	标识码
AD5541ABRMZ	±1 LSB	±1 LSB	零电平	-40°C至+125°C	10引脚MSOP	RM-10	DEQ
AD5541ABRMZ-REEL7	±1 LSB	±1 LSB	零电平	-40°C至+125°C	10引脚MSOP	RM-10	DEQ
AD5541AARMZ	±2 LSB	±1 LSB	零电平	-40°C至+125°C	10引脚MSOP	RM-10	DER
AD5541AARMZ-REEL7	±2 LSB	±1 LSB	零电平	-40°C至+125°C	10引脚MSOP	RM-10	DER

¹ Z = 符合RoHS标准的器件。

注释

AD5541A

注释