

## ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

### 特性

高达600MHz的高性能Blackfin处理器

2个16位MAC、2个40位ALU、4个8位视频ALU、40位移位器  
RISC式寄存器和指令模型，简化编程并提供编译器相关支持  
高级调试、追踪和性能监控功能

内部和I/O操作支持宽范围的电源电压。参见第27页的技术规格部分

可编程片内稳压器(仅限ADSP-BF523/ADSP-BF525/ADSP-BF527处理器)

通过汽车应用认证。参见第86页的汽车应用产品

289引脚和208引脚CSP\_BGA封装

### 存储器

132KB片内存储器(L1和L3存储器大小详见第3页的表1)

外部存储器控制器无缝支持SDRAM和异步8/16位存储器

灵活的引导选项：外部闪存、SPI、TWI存储器或主机(包括SPI/TWI/UART)

采用Lockbox安全技术的代码保护一次性可编程存储器

存储器管理单元提供存储器保护

### 外设

USB 2.0高速OTG接口，集成PHY

IEEE 802.3兼容型10/100以太网MAC

并行外设接口(PPI)，支持ITU-R 656视频数据格式

主机DMA端口(HOSTDP)

2个双通道、全双工同步串行端口(SPORT)，支持8个立体声I<sup>2</sup>S通道

12个外设DMA，其中2个由以太网MAC掌控

2个带外部请求线的存储器到存储器DMA

具有54个中断输入的事件处理器

串行外设接口(SPI)兼容端口

2个支持IrDA的UART

2线接口(TWI)控制器

8个支持PWM的32位定时器/计数器

32位升/降计数器，支持旋转计数

实时时钟(RTC)和看门狗定时器

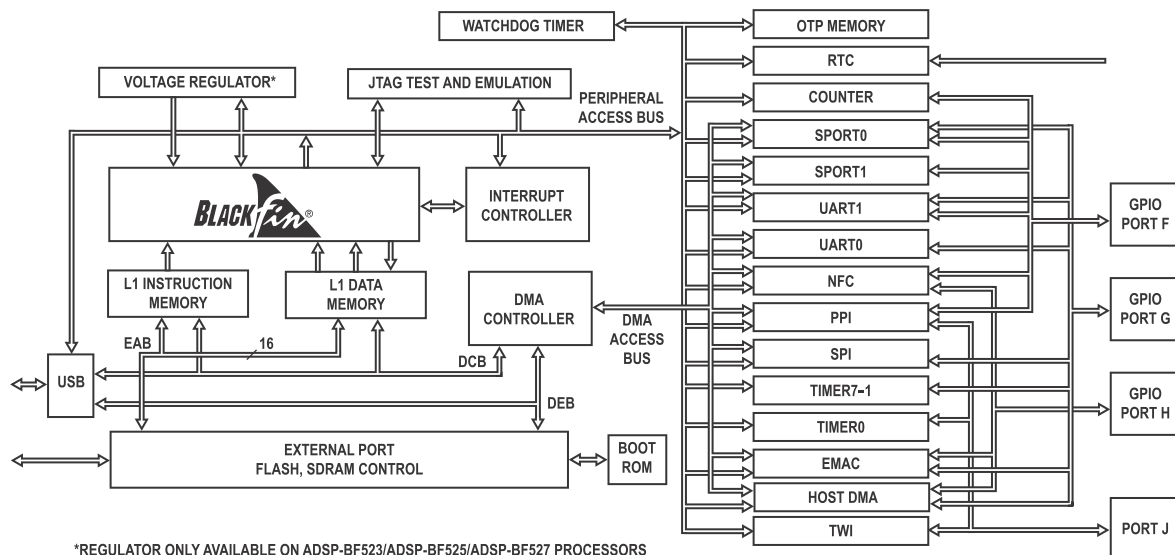
32位内核定时器

48个通用I/O (GPIO)，带可配置的延迟

NAND闪存控制器(NFC)

调试/JTAG接口

片内PLL支持频率配置



\*REGULATOR ONLY AVAILABLE ON ADSP-BF523/ADSP-BF525/ADSP-BF527 PROCESSORS

图1. 处理器功能框图

### Rev. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
Fax: 781.461.3113 © 2012 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

## 目录

特性.....	1	引导模式.....	18
存储器.....	1	指令集描述.....	20
外设.....	1	开发工具.....	21
概述.....	3	设计一个兼容仿真器的处理器板(目标).....	21
便携式低功耗架构.....	3	相关文件.....	21
系统集成.....	3	相关信号链.....	21
处理器外设.....	3	Lockbox安全技术免责声明.....	21
Blackfin处理器内核.....	4	信号描述.....	22
存储器架构.....	5	技术规格.....	27
DMA控制器.....	9	ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的	
主机DMA端口.....	9	工作条件.....	27
实时时钟.....	10	ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的	
看门狗定时器.....	10	工作条件.....	29
定时器.....	10	电气特性.....	31
增/减计数器和滚轮接口.....	10	绝对最大额定值.....	36
串行端口.....	11	封装信息.....	37
串行外设接口(SPI)端口.....	11	ESD灵敏度.....	37
UART端口.....	11	时序规格.....	38
TWI控制器接口.....	12	输出驱动电流.....	72
10/100以太网MAC.....	12	测试条件.....	74
端口.....	12	环境条件.....	78
并行外设接口(PPI).....	13	289引脚CSP_BGA封装引脚分配.....	79
USB OTG主从控制器.....	14	208引脚CSP_BGA封装引脚分配.....	82
Lockbox安全技术确保代码安全.....	14	外形尺寸.....	85
动态电源管理.....	14	表贴设计.....	86
ADSP-BF523/ADSP-BF525/ADSP-BF527电压调节.....	16	汽车应用级产品.....	86
ADSP-BF522/ADSP-BF524/ADSP-BF526电压调节.....	16	订购指南.....	87
时钟信号.....	16		

## 修订历史

### 2012年3月—修订版B至修订版C

修正“信号描述”部分中的USB_VREF和USB_VBUS功能(DOC ID: DOC-881).....	22
修正“ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的工作条件”中关于 $V_{DDMEM}$ 的尾注.....	29
修正表26“绝对最大额定值”的尾注并增加参数(DOC-ID: DOC-901).....	36
修正表27“输入瞬变电压的最大占空比”的尾注.....	36
增加表29“每组引脚IOH/IOL电流对应的最大占空比”.....	37

更换289引脚CSP_BGA (BC-289-2).....	85
汽车应用级产品中增加ADBF525WYBCZxxx型号.....	86
订购指南增加ADSP-BF525ABCZ-5和ADSP-BF525ABCZ-6型号.....	87

## 概述

ADSP-BF52x处理器属于Blackfin系列产品，采用ADI公司/Intel宏信号架构(MSA)。Blackfin®处理器将先进的双MAC信号处理引擎、精简的RISC式微处理器指令集的优势和单指令、多数据流(SIMD)多媒体能力结合为一个指令集架构。

ADSP-BF52x处理器与其它Blackfin处理器完全代码兼容。ADSP-BF523/ADSP-BF525/ADSP-BF527处理器提供最高600 MHz的性能。ADSP-BF522/ADSP-BF524/ADSP-BF526处理器提供最高400 MHz的性能，静态功耗更低。外设组合的差别如表1所示。

**表1. 处理器对比**

特性	ADSP-BF522	ADSP-BF524	ADSP-BF526	ADSP-BF523	ADSP-BF525	ADSP-BF527
主机DMA	1	1	1	1	1	1
USB	-	1	1	-	1	1
以太网MAC	-	-	1	-	-	1
内部稳压器	-	-	-	1	1	1
TWI	1	1	1	1	1	1
SPORT	2	2	2	2	2	2
UART	2	2	2	2	2	2
SPI	1	1	1	1	1	1
通用定时器	8	8	8	8	8	8
通用计数器	1	1	1	1	1	1
看门狗定时器	1	1	1	1	1	1
RTC	1	1	1	1	1	1
并行外设接口	1	1	1	1	1	1
GPIO	48	48	48	48	48	48
L1指令SRAM	48K	48K	48K	48K	48K	48K
L1指令SRAM/高速缓存	16K	16K	16K	16K	16K	16K
L1数据SRAM	32K	32K	32K	32K	32K	32K
L1数据SRAM/高速缓存	32K	32K	32K	32K	32K	32K
L1暂存	4K	4K	4K	4K	4K	4K
L3引导ROM	32K	32K	32K	32K	32K	32K
最大指令速率 <sup>1</sup>	400 MHz			600 MHz		
最大系统时钟速度	100 MHz			133 MHz		
封装选项	289引脚 CSP_BGA					
	289引脚 CSP_BGA					

<sup>1</sup> 不是所有SCLK选择都可以使用最大指令速率。

Blackfin处理器集成了许多业界领先的系统外设和丰富的存储器，在一个集成封装中提供RISC式编程能力、多媒体支持和先进的信号处理，堪称新一代应用的首选平台。

## 便携式低功耗架构

Blackfin处理器提供世界一流的电源管理和性能。它们采用低功耗和低电压设计，片内集成动态电源管理，能够改变工作电压和频率，从而显著降低整体功耗。与仅能改变工作频率的方法相比，这种方法能够大幅降低功耗，延长便携式设备的电池续航时间。

## 系统集成

ADSP-BF52x处理器是高集成度片上系统解决方案，适用于新一代嵌入式网络连接应用。利用业界标准接口与高性能信号处理内核的完美结合，高性价比应用能够快速完成开发，而无需昂贵的外部器件。系统外设包括：IEEE-802.3兼容型10/100以太网MAC；USB 2.0高速OTG控制器；TWI控制器；NAND闪存控制器；2个UART端口；1个SPI端口；2个串行端口(SPORT)；8个具有PWM功能的通用32位定时器；内核定时器；实时时钟；看门狗定时器；主机DMA (HOSTDP)接口；以及并行外设接口(PPI)。

## 处理器外设

ADSP-BF52x处理器包括丰富的外设，它们通过多条高带宽总线连接到内核，提供灵活的系统配置和出色的整体系统性能(参见第1页的框图)。

这些Blackfin处理器含有专用网络通信模块和高速串行/并行端口、用于灵活管理片内外设或外部来源中断事件的中断控制器，以及根据不同应用情况调整处理器和系统的性能与功耗特性的电源管理控制功能。

除了通用I/O、TWI、实时时钟和定时器之外，所有其它外设都受灵活的DMA结构支持。还有独立的存储器DMA通道，专门用来支持处理器不同存储器空间之间的数据传输，包括外部SDRAM和异步存储器。多条片内总线(最高运行速率133 MHz)提供的带宽足以让处理器内核与所有片内和片外外设同时工作。

ADSP-BF523/ADSP-BF525/ADSP-BF527处理器内置片内稳压器，用以支持处理器的动态电源管理功能。稳压器从V<sub>DDEXT</sub>供电时，可提供多种内核电平。用户可酌情旁路该稳压器。

## Blackfin处理器内核

如图2所示，Blackfin处理器内核包含2个16位乘法器、2个40位累加器、2个40位ALU、4个视频ALU和1个40位移位器。计算单元处理来自寄存器文件的8位、16位或32位数据。

计算寄存器文件包含8个32位寄存器。对16位操作数数据执行运算时，寄存器文件作为16个独立的16位寄存器工作。

用于运算的所有操作数都来自多端口寄存器文件和指令常数字段。

每个MAC在每个周期可以执行一个16位乘16位乘法，结果累加到40位累加器中。支持带符号和无符号格式、舍入以及饱和。

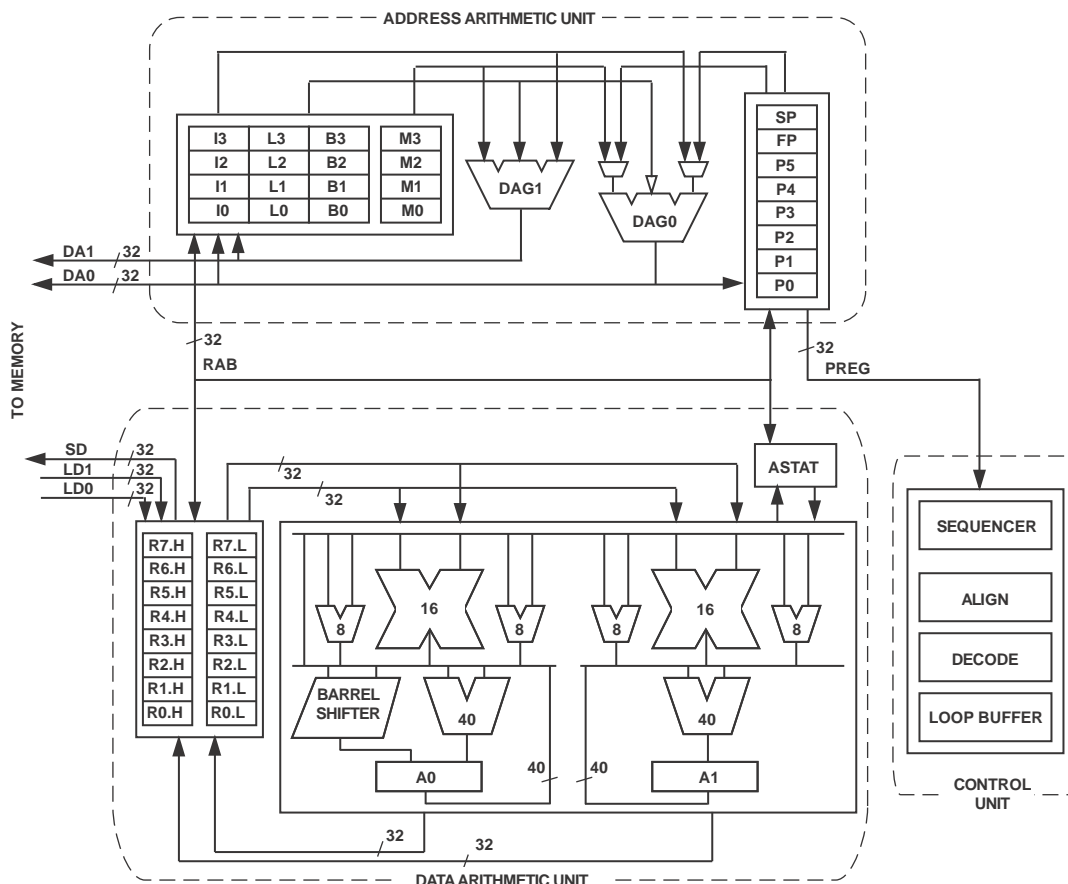


图2. Blackfin处理器内核

ALU用于对16位或32位数据执行传统的算术和逻辑运算。此外，它还包括许多特殊指令，以便加速多种信号处理任务的执行。特殊指令包括字段提取和二进制位数统计等位操作、模 $2^{32}$ 乘法、除法原语、饱和和舍入、符号/指数检测。视频指令集包括字节对齐和打包操作、16位和8位截除加法、8位平均操作、8位减法/绝对值/累加(SAA)操作。此外还提供比较/选择和矢量搜索指令。

对于某些指令，两个16位ALU操作可以在寄存器对(一个计算寄存器的16位高半部分和16位低半部分)上同时执行。如果使用第二个ALU，则可以同时执行4个16位操作。

40位移位器可以执行移位和旋转，用于支持归一化、字段提取和字段存放指令。

程序序列器控制指令执行流程，包括指令对齐和解码。对于程序流程控制，该序列器支持PC相对和间接条件跳转(带静态分支预测)以及子例程调用。硬件支持零开销循环。该架构完全联锁，意味着在执行具有数据相关性的指令时，编程人员无需管理流水线。

地址算法单元提供两个地址，用于实现同时双取存储器操作。它包含一个多端口寄存器文件，该寄存器文件由4组32位索引、更改、长度、基础寄存器(用于循环缓冲)和8个附加32位指针寄存器(用于C式索引堆栈操作)组成。

Blackfin处理器支持一种改进型Harvard架构和分层存储器结构。第一级(L1)存储器通常以处理器最高速度工作，延迟非常短或无延迟。在L1层，指令存储器仅保存指令。两个数据存储器保存数据，一个专用暂存数据存储器存储堆栈和本地变量信息。

此外还提供多个L1存储器模块，构成一个可配置的SRAM与高速缓存组合。存储器管理单元(MMU)为可能在内核上工作的各个任务提供存储器保护，并且能够防止对系统寄存器进行非预期的访问。

该架构提供三种工作模式：用户模式、管理员模式和仿真模式。用户模式对某些系统资源的访问权限是有限制的，从而提供一种受保护的软件环境，而管理员模式则能无限制地访问系统和内核资源。

Blackfin处理器的指令集经过优化，16位操作码代表最常用的指令，因而可获得出色的编译代码密度。复杂的DSP指令则编码为32位操作码，以实现完备的多功能指令。Blackfin处理器支持有限的多议题功能，一个32位指令可以与两个16位指令并行发出，使得编程人员能在一个指令周期中使用许多内核资源。

Blackfin处理器的汇编语言使用代数语法，易于编码和阅读。该架构经过优化，能够与C/C++编译器一起使用，软件实现快速、高效。

## 存储器架构

Blackfin处理器将存储器视为一个统一的4GB地址空间，使用32位地址。所有资源，包括内部存储器、外部存储器和I/O控制寄存器，都占据这一公共地址空间中的不同部分。此地址空间的存储器部分按照分层结构安排，以实现一些高速、低延迟片内存储器(用作高速缓存或SRAM)与较大的、成本和性能较低的片外存储器系统的良好性价比平衡。参见图3。

片内L1存储器系统是Blackfin处理器可以使用的最高性能存储器。片外存储器系统通过外部总线接口单元(EBIU)进行访问，它利用SDRAM、闪存和SRAM扩展存储空间，最多可以访问132MB的物理存储器。

存储器DMA控制器提供高带宽数据移动能力，它能在内部存储器与外部存储器空间之间以块形式传输代码或数据。

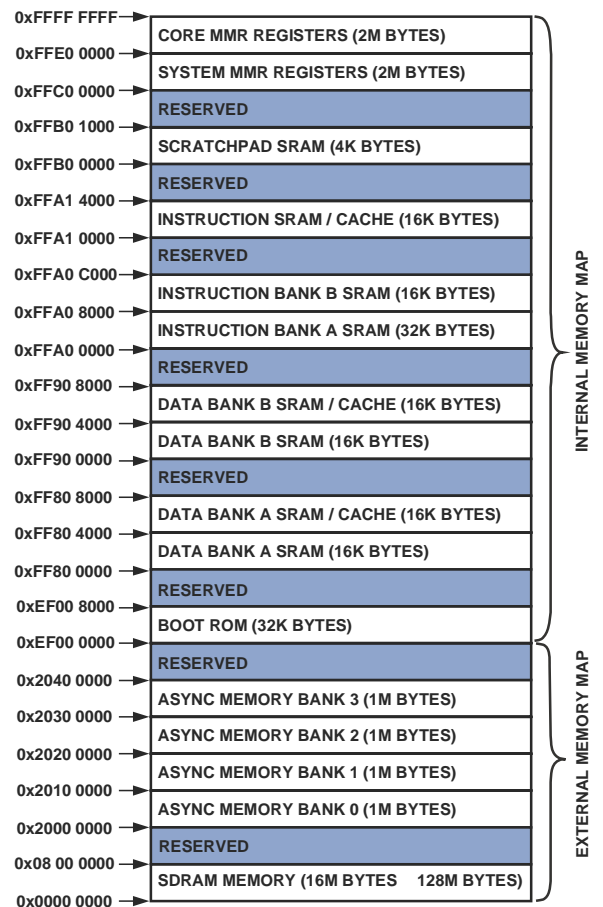


图3. 内部/外部存储器映射

## 内部(片内)存储器

处理器具有三个片内存储器模块，用于提供高带宽的内核访问。

第一个模块是L1指令存储器，包括64KB SRAM，其中的16KB可以配置为一个四路分组关联高速缓存。该存储器支持以处理器最高速度进行访问。

第二个片内存储器模块是L1数据存储器，最多包括两个存储器库，每个存储器库最多包括32KB存储器，可以配置为高速缓存或SRAM，并提供相应功能。该存储器模块支持以处理器最高速度进行访问。

第三个存储器模块是4KB暂存SRAM，其运行速度与L1存储器相同，但只能作为数据SRAM进行访问，不能配置为高速缓存。

## 外部(片外)存储器

外部存储器通过EBIU进行访问。该16位接口可以无缝连接一个同步DRAM (SDRAM)存储器和最多四个异步存储器，包括闪存、EPROM、ROM、SRAM和存储器映射I/O设备。

SDRAM控制器可以与最多128MB的SDRAM接口。针对每个内部SDRAM存储器，可以单独打开一行；SDRAM控制器支持多达4个内部SDRAM存储器，从而改善整体性能。

异步存储器控制器可以控制多达四个存储器，其时序要求非常灵活，支持多种多样的设备。无论所用设备的大小，每个存储器库都占用1MB的段空间，因此，只有当各存储空间用1MB存储器完全填充时，它们才是邻接的。

## NAND闪存控制器(NFC)

ADSP-BF52x处理器提供一个NAND闪存控制器(NFC)。NAND闪存器件提供高密度、低成本存储器。然而，NAND闪存器件也有以下缺点：随机存取时间长、无效模块、寿命期间的可靠性较低。因此，NAND闪存一般用于只读代码的存储。这种情况下，所有DSP代码都可以存储在NAND闪存中，然后加载到更快的存储器(如SDRAM或SRAM)以供执行。NAND闪存的另一个常见用途是存储多媒体文件或其它大数据段。这种情况下，可以利用软件文件系统来管理对NAND闪存器件的读写操作。文件系统根据以下两个原则选择存储区段：一是避免坏模块，二是将存储器访问均等分配到所有地址位置。NFC具有以下硬件特性：

- 支持对NAND闪存器件进行页编程、页读取和块擦除，访问与页边界对齐。
- 差错校验与修正(ECC)硬件有助于检测和修正错误。
- 一个8位外部总线接口，支持命令、地址和数据。
- 支持不限大小的SLC(单层单元)NAND闪存器件，页大小可以是256字节或512字节。  
更大的页大小可通过软件支持。
- 长时间访问期间可以释放外部总线接口引脚。
- 支持16位的内部总线请求。
- DMA引擎可以在内部存储器与NAND闪存器件之间传输数据。

## 一次性可编程存储器

处理器具有64KB的一次性可编程非易失性存储器，开发人员可以对其进行一次性编程。它包括用于支持读访问和编程的阵列和逻辑。此外，其页面还具有写保护功能。

OTP支持开发人员将公有和私有数据存储在片内。除了存储公有和私有关键数据以保护应用程序的安全之外，OTP还允许开发人员存储完全由用户定义的数据，如客户ID、

产品ID和MAC地址等。这样就可以供应通用器件，然后由开发人员在该非易失性存储器中进行编程和设置保护。

## I/O存储器空间

处理器未定义单独的I/O空间。所有资源都通过平坦的32位地址空间映射。片内I/O器件的控制寄存器映射到地址靠近该4GB地址空间顶部的存储器映射寄存器(MMR)。它分为两个较小的模块，一个包含所有核心功能的控制MMR，另一个包含用于设置和控制内核外部的片内外设所需的寄存器。这些MMR只能在管理员模式下进行访问，对片内外设而言是保留空间。

## 引导

处理器包含一个很小的片内引导内核，用于配置适当的外设以便启动。如果处理器配置为从引导ROM存储器空间引导，则处理器从片内引导ROM开始执行。更多信息请参见[第18页的引导模式](#)。

## 事件处理

处理器的事件控制器处理处理器的所有异步和同步事件。处理器提供的事件处理支持嵌套和优先级设置。嵌套允许多个事件服务例程同时有效。优先级设置可确保高优先级事件的处理先于低优先级事件的处理。控制器支持下列五种不同类型的事件：

- 仿真——仿真事件会使处理器进入仿真模式，从而通过JTAG接口执行处理器的命令和控制功能。
- RESET——该事件会使处理器复位。
- 无法屏蔽的中断(NMI)——NMI事件可以由软件看门狗定时器或处理器的 $\overline{\text{NMI}}$ 输入信号产生。NMI事件常常用作关断指示来启动系统的有序关断。
- 异常——与程序流程同步发生的事件(换言之，异常发生在指令执行完毕之前)。诸如数据对齐违规和未定义的指令等条件会引发异常。
- 中断——与程序流程异步发生的事件，由输入信号、定时器、其它外设和显式软件指令引发。

每种事件类型都有一个相关的寄存器来保存返回地址，以及一个相关的“从事件返回”指令。触发一个事件时，处理器的状态保存在管理员堆栈。

处理器的事件控制器包括两级：内核事件控制器(CEC)和系统中断控制器(SIC)。内核事件控制器与系统中断控制器配合使用，设置优先级并控制所有系统事件。理论上，来自外设的中断进入SIC，然后直接路由到CEC的通用中断。

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 内核事件控制器(CEC)

除了专用中断和异常事件外，CEC还支持9个通用中断(IVG15-7)。在这些通用中断中，建议将2个最低优先级中断(IVG15-14)保留用于软件中断处理器，其余7个中断输入用于支持处理器的外设。表2说明了CEC的输入，给出了它们在事件矢量表(EVT)中的名称，并列出了其优先级。

## 系统中断控制器(SIC)

系统中断控制器提供从许多外设中断源到设有优先级的CEC通用中断输入的事件映射和路由。虽然处理器提供了默认映射，但用户可以向中断分配寄存器(SIC\_IARx)写入适当的值，从而改变中断事件的映射和优先级。表3说明了SIC的输入和CEC的默认映射。

**表2. 内核事件控制器(CEC)**

优先级(0最高)	事件类别	EVT条目
0	仿真/测试控制	EMU
1	RESET	RST
2	无法屏蔽的中断	NMI
3	异常	EVX
4	保留	—
5	硬件错误	IVHW
6	内核定时器	IVTMR
7	通用中断7	IVG7
8	通用中断8	IVG8
9	通用中断9	IVG9
10	通用中断10	IVG10
11	通用中断11	IVG11
12	通用中断12	IVG12
13	通用中断13	IVG13
14	通用中断14	IVG14
15	通用中断15	IVG15

**表3. 系统中断控制器(SIC)**

外设中断事件	通用中断(复位后的默认中断号)	外设中断ID	默认内核中断ID	SIC寄存器	
PLL唤醒中断	IVG7	0	0	IAR0	IMASK0, ISR0, IWRO
DMA错误0(通用)	IVG7	1	0	IAR0	IMASK0, ISR0, IWRO
DMAR0模块中断	IVG7	2	0	IAR0	IMASK0, ISR0, IWRO
DMAR1模块中断	IVG7	3	0	IAR0	IMASK0, ISR0, IWRO
DMAR0溢出错误	IVG7	4	0	IAR0	IMASK0, ISR0, IWRO
DMAR1溢出错误	IVG7	5	0	IAR0	IMASK0, ISR0, IWRO
PPI错误	IVG7	6	0	IAR0	IMASK0, ISR0, IWRO
MAC状态	IVG7	7	0	IAR0	IMASK0, ISR0, IWRO
SPORT0状态	IVG7	8	0	IAR1	IMASK0, ISR0, IWRO
SPORT1状态	IVG7	9	0	IAR1	IMASK0, ISR0, IWRO
保留	IVG7	10	0	IAR1	IMASK0, ISR0, IWRO
保留	IVG7	11	0	IAR1	IMASK0, ISR0, IWRO
UART0状态	IVG7	12	0	IAR1	IMASK0, ISR0, IWRO
UART1状态	IVG7	13	0	IAR1	IMASK0, ISR0, IWRO
RTC	IVG8	14	1	IAR1	IMASK0, ISR0, IWRO
DMA通道0(PPI/NFC)	IVG8	15	1	IAR1	IMASK0, ISR0, IWRO
DMA通道3(SPORT0 RX)	IVG9	16	2	IAR2	IMASK0, ISR0, IWRO
DMA通道4(SPORT0 TX)	IVG9	17	2	IAR2	IMASK0, ISR0, IWRO
DMA通道5(SPORT1 RX)	IVG9	18	2	IAR2	IMASK0, ISR0, IWRO
DMA通道6(SPORT1 TX)	IVG9	19	2	IAR2	IMASK0, ISR0, IWRO
TWI	IVG10	20	3	IAR2	IMASK0, ISR0, IWRO
DMA通道7(SPI)	IVG10	21	3	IAR2	IMASK0, ISR0, IWRO
DMA通道8(UART0 RX)	IVG10	22	3	IAR2	IMASK0, ISR0, IWRO
DMA通道9(UART0 TX)	IVG10	23	3	IAR2	IMASK0, ISR0, IWRO
DMA通道10(UART1 RX)	IVG10	24	3	IAR3	IMASK0, ISR0, IWRO
DMA通道11(UART1 TX)	IVG10	25	3	IAR3	IMASK0, ISR0, IWRO

**表3. 系统中断控制器(SIC)(续)**

外设中断事件	通用中断(复位后的默认中断号)	外设中断ID	默认内核中断ID	SIC寄存器	
OTP存储器中断	IVG11	26	4	IAR3	IMASK0, ISR0, IWR0
通用计数器	IVG11	27	4	IAR3	IMASK0, ISR0, IWR0
DMA通道1 (MAC RX/HOSTDP)	IVG11	28	4	IAR3	IMASK0, ISR0, IWR0
端口H中断A	IVG11	29	4	IAR3	IMASK0, ISR0, IWR0
DMA通道2 (MAC TX/NFC)	IVG11	30	4	IAR3	IMASK0, ISR0, IWR0
端口H中断B	IVG11	31	4	IAR3	IMASK0, ISR0, IWR0
定时器0	IVG12	32	5	IAR4	IMASK1, ISR1, IWR1
定时器1	IVG12	33	5	IAR4	IMASK1, ISR1, IWR1
定时器2	IVG12	34	5	IAR4	IMASK1, ISR1, IWR1
定时器3	IVG12	35	5	IAR4	IMASK1, ISR1, IWR1
定时器4	IVG12	36	5	IAR4	IMASK1, ISR1, IWR1
定时器5	IVG12	37	5	IAR4	IMASK1, ISR1, IWR1
定时器6	IVG12	38	5	IAR4	IMASK1, ISR1, IWR1
定时器7	IVG12	39	5	IAR4	IMASK1, ISR1, IWR1
端口G中断A	IVG12	40	5	IAR5	IMASK1, ISR1, IWR1
端口G中断B	IVG12	41	5	IAR5	IMASK1, ISR1, IWR1
MDMA流0	IVG13	42	6	IAR5	IMASK1, ISR1, IWR1
MDMA流1	IVG13	43	6	IAR5	IMASK1, ISR1, IWR1
软件看门狗定时器	IVG13	44	6	IAR5	IMASK1, ISR1, IWR1
端口F中断A	IVG13	45	6	IAR5	IMASK1, ISR1, IWR1
端口F中断B	IVG13	46	6	IAR5	IMASK1, ISR1, IWR1
SPI状态	IVG7	47	0	IAR5	IMASK1, ISR1, IWR1
NFC状态	IVG7	48	0	IAR6	IMASK1, ISR1, IWR1
HOSTDP状态	IVG7	49	0	IAR6	IMASK1, ISR1, IWR1
主机读取完成	IVG7	50	0	IAR6	IMASK1, ISR1, IWR1
保留	IVG10	51	3	IAR6	IMASK1, ISR1, IWR1
USB_INT0中断	IVG10	52	3	IAR6	IMASK1, ISR1, IWR1
USB_INT1中断	IVG10	53	3	IAR6	IMASK1, ISR1, IWR1
USB_INT2中断	IVG10	54	3	IAR6	IMASK1, ISR1, IWR1
USB_DMAINT中断	IVG10	55	3	IAR6	IMASK1, ISR1, IWR1

### 事件控制

处理器提供一种非常灵活的机制来控制事件的处理。在CEC中，有三个寄存器用于协调和控制事件。每个寄存器均为16位宽。

- CEC中断锁存寄存器(ILAT) — 表示何时事件被锁存。当处理器锁存事件时，相应的位置1；当系统接受该事件时，相应的位清0。此寄存器由控制器自动更新，但当其对应的IMASK位清0时，它可以是只写。
- CEC中断屏蔽寄存器(IMASK) — 控制各种事件的屏蔽和解除屏蔽。当IMASK寄存器中的某位置1时，相应的事件解除屏蔽，置位时将由CEC处理。当IMASK寄存器中的某位清0时，相应的事件被屏蔽；即使ILAT寄存器中锁存了该事件，处理器也无法处理。在管理员模式下，

可以读取或写入此寄存器。(注意，通用中断可以分别利用STI和CLI指令全部使能和禁用。)

- CEC中断待处理寄存器(IPEND) — IPEND寄存器记录所有嵌套事件。IPEND寄存器中的某位置1时，表示相应的事件目前有效或嵌套在某一级。此寄存器由控制器自动更新，但在管理员模式下可以读取。

SIC还提供三对32位中断控制和状态寄存器，支持对事件处理进行进一步控制。每个寄存器都包含与各个外设中断事件(如第7页的表3所示)对应的位。

- SIC中断屏蔽寄存器(SIC\_IMASKx) — 控制各种外设中断事件的屏蔽和解除屏蔽。当这些寄存器中的某位置1时，相应的外设事件解除屏蔽，置位时将由系统处理。当这些寄存器中的某位清0时，相应的外设事件被屏蔽，防止处理器处理该事件。



- SIC中断状态寄存器(SIC\_ISR<sub>x</sub>) — 多个外设可以映射到同一个事件，软件可以利用这些寄存器确定哪个外设事件源触发了中断。位置1表示相应的外设置位中断，位置0表示相应的外设未置位中断。
- SIC中断唤醒使能寄存器(SIC\_IWR<sub>x</sub>) — 使能这些寄存器中的相应位之后，当产生相应的事件时，如果内核处于空闲状态或休眠模式，则对应的外设会唤醒处理器。更多信息请参阅第14页的动态功耗管理。

由于多个中断源可以映射到同一个通用中断，因此在中断处理之前或过程中，对于此中断输入上已检测到的一个中断事件，可能会同时出现多个脉冲置位。SIC监视IPEND寄存器内容并做出中断应答。

检测到中断上升沿时(检测需要2个内核时钟周期)，相应的ILAT寄存器位就会置1。相应的IPEND寄存器位置1时，该位清0。IPEND位表示事件已进入处理器流水线。此时，CEC识别对应事件输入上的下一个上升沿事件并给它排队。从通用中断的上升沿跃迁到IPEND输出置位的最短延迟为3个内核时钟周期；根据处理器内部的活动及其状态的不同，该延迟时间可能长得多。

## DMA控制器

处理器具有多个独立的DMA通道，支持自动数据传输，处理器内核的开销极小。DMA传输可以在处理器的内部存储器与任何支持DMA的外设之间进行。此外，DMA传输也可以在任何支持DMA的外设与连接到外部存储器接口的外部设备之间进行，包括SDRAM控制器和异步存储器控制器。支持DMA的外设包括以太网MAC、NFC、HOSTDP、USB、SPORT、SPI端口、UART和PPI。每个支持DMA的外设至少有一个专用DMA通道。

处理器的DMA控制器支持一维(1D)和二维(2D)DMA传输。DMA传输初始化可以从寄存器或称为描述符模块的参数集实现。

二维DMA能力支持最大64K单元乘64K单元的任意大小行和列，以及最大±32K单元的任意行和列步长。此外，列步长可以小于行步长，从而实现交错数据流，这一特性在可以即时解交错数据的视频应用中特别有用。

处理器DMA控制器支持许多DMA类型，举例如下：

- 完成时停止的单通道线性缓冲器。
- 每当缓冲器全满或部分充满时便中断的循环、自动刷新式缓冲器。
- 使用描述符链表的一维或二维DMA。
- 使用描述符阵列的二维DMA，在同一页内仅指定基础DMA地址。

除了专用外设DMA通道之外，还有两个存储器DMA通道，用来在处理器系统的各种存储器之间传输数据。它支持在任意存储器之间进行数据块传输，包括外部SDRAM、ROM、SRAM和闪存，只需极少的处理器干预。存储器DMA传输可以通过一种非常灵活的基于描述符的方法加以控制，或者通过一种基于寄存器的标准自动缓冲机制加以控制。

与外部总线接口单元(EBIU)一起使用时，处理器还可以通过两个外部DMA请求引脚提供外部DMA控制器功能。当外部FIFO和高带宽通信外设(如USB 2.0)需要高速接口时，可以使用这一功能，通过它可以控制存储器DMA的数据传输次数。每个边沿的传输次数是可编程的。可以对该特性进行编程，使存储器DMA在外部总线上的优先级高于内核。

## 主机DMA端口

利用主机端口接口，外部主机可以作为DMA主机来将数据输入输出器件。主机控制处理，Blackfin处理器是DMA从机。

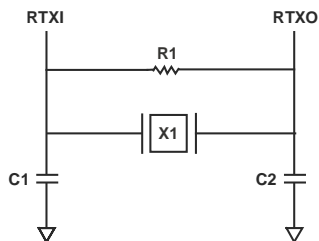
主机端口通过PAB接口使能。一旦使能，DMA便由外部主机控制，它可以利用DMA发送/接收数据到任何有效的内部或外部存储器位置。

主机端口接口控制器具有以下特性：

- 允许外部主机配置DMA读/写数据传输和读取端口状态。
- 对外部接口使用异步存储器协议。
- 通过8/16位外部数据接口连接主机。
- 半双工操作。
- 从小到大/从大到小顺序数据传输。
- 应答模式支持对主机处理进行流程控制。
- 中断模式保证突发FIFO深度主机处理。

## 实时时钟

实时时钟(RTC)提供鲁棒的数字计时功能，包括当前时间、跑表和报警。RTC由Blackfin处理器外部的一个32.768 kHz晶振提供时钟信号。RTC引脚RTXI和RTXO与外部器件的连接如图4所示。

**SUGGESTED COMPONENTS:**

X1 = ECLIPTEK EC38J (THROUGH-HOLE PACKAGE) OR  
EPSON MC405 12 pF LOAD (SURFACE-MOUNT PACKAGE)

C1 = 22 pF

C2 = 22 pF

R1 = 10 MΩ

NOTE: C1 AND C2 ARE SPECIFIC TO CRYSTAL SPECIFIED FOR X1.  
CONTACT CRYSTAL MANUFACTURER FOR DETAILS. C1 AND C2  
SPECIFICATIONS ASSUME BOARD TRACE CAPACITANCE OF 3 pF.

图4. RTC的外部器件

RTC外设具有专用电源引脚，当处理器的其余部分进入低功耗状态时，它仍然能保持上电和计时。RTC提供多种可编程的中断选项，包括：每秒、每分钟、每小时或每天中断；可编程跑表倒计时中断；以及在设定的报警时间中断。

32.768 kHz输入时钟频率由一个预分频器分为1 Hz信号。计时器的计数器功能包括四个计数器：60秒计数器、60分钟计数器、24小时计数器和32768天计数器。

报警功能使能后，当计时器的输出与报警控制寄存器中的编程值一致时，就会产生一个中断。报警有两种：一种是针对一天的某个时间，另一种是针对某一天的某个时间。

跑表功能从一个编程值开始倒计时，其分辨率为1秒。跑表使能后，当计数器下溢时，就会产生一个中断。

像其它外设一样，RTC也可以通过产生任何RTC唤醒事件把处理器从休眠状态唤醒。此外，RTC唤醒事件可以将处理器从深度休眠模式唤醒，或者使其从休眠状态过渡到其它状态。

## 看门狗定时器

处理器包括一个32位定时器，可以利用它来实现软件看门狗功能。软件看门狗可以提高系统可用性，如果定时器在软件复位之前超时，它将通过产生硬件复位、不可屏蔽的中断(NMI)或通用中断，迫使处理器进入已知状态。编程人员初始化计时器的计数值，使能适当的中断，然后使能定时器。此后，在计数器从编程值计数到0之前，软件必须重新加载计数器。这样在软件(正常情况下会复位定时器)由于外部噪声条件或软件错误而停止运行时，可以防止系统一直处于未知状态。

如果配置为产生硬件复位，看门狗定时器将同时复位内核和处理器外设。复位后，软件可以查询看门狗定时器控制寄存器的状态位，确定看门狗是否为硬件复位源。

该定时器由系统时钟(SCLK)提供时钟，最大频率为 $f_{SCLK}$ 。

## 定时器

处理器有9个通用可编程定时器单元。8个定时器具有外部引脚，可以将其配置为脉宽调制器(PWM)、定时器输出、定时器的时钟输入或用于测量脉宽和外部事件周期的机制。这些定时器可以与多个其它相关PF引脚的外部时钟输入、PPI\_CLK输入引脚的外部时钟输入或内部SCLK同步。

这些定时器可以与两个UART一起使用，测量数据流的脉冲宽度，为相应的串行通道提供软件自动波特率检测功能。

这些定时器可以产生处理器内核中断，提供用于与系统时钟或外部信号计数同步的周期性事件。

除了8个通用可编程定时器之外，还提供了第9个定时器。这个额外的定时器由处理器内部时钟提供时钟信号，通常用作系统周期时钟来产生操作系统周期性中断。

## 增/减计数器和滚轮接口

处理器提供一个32位升/降计数器，它可以检测通常由工业驱动器或手动拇指滚轮发出的2位正交或二进制码。该计数器还能在通用增减计数模式下工作，计数方向由电平敏感型输入引脚或两个边沿检测器控制。

第三个输入可以提供灵活的零标记支持，或者也可以用于输入拇指滚轮的按钮信号。所有三个引脚都具有可编程去抖电路。

转送到定时器单元的一个内部信号可以使能一个定时器来测量计数事件之间的时间间隔。边界寄存器支持自动调零操作，或者在超过可编程的计数值时通过中断发出简单的系统警告。

## 串行端口

处理器集成两个双通道同步串口(SPORT1和SPORT0)，用于串行和多处理器通信。SPORT支持下列特性：

- 支持I<sup>2</sup>S的操作。

- 双向操作 — 每个SPORT有两组独立的发送和接收引脚，支持8通道的I<sup>2</sup>S立体声音频。
- 缓冲(8位深)发送和接收端口 — 每个端口有一个数据寄存器用于与其它处理器部件进行数据字传输，并有一个移位寄存器用于将数据移入移出数据寄存器。
- 时钟 — 各发送和接收端口可以使用外部串行时钟或自行产生时钟，频率范围( $f_{SCLK}/131,070$ ) Hz至( $f_{SCLK}/2$ ) Hz。
- 字长 — 各SPORT支持3到32位的串行数据字，以MSB或LSB优先方式传输。
- 帧传输 — 各发送和接收端口运行时，各数据字可以使用或不使用帧同步信号。帧同步信号可以在内部或外部产生，可以是高电平有效或低电平有效，可以使用两个脉冲宽带中的任一个，可以是早或晚帧同步。
- 硬件压扩 — 各SPORT可以根据ITU建议G.711执行A律或 $\mu$ 律压缩和扩展。压扩可以通过SPORT的发送和/或接收通道选择，无额外延迟。
- 单周期开销的DMA操作 — 各SPORT可以自动接收和发送多个缓冲器的存储器数据。处理器可以将SPORT与存储器之间的DMA传输序列链接起来。
- 中断 — 完成数据字的传输时，或者通过DMA传输整个数据缓冲器或多个缓冲器之后，各发送和接收端口产生一个中断。
- 多通道能力 — 各SPORT支持1024通道窗口中的128通道，兼容H.100、H.110、MVIP-90和HMOVIP标准。

## 串行外设接口(SPI)端口

处理器具有一个SPI兼容型端口，可以与多个SPI兼容型器件通信。

SPI接口使用三个引脚传输数据：两个数据引脚(主机输出/从机输入-MOSI和主机输入/从机输出-MISO)和一个时钟引脚(串行时钟-SCK)。其它SPI器件利用一个SPI片选输入引脚(SPISS)选择处理器，处理器利用7个SPI片选输出引脚(SPISEL7-1)选择其它SPI器件。SPI选择引脚是重新配置的通用I/O引脚。利用这些引脚，SPI端口提供一个全双工、同步串行接口，支持主机/从机模式和多主机环境。

SPI端口的波特率和时钟相位/极性是可编程的，而且它集成了一个DMA通道，支持发送或接收数据流。在任何给定的时间，SPI的DMA通道只能支持单向访问。

SPI端口的时钟速率计算如下：

$$SPI\ Clock\ Rate = \frac{f_{SCLK}}{2 \times SPI\_BAUD}$$

其中，16位SPI\_BAUD寄存器包含2到65535的值。

传输期间，SPI端口在其两条串行数据线上串行移入移出数据，从而同时进行发送和接收操作。串行时钟线同步两条串行数据线上的数据移位和采样。

## UART端口

处理器提供2个全双工通用异步接收器/发送器(UART)端口，它们与PC标准UART完全兼容。每个UART端口提供一个简化的UART接口用于连接其它外设或主机，支持全双工、DMA、异步串行数据传输。UART端口支持5到8个数据位、1或2个停止位以及无、奇或偶校验。每个UART端口支持两种工作模式：

- PIO(编程I/O)——处理器通过写入或读取I/O映射UART寄存器来发送或接收数据。发送和接收数据均为双缓冲。
- DMA(直接存储器访问)——DMA控制器传输发送和接收数据。这可以减少存储器数据传输所需的中断数量和频率。UART具有两个专用DMA通道，一个用于发送，一个用于接收。由于服务速率相对较低，这些DMA通道的优先级低于大多数其它DMA通道。

每个UART端口的波特率、串行数据格式、错误代码产生和状态、中断都是可以编程的：

- 支持的比特率为( $f_{SCLK}/1,048,576$ )至( $f_{SCLK}/16$ ) bps。
- 支持的数据格式为7到12位/帧。
- 发送和接收操作均可配置为产生可屏蔽的处理器中断。

UART端口的时钟速率计算如下：

$$UART\ Clock\ Rate = \frac{f_{SCLK}}{16 \times UART\_Divisor}$$

其中，16位UART\_Divisor来自UART\_DLH(最高8位)和UART\_DLL(最低8位)寄存器。

结合通用定时器功能，它支持自动波特率检测。

UART还支持红外数据协会(IrDA<sup>®</sup>)串行红外物理层链路规范(SIR)协议。

## TWI控制器接口

处理器包括一个双线接口(TWI)模块,用于在多个器件之间进行简单的控制数据交换。TWI兼容广泛使用的I<sup>2</sup>C®总线标准。TWI模块能够同时以主机和从机工作,支持7位寻址和多媒体数据仲裁。TWI接口利用两个引脚传输时钟(SCL)和数据(SDA),支持最高速度为400 kb/s的协议。TWI接口引脚兼容5 V逻辑电平。

此外,TWI模块完全兼容串行相机控制总线(SCCB)功能,可轻松控制各种CMOS相机传感器。

## 10/100以太网MAC

ADSP-BF526和ADSP-BF527处理器能够通过一个嵌入式快速以太网媒体访问控制器(MAC)直接连接网络,该MAC支持10-BaseT(10Mb/s)和100-BaseT(100Mb/s)工作模式。处理器上的10/100以太网MAC外设完全符合IEEE 802.3-2002标准,并提供可编程的特性,以便最大程度地减少监管、总线使用或处理器系统其余部分的消息处理。

下面是一些标准特性:

- 支持外部PHY的MII和RMII协议。
- 全双工和半双工模式。
- 数据帧传输和封装:产生和检测前同步码、长度填充位、FCS。
- 媒体访问管理(半双工模式):冲突和竞争处理,包括控制冲突帧重新传输和倒退时序。
- 流程控制(全双工模式):产生和检测PAUSE帧。
- 站管理:产生MDC/MDIO帧以便读/写PHY寄存器。
- 主动和休眠工作模式的工作范围参见第67页的表58、第67页的表59。
- 从发送到接收的内部回送。

下面是一些高级特性:

- 带驱动的晶振输出到外部PHY,以便支持单晶振系统。
- 自动计算接收帧IP帧头和IP有效载荷域的校验和。
- 独立的32位描述符驱动接收和发送DMA通道。
- 帧状态通过DMA传送到存储器,包括用于在软件中实现高效缓冲队列管理的帧完成令牌。
- 发送DMA支持MAC包头和有效载荷使用不同的描述符,以消除缓冲复制操作。

- 方便的帧对齐模式支持存储器中14字节MAC包头之后的接收或发送的IP分组数据的均匀32位对齐。
- 可编程的以太网事件中断支持下列情况的任意组合:
  - 任意选定的接收或发送帧状态条件。
  - PHY中断条件。
  - 检测到唤醒帧。
  - 任意选定的半满时MAC管理计数器。
  - DMA描述符错误。
- 47个MAC管理统计计数器提供可选的读取后清除特性和可编程的半最大值中断。
- 可编程的接收地址过滤器,包括用于多播和/或单播帧的64位地址HASH表,以及针对广播、多播、单播、控制和受损帧的可编程过滤模式。
- 在低功耗休眠模式下,高级电源管理功能支持通过DMA与外部存储器进行无人值守的接收和发送帧以及状态的传输。
- 收到魔术包或四个用户可定义唤醒帧过滤器中的任何一个时,系统从休眠模式唤醒。
- 支持802.3Q标记VLAN帧。
- 可编程的MDC时钟速率和前同步码抑制。
- 在RMII工作模式下,可以将7个未使用的引脚配置为GPIO引脚以作它用。

## 端口

由于外设众多,处理器将许多外设信号归类为四个端口:端口F、端口G、端口H和端口J。多数相关引脚都由多个信号共享。这些端口担当多路复用器控制功能。

## 通用I/O (GPIO)

处理器具有48个双向通用I/O(GPIO)引脚,这些引脚分配到三个独立的GPIO模块:PORTFIO、PORTGIO和PORTHIO,它们分别与端口F、端口G和端口H相关。端口J不提供GPIO功能。每个支持GPIO的引脚通过一个复用方案与处理器的其它外设共享功能,不过,GPIO功能是器件上电时的默认状态。GPIO输出和输入驱动器默认禁用。每个通用端口引脚都可以通过操纵端口控制、状态和中断寄存器进行控制。

- GPIO方向控制寄存器 - 指定各GPIO引脚的方向:输入或输出。
- GPIO控制和状态寄存器 - 处理器“写1修改”机制支持通过单一指令来修改GPIO引脚的任意组合,而不会影响其它GPIO引脚的电平。提供4个控制寄存器。写入第一个寄存器可设置引脚值,写入第二个寄存器可将引脚值清零,写入第三个寄存器可切换引脚值,写入第四个寄存器可指定引脚值。软件可读取GPIO状态寄存器以查询引脚的检测状态。

- GPIO中断屏蔽寄存器 – 两个GPIO中断屏蔽寄存器允许各GPIO引脚用作处理器的中断。与用于设置和清除各引脚值的两个GPIO控制寄存器相似，一个GPIO中断屏蔽寄存器设置这些位以使能中断功能，另一个GPIO中断屏蔽寄存器清除这些位以禁用中断功能。定义为输入的GPIO引脚可以用来产生硬件中断，输出引脚则可以由软件中断触发。
- GPIO中断敏感性寄存器 – 两个GPIO中断敏感性寄存器指定各引脚是对电平敏感还是对边沿敏感；如果是对边沿敏感，则还要指定仅信号的上升沿有意义还是上升沿和下降沿均有意义。一个寄存器选择敏感性的类型，另一个寄存器选择边沿敏感性的有效边沿。

## 并行外设接口(PPI)

处理器提供一个并行外设接口(PPI)，它可以直接连接并行模数和数模转换器、视频编码器和解码器，以及其它通用外设。PPI由1个专用输入时钟引脚、最多3个帧同步引脚和最多16个数据引脚组成。输入时钟支持最高为系统时钟速率一半的并行数据速率，同步信号可以配置为输入或输出。

PPI支持多种通用和ITU-R 656工作模式。在通用模式下，PPI提供最多16位的半双工、双向数据传输。此外还提供最多3个帧同步信号。在ITU-R 656模式下，PPI提供8位或10位视频数据的半双工双向传输。另外还支持对嵌入式行起始(SOL)和场起始(SOF)前导码数据包进行片内解码。

## 通用模式描述

PPI的通用模式适合许多不同的数据捕捉和传输应用。PPI支持下列三种不同的子模式：

1. 输入模式 – 帧同步和数据输入PPI。
2. 帧捕捉模式 – 帧同步从PPI输出，但输入数据。
3. 输出模式 – 帧同步和数据从PPI输出。

## 输入模式

输入模式旨在用于ADC应用，以及通过硬件信号进行视频通信。PPI\_FS1的最简单形式是一个外部帧同步输入，用

于控制数据读取的时间。PPI\_DELAY MMR在此帧同步的接收与数据读取的开始之间提供一个延迟(PPI\_CLK周期)。输入数据样本数由用户设置，通过PPI\_COUNT寄存器的内容确定。PPI支持8位及10到16位数据，位数可通过PPI\_CONTROL寄存器设置。

## 帧捕捉模式

在帧捕捉模式下，视频源可以用作从机(例如：用于帧捕捉)。ADSP-BF52x处理器控制读取视频源的时间。PPI\_FS1为HSYNC输出，PPI\_FS2为VSYNC输出。

## 输出模式

输出模式用于传输视频或其它数据，最多支持3个输出帧同步。一般而言，单帧同步适合数据转换器应用，双帧或三帧同步则可用于以硬件信号发送视频。

## ITU-R 656模式描述

PPI的ITU-R 656模式适合许多不同的视频捕捉、处理和传输应用。PPI支持下列三种不同的子模式：

1. 仅有效视频模式
2. 仅垂直消隐模式
3. 全域模式

## 有效视频模式

当只需要一个场的有效视频部分，而不需要任何消隐间隔时，应使用仅有效视频模式。PPI不读入有效视频结束(EAV)与有效视频开始(SAV)前同步码之间的任何数据，也不读入垂直消隐间隔期间存在的数据。这种模式下，控制字节序列不存储到存储器，而是由PPI过滤。与场起始1同步后，PPI会忽略输入的样本，直到看见SAV码。用户指定每帧的有效视频行数(PPI\_COUNT寄存器)。

## 垂直消隐间隔模式

这种模式下，PPI仅传输垂直消隐间隔(VBI)数据。

## 全域模式

这种模式下，通过PPI读入整个输入位流，包括有效视频、控制前同步码序列和水平/垂直消隐间隔中可能嵌入的辅助数据。与场1同步后，数据传输立即开始。数据通过8个DMA引擎输入输出同步通道，这些DMA引擎自治工作，不需要处理器内核干预。

## USB OTG两用器件控制器

USB OTG两用器件控制器(USBDR)为手机、数码相机和MP3播放器等消费移动设备提供低成本连接解决方案，允许这些设备利用点到点USB连接传输数据，而无需PC主机。USBDR模块既可在传统USB外设模式下工作，也可在USB 2.0规范补充标准OTG提出的主机模式下工作。主机模式下，USB模块支持高速(480 Mbps)、全速(12 Mbps)和低速(1.5 Mbps)传输。“仅外设”模式支持高速和全速传输速率。

USB时钟(USB\_XI)通过专用外部晶体或晶振提供。相关时序要求参见第59页的“通用串行总线(USB)OTG—接收和发送时序”。如果利用晶振提供USB时钟，应使用并行谐振、基频模式、微处理器级晶振。

USB OTG两用器件控制器包括一个带可编程乘法器的锁相环，用以产生USB所需的内部时钟频率。乘法器值应根据USB\_XI频率编程，以便实现USB高速工作所需的480 MHz内部时钟。例如，如果USB\_XI晶体频率为24 MHz，则USB\_PLLOSC\_CTRL寄存器应将乘法器值设置为20，从而产生480 MHz内部时钟。

## Lockbox安全技术确保代码安全

Lockbox™安全技术是一种由硬件和软件结合而成的安全系统，能够为客户提供灵活、丰富的代码安全功能。主要特性包括：

- OTP存储器
- 唯一的芯片ID
- 代码身份验证
- 安全工作模式

该安全方案基于利用标准算法对数字签名进行身份验证的概念，提供一个安全的处理环境来执行代码和保护资产。参见第21页的Lockbox安全技术免责声明。

## 动态电源管理

处理器提供五种工作模式，各种模式具有不同的性能/功耗特征。此外，利用动态电源管理提供的控制功能，可以动态改变处理器内核电源电压，从而进一步降低功耗。当内核电源电压配置为0 V时，处理器进入休眠状态。控制各处理器外设的时钟也可以降低功耗。

表4总结了各种模式的电源设置。

**表4. 电源设置**

模式/状态	PLL	PLL旁路	内核时钟(CCLK)	系统时钟(SCLK)	内核电源
全开	使能	否	使能	使能	开
有效	使能/禁用	是	使能	使能	开
休眠	使能	—	禁用	使能	开
深度睡眠	禁用	—	禁用	禁用	开
休眠	禁用	—	禁用	禁用	开

### 全开工作模式—最高性能

在全开模式下，PLL使能且未被旁路，能够以最高频率工作。这是上电默认执行状态，可以实现最高性能。处理器内核和所有使能的外设以全速工作。

### 有效工作模式—中等动态省电

在有效模式下，PLL使能但被旁路。由于PLL被旁路，因此处理器的内核时钟(CCLK)和系统时钟(SCLK)以输入时钟(CLKIN)频率运行。对于适当配置的L1存储器，可以执行DMA访问。

在有效模式下，可以通过将PLL控制寄存器的PLL\_OFF位置1来禁用PLL的控制输入。此寄存器可以利用片内ROM调用的bfrom\_SysControl()中的用户调用例程来访问。如果禁用，则在转换到全开或休眠模式之前，必须重新使能PLL控制输入。

有关PLL控制的更多信息，参见“ADSP-BF52x Blackfin处理器硬件参考”中的“动态电源管理”部分。

### 休眠工作模式—高度动态省电

休眠模式通过禁用处理器内核的时钟(CCLK)来降低动态功耗，但PLL和系统时钟(SCLK)仍然正常工作。通常而言，外部事件或RTC活动可唤醒处理器。在休眠模式下，置位唤醒(通过SIC\_IWRx寄存器使能)会导致处理器检测PLL控制寄存器(PLL\_CTL) BYPASS位的值。如果BYPASS禁用，则处理器转换到全开模式。如果BYPASS使能，则处理器转换到有效模式。

休眠模式不支持对L1存储器进行系统DMA访问。

### 深度睡眠工作模式—最大动态省电

深度休眠模式通过禁用处理器内核的时钟(CCLK)和所有同步外设的时钟(SCLK)来最大程度地降低动态功耗。异步外设(如RTC等)仍然可以运行，但不能访问内部资源或外部存储器。要退出这种省电模式，必须置位复位中断(RESET)，或者通过RTC产生的异步中断退出。在深度休眠模式下，RTC异步中断会使处理器转换到有效模式，置位RESET则会使处理器转换到全速运行模式。

## 冬眠状态—最大静态省电

冬眠模式通过禁用处理器内核(CCLK)和所有同步外设(SCLK)的电压和时钟来最大程度地降低静态功耗。利用**bfrom\_SysControl()**函数将b#00写入VR\_CTL寄存器的FREQ位，可以关闭处理器的内部稳压器(仅限ADSP-BF523/ADSP-BF525/ADSP-BF527)。此设置将内部电源电压( $V_{DDINT}$ )设为0 V，从而实现最低的静态功耗。断电之前，如果要保存处理器状态，必须将任何内部存储的关键信息(如存储器内容、寄存器内容和其它信息)写入非易失性存储器。将b#00写入FREQ位也会使EXT\_WAKE0和EXT\_WAKE1变为低电平，这可以用来指示外部电压调节器关断。

由于该模式下仍能提供 $V_{DDEXT}$ 和 $V_{DDMEM}$ ，因此所有外部引脚均处于三态，除非另有规定。这样，其它可能连接到处理器的器件仍然可以带电，但不消耗无谓的电流。

以太网或USB模块可以唤醒内部稳压器(仅限ADSP-BF525和ADSP-BF527)，或利用EXT\_WAKE0/EXT\_WAKE1唤醒外部稳压器。如果PG15没有作为PHYINT信号连接到外部PHY器件，则可以通过任何其它器件将其拉低，以唤醒处理器。实时时钟唤醒事件或置位RESET引脚也可以唤醒处理器。所有冬眠唤醒事件都会启动硬件复位流程。个别源通过VR\_CTL寄存器使能。EXT\_WAKE<sub>x</sub>信号用于指示唤醒事件发生与否。

在冬眠期间，只要存在 $V_{DDEXT}$ ，VR\_CTL寄存器就会保持其状态不变，但所有其它内部寄存器和存储器都会丧失内容。状态变量可以保存在外部SRAM或SDRAM中。VR\_CTL寄存器的SCKELOW位控制SDRAM是否以自刷新模式工作；在这种模式下，当处理器进入冬眠状态以及随后经历复位序列时，SDRAM仍能保存其内容。

## 省电功能

如表5所示，处理器支持6个不同的电源域，以便在符合工业标准和惯例的同时提供最大的灵活性。通过将处理器的内部逻辑与RTC和其它I/O隔离并划入其自己的电源域，处理器便可以利用动态电源管理，而不会影响RTC或其它I/O

器件。各种电源域没有时序控制要求，但所有电源域都必须按照处理器“工作条件”中的相应**技术规格**表来通电，即使不使用某一特性/外设。

**表5. 电源域**

电源域	V <sub>DD</sub> 范围
所有内部逻辑，RTC、存储器、USB、OTP除外	V <sub>DDINT</sub>
RTC内部逻辑和晶振I/O	V <sub>DDRTC</sub>
存储器逻辑	V <sub>DDMEM</sub>
USB PHY逻辑	V <sub>DDUSB</sub>
OTP逻辑	V <sub>DDOTP</sub>
所有其它I/O	V <sub>DDEXT</sub>

处理器的动态电源管理功能可以动态控制处理器的输入电压( $V_{DDINT}$ )和时钟频率( $f_{CCLK}$ )。

处理器的功耗在很大程度上与其时钟频率和工作电压的平方成比例。例如，时钟频率降低25%将导致动态功耗降低25%，而工作电压降低25%则会使动态功耗降低40%以上。此外，这些省电方式是可以叠加的，如果时钟频率和电源电压均降低，功耗将显著降低，如下式所示。

*Power Savings Factor*

$$= \frac{f_{CCLKRED}}{f_{CCLKNOM}} \times \left( \frac{V_{DDINTRED}}{V_{DDINTNOM}} \right)^2 \times \left( \frac{T_{RED}}{T_{NOM}} \right)$$

$$\% \text{ Power Savings} = (1 - \text{Power Savings Factor}) \times 100\%$$

公式中的变量含义如下：

$f_{CCLKNOM}$  表示标称内核时钟频率

$f_{CCLKRED}$  表示降低后的内核时钟频率

$V_{DDINTNOM}$  表示标称内部电源电压

$V_{DDINTRED}$  表示降低后的内部电源电压

$T_{NOM}$  表示以 $f_{CCLKNOM}$ 工作的时间

$T_{RED}$  表示以 $f_{CCLKRED}$ 工作的时间

## ADSP-BF523/ADSP-BF525/ADSP-BF527电压调节

ADSP-BF523/ADSP-BF525/ADSP-BF527处理器内置片内稳压器，可以从外部电源产生处理器内核电压。图5显示了完整电源管理系统所需的典型外部元件。

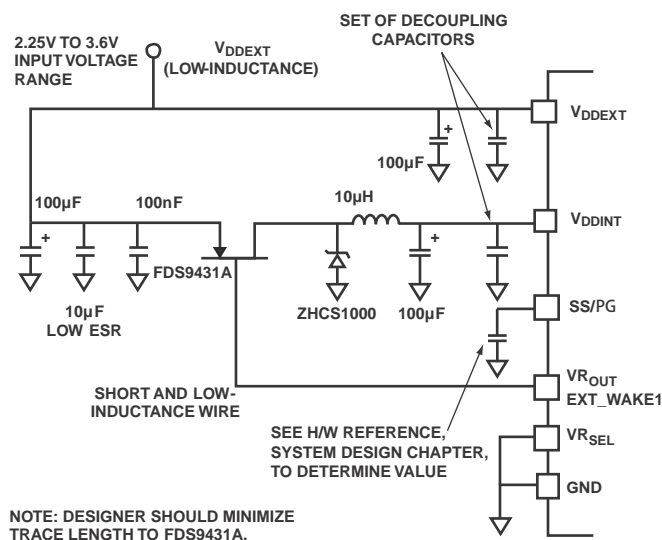


图5. ADSP-BF523/ADSP-BF525/ADSP-BF527稳压器电路

稳压器控制内部逻辑电平，可以通过稳压器控制寄存器（VR\_CTL）以50 mV的增量编程。此寄存器可以利用片内ROM中的**bfrom\_SysControl()**函数访问。为了降低待机功耗，可以设置内部稳压器关断处理器内核的电源，但保留I/O电源。在休眠状态下，仍可以施加所有外部电源（ $V_{DDEXT}$ 、 $V_{DDMEM}$ 、 $V_{DDUSB}$ 、 $V_{DDOTP}$ ），无需外部缓冲器。为实现正常休眠操作，所有时候都必须提供 $V_{DDRTC}$ 。通过RTC唤醒、USB唤醒、以太网唤醒，或通过置位RESET引脚，可以使稳压器从关断状态下激活，然后启动引导序列。用户也可以酌情禁用和旁路该稳压器。

稳压器有两种模式，通过VR\_SEL引脚设置：对外部FET的正常脉宽控制和外部电源模式，后者在休眠期间可指示外部稳压器关断。设置VR\_SEL为 $V_{DDEXT}$ 时，使用外部稳压器；设置VR\_SEL为GND时，使用内部稳压器。在外部模式下，VR\_OUT成为EXT\_WAKE1。如果使用内部稳压器，则在休眠状态下，EXT\_WAKE0可以控制系统中的其它电源。两个信号均为上电用高电平有效信号，可以直接连接到许多常用调节器的低电平有效关断输入。SS/PG(软启动/电源良好)的模式也会根据VR\_SEL的状态而改变。使用内部稳压器时，SS/PG引脚为“软启动”；使用外部稳压器时，该引脚为

“电源良好”。退出休眠模式或更改电平时，建议使用“软启动”特性来降低浪涌电流和 $V_{DDINT}$ 电压过冲。电源良好(PG)输入信号可以让处理器在内部电压达到指定电平后才启动。这样，休眠后可以检测外部调节器的启动时间。关于软启动和电源良好功能的详细说明，请参阅《ADSP-BF52x Blackfin处理器硬件参考》。

## ADSP-BF522/ADSP-BF524/ADSP-BF526电压调节

ADSP-BF522/ADSP-BF524/ADSP-BF526处理器需要一个外部电压调节器来为 $V_{DDINT}$ 电源域供电。为了降低待机功耗，可以通过EXT\_WAKE0或EXT\_WAKE1指示外部电压调节器关断处理器内核的电源。这些信号完全相同，是上电用高电平有效信号，可以直接连接到许多常用调节器的低电平有效关断输入。在休眠状态下，仍可以施加所有外部电源（ $V_{DDEXT}$ 、 $V_{DDMEM}$ 、 $V_{DDUSB}$ 、 $V_{DDOTP}$ ），无需外部缓冲器。为实现正常休眠操作，所有时候都必须提供 $V_{DDRTC}$ 。通过RTC唤醒、USB唤醒、以太网唤醒，或通过置位RESET引脚，可以使外部稳压器从关断状态下激活，然后启动引导流程。EXT\_WAKE0或EXT\_WAKE1指示外部稳压器唤醒。电源良好(PG)输入信号可以让处理器在内部电压达到指定电平后才启动。这样，休眠后可以检测外部调节器的启动时间。关于电源良好功能的详细说明，请参阅《ADSP-BF52x Blackfin处理器硬件参考》。

## 时钟信号

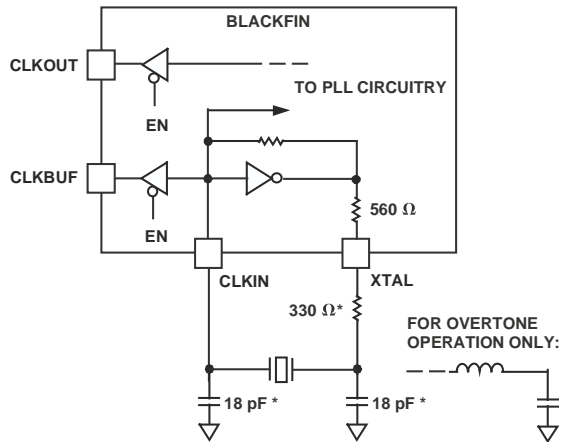
处理器的时钟可以来自外部晶振、正弦波输入或源于外部时钟振荡器的缓冲整形时钟。

如果使用外部时钟，它应为TTL兼容信号，而且在正常工作期间不得暂停、改变或以低于额定频率的频率工作。此信号连接到处理器的CLKIN引脚。使用外部时钟时，XTAL引脚必须悬空。

此外，由于处理器含有片内振荡器电路，因此也可以使用外部晶振。欲以基频工作，请使用图6所示的电路。一个并行谐振、基频、微处理器级晶振连接在CLKIN和XTAL引脚上。CLKIN引脚与XTAL引脚之间的片内电阻在500 kΩ范围内。通常情况下，建议不要使用其它并联电阻。图6所示的两个电容和串联电阻用于精调正弦频率输入的相位和幅度。

图6所示的电容和电阻值仅为典型值。电容值取决于晶振制造商的负载电容建议和PCB物理布局。电阻值取决于晶振制造商规定的驱动电平。用户应在整个温度范围内细致考察多个器件，验证所用的元件值是否合适。





NOTE: VALUES MARKED WITH \* MUST BE CUSTOMIZED, DEPENDING ON THE CRYSTAL AND LAYOUT. PLEASE ANALYZE CAREFULLY. FOR FREQUENCIES ABOVE 33 MHz, THE SUGGESTED CAPACITOR VALUE OF 18 pF SHOULD BE TREATED AS A MAXIMUM, AND THE SUGGESTED RESISTOR VALUE SHOULD BE REDUCED TO 0 Ω.

图6. 外部晶振连接

针对25 MHz以上的频率，可以使用三次谐波晶体振荡器。此时需要修改图6所示电路，增加一个调谐电感电路，确保晶振仅在第三泛音工作。第三泛音工作的设计程序详见应用笔记(EE-168)：“三次谐波晶体振荡器用于ADSP-218x DSP”(请在ADI公司网站www.analog.com上搜索“EE-168”)。

CLKBUF引脚为输出引脚，它是输入时钟的缓冲版本。该引脚在以太网应用中特别有用，可以减少系统所需时钟源的数量。在此类应用中，可以将一个25 MHz或50 MHz晶振直接施加于处理器。然后，CLKBUF的25 MHz或50 MHz输出可以连接到外部以太网MII或RMII PHY器件。如果CLKIN不使用晶振，而是使用外部振荡器，则CLKBUF将不具有某些器件要求的40/60占空比。CLKBUF输出默认有效，可以利用VR\_CTL寄存器予以禁用以便省电。

Blackfin内核以不同于片内外设的时钟速率运行。如图7所示，内核时钟(CCLK)和系统外设时钟(SCLK)从输入时钟(CLKIN)信号产生。片内PLL能够将CLKIN信号乘以一个可编程的乘法系数(以VCO额定最小和最大频率为限)。默认乘法系数可以通过软件指令序列更改。此序列由片内ROM中的bfrom\_SysControl()函数管理。

利用片内ROM中的bfrom\_SysControl()函数可以随时更改CCLK和SCLK频率。最大容许的CCLK和SCLK速率取决于所施加的电压 $V_{DDINT}$ 、 $V_{DDEXT}$ 和 $V_{DDMEM}$ ，VCO始终能以器件

最大指令速率规定的频率工作。CLKOUT引脚将SCLK频率告知芯片外部。它属于SDRAM接口，但在其它时序规格中它也能用作参考信号。它默认有效，可以通过EBIU\_SDGCTL和EBIU\_AMGCTL寄存器禁用。

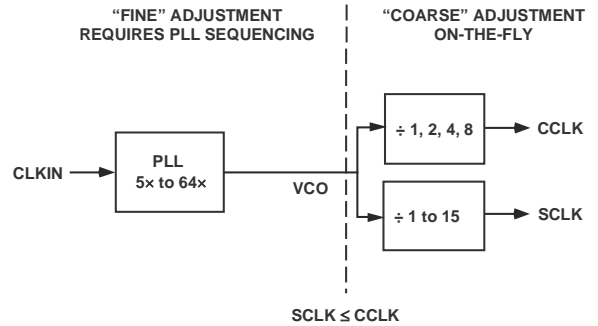


图7. 频率更改方法

所有片内外设都由系统时钟(SCLK)提供时钟信号。系统时钟频率可通过PLL\_DIV寄存器的SSEL3-0位进行编程。写入SSEL域的值定义PLL输出(VCO)与系统时钟之间的分频比。SCLK分频值范围为1到15。表6给出了典型的系统时钟比。

注意，所选的分频比必须能使系统时钟频率不高于其最大 $f_{SCLK}$ 。利用片内ROM中的bfrom\_SysControl()函数将适当的值写入PLL分频寄存器(PLL\_DIV)，可以动态改变SSEL值，而不会有任何PLL锁定延迟

表6. 系统时钟比示例

信号名称 SSEL3-0	分频比VCO/ SCLK	频率比示例(MHz)	
		VCO	SCLK
0001	1:1	100	100
0110	6:1	300	50
1010	10:1	500	50

内核时钟(CCLK)频率也可以通过PLL\_DIV寄存器的CSEL1-0位动态改变。支持的CCLK分频比为1、2、4和8，如表7所示。这种可编程内核时钟能力可以用来快速更改内核频率。

表7. 内核时钟比

信号名称 CSEL1-0	分频比VCO/ CCLK	频率比示例(MHz)	
		VCO	CCLK
00	1:1	300	300
01	2:1	300	150
10	4:1	500	125
11	8:1	200	25

CCLK最大频率不仅取决于器件的最大指令速率(见第87页),还取决于所施加的 $V_{DDINT}$ 电压,详情参见表12和表15。最大系统时钟速率(SCLK)取决于芯片封装和所施加的 $V_{DDINT}$ 、 $V_{DDEXT}$ 、 $V_{DDMEM}$ 电压(参见表14和表17)。

## 引导模式

复位后,处理器可以通过多种机制(如表8所列)自动加载内部和外部存储器。引导模式由四个专用BMODE输入引脚决定。引导模式分为两类。在主机引导模式下,处理器主动从并行或串行存储器加载数据。在从机引导模式下,处理器接收来自外部主机的数据。

表8所列的引导模式提供了多种机制,在复位后自动加载处理器的内部和外部存储器。默认情况下,所有引导模式都使用最慢的有意义配置设置。默认设置可以在引导时通过初始化代码功能或在引导前通过适当的OTP编程进行更改。复位配置寄存器的BMODE引脚(在上电复位和软件启动的复位期间采样)实现表8所示的模式。

**表8. 引导模式**

BMODE3-0	描述
0000	空闲 - 无引导
0001	从8位或16位外部闪存引导
0010	从16位异步FIFO引导
0011	从串行SPI存储器(EEPROM或闪存)引导
0100	从SPI主机引导
0101	从串行TWI存储器(EEPROM/闪存)引导
0110	从TWI主机引导
0111	从UART0主机引导
1000	从UART1主机引导
1001	保留
1010	从SDRM引导
1011	从OTP存储器引导
1100	通过NFC从8位NAND闪存引导,利用PORTF数据引脚
1101	通过NFC从8位NAND闪存引导,利用PORTH数据引脚
1110	从16位主机DMA引导
1111	从8位主机DMA引导

- 空闲/无引导模式(BMODE = 0x0): 这种模式下,处理器进入空闲状态。空闲引导模式有助于从无效工作模式恢复,例如当OTP存储器配置不当时。
- 从8位或16位外部闪存(BMODE = 0x1)引导: 这种模式下,引导内核从地址0x2000 0000加载第一个模块表头,并且

根据表头所含的指令,引导内核执行8位或16位引导,或在表头所提供的地址处启动程序执行。默认情况下,所有配置都针对最慢的器件进行设置(3周期保持时间、15周期读写访问时间、4周期建立时间)。

ARDY默认禁用,但可以通过OTP编程使能。类似地,所有接口行为和时序都可以通过OTP编程自定义,包括启动突发工作模式或页工作模式。这种模式下,所有异步接口信号都在端口复用级使能。

- 从16位异步FIFO引导(BMODE = 0x2): 这种模式下,引导内核从地址0x2030 0000开始引导。引导内核要从FIFO读取的每一个16位字,都必须通过在DMAR1引脚上施加一个低电平脉冲进行请求。
- 从串行SPI存储器、EEPROM或闪存引导(BMODE = 0x3): 支持8位、16位、24位或32位可寻址器件。处理器利用PG1 GPIO引脚选择单个SPI EEPROM/闪存器件,然后提交一个读取命令和连续的地址字节(0x00),直至检测到有效的8位、16位、24位或32位可寻址器件。SPISEL1和MISO引脚需要上拉电阻。默认情况下,将值0x85写入SPI\_BAUD寄存器。
- 从SPI主机器件引导(BMODE = 0x4): 处理器以SPI从机模式工作,配置为接收来自SPI主机代理的LDR文件字节。每传输一个字节之前,主机都必须查询HWAIT信号。SPISS输入需要上拉电阻。串行时钟(SCK)上使用一个下拉电阻可以改善信号质量和引导的鲁棒性。
- 从串行TWI存储器、EEPROM/闪存引导(BMODE = 0x5): 处理器在主机模式工作,并利用唯一ID 0xA0选择连接到TWI的TWI从机。

处理器向存储器提交连续读取命令,从内部地址0x0000开始,并开始将数据输入处理器。TWI存储器应符合“Philips I<sup>2</sup>C®总线规范”2.1版,并且能自动递增其内部地址计数器,以便顺序读取存储器的内容。默认情况下,PRESCALE值为0xA, TWI\_CLKDIV值为0x0811。除非被OTP设置更改, I<sup>2</sup>C存储器使用两个地址字节。开发工具确保将引导到存储器中的数据(Blackfin内核无法访问)写入到中间存储位置,然后通过存储器DMA复制到最终目的位置。

- 从TWI主机引导(BMODE = 0x6): TWI主机选择唯一ID为0x5F的从机。

处理器应答后,主机下载引导流。TWI主机代理应符合“Philips I<sup>2</sup>C总线规范”2.1版。从单一TWI引导多个处理器时,可以使用I<sup>2</sup>C多路复用器,一次选择一个处理器。

- 从端口G上的UART0主机引导(BMODE = 0x7): 利用自动波特率握手序列从主机下载一个经引导流格式化的程序。主机在UART时钟能力范围内选择一个比特率。

执行自动波特率检测时, UART需要借助UART0RX引脚信号的“@”(0x40)字符(8位数据, 1个起始位, 一个结束位, 无奇偶校验位)来确定比特率。然后, UART通过一个由4字节(0xBF、UART0\_DLL的值、UART0\_DLH的值、0x00)组成的应答消息进行回复。随后主机就能下载引导流。为了延迟主机动作, Blackfin处理器向主机发送一个引导主机等待(HWAIT)信号。因此, 在传输每个字节之前, 主机必须监控HWAIT信号。

- 从端口F上的UART1主机引导(BMODE = 0x8)。除了使用UART1以外, 其它方面与BMODE = 0x7相同。
- 从SDRAM引导(BMODE = 0xA): 这是一种暖引导情况, 引导内核从地址0x0000 0010开始引导。SDRAM需要包含有效的引导流, SDRAM控制器必须通过OTP设置进行配置。
- 从OTP存储器引导(BMODE = 0xB): 它提供一种独立引导方法。引导流从片内OTP存储器加载。默认情况下, 引导流从OTP页0x40开始, 可以占用页0xDF以下的所有公共OTP存储空间, 共计2560字节。由于开始页是可编程的, 因此引导流最大可以扩展到3072字节。
- 从8位外部NAND闪存引导(BMODE = 0xC和BMODE = 0xD): 这种模式下会自动检测NAND闪存器件。

BMODE = 0xC, 处理器将PORTF GPIO引脚PF7:0配置为NAND数据引脚, 将PORTH引脚PH15:10配置为NAND控制信号。

BMODE = 0xD, 处理器将PORTH GPIO引脚PH7:0配置为NAND数据引脚, 将PORTH引脚PH15:10配置为NAND控制信号。

为使器件正常工作,  $\overline{\text{ND\_CE}}$ (PH10)和 $\overline{\text{ND\_BUSY}}$ (PH13)信号均需要上拉电阻。默认情况下, 将0x0033写入NFC\_CTL寄存器。引导程序始终从NAND闪存器件的模块0的字节0开始引导。

NAND闪存引导支持以下特性:

- 器件自动检测
- 差错检测和修正, 以实现最高可靠性
- 引导流大小无限制
- 外设DMA有效传输所有数据(ECC奇偶校验数据除外)
- 软件可配置的引导模式, 引导流可分布于多个模块, 包括坏模块
- 软件可配置的引导模式, 可从引导流的多个副本引导, 支持处理坏模块和无法修正的错误
- 时序可通过OTP存储器配置

小页NAND闪存器件每页必须有512字节, 每个模块32页, 备用区域大小为16字节, 总线配置为8位。默认情况下, NAND闪存的所有读取请求都跟随四个地址周期。如果NAND闪存器件仅需三个地址周期, 该器件必须能够忽略多余的地址周期。

小页NAND闪存器件必须符合下列命令集:

- 复位: 0xFF
- 读取下半页: 0x00
- 读取上半页: 0x01
- 读取备用区域: 0x50

对于大页NAND闪存器件, 需读取四字节电子签名以便配置内核进行引导, 从而支持多个大页器件。电子签名的四个字节必须符合第20页表9中的要求。

对于表9所列的NAND闪存阵列配置(16位器件除外), 只要它同时符合下面列出的命令集, 引导内核就能直接支持。与小页引导内核不同, 对页大小或模块大小无限制。

对于五字节签名的器件, 仅读取四个字节。第四个字节必须满足以上要求。

大页器件必须支持以下命令集:

- 复位: 0xFF
- 读取电子签名: 0x90
- 读取: 0x00、0x30(确认命令)

大页器件不得支持NAND闪存命令0x50或对其做出响应。这是一个小页NAND闪存命令, 用于器件自动检测。

默认情况下, 引导内核总是发出无关地址周期; 因此, 如果大页器件只需四个周期, 它必须能够忽略多余的地址周期。

- 从16位主机DMA引导(BMODE = 0xE): 这种模式下, 主机DMA端口配置为16位应答模式, 采用从小到大顺序数据格式。不同于其它模式的是, 主机负责解释引导流。它将数据模块逐个写入主机DMA端口。配置每个模块的DMA设置之前, 主机可以轮询HOST\_STATUS中的ALLOW\_CONFIG位, 或等待由HWAIT信号解释。使用HWAIT时, 主机仍须检查ALLOW\_CONFIG至少一次, 然后开始配置主机DMA端口。完成配置后, 主机需要轮询HOST\_STATUS中的READY位, 然后开始传输数据。当主机发送HIRQ控制命令时, 引导内核向地址0xFFA0 0000发出CALL指令。主机负责确保将有效代码置于此地址。0xFFA0 0000处的例程可以是一个简单的初始化例程, 用以配置SDRAM控制器等内部资源, 然后利用RTS指令返回。该例程也可以是最终应用, 不再返回引导内核。

- 从8位主机DMA引导(BMODE = 0xF)：这种模式下，主机DMA端口配置为8位中断模式，采用从小到大顺序数据格式。不同于其它模式的是，主机负责解释引导流。它将数据模块逐个写入主机DMA端口。配置每个模块的DMA设置之前，主机可以轮询HOST\_STATUS中的ALLOW\_CONFIG位，或等待由HWAIT信号解释。使用HWAIT时，主机仍须检查ALLOW\_CONFIG至少一次，然后开始配置主机DMA端口。每次主机可以发送下一FIFO深度(16个32位字)的信息时，主机将接收到HOST\_ACK信号提供的中断。当主机发送HIRQ控制命令时，引导内核向地址0xFFA0 0000发出CALL指令。主机负责确保将有效代码置于此地址。0xFFA0 0000处的例程可以是一个简单的初始化例程，用以配置SDRAM控制器等内部资源，然后利用RTS指令返回。该例程也可以是最终应用，不再返回引导内核。

**表9. 大页器件的第四个字节**

位	参数	值	含义
D1:D0	页大小(不包括备用区域)	00	1KB
		01	2KB
		10	4KB
		11	8KB
D2	备用区域大小	00	8字节/512字节
		01	16字节/512字节
D5:D4	块大小(不包括备用区域)	00	64KB
		01	128KB
		10	256KB
		11	512KB
D6	总线宽度	00	x8
		01	不支持
D3, D7	不用于配置		

## 指令集描述

Blackfin处理器系列的汇编语言指令集使用代数语法，易于编码和阅读。指令经过专门调整，构成灵活、密集编码的指令集，汇编后的最终存储大小非常小。该指令集还提供功能完整的多功能指令，允许编程人员在一个指令中使用许多处理器内核资源。该指令集拥有许多常见于微控制器的特性，编译C和C++源代码时效率极高。此外，该架构支持用户(算法/应用程序代码)和管理员(O/S内核、器件驱动、调试器、ISR)工作模式，支持对内核处理器资源进行多级访问。

汇编语言利用了处理器的独特架构，具有如下优势：

- 无缝集成的DSP/MCU特性针对8位和16位操作进行了优化。
- 改进的多议题加载/存储Harvard架构，每个周期支持两个16位MAC或四个8位ALU加上两个加载/存储和两个指针更新。
- 所有寄存器、I/O和存储器都映射到一个统一的4GB存储器空间，提供简化的编程模型。
- 微控制器特性，如仲裁位和位-域操纵、插入、提取等；8位、16位和32位数据类型的整数运算；独立的用户和管理员堆栈指针。
- 代码密度提高，16位和32位指令并存(无模式切换、无代码分离)。常用指令采用16位编码。

## 开发工具

有一整套CROSSCORE®软件和硬件开发工具支持处理器，包括ADI公司仿真器和VisualDSP++®开发环境。支持其它Blackfin处理器的仿真器硬件也完全能仿真ADSP-BF52x处理器。

## EZ-KIT Lite评估板

若要评估ADSP-BF52x处理器，请使用ADI公司开发的EZ-KIT Lite®评估板。订购请使用产品型号ADZS-BF526-EZLITE或ADZS-BF527-EZLITE。该板内置仿真功能，并支持软件开发。同时提供多种子板。

## 设计一个兼容仿真器的处理器板(目标)

ADI公司的系列仿真器是每位系统开发工程师测试和调试软硬件系统的得力工具。ADI公司在每个JTAG处理器上都提供了一个IEEE 1149.1 JTAG测试访问端口(TAP)。仿真器使用TAP访问处理器的内部功能，允许开发人员加载代码、设置断点、观察变量、观察存储器、检查寄存器。发送数据和命令时，处理器必须暂停，但当仿真器完成操作时，处理器系统便能以全速运行，对系统时序无影响。

要使用这些仿真器，目标板必须用一个插头将处理器的JTAG端口连接到仿真器。

有关目标板设计问题的详细信息，包括机械布局、单处理器连接、多处理器扫描链、信号缓冲、信号端接和仿真器Pod逻辑等，请参阅EE-68：“ADI公司JTAG仿真技术参考”（请在ADI公司网站[www.analog.com](http://www.analog.com)上搜索“EE-68”）。该文件定期更新，以便与仿真器支持的最新改进保持同步。

## 相关文件

下列描述ADSP-BF52x处理器(及其相关处理器)的文件可以通过ADI公司办事处订购，或者查看ADI公司网站上的电子版本：

- Blackfin处理器入门指南
- ADSP-BF52x Blackfin处理器硬件参考(第1卷和第2卷)
- Blackfin处理器编程参考
- ADSP-BF522/ADSP-BF524/ADSP-BF526 Blackfin处理器异常表
- ADSP-BF523/ADSP-BF525/ADSP-BF527 Blackfin处理器异常表

## 相关信号链

“信号链”指一系列信号调理电子器件，它们相继接收输入(通过采样实时现象获得的数据或存储的数据)，信号链一部分的输出作为下一部分的输入。信号处理应用常常使用信号链来采集和处理数据，或者根据对实时现象的分析应用系统控制。有关这个术语和相关话题的更多信息，请参阅[维基百科](#)中的“信号链”词条或ADI公司网站上的[术语表](#)。

ADI公司提供能够完美配合工作的信号处理器件来简化信号处理系统的开发。ADI公司网站[www.analog.com](http://www.analog.com)提供了一款工具，用于显示特定应用与相关器件之间的关系。

实验室电路Circuits from the LabTM网站(<http://www.analog.com/signalchains>)的应用信号链页面提供如下内容：

- 各种电路类型和应用的信号链电路图
- 各信号链中的器件均有选型指南和应用信息链接
- 采用最佳设计技术的参考设计

## LOCKBOX安全技术免责声明

ADI公司为包含Lockbox安全技术的ADI公司产品提供担保，详细信息参见“ADI公司标准销售条款和条件”。据我们所知，当按照数据手册和硬件参考手册的规定使用时，Lockbox安全技术能够提供安全的代码和数据保护实现方法。然而，ADI公司不保证该技术绝对安全。

因此，ADI公司特此声明，ADI公司并未明示或默示保证LOCKBOX安全技术无法被破坏、削弱或以其它方式绕过；对于数据、信息、财产、知识产权的损失、毁坏或泄漏，ADI公司概不负责。

## 信号描述

ADSP-BF52x处理器的信号定义如表10所示。为了保持最多的功能、缩小封装尺寸以及减少引脚数量，某些引脚具有双功能或多个复用功能。如果引脚功能是可重新配置的，则其默认状态用正体字显示，其它功能用斜体字显示。

除了外部存储器接口、异步和同步存储器控制、缓冲XTAL输出引脚(CLKBUF)之外，所有其它引脚在复位期间和复位之后都处于三态。对于外部存储器接口，控制线和地址线被拉高，但CLKOUT是例外，它以系统时钟速率跳变。在休眠期间，所有输出都处于三态，除非表10另有说明。

除了需要上拉或下拉电阻的引脚之外，所有其它I/O引脚的输入缓冲器都禁用，如表10所示。

强烈建议使用IBIS模型来确保给定的板设计符合过冲/欠冲和信号完整性要求。如果未执行IBIS仿真，强烈建议为所有A型、C型和D型驱动器增加串联端接电阻。

端接电阻应置于处理器附近，以便减小瞬变并改善信号完整性。所选的电阻值(通常为33 Ω或47 Ω)应与板走线平均阻抗匹配。

此外，为CLKOUT增加一个并联端接电阻可能有助于进一步增强信号完整性。务必在实际的硬件上验证过冲/欠冲和信号完整性要求是否得到满足。

**表10. 信号描述**

信号名称	类型	功能	驱动器类型 <sup>1</sup>
EBIU			
ADDR19-1	O	地址总线	A
DATA15-0	I/O	数据总线	A
$\overline{\text{ABE1-0}}/\text{SDQM1-0}$	O	字节使能/数据掩码	A
$\overline{\text{AMS3-0}}$	O	异步存储器库选择(如果使用休眠，则需要上拉电阻)	A
ARDY	I	硬件就绪控制	A
$\overline{\text{AOE}}$	O	异步输出使能	A
$\overline{\text{ARE}}$	O	异步读取使能	A
$\overline{\text{AWE}}$	O	异步写入使能	A
$\overline{\text{SRAS}}$	O	SDRAM行地址选通	A
$\overline{\text{SCAS}}$	O	SDRAM列地址选通	A
$\overline{\text{SWE}}$	O	SDRAM写入使能	A
SCKE	O	SDRAM时钟使能(如果使用休眠和SDRAM自刷新功能，则需要下拉电阻)	A
CLKOUT	O	SDRAM时钟输出	B
SA10	O	SDRAM A10信号	A
$\overline{\text{SMS}}$	O	SDRAM bank选择	A

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

**表10. 信号描述(续)**

信号名称	类型	功能	驱动器类型 <sup>1</sup>
<i>USB 2.0 HS OTG</i>			
USB_DP	I/O	Data+(USB不用或不存在时, 应将此引脚拉低)	F
USB_DM	I/O	Data-(USB不用或不存在时, 应将此引脚拉低)	F
USB_XI	I	USB晶振输入(USB不用或不存在时, 应将此引脚拉低)	
USB_XO	O	USB晶振输出(USB不用或不存在时, 应将此引脚断开连接)	F
USB_ID	I	USB OTG模式(USB不用或不存在时, 应将此引脚拉低)	
USB_VREF	A	USB基准电压(通过0.1 μF电容连接到GND, 不用时断开连接)	
USB_RSET	A	USB电阻设置(此引脚应断开连接)	
USB_VBUS	I/O 5V	USB VBUS。在SRP信号发送期间, 外设模式下的USB_VBUS仅用作输出。主机模式要求将一个5 V、8 mA或更大(依据OTG规范)的外部电压源施加于VBUS。电压源必须能对VBUS充电和放电, 因此需要一个ON/OFF开关来控制该电压源。这可以利用一个GPIO来实现(USB不用或不存在时, 应将此引脚拉低)。	F
端口F: GPIO和复用外设			
PF0/PPI D0/DR0PRI/ND_D0A	I/O	GPIO/PPI数据0/SPORT0主接收数据/NAND备选数据0	C
PF1/PPI D1/RFS0/ND_D1A	I/O	GPIO/PPI数据1/SPORT0接收帧同步/NAND备选数据1	C
PF2/PPI D2/RSCLK0/ND_D2A	I/O	GPIO/PPI数据2/SPORT0接收串行时钟/NAND备选数据2/备选捕捉输入0	D
PF3/PPI D3/DT0PRI/ND_D3A	I/O	GPIO/PPI数据3/SPORT0发送主数据/NAND备选数据3	C
PF4/PPI D4/TFS0/ND_D4A/TACLK0	I/O	GPIO/PPI数据4/SPORT0发送帧同步/NAND备选数据4/备选定时器时钟0	C
PF5/PPI D5/TSCLK0/ND_D5A/TACLK1	I/O	GPIO/PPI数据5/SPORT0发送串行时钟/NAND备选数据5/备选定时器时钟1	D
PF6/PPI D6/DT0SEC/ND_D6A/TACI0	I/O	GPIO/PPI数据6/SPORT0发送辅助数据/NAND备选数据6/备选捕捉输入0	C
PF7/PPI D7/DR0SEC/ND_D7A/TACI1	I/O	GPIO/PPI数据7/SPORT0接收辅助数据/NAND备选数据7/备选捕捉输入1	C
PF8/PPI D8/DR1PRI	I/O	GPIO/PPI数据8/SPORT1主接收数据	C
PF9/PPI D9/RSCLK1/SPISEL6	I/O	GPIO/PPI数据9/SPORT1接收串行时钟/SPI从机选择6	D
PF10/PPI D10/RFS1/SPISEL7	I/O	GPIO/PPI数据10/SPORT1接收帧同步/SPI从机选择7	C
PF11/PPI D11/TFS1/CZM	I/O	GPIO/PPI数据11/SPORT1发送帧同步/计数器零标记	C
PF12/PPI D12/DT1PRI/SPISEL2/CDG	I/O	GPIO/PPI数据12/SPORT1发送主数据/SPI从机选择2/计数器倒数选通	C
PF13/PPI D13/TSCLK1/SPISEL3/CUD	I/O	GPIO/PPI数据13/SPORT1发送串行时钟/SPI从机选择3/计数器顺数方向	D
PF14/PPI D14/DT1SEC/UART1TX	I/O	GPIO/PPI数据14/SPORT1发送辅助数据/UART1发送	C
PF15/PPI D15/DR1SEC/UART1RX/TACI3	I/O	GPIO/PPI数据15/SPORT1接收辅助数据/UART1接收/备选捕捉输入3	C

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

**表10. 信号描述(续)**

信号名称	类型	功能	驱动器类型 <sup>1</sup>
<b>端口G: GPIO和复用外设</b>			
PG0/HWAIT	I/O	GPIO/引导主机等待 <sup>2</sup>	
PG1/ <u>SPISS</u> / <u>SPISEL1</u>	I/O	GPIO/SPI从机选择输入/SPI从机选择1	C
PG2/SCK	I/O	GPIO/SPI时钟	D
PG3/MISO/DR0SECA	I/O	GPIO/SPI主机输入从机输出/Sport 0备选接收数据辅助	C
PG4/MOSI/DT0SECA	I/O	GPIO/SPI主机输出从机输入/Sport 0备选发送数据辅助	C
PG5/TMR1/PPI_FS2	I/O	GPIO/定时器1/PPI帧同步2	C
PG6/DT0PRIA/TMR2/PPI_FS3	I/O	GPIO/SPORT0备选主发送数据/定时器2/PPI帧同步3	C
PG7/TMR3/DR0PRIA/UART0TX	I/O	GPIO/定时器3/Sport 0备选接收数据主/UART0发送	C
PG8/TMR4/RFS0A/UART0RX/TACI4	I/O	GPIO/定时器4/Sport 0备选接收时钟/帧同步/UART0接收/备选捕捉输入4	C
PG9/TMR5/R5CLK0A/TACI5	I/O	GPIO/定时器5/Sport 0备选接收时钟/备选捕捉输入5	D
PG10/TMR6/TSCLK0A/TACI6	I/O	GPIO/定时器6/Sport 0备选发送/备选捕捉输入6	D
PG11/TMR7/ <u>HOST_WR</u>	I/O	GPIO/定时器7/主机DMA写入使能	C
PG12/DMAR1/UART1TXA/ <u>HOST_ACK</u>	I/O	GPIO/DMA请求1/备选UART1发送/主机DMA应答	C
PG13/DMAR0/UART1RXA/ <u>HOST_ADDR</u> / <u>TACI2</u>	I/O	GPIO/DMA请求0/备选UART1接收/主机DMA地址/备选捕捉输入2	C
PG14/ <u>TSCLK0A1</u> / <u>MDC</u> / <u>HOST_RD</u>	I/O	GPIO/SPORT0备选1发送/以太网管理通道时钟/主机DMA读取使能	D
PG15 <sup>3</sup> / <u>TFS0A</u> / <u>MII PHYINT</u> / <u>RMII MDINT</u> / <u>HOST_CE</u>	I/O	GPIO/SPORT0备选发送帧同步/以太网/MII PHY中断/RMII管理通道数据中断/主机DMA芯片使能	C
<b>端口H: GPIO和复用外设</b>			
PH0/ <u>ND_D0</u> / <u>MII CRS</u> / <u>RMII CRS DV</u> / <u>HOST_D0</u>	I/O	GPIO/NAND D0/以太网MII或RMII载波检测/主机DMA D0	C
PH1/ <u>ND_D1</u> / <u>ERxER</u> / <u>HOST_D1</u>	I/O	GPIO/NAND D1/以太网MII或RMII接收错误/主机DMA D1	C
PH2/ <u>ND_D2</u> / <u>MDIO</u> / <u>HOST_D2</u>	I/O	GPIO/NAND D2/以太网管理通道串行数据/主机DMA D2	C
PH3/ <u>ND_D3</u> / <u>ETxEN</u> / <u>HOST_D3</u>	I/O	GPIO/NAND D3/以太网MII发送使能/主机DMA D3	C
PH4/ <u>ND_D4</u> / <u>MII TX CLK</u> / <u>RMII REF_CLK</u> / <u>HOST_D4</u>	I/O	GPIO/NAND D4/以太网MII或RMII参考时钟/主机DMA D4	C
PH5/ <u>ND_D5</u> / <u>ETxD0</u> / <u>HOST_D5</u>	I/O	GPIO/NAND D5/以太网MII或RMII发送D0/主机DMA D5	C
PH6/ <u>ND_D6</u> / <u>ERxD0</u> / <u>HOST_D6</u>	I/O	GPIO/NAND D6/以太网MII或RMII接收D0/主机DMA D6	C
PH7/ <u>ND_D7</u> / <u>ETxD1</u> / <u>HOST_D7</u>	I/O	GPIO/NAND D7/以太网MII或RMII发送D1/主机DMA D7	C
PH8/ <u>SPISEL4</u> / <u>ERxD1</u> / <u>HOST_D8</u> / <u>TACLK2</u>	I/O	GPIO/备选定时器时钟2/以太网MII或RMII接收D1/主机DMA D8/SPI从机选择4	C
PH9/ <u>SPISEL5</u> / <u>ETxD2</u> / <u>HOST_D9</u> / <u>TACLK3</u>	I/O	GPIO/SPI从机选择5/以太网MII发送D2/主机DMA D9/备选定时器时钟3	C
PH10/ <u>ND_CE</u> / <u>ERxD2</u> / <u>HOST_D10</u>	I/O	GPIO/NAND芯片使能/以太网MII接收D2/主机DMA D10	C
PH11/ <u>ND_WE</u> / <u>ETxD3</u> / <u>HOST_D11</u>	I/O	GPIO/NAND写入使能/以太网MII发送D3/主机DMA D11	C
PH12/ <u>ND_RE</u> / <u>ERxD3</u> / <u>HOST_D12</u>	I/O	GPIO/NAND读取使能/以太网MII接收D3/主机DMA D12	C
PH13/ <u>ND_BUSY</u> / <u>ERxCLK</u> / <u>HOST_D13</u>	I/O	GPIO/NAND繁忙/以太网MII接收时钟/主机DMA D13	C
PH14/ <u>ND_CLE</u> / <u>ERxDV</u> / <u>HOST_D14</u>	I/O	GPIO/NAND命令锁存使能/以太网MII或RMII接收数据有效/主机DMA D14	C
PH15/ <u>ND_ALE</u> / <u>COL</u> / <u>HOST_D15</u>	I/O	GPIO/NAND地址锁存使能/以太网MII冲突/主机DMA D15	C



# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

**表10. 信号描述(续)**

信号名称	类型	功能	驱动器类型 <sup>1</sup>
端口J: 复用外设			
PJ0: PPI_FS1/TMR0	I/O	PPI帧同步1/定时器0	C
PJ1: PPI_CLK/TMRCLK	I	PPI时钟/定时器时钟	
PJ2: SCL	I/O 5V	TWI串行时钟(此引脚为开漏输出, 需要上拉电阻 <sup>4</sup> )	E
PJ3: SDA	I/O 5V	TWI串行数据(此引脚为开漏输出, 需要上拉电阻 <sup>4</sup> )	E
实时时钟			
RTXI	I	RTC晶振输入(不用时应将此引脚拉低)	
RTXO	O	RTC晶振输出(休眠期间不进入三态)	
JTAG端口			
TCK	I	JTAG时钟	
TDO	O	JTAG串行数据输出	C
TDI	I	JTAG串行数据输入	
TMS	I	JTAG模式选择	
TRST	I	JTAG复位(如果不使用JTAG端口, 应将此引脚拉低)	
EMU	O	仿真输出	C
时钟			
CLKIN	I	时钟/晶振输入	
XTAL	O	晶振输出(如果CLKBUF使能, 则它在休眠期间不进入三态)	
CLKBUF	O	缓冲XTAL输出(如果使能, 则它在休眠期间不进入三态)	C
模式控制			
RESET	I	复位	
NMI	I	不可屏蔽的中断(不用时应将此引脚拉高)	
BMODE3-0	I	引导模式绑定3-0	
ADSP-BF523/ADSP-BF525/ADSP-BF527 电压调节 I/F			
VR <sub>SEL</sub>	I	内部/外部稳压器选择	
VR <sub>OUT</sub> /EXT_WAKE1	O	外部FET驱动/唤醒指示1(休眠期间不进入三态)	G
EXT_WAKE0	O	唤醒指示0(休眠期间不进入三态)	C
SS/ $\overline{\text{PG}}$	A	软启动/电源良好	
ADSP-BF522/ADSP-BF524/ADSP-BF526 电压调节 I/F			
EXT_WAKE1	O	唤醒指示1(休眠期间不进入三态)	C
EXT_WAKE0	O	唤醒指示0(休眠期间不进入三态)	C
$\overline{\text{PG}}$	A	电源良好(不用时应将此信号拉低)	

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

**表10. 信号描述(续)**

信号名称	类型	功能	驱动器类型 <sup>1</sup>
电源		所有电源都必须通电 参见第29页的“ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的工作条件”和第27页的“ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的工作条件”。	
V <sub>DDEXT</sub>	P	I/O电源	
V <sub>DDINT</sub>	P	内部电源	
V <sub>DDRTC</sub>	P	实时时钟电源	
V <sub>DDUSB</sub>	P	3.3 V USB PHY电源	
V <sub>DDMEM</sub>	P	MEM电源	
V <sub>DDOTP</sub>	P	OTP电源	
V <sub>PPOTP</sub>	P	OTP编程电压	
GND	G	所有电源的地	

<sup>1</sup> 有关各种驱动器类型的更多信息，参见第72页的输出驱动电流。

<sup>2</sup> HWAIT必须变为高电平或低电平以配置极性。它被驱动为输出，并在处理器引导期间切换。参见第18页的引导模式。

<sup>3</sup> 在正常GPIO模式或以太网模式下拉低此引脚时，它可以将处理器从休眠状态唤醒，如同MII PHYINT。如果此引脚用于唤醒，应通过VR\_CTL寄存器的PHYWE位使能该特性，并用一个电阻上拉该引脚。

<sup>4</sup> 关于正确的电阻值，请参阅I<sup>2</sup>C规范2.1版。

## 技术规格

规格如有变更恕不另行通知。

### 工作条件

#### ADSP-BF522/ADSP-BF524/ADSP-BF526处理器

参数	条件	最小值	标称值	最大值	单位
V <sub>DDINT</sub>	内部电源电压	1.235		1.47	V
V <sub>DDEXT</sub>	外部电源电压 <sup>1</sup>	1.7	1.8	1.9	V
V <sub>DDEXT</sub>	外部电源电压 <sup>1</sup>	2.25	2.5	2.75	V
V <sub>DDEXT</sub>	外部电源电压 <sup>1</sup>	3	3.3	3.6	V
V <sub>DDRTC</sub>	RTC电源电压 <sup>2</sup>	2.25		3.6	V
V <sub>DDMEM</sub>	MEM电源电压 <sup>1,3</sup>	1.7	1.8	1.9	V
V <sub>DDMEM</sub>	MEM电源电压 <sup>1,3</sup>	2.25	2.5	2.75	V
V <sub>DDMEM</sub>	MEM电源电压 <sup>1,3</sup>	3	3.3	3.6	V
V <sub>DDOTP</sub>	OTP电源电压 <sup>1</sup>	2.25	2.5	2.75	V
V <sub>PPOTP</sub>	OTP编程电压 <sup>1</sup>				
	用于读取	2.25	2.5	2.75	V
	用于写入 <sup>4</sup>	6.9	7.0	7.1	V
V <sub>DDUSB</sub>	USB电源电压 <sup>5</sup>	3.0	3.3	3.6	V
V <sub>IH</sub>	高电平输入电压 <sup>6,7</sup>	V <sub>DDEXT</sub> /V <sub>DDMEM</sub> = 1.90 V			V
V <sub>IH</sub>	高电平输入电压 <sup>6,7</sup>	V <sub>DDEXT</sub> /V <sub>DDMEM</sub> = 2.75 V			V
V <sub>IH</sub>	高电平输入电压 <sup>6,7</sup>	V <sub>DDEXT</sub> /V <sub>DDMEM</sub> = 3.6 V			V
V <sub>IHTWI</sub> <sup>8</sup>	高电平输入电压	V <sub>DDEXT</sub> = 1.90 V/2.75 V/3.6 V	0.7 × V <sub>BUSTWI</sub>	V <sub>BUSTWI</sub>	V
V <sub>IL</sub>	低电平输入电压 <sup>6,7</sup>	V <sub>DDEXT</sub> /V <sub>DDMEM</sub> = 1.7 V		0.6	V
V <sub>IL</sub>	低电平输入电压 <sup>6,7</sup>	V <sub>DDEXT</sub> /V <sub>DDMEM</sub> = 2.25 V		0.7	V
V <sub>IL</sub>	低电平输入电压 <sup>6,7</sup>	V <sub>DDEXT</sub> /V <sub>DDMEM</sub> = 3.0 V		0.8	V
V <sub>ILTWI</sub>	低电平输入电压	V <sub>DDEXT</sub> = Minimum		0.3 × V <sub>BUSTWI</sub> <sup>9</sup>	V
T <sub>J</sub>	结温	289-Ball CSP_BGA @ T <sub>AMBIENT</sub> = 0°C至+70°C	0	+105	°C
T <sub>J</sub>	结温	208-Ball CSP_BGA @ T <sub>AMBIENT</sub> = 0°C至+70°C	0	+105	°C
T <sub>J</sub>	结温	208-Ball CSP_BGA @ T <sub>AMBIENT</sub> = -40°C至+85°C	-40	+105	°C

<sup>1</sup> 必须保持通电(即便不使用相关的功能)。

<sup>2</sup> 如果不使用, 采用V<sub>DDEXT</sub>供电。

<sup>3</sup> 使用V<sub>DDMEM</sub>的引脚有DATA15-0、ADDR19-1、ABE1-0、ARE、AWE、AOE、AMS3-0、ARDY、SA10、SWE、SCAS、CLKOUT、SRAS、SMS、SCKE。这些引脚不能承受高于V<sub>DDMEM</sub>的电压。

<sup>4</sup> 用于写入的V<sub>PPOTP</sub>电压只能在进行OTP存储器编程时施加。在器件的使用寿命期间, 累计施加此电压的时间是有限的(取决于电压和结温)。详情参见第37页的表30。

<sup>5</sup> 不使用ADSP-BF524/ADSP-BF526的USB外设或端接ADSP-BF522的V<sub>DDUSB</sub>时, V<sub>DDUSB</sub>必须由V<sub>DDEXT</sub>供电。

<sup>6</sup> ADSP-BF52x处理器的双向引脚(PF15-0、PG15-0、PH15-0)和输入引脚(RTXI、TCK、TDI、TMS、TRST、CLKIN、RESET、NMI、BMODE3-0)为3.3 V兼容(始终支持最高3.6 V的V<sub>IH</sub>)。顺从电压(输出V<sub>OH</sub>)受V<sub>DDEXT</sub>电源电压的限制。

<sup>7</sup> 参数值适用于USB\_DP、USB\_DM、USB\_VBUS、SDA和SCL以外的所有其它输入和双向引脚。

<sup>8</sup> V<sub>IHTWI</sub>最小值和最大值取决于NONGPIO\_DRIVE寄存器TWI\_DT域的选择。参见表11中的V<sub>BUSTWI</sub>最小值和最大值。

<sup>9</sup> SDA和SCL上拉至V<sub>BUSTWI</sub>。参见表11。

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

表11列出了NONGPIO\_DRIVE寄存器TWI\_DT域的设置。

使用TWI端口前应设置此寄存器。

表11. TWI\_DT域选择和 $V_{DDEXT}/V_{BUSTWI}$

TWI_DT	$V_{DDEXT}$ 标称值	$V_{BUSTWI}$ 最小值	$V_{BUSTWI}$ 标称值	$V_{BUSTWI}$ 最大值	单位
000(默认) <sup>1</sup>	3.3	2.97	3.3	3.63	V
001	1.8	1.7	1.8	1.98	V
010	2.5	2.97	3.3	3.63	V
011	1.8	2.97	3.3	3.63	V
100	3.3	4.5	5	5.5	V
101	1.8	2.25	2.5	2.75	V
110	2.5	2.25	2.5	2.75	V
111(保留)	-	-	-	-	-

<sup>1</sup> 为使复位期间的JTAG边界扫描操作正常进行，设计必须符合默认TWI\_DT设置要求的 $V_{DDEXT}$ 和 $V_{BUSTWI}$ 电压。

## 时钟相关工作条件

### ADSP-BF522/ADSP-BF524/ADSP-BF526处理器

表12说明ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的内核时钟时序要求。选择MSEL、SSEL和CSEL比值时应格外小心，以便保证不超过最大内核时钟和系统时钟(见表14)。表13给出了锁相环的工作条件。

表12. ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的内核时钟(CCLK)要求(所有指令速率<sup>1</sup>)

参数	标称电压设置	最大值	单位
$f_{CCLK}$ 内核时钟频率( $V_{DDINT} = 1.33$ V最小值)	1.40 V	400 <sup>2</sup>	MHz
$f_{CCLK}$ 内核时钟频率( $V_{DDINT} = 1.235$ V最小值)	1.30 V	300	MHz

<sup>1</sup> 参见第87页订购指南。

<sup>2</sup> 仅适用于400 MHz型号。参见第87页订购指南。

表13. ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的锁相环工作条件

参数	最小值	最大值	单位
$f_{VCO}$ 电压控制振荡器(VCO)频率	70	指令速率 <sup>1</sup>	MHz

<sup>1</sup> 参见第87页订购指南。

表14. ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的SCLK条件

参数		$V_{DDEXT}/V_{DDMEM}$ 1.8 V标称值 <sup>1</sup>	$V_{DDEXT}/V_{DDMEM}$ 2.5 V或3.3 V标称值	单位
		Max	Max	
$f_{SCLK}$	CLKOUT/SCLK频率( $V_{DDINT} \geq 1.33$ V) <sup>2</sup>	80	100	MHz
$f_{SCLK}$	CLKOUT/SCLK频率( $V_{DDINT} < 1.33$ V)	80	80	MHz

<sup>1</sup> 如果 $V_{DDEXT}$ 或 $V_{DDMEM}$ 工作在1.8V标称值，则 $f_{SCLK}$ 只能是80 MHz。

<sup>2</sup>  $f_{SCLK}$ 必须小于或等于 $f_{CCLK}$ ，并且受SDRAM接口工作条件的进一步限制。参见第46页的表37。

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 工作条件

### ADSP-BF523/ADSP-BF525/ADSP-BF527处理器

参数	条件	最小值	标称值	最大值	单位	
V <sub>DDINT</sub>	内部电源电压 <sup>1</sup>	非汽车应用型号 <sup>2</sup>		0.95	1.26	V
V <sub>DDINT</sub>	内部电源电压 <sup>1</sup>	533 MHz汽车应用型号 <sup>3</sup>	1.15	1.093	1.26	V
V <sub>DDINT</sub>	内部电源电压 <sup>1</sup>	400 MHz汽车应用型号 <sup>3</sup>	1.10	1.045	1.20	V
V <sub>DDEXT</sub>	外部电源电压 <sup>4,5</sup>	非汽车应用型号, 内部稳压器禁用	1.8	1.7	1.9	V
V <sub>DDEXT</sub>	外部电源电压 <sup>4,5</sup>	非汽车应用型号	2.5	2.25	2.75	V
V <sub>DDEXT</sub>	外部电源电压 <sup>4,5</sup>	非汽车应用型号	3.3	3	3.6	V
V <sub>DDEXT</sub>	外部电源电压 <sup>4,5</sup>	汽车应用型号	3.3	2.7	3.6	V
V <sub>DDRTC</sub>	RTC电源电压 <sup>6</sup>	非汽车应用型号		2.25	3.6	V
V <sub>DDRTC</sub>	RTC电源电压 <sup>6</sup>	汽车应用型号	3.3	2.7	3.6	V
V <sub>DDMEM</sub>	MEM电源电压 <sup>4,7</sup>	非汽车应用型号	1.8	1.7	1.9	V
V <sub>DDMEM</sub>	MEM电源电压 <sup>4,7</sup>	非汽车应用型号	2.5	2.25	2.75	V
V <sub>DDMEM</sub>	MEM电源电压 <sup>4,7</sup>	非汽车应用型号	3.3	3	3.6	V
V <sub>DDMEM</sub>	MEM电源电压 <sup>4,7</sup>	汽车应用型号	3.3	2.7	3.6	V
V <sub>DDOTP</sub>	OTP电源电压 <sup>4</sup>		2.5	2.25	2.75	V
V <sub>PPOTP</sub>	OTP电源电压 <sup>4</sup>		2.5	2.25	2.75	V
V <sub>DDUSB</sub>	USB电源电压 <sup>8</sup>		3.3	3.0	3.6	V
V <sub>IH</sub>	高电平输入电压 <sup>9,10</sup>	$V_{DDEXT}/V_{DDMEM} = 1.90\text{ V}$		1.1		V
V <sub>IH</sub>	高电平输入电压 <sup>9,10</sup>	$V_{DDEXT}/V_{DDMEM} = 2.75\text{ V}$		1.7		V
V <sub>IH</sub>	高电平输入电压 <sup>9,10</sup>	$V_{DDEXT}/V_{DDMEM} = 3.6\text{ V}$		2.0		V
V <sub>IHTWI</sub> <sup>11</sup>	高电平输入电压 <sup>9,10</sup>	$V_{DDEXT} = 1.90\text{ V}/2.75\text{ V}/3.6\text{ V}$		$0.7 \times V_{BUSTWI}$	$V_{BUSTWI}$	V
V <sub>IL</sub>	低电平输入电压 <sup>9,10</sup>	$V_{DDEXT}/V_{DDMEM} = 1.7\text{ V}$			0.6	V
V <sub>IL</sub>	低电平输入电压 <sup>9,10</sup>	$V_{DDEXT}/V_{DDMEM} = 2.25\text{ V}$			0.7	V
V <sub>IL</sub>	低电平输入电压 <sup>9,10</sup>	$V_{DDEXT}/V_{DDMEM} = 3.0\text{ V}$			0.8	V
V <sub>ILTWI</sub>	低电平输入电压	$V_{DDEXT} = \text{最小值}$			$0.3 \times V_{BUSTWI}$ <sup>12</sup>	V
T <sub>J</sub>	结温	289-Ball CSP_BGA @ T <sub>AMBIENT</sub> = 0°C至+70°C		0	+105	°C
T <sub>J</sub>	结温	289-Ball CSP_BGA @ T <sub>AMBIENT</sub> = -40°C至+70°C		-40	+105	°C
T <sub>J</sub>	结温	208-Ball CSP_BGA @ T <sub>AMBIENT</sub> = 0°C至+70°C		0	+105	°C
T <sub>J</sub>	结温	208-Ball CSP_BGA @ T <sub>AMBIENT</sub> = -40°C至+85°C		-40	+105	°C

<sup>1</sup> 利用bfrom\_SysControl() API设置VRCTL时，稳压器可以产生1.00 V至1.20 V的V<sub>DDINT</sub>，容差为-5%到+5%。此规格仅在使用API时才能保证。

<sup>2</sup> 参见第87页订购指南。

<sup>3</sup> 参见第86页的汽车应用产品。

<sup>4</sup> 必须保持通电(即便不使用相关的功能)。

<sup>5</sup> V<sub>DDEXT</sub>是稳压器和GPIO的电源。

<sup>6</sup> 如果不使用，采用V<sub>DDEXT</sub>供电。

<sup>7</sup> 使用V<sub>DDMEM</sub>的引脚有DATA15-0、ADDR19-1、ABE1-0、ARE、AWE、AOE、AMS3-0、ARDY、SA10、SWE、SCAS、CLKOUT、SRAS、SMS、SCKE。这些引脚不能承受高于V<sub>DDMEM</sub>的电压。

<sup>8</sup> 不使用ADSP-BF525/ADSP-BF527的USB外设或端接ADSP-BF523的V<sub>DDUSB</sub>时，V<sub>DDUSB</sub>必须由V<sub>DDEXT</sub>供电。

<sup>9</sup> ADSP-BF52x处理器的双向引脚(PF15-0、PG15-0、PH15-0)和输入引脚(RTXI、TCK、TDI、TMS、TRST、CLKIN、RESET、NMI、BMODE3-0)为3.3 V兼容(始终支持最高3.6 V的V<sub>IH</sub>)。顺从电压(输出V<sub>OH</sub>)受V<sub>DDEXT</sub>电源电压的限制。

<sup>10</sup> 参数值适用于USB\_DP、USB\_DM、USB\_VBUS、SDA和SCL以外的所有其它输入和双向引脚。

<sup>11</sup> V<sub>IHTWI</sub>最小值和最大值取决于NONGPIO\_DRIVE寄存器TWI\_DT域的选择。参见第28页表11中的V<sub>BUSTWI</sub>最小值和最大值。

<sup>12</sup> SDA和SCL上拉至V<sub>BUSTWI</sub>。参见第28页的表11。

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 时钟相关工作条件

### ADSP-BF523/ADSP-BF525/ADSP-BF527处理器

表15说明ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的内核时钟时序要求。选择MSEL、SSEL和CSEL比值时应格外小心，以便保证不超过最大内核时钟和系统时钟(见表17)。表16给出了锁相环的工作条件。

内部和外部稳压器应使用标称电压设置(表15)。

**表15. ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的内核时钟(CCLK)要求(所有指令速率<sup>1</sup>)**

参数		标称电压设置	最大值	单位
f <sub>CCLK</sub>	内核时钟频率(V <sub>DDINT</sub> = 1.14 V最小值)	1.20 V	600 <sup>2</sup>	MHz
f <sub>CCLK</sub>	内核时钟频率(V <sub>DDINT</sub> = 1.093 V最小值)	1.15 V	533 <sup>3</sup>	MHz
f <sub>CCLK</sub>	内核时钟频率(V <sub>DDINT</sub> = 1.045 V最小值) <sup>4</sup>	1.10 V	400	MHz
f <sub>CCLK</sub>	内核时钟频率(V <sub>DDINT</sub> = 0.95 V最小值)	1.0 V	400	MHz

<sup>1</sup> 参见第87页订购指南。

<sup>2</sup> 仅适用于600 MHz型号。参见第87页订购指南。

<sup>3</sup> 仅适用于533 MHz和600 MHz型号。参见第87页订购指南。

<sup>4</sup> 仅适用于汽车应用产品。参见第86页的汽车应用产品。

**表16. ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的锁相环工作条件**

参数		最小值	最大值	单位
f <sub>VCO</sub>	压控振荡器(VCO)频率(商用/工业用型号)	60	指令速率 <sup>1</sup>	MHz
f <sub>VCO</sub>	压控振荡器(VCO)频率(汽车应用型号)	70	指令速率 <sup>1</sup>	MHz

<sup>1</sup> 参见第87页订购指南。

**表17. ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的SCLK条件**

参数		V <sub>DDEXT</sub> /V <sub>DDMEM</sub> 1.8 V 标称值1	V <sub>DDEXT</sub> /V <sub>DDMEM</sub> 2.5 V 或3.3 V标称值	单位
		最大值	最大值	
f <sub>SCLK</sub>	CLKOUT/SCLK频率(V <sub>DDINT</sub> ≥ 1.14 V) <sup>2</sup>	100	133 <sup>3</sup>	MHz
f <sub>SCLK</sub>	CLKOUT/SCLK频率(V <sub>DDINT</sub> < 1.14 V) <sup>2</sup>	100	100	MHz

<sup>1</sup> 如果V<sub>DDEXT</sub>或V<sub>DDMEM</sub>工作在1.8V标称值，则f<sub>SCLK</sub>只能是100 MHz。

<sup>2</sup> f<sub>SCLK</sub>必须小于或等于f<sub>CCLK</sub>，并且受SDRAM接口工作条件的进一步限制。参见第46页的表38。

<sup>3</sup> 舍入值。实际测试规格为7.5 ns的SCLK周期。参见第46页的表38。

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 电气特性

表18. 所有ADSP-BF52x处理器的通用电气特性

参数	测试条件	最小值	典型值	最大值	单位
$V_{OH}$	高电平输出电压 $V_{DDEXT}/V_{DDMEM} = 1.7\text{ V}$ , $I_{OH} = -0.5\text{ mA}$	1.35			V
$V_{OH}$	高电平输出电压 $V_{DDEXT}/V_{DDMEM} = 2.25\text{ V}$ , $I_{OH} = -0.5\text{ mA}$	2.0			V
$V_{OH}$	高电平输出电压 $V_{DDEXT}/V_{DDMEM} = 3.0\text{ V}$ , $I_{OH} = -0.5\text{ mA}$	2.4			V
$V_{OL}$	低电平输出电压 $V_{DDEXT}/V_{DDMEM} = 1.7/2.25/3.0\text{ V}$ , $I_{OL} = 2.0\text{ mA}$			0.4	V
$I_{IH}$	高电平输入电流 <sup>1</sup> $V_{DDEXT}/V_{DDMEM} = 3.6\text{ V}$ , $V_{IN} = 3.6\text{ V}$			10.0	$\mu\text{A}$
$I_{IL}$	低电平输入电流 <sup>1</sup> $V_{DDEXT}/V_{DDMEM} = 3.6\text{ V}$ , $V_{IN} = 0\text{ V}$			10.0	$\mu\text{A}$
$I_{IHP}$	高电平输入电流JTAG <sup>2</sup> $V_{DDEXT} = 3.6\text{ V}$ , $V_{IN} = 3.6\text{ V}$			75.0	$\mu\text{A}$
$I_{OZH}$	三态漏电流 <sup>3</sup> $V_{DDEXT}/V_{DDMEM} = 3.6\text{ V}$ , $V_{IN} = 3.6\text{ V}$			10.0	$\mu\text{A}$
$I_{OZHTWI}$	三态漏电流 <sup>4</sup> $V_{DDEXT} = 3.0\text{ V}$ , $V_{IN} = 5.5\text{ V}$			10.0	$\mu\text{A}$
$I_{OZL}$	三态漏电流 <sup>3</sup> $V_{DDEXT}/V_{DDMEM} = 3.6\text{ V}$ , $V_{IN} = 0\text{ V}$			10.0	$\mu\text{A}$
$C_{IN}$	输入电容 <sup>5,6</sup> $f_{IN} = 1\text{ MHz}$ , $T_{AMBIENT} = 25^\circ\text{C}$ , $V_{IN} = 2.5\text{ V}$		5	8	pF
$C_{INTWI}$	输入电容 <sup>4,6</sup> $f_{IN} = 1\text{ MHz}$ , $T_{AMBIENT} = 25^\circ\text{C}$ , $V_{IN} = 2.5\text{ V}$			15	pF

<sup>1</sup> 适用于输入引脚。

<sup>2</sup> 适用于JTAG输入引脚(TCK、TDI、TMS、 $\overline{\text{TRST}}$ )。

<sup>3</sup> 适用于三态引脚。

<sup>4</sup> 适用于双向引脚SCL和SDA。

<sup>5</sup> 适用于SCL和SDA以外的所有信号引脚。

<sup>6</sup> 保证符合要求，但未经测试。

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

**表19. ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的电气特性**

参数	测试条件	最小值	典型值	最大值	单位
$I_{DDDEEPSLEEP}^1$	深度休眠模式下的 $V_{DDINT}$ 电流 $V_{DDINT} = 1.3\text{ V}, f_{CCLK} = 0\text{ MHz}, f_{SCLK} = 0\text{ MHz}, T_j = 25^\circ\text{C}, ASF = 0.00$		2		mA
$I_{DDSL EEP}$	休眠模式下的 $V_{DDINT}$ 电流 $V_{DDINT} = 1.3\text{ V}, f_{SCLK} = 25\text{ MHz}, T_j = 25^\circ\text{C}$				
$I_{DD-IDLE}$	空闲时的 $V_{DDINT}$ 电流 $V_{DDINT} = 1.3\text{ V}, f_{CCLK} = 300\text{ MHz}, f_{SCLK} = 25\text{ MHz}, T_j = 25^\circ\text{C}, ASF = 0.4$		44		mA
$I_{DD-TYP}$	$V_{DDINT}$ 电流 $V_{DDINT} = 1.3\text{ V}, f_{CCLK} = 300\text{ MHz}, f_{SCLK} = 25\text{ MHz}, T_j = 25^\circ\text{C}, ASF = 1.00$		83		mA
$I_{DD-TYP}$	$V_{DDINT}$ 电流 $V_{DDINT} = 1.4\text{ V}, f_{CCLK} = 400\text{ MHz}, f_{SCLK} = 25\text{ MHz}, T_j = 25^\circ\text{C}, ASF = 1.00$		114		mA
$I_{DDHIBERNATE}^{1,2}$	休眠状态电流 $V_{DDEXT} = V_{DDMEM} = V_{DDRTC} = V_{DDUSB} = 3.30\text{ V}, V_{DDOTP} = V_{PPOTP} = 2.5\text{ V}, T_j = 25^\circ\text{C}, CLKIN = 0\text{ MHz},$ 稳压器关闭( $V_{DDINT} = 0\text{ V}$ )		40		$\mu\text{A}$
$I_{DDRTC}$	$V_{DDRTC}$ 电流 $V_{DDRTC} = 3.3\text{ V}, T_j = 25^\circ\text{C}$		20		$\mu\text{A}$
$I_{DDUSB-FS}$	全速/低速模式下的 $V_{DDUSB}$ 电流 $V_{DDUSB} = 3.3\text{ V}, T_j = 25^\circ\text{C},$ 全速USB发送		9		mA
$I_{DDUSB-HS}$	高速模式下的 $V_{DDUSB}$ 电流 $V_{DDUSB} = 3.3\text{ V}, T_j = 25^\circ\text{C},$ 高速USB发送		25		mA
$I_{DDSL EEP}^{1,3}$	休眠模式下的 $V_{DDINT}$ 电流 $f_{CCLK} = 0\text{ MHz}, f_{SCLK} > 0\text{ MHz}$			表22 + $(0.52 \times V_{DDINT} \times f_{SCLK})^4$	$\text{mA}^4$
$I_{DDDEEPSLEEP}^{1,3}$	深度休眠模式下的 $V_{DDINT}$ 电流 $f_{CCLK} = 0\text{ MHz}, f_{SCLK} = 0\text{ MHz}$			表22	mA
$I_{DDINT}^{3,5}$	$V_{DDINT}$ 电流 $f_{CCLK} > 0\text{ MHz}, f_{SCLK} \geq 0\text{ MHz}$			表22 + (表23 $\times$ ASF) + $(0.52 \times V_{DDINT} \times f_{SCLK})$	mA
$I_{DDOTP}$	$V_{DDOTP}$ 电流 $V_{DDOTP} = 2.5\text{ V}, T_j = 25^\circ\text{C},$ OTP存储器读取		2		mA
$I_{DDOTP}$	$V_{DDOTP}$ 电流 $V_{DDOTP} = 2.5\text{ V}, T_j = 25^\circ\text{C},$ OTP存储器写入		2		mA
$I_{PPOTP}$	$V_{PPOTP}$ 电流 $V_{PPOTP} = 2.5\text{ V}, T_j = 25^\circ\text{C},$ OTP存储器读取		100		$\mu\text{A}$
$I_{PPOTP}$	$V_{PPOTP}$ 电流 $V_{PPOTP} =$ 见表30, $T_j = 25^\circ\text{C},$ OTP存储器写入		3		mA

<sup>1</sup> 关于休眠、深度休眠和休眠工作模式的定义，参见《ADSP-BF52x Blackfin处理器硬件参考手册》。

<sup>2</sup> 包括 $V_{DDEXT}$ 、 $V_{DDUSB}$ 、 $V_{DDMEM}$ 、 $V_{DDOTP}$ 和 $V_{PPOTP}$ 电源上的电流。时钟输入连接高电平或低电平。

<sup>3</sup> 保证最大值规格。

<sup>4</sup>  $V_{DDINT}$ 的单位为V(伏特)。  $f_{SCLK}$ 的单位为MHz。示例：1.4 V、75 MHz将增加 $0.52 \times 1.4 \times 75\text{ MHz} = 54.6\text{ mA}$ 。

<sup>5</sup> 涉及的 $I_{DDINT}$ 电源矢量参见表21。



# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

**表20. ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的电气特性**

参数	测试条件	最小值	典型值	最大值	单位
$I_{DDDEEPSLEEP}^1$	深度休眠模式下的 $V_{DDINT}$ 电流 $V_{DDINT} = 1.0\text{ V}, f_{CCLK} = 0\text{ MHz}, f_{SCLK} = 0\text{ MHz}, T_j = 25^\circ\text{C}, ASF = 0.00$		10		mA
$I_{DDSLLEEP}$	休眠模式下的 $V_{DDINT}$ 电流 $V_{DDINT} = 1.0\text{ V}, f_{SCLK} = 25\text{ MHz}, T_j = 25^\circ\text{C}$		20		
$I_{DD-IDLE}$	空闲时的 $V_{DDINT}$ 电流 $V_{DDINT} = 1.0\text{ V}, f_{CCLK} = 400\text{ MHz}, f_{SCLK} = 25\text{ MHz}, T_j = 25^\circ\text{C}, ASF = 0.44$		53		mA
$I_{DD-TYP}$	$V_{DDINT}$ 电流 $V_{DDINT} = 1.0\text{ V}, f_{CCLK} = 400\text{ MHz}, f_{SCLK} = 25\text{ MHz}, T_j = 25^\circ\text{C}, ASF = 1.00$		94		mA
$I_{DD-TYP}$	$V_{DDINT}$ 电流 $V_{DDINT} = 1.15\text{ V}, f_{CCLK} = 533\text{ MHz}, f_{SCLK} = 25\text{ MHz}, T_j = 25^\circ\text{C}, ASF = 1.00$		144		mA
$I_{DD-TYP}$	$V_{DDINT}$ 电流 $V_{DDINT} = 1.2\text{ V}, f_{CCLK} = 600\text{ MHz}, f_{SCLK} = 25\text{ MHz}, T_j = 25^\circ\text{C}, ASF = 1.00$		170		mA
$I_{DDHIBERNATE}^{1,2}$	休眠状态电流 $V_{DDEXT} = V_{DDMEM} = V_{DDRTC} = V_{DDUSB} = 3.30\text{ V}, V_{DDOTP} = V_{PPOTP} = 2.5\text{ V}, T_j = 25^\circ\text{C}, CLKIN = 0\text{ MHz},$ 稳压器关闭( $V_{DDINT} = 0\text{ V}$ )		40		$\mu\text{A}$
$I_{DDRTC}$	$V_{DDRTC}$ 电流 $V_{DDRTC} = 3.3\text{ V}, T_j = 25^\circ\text{C}$		20		$\mu\text{A}$
$I_{DDUSB-FS}$	全速/低速模式下的 $V_{DDUSB}$ 电流 $V_{DDUSB} = 3.3\text{ V}, T_j = 25^\circ\text{C},$ 全速USB发送		9		mA
$I_{DDUSB-HS}$	高速模式下的 $V_{DDUSB}$ 电流 $V_{DDUSB} = 3.3\text{ V}, T_j = 25^\circ\text{C},$ 高速USB发送		25		mA
$I_{DDSLLEEP}^{1,3}$	休眠模式下的 $V_{DDINT}$ 电流 $f_{CCLK} = 0\text{ MHz}, f_{SCLK} > 0\text{ MHz}$			表24 + $(0.61 \times V_{DDINT} \times f_{SCLK})^4$ 表24	mA <sup>4</sup>
$I_{DDDEEPSLEEP}^{1,3}$	深度休眠模式下的 $V_{DDINT}$ 电流 $f_{CCLK} = 0\text{ MHz}, f_{SCLK} = 0\text{ MHz}$				mA
$I_{DDINT}^{3,5}$	$V_{DDINT}$ 电流 $f_{CCLK} > 0\text{ MHz}, f_{SCLK} \geq 0\text{ MHz}$			表24 + (表25 × ASF) + $(0.61 \times V_{DDINT} \times f_{SCLK})$	mA
$I_{DDOTP}$	$V_{DDOTP}$ 电流 $V_{DDOTP} = 2.5\text{ V}, T_j = 25^\circ\text{C},$ OTP存储器读取		1		mA
$I_{DDOTP}$	$V_{DDOTP}$ 电流 $V_{DDOTP} = 2.5\text{ V}, T_j = 25^\circ\text{C},$ OTP存储器写入		25		mA
$I_{PPOTP}$	$V_{PPOTP}$ 电流 $V_{PPOTP} = 2.5\text{ V}, T_j = 25^\circ\text{C},$ OTP存储器读取		0		mA
$I_{PPOTP}$	$V_{PPOTP}$ 电流 $V_{PPOTP} = 2.5\text{ V}, T_j = 25^\circ\text{C},$ OTP存储器写入		0		mA

<sup>1</sup> 关于休眠、深度休眠和休眠工作模式的定义，参见《ADSP-BF52x Blackfin处理器硬件参考手册》。

<sup>2</sup> 包括 $V_{DDEXT}$ 、 $V_{DDUSB}$ 、 $V_{DDMEM}$ 、 $V_{DDOTP}$ 和 $V_{PPOTP}$ 电源上的电流。时钟输入连接高电平或低电平。

<sup>3</sup> 保证最大值规格。

<sup>4</sup>  $V_{DDINT}$ 的单位为V(伏特)。  $f_{SCLK}$ 的单位为MHz。示例：1.2 V、75 MHz将增加 $0.61 \times 1.2 \times 75\text{ mA} = 54.9\text{ mA}$ 。

<sup>5</sup> 涉及的 $I_{DDINT}$ 电源矢量参见表21。

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 总功耗

总功耗包括两个分量：

1. 静态功耗，包括漏电流
2. 动态功耗，由晶体管开关特性引起

许多工作条件也可能影响功耗，包括温度、电压、工作频率和处理器活动等。第31页的电气特性列出了内部电路 ( $V_{DDINT}$ ) 的功耗。 $I_{DDDEEPSLEEP}$  表示与电压 ( $V_{DDINT}$ ) 和温度相关的静态功耗 (参见表22或表24)， $I_{DDINT}$  表示所列测试条件下的总功耗，包括与电压 ( $V_{DDINT}$ ) 和频率相关的动态功耗 (表23或表25)。

动态分量包括两部分。第一部分是由内核时钟 (CCLK) 域的晶体管开关引起的，该部分与一个“活动比例因子” (ASF) 相关，它代表处理器内核和L1存储器上运行的应用程序代码 (表21)。

ASF与CCLK频率和 $V_{DDINT}$ 相关数据 (表23或表25) 共同来计算这一部分功耗。第二部分是由系统时钟 (SCLK) 域的晶体管开关引起的， $I_{DDINT}$  规格方程式中已包括该部分。

表21. 活动比例因子 (ASF)<sup>1</sup>

$I_{DDINT}$ 电源矢量	活动比例因子 (ASF)
$I_{DD-PEAK}$	1.29
$I_{DD-HIGH}$	1.26
$I_{DD-TYP}$	1.00
$I_{DD-APP}$	0.88
$I_{DD-NOP}$	0.72
$I_{DD-IDLE}$	0.44

<sup>1</sup> 参见“ASDP-BF534/BF536/BF537 Blackfin处理器功耗估算”(EE-297)。电源矢量信息也适用于ADSP-BF52x处理器。

表22. ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的静态电流 —  $I_{DD-DEEPSLEEP}$  (mA)

$T_J$ (°C) <sup>1</sup>	电压 ( $V_{DDINT}$ ) <sup>1</sup>						
	1.2 V	1.25 V	1.3 V	1.35 V	1.4 V	1.45 V	1.5 V
-40	1.47	1.42	1.50	1.64	1.85	2.12	2.09
-20	1.67	1.81	1.89	1.95	2.01	2.07	2.12
0	1.97	2.07	2.15	2.22	2.30	2.39	2.47
25	2.49	2.66	2.79	2.92	3.07	3.20	3.36
40	3.12	3.37	3.57	3.75	3.96	4.18	4.40
55	4.07	4.47	4.82	5.11	5.41	5.73	6.06
70	5.77	6.28	6.71	7.17	7.61	8.09	8.60
85	8.32	8.88	9.56	10.25	10.94	11.63	12.36
100	12.11	12.93	13.94	14.76	15.76	16.77	17.83
105	13.78	14.72	15.74	16.81	17.91	19.06	20.27

<sup>1</sup> 有效温度和电压范围取决于型号。参见第27页的“ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的工作条件”。

表23. ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的动态电流 (CCLK域, mA, ASF = 1.0)<sup>1</sup>

$f_{CCLK}$ (MHz) <sup>2</sup>	电压 ( $V_{DDINT}$ ) <sup>2</sup>						
	1.2 V	1.25 V	1.3 V	1.35 V	1.4 V	1.45 V	1.5 V
400	N/A	N/A	91.41	95.7	100.11	104.51	109.01
350	N/A	N/A	80.56	84.37	88.26	92.17	96.17
300	63.31	66.51	69.78	73.09	76.51	79.93	83.42
250	53.36	56.10	58.88	61.72	64.64	67.56	70.55
200	43.49	45.76	48.08	50.44	52.86	55.28	57.77
100	23.6	24.93	26.29	27.68	29.12	30.56	32.04

<sup>1</sup> 这些值不是作为独立的最大值规格加以保证，必须与依据第31页的电气特性所示方程式计算的静态电流结合考虑。

<sup>2</sup> 有效频率和电压范围取决于型号。参见第27页的“ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的工作条件”。

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

**表24. ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的静态电流 —  $I_{DD-DEEPSLEEP}$  (mA)**

$T_J$ (°C) <sup>1</sup>	电压( $V_{DDINT}$ ) <sup>1</sup>							
	0.95 V	1.00 V	1.05 V	1.10 V	1.15 V	1.20 V	1.25 V	1.30 V
-40	6.5	7.8	9.3	11.1	13.1	15.4	18.0	21.0
-20	9.0	10.6	12.4	14.6	17.0	19.8	22.9	26.4
0	13.2	15.2	17.7	20.4	23.5	27.0	30.9	35.3
25	22.3	25.4	28.9	32.8	37.2	42.1	47.6	53.7
40	30.8	34.8	39.2	44.1	49.6	55.7	62.5	70.0
55	42.9	47.9	53.6	59.9	66.9	74.6	83.2	92.6
70	59.1	65.6	72.9	80.8	89.7	99.4	110.2	122.0
85	80.4	88.6	97.9	107.8	119.2	131.5	145.1	159.8
100	109.3	118.7	130.5	143.2	157.4	172.8	189.7	208.1
105	120.8	132.1	144.7	158.8	174.2	190.9	209.3	229.2
115	144.4	157.5	172.3	188.4	206.0	225.3	246.4	269.2
125	173.9	189.1	206.4	224.9	245.4	267.8	292.2	318.7

<sup>1</sup> 有效温度和电压范围取决于型号。参见第29页的“ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的工作条件”。

**表25. ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的动态电流(CCLK域, mA, ASF = 1.0)<sup>1</sup>**

$f_{CCLK}$ (MHz) <sup>2</sup>	电压( $V_{DDINT}$ ) <sup>2</sup>							
	0.95 V	1.00 V	1.05 V	1.10 V	1.15 V	1.20 V	1.25 V	1.30 V
600	N/A	N/A	N/A	N/A	130.4	137.6	145.1	152.5
533	N/A	N/A	N/A	110.3	116.7	123.3	129.8	136.4
500	N/A	N/A	97.3	103.1	109.1	115.0	121.3	127.7
400	69.8	74.3	78.9	83.6	88.5	93.5	98.6	103.9
300	53.4	56.9	60.4	64.1	68.0	71.8	75.8	80.0
200	36.9	39.4	41.9	44.6	47.4	50.1	53.0	56.0
100	20.5	22.0	23.6	25.3	27.0	28.8	30.6	32.5

<sup>1</sup> 这些值不是作为独立的最大值规格加以保证，必须与依据第31页的电气特性所示方程式计算的静态电流结合考虑。

<sup>2</sup> 有效频率和电压范围取决于型号。参见第29页的“ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的工作条件”。

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 绝对最大额定值

超出表26所列值可能会导致器件永久性损坏。这只是额定最大值，不表示在这些条件下或者在任何其它超出本技术规

范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

表26. 绝对最大额定值

参数	额定值
ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的内部电源电压( $V_{DDINT}$ )	-0.3 V至+1.26 V
ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的内部电源电压( $V_{DDINT}$ )	-0.3 V至+1.47 V
外部(I/O)电源电压( $V_{DDEXT}/V_{DDMEM}$ )	-0.3 V至+3.8 V
实时时钟电源电压( $V_{DDRTC}$ )	-0.5 V至+3.8 V
OTP电源电压( $V_{DDOTP}$ )	-0.5 V至+3.0 V
OTP编程电压( $V_{PPOTP}$ ) <sup>1</sup>	-0.5 V至+3.0 V
OTP编程电压( $V_{PPOTP}$ ) <sup>2</sup>	-0.5 V至+7.1 V
USB PHY电源电压( $V_{DDUSB}$ )	-0.5 V至+3.8 V
输入电压 <sup>3,4,5</sup>	-0.5 V至+3.8 V
输入电压 <sup>3,4,6</sup>	-0.5 V至+5.5 V
输入电压 <sup>3,4,7</sup>	-0.5 V至+5.25 V
输出电压摆幅	-0.5 V至 $V_{DDEXT}/V_{DDMEM}+0.5$ V
每组引脚的 $I_{OH}/I_{OL}$ 电流 <sup>3,8</sup>	82 mA(最大值)
存储温度范围	-65°C至+150°C
偏置时的结温	+110°C

<sup>1</sup> 对于ADSP-BF523/ADSP-BF525/ADSP-BF527处理器，适用于OTP存储器读取和写入；对于ADSP-BF522/ADSP-BF524/ADSP-BF526处理器，适用于OTP存储器读取。

<sup>2</sup> 对于ADSP-BF522/ADSP-BF524/ADSP-BF526处理器，仅适用于OTP存储器写入。

<sup>3</sup> 适用于100%瞬变占空比。

<sup>4</sup> 仅当 $V_{DDEXT}$ 在规格范围内时适用。当 $V_{DDEXT}$ 超出规格要求时，该范围为 $V_{DDEXT} \pm 0.2$  V。

<sup>5</sup> 其它占空比参见表27。

<sup>6</sup> 适用于引脚SCL和SDA。

<sup>7</sup> 适用于引脚USB\_DP、USB\_DM和USB\_VBUS。

<sup>8</sup> 引脚组信息参见表28。其它占空比参见表29。

表27. 输入瞬变电压的最大占空比<sup>1,2</sup>

最大占空比 <sup>3</sup>	$V_{IN}$ 最小值(V) <sup>4</sup>	$V_{IN}$ 最大值(V) <sup>6</sup>
100%	-0.50	+3.80
40%	-0.70	+4.00
25%	-0.80	+4.10
15%	-0.90	+4.20
10%	-1.00	+4.30

<sup>1</sup> 适用于CLKIN、XTAL、VROUT/EXT\_WAKE1、SCL、SDA、USB\_DP、USB\_DM和USB\_VBUS以外的所有其它信号引脚。

<sup>2</sup> 仅当 $V_{DDEXT}$ 在规格范围内时适用。当 $V_{DDEXT}$ 超出规格要求时，该范围为 $V_{DDEXT} \pm 0.2$  V。

<sup>3</sup> 占空比指信号超过100%情况下的值的时间百分比，等同于单一过冲或欠冲情况的实测持续时间占事件周期的百分比。

<sup>4</sup> 不能将个别值合并来分析单一过冲或欠冲情况。最差情况下的测量值必须落在规定的某个电压范围内，过冲或欠冲(超过100%的情况)的总持续时间必须短于或等于相应的占空比。

表26规定了每组引脚的最大总源电流/吸电流( $I_{OH}/I_{OL}$ )。如果超过此值，器件可能会永久性损坏。为了帮助理解此规格，举例如下：如果表28中第1组的引脚PH4、PH3、PH2、PH1、PH0各自流出或流入2 mA，则这些引脚的总电流为10 mA。因此，该组中其余引脚最多总共可以流出或流入72 mA电流而不会损坏器件。所有组别及其引脚的列表参见表28。小于100%的占空比参见表29。注意， $V_{OH}$ 和 $V_{OL}$ 规格具有单独的每引脚最大电流要求(参见第32页的表19和第33页的表20)。

表28. 总电流引脚组

组	组中的引脚
1	PH4, PH3, PH2, PH1, PH0, PF15, PF14, PF13
2	PF12, SDA, SCL, PF11, PF10, PF9, PF8, PF7
3	PF6, PF5, PF4, PF3, PF2, PF1, PF0, PPI_FS1
4	PPI_CLK, PG15, PG14, PG13, PG12, PG11, PG10, PG9
5	PG8, PG7, PG6, PG5, PG4, BMODE3, BMODE2, BMODE1

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

表28. 总电流引脚组(续)

组	组中的引脚
6	BMODE0, PG3, PG2, PG1, PG0, TDI, TDO, $\overline{\text{EMU}}$
7	TCK, $\overline{\text{TRST}}$ , TMS
8	PH12, PH11, PH10, PH9, PH8, PH7, PH6, PH5
9	PH15, PH14, PH13, CLKBUF, $\overline{\text{NMI}}$ , $\overline{\text{RESET}}$
10	DATA15, DATA14, DATA13, DATA12, DATA11, DATA10
11	DATA9, DATA8, DATA7, DATA6, DATA5, DATA4
12	DATA3, DATA2, DATA1, DATA0, ADDR19, ADDR18
13	ADDR17, ADDR16, ADDR15, ADDR14, ADDR13
14	ADDR12, ADDR11, ADDR10, ADDR9, ADDR8, ADDR7
15	ADDR6, ADDR5, ADDR4, ADDR3, ADDR2, ADDR1
16	$\overline{\text{ABE1}}$ , $\overline{\text{ABE0}}$ , SA10, $\overline{\text{SWE}}$ , $\overline{\text{SCAS}}$ , $\overline{\text{SRAS}}$
17	$\overline{\text{SMS}}$ , $\overline{\text{SCKE}}$ , ARDY, $\overline{\text{AWE}}$ , $\overline{\text{ARE}}$ , $\overline{\text{AOE}}$
18	$\overline{\text{AMS3}}$ , $\overline{\text{AMS2}}$ , $\overline{\text{AMS1}}$ , $\overline{\text{AMS0}}$ , CLKOUT

表29. 每组引脚 $I_{OH}/I_{OL}$  电流对应的最大占空比

最大占空比	RMS电流(mA)
100%	82
80%	92
60%	106
40%	130
25%	165
10%	261

对ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的OTP存储器进行编程时，必须将VPPOTP引脚设为第27页的“ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的工作条件”所规定的写入值。在器件的使用寿命期间，累计施加写入电压到VPPOTP的时间是有限的(取决于电压和结温)。ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的OTP存储器最长编程时间如表30所示。ADSP-BF523/ADSP-BF525/ADSP-BF527处理器没有类似的限制。

表30. ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的OTP存储器最大编程时间

V <sub>PPOTP</sub> 电压(V)	温度(T <sub>j</sub> )		
	25°C	85°C	105°C
6.9	6000秒	100秒	25秒
7.0	2400秒	44秒	12秒
7.1	1000秒	18秒	4.5秒

## 封装信息

图8和表31所示的信息提供了ADSP-BF52x处理器封装标识的详情。产品供货的完整列表请参阅第87页的订购指南。



图8. 产品封装信息

表31. 封装标识信息<sup>1</sup>

标识码	字段说明
ADSP-BF52x	产品名称 <sup>2</sup>
t	温度范围
pp	封装类型
Z	无铅选项
ccc	参见订购指南
vvvvv.x	组批代码
n.n	芯片版本
#	符合RoHS标准
yyww	日期代码

<sup>1</sup> 仅限非汽车应用型号。关于汽车应用型号的标识信息，请联系ADI公司。

<sup>2</sup> 产品名称参见第87页的订购指南。

## ESD灵敏度



### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

## 时序规格

规格如有变更恕不另行通知。

### 时钟和复位时序

表32和图9描述时钟和复位操作。根据表12至表17中的CCLK和SCLK时序规格，CLKIN与时钟乘法器的组合不得选择超过处理器最大指令速率的内核/外设时钟。

**表32. 时钟和复位时序**

参数		最小值	最大值	单位
时序要求				
$f_{CKIN}$	CLKIN频率(商用/工业型号) <sup>1, 2, 3, 4</sup>	12	50	MHz
	CLKIN频率(汽车应用型号) <sup>1, 2, 3, 4</sup>	14	50	MHz
$t_{CKINL}$	CLKIN低电平脉冲 <sup>1</sup>	10		ns
$t_{CKINH}$	CLKIN高电平脉冲 <sup>1</sup>	10		ns
$t_{WRST}$	$\overline{RESET}$ 置位低电平脉冲宽度 <sup>5</sup>	$11 \times t_{CKIN}$		ns
开关特性				
$t_{BUFDLAY}$	CLKIN至CLKBUF延迟		10	ns

<sup>1</sup> 适用于PLL旁路模式和PLL非旁路模式。

<sup>2</sup> CLKIN频率与PLL时钟乘法器的组合不得超过第28页的表12至表14和第30页的表15至表17所示 $f_{VCO}$ 、 $f_{CCLK}$ 和 $f_{SCLK}$ 的容许设置。

<sup>3</sup>  $t_{CKIN}$ 周期(见图9)等于 $1/f_{CKIN}$ 。

<sup>4</sup> 如果PLL\_CTL寄存器的DF位设为1, 则商用/工业用型号的 $f_{CKIN}$ 最小值规定为24 MHz, 汽车应用型号为28 MHz。

<sup>5</sup> 上电序列完成之后应用。上电复位时序参见表33和图10。

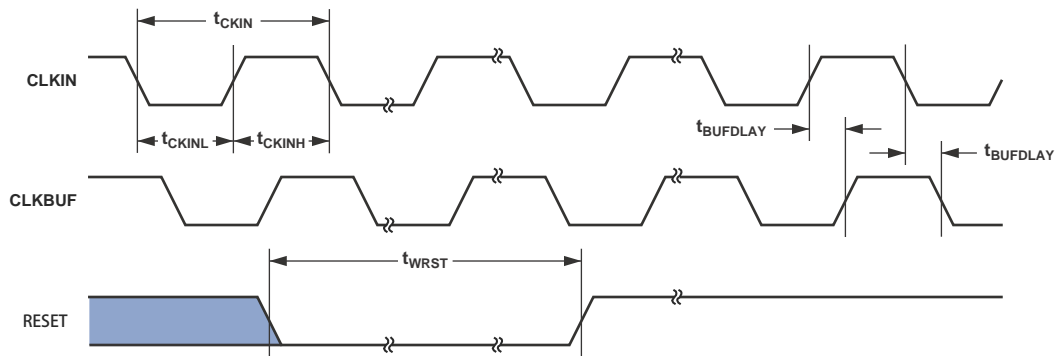


图9. 时钟和复位时序

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

**表33. 上电复位时序**

参数	最小值	最大值	单位
时序要求 $t_{RST\_IN\_PWR}$ $\overline{RESET}$ 在 $V_{DDINT}$ 、 $V_{DDEXT}$ 、 $V_{DDRTC}$ 、 $V_{DDUSB}$ 、 $V_{DDMEM}$ 、 $V_{DDOTP}$ 和CLKIN引脚稳定于规格范围之内之后解除置位	$3500 \times t_{CKIN}$		ns

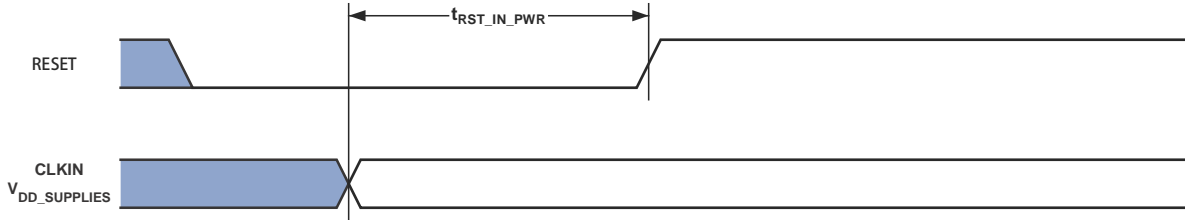


图10中， $V_{DD\_SUPPLIES}$ 为 $V_{DDINT}$ 、 $V_{DDEXT}$ 、 $V_{DDRTC}$ 、 $V_{DDUSB}$ 、 $V_{DDMEM}$ 和 $V_{DDOTP}$ 。

图10. 上电复位时序

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 异步存储器读周期时序

表34. 异步存储器读周期时序

参数	ADSP-BF522/ADSP-BF524/ ADSP-BF526				ADSP-BF523/ADSP-BF525/ ADSP-BF527				单位		
	$V_{DDMEM}$ 1.8 V标称值		$V_{DDMEM}$ 2.5 V或3.3 V标称值		$V_{DDMEM}$ 1.8 V标称值		$V_{DDMEM}$ 2.5 V或3.3 V标称值				
	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值			
时序要求											
$t_{SDAT}$	CLKOUT之前DATA15-0建立时间		2.1	2.1	2.1	2.1	2.1	2.1	2.1	ns	
$t_{HDAT}$	CLKOUT之后DATA15-0保持时间		1.2	0.8	0.9	0.8	0.9	0.8	0.8	ns	
$t_{SARDY}$	CLKOUT之前ARDY建立时间		4.0	4.0	4.0	4.0	4.0	4.0	4.0	ns	
$t_{HARDY}$	CLKOUT之后ARDY保持时间		0.2	0.2	0.2	0.2	0.2	0.2	0.2	ns	
开关特性											
$t_{DO}$	CLKOUT之后输出延迟时间 <sup>1</sup>			6.0		6.0		6.0		6.0	ns
$t_{HO}$	CLKOUT之后输出保持时间 <sup>1</sup>		0.8	0.8	0.8	0.8	0.8	0.8	0.8	ns	

<sup>1</sup> 输出引脚包括AMS3-0、ABE1-0、ADDR19-1、AOE、ARE。

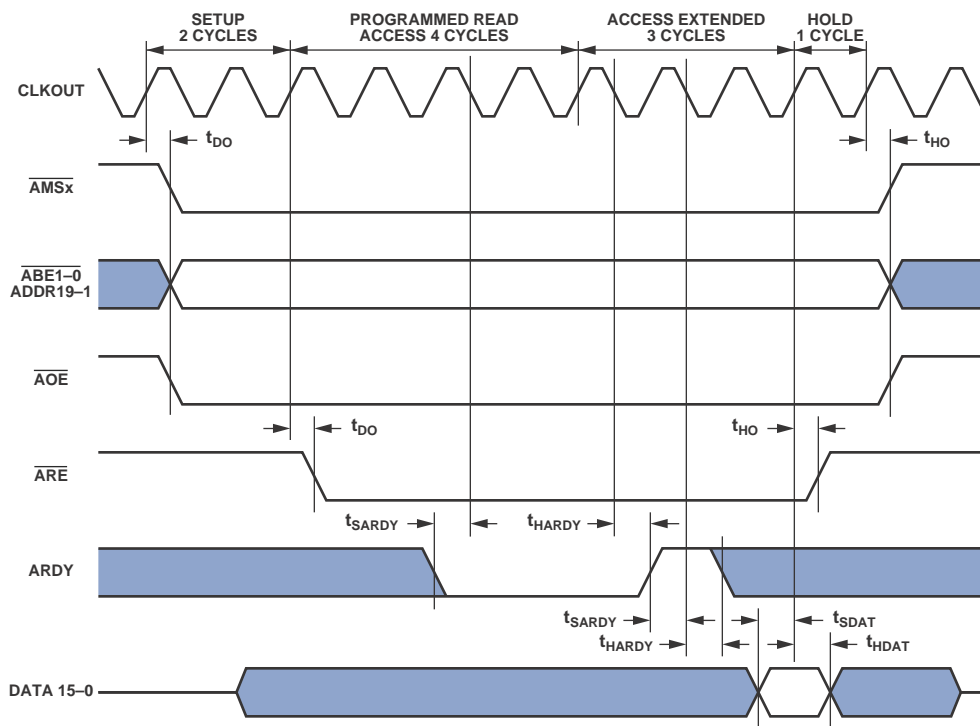


图11. 异步存储器读周期时序



# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 异步存储器写周期时序

表35. 异步存储器写周期时序

参数		ADSP-BF522/ADSP-BF524/ ADSP-BF526				ADSP-BF523/ADSP-BF525/ ADSP-BF527				单位
		$V_{DDMEM}$ 1.8 V标称值		$V_{DDMEM}$ 2.5 V或3.3 V标称值		$V_{DDMEM}$ 1.8 V标称值		$V_{DDMEM}$ 2.5 V或3.3 V标称值		
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
时序要求										
$t_{SARDY}$	CLKOUT之前ARDY建立时间	4.0		4.0		4.0		4.0		ns
$t_{HARDY}$	CLKOUT之后ARDY保持时间	0.2		0.2		0.2		0.2		ns
开关特性										
$t_{DDAT}$	CLKOUT之后DATA15-0禁用时间		6.0		6.0		6.0		6.0	ns
$t_{ENDAT}$	CLKOUT之后DATA15-0使能时间	0.0		0.0		0.0		0.0		ns
$t_{DO}$	CLKOUT之后输出延迟时间 <sup>1</sup>		6.0		6.0		6.0		6.0	ns
$t_{HO}$	CLKOUT之后输出保持时间 <sup>1</sup>	0.8		0.8		0.8		0.8		ns

<sup>1</sup> 输出引脚包括AMS3-0、ABE1-0、DATA15-0、AWE。

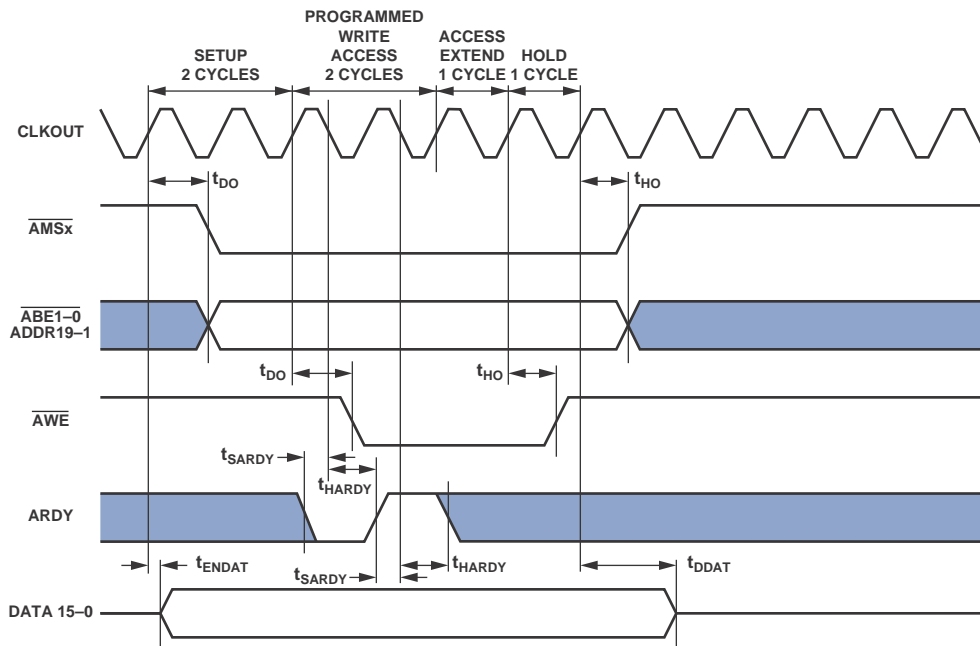


图12. 异步存储器写周期时序

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## NAND闪存控制器接口时序

表36和第43页的图13至第45页的图17描述NAND闪存控制器接口操作。

**表36. NAND闪存控制器接口时序**

参数		$V_{DDEXT}$ 1.8 V标称值	$V_{DDEXT}$ 2.5 V或3.3 V标称值	单位
		最小值	最小值	
<b>写周期</b>				
开关特性				
$t_{CWL}$	$\overline{ND\_CE}$ 建立时间到 $\overline{AWE}$ 低电平	$1.0 \times t_{SCLK} - 4$	$1.0 \times t_{SCLK} - 4$	ns
$t_{CH}$	$\overline{AWE}$ 高电平到 $\overline{ND\_CE}$ 保持时间	$3.0 \times t_{SCLK} - 4$	$3.0 \times t_{SCLK} - 4$	ns
$t_{CLEWL}$	$\overline{ND\_CLE}$ 建立时间到 $\overline{AWE}$ 低电平	0.0	0.0	ns
$t_{CLH}$	$\overline{AWE}$ 高电平到 $\overline{ND\_CLE}$ 保持时间	$2.5 \times t_{SCLK} - 4$	$2.5 \times t_{SCLK} - 4$	ns
$t_{ALEWL}$	$\overline{ND\_ALE}$ 建立时间到 $\overline{AWE}$ 低电平	0.0	0.0	ns
$t_{ALH}$	$\overline{AWE}$ 高电平到 $\overline{ND\_ALE}$ 保持时间	$2.5 \times t_{SCLK} - 4$	$2.5 \times t_{SCLK} - 4$	ns
$t_{WP}^1$	$\overline{AWE}$ 低电平到 $\overline{AWE}$ 高电平	$(WR\_DLY + 1.0) \times t_{SCLK} - 4$	$(WR\_DLY + 1.0) \times t_{SCLK} - 4$	ns
$t_{WHWL}$	$\overline{AWE}$ 高电平到 $\overline{AWE}$ 低电平	$4.0 \times t_{SCLK} - 4$	$4.0 \times t_{SCLK} - 4$	ns
$t_{WC}^1$	$\overline{AWE}$ 低电平到 $\overline{AWE}$ 低电平	$(WR\_DLY + 5.0) \times t_{SCLK} - 4$	$(WR\_DLY + 5.0) \times t_{SCLK} - 4$	ns
$t_{DWS}^1$	写访问的数据建立时间	$(WR\_DLY + 1.5) \times t_{SCLK} - 4$	$(WR\_DLY + 1.5) \times t_{SCLK} - 4$	ns
$t_{DWH}$	写访问的数据保持时间	$2.5 \times t_{SCLK} - 4$	$2.5 \times t_{SCLK} - 4$	ns
<b>读周期</b>				
开关特性				
$t_{CRL}$	$\overline{ND\_CE}$ 建立时间到 $\overline{ARE}$ 低电平	$1.0 \times t_{SCLK} - 4$	$1.0 \times t_{SCLK} - 4$	ns
$t_{CRH}$	$\overline{ARE}$ 高电平到 $\overline{ND\_CE}$ 保持时间	$3.0 \times t_{SCLK} - 4$	$3.0 \times t_{SCLK} - 4$	ns
$t_{RP}^1$	$\overline{ARE}$ 低电平到 $\overline{ARE}$ 高电平	$(RD\_DLY + 1.0) \times t_{SCLK} - 4$	$(RD\_DLY + 1.0) \times t_{SCLK} - 4$	ns
$t_{RHRL}$	$\overline{ARE}$ 高电平到 $\overline{ARE}$ 低电平	$4.0 \times t_{SCLK} - 4$	$4.0 \times t_{SCLK} - 4$	ns
$t_{RC}^1$	$\overline{ARE}$ 低电平到 $\overline{ARE}$ 低电平	$(RD\_DLY + 5.0) \times t_{SCLK} - 4$	$(RD\_DLY + 5.0) \times t_{SCLK} - 4$	ns
时序要求(ADSP-BF522/ADSP-BF524/ADSP-BF526)				
$t_{DRS}$	读处理的数据建立时间	14.0	10.0	ns
$t_{DRH}$	读处理的数据保持时间	0.0	0.0	ns
时序要求(ADSP-BF523/ADSP-BF525/ADSP-BF527)				
$t_{DRS}$	读处理的数据建立时间	11.0	8.0	ns
$t_{DRH}$	读处理的数据保持时间	0.0	0.0	ns
<b>先写后读</b>				
开关特性				
$t_{WHRL}$	$\overline{AWE}$ 高电平到 $\overline{ARE}$ 低电平	$5.0 \times t_{SCLK} - 4$	$5.0 \times t_{SCLK} - 4$	ns

<sup>1</sup> WR\_DLY和RD\_DLY在NFC\_CTL寄存器中定义。

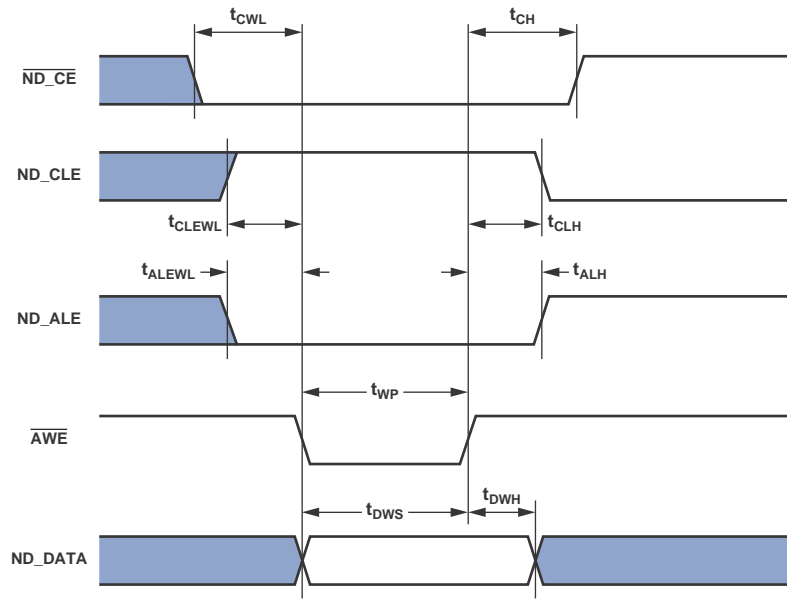


图13中，ND\_DATA为ND\_D0-D7。

图13. NAND闪存控制器接口时序—命令写周期

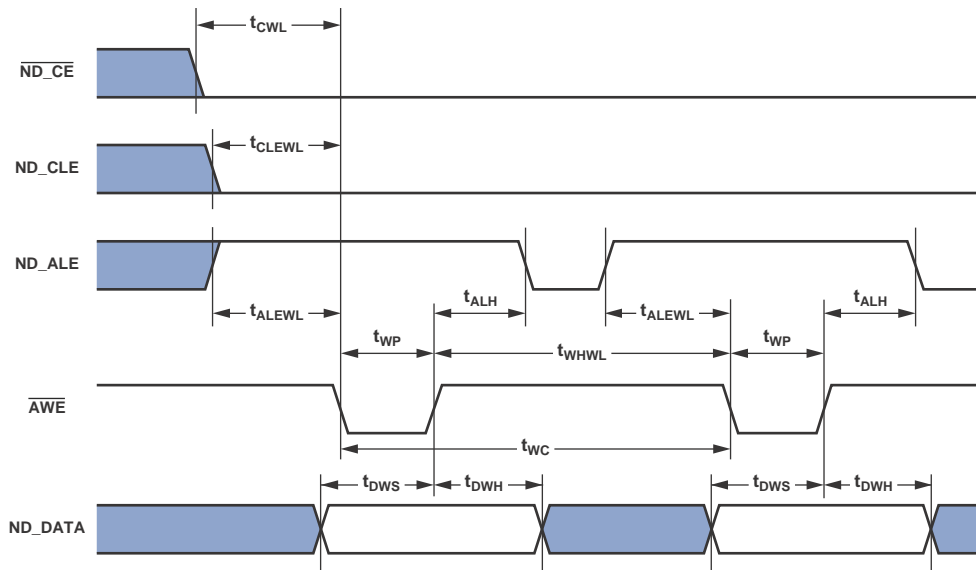


图14中，ND\_DATA为ND\_D0-D7。

图14. NAND闪存控制器接口时序—地址写周期

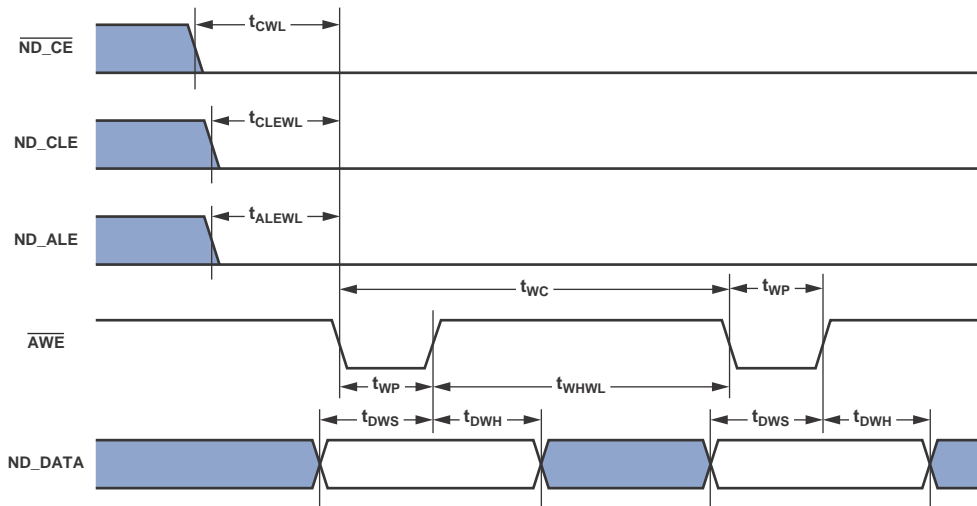


图15中，ND\_DATA为ND\_D0-D7。

图15. NAND闪存控制器接口时序—数据写操作

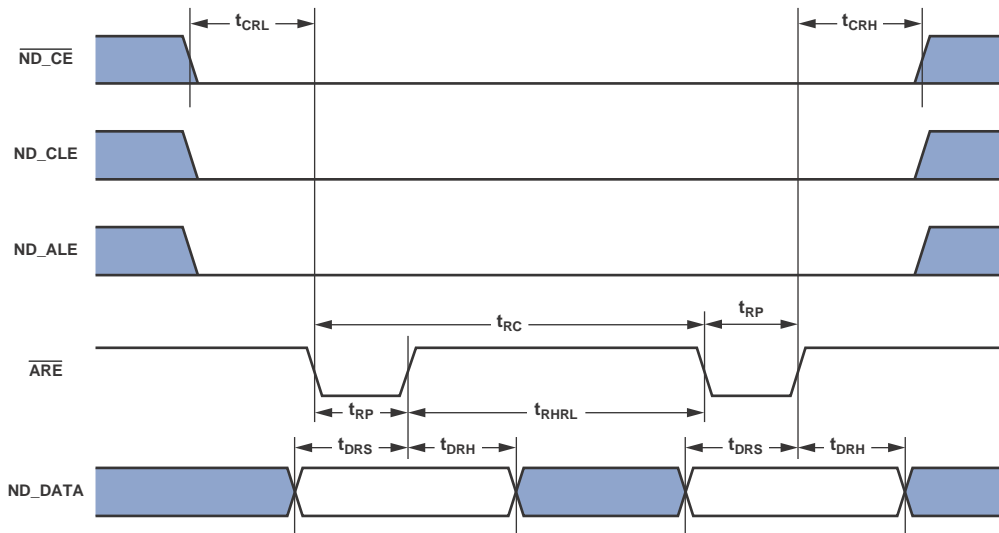


图16中，ND\_DATA为ND\_D0-D7。

图16. NAND闪存控制器接口时序—数据读操作

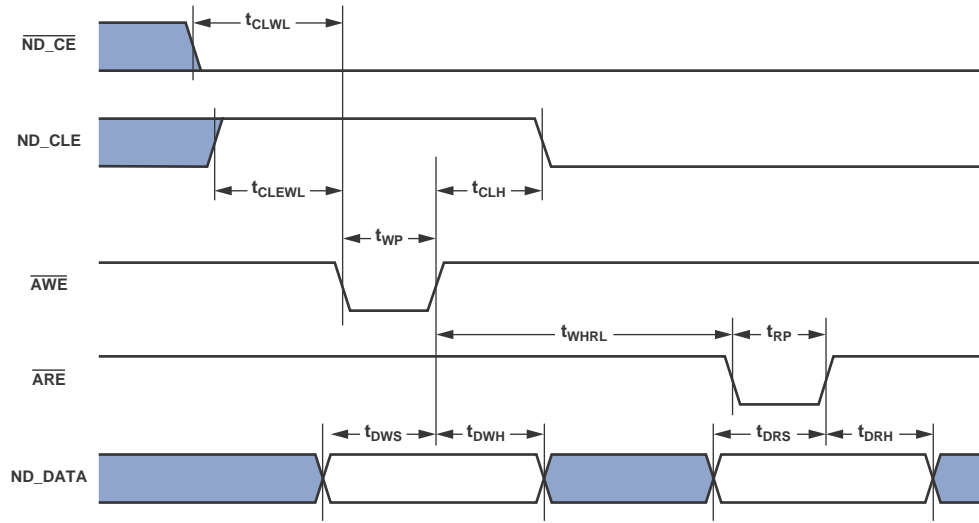


图17中，ND\_DATA为ND\_D0-D7。

图17. NAND闪存控制器接口时序—先写后读操作

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## SDRAM接口时序

**表37. ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的SDRAM接口时序**

参数		$V_{DDMEM}$ 1.8V标称值		$V_{DDMEM}$ 2.5 V或3.3 V标称值		单位
		最小值	最大值	最小值	最大值	
时序要求						
$t_{SSDAT}$	CLKOUT之前数据建立时间	1.5		1.5		ns
$t_{HSDAT}$	CLKOUT之后数据保持时间	1.3		0.8		ns
开关特性						
$t_{SCLK}$	CLKOUT周期 <sup>1</sup>	12.5		10		ns
$t_{SCLKH}$	CLKOUT高电平宽度	5.0		4.0		ns
$t_{SCLKL}$	CLKOUT低电平宽度	5.0		4.0		ns
$t_{DCAD}$	CLKOUT之后命令、地址、数据延迟时间 <sup>2</sup>		5.0		4.0	ns
$t_{HCAD}$	CLKOUT之后命令、地址、数据保持时间 <sup>2</sup>	1.0		1.0		ns
$t_{DSDAT}$	CLKOUT之后数据禁用时间		5.5		5.0	ns
$t_{ENSDAT}$	CLKOUT之后数据使能时间	0.0		0.0		ns

<sup>1</sup>  $t_{SCLK}$  值为表14和表17所示 $f_{SCLK}$ 规格的倒数。封装类型和低电源电压会影响所列的最佳情况值。

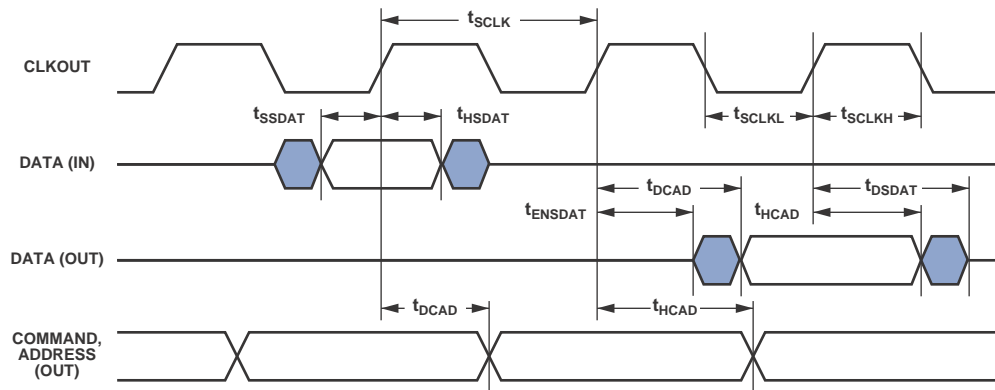
<sup>2</sup> 命令引脚包括：SRAS, SCAS, SWE, SDQM, SMS, SA10, SCKE.

**表38. ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的SDRAM接口时序**

参数		$V_{DDMEM}$ 1.8V标称值		$V_{DDMEM}$ 2.5 V或3.3 V标称值		单位
		最小值	最大值	最小值	最大值	
时序要求						
$t_{SSDAT}$	CLKOUT之前数据建立时间	1.5		1.5		ns
$t_{HSDAT}$	CLKOUT之后数据保持时间	1.0		0.8		ns
开关特性						
$t_{SCLK}$	CLKOUT周期 <sup>1</sup>	10		7.5		ns
$t_{SCLKH}$	CLKOUT高电平宽度	2.5		2.5		ns
$t_{SCLKL}$	CLKOUT低电平宽度	2.5		2.5		ns
$t_{DCAD}$	CLKOUT之后命令、地址、数据延迟时间 <sup>2</sup>		4.0		4.0	ns
$t_{HCAD}$	CLKOUT之后命令、地址、数据保持时间 <sup>2</sup>	1.0		1.0		ns
$t_{DSDAT}$	CLKOUT之后数据禁用时间		5.0		5.0	ns
$t_{ENSDAT}$	CLKOUT之后数据使能时间	0.0		0.0		ns

<sup>1</sup>  $t_{SCLK}$  值为表14和表17所示 $f_{SCLK}$ 规格的倒数。封装类型和低电源电压会影响所列的最佳情况值。

<sup>2</sup> 命令引脚包括：SRAS, SCAS, SWE, SDQM, SMS, SA10, SCKE.



NOTE: COMMAND = SRAS , SCAS , SWE , SDQM, SMS , SA10, SCKE.

图18. SDRAM接口时序

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 外部DMA请求时序

表40和图19描述外部DMA请求操作。

表39. ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的外部DMA请求时序<sup>1</sup>

参数		$V_{DDEXT}/V_{DDMEM}$ 1.8 V标称值		$V_{DDEXT}/V_{DDMEM}$ 2.5 V或3.3 V标称值		单位
		最小值	最大值	最小值	最大值	
时序要求						
$t_{DS}$	DMARx置位到CLKOUT高电平建立时间	9.0		6.0		ns
$t_{DH}$	CLKOUT高电平到DMARx解除置位保持时间	0.0		0.0		ns
$t_{DMARACT}$	DMARx有效脉冲宽度	$1.0 \times t_{SCLK}$		$1.0 \times t_{SCLK}$		ns
$t_{DMARINACT}$	DMARx无效脉冲宽度	$1.75 \times t_{SCLK}$		$1.75 \times t_{SCLK}$		ns

<sup>1</sup> 由于外部DMA控制引脚是 $V_{DDEXT}$ 电源域的一部分，CLKOUT信号是 $V_{DDMEM}$ 电源域的一部分，因此 $V_{DDEXT}$ 和 $V_{DDMEM}$ 不相等的系统可能需要电平转换逻辑才能正常工作。

表40. ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的外部DMA请求时序<sup>1</sup>

参数		$V_{DDEXT}/V_{DDMEM}$ 1.8 V标称值		$V_{DDEXT}/V_{DDMEM}$ 2.5 V或3.3 V标称值		单位
		最小值	最大值	最小值	最大值	
时序要求						
$t_{DS}$	DMARx置位到CLKOUT高电平建立时间	8.0		6.0		ns
$t_{DH}$	CLKOUT高电平到DMARx解除置位保持时间	0.0		0.0		ns
$t_{DMARACT}$	DMARx有效脉冲宽度	$1.0 \times t_{SCLK}$		$1.0 \times t_{SCLK}$		ns
$t_{DMARINACT}$	DMARx无效脉冲宽度	$1.75 \times t_{SCLK}$		$1.75 \times t_{SCLK}$		ns

<sup>1</sup> 由于外部DMA控制引脚是 $V_{DDEXT}$ 电源域的一部分，CLKOUT信号是 $V_{DDMEM}$ 电源域的一部分，因此 $V_{DDEXT}$ 和 $V_{DDMEM}$ 不相等的系统可能需要电平转换逻辑才能正常工作。

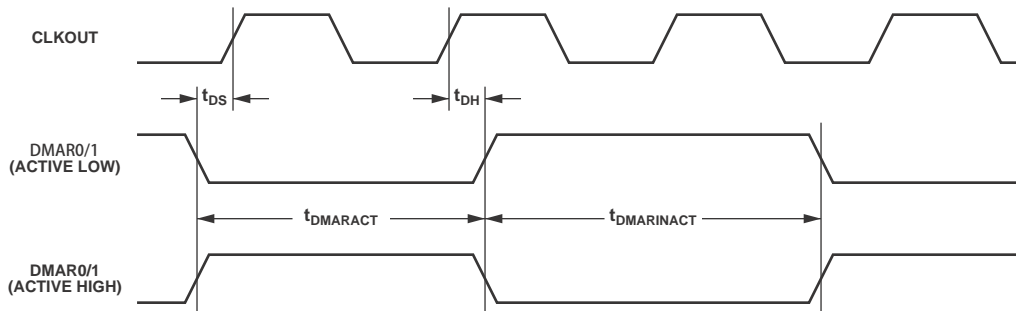


图19. 外部DMA请求时序



# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 并行外设接口时序

表41和第50页的图20、第54页的图24、第56页的图27描述

并行外设接口操作。

**表41. ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的并行外设接口**

参数	$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3 V标称值		单位
	最小值	最大值	最小值	最大值	
时序要求					
$t_{PCLKW}$	PPI_CLK宽度 <sup>1</sup>		6.4	6.4	ns
$t_{PCLK}$	PPI_CLK周期 <sup>1</sup>		25.0	20.0	ns
时序要求 – 通用输入和帧捕捉模式					
$t_{SFSPe}$	PPI_CLK之前外部帧同步建立时间 (接收为非采样沿, 发送为采样沿)		6.7	6.7	ns
$t_{HFSPe}$	PPI_CLK之后外部帧同步保持时间		1.2	1.2	ns
$t_{SDRPe}$	PPI_CLK之前接收数据建立时间		4.1	3.5	ns
$t_{HDRPe}$	PPI_CLK之后接收数据保持时间		2.0	1.6	ns
开关特性 – 通用输出和帧捕捉模式					
$t_{DFSPe}$	PPI_CLK之后内部帧同步延迟时间			8.0	ns
$t_{HOFSPe}$	PPI_CLK之后内部帧同步保持时间		1.7	1.7	ns
$t_{DDTPe}$	PPI_CLK之后发送数据延迟时间			8.0	ns
$t_{HDTPe}$	PPI_CLK之后发送数据保持时间		2.3	1.9	ns

<sup>1</sup> PPI\_CLK频率不能超过 $f_{SCLK}/2$ 。

**表42. ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的并行外设接口**

参数	$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3 V标称值		单位
	最小值	最大值	最小值	最大值	
时序要求					
$t_{PCLKW}$	PPI_CLK宽度 <sup>1</sup>		6.0	6.0	ns
$t_{PCLK}$	PPI_CLK周期 <sup>1</sup>		20.0	15.0	ns
时序要求 – 通用输入和帧捕捉模式					
$t_{SFSPe}$	PPI_CLK之前外部帧同步建立时间 (接收为非采样沿, 发送为采样沿)		6.7	6.7	ns
$t_{HFSPe}$	PPI_CLK之后外部帧同步保持时间		1.0	1.0	ns
$t_{SDRPe}$	PPI_CLK之前接收数据建立时间		3.5	3.5	ns
$t_{HDRPe}$	PPI_CLK之后接收数据保持时间		2.0	1.6	ns
开关特性 – 通用输出和帧捕捉模式					
$t_{DFSPe}$	PPI_CLK之后内部帧同步延迟时间			8.0	ns
$t_{HOFSPe}$	PPI_CLK之后内部帧同步保持时间		1.7	1.7	ns
$t_{DDTPe}$	PPI_CLK之后发送数据延迟时间			8.0	ns
$t_{HDTPe}$	PPI_CLK之后发送数据保持时间		2.3	1.9	ns

<sup>1</sup> PPI\_CLK频率不能超过 $f_{SCLK}/2$ 。

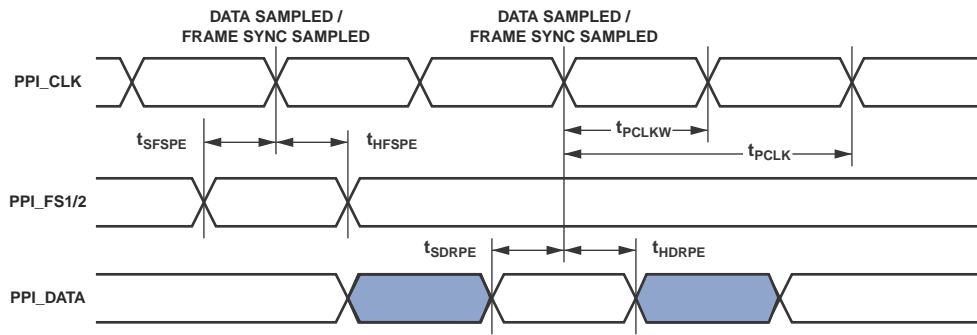


图20. 采用外部帧同步的PPI通用接收模式时序

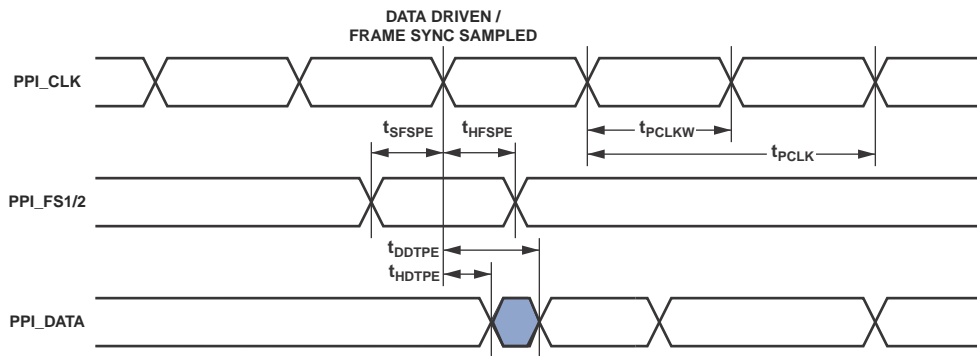


图21. 采用外部帧同步的PPI通用发送模式时序

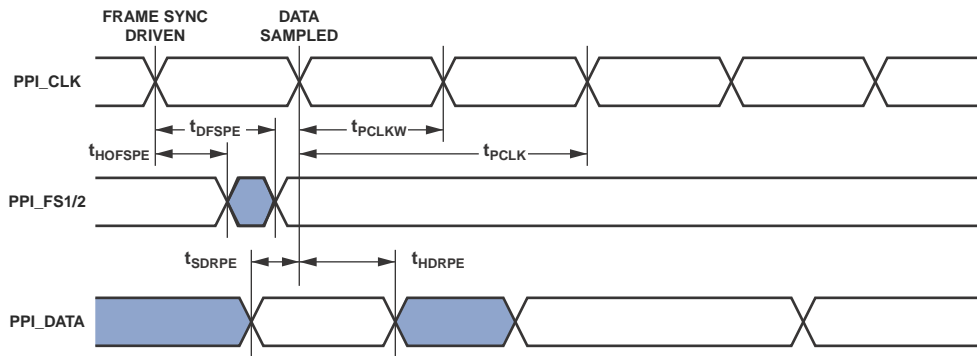


图22. 采用内部帧同步的PPI通用接收模式时序

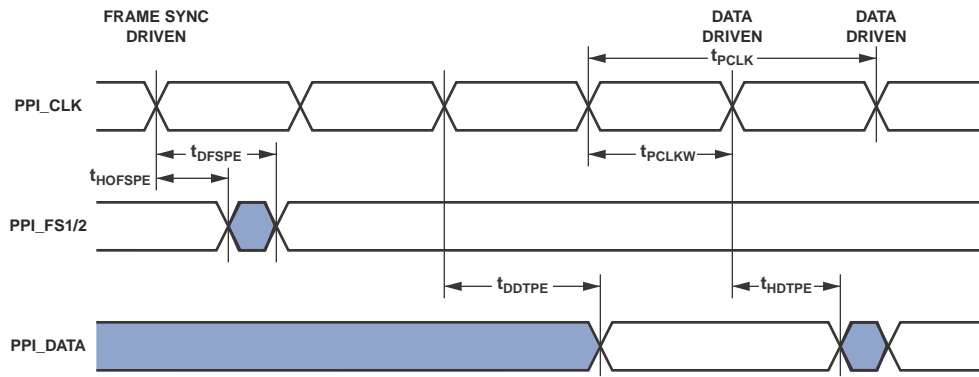


图23. 采用内部帧同步的PPI通用发送模式时序

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 串行端口

第56页的表43至表47、第54页的图24至第56页的图27描述

串行端口操作。

**表43. 串行端口—外部时钟**

参数	ADSP-BF522/ADSP-BF524/ADSP-BF526				ADSP-BF523/ADSP-BF525/ ADSP-BF527				单位
	$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值		$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值		
	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
<b>时序要求</b>									
$t_{SFSE}$ TSCLKx/RSCLKx之前TFSx/RFSx建立时间 <sup>1</sup>	3.0		3.0		3.0		3.0		ns
$t_{HFSE}$ TSCLKx/RSCLKx之后TFSx/RFSx保持时间 <sup>1</sup>	3.0		3.0		3.0		3.0		ns
$t_{SDRE}$ RSCLKx之前接收数据建立时间 <sup>1</sup>	3.0		3.0		3.0		3.0		ns
$t_{HDRE}$ RSCLKx之后接收数据保持时间 <sup>1</sup>	3.5		3.0		3.5		3.0		ns
$t_{SCLKEW}$ TSCLKx/RSCLKx宽度	7.0		4.5		7.0		4.5		ns
$t_{SCLKE}$ TSCLKx/RSCLKx周期	$2.0 \times t_{SCLK}$		$2.0 \times t_{SCLK}$		$2.0 \times t_{SCLK}$		$2.0 \times t_{SCLK}$		ns
$t_{SUDTE}$ 从SPORT使能到第一个外部TFSx的启动延迟时间 <sup>2</sup>	$4.0 \times t_{SCLKE}$		$4.0 \times t_{SCLKE}$		$4.0 \times t_{SCLKE}$		$4.0 \times t_{SCLKE}$		ns
$t_{SUDRE}$ 从SPORT使能到第一个外部RFSx的启动延迟时间 <sup>2</sup>	$4.0 \times t_{SCLKE}$		$4.0 \times t_{SCLKE}$		$4.0 \times t_{SCLKE}$		$4.0 \times t_{SCLKE}$		ns
<b>开关特性</b>									
$t_{DFSE}$ TSCLKx/RSCLKx之后TFSx/RFSx延迟时间(内部产生的TFSx/RFSx) <sup>3</sup>		10.0		10.0		10.0		10.0	ns
$t_{HOFSE}$ TSCLKx/RSCLKx之后TFSx/RFSx保持时间(内部产生的TFSx/RFSx) <sup>3</sup>	0.0		0.0		0.0		0.0		ns
$t_{DDTE}$ TSCLKx之后发送数据延迟时间 <sup>3</sup>		10.0		10.0		10.0		10.0	ns
$t_{HDTE}$ TSCLKx之后发送数据保持时间 <sup>3</sup>	0.0		0.0		0.0		0.0		ns

<sup>1</sup> 以采样沿为基准。

<sup>2</sup> 设计中验证，但未经测试。位使能该特性，并用一个电阻上拉该引脚。

<sup>3</sup> 以驱动沿为基准。

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

**表44. ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的串行端口—内部时钟**

参数	V <sub>DDEXT</sub> 1.8V标称值		V <sub>DDEXT</sub> 2.5 V或3.3V标称值		单位
	最小值	最大值	最小值	最大值	
<b>时序要求</b>					
t <sub>SFSI</sub>	TSCLKx/RSCLKx之前TFSx/RFSx建立时间 <sup>1</sup>		11.0	9.6	ns
t <sub>HFSI</sub>	TSCLKx/RSCLKx之后TFSx/RFSx保持时间 <sup>1</sup>		-1.5	-1.5	ns
t <sub>SDRI</sub>	RSCLKx之前接收数据建立时间 <sup>1</sup>		11.0	9.6	ns
t <sub>HDRI</sub>	RSCLKx之后接收数据保持时间 <sup>1</sup>		-1.5	-1.5	ns
<b>开关特性</b>					
t <sub>SCLKIW</sub>	TSCLKx/RSCLKx宽度		10.0	8.0	ns
t <sub>DFSI</sub>	TSCLKx/RSCLKx之后TFSx/RFSx延迟时间(内部产生的TFSx/RFSx) <sup>2</sup>			3.0	ns
t <sub>HOFSI</sub>	TSCLKx/RSCLKx之后TFSx/RFSx延迟时间(内部产生的TFSx/RFSx) <sup>2</sup>		-2.0	-1.0	ns
t <sub>DDTI</sub>	TSCLKx之后发送数据延迟时间 <sup>2</sup>			3.0	ns
t <sub>HDTI</sub>	TSCLKx之后发送数据保持时间 <sup>2</sup>		-1.8	-1.5	ns

<sup>1</sup> 以采样沿为基准。

<sup>2</sup> 以驱动沿为基准。

**表45. ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的串行端口—内部时钟**

参数	V <sub>DDEXT</sub> 1.8V标称值		V <sub>DDEXT</sub> 2.5 V或3.3V标称值		单位
	最小值	最大值	最小值	最大值	
<b>时序要求</b>					
t <sub>SFSI</sub>	TSCLKx/RSCLKx之前TFSx/RFSx建立时间 <sup>1</sup>		11.0	9.6	ns
t <sub>HFSI</sub>	TSCLKx/RSCLKx之后TFSx/RFSx保持时间 <sup>1</sup>		-1.5	-1.5	ns
t <sub>SDRI</sub>	RSCLKx之前接收数据建立时间 <sup>1</sup>		11.0	9.6	ns
t <sub>HDRI</sub>	RSCLKx之后接收数据保持时间 <sup>1</sup>		-1.5	-1.5	ns
<b>开关特性</b>					
t <sub>SCLKIW</sub>	TSCLKx/RSCLKx宽度		4.5	4.5	ns
t <sub>DFSI</sub>	TSCLKx/RSCLKx之后TFSx/RFSx延迟时间(内部产生的TFSx/RFSx) <sup>2</sup>			3.0	ns
t <sub>HOFSI</sub>	TSCLKx/RSCLKx之后TFSx/RFSx保持时间(内部产生的TFSx/RFSx) <sup>2</sup>		-1.0	-1.0	ns
t <sub>DDTI</sub>	TSCLKx之后发送数据延迟时间 <sup>2</sup>			3.0	ns
t <sub>HDTI</sub>	TSCLKx之后发送数据保持时间 <sup>2</sup>		-1.8	-1.5	ns

<sup>1</sup> 以采样沿为基准。

<sup>2</sup> 以驱动沿为基准。

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

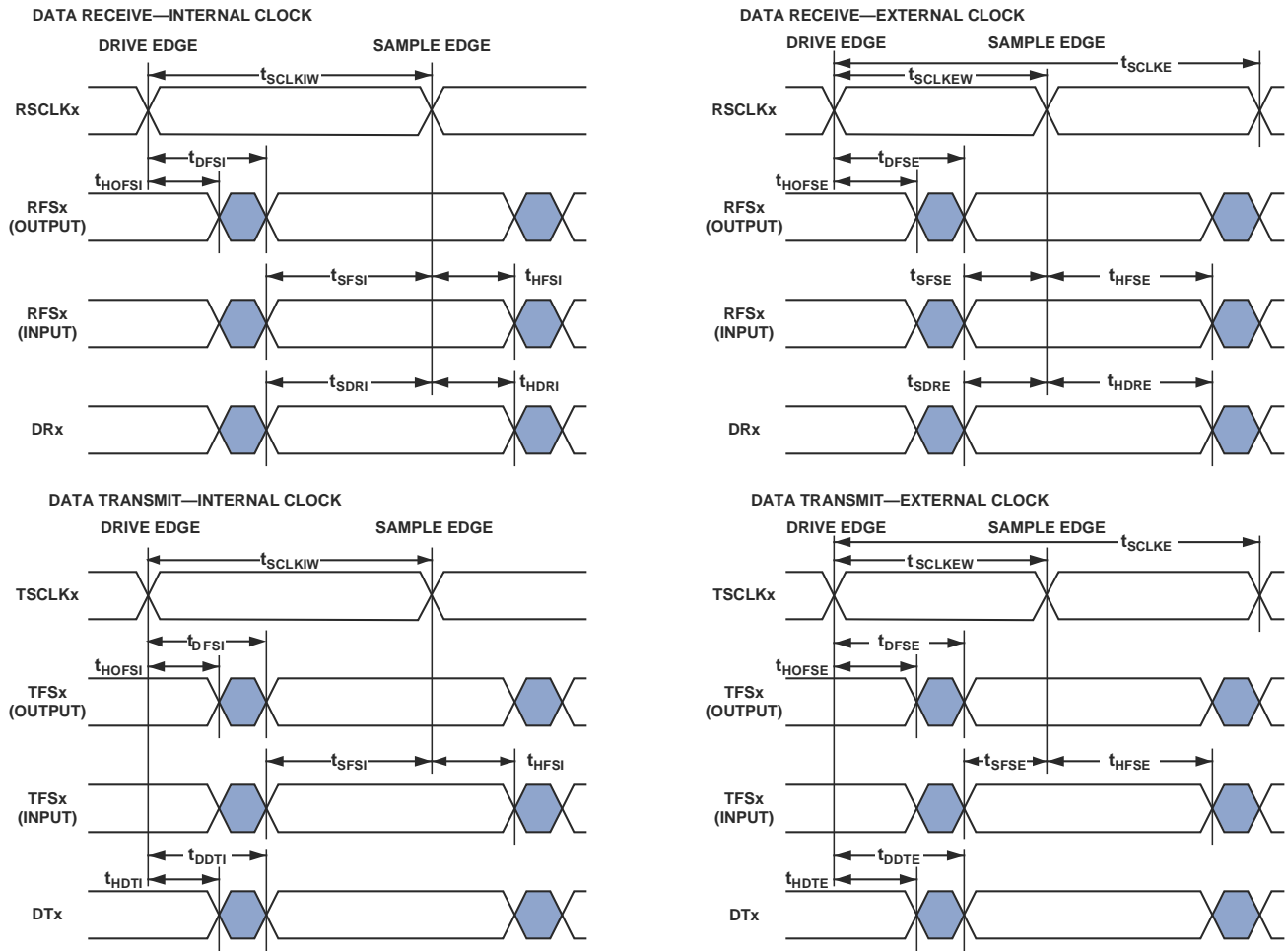


图24. 串行端口

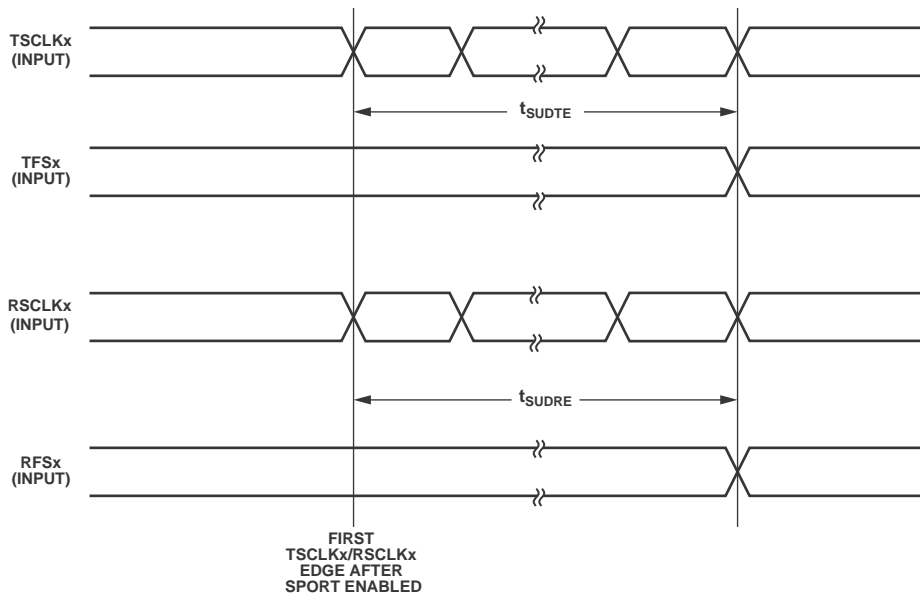


图25. 采用外部时钟和帧同步的串行端口启动

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

**表46. 串行端口—使能和三态**

参数	ADSP-BF522/ADSP-BF524/ADSP-BF526				ADSP-BF523/ADSP-BF525/ADSP-BF527				单位
	$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值		$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值		
	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
开关特性									
$t_{DTENE}$ 自外部TSCLKx起的数据使能延迟时间 <sup>1</sup>	0.0		0.0		0.0		0.0		ns
$t_{DDTTE}$ 自外部TSCLKx起的数据禁用延迟时间 <sup>1</sup>		$t_{SCLK} + 1$		$t_{SCLK} + 1$		$t_{SCLK} + 1$		$t_{SCLK} + 1$	ns
$t_{DTENI}$ 自内部TSCLKx起的数据使能延迟时间 <sup>1</sup>	-2.0		-2.0		-2.0		-2.0		ns
$t_{DDTTI}$ 自内部TSCLKx起的数据禁用延迟时间 <sup>1</sup>		$t_{SCLK} + 1$		$t_{SCLK} + 1$		$t_{SCLK} + 1$		$t_{SCLK} + 1$	ns

<sup>1</sup> 以驱动沿为基准。

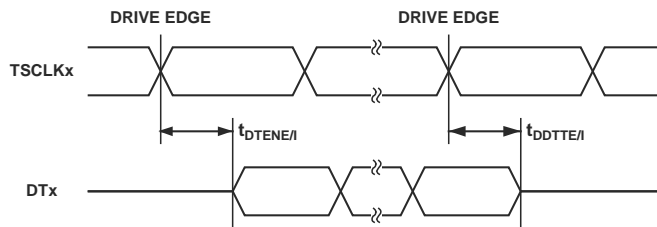


图26. 串行端口—使能和三态

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

**表47. 串行端口—外部晚帧同步**

参数	ADSP-BF522/ADSP-BF524/ ADSP-BF526				ADSP-BF523/ADSP-BF525/ ADSP-BF527				单位
	$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值		$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值		
	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
开关特性									
$t_{DDTLFSE}$ 多通道模式下自晚外部TFSx或外部RFSx起的数据延迟时间(MFD = 0) <sup>1,2</sup>	12.0		10.0		12.0		10.0		ns
$t_{DTENLFSE}$ 多通道模式下自外部RFSx起的数据使能时间(MFD = 0) <sup>1,2</sup>	0.0		0.0		0.0		0.0		ns

<sup>1</sup> 多通道模式下，TFSx使能和TFSx有效在 $t_{DTENLFSE}$ 和 $t_{DDTLFSE}$ 之后。

<sup>2</sup> 如果外部RFSx/TFSx建立到RSCLKx/TSCLKx > tSCLKE/2，则使用 $t_{DDTE/I}$ 和 $t_{DTENE/I}$ ，否则使用 $t_{DDTLFSE}$ 和 $t_{DTENLFSE}$ 。

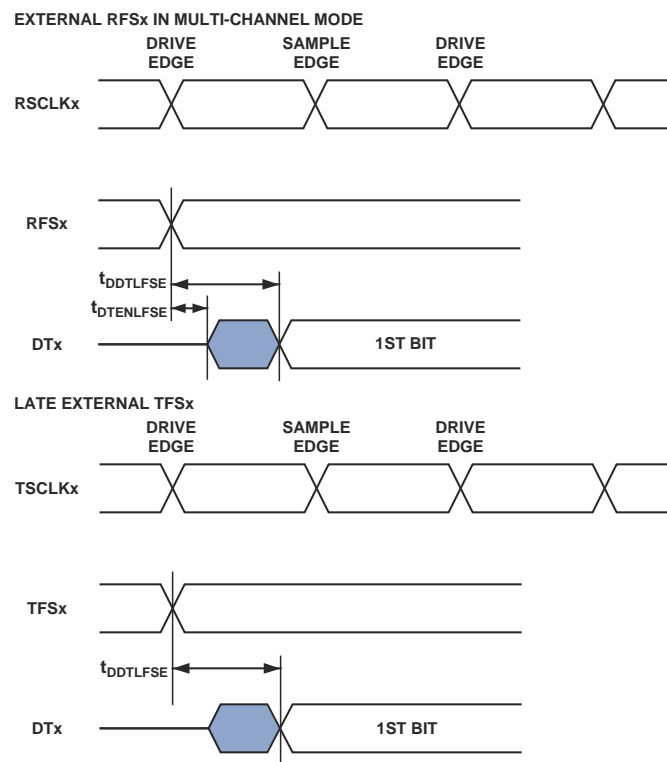


图27. 串行端口—外部晚帧同步



# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 串行外设接口(SPI)端口—主机时序

表48和图28描述SPI端口主机操作。

**表48. 串行外设接口(SPI)端口—主机时序**

参数	ADSP-BF522/ADSP-BF524/ ADSP-BF526				ADSP-BF523/ADSP-BF525/ ADSP-BF527				单位
	$V_{DDEXT}$ 1.8V 标称值		$V_{DDEXT}$ 2.5 V或3.3V 标称值		$V_{DDEXT}$ 1.8V 标称值		$V_{DDEXT}$ 2.5 V或3.3V 标称值		
	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
时序要求									
$t_{SSPIDM}$ 数据输入有效到SCK边沿 (数据输入建立)	11.6		9.6		11.6		9.6		ns
$t_{HSPIDM}$ SCK采样沿到数据输入无效	-1.5		-1.5		-1.5		-1.5		ns
开关特性									
$t_{SDSCIM}$ $\overline{SPISELX}$ 低电平到第一个SCK边沿	$2 \times t_{SCLK} - 1.5$		$2 \times t_{SCLK} - 1.5$		$2 \times t_{SCLK} - 1.5$		$2 \times t_{SCLK} - 1.5$		ns
$t_{SPICHM}$ 串行时钟高电平周期	$2 \times t_{SCLK} - 1.5$		$2 \times t_{SCLK} - 1.5$		$2 \times t_{SCLK} - 1.5$		$2 \times t_{SCLK} - 1.5$		ns
$t_{SPICLM}$ 串行时钟低电平周期	$2 \times t_{SCLK} - 1.5$		$2 \times t_{SCLK} - 1.5$		$2 \times t_{SCLK} - 1.5$		$2 \times t_{SCLK} - 1.5$		ns
$t_{SPICLK}$ 串行时钟周期	$4 \times t_{SCLK} - 1.5$		$4 \times t_{SCLK} - 1.5$		$4 \times t_{SCLK} - 1.5$		$4 \times t_{SCLK} - 1.5$		ns
$t_{HDSM}$ 最后一个SCK边沿到 $\overline{SPISELX}$ 高电平	$2 \times t_{SCLK} - 1.5$		$2 \times t_{SCLK} - 1.5$		$2 \times t_{SCLK} - 1.5$		$2 \times t_{SCLK} - 1.5$		ns
$t_{SPITDM}$ 顺序传输延迟时间	$2 \times t_{SCLK} - 1.5$		$2 \times t_{SCLK} - 1.5$		$2 \times t_{SCLK} - 1.5$		$2 \times t_{SCLK} - 1.5$		ns
$t_{DDSPIDM}$ SCK边沿到数据输出有效 (数据输出延迟)		6		6		6		6	ns
$t_{HDSPIDM}$ SCK边沿到数据输出无效 (数据输出保持)	-1.0		-1.0		-1.0		-1.0		ns

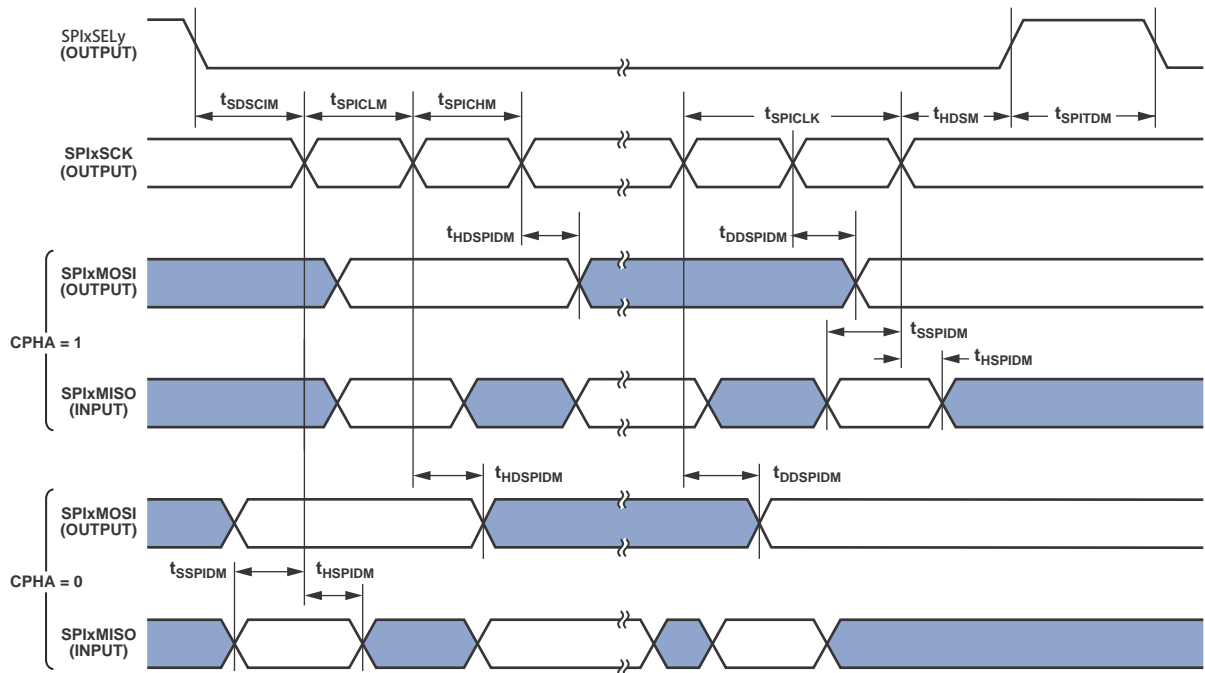


图28. 串行外设接口(SPI)端口—主机时序

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 串行外设接口(SPI)端口—从机时序

表49和图29描述SPI端口从机操作。

表49. 串行外设接口(SPI)端口—从机时序

参数	ADSP-BF522/ADSP-BF524/ ADSP-BF526				ADSP-BF523/ADSP-BF525/ ADSP-BF527				单位		
	$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值		$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值				
	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值			
时序要求											
$t_{SPICHS}$	串行时钟高电平周期										ns
$t_{SPICLS}$	串行时钟低电平周期										ns
$t_{SPICLK}$	串行时钟周期										ns
$t_{HDS}$	最后一个SCK边沿到 $\overline{SPISS}$ 未置位										ns
$t_{SPITDS}$	顺序传输延迟时间										ns
$t_{SDSCI}$	$\overline{SPISS}$ 置位到第一个SCK边沿										ns
$t_{SSPID}$	数据输入有效到SCK边沿(数据输入建立)										ns
$t_{HSPID}$	SCK采样沿到数据输入无效										ns
开关特性											
$t_{DSOE}$	$\overline{SPISS}$ 置位至数据输出有效										ns
$t_{DSDHI}$	$\overline{SPISS}$ 解除置位到数据高阻态										ns
$t_{DDSPID}$	SCK边沿到数据输出有效(数据输出延迟)										ns
$t_{HDSPID}$	SCK边沿到数据输出无效(数据输出保持)										ns

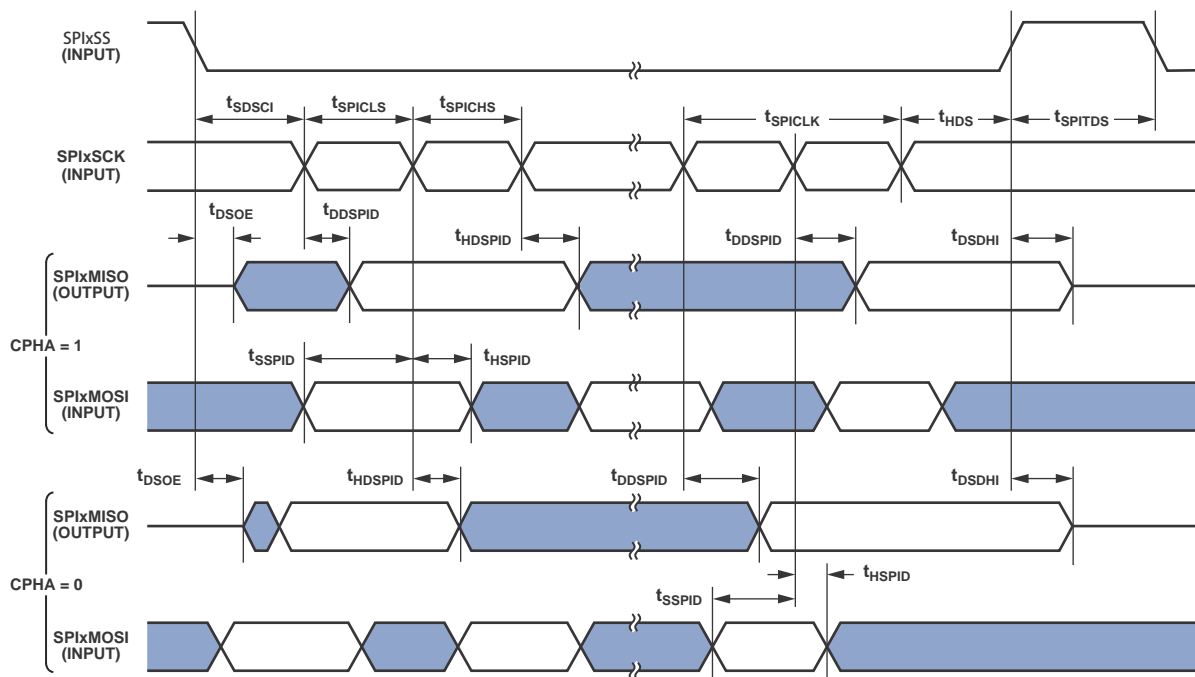


图29. 串行外设接口(SPI)端口—从机时序

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 通用串行总线(USB) OTG—接收和发送时序

表50描述USB OTG接收和发送操作。

**表50. USB OTG—接收和发送时序**

参数		ADSP-BF522/ADSP-BF524/ADSP-BF526				ADSP-BF523/ADSP-BF525/ ADSP-BF527				单位
		$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值		$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值		
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
时序要求										
$f_{USB}$	USB_XI频率	12	33.3	12	33.3	9	33.3	9	33.3	MHz
$FS_{USB}$	USB_XI时钟频率稳定性	-50	50	-50	50	-50	50	-50	50	ppm

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 通用异步接收器-发送器(UART)端口—接收和发送时序

有关UART端口接收和发送操作的信息，参见《ADSP-BF52x硬件参考手册》。

## 通用端口时序

表51和图30描述通用端口操作。

表51. ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的通用端口时序

参数	$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值		单位
	最小值	最大值	最小值	最大值	
时序要求					
$t_{WFI}$ 通用端口引脚输入脉冲宽度	$t_{SCLK} + 1$		$t_{SCLK} + 1$		ns
开关特性					
$t_{GPOD}$ 自CLKOUT低电平起的通用端口引脚输出延迟时间	0	11.0	0	8.2	ns

表52. ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的通用端口时序

参数	$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值		单位
	最小值	最大值	最小值	最大值	
时序要求					
$t_{WFI}$ 通用端口引脚输入脉冲宽度	$t_{SCLK} + 1$		$t_{SCLK} + 1$		ns
开关特性					
$t_{GPOD}$ 自CLKOUT低电平起的通用端口引脚输出延迟时间	0	8.2	0	6.5	ns

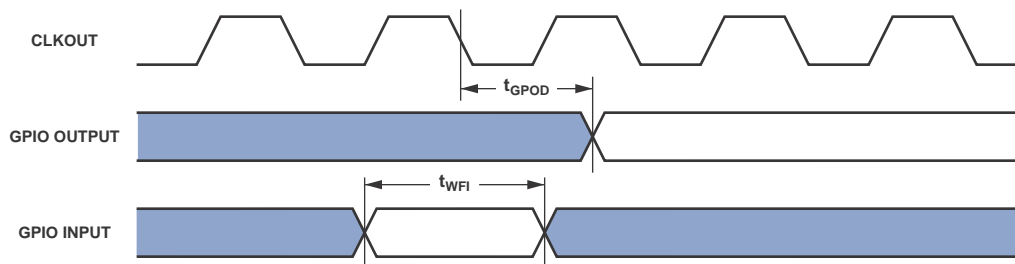


图30. 通用端口时序

## 定时器周期时序

表53和图31描述定时器超时操作。输入信号在“宽度捕捉模式”和“外部时钟模式”下是异步的，并具有( $f_{SCLK}/2$ )MHz的绝对最大输入频率。

表53. 定时器周期时序

参数	ADSP-BF522/ADSP-BF524/ADSP-BF526				ADSP-BF523/ADSP-BF525/ADSP-BF527				单位	
	$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值		$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值			
	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值		
时序要求										
$t_{WL}$	定时器脉冲宽度输入低电平(用SCLK周期衡量) <sup>1</sup>		$t_{SCLK}$		$t_{SCLK}$		$t_{SCLK}$		ns	
$t_{WH}$	定时器脉冲宽度输入高电平(用SCLK周期衡量) <sup>1</sup>		$t_{SCLK}$		$t_{SCLK}$		$t_{SCLK}$		ns	
$t_{TIS}$	CLKOUT低电平之前定时器输入建立时间 <sup>2</sup>		10		7		8.1		ns	
$t_{TIH}$	CLKOUT低电平之后定时器输入保持时间 <sup>2</sup>		-2		-2		-2		ns	
开关特性										
$t_{HTO}$	定时器脉冲宽度输出(用SCLK周期衡量)		$t_{SCLK} - 1.5$ $(2^{32} - 1)t_{SCLK}$		$t_{SCLK} - 1$ $(2^{32} - 1)t_{SCLK}$		$t_{SCLK} - 1$ $(2^{32} - 1)t_{SCLK}$		$t_{SCLK} - 1$ $(2^{32} - 1)t_{SCLK}$	
$t_{TOD}$	CLKOUT高电平之后定时器输出更新延迟时间		6		6		6		ns	

<sup>1</sup> 最小脉冲宽度适用于宽度捕捉和外部时钟模式下的TMRx信号，此外也适用于PWM输出模式下的PF15或PPI\_CLK信号。

<sup>2</sup> 有效建立和保持时间或有效脉冲宽度就足够了，不需要重新同步可编程标志输入。

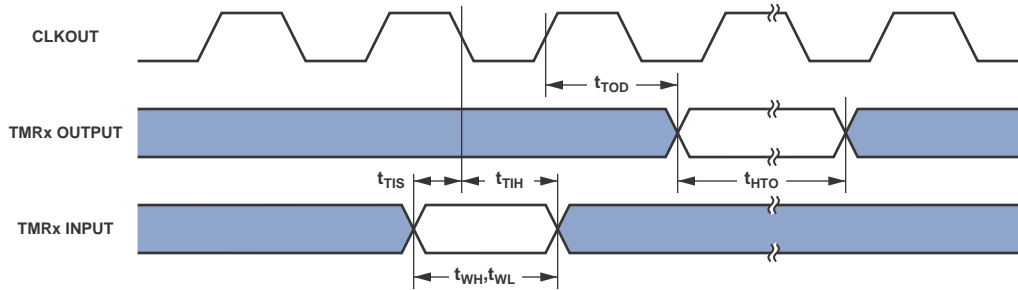


图31. 定时器周期时序

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 定时器时钟时序

表54和图32描述定时器时钟时序。

表54. 定时器时钟时序

参数		$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5V或3.3V标称值		单位
		最小值	最大值	最小值	最大值	
开关特性						
$t_{TODP}$	PPI_CLK高电平之后定时器输出更新延迟时间		12.0		12.0	ns

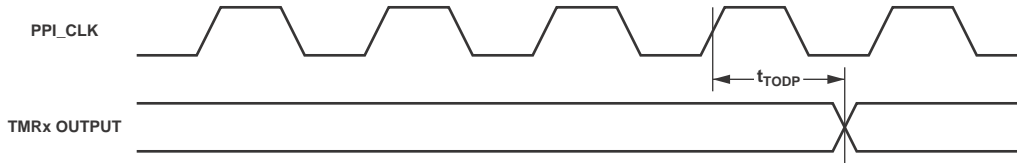


图32. 定时器时钟时序

## 升降计数器/旋转编码器时序

表55. 升降计数器/旋转编码器时序

参数		$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5V或3.3V标称值		单位
		最小值	最大值	最小值	最大值	
时序要求						
$t_{WCOUNT}$	升降计数器/旋转编码器输入脉冲宽度	$SCLK + 1$		$t_{SCLK} + 1$		ns
$t_{CIS}$	CLKOUT高电平之前计数器输入建立时间 <sup>1</sup>	9.0		7.0		ns
$t_{CIH}$	CLKOUT高电平之后计数器输入保持时间 <sup>1</sup>	0		0		ns

<sup>1</sup> 有效建立和保持时间或有效脉冲宽度就足够了，不需要重新同步计数器输入。

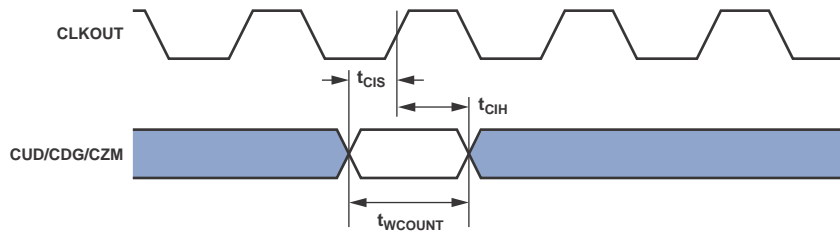


图33. 升降计数器/旋转编码器时序

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## HOSTDP A/C时序—主机读周期

表56描述HOSTDP A/C主机读周期时序要求。

**表56. 主机读周期时序要求**

参数	ADSP-BF522/ADSP-BF524/ ADSP-BF526				ADSP-BF523/ADSP-BF525/ ADSP-BF527				单位	
	$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值		$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值			
	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值		
<b>时序要求</b>										
$t_{SADRDL}$	HOST_RD下降沿之前HOST_ADDR和HOST_CE建立时间		4		4		4		ns	
$t_{HADRDH}$	HOST_RD上升沿之后HOST_ADDR和HOST_CE保持时间		2.5		2.5		2.5		ns	
$t_{RDWL}$	HOST_RD低电平脉冲宽度(ACK模式)		$t_{DRDYRDL} + t_{RDYPRD} + t_{DRDHRDY}$		$t_{DRDYRDL} + t_{RDYPRD} + t_{DRDHRDY}$		$t_{DRDYRDL} + t_{RDYPRD} + t_{DRDHRDY}$		ns	
$t_{RDWL}$	HOST_RD低电平脉冲宽度(INT模式)		$1.5 \times t_{SCLK} + 8.7$		$1.5 \times t_{SCLK} + 8.7$		$1.5 \times t_{SCLK} + 8.7$		ns	
$t_{RDWH}$	HOST_RD上升沿与HOST_WR下降沿之间的HOST_RD高电平脉冲宽度或时间		$2 \times t_{SCLK}$		$2 \times t_{SCLK}$		$2 \times t_{SCLK}$		ns	
$t_{DRDHRDY}$	HOST_ACK上升沿之后的HOST_RD上升沿延迟时间(ACK模式)		2.0		2.0		0		ns	
<b>开关特性</b>										
$t_{SDATRDY}$	HOST_ACK上升沿前的数据有效时间(ACK模式)		4.5		3.5		4.5		ns	
$t_{DRDYRDL}$	HOST_CE后的Host_ACK下降沿(ACK模式)		12.5		11.25		11.25		ns	
$t_{RDYPRD}$	读访问的HOST_ACK低电平脉冲宽度(ACK模式)		NM <sup>1</sup>		NM <sup>1</sup>		NM <sup>1</sup>		ns	
$t_{DDARWH}$	HOST_RD后的数据禁用时间		11.0		9.0		9.0		ns	
$t_{ACC}$	HOST_RD下降沿后的数据有效时间(INT模式)		$1.5 \times t_{SCLK}$		$1.5 \times t_{SCLK}$		$1.5 \times t_{SCLK}$		ns	
$t_{HDARWH}$	HOST_RD上升沿后的数据保持时间		1.0		1.0		1.0		ns	

<sup>1</sup> NM(未测量)—此参数基于 $t_{SCLK}$ 。之所以未测量,是因为HOST\_ACK保持低电平的SCLK周期数取决于主机DMA FIFO状态,并且与系统设计相关。

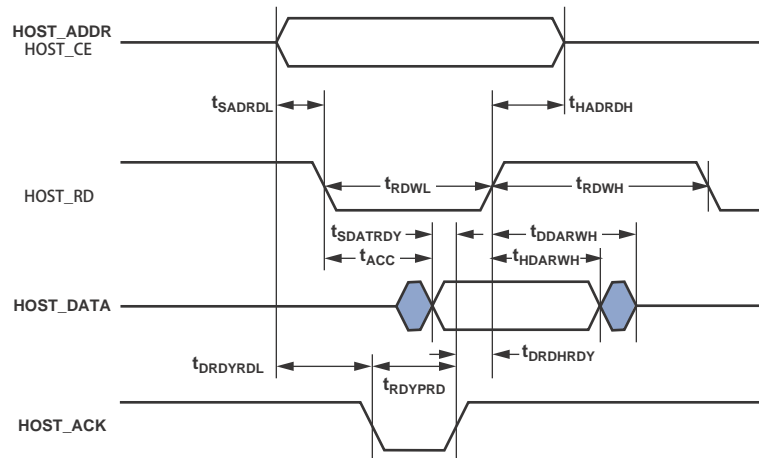


图34中，HOST\_DATA为HOST\_D0-D15。

图34. HOSTDP A/C—主机读周期



# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## HOSTDP A/C时序—主机写周期

表57描述HOSTDP A/C主机写周期时序要求。

**表57. 主机写周期时序要求**

参数	ADSP-BF522/ADSP-BF524/ ADSP-BF526				ADSP-BF523/ADSP-BF525/ ADSP-BF527				单位	
	$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值		$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值			
	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值		
<b>时序要求</b>										
$t_{SADWRL}$	HOST_WR下降沿之前HOST_ADDR/ HOST_CE建立时间	4		4		4		4		ns
$t_{HADWRH}$	HOST_WR上升沿之后HOST_ADDR/ HOST_CE保持时间	2.5		2.5		2.5		2.5		ns
$t_{WRWL}$	HOST_WR 低电平脉冲宽度 (ACK模式)	$t_{DRDYWRL} +$ $t_{RDYPRD} +$ $t_{DWRHRDY}$		$t_{DRDYWRL} +$ $t_{RDYPRD} +$ $t_{DWRHRDY}$		$t_{DRDYWRL} +$ $t_{RDYPRD} +$ $t_{DWRHRDY}$		$t_{DRDYWRL} +$ $t_{RDYPRD} +$ $t_{DWRHRDY}$		ns
	HOST_WR 低电平脉冲宽度 (INT模式)	$1.5 \times t_{SCLK}$ + 8.7		$1.5 \times t_{SCLK}$ + 8.7		$1.5 \times t_{SCLK}$ + 8.7		$1.5 \times t_{SCLK}$ + 8.7		ns
$t_{WRWH}$	HOST_WR上升沿与HOST_RD下降沿 之间的HOST_WR高电平脉冲宽度或 时间	$2 \times t_{SCLK}$		$2 \times t_{SCLK}$		$2 \times t_{SCLK}$		$2 \times t_{SCLK}$		ns
$t_{DWRHRDY}$	HOST_ACK上升沿之后的HOST_WR 上升沿延迟时间(ACK模式)	2.0		2.0		0		0		ns
$t_{HDATWH}$	HOST_WR上升沿后的数据保持时间	2.5		2.5		2.5		2.5		ns
$t_{SDATWH}$	HOST_WR上升沿前的数据建立时间	3.5		2.5		2.5		2.5		ns
<b>开关特性</b>										
$t_{DRDYWRL}$	HOST_CE置位后的HOST_ACK下降沿 (ACK模式)	12.5		11.5		11.5		11.5		ns
$t_{RDYPWR}$	写访问的HOST_ACK低电平脉冲宽度 (ACK模式)	NM <sup>1</sup>		NM <sup>1</sup>		NM <sup>1</sup>		NM <sup>1</sup>		ns

<sup>1</sup> NM(未测量)—此参数基于 $t_{SCLK}$ 。之所以未测量，是因为HOST\_ACK保持低电平的SCLK周期数取决于主机DMA FIFO状态，并且与系统设计相关。

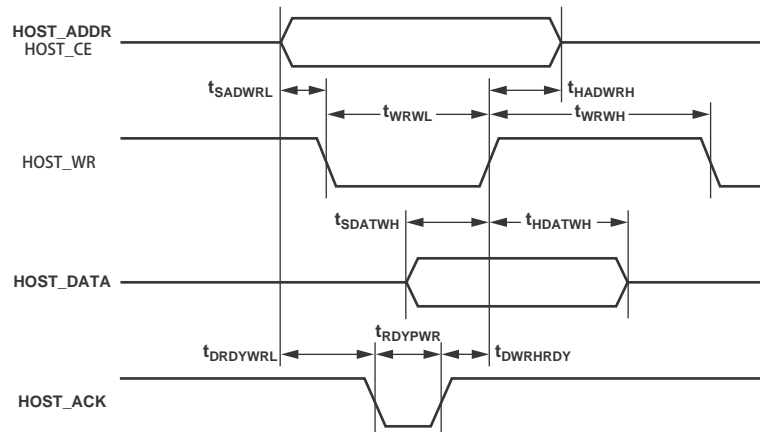


图35中，HOST\_DATA为HOST\_D0-D15。

图35. HOSTDP A/C—主机写周期

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 10/100以太网MAC控制器时序

表58至表63和图36至图41描述10/100以太网MAC控制器操作。

**表58. 10/100以太网MAC控制器时序：MII接收信号**

参数 <sup>1</sup>		V <sub>DDEXT</sub> 1.8V标称值		V <sub>DDEXT</sub> 2.5 V或3.3V标称值		单位
		最小值	最大值	最小值	最大值	
时序要求						
t <sub>ERXCLKF</sub>	ERxCLK频率(f <sub>SCLK</sub> = SCLK频率)	None	25 + 1%	None	25 + 1%	MHz
t <sub>ERXCLKW</sub>	ERxCLK宽度(t <sub>ERXCLK</sub> = ERxCLK周期)	t <sub>ERXCLK</sub> × 40%	t <sub>ERXCLK</sub> × 60%	t <sub>ERXCLK</sub> × 35%	t <sub>ERXCLK</sub> × 65%	ns
t <sub>ERXCLKIS</sub>	接收输入有效到ERxCLK上升沿(数据输入建立)	7.5		7.5		ns
t <sub>ERXCLKIH</sub>	ERxCLK上升沿到接收输入无效(数据输入保持)	7.5		7.5		ns

<sup>1</sup> 与ERxCLK同步的MII输入有ERxD3-0、ERxDV和ERxER。

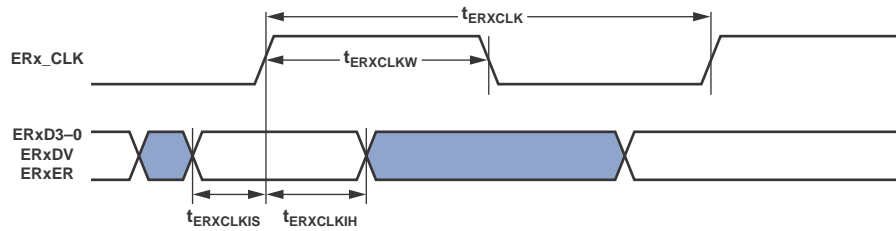


图36. 10/100以太网MAC控制器时序：MII接收信号

**表59. 10/100以太网MAC控制器时序：MII发送信号**

参数 <sup>1</sup>		V <sub>DDEXT</sub> 1.8V标称值		V <sub>DDEXT</sub> 2.5 V或3.3V标称值		单位
		最小值	最大值	最小值	最大值	
开关特性						
t <sub>ETXCLKF</sub>	ETxCLK频率(f <sub>SCLK</sub> = SCLK频率)	None	25 + 1%	None	25 + 1%	MHz
t <sub>ETXCLKW</sub>	ETxCLK宽度(t <sub>ETXCLK</sub> = ETxCLK周期)	t <sub>ETXCLK</sub> × 40%	t <sub>ETXCLK</sub> × 60%	t <sub>ETXCLK</sub> × 35%	t <sub>ETXCLK</sub> × 65%	ns
t <sub>ETXCLKOV</sub>	ETxCLK上升沿至发送输出有效(数据输出有效)		20		20	ns
t <sub>ETXCLKOH</sub>	ETxCLK上升沿至发送输出无效(数据输出保持)	0		0		ns

<sup>1</sup> 与ETxCLK同步的MII输出有ETxD3-0。

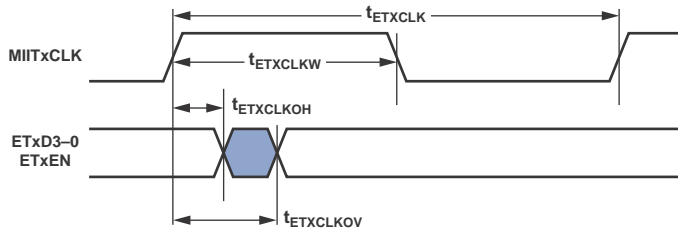


图37. 10/100以太网MAC控制器时序：MII发送信号

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

**表60. 10/100以太网MAC控制器时序：RMII接收信号**

参数 <sup>1</sup>		$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值		单位
		最小值	最大值	最小值	最大值	
时序要求						
$t_{REFCLKF}$	REF_CLK频率( $f_{SCLK} = SCLK$ 频率)	None	50 + 1%	None	50 + 1%	MHz
$t_{REFCLKW}$	EREF_CLK宽度( $t_{EREFCLK} = EREFCLK$ 周期)	$t_{EREFCLK} \times 40\%$	$t_{EREFCLK} \times 60\%$	$t_{EREFCLK} \times 35\%$	$t_{EREFCLK} \times 65\%$	ns
$t_{REFCLKIS}$	接收输入有效到RMII REF_CLK上升沿 (数据输入建立)	4		4		ns
$t_{REFCLKIH}$	RMII REF_CLK上升沿到接收输入无效 (数据输入保持)	2		2		ns

<sup>1</sup> 与RMII REF\_CLK同步的RMII输入有ERxD1-0、RMII CRS\_DV和ERxER。

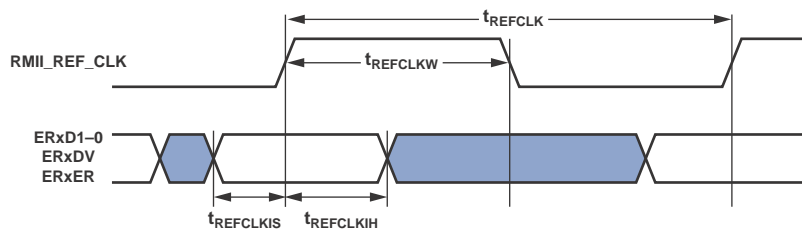


图38. 10/100以太网MAC控制器时序：RMII接收信号

**表61. 10/100以太网MAC控制器时序：RMII发送信号**

参数 <sup>1</sup>		ADSP-BF522/ADSP-BF524/ ADSP-BF526				ADSP-BF523/ADSP-BF525/ ADSP-BF527				单位
		$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V 标称值		$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V 标称值		
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
开关特性										
$t_{REFCLKOV}$	RMII REF_CLK上升沿至发送 输出有效(数据输出有效)		8.1		8.1		7.5		7.5	ns
$t_{REFCLKOH}$	RMII REF_CLK上升沿至发送 输出无效(数据输出保持)	2		2		2		2		ns

<sup>1</sup> 与RMII REF\_CLK同步的RMII输出有ETxD1-0。

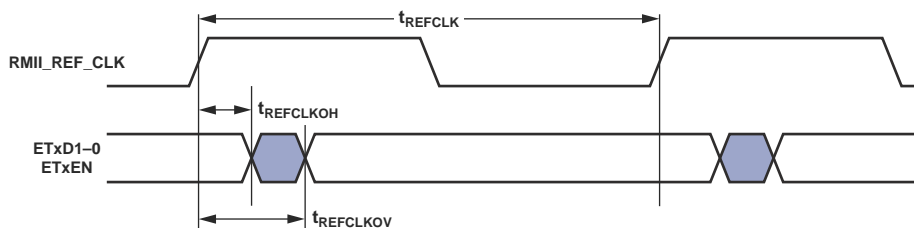


图39. 10/100以太网MAC控制器时序：RMII发送信号

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

**表62. 10/100以太网MAC控制器时序：MII/RMII异步信号**

参数		V <sub>DDEXT</sub> 1.8V标称值		V <sub>DDEXT</sub> 2.5 V或3.3V标称值		单位
		最小值	最大值	最小值	最大值	
时序要求						
t <sub>ECOLH</sub>	COL高电平脉冲宽度 <sup>1</sup>	t <sub>ETxCLK</sub> × 1.5	t <sub>ERxCLK</sub> × 1.5	t <sub>ETxCLK</sub> × 1.5	t <sub>ERxCLK</sub> × 1.5	ns
t <sub>ECOLL</sub>	COL低电平脉冲宽度 <sup>1</sup>	t <sub>ETxCLK</sub> × 1.5	t <sub>ERxCLK</sub> × 1.5	t <sub>ETxCLK</sub> × 1.5	t <sub>ERxCLK</sub> × 1.5	ns
t <sub>ECRSH</sub>	CRS高电平脉冲宽度 <sup>2</sup>	t <sub>ETxCLK</sub> × 1.5	t <sub>ETxCLK</sub> × 1.5	t <sub>ETxCLK</sub> × 1.5	t <sub>ETxCLK</sub> × 1.5	ns
t <sub>ECRSL</sub>	CRS低电平脉冲宽度 <sup>2</sup>	t <sub>ETxCLK</sub> × 1.5	t <sub>ETxCLK</sub> × 1.5	t <sub>ETxCLK</sub> × 1.5	t <sub>ETxCLK</sub> × 1.5	ns

<sup>1</sup> MII/RMII异步信号有COL和CRS。这些信号在MII和RMII模式下均可使用。异步COL输入分别与ETxCLK和ERxCLK同步，COL输入的高电平或低电平最小脉冲宽度至少必须是这两个时钟中较慢者周期的1.5倍。

<sup>2</sup> 异步CRS输入与ETxCLK同步，CRS输入的高电平或低电平最小脉冲宽度至少必须是ETxCLK周期的1.5倍。

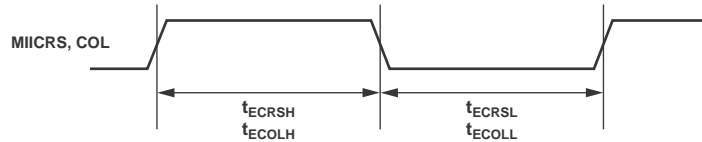


图40. 10/100以太网MAC控制器时序：异步信号

**表63. 10/100以太网MAC控制器时序：MII站管理**

参数 <sup>1</sup>		ADSP-BF522/ADSP-BF524/ ADSP-BF526				ADSP-BF523/ADSP-BF525/ ADSP-BF527				单位
		V <sub>DDEXT</sub> 1.8V标称值		V <sub>DDEXT</sub> 2.5 V或3.3V 标称值		V <sub>DDEXT</sub> 1.8V标称值		V <sub>DDEXT</sub> 2.5 V或3.3V 标称值		
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
时序要求										
t <sub>MDIOS</sub>	MDIO输入有效到MDC上升沿 (建立)	11.5		11.5		10		10		ns
t <sub>MDCIH</sub>	MDC上升沿到MDIO输入无效 (保持)	11.5		11.5		10		10		ns
开关特性										
t <sub>MDCOV</sub>	MDC下降沿到MDIO输出有效		25		25		25		25	ns
t <sub>MDCOH</sub>	MDC下降沿到MDIO输出无效 (保持)	-1		-1		-1		-1		ns

<sup>1</sup> MDC/MDIO是一个双线串行双向端口，用于控制一个或多个外部PHY。MDC是一个输出时钟，其最小周期可设置为系统时钟SCLK的倍数。MDIO是双向数据线。

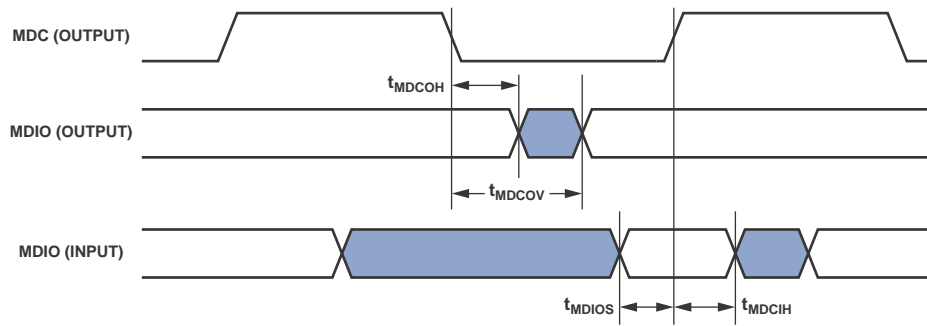


图41. 10/100以太网MAC控制器时序: MII站管理

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## JTAG测试和仿真端口时序

表64和图42描述JTAG端口操作。

表64. JTAG端口时序

参数		$V_{DDEXT}$ 1.8V标称值		$V_{DDEXT}$ 2.5 V或3.3V标称值		单位
		最小值	最大值	最小值	最大值	
时序要求						
$t_{TCK}$	TCK周期	20		20		ns
$t_{STAP}$	TCK高电平之前TDI、TMS建立时间	4		4		ns
$t_{HTAP}$	TCK高电平之后TDI、TMS保持时间	4		4		ns
$t_{SSYS}$	TCK高电平之前系统输入建立时间 <sup>1</sup>	12		12		ns
$t_{HSYS}$	TCK高电平之后系统输入保持时间 <sup>1</sup>	5		5		ns
$t_{TRSTW}$	$\overline{TRST}$ 脉冲宽度 <sup>2</sup> (用TCK周期衡量)					CK
开关特性						
$t_{DTDO}$	自TCK低电平起的TDO延迟时间		10		10	ns
$t_{DSYS}$	TCK低电平之后系统输出延迟时间 <sup>3</sup>		12		12	ns

<sup>1</sup> 系统输入 = DATA15-0, ARDY, SCL, SDA, PF15-0, PG15-0, PH15-0, RESET, NMI, BMODE3-0。

<sup>2</sup> 50 MHz最大值

<sup>3</sup> 系统输出 = DATA15-0, ADDR19-1, ABE1-0, AOE, ARE, AWE, AMS3-0, SRAS, SCAS, SWE, SCKE, CLKOUT, SA10, SMS, SCL, SDA, PF15-0, PG15-0, PH15-0。

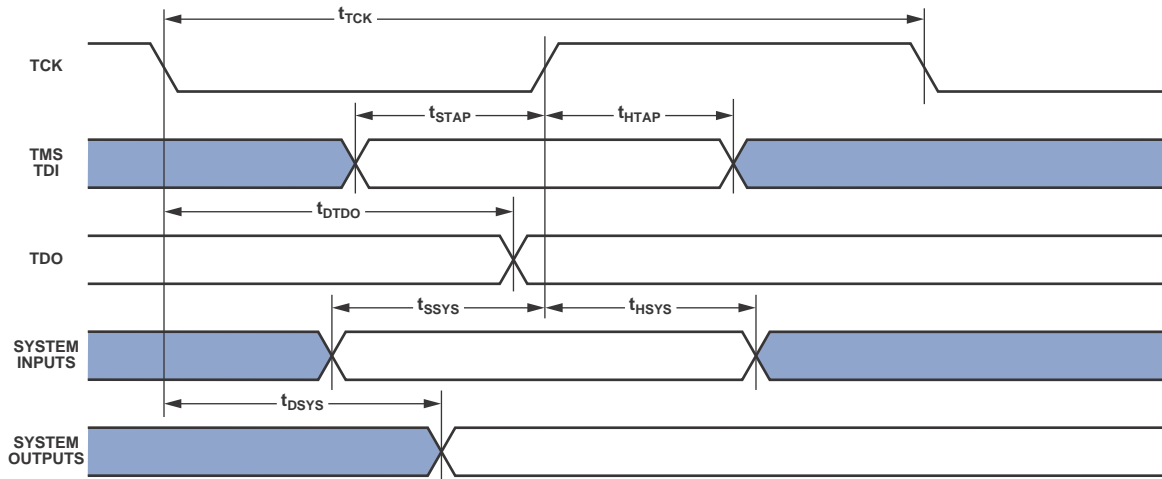


图42. JTAG端口时序

## 输出驱动电流

图43至图57显示ADSP-BF52x处理器的输出驱动器的典型电流-电压特性。

这些曲线代表输出驱动器的电流驱动能力。有关驱动器类型与特定引脚的对应关系，参见第22页的表10。

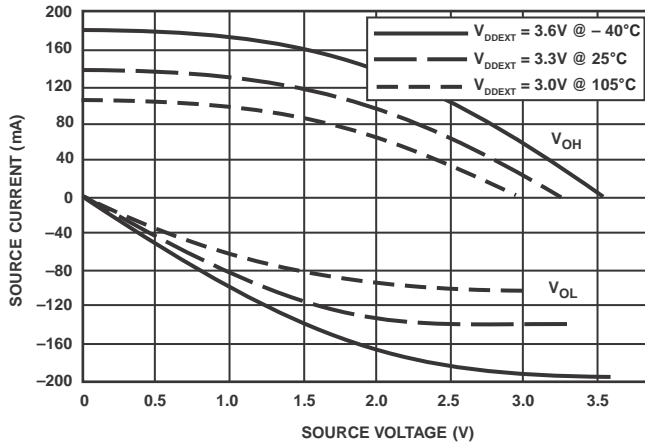


图43. A类驱动器电流( $3.3V V_{DDEXT}/V_{DDMEM}$ )

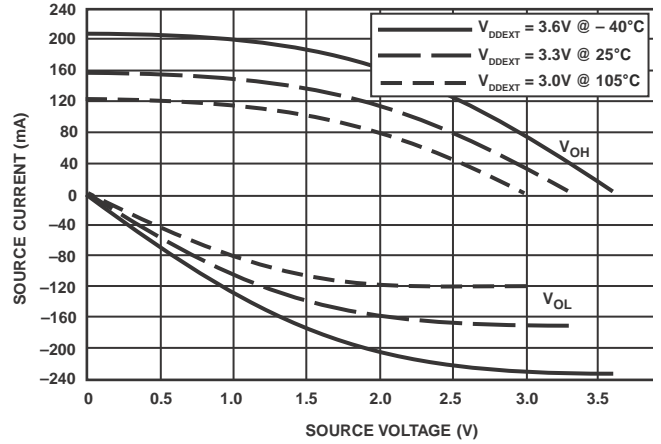


图46. B类驱动器电流( $3.3V V_{DDEXT}/V_{DDMEM}$ )

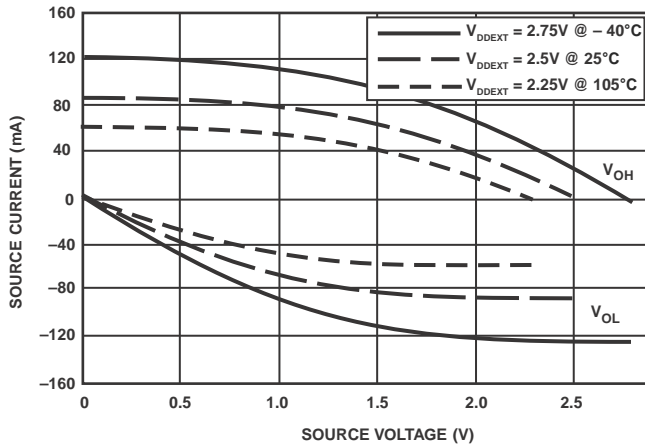


图44. A类驱动器电流( $2.5V V_{DDEXT}/V_{DDMEM}$ )

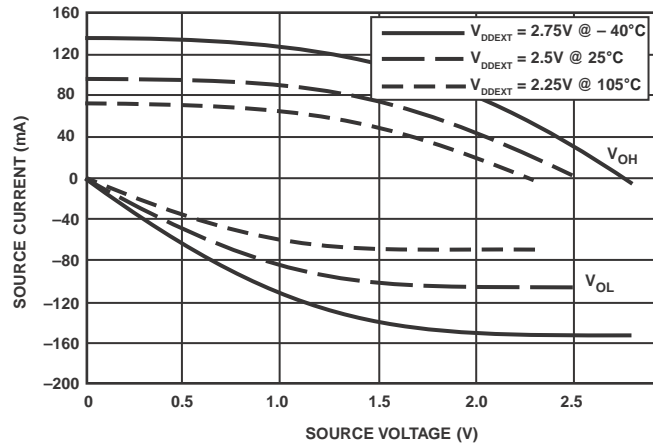


图47. B类驱动器电流( $2.5V V_{DDEXT}/V_{DDMEM}$ )

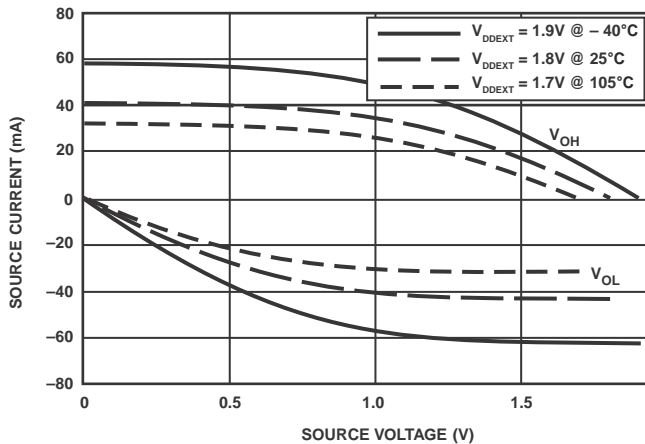


图45. A类驱动器电流( $1.8V V_{DDEXT}/V_{DDMEM}$ )

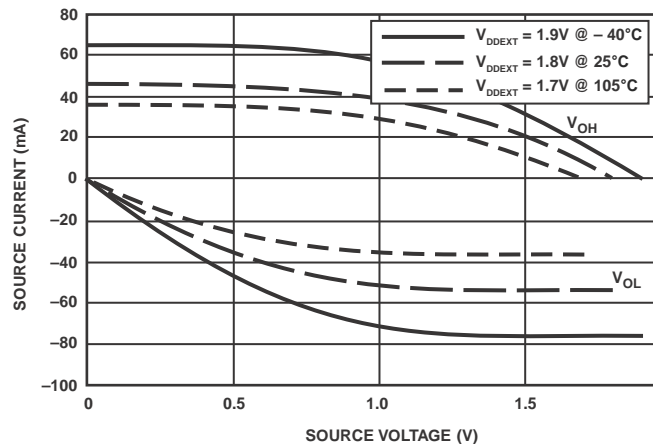


图48. B类驱动器电流( $1.8V V_{DDEXT}/V_{DDMEM}$ )



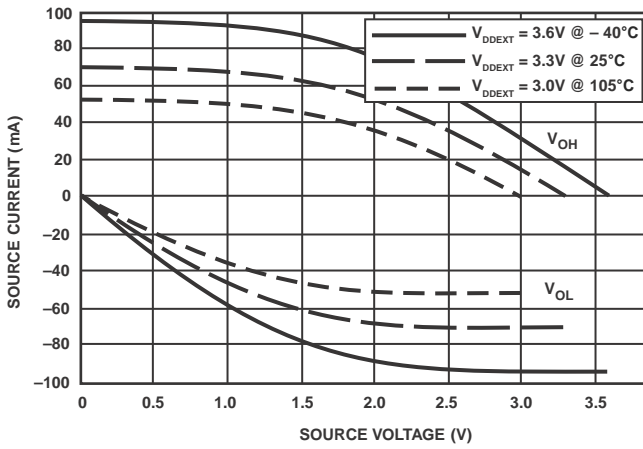


图49. C类驱动器电流( $3.3V V_{DDEXT}/V_{DDMEM}$ )

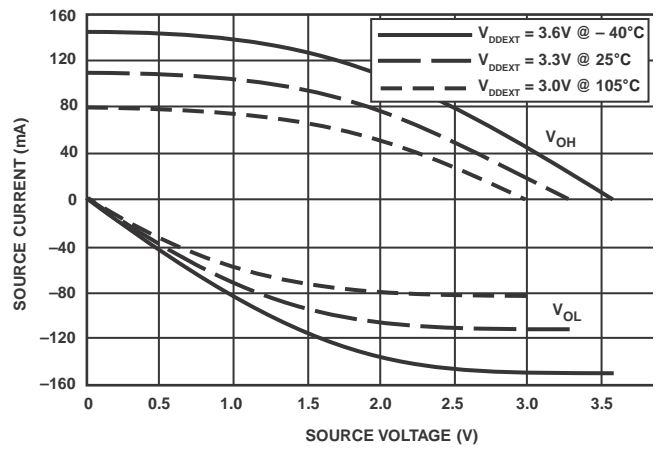


图52. D类驱动器电流( $3.3V V_{DDEXT}/V_{DDMEM}$ )

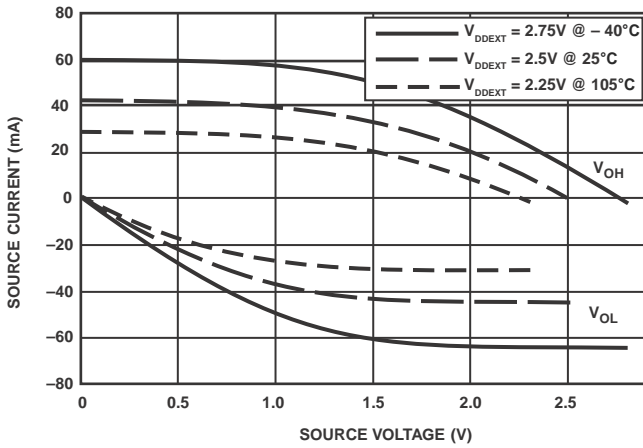


图50. C类驱动器电流( $2.5V V_{DDEXT}/V_{DDMEM}$ )

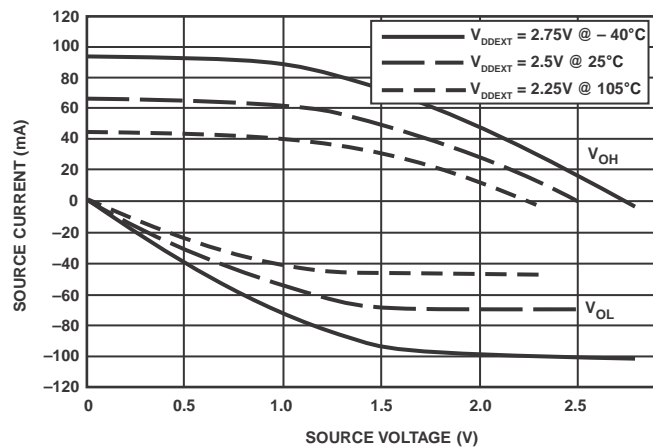


图53. D类驱动器电流( $2.5V V_{DDEXT}/V_{DDMEM}$ )

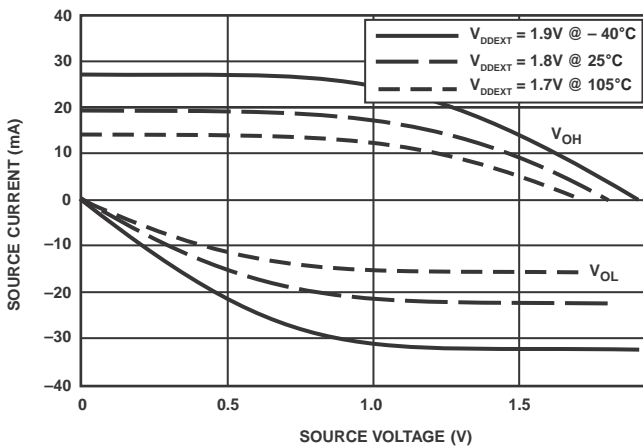


图51. C类驱动器电流( $1.8V V_{DDEXT}/V_{DDMEM}$ )

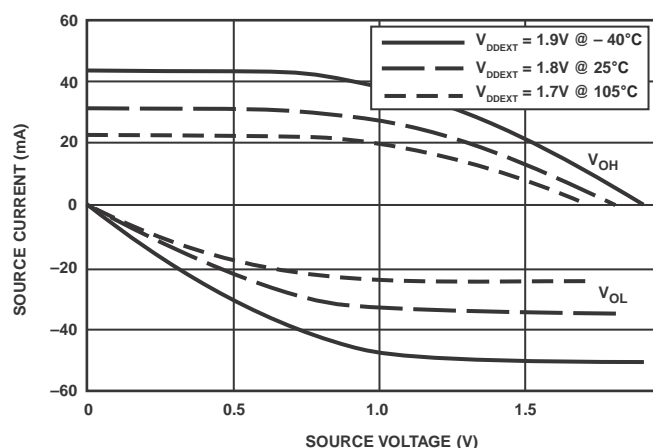


图54. D类驱动器电流( $1.8V V_{DDEXT}/V_{DDMEM}$ )

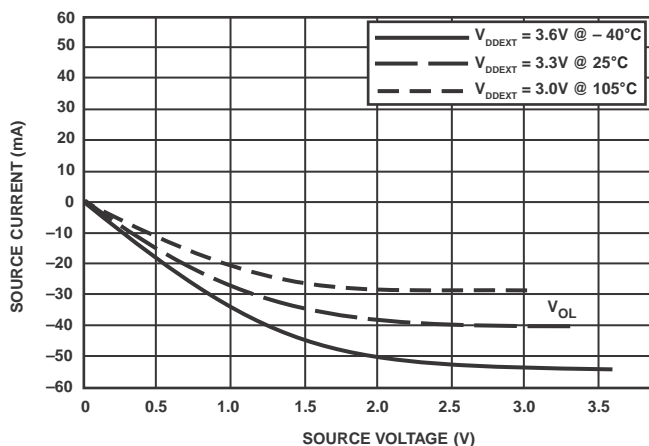


图55. E类驱动器电流(3.3V  $V_{DDEXT}/V_{DDMEM}$ )

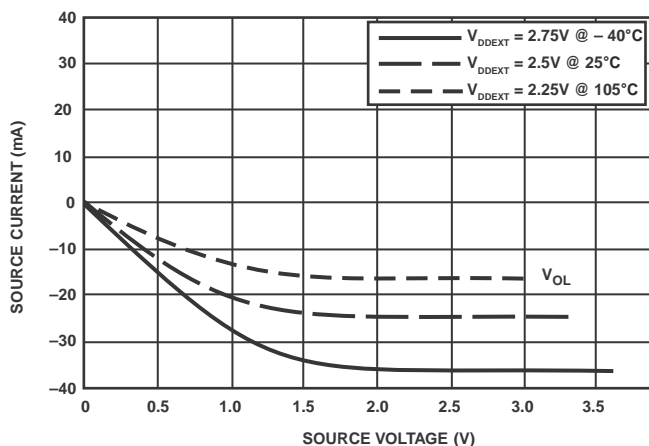


图56. E类驱动器电流(2.5V  $V_{DDEXT}/V_{DDMEM}$ )

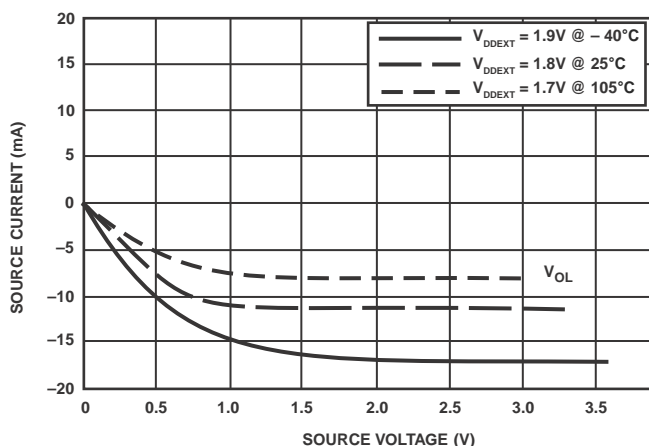


图57. E类驱动器电流(1.8V  $V_{DDEXT}/V_{DDMEM}$ )

## 测试条件

本数据手册中出现的所有时序要求都是在本部分所述条件下测量得到的。图58显示了交流测量(输出使能/禁用除外)的测量点。对于  $V_{DDEXT}/V_{DDMEM}$  (标称值) = 1.8 V/2.5 V/3.3 V, 测量点  $V_{MEAS}$  为  $V_{DDEXT}/2$  或  $V_{DDMEM}/2$ 。



图58. 交流测量(输出使能/禁用除外)的基准电压

## 输出使能时间测量

当输出引脚从高阻态跃迁到开始驱动的点时, 即认为输出信号已使能。

输出使能时间  $t_{ENA}$  指的是从参考信号达到高电平或低电平的点到输出开始驱动的点的时间间隔, 如图59右侧所示。

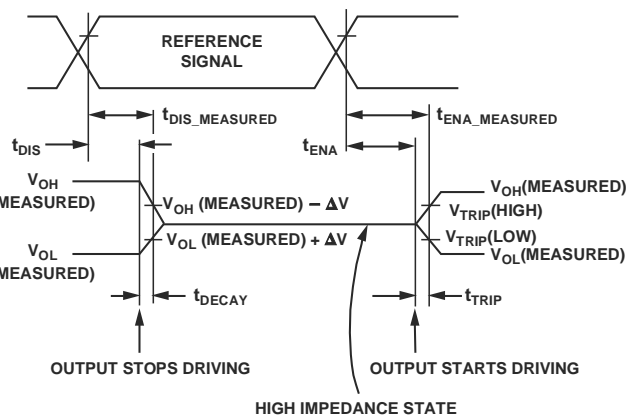


图59. 输出使能/禁用

时间  $t_{ENA\_MEASURED}$  指的是从参考信号切换时到输出电压达到  $V_{TRIP}(high)$  或  $V_{TRIP}(low)$  时的时间间隔。对于  $V_{DDEXT}/V_{DDMEM}$  (标称值) = 1.8 V,  $V_{TRIP}(高)$  为 1.05 V,  $V_{TRIP}(低)$  为 0.75 V。对于  $V_{DDEXT}/V_{DDMEM}$  (标称值) = 2.5 V,  $V_{TRIP}(高)$  为 1.5 V,  $V_{TRIP}(低)$  为 1.0 V。对于  $V_{DDEXT}/V_{DDMEM}$  (标称值) = 3.3 V,  $V_{TRIP}(高)$  为 1.9 V,  $V_{TRIP}(低)$  为 1.4 V。时间  $t_{TRIP}$  指的是从输出开始驱动时到输出电压达到  $V_{TRIP}(高)$  或  $V_{TRIP}(低)$  跳变电压时的时间间隔。

时间  $t_{ENA}$  的计算公式如下:

$$t_{ENA} = t_{ENA\_MEASURED} - t_{TRIP}$$

如有多个引脚(如数据总线等)使能, 则测量值对应于第一个开始驱动的引脚。

## 输出禁用时间测量

当输出引脚停止驱动、进入高阻态并开始从输出高电压或低电压衰减时，即认为输出信号已禁用。输出禁用时间 $t_{DIS}$ 指的是 $t_{DIS\_MEASURED}$ 与 $t_{DECAY}$ 之差，如图59左侧所示。

$$t_{DIS} = t_{DIS\_MEASURED} - t_{DECAY}$$

总线电压衰减 $\Delta V$ 的时间取决于容性负载 $C_L$ 和负载电流 $I_L$ 。此衰减时间可以通过下式近似计算：

$$t_{DECAY} = (C_L \Delta V) / I_L$$

时间 $t_{DECAY}$ 利用测试负载 $C_L$ 和 $I_L$ 计算，当 $V_{DDEXT}/V_{DDMEM}$  (标称值) = 2.5 V/3.3 V时， $\Delta V$ 为0.25 V；当 $V_{DDEXT}/V_{DDMEM}$  (标称值) = 1.8V时， $\Delta V$ 为0.15 V。

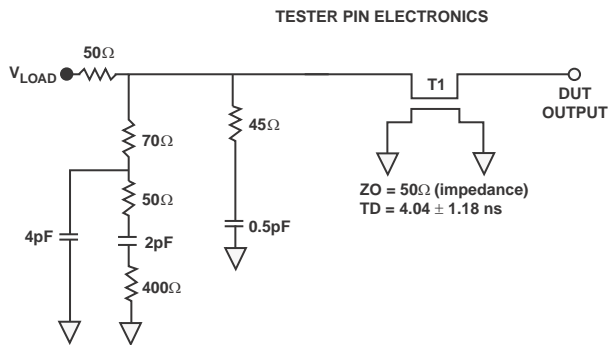
时间 $t_{DIS\_MEASURED}$ 指的是从参考信号切换时到输出电压从实测输出高电压或低电压衰减 $\Delta V$ 时的时间间隔。

## 系统保持时间计算示例

为了计算特定系统的数据输出保持时间，首先应利用上面给出的公式计算 $t_{DECAY}$ 。选择 $\Delta V$ 等于处理器的输出电压与要求保持时间的器件输入阈值之差。 $C_L$ 为总线总电容(每条数据线)， $I_L$ 为总泄漏或三态电流(每条数据线)。保持时间为 $t_{DECAY}$ 加上第38页的时序规格所规定的各种输出禁用时间(例如：对于SDRAM写周期，应加上 $t_{DSDAT}$ ，如第46页的SDRAM接口时序所示)。

## 容性负载

输出延迟和保持时间基于所有引脚平均6 pF的标准容性负载(参见图60)。  $V_{LOAD}$  等于 $(V_{DDEXT}/V_{DDMEM})/2$ 。图61至图72显示输出上升时间随电容而变化的情况。给定的延迟和保持时间规格应根据从这些图得出的系数减少。在所示范围以外，这些图中的曲线可能不是线性的。



NOTES:  
THE WORST CASE TRANSMISSION LINE DELAY IS SHOWN AND CAN BE USED FOR THE OUTPUT TIMING ANALYSIS TO REFLECT THE TRANSMISSION LINE EFFECT AND MUST BE CONSIDERED. THE TRANSMISSION LINE (TD) IS FOR LOAD ONLY AND DOES NOT AFFECT THE DATA SHEET TIMING SPECIFICATIONS.

ANALOG DEVICES RECOMMENDS USING THE IBIS MODEL TIMING FOR A GIVEN SYSTEM REQUIREMENT. IF NECESSARY, A SYSTEM MAY INCORPORATE EXTERNAL DRIVERS TO COMPENSATE FOR ANY TIMING DIFFERENCES.

图60. 交流测量的等效器件负载 (包括所有配件)

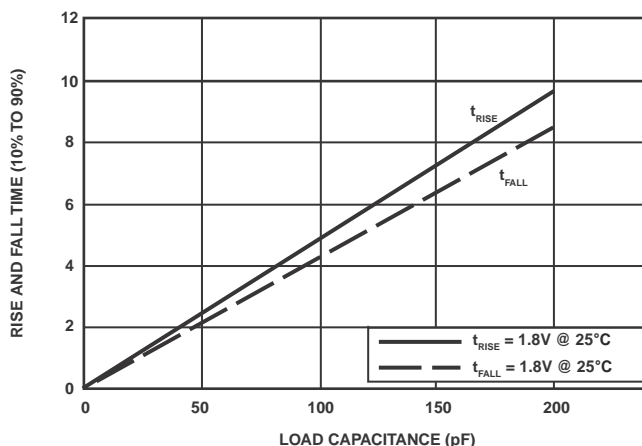


图61. A类驱动器典型上升和下降时间(10%–90%)与负载电容的关系(1.8V  $V_{DDEXT}/V_{DDMEM}$ )

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

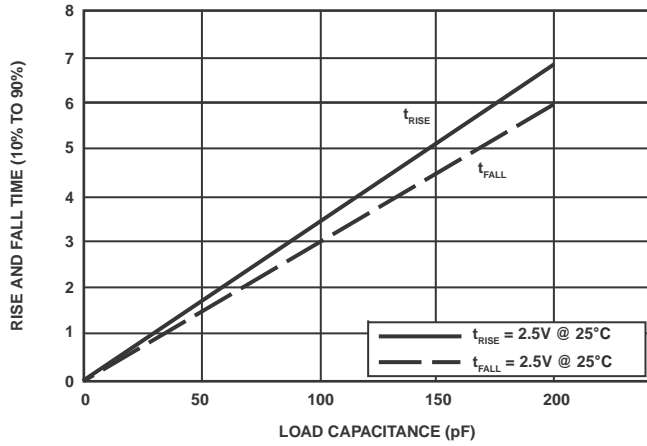


图62. A类驱动器典型上升和下降时间(10%~90%)与负载电容的关系(2.5V  $V_{DDEXT}/V_{DDMEM}$ )

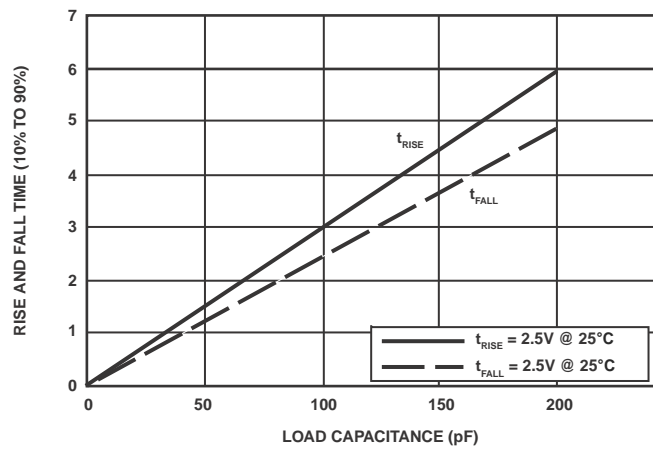


图65. B类驱动器典型上升和下降时间(10%~90%)与负载电容的关系(2.5V  $V_{DDEXT}/V_{DDMEM}$ )

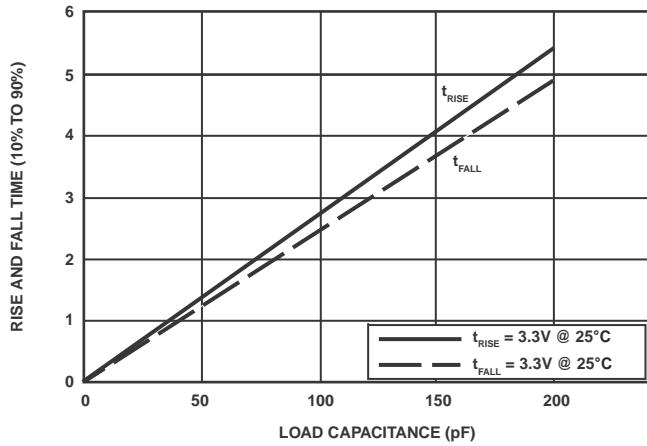


图63. A类驱动器典型上升和下降时间(10%~90%)与负载电容的关系(3.3V  $V_{DDEXT}/V_{DDMEM}$ )

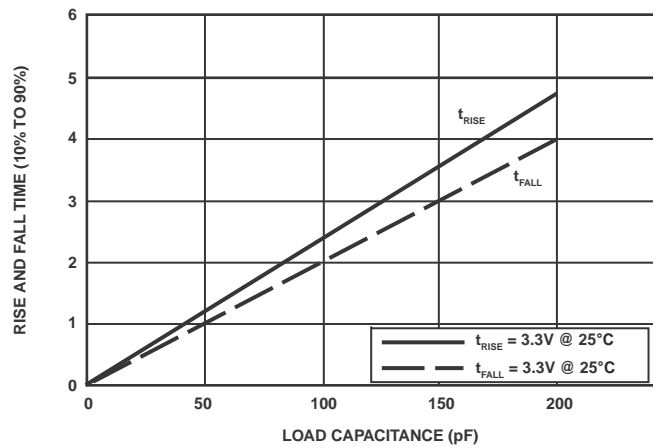


图66. B类驱动器典型上升和下降时间(10%~90%)与负载电容的关系(3.3V  $V_{DDEXT}/V_{DDMEM}$ )

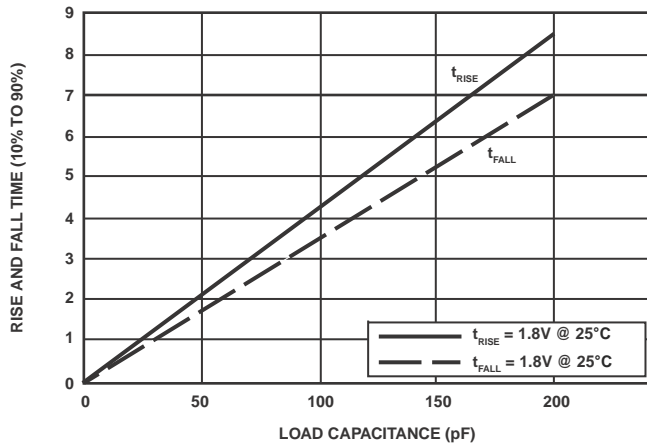


图64. B类驱动器典型上升和下降时间(10%~90%)与负载电容的关系(1.8V  $V_{DDEXT}/V_{DDMEM}$ )

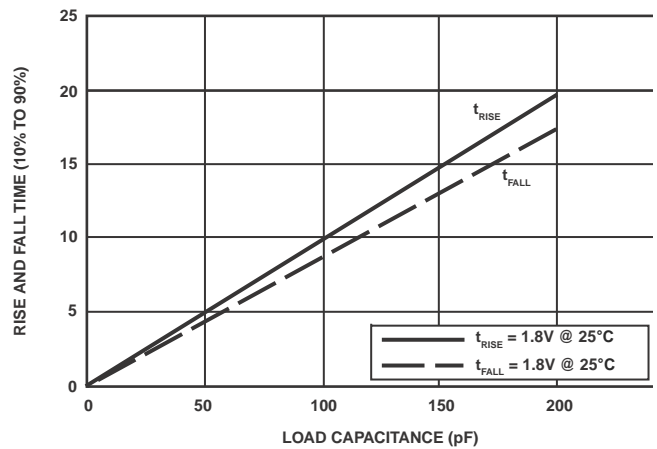


图67. C类驱动器典型上升和下降时间(10%~90%)与负载电容的关系(1.8V  $V_{DDEXT}/V_{DDMEM}$ )

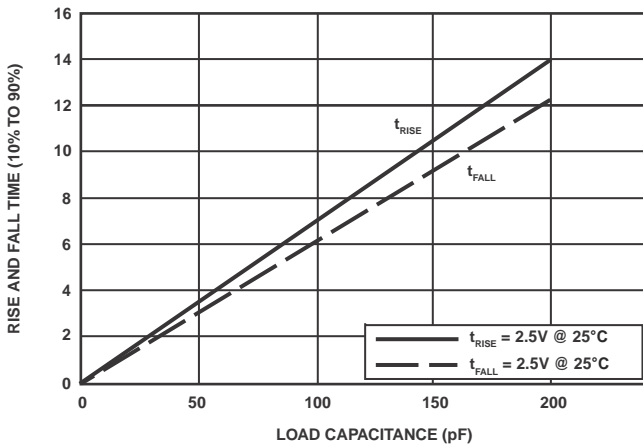


图68. C类驱动器典型上升和下降时间(10%-90%)与负载电容的关系( $2.5V_{DDEXT}/V_{DDMEM}$ )

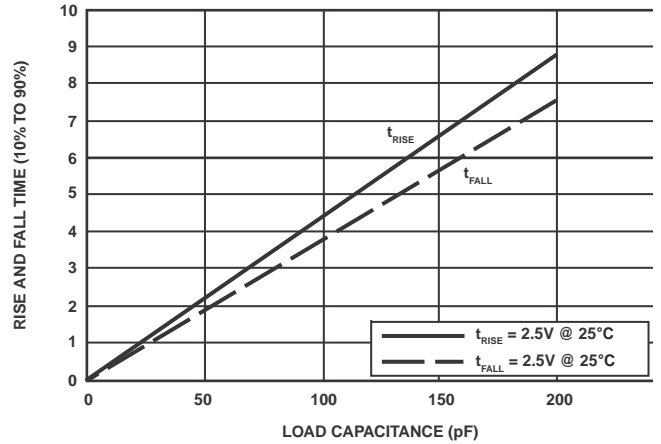


图71. D类驱动器典型上升和下降时间(10%-90%)与负载电容的关系( $2.5V_{DDEXT}/V_{DDMEM}$ )

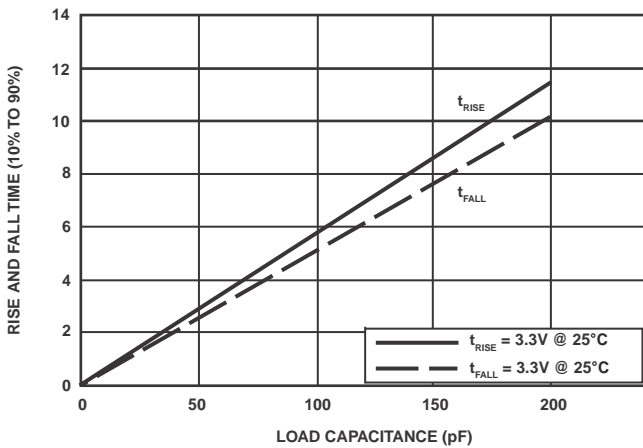


图69. C类驱动器典型上升和下降时间(10%-90%)与负载电容的关系( $3.3V_{DDEXT}/V_{DDMEM}$ )

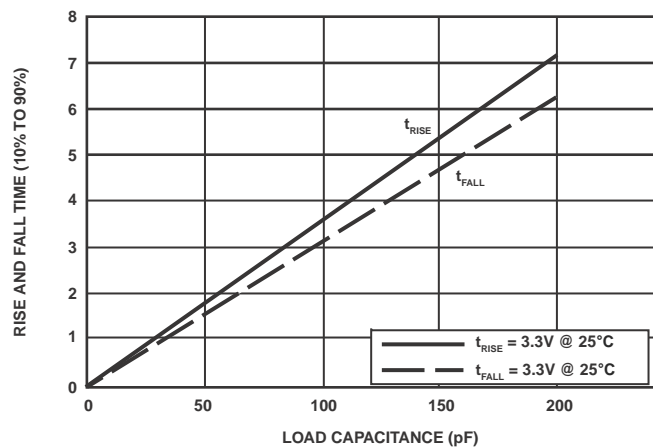


图72. D类驱动器典型上升和下降时间(10%-90%)与负载电容的关系( $3.3V_{DDEXT}/V_{DDMEM}$ )

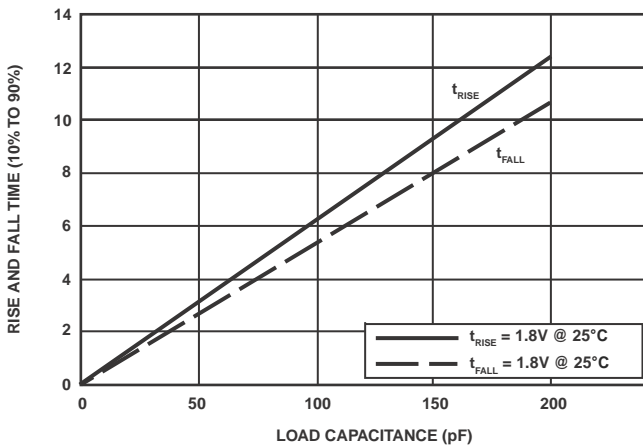


图70. D类驱动器典型上升和下降时间(10%-90%)与负载电容的关系( $1.8V_{DDEXT}/V_{DDMEM}$ )

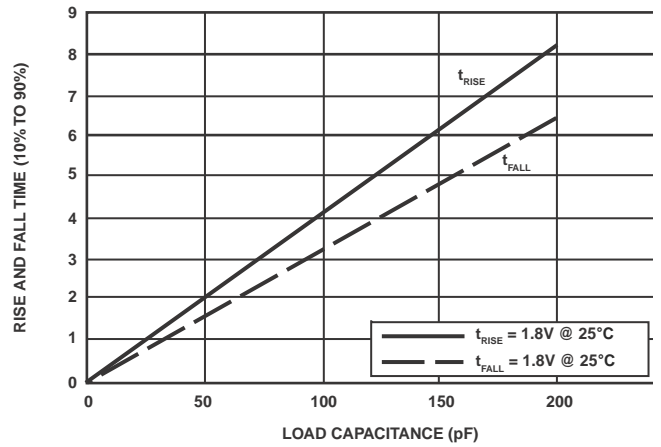


图73. G类驱动器典型上升和下降时间(10%-90%)与负载电容的关系( $1.8V_{DDEXT}/V_{DDMEM}$ )

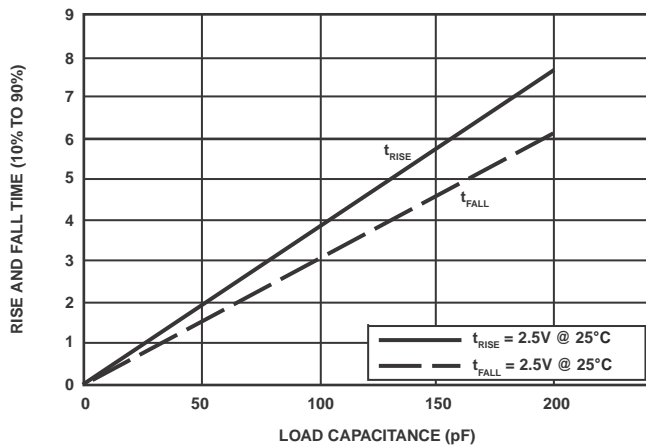


图74. G类驱动器典型上升和下降时间(10%~90%)与负载电容的关系(2.5V  $V_{DDEXT}/V_{DDMEM}$ )

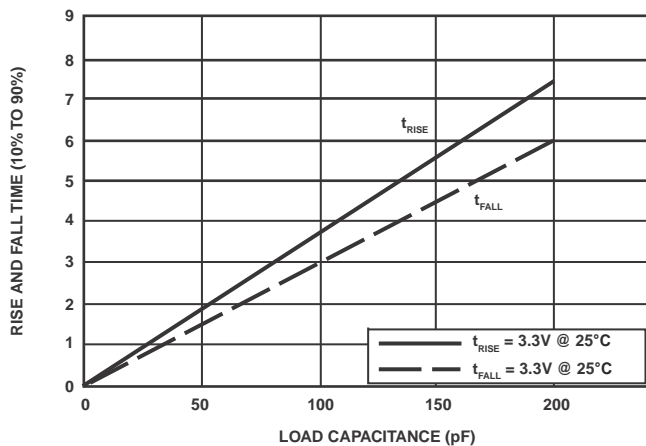


图75. G类驱动器典型上升和下降时间(10%~90%)与负载电容的关系(3.3V  $V_{DDEXT}/V_{DDMEM}$ )

## 环境条件

应用印刷电路板上的结温计算公式如下：

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

其中：

$T_J$  = 结温(°C)

$T_{CASE}$  = 壳温(°C)，由用户在封装的顶部中央测得。

$\Psi_{JT}$  = 参见表66

$P_D$  = 功耗 — 参见第34页的总功耗。

$\theta_{JA}$  值供封装比较和印刷电路板设计考虑时使用。 $\theta_{JA}$  可用于计算 $T_J$ 的一阶近似值，计算公式如下：

$$T_J = T_A + (\theta_{JA} \times P_D)$$

其中：

$T_A$  = 环境温度(°C)

$\theta_{JC}$  值是在需要外部散热器时，供封装比较和印刷电路板设计考虑时使用。

$\theta_{JB}$  值供封装比较和印刷电路板设计考虑时使用。

在表66中，气流测量符合JEDEC标准JESD51-2和JESD51-6，结至板测量符合JESD51-8标准。结至壳测量符合MIL-STD-883标准(方法1012.1)。所有测量均使用2S2P JEDEC测试板。

表65. BC-208-1封装的热特性

参数	条件	典型值	单位
$\theta_{JA}$	0线性m/s气流	23.20	°C/W
$\theta_{JMA}$	1线性m/s气流	20.20	°C/W
$\theta_{JMA}$	2线性m/s气流	19.20	°C/W
$\theta_{JB}$		13.05	°C/W
$\theta_{JC}$		6.92	°C/W
$\Psi_{JT}$	0线性m/s气流	0.18	°C/W
$\Psi_{JT}$	1线性m/s气流	0.27	°C/W
$\Psi_{JT}$	2线性m/s气流	0.32	°C/W

表66. BC-289-2封装的热特性

参数	条件	典型值	单位
$\theta_{JA}$	0线性m/s气流	34.5	°C/W
$\theta_{JMA}$	1线性m/s气流	31.1	°C/W
$\theta_{JMA}$	2线性m/s气流	29.8	°C/W
$\theta_{JB}$		20.3	°C/W
$\theta_{JC}$		8.8	°C/W
$\Psi_{JT}$	0线性m/s气流	0.24	°C/W
$\Psi_{JT}$	1线性m/s气流	0.44	°C/W
$\Psi_{JT}$	2线性m/s气流	0.53	°C/W

## 289引脚CSP\_BGA封装引脚分配

表67按照信号名称顺序列出CSP\_BGA封装引脚。

第80页的表68按照引脚编号顺序列出CSP\_BGA封装引脚。

表67. 289引脚CSP\_BGA封装引脚分配(按信号名称顺序)

信号	引脚编号	信号	引脚编号	信号	引脚编号	信号	引脚编号	信号	引脚编号	信号	引脚编号	信号	引脚编号
ABE0/SDQM0	AB9	DATA6	T2	GND	M10	NC	D23	PH0	A11	USB_XO	AA23	V <sub>DDINT</sub>	R8
ABE1/SDQM1	AC9	DATA7	T1	GND	M11	NC	E22	PH1	A12	V <sub>DDEXT</sub>	G7	V <sub>DDINT</sub>	R16
ADDR1	AB8	DATA8	R1	GND	M12	NC	E23	PH2	A13	V <sub>DDEXT</sub>	G8	V <sub>DDINT</sub>	T8
ADDR2	AC8	DATA9	P1	GND	M13	NC	F22	PH3	B14	V <sub>DDEXT</sub>	G9	V <sub>DDINT</sub>	T9
ADDR3	AB7	DATA10	P2	GND	M14	NC	F23	PH4	A14	V <sub>DDEXT</sub>	G10	V <sub>DDINT</sub>	T10
ADDR4	AC7	DATA11	R2	GND	M15	NC	G22	PH5	K23	V <sub>DDEXT</sub>	G11	V <sub>DDINT</sub>	T11
ADDR5	AC6	DATA12	N1	GND	N9	NC	H23	PH6	K22	V <sub>DDEXT</sub>	G12	V <sub>DDINT</sub>	T12
ADDR6	AB6	DATA13	N2	GND	N10	NC	J23	PH7	L23	V <sub>DDEXT</sub>	G13	V <sub>DDINT</sub>	T13
ADDR7	AB4	DATA14	M2	GND	N11	NMI	U22	PH8	L22	V <sub>DDEXT</sub>	G14	V <sub>DDINT</sub>	T14
ADDR8	AB5	DATA15	M1	GND	N12	VPPOTP	AB11	PH9	T23	V <sub>DDEXT</sub>	G15	V <sub>DDINT</sub>	T15
ADDR9	AC5	EMU	J2	GND	N13	PF0	A7	PH10	M22	V <sub>DDEXT</sub>	H7	V <sub>DDINT</sub>	T16
ADDR10	AC4	EXT_WAKE0	AC19	GND	N14	PF1	B8	PH11	R22	V <sub>DDEXT</sub>	J17	V <sub>DDMEM</sub>	J7
ADDR11	AB3	GND	A1	GND	N15	PF2	A8	PH12	M23	V <sub>DDEXT</sub>	K17	V <sub>DDMEM</sub>	K7
ADDR12	AC3	GND	A23	GND	P9	PF3	B9	PH13	N22	V <sub>DDEXT</sub>	L17	V <sub>DDMEM</sub>	L7
ADDR13	AB2	GND	B6	GND	P10	PF4	B11	PH14	N23	V <sub>DDEXT</sub>	M17	V <sub>DDMEM</sub>	M7
ADDR14	AC2	GND <sup>1</sup>	G16	GND	P11	PF5	B10	PH15	P22	V <sub>DDEXT</sub>	N17	V <sub>DDMEM</sub>	N7
ADDR15	AA2	GND	G17	GND	P12	PF6	B12	PPI_CLK/TMRCLK	A6	V <sub>DDEXT</sub>	P17	V <sub>DDMEM</sub>	P7
ADDR16	W2	GND <sup>1</sup>	H17	GND	P13	PF7	B13	PPI_FS1/TMR0	B7	V <sub>DDEXT</sub>	R17	V <sub>DDMEM</sub>	R7
ADDR17	Y2	GND	H22	GND	P14	PF8	B16	RESET	V22	V <sub>DDEXT</sub>	T17	V <sub>DDMEM</sub>	T7
ADDR18	AA1	GND <sup>1</sup>	J22	GND	P15	PF9	A20	RTXI	U23	V <sub>DDEXT</sub>	U17	V <sub>DDMEM</sub>	U7
ADDR19	AB1	GND	J9	GND	R9	PF10	B15	RTXO	V23	V <sub>DDINT</sub>	B5	V <sub>DDMEM</sub>	U8
AMS0	AC17	GND	J10	GND	R10	PF11	B17	SA10	AC10	V <sub>DDINT</sub>	H8	V <sub>DDMEM</sub>	U9
AMS1	AB16	GND	J11	GND	R11	PF12	B18	SCAS	AC11	V <sub>DDINT</sub>	H9	V <sub>DDMEM</sub>	U10
AMS2	AC16	GND	J12	GND	R12	PF13	B19	SCKE	AB13	V <sub>DDINT</sub>	H10	V <sub>DDMEM</sub>	U11
AMS3	AB15	GND	J13	GND	R13	PF14	A9	SCL	B22	V <sub>DDINT</sub>	H11	V <sub>DDMEM</sub>	U12
AOE	AC15	GND	J14	GND	R14	PF15	A10	SDA	C22	V <sub>DDINT</sub>	H12	V <sub>DDMEM</sub>	U13
ARDY	AC14	GND	J15	GND	R15	PG0	H2	SMS	AC13	V <sub>DDINT</sub>	H13	V <sub>DDMEM</sub>	U14
ARE	AB17	GND	K9	GND	T22	PG1	G1	SRAS	AB12	V <sub>DDINT</sub>	H14	V <sub>DDMEM</sub>	U15
AWE	AB14	GND	K10	GND	AC1	PG2	H1	SS/PG	AC20	V <sub>DDINT</sub>	H15	V <sub>DDMEM</sub>	U16
BMODE0	G2	GND	K11	GND	AC23	PG3	F1	SWE	AB10	V <sub>DDINT</sub>	H16	V <sub>DDOTP</sub>	AC12
BMODE1	F2	GND	K12	NC	A15	PG4	D1	TCK	L1	V <sub>DDINT</sub>	J8	V <sub>DDRTC</sub>	W23
BMODE2	E1	GND	K13	NC	A16	PG5	D2	TDI	J1	V <sub>DDINT</sub>	J16	V <sub>DDUSB</sub>	W22
BMODE3	E2	GND	K14	NC	A17	PG6	C2	TDO	K1	V <sub>DDINT</sub>	K8	V <sub>DDUSB</sub>	Y23
CLKBUF	AB19	GND	K15	NC	A18	PG7	B1	TMS	L2	V <sub>DDINT</sub>	K16	NC	G23
CLKIN	R23	GND	L9	NC	A19	PG8	C1	TRST	K2	V <sub>DDINT</sub>	L8	VR <sub>OUT</sub> /EXT_WAKE1	AC18
CLKOUT	AB18	GND	L10	NC	A21	PG9	B2	USB_DM	AB21	V <sub>DDINT</sub>	L16	VR <sub>SEL</sub> /V <sub>DDEXT</sub>	AB22
DATA0	Y1	GND	L11	NC	A22	PG10	B4	USB_DP	AA22	V <sub>DDINT</sub>	M8	XTAL	P23
DATA1	V2	GND	L12	NC	B20	PG11	B3	USB_ID	Y22	V <sub>DDINT</sub>	M16		
DATA2	W1	GND	L13	NC	B21	PG12	A2	USB_RSET	AC21	V <sub>DDINT</sub>	N8		
DATA3	U2	GND	L14	NC	B23	PG13	A3	USB_VBUS	AB20	V <sub>DDINT</sub>	N16		
DATA4	V1	GND	L15	NC	C23	PG14	A4	USB_VREF	AC22	V <sub>DDINT</sub>	P8		
DATA5	U1	GND	M9	NC	D22	PG15	A5	USB_XI	AB23	V <sub>DDINT</sub>	P16		

注意：本表中，粗体字表示的信号/功能是ADSP-BF522/ADSP-BF524/ADSP-BF526处理器上该引脚的唯一信号/功能。

<sup>1</sup> 为了兼容ADSP-BF52xC，应在此引脚连接到V<sub>DDEXT</sub>。

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

**表68. 289引脚CSP\_BGA封装引脚分配(按引脚编号顺序)**

引脚 信号 编号	引脚 信号 编号	引脚 信号 编号	引脚 信号 编号	引脚 信号 编号	引脚 信号 编号	引脚 信号 编号							
A1	GND	B20	NC	H12	V <sub>DDINT</sub>	L9	GND	P2	DATA10	T22	GND	AB10	SWE
A2	PG12	B21	NC	H13	V <sub>DDINT</sub>	L10	GND	P7	V <sub>DDMEM</sub>	T23	PH9	AB11	VPPOTP
A3	PG13	B22	SCL	H14	V <sub>DDINT</sub>	L11	GND	P8	V <sub>DDINT</sub>	U1	DATA5	AB12	SRAS
A4	PG14	B23	NC	H15	V <sub>DDINT</sub>	L12	GND	P9	GND	U2	DATA3	AB13	SCKE
A5	PG15	C1	PG8	H16	V <sub>DDINT</sub>	L13	GND	P10	GND	U7	V <sub>DDMEM</sub>	AB14	AWE
A6	PPI_CLK/TMRCLK	C2	PG6	H17	GND <sup>1</sup>	L14	GND	P11	GND	U8	V <sub>DDMEM</sub>	AB15	AMS3
A7	PF0	C22	SDA	H22	GND	L15	GND	P12	GND	U9	V <sub>DDMEM</sub>	AB16	AM5T
A8	PF2	C23	NC	H23	NC	L16	V <sub>DDINT</sub>	P13	GND	U10	V <sub>DDMEM</sub>	AB17	ARE
A9	PF14	D1	PG4	J1	TDI	L17	V <sub>DDEXT</sub>	P14	GND	U11	V <sub>DDMEM</sub>	AB18	CLKOUT
A10	PF15	D2	PG5	J2	EMU	L22	PH8	P15	GND	U12	V <sub>DDMEM</sub>	AB19	CLKBUF
A11	PH0	D22	NC	J7	V <sub>DDMEM</sub>	L23	PH7	P16	V <sub>DDINT</sub>	U13	V <sub>DDMEM</sub>	AB20	USB_VBUS
A12	PH1	D23	NC	J8	V <sub>DDINT</sub>	M1	DATA15	P17	V <sub>DDEXT</sub>	U14	V <sub>DDMEM</sub>	AB21	USB_DM
A13	PH2	E1	BMODE2	J9	GND	M2	DATA14	P22	PH15	U15	V <sub>DDMEM</sub>	AB22	VR <sub>SEL</sub> /V <sub>DDEXT</sub>
A14	PH4	E2	BMODE3	J10	GND	M7	V <sub>DDMEM</sub>	P23	XTAL	U16	V <sub>DDMEM</sub>	AB23	USB_XI
A15	NC	E22	NC	J11	GND	M8	V <sub>DDINT</sub>	R1	DATA8	U17	V <sub>DDEXT</sub>	AC1	GND
A16	NC	E23	NC	J12	GND	M9	GND	R2	DATA11	U22	NMI	AC2	ADDR14
A17	NC	F1	PG3	J13	GND	M10	GND	R7	V <sub>DDMEM</sub>	U23	RTXI	AC3	ADDR12
A18	NC	F2	BMODE1	J14	GND	M11	GND	R8	V <sub>DDINT</sub>	V1	DATA4	AC4	ADDR10
A19	NC	F22	NC	J15	GND	M12	GND	R9	GND	V2	DATA1	AC5	ADDR9
A20	PF9	F23	NC	J16	V <sub>DDINT</sub>	M13	GND	R10	GND	V22	RESET	AC6	ADDR5
A21	NC	G1	PG1	J17	V <sub>DDEXT</sub>	M14	GND	R11	GND	V23	RTXO	AC7	ADDR4
A22	NC	G2	BMODE0	J22	GND <sup>1</sup>	M15	GND	R12	GND	W1	DATA2	AC8	ADDR2
A23	GND	G7	V <sub>DDEXT</sub>	J23	NC	M16	V <sub>DDINT</sub>	R13	GND	W2	ADDR16	AC9	ABE1/SDQM1
B1	PG7	G8	V <sub>DDEXT</sub>	K1	TDO	M17	V <sub>DDEXT</sub>	R14	GND	W22	V <sub>DDUSB</sub>	AC10	SA10
B2	PG9	G9	V <sub>DDEXT</sub>	K2	TRST	M22	PH10	R15	GND	W23	V <sub>DDRTC</sub>	AC11	SCAS
B3	PG11	G10	V <sub>DDEXT</sub>	K7	V <sub>DDMEM</sub>	M23	PH12	R16	V <sub>DDINT</sub>	Y1	DATA0	AC12	V <sub>DDOTP</sub>
B4	PG10	G11	V <sub>DDEXT</sub>	K8	V <sub>DDINT</sub>	N1	DATA12	R17	V <sub>DDEXT</sub>	Y2	ADDR17	AC13	SMS
B5	V <sub>DDINT</sub>	G12	V <sub>DDEXT</sub>	K9	GND	N2	DATA13	R22	PH11	Y22	USB_ID	AC14	ARDY
B6	GND	G13	V <sub>DDEXT</sub>	K10	GND	N7	V <sub>DDMEM</sub>	R23	CLKIN	Y23	V <sub>DDUSB</sub>	AC15	AOE
B7	PPI_FS1/TMRO	G14	V <sub>DDEXT</sub>	K11	GND	N8	V <sub>DDINT</sub>	T1	DATA7	AA1	ADDR18	AC16	AMS2
B8	PF1	G15	V <sub>DDEXT</sub>	K12	GND	N9	GND	T2	DATA6	AA2	ADDR15	AC17	AMS0
B9	PF3	G16	GND <sup>1</sup>	K13	GND	N10	GND	T7	V <sub>DDMEM</sub>	AA22	USB_DP	AC18	VR <sub>OUT</sub> /EXT_WAKE1
B10	PF5	G17	GND	K14	GND	N11	GND	T8	V <sub>DDINT</sub>	AA23	USB_XO	AC19	EXT_WAKE0
B11	PF4	G22	NC	K15	GND	N12	GND	T9	V <sub>DDINT</sub>	AB1	ADDR19	AC20	SS/PG
B12	PF6	G23	NC	K16	V <sub>DDINT</sub>	N13	GND	T10	V <sub>DDINT</sub>	AB2	ADDR13	AC21	USB_RSET
B13	PF7	H1	PG2	K17	V <sub>DDEXT</sub>	N14	GND	T11	V <sub>DDINT</sub>	AB3	ADDR11	AC22	USB_VREF
B14	PH3	H2	PG0	K22	PH6	N15	GND	T12	V <sub>DDINT</sub>	AB4	ADDR7	AC23	GND
B15	PF10	H7	V <sub>DDEXT</sub>	K23	PH5	N16	V <sub>DDINT</sub>	T13	V <sub>DDINT</sub>	AB5	ADDR8		
B16	PF8	H8	V <sub>DDINT</sub>	L1	TCK	N17	V <sub>DDEXT</sub>	T14	V <sub>DDINT</sub>	AB6	ADDR6		
B17	PF11	H9	V <sub>DDINT</sub>	L2	TMS	N22	PH13	T15	V <sub>DDINT</sub>	AB7	ADDR3		
B18	PF12	H10	V <sub>DDINT</sub>	L7	V <sub>DDMEM</sub>	N23	PH14	T16	V <sub>DDINT</sub>	AB8	ADDR1		
B19	PF13	H11	V <sub>DDINT</sub>	L8	V <sub>DDINT</sub>	P1	DATA9	T17	V <sub>DDEXT</sub>	AB9	ABE0/SDQM0		

**注意:** 本表中, **粗体字**表示的信号/功能是ADSP-BF522/ADSP-BF524/ADSP-BF526处理器上该引脚的唯一信号/功能。

<sup>1</sup> 为了兼容ADSP-BF52xC, 应将此引脚连接到V<sub>DDEXT</sub>。



# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

图76为BC-289-2 CSP\_BGA引脚配置的俯视图。图77为BC-289-2 CSP\_BGA引脚配置的仰视图。

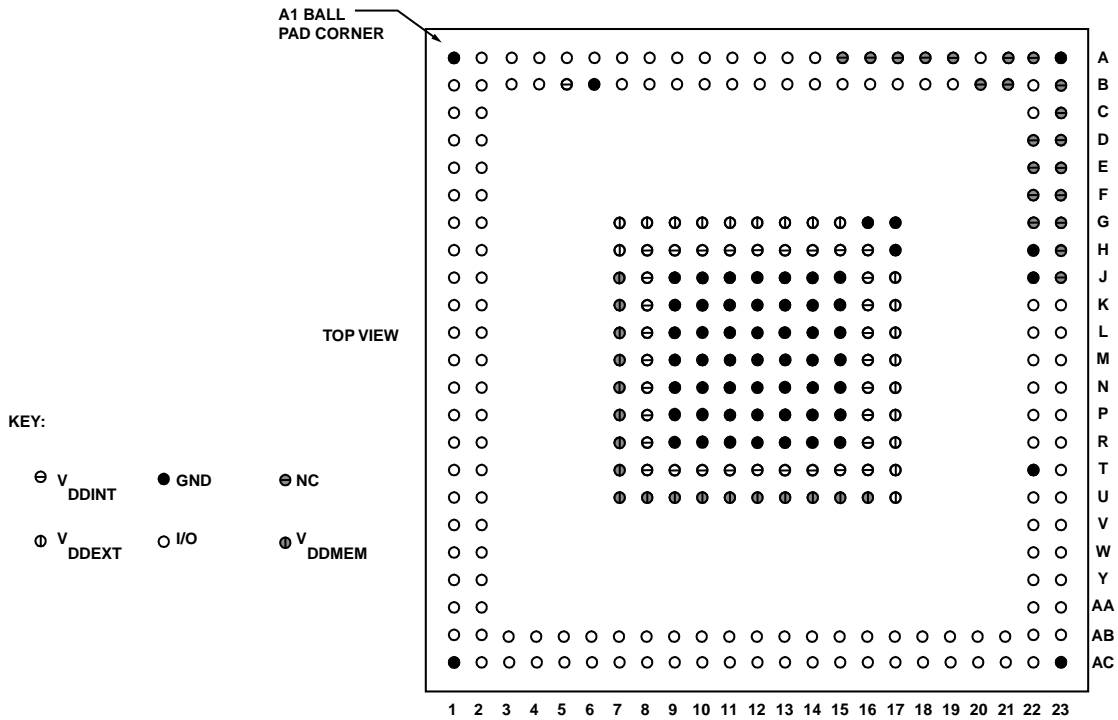


图76. 289引脚CSP\_BG封装引脚配置(俯视图)

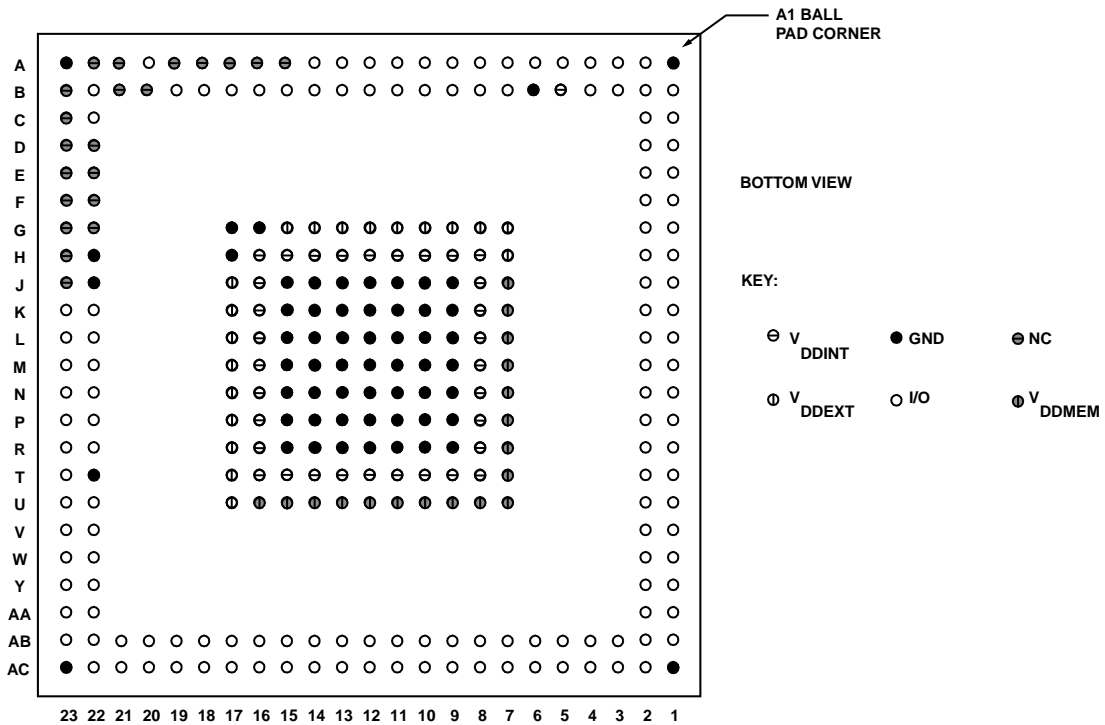


图77. 289引脚CSP\_BG封装引脚配置(仰视图)

## 208引脚CSP\_BGA封装引脚分配

表69按照信号名称顺序列出CSP\_BGA封装引脚。

第83页的表70按照引脚编号顺序列出CSP\_BGA封装引脚。

表69. 208引脚CSP\_BGA封装引脚分配(按信号名称顺序)

信号	引脚编号	信号	引脚编号	信号	B	信号	引脚编号	信号	引脚编号	信号	引脚编号
$\overline{\text{ABE0}}/\text{SDQM0}$	V19	CLKOUT	K20	GND	K11	PF13	A5	PPI_CLK/TMRCLK	G2	$V_{\text{DDEXT}}$	J8
$\overline{\text{ABE1}}/\text{SDQM1}$	V20	DATA0	Y8	GND	K12	PF14	B6	PPI_FS1/TMRO	F2	$V_{\text{DDEXT}}$	K7
ADDR1	W20	DATA1	W8	GND	K13	PF15	A6	$\overline{\text{RESET}}$	B18	$V_{\text{DDEXT}}$	K8
ADDR2	W19	DATA2	Y7	GND	L9	PG0	R2	RTXI	A14	$V_{\text{DDEXT}}$	L7
ADDR3	Y19	DATA3	W7	GND	L10	PG1	P1	RTXO	A15	$V_{\text{DDINT}}$	G12
ADDR4	W18	DATA4	Y6	GND	L11	PG2	P2	SA10	U19	$V_{\text{DDINT}}$	G13
ADDR5	Y18	DATA5	W6	GND	L12	PG3	N1	$\overline{\text{SCAS}}$	U20	$V_{\text{DDINT}}$	G14
ADDR6	W17	DATA6	Y5	GND	L13	PG4	N2	SCKE	P20	$V_{\text{DDINT}}$	H14
ADDR7	Y17	DATA7	W5	GND	M9	PG5	M1	SCL	A4	$V_{\text{DDINT}}$	J14
ADDR8	W16	DATA8	Y4	GND	M10	PG6	M2	SDA	B4	$V_{\text{DDINT}}$	K14
ADDR9	Y16	DATA9	W4	GND	M11	PG7	L1	$\overline{\text{SMS}}$	R19	$V_{\text{DDINT}}$	L14
ADDR10	W15	DATA10	Y3	GND	M12	PG8	L2	$\overline{\text{SRAS}}$	T19	$V_{\text{DDINT}}$	M14
ADDR11	Y15	DATA11	W3	GND	M13	PG9	K1	$\text{SS}/\overline{\text{PG}}$	G19	$V_{\text{DDINT}}$	N14
ADDR12	W14	DATA12	Y2	GND	N9	PG10	K2	$\overline{\text{SWE}}$	T20	$V_{\text{DDINT}}$	P12
ADDR13	Y14	DATA13	W2	GND	N10	PG11	J1	TCK	V2	$V_{\text{DDINT}}$	P13
ADDR14	W13	DATA14	W1	GND	N11	PG12	J2	TDI	R1	$V_{\text{DDINT}}$	P14
ADDR15	Y13	DATA15	V1	GND	N12	PG13	H1	TDO	T1	$V_{\text{DDMEM}}$	L8
ADDR16	W12	EMU	T2	GND	N13	PG14	H2	TMS	U2	$V_{\text{DDMEM}}$	M7
ADDR17	Y12	EXT_WAKE0	J20	GND	Y1	PG15	G1	$\overline{\text{TRST}}$	U1	$V_{\text{DDMEM}}$	M8
ADDR18	W11	GND	A1	GND	Y20	PH0	A7	USB_DM	F20	$V_{\text{DDMEM}}$	N7
ADDR19	Y11	GND	A17	$\overline{\text{NMI}}$	B19	PH1	B7	USB_DP	E20	$V_{\text{DDMEM}}$	N8
$\overline{\text{AMS0}}$	J19	GND	A20	VPPOTP	L19	PH2	A8	USB_ID	C20	$V_{\text{DDMEM}}$	P7
$\overline{\text{AMS1}}$	K19	GND	B20	PF0	F1	PH3	B8	USB_RSET	D20	$V_{\text{DDMEM}}$	P8
$\overline{\text{AMS2}}$	M19	GND	H9	PF1	E1	PH4	A9	USB_VBUS	E19	$V_{\text{DDMEM}}$	P9
$\overline{\text{AMS3}}$	L20	GND	H10	PF2	E2	PH5	B9	USB_VREF	H19	$V_{\text{DDMEM}}$	P10
$\overline{\text{AOE}}$	N20	GND	H11	PF3	D1	PH6	B10	USB_XI	A19	$V_{\text{DDMEM}}$	P11
ARDY	P19	GND	H12	PF4	D2	PH7	B11	USB_XO	A18	$V_{\text{DDOTP}}$	R20
$\overline{\text{ARE}}$	M20	GND	H13	PF5	C1	PH8	A12	$V_{\text{DDEXT}}$	G7	$V_{\text{DDRTC}}$	A16
$\overline{\text{AWE}}$	N19	GND	J9	PF6	C2	PH9	B12	$V_{\text{DDEXT}}$	G8	$V_{\text{DDUSB}}$	D19
BMODE0	Y10	GND	J10	PF7	B1	PH10	A13	$V_{\text{DDEXT}}$	G9	$V_{\text{DDUSB}}$	G20
BMODE1	W10	GND	J11	PF8	B2	PH11	B13	$V_{\text{DDEXT}}$	G10	$V_{\text{R}_{\text{OUT}}}/\text{EXT\_WAKE1}$	H20
BMODE2	Y9	GND	J12	PF9	A2	PH12	B14	$V_{\text{DDEXT}}$	G11	$V_{\text{R}_{\text{SEL}}}/V_{\text{DDEXT}}$	F19
BMODE3	W9	GND	J13	PF10	B3	PH13	B15	$V_{\text{DDEXT}}$	H7	XTAL	A10
CLKBUF	C19	GND	K9	PF11	A3	PH14	B16	$V_{\text{DDEXT}}$	H8		
CLKIN	A11	GND	K10	PF12	B5	PH15	B17	$V_{\text{DDEXT}}$	J7		

注意：本表中，**粗体字**表示的信号/功能是ADSP-BF522/ADSP-BF524/ADSP-BF526处理器上该引脚的唯一信号/功能。

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

**表70. 208引脚CSP\_BGA封装引脚分配(按引脚编号顺序)**

引脚 编号	信号	引脚 编号	信号	引脚 编号	信号	引脚 编号	信号	引脚 编号	信号
A1	GND	B16	PH14	H7	V <sub>DDEXT</sub>	L2	PG8	P1	PG1
A2	PF9	B17	PH15	H8	V <sub>DDEXT</sub>	L7	V <sub>DDEXT</sub>	P2	PG2
A3	PF11	B18	<u>RESET</u>	H9	GND	L8	V <sub>DDMEM</sub>	P7	V <sub>DDMEM</sub>
A4	SCL	B19	<u>NMI</u>	H10	GND	L9	GND	P8	V <sub>DDMEM</sub>
A5	PF13	B20	GND	H11	GND	L10	GND	P9	V <sub>DDMEM</sub>
A6	PF15	C1	PF5	H12	GND	L11	GND	P10	V <sub>DDMEM</sub>
A7	PH0	C2	PF6	H13	GND	L12	GND	P11	V <sub>DDMEM</sub>
A8	PH2	C19	CLKBUF	H14	V <sub>DDINT</sub>	L13	GND	P12	V <sub>DDINT</sub>
A9	PH4	C20	USB_ID	H19	USB_VREF	L14	V <sub>DDINT</sub>	P13	V <sub>DDINT</sub>
A10	XTAL	D1	PF3	H20	VR <sub>OUT</sub> / <b>EXT_WAKE1</b>	L19	VPPOTP	P14	V <sub>DDINT</sub>
A11	CLKIN	D2	PF4	J1	PG11	L20	<u>AMS3</u>	P19	ARDY
A12	PH8	D19	V <sub>DDUSB</sub>	J2	PG12	M1	PG5	P20	SCKE
A13	PH10	D20	USB_RSET	J7	V <sub>DDEXT</sub>	M2	PG6	R1	TDI
A14	RTXI	E1	PF1	J8	V <sub>DDEXT</sub>	M7	V <sub>DDMEM</sub>	R2	PG0
A15	RTXO	E2	PF2	J9	GND	M8	V <sub>DDMEM</sub>	R19	<u>SMS</u>
A16	V <sub>DDRTC</sub>	E19	USB_VBUS	J10	GND	M9	GND	R20	V <sub>DDOTP</sub>
A17	GND	E20	USB_DP	J11	GND	M10	GND	T1	TDO
A18	USB_XO	F1	PF0	J12	GND	M11	GND	T2	EMU
A19	USB_XI	F2	PPI_FS1/TMRO	J13	GND	M12	GND	T19	<u>SRAS</u>
A20	GND	F19	VR <sub>SEL</sub> / <b>V<sub>DDEXT</sub></b>	J14	V <sub>DDINT</sub>	M13	GND	T20	<u>SWE</u>
B1	PF7	F20	USB_DM	J19	<u>AMS0</u>	M14	V <sub>DDINT</sub>	U1	<u>TRST</u>
B2	PF8	G1	PG15	J20	EXT_WAKE0	M19	<u>AMS2</u>	U2	TMS
B3	PF10	G2	PPI_CLK/TMRCLK	K1	PG9	M20	<u>ARE</u>	U19	SA10
B4	SDA	G7	V <sub>DDEXT</sub>	K2	PG10	N1	PG3	U20	<u>SCAS</u>
B5	PF12	G8	V <sub>DDEXT</sub>	K7	V <sub>DDEXT</sub>	N2	PG4	V1	DATA15
B6	PF14	G9	V <sub>DDEXT</sub>	K8	V <sub>DDEXT</sub>	N7	V <sub>DDMEM</sub>	V2	TCK
B7	PH1	G10	V <sub>DDEXT</sub>	K9	GND	N8	V <sub>DDMEM</sub>	V19	<u>ABE0</u> /SDQM0
B8	PH3	G11	V <sub>DDEXT</sub>	K10	GND	N9	GND	V20	<u>ABE1</u> /SDQM1
B9	PH5	G12	V <sub>DDINT</sub>	K11	GND	N10	GND	W1	DATA14
B10	PH6	G13	V <sub>DDINT</sub>	K12	GND	N11	GND	W2	DATA13
B11	PH7	G14	V <sub>DDINT</sub>	K13	GND	N12	GND	W3	DATA11
B12	PH9	G19	<b>SS/PG</b>	K14	V <sub>DDINT</sub>	N13	GND	W4	DATA9
B13	PH11	G20	V <sub>DDUSB</sub>	K19	<u>AMS1</u>	N14	V <sub>DDINT</sub>	W5	DATA7
B14	PH12	H1	PG13	K20	CLKOUT	N19	<u>AWE</u>	W6	DATA5
B15	PH13	H2	PG14	L1	PG7	N20	<u>AOE</u>	W7	DATA3
W8	DATA1								
W9	BMODE3								
W10	BMODE1								
W11	ADDR18								
W12	ADDR16								
W13	ADDR14								
W14	ADDR12								
W15	ADDR10								
W16	ADDR8								
W17	ADDR6								
W18	ADDR4								
W19	ADDR2								
W20	ADDR1								
Y1	GND								
Y2	DATA12								
Y3	DATA10								
Y4	DATA8								
Y5	DATA6								
Y6	DATA4								
Y7	DATA2								
Y8	DATA0								
Y9	BMODE2								
Y10	BMODE0								
Y11	ADDR19								
Y12	ADDR17								
Y13	ADDR15								
Y14	ADDR13								
Y15	ADDR11								
Y16	ADDR9								
Y17	ADDR7								
Y18	ADDR5								
Y19	ADDR3								
Y20	GND								

**注意:** 本表中, **粗体字**表示的信号/功能是ADSP-BF522/ADSP-BF524/ADSP-BF526处理器上该引脚的唯一信号/功能。

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

图78为CSP\_BGA引脚配置的俯视图。图79为CSP\_BGA引脚配置的仰视图。

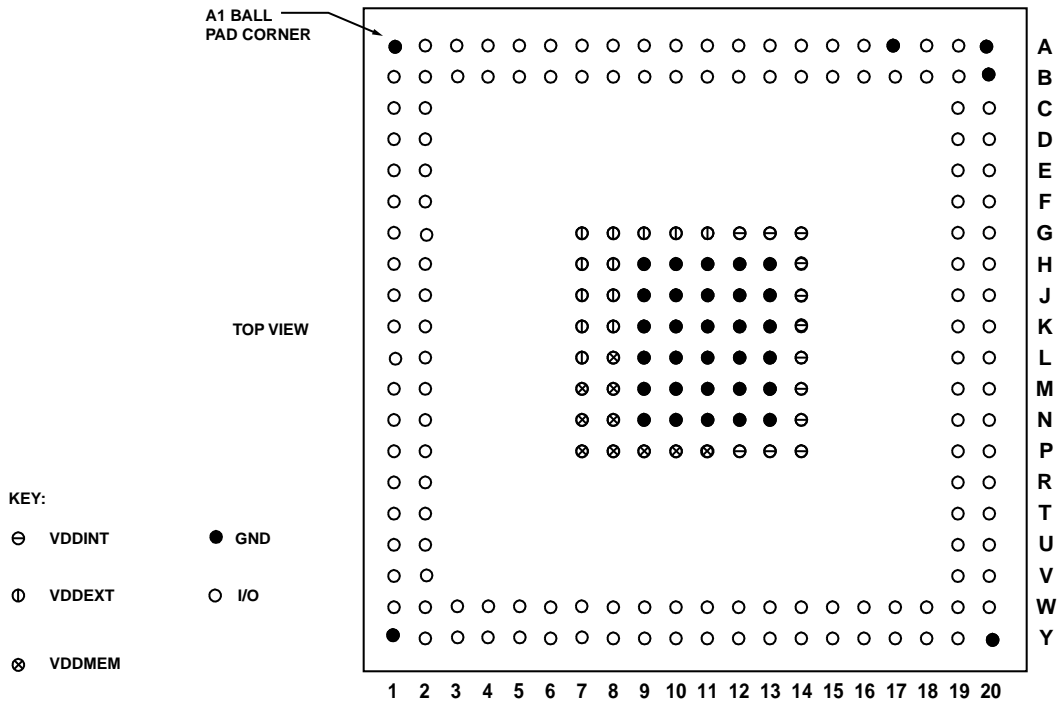


图78. 208引脚CSP\_BG封装引脚配置(俯视图)

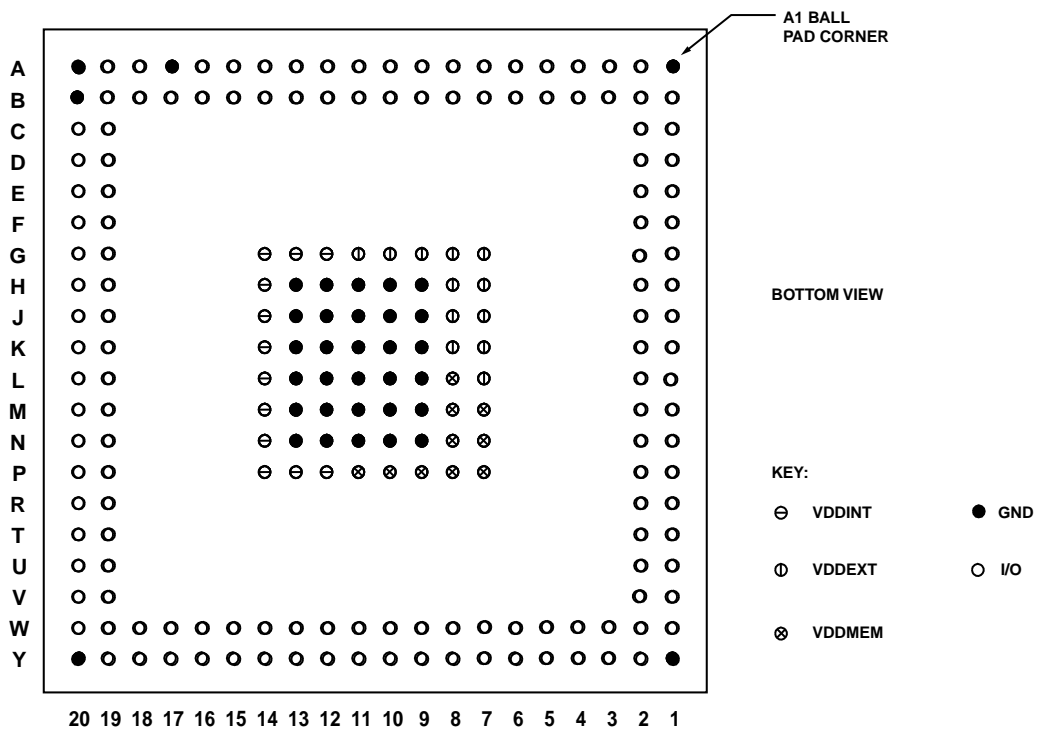
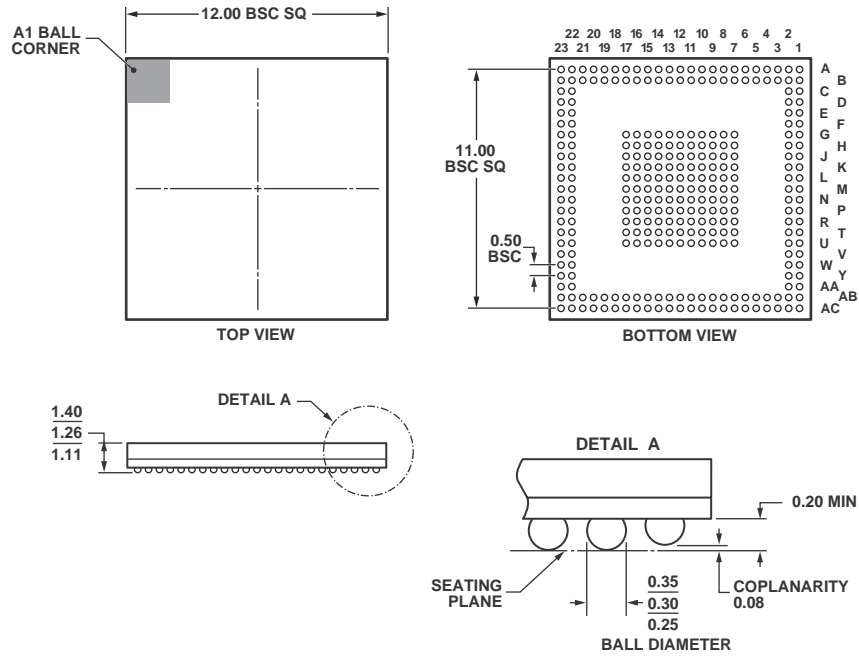


图79. 208引脚CSP\_BG封装引脚配置(仰视图)

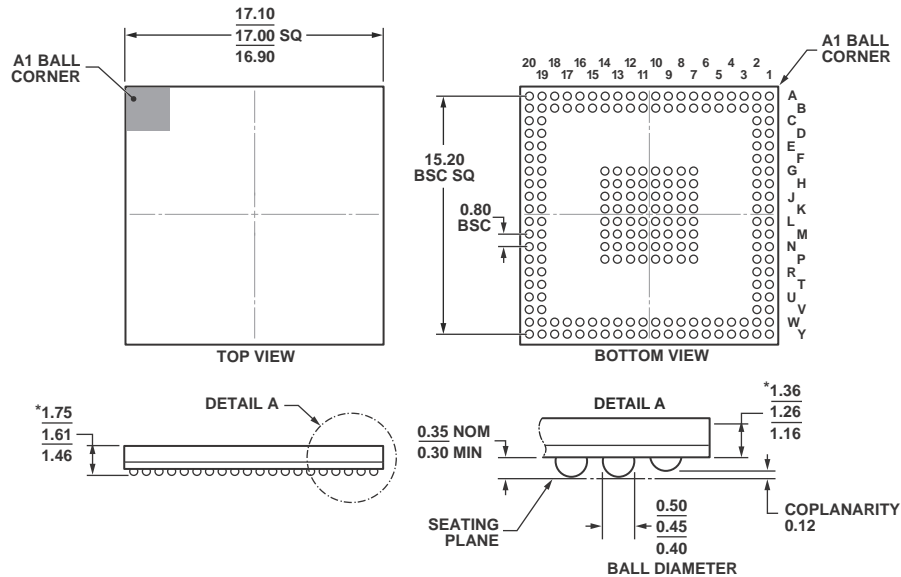
## 外形尺寸

外形尺寸图(图80和图81)所示的尺寸单位为毫米。



\*COMPLIANT WITH JEDEC STANDARD MO-275-GGCE-1

图80. 289-Ball CSP\_BGA (BC-289-2)



\*COMPLIANT TO JEDEC STANDARDS MO-275-MMAB-1 WITH EXCEPTION TO PACKAGE HEIGHT AND THICKNESS.

图81. 208-Ball CSP\_BGA (BC-208-2)

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 表贴设计

表71旨在帮助用户进行PCB设计。关于工业标准设计建议，请参阅IPC-7351：“表贴设计和焊盘图形标准的通用要求”。

表71. 表贴设计补充信息

封装	封装引脚安装类型	封装阻焊层开口	封装引脚焊盘尺寸
289引脚 CSP_BGA	由阻焊层决定	直径0.26 mm	直径0.35 mm
208引脚 CSP_BGA	由阻焊层决定	直径0.40 mm	直径0.50 mm

## 汽车应用级产品

ADBF525W生产工艺受到严格控制，以提供满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号；因此，设计人员应仔细阅读本数据手册

的产品技术规格部分。只有表72所示的汽车应用级产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告，请联系当地ADI客户代表。

表72. 车用产品

车用型号 <sup>1,2</sup>	温度范围 <sup>3</sup>	封装描述	封装选项	指令速率(最大值)
ADBF525WBBCZ4xx	-40°C 至 +85°C	208引脚CSP_BGA	BC-208-2	400 MHz
ADBF525WBBCZ5xx	-40°C 至 +85°C	208引脚CSP_BGA	BC-208-2	533 MHz
ADBF525WYBCZxxx	-40°C 至 +105°C	208引脚CSP_BGA	BC-208-2	产品详情请联系ADI客户代表。

<sup>1</sup> Z = 符合RoHS标准的器件。

<sup>2</sup> 型号中x指示的信息由ADI客户代表提供。

<sup>3</sup> 参考温度为环境温度。环境温度不是一项性能指标。结温(T<sub>j</sub>)是唯一的温度指标，请参见第29页的“ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的工作条件”。

# ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527

## 订购指南

型号 <sup>1</sup>	温度范围 <sup>2</sup>	指令速率 (最大值)	封装描述	封装选项
ADSP-BF522BBCZ-3A	-40°C至+85°C	300 MHz	208引脚芯片级球栅阵列(CSP_BGA)封装	BC-208-2
ADSP-BF522BBCZ-4A	-40°C至+85°C	400 MHz	208引脚芯片级球栅阵列(CSP_BGA)封装	BC-208-2
ADSP-BF522KBCZ-3	0°C至+70°C	300 MHz	289引脚芯片级球栅阵列(CSP_BGA)封装	BC-289-2
ADSP-BF522KBCZ-4	0°C至+70°C	400 MHz	289引脚芯片级球栅阵列(CSP_BGA)封装	BC-289-2
ADSP-BF523BBCZ-5A	-40°C至+85°C	533 MHz	208引脚芯片级球栅阵列(CSP_BGA)封装	BC-208-2
ADSP-BF523KBCZ-5	0°C至+70°C	533 MHz	289引脚芯片级球栅阵列(CSP_BGA)封装	BC-289-2
ADSP-BF523KBCZ-6	0°C至+70°C	600 MHz	289引脚芯片级球栅阵列(CSP_BGA)封装	BC-289-2
ADSP-BF523KBCZ-6A	0°C至+70°C	600 MHz	208引脚芯片级球栅阵列(CSP_BGA)封装	BC-208-2
ADSP-BF524BBCZ-3A	-40°C至+85°C	300 MHz	208引脚芯片级球栅阵列(CSP_BGA)封装	BC-208-2
ADSP-BF524BBCZ-4A	-40°C至+85°C	400 MHz	208引脚芯片级球栅阵列(CSP_BGA)封装	BC-208-2
ADSP-BF524KBCZ-3	0°C至+70°C	300 MHz	289引脚芯片级球栅阵列(CSP_BGA)封装	BC-289-2
ADSP-BF524KBCZ-4	0°C至+70°C	400 MHz	289引脚芯片级球栅阵列(CSP_BGA)封装	BC-289-2
ADSP-BF525ABCZ-5	-40°C至+70°C	500 MHz	289引脚芯片级球栅阵列(CSP_BGA)封装	BC-289-2
ADSP-BF525ABCZ-6	-40°C至+70°C	600 MHz	289引脚芯片级球栅阵列(CSP_BGA)封装	BC-289-2
ADSP-BF525BBCZ-5A	-40°C至+85°C	533 MHz	208引脚芯片级球栅阵列(CSP_BGA)封装	BC-208-2
ADSP-BF525KBCZ-5	0°C至+70°C	533 MHz	289引脚芯片级球栅阵列(CSP_BGA)封装	BC-289-2
ADSP-BF525KBCZ-6	0°C至+70°C	600 MHz	289引脚芯片级球栅阵列(CSP_BGA)封装	BC-289-2
ADSP-BF525KBCZ-6A	0°C至+70°C	600 MHz	208引脚芯片级球栅阵列(CSP_BGA)封装	BC-208-2
ADSP-BF526BBCZ-3A	-40°C至+85°C	300 MHz	208引脚芯片级球栅阵列(CSP_BGA)封装	BC-208-2
ADSP-BF526BBCZ-4A	-40°C至+85°C	400 MHz	208引脚芯片级球栅阵列(CSP_BGA)封装	BC-208-2
ADSP-BF526KBCZ-3	0°C至+70°C	300 MHz	289引脚芯片级球栅阵列(CSP_BGA)封装	BC-289-2
ADSP-BF526KBCZ-4	0°C至+70°C	400 MHz	289引脚芯片级球栅阵列(CSP_BGA)封装	BC-289-2
ADSP-BF527BBCZ-5A	-40°C至+85°C	533 MHz	208引脚芯片级球栅阵列(CSP_BGA)封装	BC-208-2
ADSP-BF527KBCZ-5	0°C至+70°C	533 MHz	289引脚芯片级球栅阵列(CSP_BGA)封装	BC-289-2
ADSP-BF527KBCZ-6	0°C至+70°C	600 MHz	289引脚芯片级球栅阵列(CSP_BGA)封装	BC-289-2
ADSP-BF527KBCZ-6A	0°C至+70°C	600 MHz	208引脚芯片级球栅阵列(CSP_BGA)封装	BC-208-2

<sup>1</sup> Z = 符合RoHS标准的器件。

<sup>2</sup> 参考温度为环境温度。环境温度不是一项性能指标。结温(T<sub>j</sub>)是唯一的温度指标，请参见第27页的“ADSP-BF522/ADSP-BF524/ADSP-BF526处理器的工作条件”和第29页的“ADSP-BF523/ADSP-BF525/ADSP-BF527处理器的工作条件”。

**ADSP-BF522/ADSP-BF523/ADSP-BF524/ADSP-BF525/ADSP-BF526/ADSP-BF527**