

ADSP-21467/ADSP-21469

摘要

高性能32/40位浮点处理器，针对高性能音频处理进行优化

单指令、多数据(SIMD)计算架构

片内集成5 Mbit RAM和4 Mbit ROM

工作频率高达450 MHz

通过汽车应用认证，参见第72页汽车产品

与SHARC系列的所有其它产品代码兼容

提供以音频中心的独特外设，例如数字应用接口、数字传输

内容保护(DTCP)协议、串行端口、精密时钟发生器、

S/PDIF收发器、异步采样速率转换器、输入数据端口等等。

详细订购信息请参阅第72页的订购指南

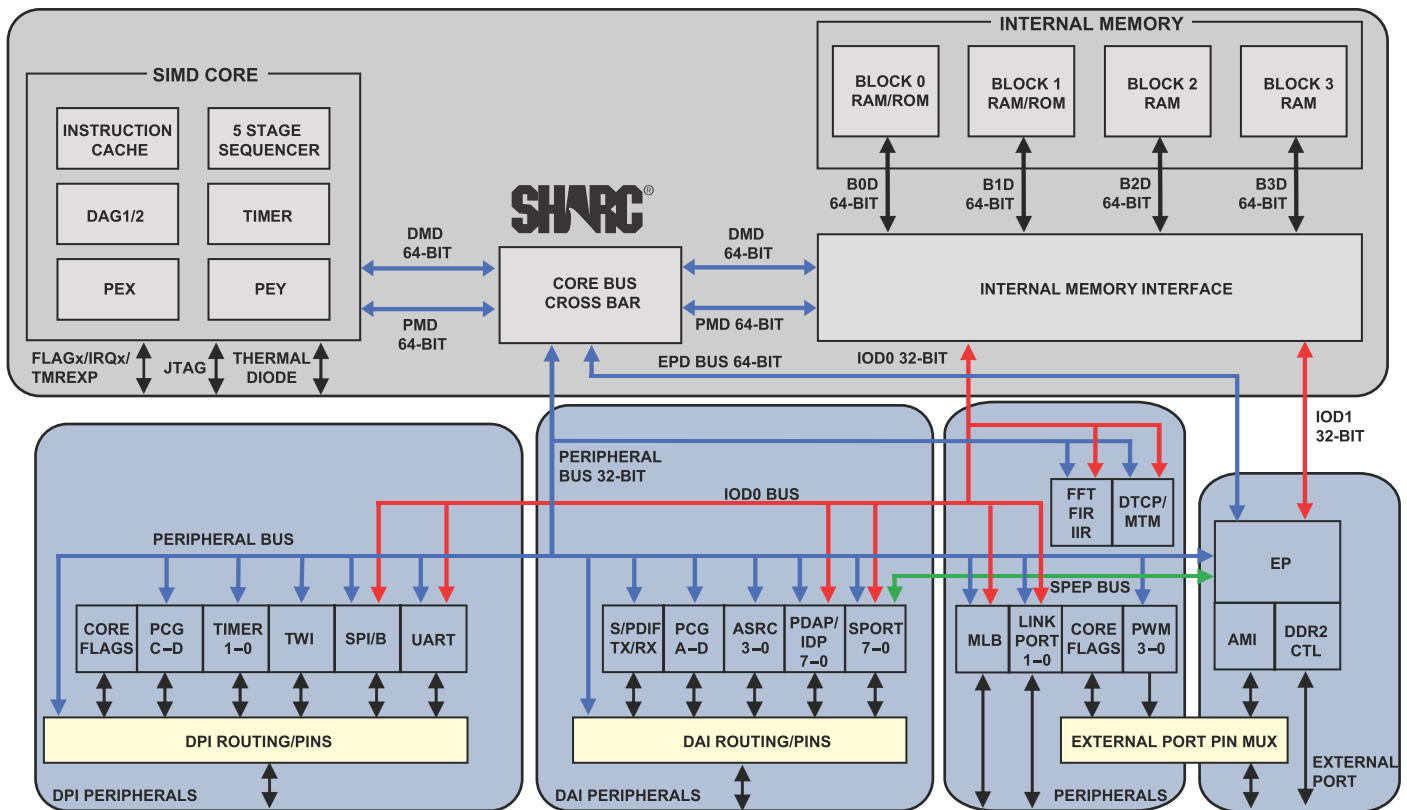


图1. 功能框图

SHARC和SHARC标志均为ADI公司的注册商标。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective companies.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.326.3113 ©2011 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

摘要.....	1	封装信息.....	21
概述.....	3	ESD灵敏度.....	22
系列内核架构.....	4	时序规格.....	22
系列外设架构.....	7	测试条件.....	60
系统设计.....	10	输出驱动电流.....	60
开发工具.....	11	容性负载.....	61
其他信息.....	11	热特性.....	63
相关信号链.....	11	CSP_BGA封装引脚分配—汽车应用型号.....	65
引脚功能描述.....	12	CSP_BGA封装引脚分配—标准型号.....	68
技术规格.....	18	外形尺寸.....	71
工作条件.....	18	表贴设计.....	71
电气特性.....	19	汽车应用级产品.....	72
绝对最大额定值.....	21	订购指南.....	72

修订历史

2011年12月—修订版0至修订版A

修订了SHARC系列特性中的脚注.....	3
添加了含内部ROM的ADSP-21467型号。	
SHARC系列特性.....	3
内部存储器空间.....	6
汽车应用级产品.....	72
添加了正确端接未使用引脚的信息，还修订了引脚描述和封装引脚分配。	
未用引脚端接.....	12
引脚描述.....	13
CSP_BGA封装引脚分配—标准型号.....	68
纠正了与以下规格有关的文档错误。	
引脚功能描述.....	12
DDR2 SDRAM读周期时序.....	32
DDR2 SDRAM写周期时序.....	33
AMI读取.....	34
添加了共享存储器支持的信息。	
共享的外部存储器.....	7
引脚功能描述.....	12
共享的存储器总线请求.....	37
CSP_BGA封装引脚分配—汽车应用型号.....	65
CSP_BGA封装引脚分配—标准型号.....	68

概述

ADSP-21467/ADSP-21469 SHARC®处理器属于SIMD SHARC系列DSP，采用ADI公司的Super Harvard架构。处理器与ADSP-2126x、ADSP-2136x、ADSP-2137x、ADSP-2116x DSP以及SISD(单指令流-单数据流)模式的第一代ADSP-2106x SHARC处理器源代码兼容。这些32/40位浮点处理器针对高性能音频应用进行了优化，具有大容量片内SRAM，多条内部总线可消除I/O瓶颈，并且提供创新的数字应用/外设接口(DAI/DPI)。

表1给出了处理器的性能基准，而表2给出了产品的特性。

表1. 处理器基准

基准算法	速度 (450 MHz时)
1024点复数FFT(基4, 带翻转)	20.44 μs
FIR滤波器(每抽头) ¹	1.11 ns
IIR滤波器(每双二阶) ¹	4.43 ns
矩阵乘法(流水线)	
[3 × 3] × [3 × 1]	10.0 ns
[4 × 4] × [4 × 1]	17.78 ns
除法(y/x)	6.67 ns
平方根倒数	10.0 ns

¹ 假定多通道SIMD模式下有两个文件

表2. SHARC系列特性

特性	ADSP-21467	ADSP-21469
最大频率	450 MHz	
RAM	5 Mbits	
ROM	4 Mbit	不适用
ROM含音频解码器 ¹	是	否
DTCP硬件加速器 ²	否	
PWM脉冲宽度调制	是	
S/PDIF	是	
DDR2存储器接口	是	
DDR2存储器总线宽度	16位	
共享的DDR2外部存储器	是	
从SPORT到外部存储器均直接DMA	是	
FIR、IIR、FFT加速器	是	
MLB接口	仅汽车应用型号	
IDP	是	
串行端口SPORT	8	
DAI (SRU)/DPI (SRU2)	20/14引脚	
UART	1	
链路端口	2	
带8位支持的AMI接口	是	

表2. SHARC系列特性(续)

特性	ADSP-21467	ADSP-21469
SPI	2	
TWI	是	
SRC性能	-128 dB	
封装	324引脚CSP_BGA	

¹ 工厂编程的ROM包括: Dolby AC-3 5.1解码、Dolby Pro Logic IIx、Dolby智能混频器(eMix)、Dolby Volume后处理器、Dolby耳机v2、DTS Neo:6和解码、DTS 5.1解码(96/24)、数学表格/转动系数/256和512 FFT以及ASRC。有关完整的产品信息和供货信息，请访问www.analog.com。

² 有关支持DTCP的ADSP-21467/ADSP-21469处理器供货信息，请联系当地ADI办事处。

第1页图1显示了构成处理器的两个时钟域。内核时钟域包含以下特性：

- 两个处理元件(PE_x、PE_y)，各元件均由ALU、乘法器、移位器和数据寄存器文件组成
- 数据地址发生器(DAG1、DAG2)
- 带指令缓存的程序序列表
- 一个带引脚排列的周期性定时器
- PM和DM总线，支持存储器与内核之间在每个内核处理器周期传输2x64位数据
- 片内SRAM (5 Mb)
- 片内掩膜可编程ROM (4 Mb)
- 用于仿真和边界扫描的JTAG测试访问端口。JTAG通过用户断点提供软件调试功能，支持灵活的异常处理。

第1页图1还显示了外设时钟域(也称为I/O处理器)，它包含以下特性：

- 用于数据传输的32位的IOD0(外设DMA)和IOD1(外部端口DMA)总线
- 用于内核连接的外设和外部端口总线
- 带AMI和DDR2控制器的外部端口
- 4个PWM控制单元
- 1个用于内部到内部存储器传输的存储器到存储器(MTM)单元
- 数字应用接口，包括4个精密时钟发生器(PCG)、1个用于串行和并行互连的输入数据端口(IDP)、1个S/PDIF接收器/发送器、4个异步采样速率转换器、8个串行端口和1个灵活的信号路由单元(DAI SRU)。
- 数字外设接口，包括两个定时器、一个双线式接口、一个UART、两个串行外设接口(SPI)、两个精密时钟发生器(PCG)和一个灵活的信号路由单元(DPI SRU)。

ADSP-21467/ADSP-21469

如第1页图1所示，处理器采样两个计算单元，相对于以前的SHARC处理器，其处理各种DSP算法的性能有了显著提高。处理器采用SIMD计算硬件，以450 MHz速率运行时能够执行2.7 GFLOPS，以400 MHz速率运行时能够执行2.4 GFLOPS。

系列内核架构

处理器与ADSP-2137x、ADSP-2136x、ADSP-2126x、ADSP-21160、ADSP-21161及第一代ADSP-2106x SHARC处理器在汇编水平上代码兼容。ADSP-21467/ADSP-21469处理器与ADSP-2126x、ADSP-2136x、ADSP-2137x、ADSP-2116x SIMD SHARC处理器具有相同的架构特性，如图2所示，详见以下部分的说明。

SIMD计算引擎

处理器包含两个单指令、多数据(SIMD)引擎的计算处理器元件，分别称为PEX和PEY，各元件均由ALU、乘法器、移位器和寄存器文件组成。PEX始终有效，PEY可通过将MODE1寄存器的PEYEN模式位设为1来使能。使能该模式后，允许处理器在两个处理元件中执行同一指令，但各处理元件处理不同的数据。这种架构对于执行计算密集型DSP算法非常有效。

进入SIMD模式，还会影响存储器和处理元件之间传输数据的方式。处于SIMD模式时，为了支持处理元件的计算操作，需要两倍的数据带宽。所以，进入SIMD模式时，存储器与处理元件之间的带宽也会加倍。在SIMD模式下使用DAG传输数据时，每次访问存储器或寄存器文件传输两个数据值。

独立并行计算单元

各处理元件内部有一组计算单元。计算单元由算术/逻辑单元(ALU)、乘法器和移位器组成。这些单元在单一周期内执行所有操作。这三个单元在每个处理元件内并行排列，从而使计算吞吐速率达到最大。一个多功能指令执行并行ALU和乘法器操作。在SIMD模式下，并行ALU和乘法器操作同时在两个处理元件中进行。这些计算单元支持IEEE 32位单精度浮点、40位扩展精度浮点和32位定点数据格式。

定时器

用于产生周期性软件中断的内核定时器。内核定时器可以配置为利用FLAG3作为定时器到期信号。

数据寄存器文件

每个处理元件均包含一个通用数据寄存器文件。该寄存器文件用于在计算单元与数据总线之间传输数据，以及存储即时结果。这些10端口、32个寄存器(16个主要寄存器、16个辅助寄存器)寄存器文件加上处理器的增强Harvard架构，

实现了计算单元与内部存储器之间不受限制的数据流动。PEX中的寄存器称为R0至R15，PEY中称为S0至S15。

上下文切换

处理器的许多寄存器都有辅助寄存器，在中断处理期间可以将其激活以实现快速上下文切换。寄存器文件中的数据寄存器、DAG寄存器以及乘法器结果寄存器均有辅助寄存器。主要寄存器在复位时有效，辅助寄存器则是通过模式控制寄存器中的控制位激活。

通用寄存器

这些寄存器可用于一般任务。USTAT(4)寄存器可以对内核的所有系统寄存器(控制/状态)轻松进行位操作(置1、清0、反转、测试、XOR)。

数据总线交换寄存器(PX)允许数据在64位PM数据总线与64位DM数据总线之间传送，或者在40位寄存器文件与PM/DM数据总线之间传送。这些寄存器包含用来处理数据宽度差异的硬件。

单周期获取1个指令和4个操作数

处理器采用增强的Harvard架构，数据存储器(DM)总线传输数据，程序存储器(PM)总线传输指令和数据(见图2)。利用独立的程序和数据存储器总线以及片内指令缓存，处理器可以在一个周期内同时获取4个操作数(每条数据总线2个)和1个指令。

指令缓存

处理器含有一个片内指令缓存，支持三总线操作以获取一个指令和四个数据值。指令缓存是有选择性的，指令获取与PM总线数据存取冲突的指令才能被缓存。此缓存支持全速执行内核环路操作，如数字滤波器乘加和FFT蝴蝶处理等。

带零开销硬件环形缓冲器支持的数据地址发生器

两个数据地址发生器(DAG)用于间接寻址以及环形数据缓冲器的硬件实现。环形缓冲器支持对数字信号处理所需的延迟线和其它数据结构进行高效编程，常用于数字滤波器和傅里叶变换。处理器的两个DAG包含足够的寄存器，最多可以创建32个环形缓冲器(16个主要寄存器集、16个辅助寄存器集)。DAG自动处理地址指针回绕，可降低开销、提高性能并简化实现。环形缓冲器可以在任何寄存器位置开始和结束。

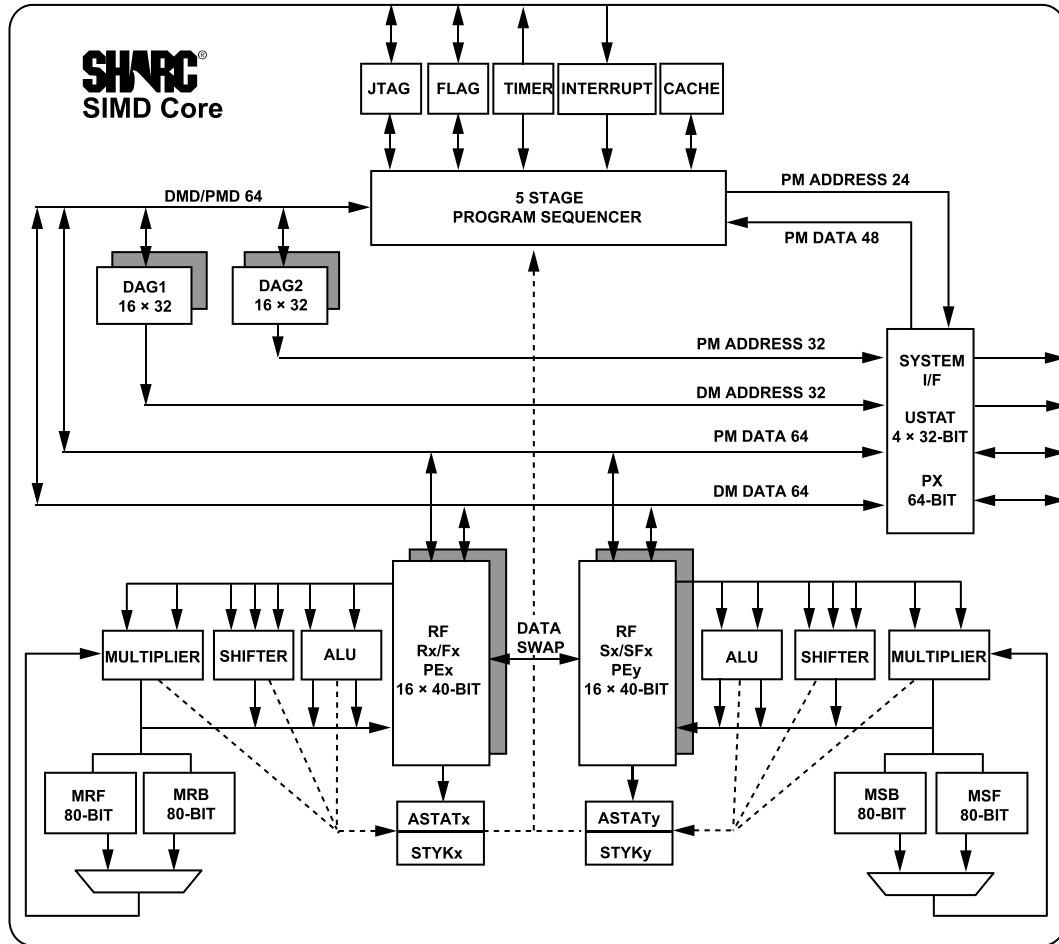


图2. SHARC内核框图

灵活的指令集

48位指令字支持各种并行操作，可实现简练编程。例如，处理器可以有条件地在两个处理元件中执行乘法、加法和减法，同时进行分支并从存储器获取最多4个32位数据值，所有这些只需一个指令。

可变指令集架构(VISA)

除了支持源自上一代SHARC处理器的标准48位指令以外，处理器还支持新的16位和32位指令。此特性称为可变指令集架构(VISA)，48位指令中的冗余/无用位被删除，从而使代码更有效、更紧凑。程序序列器支持从内部和外部DDR2存储器获取这些16位和32位指令。为使代码生成工具能够产生更高效的操作码，源模块需要利用VISA选项编译。

片内存储器

处理器包含5 Mb的内部RAM。每个模块可以针对不同的代码和数据存储组合配置(参见表4)。每个存储器模块均支持内核处理器和I/O处理器的单周期独立访问。存储器架构与其单独的片内总线配合使用，允许在单一周期内从内核传输两个数据，还允许在单一周期内从I/O处理器传输一个数据。

处理器的SRAM可以配置为最多160k字的32位数据、320k字的16位数据、106.7k字的48位指令(或40位数据)或不同大小字的组合，只要不超过5 Mb。所有存储器都可以通过16位、32位、48位或64位字访问。支持16位浮点存储格式，片内可存储的数据量得以加倍。32位浮点与16位浮点之间的转换通过单指令执行。虽然每个存储器模块都可以存储代码和数据的组合，但如果让一个模块存储数据，利用DM总线进行传输，让另一个模块存储指令和数据，利用PM总线进行传输，则存取效率最高。

ADSP-21467/ADSP-21469

使用DM总线和PM总线，一条总线专用于一个存储器模块，就可以保证单周期执行两个数据传输。这种情况下，指令必须通过缓存提供。

表3中的存储器映射给出了处理器的内部存储器地址空间。48位空间部分说明可以存放48位指令，其的地址空间。32位部分说明可以存放32位的数据其的地址范围。

片内存储器带宽

内部存储器架构允许程序对四个模块中的任意模块同时进行4次访问(假定不存在模块冲突)。总带宽利用DMD/PM总线(2 × 64位、CCLK速度)和IOD0/1总线(2 × 32位、PCLK速度)实现。

不安全的ROM

对于不安全的ROM，使用第10页表8所示的BOOTCFG引脚，选择引导模式。在该模式下，始终使能仿真，IVT置于内部RAM，除非BOOTCFGx = 011。

基于ROM的安全性

使能ROM安全特性通过硬件保证用户软件代码安全，防止未经授权读取内部代码。使用此特性时，处理器启动时不会加载任何外部代码，而是完全从内部ROM执行。此外，处理器不能自由地通过JTAG端口进行访问。相反，每位客户都会获得一个唯一的64位密钥，必须通过JTAG或测试访问端口扫描该密钥后才能访问。

数字传输内容保护

DTCP规范定义了加密协议，避免音频娱乐内容在穿过IEEE 1394标准等高性能数字总线时被非法复制、截取和篡改。只有通过另一个经认证的复制保护系统(例如DVD内容加扰系统)传递到源设备的合法娱乐内容才会受到这个复制保护系统的保护。

表3. 内部存储器空间¹

IOP寄存器0x0000 0000–0x0003 FFFF			
长字(64位)	扩展精度普通字或指令字(48位)	普通字(32位)	短字(16位)
模块0 ROM(保留) 0x0004 0000–0x0004 7FFF	模块0 ROM(保留) 0x0008 0000–0x0008 AAA9	模块0 ROM(保留) 0x0008 0000–0x0008 FFFF	模块0 ROM(保留) 0x0010 0000–0x0011 FFFF
保留 0x0004 8000–0x0004 8FFF	保留 0x0008 AAAA–0x0008 BFFF	保留 0x0009 0000–0x0009 1FFF	保留 0x0012 0000–0x0012 3FFF
模块0 SRAM 0x0004 9000–0x0004 EFFF	模块0 SRAM 0x0008 C000–0x0009 3FFF	模块0 SRAM 0x0009 2000–0x0009 DFFF	模块0 SRAM 0x0012 4000–0x0013 BFFF
保留 0x0004 F000–0x0004 FFFF	保留 0x0009 4000–0x0009 FFFF	保留 0x0009 E000–0x0009 FFFF	保留 0x0013 C000–0x0013 FFFF
模块1 ROM(保留) 0x0005 0000–0x0005 7FFF	模块1 ROM(保留) 0x000A 0000–0x000A AAA9	模块1 ROM(保留) 0x000A 0000–0x000A FFFF	模块1 ROM(保留) 0x0014 0000–0x0015 FFFF
保留 0x0005 8000–0x0005 8FFF	保留 0x000A AAAA–0x000A BFFF	保留 0x000B 0000–0x000B 1FFF	保留 0x0016 0000–0x0016 3FFF
模块1 SRAM 0x0005 9000–0x0005 EFFF	模块1 SRAM 0x000A C000–0x000B 3FFF	模块1 SRAM 0x000B 2000–0x000B DFFF	模块1 SRAM 0x0016 4000–0x0017 BFFF
保留 0x0005 F000–0x0005 FFFF	保留 0x000B 4000–0x000B FFFF	保留 0x000B E000–0x000B FFFF	保留 0x0017 C000–0x0017 FFFF
模块2 SRAM 0x0006 0000–0x0006 3FFF	模块2 SRAM 0x000C 0000–0x000C 5554	模块2 SRAM 0x000C 0000–0x000C 7FFF	模块2 SRAM 0x0018 0000–0x0018 FFFF
保留 0x0006 4000–0x0006 FFFF	保留 0x000C 5555–0x000D FFFF	保留 0x000C 8000–0x000D FFFF	保留 0x0019 0000–0x001B FFFF
模块3 SRAM 0x0007 0000–0x0007 3FFF	模块3 SRAM 0x000E 0000–0x000E 5554	模块3 SRAM 0x000E 0000–0x000E 7FFF	模块3 SRAM 0x001C 0000–0x001C FFFF
保留 0x0007 4000–0x0007 FFFF	保留 0x000E 5555–0x000F FFFF	保留 0x000E 8000–0x000F FFFF	保留 0x001D 0000–0x001F FFFF

¹ 某些处理器包括一个客户可定义ROM模块。这些型号的ROM地址不是像本表所示被保留。欲了解更多信息，请与当地ADI销售代表联系。

系列外设架构

处理器包含了丰富的外设集，支持类型广泛的应用，包括高质量音频、医疗成像、通信、军用、测试设备、三维图形、语音识别、电机控制、成像和其它应用。

外部端口

外部端口支持通过内核和DMA访问存取外部存储器。外部存储器地址空间分为四个bank，任何bank都可以设置为异步或同步存储器。外部端口由下列模块组成。

- 异步存储器接口，用于与符合标准异步SRAM访问协议的SRAM、FLASH和其它器件通信。AMI支持bank 0中的2M字外部存储器和bank 1、bank 2、bank 3中的4M字外部存储器。
- 1个DDR2 DRAM控制器。可以支持最大2 Gb的外部存储器设备。
- 仲裁逻辑，用于协调内部和外部存储器通过外部端口的内核和DMA传输。

外部的存储器

处理器的外部端口提供了器件与各种工业标准存储器设备的高性能无缝接口。通过使用独立的内部DDR2存储控制器，外部端口可以与同步和/或异步存储器设备接口。16位DDR2 DRAM控制器连接到工业标准同步DRAM器件，而第二个8位异步存储控制器用于连接各种存储器件。4个存储器选择引脚最多支持4个独立的器件共存，同步和异步类型器件可以任意组合。非DDR2 DRAM外部存储器地址空间，参见表4。

表4. 非DDR2 DRAM地址的外部存储器

模块	大小(字)	地址范围
模块0	2M	0x0020 0000 – 0x003F FFFF
模块1	4M	0x0400 0000 – 0x043F FFFF
模块2	4M	0x0800 0000 – 0x083F FFFF
模块3	4M	0x0C00 0000 – 0x0C3F FFFF

对外部存储器的SIMD访问

DDR2控制器支持通过64位EPD(外部端口数据总线)进行SIMD访问，允许访问PEy单元普通字空间(NW)中的补充寄存器。因为不需要像SISD模式一样明确加载补充寄存器，所以性能得到了改善。

对外部存储器的VISA和ISA访问

DDR2控制器也支持VISA代码操作，可降低存储器负载，因为VISA指令是压缩式。此外，总线获取也得以减少，因为在最佳情况下，一个48位获取操作包含3个有效指令。它同时支持利用传统ISA操作执行代码。注意，无论VISA还是ISA，它仅支持从模块0执行代码。表5给出了各种模式下指令获取的地址范围。

表5. 外部模块0指令获取

访问类型	大小(字)	地址范围
ISA (NW)	4M	0x0020 0000 – 0x005F FFFF
VISA (SW)	10M	0x0060 0000 – 0x00FF FFFF

共享的外部存储器

这些处理器支持与其他ADSP-2146x处理器一起连接到通用共享的外部DDR2存储器，从而创建共享的外部总线处理器系统。支持：

- 共享外部总线的分布式片内仲裁
- 固定和旋转的优先级总线仲裁
- 总线超时逻辑
- 总线锁定

多个处理器可以共享不含更多仲裁逻辑的外部总线。片内含仲裁逻辑，允许最多连接两个处理器。第13页表10提供了多处理器系统中所用的引脚说明。

DDR2支持

处理器支持16位DDR2，其最高频率工作可以工作在内核时钟频率一半的。支持从外部存储器执行。可以支持最大2 Gb的外部存储器设备。

DDR2 DRAM控制器

DDR2 DRAM控制器提供的16位接口最多支持4个由工业标准DDR2 DRAM器件构成的独立模块。每个模块完全兼容DDR2 DRAM标准，拥有自己的存储器选择线(DDR2_CS3 – DDR2_CS0)，并且可以配置为包含32 MB到256 MB的存储器。DDR2 DRAM外部存储器地址空间参见表6。

可以利用一组可编程时序参数来配置DDR2 DRAM模块以支持存储器件。

表6. DDR2 DRAM地址的外部存储器

模块	大小(字)	地址范围
模块0	62M	0x0020 0000 – 0x03FF FFFF
模块1	64M	0x0400 0000 – 0x07FF FFFF
模块2	64M	0x0800 0000 – 0x0BFF FFFF
模块3	64M	0x0C00 0000 – 0x0FFF FFFF

注意，所示的外部存储器模块地址是针对普通字(32位)访问。如果同一外部存储器模块中既有48位指令，又有32位数据，则映射时必须小心，避免重叠。

异步存储控制器

异步存储控制器提供一个可配置接口，最多支持4个独立的存储器模块或I/O器件。每个模块可以采用不同的时序参数独立编程，可以连接类型广泛的存储器件，包括SRAM、Flash、EPROM以及能与标准存储器控制线接口的I/O器件。在处理器的地址空间中，bank 0占用2M字窗口，bank 1、2、3占用4M字窗口，但如果未全部填充，存储控制器逻辑不会将这些窗口配置为彼此相邻。

外部端口吞吐速率

基于400 MHz时钟的AMI外部端口吞吐速率为66M b/s，DDR2外部端口吞吐速率为800M b/s。

链路端口

两个8位宽链路端口可以与其它DSP或外设的链路口相连。链路端口是双向端口，具有8条数据线、1条应答线和1条时钟线。链路端口可以工作在166 MHz的最高频率下。

MediaLB

汽车应用型号具有一个MLB接口，通过该接口，处理器可以用作媒体本地总线器件。它支持3引脚和5引脚媒体本地总线协议。速度最高可达1024 FS(49.25Mb/s，FS = 48.1 kHz)，最多支持31个逻辑通道，每个媒体本地总线帧最多包含124字节的数据。

MLB接口支持MOST25和MOST50数据速率。不支持同步传输模式。

脉冲宽度调制

PWM模块是一个灵活且可编程的PWM波形发生器，用来产生所需的开关信号，以便支持电机和引擎控制、音频功率控制相关的各种应用。PWM发生器可以产生中心对齐或边沿对齐的PWM波形。此外，它可以在两路成对输出上产生互补信号，或在非成对输出上产生独立信号(适用于由四个PWM波形组成的一组)。在产生中心对齐PWM波形的同时，PWM发生器可以在两种不同模式下工作：单次更新模式或二次更新模式。

整个PWM模块具有四组PWM输出，每组有4个PWM输出。所以该模块总共会生成16个PWM输出。每个PWM组在四路PWM输出上产生两对PWM信号。

数字应用接口(DAI)

通过数字应用接口(DAI)，各种外设可以连接到任意DAI引脚(DAI_P20-1)。

程序利用信号路由单元(SRU)实现这些连接，如第1页图1所示。

SRU是一个矩阵路由单元(或一组多路复用器)，支持DAI提供的外设在软件控制下互连。因此，与非可配置信号路径支持的算法集相比，它可以使用更大的算法集，使得更广泛的应用可以轻松使用DAI相关外设。

DAI包括下面说明的外设。

串行端口

这些处理器具有8个同步串行端口，通过这些端口，处理器可以低成本地连接到各种数字和混合信号外设，如ADI公司的AD183x系列音频编解码器、ADC和DAC。这些串行端口由两条数据线、一条时钟线和一条帧同步线组成。数据线可以编程为发送或接收数据，各数据线有一个专用DMA通道。

所有8个SPORT均使能时，最多可以支持16个发送或16个接收DMA音频数据通道，或者支持每帧128信道的4个全双工TDM流。

串行端口工作在 $f_{\text{PCLK}}/4$ 的最大数据速率。串行端口数据可以通过专用DMA通道自动写入和读取片内存储器/外部存储器。每个串行端口都可以与另一个串行端口合作以提供TDM支持。一个SPORT提供两个发送信号，另一个SPORT提供两个接收信号。帧同步和时钟共享。

串行端口有五种工作模式：

- 标准DSP串行模式
- 多通道(TDM)模式
- I²S模式
- 包装I²S模式
- 左对齐模式

S/PDIF兼容数字音频接收器/发送器

S/PDIF接收器/发送器没有独立的DMA通道。它以串行格式接收音频数据，并将其转换为双相编码信号。接收器/发送器的串行数据输入可以格式化为左对齐、I²S或右对齐，字宽为16、18、20或24位。

S/PDIF接收器/发送器的串行数据、时钟和帧同步输入通过信号路由单元(SRU)路由，其来源包括SPORT、外部引脚、精密时钟发生器(PCG)等，并受SRU控制寄存器的控制。

异步采样速率转换器

异步采样速率转换器(ASRC)包含4个ASRC模块,具有与192 kHz立体声异步采样速率转换器AD1896相同的内核,SNR高达128 dB。ASRC模块用于在独立的立体声通道上执行同步或异步采样速率转换,不占用内部处理器资源。4个SRC模块也可以配置为联合工作,实现无相位失配的多通道音频数据转换。最后,ASRC可以用来清除音频数据中S/PDIF接收器等抖动时钟源的影响。

输入数据端口

IDP最多提供8个串行输入通道,各通道均有自己的时钟、帧同步和数据输入。8个通道自动复用到一个32位乘8深的FIFO。数据始终格式化为64位帧,且被分为两个32位字。串行协议设计用于接收I²S、左对齐采样对或右对齐模式的音频通道。一个帧同步周期表示一个64位左/右对,但数据以32位字发送到FIFO(即每次半个帧)。处理器支持24位和32位I²S、24位和32位左对齐、24/20/18/16位右对齐格式。

精密时钟发生器

精密时钟发生器(PCG)由A、B、C和D四个单元组成,每个单元均能从一个时钟输入信号产生一对信号(时钟和帧同步)。每个单元的功能完全相同,彼此独立工作。各单元产生的两个信号一般用作串行位时钟/帧同步对。

数字外设接口(DPI)

数字外设接口可以连接到两个串行外设接口端口(SPI)、一个通用异步接收器-发送器(UART)、12个标志、一个双线式接口(TWI)和两个通用定时器。DPI包括下面说明的外设。

串行外设接口

处理器包含了两个串行外设接口端口(SPI)。SPI是工业标志同步串行链路,支持SPI兼容端口与其它SPI兼容器件通信。SP包括两个数据引脚,一个器件选择引脚,一个时钟引脚。它是一个全双工同步串行接口,支持主器件和从器件模式。SPI端口可以在多主器件环境下工作,最多可以与4个其它SPI兼容器件接口;既可作为主器件,也可用作从器件。SPI兼容外设实现还提供可编程的波特率和时钟相位/极性。SPI兼容端口利用开漏驱动器来支持多主器件配置,避免数据竞争。

UART端口

处理器提供一个全双工通用异步接收器/发送器(UART)端口,它与PC标准UART完全兼容。UART端口提供一个简化的UART接口用于连接其它外设或主机,支持全双工、DMA、异步串行数据传输。UART使用9位地址检测,具有多处理器通信能力。因此,它可以用在符合RS-485数据接口标准的多分支网络中。UART端口还支持5到8个数据位、1或2个停止位以及无/偶/奇校验。UART端口支持两种工作模式:

- PIO(可编程I/O)——处理器通过写入或读取I/O映射UART寄存器来发送或接收数据。发送和接收数据均为双缓冲。
- DMA(直接存储器访问)——DMA控制器传输发送和接收数据。这可以减少存储器数据传输所需的中断数量和频率。

定时器

处理器总共有三个定时器:一个可产生周期性软件中断的内核定时器,以及两个可产生周期性中断的通用定时器。两个通用定时器可以各自独立设置为以下三种工作模式之一:

- 脉冲波形产生模式
- 脉冲宽度计数/捕捉模式
- 外部事件看门狗模式

内核定时器可以利用FLAG3作为定时器到期信号,每个通用定时器具有一个双向引脚和四个配置寄存器来实现其工作模式。通用定时器由一个控制和状态寄存器独立使能或禁用。

双线式接口(TWI)

TWI是一种双向双线串行总线,用于移动8位数据,同时保持与PC总线协议的合规性。TWI主器件集成了下列特性:

- 7位寻址
- 在多器件系统上,主器件和从器件可以同时工作,并支持多主器件数据仲裁
- 数字滤波和定时事件处理
- 100 kbps和400 kbps数据速率
- 低中断速率

I/O处理器特性

汽车应用版本的I/O处理器提供67通道的DMA,而标准版本提供36通道的DMA,汽车应用版本的I/O处理器还提供下面所述的多种外设。

DMA控制器

DMA控制器支持在无处理器干预的情况下进行数据传输。DMA控制器独立工作，对处理器内核是不可见的，在执行DMA操作的同时，内核可以执行程序指令。DMA传输可以发生在处理器的内部存储器及其串行端口、SPI(串行外设接口)兼容端口、IDP(输入数据端口)、并行数据采集端口(PDAP)或UART之间。

最多可利用67通道的DMA，如表7所示。使用DMA传输可以将程序下载到处理器。其它DMA特性包括：DMA传输完成时产生中断，以及用于自动链接DMA传输的DMA链。

延迟线DMA

利用延迟线DMA，处理器读取和写入外部延迟线缓冲器(从而存取外部存储器)时，只需与内核发生非常有限的交互。

分散/聚集DMA

分散/聚集DMA允许DMA读取/写入非连续的存储器模块。

表7. DMA通道

外设	DMA通道
SPORTs	16
IDP/PDAP	8
SPI	2
UART	2
外部端口	2
链路端口	2
加速器	2
存储器到存储器	2
MLB ¹	31

¹ 仅限汽车应用型号。

IIR加速器

IIR(无限脉冲响应)加速器由一个用于存储双二阶系数的1440字系数存储器、一个用于存储中间数据的数据存储器和一个MAC单元组成。一个控制器管理该加速器。IIR加速器以外设时钟频率工作。

FFT加速器

FFT加速器实现基2复数/实数输入、复数输出FFT，无需内核干预。FFT加速器以外设时钟频率工作。

FIR加速器

FIR(有限脉冲响应)加速器由一个1024字系数存储器、一个用于数据的1024字深延迟线和四个MAC单元组成。一个控制器管理该加速器。FIR加速器以外设时钟频率工作。

系统设计

以下部分介绍系统设计选项和电源问题。

程序引导

系统上电时，内部存储器从一个8位EPROM通过外部端口、链路端口、SPI主器件或SPI从器件进行引导。引导由表8中的引导配置(BOOTCFG2-0)引脚决定。

表8. 引导模式选择

BOOTCFG2-0	引导模式
000	SPI从器件引导
001	SPI主器件引导
010	AMI引导(8位Flash引导)
011	无引导，复位后处理器从内部ROM执行
100	链路端口0引导
101	保留

运行复位特性允许程序复位处理器内核和外设，但不复位PLL和DDR2 DRAM控制器或执行引导过程。RESETOUT引脚还用作启动运行复位的输入。更多信息请参阅《ADSP-214xx SHARC处理器硬件参考》。

电源

处理器的内部(V_{DD_INT})、外部(V_{DD_EXT})和模拟(V_{DD_A})电源具有单独的电源连接。内部和模拟电源必须满足 V_{DD_INT} 要求。外部电源必须满足 V_{DD_EXT} 要求。所有的外部电源引脚必须连接到同一个电源。

注意，模拟电源引脚(V_{DD_A})为处理器的内部时钟发生器PLL供电。为了产生稳定的时钟，建议PCB设计使用 V_{DD_A} 引脚的外部滤波器电路。将滤波器元件应尽可能靠近 $V_{DD_A}/AGND$ 引脚。有关电路示例，参见图3。(建议的铁质片为muRata BLM18AG102SN1D)。

为降低噪声耦合，对于 V_{DD_INT} 和GND，PCB应使用一对并行的电源和接地层。采用宽走线，将旁路电容连接到模拟电源(V_{DD_A})和接地(AGND)引脚。注意，图3中规定的 V_{DD_A} 和AGND引脚是处理器的输入，不是板上的模拟接地层。AGND引脚必须直接连接到芯片的数字地(GND)。

目标板JTAG仿真器连接器

仿真期间，ADI公司DSP工具JTAG仿真器产品线采用处理器的IEEE 1149.1 JTAG测试访问端口来监控和控制目标板处理器。ADI公司DSP工具JTAG仿真器产品线以处理器最高速度提供仿真，允许检查和更改存储器、寄存器及处理器堆栈。处理器的JTAG接口确保仿真器不会影响目标系统的加载或时序。

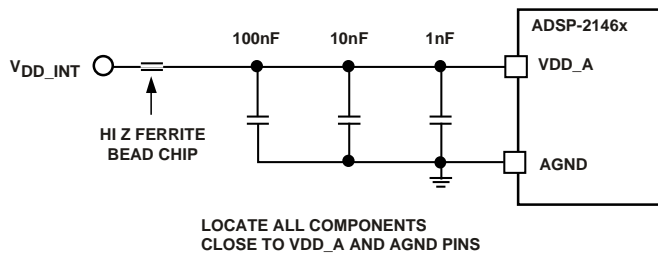


图3. 模拟电源(V_{DD_A})滤波器电路

有关ADI公司SHARC DSP工具JTAG仿真器产品线的完整信息，请参见相应的仿真器硬件用户指南。

开发工具

有一整套CROSSCORE®软件和硬件开发工具支持处理器，包括ADI公司仿真器和VisualDSP++®开发环境。支持其它SHARC处理器的仿真器硬件也完全能仿真ADSP-21467/ADSP-21469处理器。

EZ-KIT Lite评估板

若要评估处理器，请使用ADI公司开发的EZ-KIT Lite®评估板。该板内置仿真功能，并支持软件开发。同时提供多种子板。

设计一个兼容仿真器的DSP板(目标)

ADI公司的系列仿真器是每位DSP开发工程师测试和调试软硬件系统的得力工具。ADI公司在每个JTAG DSP上都提供了一个IEEE 1149.1 JTAG测试访问端口(TAP)。处理器的JTAG接口支持非介入式在线仿真，确保仿真器不会影响目标系统的加载或时序。仿真器使用TAP访问处理器的内部功能，允许开发人员加载代码、设置断点、观察变量、观察存储器、检查寄存器。发送数据和命令时，处理器必须暂停，但当仿真器完成操作时，DSP系统便能以全速运行，对系统时序无影响。

要使用这些仿真器，目标板必须用一个插头将DSP的JTAG端口连接到仿真器。

有关目标板设计问题的详细信息，包括机械布局、单处理器连接、信号缓冲、信号端接和仿真器Pod逻辑等，请参阅EE-68：“ADI公司JTAG仿真技术参考”(请在ADI公司网站www.analog.com上搜索“EE-68”)。该文件定期更新，以便与仿真器支持的最新改进保持同步。

评估套件

ADI公司提供一系列高性价比的EZ-KIT Lite评估平台，通过这些平台，用户可以详细了解ADI处理器、平台和软件工具的开发或原型设计应用。每款EZ-KIT Lite均包括一个评估板以及VisualDSP++开发与调试环境的评估套件，其中含有C/C++编译器、汇编器和链接器。此外还包括应用程序示例、电源和USB电缆。软件工具的所有评估版本只能配合EZ-KIT Lite产品使用。

EZ-KIT Lite评估板上的USB控制器用于将评估板连接到用户PC的USB端口，使得VisualDSP++仿真套件能够在线仿真板上处理器。用户可以下载、执行、调试EZ-KIT Lite系统的程序。此外还可以对板上Flash器件进行在线编程，以便存储专用引导代码，使得评估板可以用作独立单元，无需连接到PC。

如果安装完整版本的VisualDSP++(另售)，工程师就可以开发用于EZ-KIT Lite或任何定制系统的软件。将ADI公司的一款JTAG仿真器连接到EZ-KIT Lite评估板，可以实现高速非介入式仿真。

其它信息

此数据手册概述了ADSP-21467/ADSP-21469的架构和功能。有关内核架构和指令集的详细信息，请参阅《SHARC处理器编程参考》。

相关信号链

信号链指一系列信号调理电子器件，它们相继接收输入(通过采样实时现象获得的数据或存储的数据)，信号链一部分的输出作为下一部分的输入。信号处理应用常常使用信号链来采集和处理数据，或者根据对实时现象的分析应用系统控制。有关这个术语和相关话题的更多信息，请参阅[维基百科](#)中的“信号链”词条或ADI公司网站上的[术语表](#)。

ADI公司提供能够完美配合工作的信号处理器来简化信号处理系统的开发。ADI公司网站www.analog.com提供了一款工具，用于显示特定应用与相关器件之间的关系。

实验室电路Circuits from the Lab™网站(http://www.analog.com/signal_chains)的应用信号链页面提供如下内容：

- 各种电路类型和应用的信号链电路图
- 各信号链中的器件均有选型指南和应用信息链接
- 采用最佳设计技术的参考设计

引脚功能描述

不使用DDR2或MLB接口时使用表9中的端接说明。

警告：系统设计必须符合这些端接规则，避免这些引脚处出现质量、可靠性和漏电问题。

表9. 未用引脚端接

引脚名称	未用端接
DDR2_CKE, DDR2_CS, DDR2_DM, DDR2_DQSx, DDR2_DQSx, DDR2_RAS, DDR2_CAS, DDR2_WE, DDR2_CLKx, DDR2_CLKx DDR2_ADDR, DDR2_BA, DDR2_DATA	保持浮空。 通过设置DDR2CTL0寄存器的DIS_DDRCTL位实现内部三态
V _{DD_DDR2} ¹	连接到V _{DD_INT} 电源
V _{REF}	保持浮空/不连接
MLBCLK, MLBDAT, MLBSIG, MLBDO, MLBSO	仅限汽车应用型号。芯片版本0.2及更高版本的标准产品接地(GND)。芯片版本0.2及其之前的标准产品，在未使用时保持这些引脚浮空。

¹ 未使用DDR2控制器时，通过设置DDR2PADCTLx寄存器的PWD位，关断接收路径。

表10. 引脚描述

姓名	类型	复位期间/之后的状态	描述
AMI_ADDR ₂₃₋₀	I/O/T (ipu)	高阻态/变为低电平(引导)	外部地址。 处理器通过这些引脚输出外部存储器和外设的地址。可以复用数据引脚, 来支持PDAP (I)和PWM (O)。复位之后, 所有AMI_ADDR ₂₃₋₀ 引脚处于外部存储器接口模式, FLAG(0-3)引脚处于FLAGS模式(默认)。在IDP_PDAP_CTL寄存器中配置时, IDP通道0扫描AMI_ADDR ₂₃₋₀ 引脚以获得并行输入数据。不用的AMI引脚可以保持不连接。
AMI_DATA ₇₋₀	I/O/T (ipu)	高阻态	外部数据。 数据引脚可以复用以支持外部存储器接口数据(I/O)、PDAP (I)、FLAGS (I/O)和PWM (O)。复位之后, 所有AMI_DATA引脚处于EMIF模式, FLAG(0-3)引脚处于FLAGS模式(默认)。不用的AMI引脚可以保持不连接。
AMI_ACK	I (ipu)		存储器应答(AMI_ACK)。外部器件可以解除置位AMI_ACK(低电平)以向外部存储器访问增加等待状态。AMI_ACK由I/O器件、存储控制器或其它外设使用以推迟外部存储器访问的完成。不用的AMI引脚可以保持不连接。
$\overline{\text{AMI_MS0-1}}$	O/T (ipu)	高阻态	存储器选择线0-1。 这些线路置位(低电平)用作AMI接口上外部存储器相应模块的片选信号。 $\overline{\text{MS}}_{1-0}$ 线是解码的存储器地址线, 与其它地址线同时改变。无外部存储器访问时, $\overline{\text{MS}}_{1-0}$ 线无效; 但是, 当执行条件存储器访问指令时, 无论条件是否为真, 这些线路都会激活。不用的AMI引脚可以保持不连接。 $\overline{\text{MS}}_1$ 引脚可以用于EPORT/FLASH引导模式。更多信息请参阅《ADSP-214xx SHARC处理器硬件参考》。
$\overline{\text{AMI_RD}}$	O/T (ipu)	高阻态	AMI端口读取使能。 只要处理器从外部存储器读取一个字, $\overline{\text{AMI_RD}}$ 就会置位。
$\overline{\text{AMI_WR}}$	O/T (ipu)	高阻态	外部端口写入使能。 只要处理器写入一个字到外部存储器, $\overline{\text{AMI_WR}}$ 就会置位。
FLAG[0]/ $\overline{\text{IRQ0}}$	I/O (ipu)	FLAG[0]输入	FLAG0/中断请求0。
FLAG[1]/ $\overline{\text{IRQ1}}$	I/O (ipu)	FLAG[1]输入	FLAG1/中断请求1。
FLAG[2]/ $\overline{\text{IRQ2}}$ / $\overline{\text{AMI_MS2}}$	I/O (ipu)	FLAG[2]输入	FLAG2/中断请求2/异步存储器选择2。
FLAG[3]/TMREXP/ $\overline{\text{AMI_MS3}}$	I/O (ipu)	FLAG[3]输入	FLAG3/定时器到期/异步存储器选择3。

表10的“类型”栏中包括下列符号: **A** = 异步, **I** = 输入, **O** = 输出, **S** = 同步, **A/D** = 有源驱动, **O/D** = 开漏, **T** = 三态, **ipd** = 内部下拉电阻, **ipu** = 内部上拉电阻。内部上拉(ipu)和内部下拉(ipd)电阻用于使从引脚开始的内部路径保持在期望的逻辑电平。要将外部焊盘上拉或下拉至期望的逻辑电平, 应使用外部电阻。无法使能或禁用内部上拉/下拉电阻, 无法设置这些电阻的值。内部上拉电阻的范围为26 k Ω -63 k Ω 。内部下拉电阻的范围为31 k Ω -85 k Ω 。内部上拉焊盘的三态电压不会达到 $V_{\text{DD_EXT}}$ 最高电平; 典型条件下, 该电压在2.3 V到2.7 V范围内。在此表中, DDR2引脚兼容SSTL18。所有其他引脚兼容LVTTTL。

ADSP-21467/ADSP-21469

表10. 引脚描述(续)

姓名	类型	复位期间/之后的状态	描述
DDR2_ADDR ₁₅₋₀	O/T	高阻态/变为低电平	DDR2地址 。DDR2地址引脚。
DDR2_BA ₂₋₀	O/T	高阻态/变为低电平	DDR2组地址输入 。定义了将ACTIVATE、READ、WRITE或PRECHARGE命令应用到哪个内部bank。BA ₂₋₀ 定义了LOAD MODE REGISTER命令期间加载哪个模式的寄存器(包括MR、EMR、EMR(2)和EMR(3))。
$\overline{\text{DDR2_CAS}}$	O/T	高阻态/变为高电平	DDR2列地址选通 。连接到 $\overline{\text{DDR2_CAS}}$ 引脚；与其它DDR2命令引脚一起定义DDR2要执行的操作。
DDR2_CKE	O/T	高阻态/变为低电平	DDR2时钟使能DDR2的输出 。高电平有效信号。连接到DDR2 CKE信号。
$\overline{\text{DDR2_CS}}_{3-0}$	O/T	高阻态/变为高电平	DDR2芯片选择 。拉高 $\overline{\text{DDR2_CS}}_{3-0}$ 后，屏蔽所有命令。 $\overline{\text{DDR2_CS}}_{3-0}$ 是解码的存储器地址线。每个 $\overline{\text{DDR2_CS}}_{3-0}$ 线选择对应的外部bank。
DDR2_DATA ₁₅₋₀	I/O/T	高阻态	DDR2数据输入/输出 。连接到对应的DDR2_DATA引脚。
DDR2_DM ₁₋₀	O/T	高阻态/变为高电平	DDR2输入数据掩码 。拉高时对DDR2写入数据进行掩码。在DDR2侧的DDR2_DQS上升沿和下降沿采样。DM0对应DDR2_DATA 7-0，而DM1对应DDR2_DATA15-8。
DDR2_DQS ₁₋₀ DDR2_DQS ₁₋₀	I/O/T (差分)	高阻态	数据选通 。用写入数据输出。用读取数据输入。DQS0对应DDR2_DATA 7-0，而DQS1对应DDR2_DATA 15-8。通过DDR2CTL3寄存器进行软件控制，该引脚可以是单端或差分。
$\overline{\text{DDR2_RAS}}$	O/T	高阻态/变为高电平	DDR2行地址选通 。连接到 $\overline{\text{DDR2_RAS}}$ 引脚；与其它DDR2命令引脚一起定义DDR2要执行的操作。
$\overline{\text{DDR2_WE}}$	O/T	高阻态/变为高电平	DDR2写使能 。连接到 $\overline{\text{DDR2_WE}}$ 引脚；与其它DDR2命令引脚一起定义DDR2要执行的操作。
DDR2_CLK0, $\overline{\text{DDR2_CLK}}_0$, DDR2_CLK1, $\overline{\text{DDR2_CLK}}_1$	O/T (差分)	高阻态/变为低电平	DDR2存储器时钟 。通过软件控制(DDR2CTL0寄存器)获得两个差分输出。复位期间不能保证自由运行最小频率。
DDR2_ODT	O/T	高阻态/变为低电平	DDR2片上端接 。ODT引脚拉高输出时(与其他要求一起)使能DDR2端接电阻。与读/写命令无关，使能/禁用ODT。

表10的“类型”栏中包括下列符号：**A** = 异步，**I** = 输入，**O** = 输出，**S** = 同步，**A/D** = 有源驱动，**O/D** = 开漏，**T** = 三态，**ipd** = 内部下拉电阻，**ipu** = 内部上拉电阻。

内部上拉(ipu)和内部下拉(ipd)电阻用于使从引脚开始的内部路径保持在期望的逻辑电平。要将外部焊盘上拉或下拉至期望的逻辑电平，应使用外部电阻。无法使能或禁用内部上拉/下拉电阻，无法设置这些电阻的值。内部上拉电阻的范围为26 kΩ-63 kΩ。内部下拉电阻的范围为31 kΩ-85 kΩ。内部上拉焊盘的三态电压不会达到V_{DD_EXT}最高电平；典型条件下，该电压在2.3 V到2.7 V范围内。

该表中，DDR2引脚兼容SSTL18。所有其他引脚兼容LVTTTL。

表10. 引脚描述(续)

姓名	类型	复位期间/之后的状态	描述
DAI_P20-1	I/O/T (ipu)	高阻态	数字应用接口。 这些引脚提供DAI SRU的物理接口。DAI SRU配置寄存器定义连接到该引脚及其输出使能的片内音频中心外设输入或输出的组合。然后, 这些外设的配置寄存器就可以确定该引脚的确切行为。DAI SRU中存在的任何输入或输出信号都可以路由至其中的任意引脚。DAI SRU提供从串行端口、S/PDIF模块、输入数据端口(2)和精密时钟发生器(4)到DAI_P20-1引脚的连接。
DPI_P14-1	I/O/T (ipu)	高阻态	数字外设接口。 这些引脚提供DPI SRU的物理接口。DPI SRU配置寄存器定义连接到该引脚及其输出使能的片内外设输入或输出的组合。然后, 这些外设的配置寄存器就可以确定该引脚的确切行为。DPI SRU中存在的任何输入或输出信号都可以路由至其中的任意引脚。DPI SRU提供从定时器(2)、SPI(2)、UART (1)、标志(12)和通用I/O(9)到DPI_P14-1引脚的连接。
LDAT07-0 LDAT17-0	I/O/T (ipd)	高阻态	链路端口数据(链路端口0-1)。 配置为发送器时, 端口会同时驱动两条数据线。
LCLK0 LCLK1	I/O/T (ipd)	高阻态	链路端口时钟(链路端口0-1)。 允许异步数据传输。配置为发送器时, 端口会驱动LCLKx线。需要有一个外部25 kΩ下拉电阻, 该引脚才能正常工作。
LACK0 LACK1	I/O/T (ipd)	高阻态	链路端口应答(链路端口0-1)。 提供握手。链路端口配置为接收器时, 端口会驱动LACKx线。需要有一个外部25 kΩ下拉电阻, 该引脚才能正常工作。
THD_P	I		热二极管阳极。 如果未使用, 可保持浮空。
THD_M	O		热二极管阴极。 如果未使用, 可保持浮空。
MLBCLK	I		媒体局部总线时钟。 此时钟由MLB控制器产生, 与MOST网络同步, 为整个MLB接口提供时序。FS = 48 kHz时为49.152 MHz。如果未使用, 应接地(参见第12页表9)。
MLBDAT	I/O/T(3引脚模式)。 I/T(5引脚模式)。	高阻态	媒体局部总线数据。 MLBDAT线由MLB发送器驱动, 并由所有其它MLB器件接收, 包括MLB控制器。MLBDAT线承载实际的数据。在5引脚MLB模式下, 此引脚仅为输入。如果未使用, 应接地(参见第12页表9)。
MLBSIG	I/O/T(3引脚模式)。 I/T(5引脚模式)。	高阻态	媒体局部总线信号。 这是一个多路复用信号, 承载MLB控制器产生的通道/地址, 以及来自MLB器件的命令和接收状态字节。在5引脚模式下, 此引脚仅为输入。如果未使用, 应接地(参见第12页表9)。
MLBDO	O/T	高阻态	媒体局部总线数据输出(5引脚模式)。 此引脚仅用于5引脚MLB模式。在5引脚模式下, 它用作输出数据。如果未使用, 应接地(参见第12页表9)。
MLBSO	O/T	高阻态	媒体局部总线信号输出(5引脚模式)。 该引脚只能用于5引脚MLB模式, 用作5引脚模式的输出信号引脚。如果未使用, 应接地(参见第12页表9)。

表10的“类型”栏中包括下列符号: **A** = 异步, **I** = 输入, **O** = 输出, **S** = 同步, **A/D** = 有源驱动, **O/D** = 开漏, **T** = 三态, **ipd** = 内部下拉电阻, **ipu** = 内部上拉电阻。

内部上拉(ipu)和内部下拉(ipd)电阻用于使从引脚开始的内部路径保持在期望的逻辑电平。要将外部焊盘上拉或下拉至期望的逻辑电平, 应使用外部电阻。无法使能或禁用内部上拉/下拉电阻, 无法设置这些电阻的值。内部上拉电阻的范围为26 kΩ-63 kΩ。内部下拉电阻的范围为31 kΩ-85 kΩ。内部上拉焊盘的三态电压不会达到V_{DD_EXT}最高电平; 典型条件下, 该电压在2.3 V到2.7 V范围内。

该表中, DDR2引脚兼容SSTL18。所有其他引脚兼容LVTTL。

ADSP-21467/ADSP-21469

表10. 引脚描述(续)

姓名	类型	复位期间/之后的状态	描述
\overline{BR}_{2-1}	I/P (ipu)	\overline{BR}_1 = 由处理器拉低(ID1=0, ID0=1) \overline{BR}_2 = 由处理器拉高(ID1=1, ID0=0) \overline{BR}_{2-1} = ID引脚为零值时为高阻态	总线请求。 处理器用于仲裁总线主控。处理器仅驱动自己的 \overline{BR}_x 线(对应其ID1-0输入值),并监控所有其他线。处理器自己的 \overline{BR}_x 线是输出,所以不能连接高电平或低电平。
ID ₁₋₀	I		芯片ID。 决定处理器使用哪个总线请求(\overline{BR}_{2-1})。ID = 001对应 \overline{BR}_1 ,而ID = 010对应 \overline{BR}_2 。单一处理器系统中使用ID = 000或001。这些线是系统配置选择,必须硬连线或仅在复位时更改。保留ID = 101、110和111。
TDI	I (ipu)	高阻态	测试数据输入(JTAG)。 为边界扫描逻辑提供串行数据。
TDO	O/T		测试数据输出(JTAG)。 边界扫描路径的串行扫描输出。
TMS	I (ipu)		测试模式选择(JTAG)。 用于控制测试状态机。
TCK	I		测试时钟(JTAG)。 为JTAG边界扫描提供时钟。为使器件正常工作,上电后TCK信号必须置位(变为低电平)或保持低电平。
\overline{TRST}	I (ipu)		测试复位(JTAG)。 复位测试状态机。为使处理器正常工作,上电后 \overline{TRST} 信号必须置位(变为低电平)或保持低电平。
\overline{EMU}	O/D (ipu)		仿真状态。 只能用于连接到ADSP-21467/ADSP-21469 Analog Devices DSP工具产品线的JTAG仿真器目标板。
CLK_CFG ₁₋₀	I		内核与CLKIN比率控制。 这些引脚设置启动时钟频率。注意,内核退出复位状态后,可以随时设置PMCTL寄存器中的PLL倍频器和分频器以更改工作频率。允许值如下: 00 = 6:1 01 = 32:1 10 = 16:1 11 = 保留
CLKIN	I		本地时钟输入。 与XTAL一起使用。CLKIN为时钟输入。它配置处理器以使用内部时钟发生器或外部时钟源。将必要的元件连接到CLKIN和XTAL可使能内部时钟发生器。将外部时钟连接到CLKIN,同时不连接XTAL,可将处理器配置为使用外部时钟源,如外部时钟振荡器。CLKIN不得中止、更改或在额定频率以下工作。
XTAL	O		晶振端子。 与CLKIN一起使用以驱动外部晶振。

表10的“类型”栏中包括下列符号: **A** = 异步, **I** = 输入, **O** = 输出, **S** = 同步, **A/D** = 有源驱动, **O/D** = 开漏, **T** = 三态, **ipd** = 内部下拉电阻, **ipu** = 内部上拉电阻。

内部上拉(ipu)和内部下拉(ipd)电阻用于使从引脚开始的内部路径保持在期望的逻辑电平。要将外部焊盘上拉或下拉至期望的逻辑电平,应使用外部电阻。无法使能或禁用内部上拉/下拉电阻,无法设置这些电阻的值。内部上拉电阻的范围为26 kΩ–63 kΩ。内部下拉电阻的范围为31 kΩ–85 kΩ。内部上拉焊盘的三态电压不会达到 V_{DD_EXT} 最高电平;典型条件下,该电压在2.3 V到2.7 V范围内。该表中,DDR2引脚兼容SSTL18。所有其他引脚兼容LVTTTL。

表10. 引脚描述(续)

姓名	类型	复位期间/之后的状态	描述
RESET	I		处理器复位。 将处理器复位至已知状态。解除置位后会延迟4096 CLKIN周期以便PLL锁定。经过此时间后，内核开始从硬件复位矢量地址执行程序。RESET输入在上电时必须置位(低电平)。
RESETOUT/ RUNRSTIN	I/O (ipu)		复位输出/运行复位输入。 此引脚的默认设置为复位输出。此引脚还有一个功能，即用作RUNRSTIN，将RUNRSTCTL寄存器的位0置1可启用该功能。更多信息请参阅《ADSP-214xx SHARC处理器硬件参考》。
BOOT_CFG ₂₋₀	I		引导配置选择。 这些引脚选择处理器的引导模式。BOOT_CFG引脚必须在RESET(硬件和软件)解除置位之前有效。

表10的“类型”栏中包括下列符号：**A** = 异步，**I** = 输入，**O** = 输出，**S** = 同步，**A/D** = 有源驱动，**O/D** = 开漏，**T** = 三态，**ipd** = 内部下拉电阻，**ipu** = 内部上拉电阻。

内部上拉(ipu)和内部下拉(ipd)电阻用于使从引脚开始的内部路径保持在期望的逻辑电平。要将外部焊盘上拉或下拉至期望的逻辑电平，应使用外部电阻。无法启用或禁用内部上拉/下拉电阻，无法设置这些电阻的值。内部上拉电阻的范围为26 kΩ-63 kΩ。内部下拉电阻的范围为31 kΩ-85 kΩ。内部上拉焊盘的三态电压不会达到V_{DD_EXT}最高电平；典型条件下，该电压在2.3 V到2.7 V范围内。该表中，DDR2引脚兼容SSTL18。所有其他引脚兼容LVTTTL。

表11. 引脚列表，电源和地

姓名	类型	描述
V _{DD_INT}	P	内部电源
V _{DD_EXT}	P	外部电源
V _{DD_A}	P	PLL的模拟电源
V _{DD_THD}	P	热二极管电源
V _{DD_DDR2} ¹	P	DDR2接口电源
V _{REF}	P	DDR2输入基准电压
GND	G	地
AGND	G	模拟地

¹ 适用于DDR2信号。

技术规格

工作条件

参数 ¹	描述	450 MHz			400 MHz			单位
		最小值	最小值	最小值	最小值	最小值	最小值	
V _{DD_INT}	内部(内核)电源电压	1.05	1.1	1.15	1.0	1.05	1.1	V
V _{DD_EXT}	外部(I/O)电源电压	3.13	3.3	3.47	3.13	3.3	3.47	V
V _{DD_A} ²	模拟电源电压	1.05	1.1	1.15	1.0	1.05	1.1	V
V _{DD_DDR2} ^{3,4}	DDR2控制器电源电压	1.7	1.8	1.9	1.7	1.8	1.8	V
V _{DD_THD}	热二极管电源电压	3.13	3.3	3.47	3.13	3.3	3.47	V
V _{REF}	DDR2基准电压	0.84	0.9	0.96	0.84	0.9	0.96	V
V _{IH} ⁵	高电平输入电压(V _{DD_EXT} = 最大值时)	2.0			2.0			V
V _{IL} ⁵	低电平输入电压(V _{DD_EXT} = 最小值时)			0.8			0.8	V
V _{IH_CLKIN} ⁶	高电平输入电压(V _{DD_EXT} = 最大值时)	2.0			2.0			V
V _{IL_CLKIN} ⁶	低电平输入电压(V _{DD_EXT} = 最小值时)			1.32			1.32	V
V _{IL_DDR2} (DC)	低直流电平输入电压			V _{REF} - 0.125			V _{REF} - 0.125	V
V _{IH_DDR2} (DC)	高直流电平输入电压	V _{REF} + 0.125			V _{REF} + 0.125			V
V _{IL_DDR2} (AC)	低交流电平输入电压			V _{REF} - 0.25			V _{REF} - 0.25	V
V _{IH_DDR2} (AC)	高交流电平输入电压	V _{REF} + 0.25			V _{REF} + 0.25			V
T _J	T _{AMBIENT} 为0°C到+70°C时324引脚CSP_BGA的结温范围	0		115	0		110	°C
T _J	T _{AMBIENT} 为-40°C到+85°C时324引脚CSP_BGA的结温范围	不适用		不适用	-40		125	°C

¹ 规格如有变更恕不另行通知。

² 参见第11页图3滤波器电路示例。

³ 适用于DDR2信号。

⁴ 如果未使用，参见第12页表9。

⁵ 适用于输入和双向引脚：AMI_ADDR23-0、AMI_DATA7-0、FLAG3-0、DAI_Px、DPI_Px、BOOTCFGx、CLKCFGx、RUNRSTIN、RESET、TCK、TMS、TDI、TRST。

⁶ 适用于输入引脚CLKIN。

电气特性

参数 ¹	描述	测试条件	450 MHz		400 MHz		单位
			最小值	最大值	最小值	最大值	
V_{OH}^2	高电平输出电压	@ V_{DD_EXT} = 最小值, $I_{OH} = -1.0 \text{ mA}^3$	2.4		2.4		V
V_{OL}^2	低电平输出电压	@ V_{DD_EXT} = 最小值, $I_{OL} = 1.0 \text{ mA}^3$		0.4		0.4	V
V_{OH_DDR2}	DDR2的高电平输出电压	@ V_{DD_DDR} = 最小值, $I_{OH} = -13.4 \text{ mA}$	1.4		1.4		V
V_{OL_DDR2}	DDR2的低电平输出电压	@ V_{DD_DDR} = 最小值, $I_{OL} = 13.4 \text{ mA}$		0.29		0.29	V
$I_{IH}^{4,5}$	高电平输入电流	@ V_{DD_EXT} = 最大值, $V_{IN} = V_{DD_EXT} \text{ Max}$		10		10	μA
$I_{IL}^{4,6}$	低电平输入电流	@ V_{DD_EXT} = 最大值, $V_{IN} = 0 \text{ V}$		10		10	μA
I_{ILPU}^5	低电平输入电流上拉	@ V_{DD_EXT} = 最大值, $V_{IN} = 0 \text{ V}$		200		200	μA
I_{IHPD}^6	高电平输入电流下拉	@ V_{DD_EXT} = 最大值, $V_{IN} = V_{DD_EXT} \text{ Max}$		200		200	μA
$I_{OZH}^{7,8}$	三态漏电流	@ V_{DD_EXT}/V_{DD_DDR} = 最大值, $V_{IN} = V_{DD_EXT}/V_{DD_DDR} \text{ Max}$		10		10	μA
$I_{OZL}^{7,9}$	三态漏电流	@ V_{DD_EXT}/V_{DD_DDR} = 最大值, $V_{IN} = 0 \text{ V}$		10		10	μA
I_{OZLPU}^8	三态漏电流上拉	@ V_{DD_EXT} = 最大值, $V_{IN} = 0 \text{ V}$		200		200	μA
I_{OZHDP}^9	三态漏电流下拉	@ V_{DD_EXT} = 最大值, $V_{IN} = V_{DD_EXT} \text{ Max}$		200		200	μA
$I_{DD_INTYP}^{10}$	电源电流(内部)	$f_{CLK} > 0 \text{ MHz}$		表13+ 表14 × ASF		表13 + 表14 × ASF	mA
$I_{DD_A}^{11}$	电源电流(模拟)	V_{DD_A} = 最大值		10		10	mA
$C_{IN}^{12,13}$	输入电容	$T_{CASE} = 25^\circ\text{C}$		5		5	pF

¹ 规格如有变更恕不另行通知。

² 适用于输出和双向引脚: AMI_ADDR23-0、AMI_DATA7-0、AMI_RD、AMI_WR、FLAG3-0、DAI_Px、DPI_Px、EMU、TDO。

³ 有关典型驱动电流能力, 参见第60页的输出驱动电流。

⁴ 适用于输入引脚: BOOTCFGx、CLKCFGx、TCK、RESET、CLKIN。

⁵ 适用于含内部上拉电阻的输入引脚: TRST、TMS、TDI。

⁶ 适用于含内部下拉电阻的输入引脚: MLBCLK

⁷ 适用于三态引脚: 所有DDR2引脚。

⁸ 适用于含上拉电阻的三态引脚: DAI_Px、DPI_Px、EMU。

⁹ 适用于含下拉电阻的三态引脚: MLBDAT、MLBSIG、MLBDO、MLBSO、LDAT07-0、LDAT17-0、LCLK0、LCLK1、LACK0、LACK1。

¹⁰ 更多信息参见工程师笔记EE-348“估算ADSP-2146x SHARC处理器功耗”。

¹¹ 有特性说明, 但未经测试。

¹² 适用于所有信号引脚。

¹³ 保证符合要求, 但未经测试。

ADSP-21467/ADSP-21469

总功耗

总功耗包括两个分量：

- 1 内部功耗
- 2 外部功耗

内部功耗也有两个分量：

- 1 漏电流引起的静态功耗。表13显示了静态功耗 ($I_{DD-STATIC}$) 与结温 (T_J) 和内核电压 (V_{DD-INT}) 的关系。
- 2 晶体管开关特性和处理器活动水平引起的动态功耗 ($I_{DD-DYNAMIC}$)。活动水平由“活动比例因子”(ASF) 来衡量，它代表处理器内核上运行的应用程序代码，包括外设和外部端口的各种活动水平(表12)。动态功耗由具体应用乘以ASF来计算，使用基线动态功耗作为参考。

ASF与CCLK频率和 V_{DD-INT} 相关数据(表14)共同来计算这一部分功耗。外部功耗是由外部引脚的开关活动引起。

表12. 活动比例因子(ASF)¹

活动	比例因子(ASF)
空闲	0.38
低电平	0.58
高电平	1.23
峰值	1.35
峰值典型(50:50) ²	0.87
峰值典型(60:40)	0.94
峰值典型(70:30)	1.00

¹ 有关ASF表特定的功耗矢量的更多信息，请参阅“估算SHARC处理器功耗”(EE-348)。

² 连续指令环路(内核)与DDR2控制代码读写的比值。

表13. $I_{DD-STATIC}$ (mA)

T_J (°C) ¹	V_{DD-INT} (V) ¹				
	0.95 V	1.0 V	1.05 V	1.10 V	1.15 V
-45	72	91	110	140	167
-35	79	99	119	149	181
-25	89	109	131	163	198
-15	101	122	145	182	220
-5	115	140	166	206	249
5	134	162	192	237	284
15	158	189	223	273	326
25	186	222	260	318	377
35	218	259	302	367	434
45	258	305	354	428	503
55	305	359	413	497	582
65	360	421	484	578	675
75	424	496	566	674	781
85	502	580	660	783	904
95	586	683	768	912	1048
105	692	794	896	1054	1212
115	806	921	1036	1220	1394
125	939	1070	1198	1404	1601

¹ 有效温度和电压范围取决于型号。参见第18页的工作条件。

表14. CCLK域的基准动态电流(mA, ASF = 1.0)¹

f _{CCLK} (MHz) ²	电压(V _{DD_INT}) ²				
	0.95 V	1.0 V	1.05 V	1.10 V	1.15 V
100	78	82	86	91	98
150	115	121	130	136	142
200	150	159	169	177	188
250	186	197	208	219	231
300	222	236	249	261	276
350	259	275	288	304	319
400	293	309	328	344	361
450	不适用	不适用	366	385	406

¹ 这些值不是作为独立的最大值规格加以保证，必须与依据第19页的电气特性所示方程式计算的静态电流结合考虑。

² 有效频率和电压范围取决于型号。参见第18页的工作条件。

绝对最大额定值

超出表15所列值可能会导致器件永久性损坏。这只是额定最大值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

表15. 绝对最大额定值

参数	额定值
内部(内核)电源电压(V _{DD_INT})	-0.3 V至+1.32 V
模拟(PLL)电源(V _{DD_A})	-0.3 V至+1.15 V
外部(I/O)电源电压(V _{DD_EXT})	-0.3 V至+3.6 V
热二极管电源电压(V _{DD_THD})	-0.3 V至+3.6 V
DDR2控制器电源电压(V _{DD_DDR2})	-0.3 V至+1.9 V
DDR2输入电压	-0.3 V至+1.9 V
输入电压	-0.3 V至+3.6 V
输出电压摆幅	-0.3 V至V _{DD_EXT} +0.5 V
存储温度范围	-65°C至+150°C
偏置时的结温	125°C

封装信息

图4和表16所示的信息提供了处理器封装标识的详情。产品供货的完整列表请参阅第72页的订购指南。



图4. 典型封装标识

表16. 峰值标识信息¹

标识码	字段说明
t	温度范围
pp	封装类型
Z	RoHS合规选项
cc	参见订购指南
vvvvv.x	组装批次代码
n.n	芯片版本
#	符合RoHS标准
yyww	日期代码

¹ 仅限非汽车应用型号。关于汽车应用型号的标识信息，请联系ADI公司。

ESD灵敏度



ESD(静电放电)敏感器件。静电电荷很容易在人体和测试设备上累积,可高达4000 V,并可能在没有察觉的情况下放电。尽管本产品具有专用ESD保护电路,但在遇到高能量静电放电时,可能会发生永久性器件损坏。因此,建议采取适当的ESD防范措施,以避免器件性能下降或功能丧失。

时序规格

应严格遵守给出的时序要求。请勿通过加减其它参数来获得某些参数。虽然对于个别器件,加减计算可以获得有意义的结果,但本数据手册给出的值反映的是统计变化和最差情况。因此,将参数相加以获得更长的时间没有意义。电压基准电平参见**测试条件**下第60页的图46。

下面“开关特性”说明了处理器如何改变其信号。处理器外部的电路必须兼容这些信号特性。开关特性描述处理器在给定情况下如何工作。使用开关特性确保与处理器相连的器件的(如存储器等)所有时序要求都得到满足。

下面“时序要求”适用于受处理器外部电路控制的信号,如读操作的数据输入。时序要求保证处理器与其它器件一起正常工作。

内核时钟要求

处理器的内部时钟(CLKIN的倍数)为内部存储器、处理器内核和串行端口提供时钟信号。处理器内部时钟频率与外部(CLKIN)时钟频率的比值通过CLK_CFG1-0引脚配置,应在复位期间进行。

处理器内部时钟的开关频率高于系统输入时钟(CLKIN)。为产生内部时钟,处理器使用内部锁相环(PLL,见图5)。这种基于PLL的时序可将系统时钟(CLKIN)信号与处理器内部时钟之间的偏斜降至最低。

电压控制振荡器(VCO)

应用设计中,所选的PLL倍频器值应使得VCO频率绝不会超过表19规定的 f_{VCO} 。

- 如果未使能输入分频器(INDIV = 0), CLKIN与PLL的乘积不得超过表19规定的 f_{VCO} (最大值)的1/2。
- 如果已使能输入分频器(INDIV = 1), CLKIN与PLL的乘积不得超过表19规定的 f_{VCO} (最大值)。

VCO频率计算如下:

$$f_{VCO} = 2 \times PLLM \times f_{INPUT}$$

$$f_{CCLK} = (2 \times PLLM \times f_{INPUT}) \div (PLLD)$$

其中:

f_{VCO} = VCO输出

PLLM = PMCTL寄存器中设置的倍频器值。复位期间, PLLM值从CLK_CFG引脚选择的比值获得。

PLLD = 分频器值2、4、8或16,取决于PMCTL寄存器中设置的PLLD值。复位期间,此值为2。

f_{INPUT} = PLL的输入频率

f_{INPUT} = CLKIN(输入分频器禁用时), 或者

f_{INPUT} = CLKIN ÷ 2(输入分频器使能时)

注意时钟周期的定义,它是CLKIN和适当比例控制的函数,如表17所示。外设的所有时序规格均相对于 t_{PCLK} 而定义。关于各外设的时序信息,参见相关外设部分。

表17. 时钟周期

时序要求	描述
t_{CK}	CLKIN时钟周期
t_{CCLK}	处理器内核时钟周期
t_{PCLK}	外设时钟周期 = $2 \times t_{CCLK}$

图5显示了采用外部振荡器或晶体时内核与CLKIN的关系。阴影显示的分频器/倍频器模块表示此处的时钟比可以通过硬件或软件,利用电源管理控制寄存器(PMCTL)设置。更多信息请参阅《ADSP-214xx SHARC处理器硬件参考》。

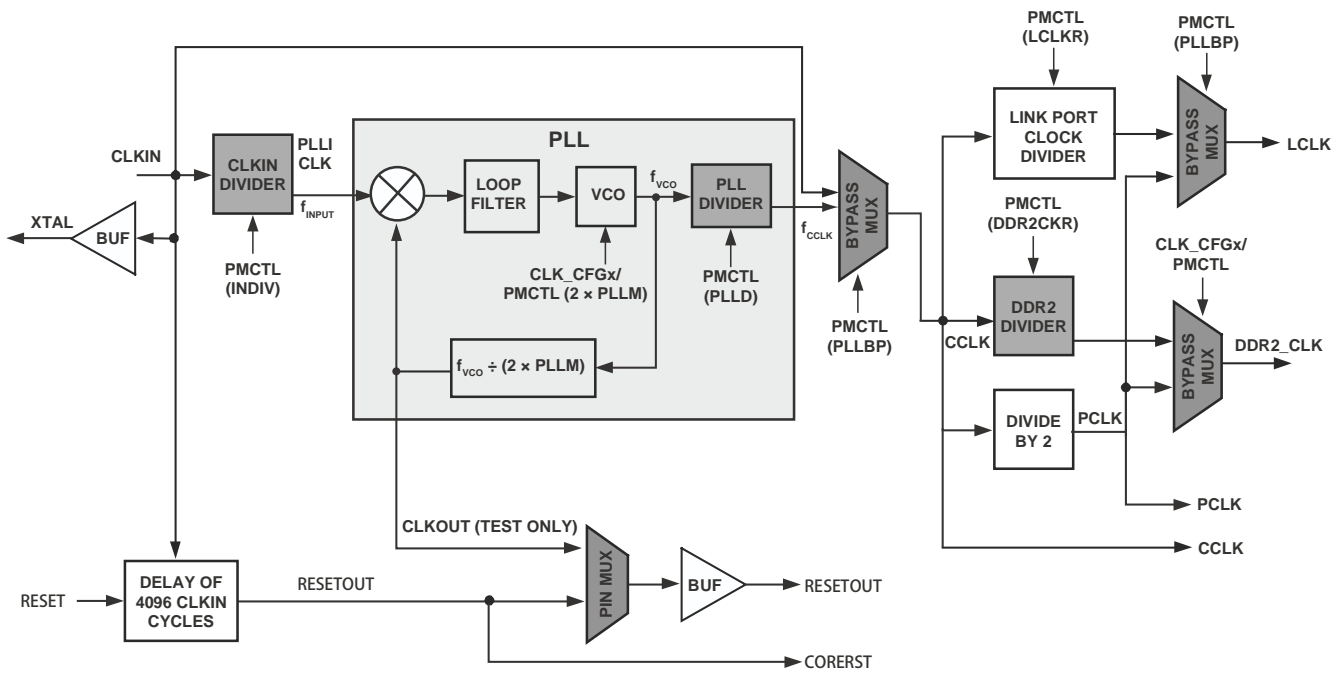


图5. 内核时钟和系统时钟与CLKIN的关系

ADSP-21467/ADSP-21469

上电时序控制

处理器启动的时序要求如表18所示。虽然 V_{DD_EXT} 、 V_{DD_DDR2} 与 V_{DD_INT} 之间没有特定上电时序要求，但系统设计应考虑以下几点。

- 不应让一个电源长时间处于上电状态(> 200 ms)，然后让另一电源开始斜坡上升。
- 如果 V_{DD_INT} 电源在 V_{DD_EXT} 电源之后上电，任何引脚(如 $\overline{RESETOUT}$ 和 \overline{RESET} 等)实际上都可以暂时驱动，直至 V_{DD_INT} 轨完成上电。

电路板上共享这些信号的系统必须根据此特性确定是否有需要解决的问题。

注意，在上电期间，如果 V_{DD_INT} 电源在 V_{DD_EXT} 之后上电，则任何引脚上都可能观测到大小相当于三态漏电流(上拉/下拉)的漏电流，哪怕该引脚仅支持输入(例如 \overline{RESET} 引脚)，直至 V_{DD_INT} 轨上电为止。

表18. 上电时序要求(处理器启动)

参数		最小值	最大值	单位
时序要求				
t_{RSTVDD}	\overline{RESET} 低电平，然后 V_{DD_INT} 、 V_{DD_EXT} 或 V_{DD_DDR2} 开启	0		ms
$t_{IVDDEVDD}$	V_{DD_INT} 开启，然后 V_{DD_EXT} 开启	-200	+200	ms
$t_{EVDD_DDR2VDD}$	V_{DD_EXT} 开启，然后 V_{DD_DDR2} 开启	-200	+200	ms
t_{CLKVDD}^1	V_{DD_INT} 、 V_{DD_EXT} 或 V_{DD_DDR2} 有效，然后CLKIN有效	0	200	ms
t_{CLKRST}	CLKIN有效，然后 \overline{RESET} 解除置位	10^2		ms
t_{PLLST}	PLL控制建立，然后 \overline{RESET} 解除置位	20^3		ms
开关特性				
$t_{CORERST}$	\overline{RESET} 解除置位，然后内核复位解除置位	$4096 \times t_{CK} + 2 \times t_{CCLK}^{4,5}$		ms

¹ 有效的 V_{DD_INT} 假定电源完全上升到标称值。根据电源子系统的设计不同，电压斜坡速率可能是数微秒到数百毫秒。

² 假定达到晶振最差情况启动时序要求后，CLKIN信号保持稳定。关于启动时间，请参见晶振制造商的数据手册。如果XTAL引脚和内部振荡器电路与外部晶振一起使用，假定振荡器最长启动时间为25 ms。

³ 基于CLKIN周期。

⁴ 上电序列完成之后应用。后续复位至少需要4个CLKIN周期才能使 \overline{RESET} 保持低电平，从而正确初始化并恢复所有I/O引脚的默认状态。

⁵ 4096周期数依据表20的 t_{Srst} 规格而定。如果未满足建立时间要求，可以给内核复位时间增加一个CLKIN周期，使得最大周期数为4097。

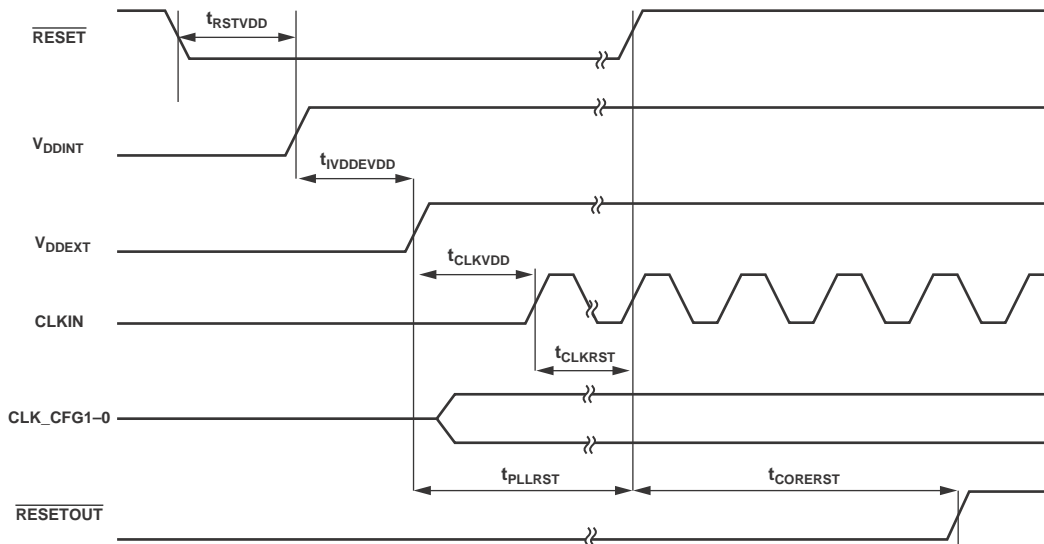


图6. 上电时序

时钟输入

表19. 时钟输入

参数	400 MHz ¹		450 MHz ²		单位	
	最小值	最小值	最小值	最小值		
时序要求						
t _{CK}	CLKIN周期	15 ³	100	13.26	100	ns
t _{CKL}	CLKIN低电平宽度	7.5	45	6.63	45	ns
t _{CKH}	CLKIN高电平宽度	7.5	45	6.63	45	ns
t _{CKRF}	CLKIN上升/下降(0.4 V至2.0 V)		3 ⁴		3 ⁴	ns
t _{CCLK} ⁵	CCLK周期	2.5	10	2.22	10	ns
f _{VCO} ⁶	VCO频率	200	900	200	900	MHz
t _{CKJ} ^{7,8}	CLKIN抖动容差	-250	+250	-250	+250	ps

¹ 适用于所有400 MHz型号。参见第72页订购指南。
² 适用于所有450 MHz型号。参见第72页订购指南。
³ 仅适用于CLK_CFG1-0 = 00且PMCTL的PLL控制位为默认值的情况。
⁴ 通过仿真保证，但未在芯片上进行测试。
⁵ 对PMCTL寄存器PLL控制位的任何改变都必须满足内核时序规格t_{CCLK}。
⁶ VCO图参见第23页的图5。
⁷ 为进行精确时序分析，实际输入抖动应与交流规格一起考虑。
⁸ 抖动规格表示抖动的最大峰峰值时间间隔误差(TIE)。

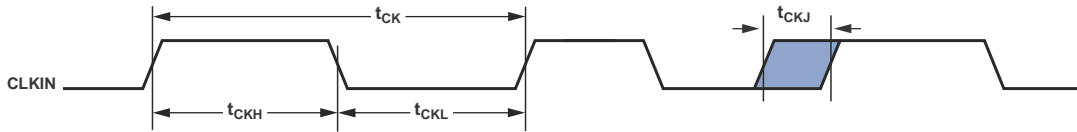
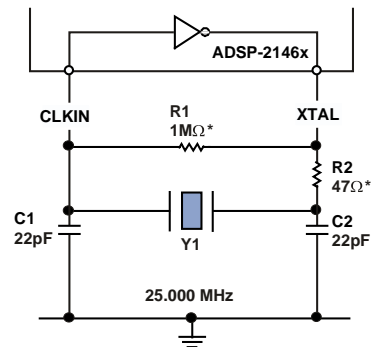


图7. 时钟输入

时钟信号

处理器可以使用外部时钟或晶体。参见表10的CLKIN引脚描述。将必要的器件连接到CLKIN和XTAL后，程序可以配置处理器使用内部时钟发生器。图8显示用于以基频模式工作的晶体的元件连接。注意，时钟速率是利用25 MHz晶体和PLL倍频器比16:1实现的(CCLK:CLKIN实现400 MHz的时钟速度)。

要实现最高内核时钟速率，程序需配置PMCTL寄存器中的倍频器位。



*TYPICAL VALUES

R2 SHOULD BE CHOSEN TO LIMIT CRYSTAL DRIVE POWER. REFER TO CRYSTAL MANUFACTURER'S SPECIFICATIONS

图8. 以基频模式工作的晶体的推荐电路

ADSP-21467/ADSP-21469

复位

表20. 复位

参数	最小值	最大值	单位
时序要求			
t_{WRST}^1 $\overline{\text{RESET}}$ 低电平脉冲宽度	$4 \times t_{CK}$		ns
t_{SRST} 基于CLKIN下降沿的 $\overline{\text{RESET}}$ 变高建立的时间	8		ns

¹ 应用在上电序列完成之后。上电时，在 $\overline{\text{RESET}}$ 为低电平的同时，处理器内部锁相环需要不超过100 μs 的时间，假定VDD和CLKIN保持稳定(不包括外部晶振的启动时间)。

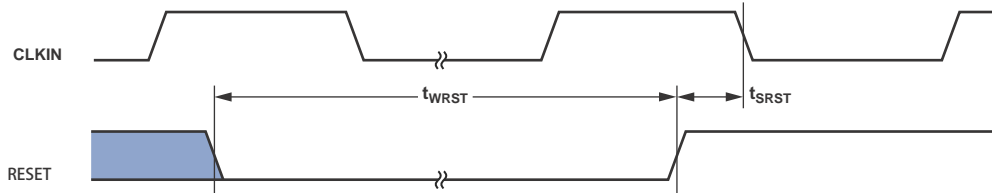


图9. 复位

运行复位

以下时序规格适用于配置为 $\overline{\text{RESETOUT}}$ 的 $\overline{\text{RUNRSTIN}}$ / $\overline{\text{RUNRSTIN}}$ 引脚。

表21. 运行复位

参数	最小值	最大值	单位
时序要求			
$t_{WRUNRST}$ 运行 $\overline{\text{RESET}}$ 低电平的时间	$4 \times t_{CK}$		ns
$t_{SRUNRST}$ 基于CLKIN高电平， $\overline{\text{RESET}}$ 高电平的建立时间	8		ns

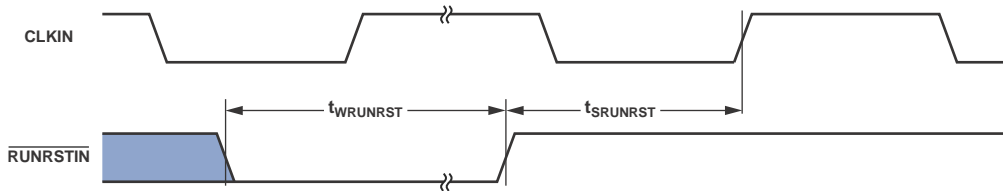


图10. 运行复位

中断

以下时序规格适用于配置为 $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 和 $\overline{\text{IRQ2}}$ 中断的FLAG0、FLAG1和FLAG2引脚，以及配置为中断的DAI_P20-1和DPI_P14-1引脚。

表22. 中断

参数	最小值	最大值	单位
时序要求			
t_{IPW} $\overline{\text{IRQx}}$ 脉冲宽度	$2 \times t_{\text{PCLK}} + 2$		ns

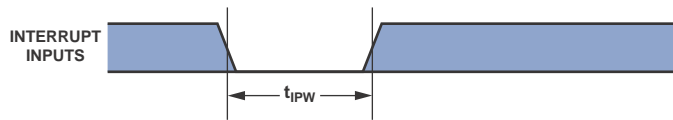


图11. 中断

内核定时器

以下时序规格适用于配置为内核定时器(TMREXP)的FLAG3引脚。

表23. 内核定时器

参数	最小值	最大值	单位
开关特性			
t_{WCTIM} TMREXP脉冲宽度	$4 \times t_{\text{PCLK}} - 1$		ns



图12. 内核定时器

ADSP-21467/ADSP-21469

定时器PWM_OUT周期时序

以下时序规格适用于PWM_OUT(脉冲宽度调制)模式下的Timer0和Timer1。定时器信号通过DPI SRU路由至DPI_P14-1引脚。因此，下面提供的时序规格在DPI_P14-1引脚上有效。

表24. 定时器PWM_OUT时序

参数	最小值	最大值	单位
开关特性			
t_{PWMO} 定时器脉冲宽度输出	$2 \times t_{PCLK} - 1.2$	$2 \times (2^{31} - 1) \times t_{PCLK}$	ns

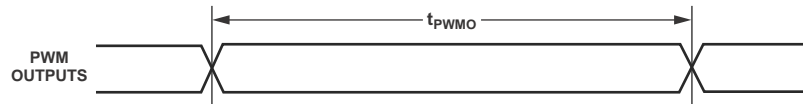


图13. 定时器PWM_OUT时序

定时器WDTH_CAP时序

以下时序规格适用于WDTH_CAP(脉冲宽度计数和捕捉)模式下的Timer0和Timer1。定时器信号通过SRU路由至DPI_P14-1引脚。因此，下面提供的时序规格在DPI_P14-1引脚上有效。

表25. 定时器宽度捕捉时序

参数	最小值	最大值	单位
时序要求			
t_{PWI} 定时器脉冲宽度	$2 \times t_{PCLK}$	$2 \times (2^{31} - 1) \times t_{PCLK}$	ns

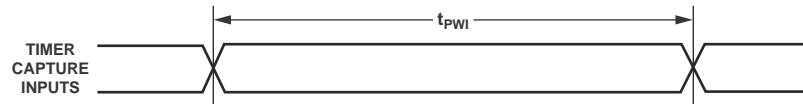


图14. 定时器宽度捕捉时序

引脚到引脚直接路由(DAI和DPI)

仅限引脚直接连接(例如DAI_PB01_I到DAI_PB02_O)。

表26. DAI和DPI引脚到引脚路由

参数	最小值	最大值	单位
时序要求			
t_{DPIO} 延迟DAI/DPI引脚输入有效到DAI/DPI输出有效	1.5	12	ns

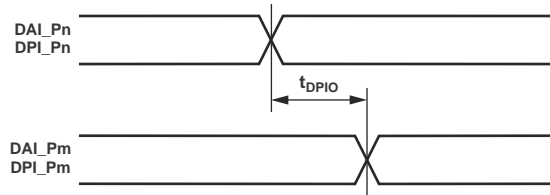


图15. DAI和DPI引脚到引脚直接路由

ADSP-21467/ADSP-21469

精密时钟发生器(引脚直接路由)

此时序仅在SRU配置如下时有效：精密时钟发生器(PCG)直接从DAI引脚(通过引脚缓冲器)获得输入，并将输出直接发送到DAI引脚。对于其它情况，如果PCG的输入和输出

不是直接路由至/从DAI引脚(通过引脚缓冲器)，则无时序数据可用。所有时序参数和开关特性均适用于外部DAI引脚(DAI_P01 - DAI_P20)。

表27. 精密时钟发生器(引脚直接路由)

参数		最小值	最大值	单位
时序要求				
t_{PCGIW}	输入时钟周期	$t_{PCLK} \times 4$		ns
t_{STRIG}	PCG输入时钟下降沿之前的PCG触发信号建立时间	4.5		ns
t_{HTRIG}	PCG输入时钟下降沿之后的PCG触发信号保持时间	3		ns
开关特性				
t_{DPCGIO}	PCG输入时钟之后的PCG输出时钟和帧同步有效沿延迟时间	2.5	10	ns
$t_{DTRIGCLK}$	PCG触发信号之后的PCG输出时钟延迟时间	$2.5 + (2.5 \times t_{PCGIP})$	$10 + (2.5 \times t_{PCGIP})$	ns
$t_{DTRIGFS}$	PCG触发信号之后的PCG帧同步延迟时间	$2.5 + ((2.5 + D - PH) \times t_{PCGIP})$	$10 + ((2.5 + D - PH) \times t_{PCGIP})$	ns
t_{PCGOW}^1	输出时钟周期	$2 \times t_{PCGIP} - 1$		ns

D = FSxDIV, PH = FSxPHASE。更多信息请参阅《ADSP-214xx SHARC处理器硬件参考》的“精密时钟发生器”部分。

¹ 正常工作模式。

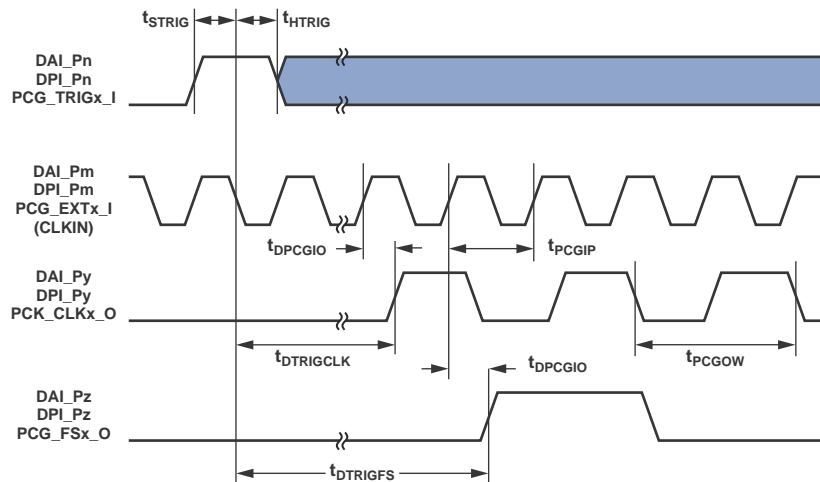


图16. 精密时钟发生器(引脚直接路由)

标志

配置为FLAGS时，以下提供的时序规格适用于AMI_ADDR23-0和AMI_DATA7-0当被配置成标志FLAG时。有关标志使用的更多信息，参见第13页的表10。

表28. 标志

参数		最小值	最大值	单位
时序要求				
t_{FIPW}	DPI_P14-1、AMI_ADDR23-0、AMI_DATA7-0、FLAG3-0输入脉冲宽度	$2 \times t_{PCLK} + 3$		ns
开关特性				
t_{FOPW}	DPI_P14-1、AMI_ADDR23-0、AMI_DATA7-0、FLAG3-0输出脉冲宽度	$2 \times t_{PCLK} - 3$		ns

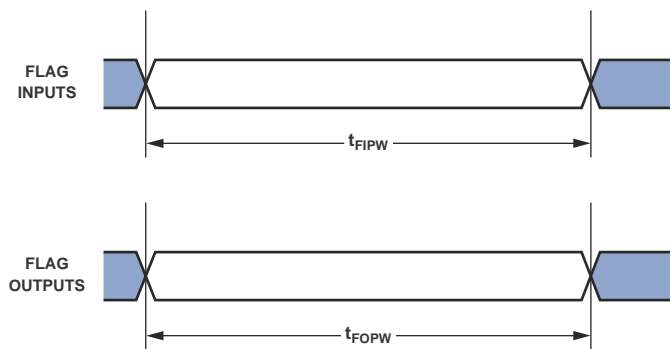


图17. 标志

ADSP-21467/ADSP-21469

DDR2 SDRAM读周期时序

表29. DDR2 SDRAM读周期时序, $V_{DD-DDR2}$ 标称值1.8 V

参数		200 MHz ¹		225 MHz ¹		单位
		最小值	最大值	最小值	最大值	
时序要求						
t_{AC}	DDR2_DATA到DDR2_CLKx/DDR2_CLKx上升沿的访问窗口	-1.0	1.5	-1.0	1.5	ns
t_{DQSK}	DDR2_DQSx/DDR2_DQSx到DDR2_CLKx/DDR2_CLKx上升沿访问窗口	-1.0	1.5	-1.0	1.5	ns
t_{DQSQ}	DDR2_DQSx和相关DDR2_DATA信号的DQS-DATA偏斜		0.450		0.450	ns
t_{QH}	从DDR2_DQSx/DDR2_DQSx到DDR2_DATA保持时间	1.9		1.71		ns
t_{RPRE}	读前同步码	0.6		0.6		t_{CK}
t_{RPST}	读后同步码	0.25		0.25		t_{CK}
开关特性						
t_{CK}	DDR2_CLKx/DDR2_CLKx周期	4.8		4.22		ns
t_{CH}	DDR2_CLKx高电平脉冲宽度	2.35	2.75	2.05	2.45	ns
t_{CL}	DDR2_CLKx低电平脉冲宽度	2.35	2.75	2.05	2.45	ns
t_{AS}	相对于DDR2_CLKx上升沿, DDR2_ADDR建立时间	1.85		1.65		ns
t_{AH}	相对于DDR2_CLKx上升沿, DDR2_ADDR保持时间	1.0		0.9		ns

¹ 为了确保DDR2正常工作, 必须严格遵循所有DDR2指导原则(参见工程师笔记EE-349)。

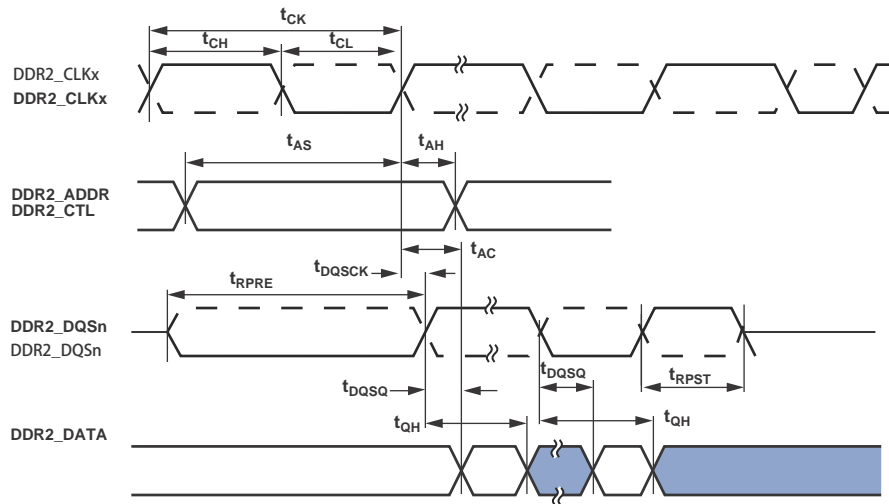


图18. DDR2 SDRAM控制器输入交流时序

DDR2 SDRAM写周期时序

表30. DDR2 SDRAM写周期时序, $V_{DD-DDR2}$ 标称值1.8 V

参数		200 MHz ¹		225 MHz ¹		单位
		最小值	最大值	最小值	最大值	
开关特性						
t_{CK}	DDR2_CLKx/DDR2_CLKx周期	4.8		4.22		ns
t_{CH}	DDR2_CLKx高电平脉冲宽度	2.35	2.75	2.05	2.45	ns
t_{CL}	DDR2_CLKx低电平脉冲宽度	2.35	2.75	2.05	2.45	ns
t_{DQSS}^2	DDR2_CLKx上升到DDR2_DQSx上升延迟	-0.4	0.4	-0.45	0.45	ns
t_{DS}	上一次有效的DDR2_DATA到DDR2_DQSx延迟	0.6		0.5		ns
t_{DH}	DDR2_DQSx到第一个无效DDR2_DATA延迟	0.65		0.55		ns
t_{DSS}	DDR2_DQSx下降沿到DDR2_CLKx上升建立时间	1.95		1.65		ns
t_{DSH}	从DDR2_CLKx上升的DDR2_DQSx下降沿保持时间	2.05		1.8		ns
t_{DQSH}	DDR2_DQS高电平脉冲宽度	2.05		1.65		ns
t_{DQSL}	DDR2_DQS低电平脉冲宽度	2.0		1.65		ns
t_{WPRE}	写前同步码	0.8		0.8		t_{CK}
t_{WPST}	写后同步码	0.5		0.5		t_{CK}
t_{AS}	相对于DDR2_CLKx上升的DDR2_ADDR和控制建立时间	1.85		1.65		ns
t_{AH}	相对于DDR2_CLKx上升的DDR2_ADDR和控制保持时间	1.0		0.9		ns

¹ 为了确保DDR2正常工作, 必须严格遵循所有DDR2指导原则(参见工程师笔记EE-349)。

² 写入命令到第一个DQS延迟 = $WL \times t_{CK} + t_{DQSS}$ 。

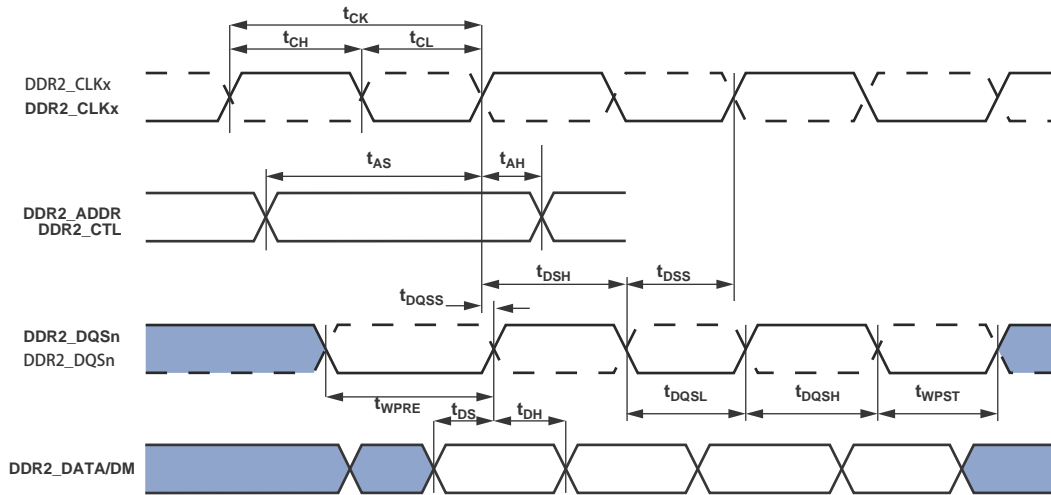


图19. DDR2 SDRAM控制器输出交流时序

ADSP-21467/ADSP-21469

AMI读取

与存储器异步接口时使用以下规格。注意，AMI_ACK、AMI_DATA、AMI_RD、AMI_WR和选通时序参数仅适用于异步访问模式。

表31. 存储器读取

参数	最小值	最小值	单位
时序要求			
t _{DAD}	地址选通到有效数据的延时 ^{1,2,3}	$W + t_{DDR2_CLK} - 5.4$	ns
t _{DRLD}	AMI_RD低电平到数据有效 ¹	$W - 3.2$	ns
t _{SDS}	数据建立到AMI_RD高电平	2.5	ns
t _{HDRH}	从AMI_RD高电平到数据保持 ^{4,5}	0	ns
t _{DAAK}	从地址选择到AMI_ACK延迟 ^{2,6}	$t_{DDR2_CLK} - 9.5 + W$	ns
t _{DSAK}	从AMI_RD低电平到AMI_ACK延迟 ⁴	$W - 7.0$	ns
开关特性			
t _{DRHA}	AMI_RD高电平之后地址选择保持时间	$RH + 0.20$	ns
t _{DARL}	地址选择到AMI_RD低电平 ²	$t_{DDR2_CLK} - 3.8$	ns
t _{RW}	AMI_RD脉冲宽度	$W - 1.4$	ns
t _{RWR}	AMI_RD高电平至AMI_RD低电平	$HI + t_{DDR2_CLK} - 1$	ns

$$W = (\text{AMICTLx寄存器指定的等待状态数}) \times t_{DDR2_CLK}$$

$$RHC = (\text{AMICTLx寄存器指定的读取保持周期数}) \times t_{DDR2_CLK}$$

PREDIS = 0时

HI = RHC: 从同一模块的读到读

HI = RHC + IC: 从不同模块的读到读

HI = RHC + Max(IC, (4 × t_{DDR2_CLK})): 从相同或不同模块的读到写

PREDIS = 1时

HI = RHC + Max(IC, (4 × t_{DDR2_CLK})): 从相同或不同模块的读到写

HI = RHC + (3 × t_{DDR2_CLK}): 从同一模块的读到读

HI = RHC + Max(IC, (3 × t_{DDR2_CLK})): 从不同模块的读到读

$$IC = (\text{AMICTLx寄存器指定的空闲周期数}) \times t_{DDR2_CLK}, H = (\text{AMICTLx寄存器指定的保持周期数}) \times t_{DDR2_CLK}$$

¹ 数据延迟/设置: 系统必须满足t_{DAD}、t_{DRLD}或t_{SDS}要求。

² AMI_MSx的下降沿为基准。

³ t_{DAD}和t_{DRLD}参数的时序要求值的上限适用于AMI_ACK始终为高电平的情况。

⁴ 注意, AMI_ACK、AMI_DATA、AMI_RD、AMI_WR和选通时序参数仅适用于异步访问模式。

⁵ 数据保持: 用户必须满足异步访问模式的t_{HDRH}要求。给定容性和直流负载时, 保持时间的计算参见第60页的测试条件。

⁶ AMI_ACK延迟/设置: 用户必须满足t_{DAAK}或t_{DSAK}要求, 以使AMI_ACK解除置位(低电平)。

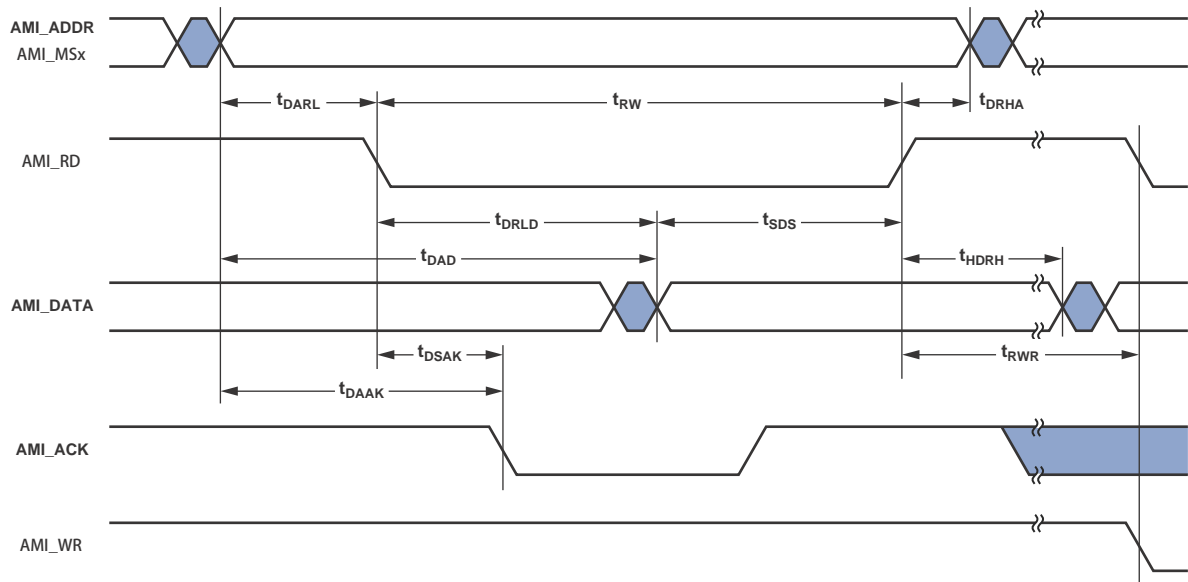


图20. AMI读取

AMI写入

与存储器异步接口时使用以下规格。注意，AMI_ACK、AMI_DATA、AMI_RD、AMI_WR和选通时序参数仅适用于异步访问模式。

表32. 存储器写入

参数	最小值	最大值	单位
时序要求			
t_{DAAK}	从地址选择到AMI_ACK延迟 ^{1,2}	$t_{DDR2_CLK} - 9.7 + W$	ns
t_{DSAK}	从AMI_WR低电平到AMI_ACK延迟 ^{1,3}	$W - 6$	ns
开关特性			
t_{DAWH}	地址选择到AMI_WR解除置位 ²	$t_{DDR2_CLK} - 3.1 + W$	ns
t_{DAWL}	地址选择到AMI_WR低电平 ²	$t_{DDR2_CLK} - 3$	ns
t_{WW}	AMI_WR脉冲宽度	$W - 1.3$	ns
t_{DDWH}	AMI_WR高电平之前数据建立时间	$t_{DDR2_CLK} - 3.0 + W$	ns
t_{DWHA}	AMI_WR解除置位之后地址保持时间	$H + 0.15$	ns
t_{DWHd}	AMI_WR解除置位之后数据保持时间	H	ns
t_{DATRWH}	AMI_WR解除置位之后数据禁用时间 ⁴	$t_{DDR2_CLK} - 1.37 + H$	ns
t_{WWR}	AMI_WR高电平到AMI_WR低电平 ⁵	$t_{DDR2_CLK} - 1.5 + H$	ns
t_{DDWR}	AMI_WR低电平之前数据禁用时间	$2t_{DDR2_CLK} - 6$	ns
t_{WDE}	AMI_WR低电平到数据使能	$t_{DDR2_CLK} - 3.5$	ns

$W = (\text{AMICTLx寄存器指定的等待状态数}) \times t_{DDR2_CLK}$, $H = (\text{AMICTLx寄存器指定的保持周期数}) \times t_{DDR2_CLK}$

¹ AMI_ACK延迟/设置：系统必须满足 t_{DAAK} 或 t_{DSAK} 要求，以使AMI_ACK解除置位(低电平)。

² AMI_MSx的下降沿为基准。

³ 注意，AMI_ACK、AMI_DATA、AMI_RD、AMI_WR和选通时序参数仅适用于异步访问模式。

⁴ 给定容性和直流负载时，保持时间的计算参见第60页的测试条件。

⁵ 写到写： $t_{DDR2_CLK} + H$ ，适用于相同模块和不同模块两种情况。写到读： $(3 \times t_{DDR2_CLK}) + H$ ，适用于相同模块和不同模块两种情况。

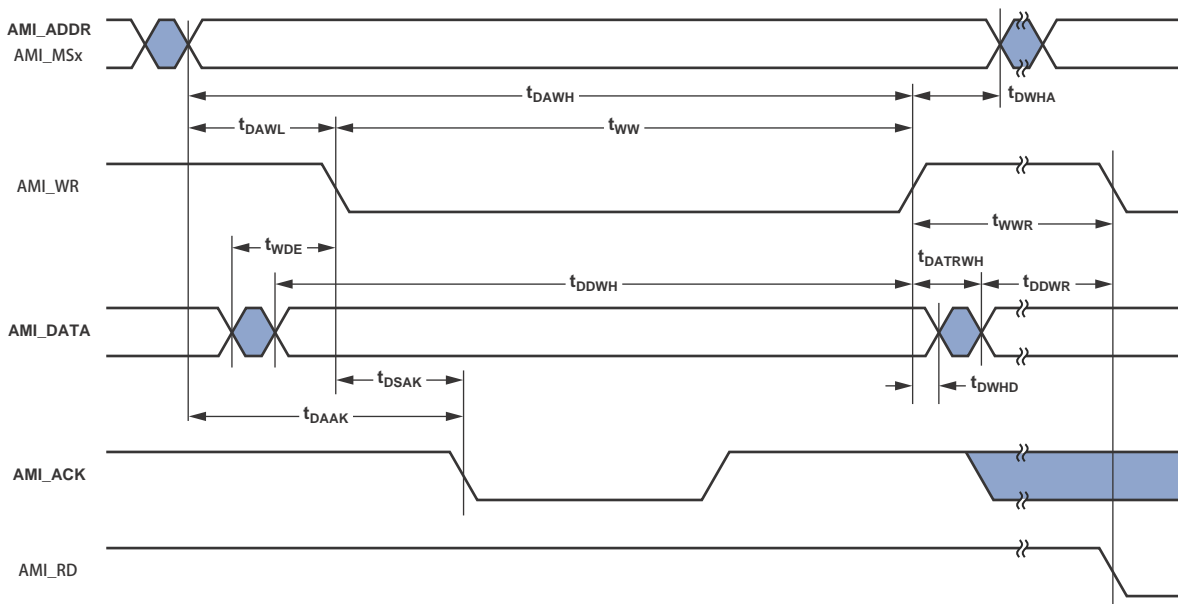


图21. AMI写入

共享的存储器总线请求

使用以下规格，在处理器(\overline{BRx})之间传递总线主控。

表33. 共享的存储器总线请求

参数		最小值	最大值	单位
时序要求				
t_{SBRI}	\overline{BRx} , CLKIN变为高电平之前建立	$2 \times t_{PCLK} + 4$		ns
t_{HBRI}	\overline{BRx} , CLKIN变为高电平之后保持	5		ns
开关特性				
t_{DBRO}	\overline{BRx}		20	ns
t_{HBRO}	\overline{BRx}	$1 - t_{PCLK}$		ns

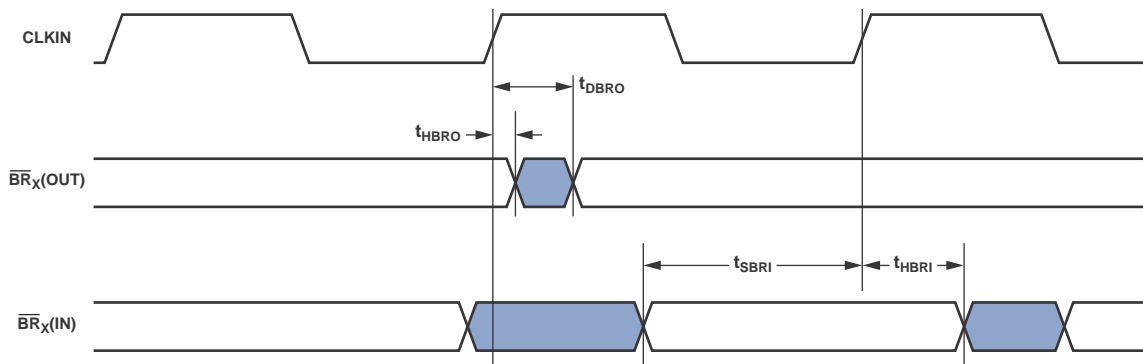


图22. 共享的存储器总线请求

ADSP-21467/ADSP-21469

链路端口

需要进行与链路时钟有关的链路接收器数据建立和保持计算，以确定LDATA和LCLK之间传输路径长度差异可以引入的最大允许偏斜。建立偏斜是相对于LCLK在LDATA中

可以引入的最大延迟(建立偏斜 = $t_{LCLKTWH}$ 最小值 - t_{DLDC} - t_{SLDCL})。保持偏斜是相对于LCLK在LCLK中可以引入的最大延迟(保持偏斜 = $t_{LCLKTWL}$ 最小值 - t_{HLDCH} - t_{HLDCL})。

表34. 链路接收端口

参数	最小值	最大值	单位
时序要求			
t_{SLDCL} LCLK低电平之前数据建立时间	0.5		ns
t_{HLDCL} LCLK低电平之后数据保持时间	1.5		ns
t_{LCLKIW} LCLK周期	t_{LCLK} (6 ns)		ns
$t_{LCLKRWL}$ LCLK低电平宽度	2.6		ns
$t_{LCLKRWH}$ LCLK高电平宽度	2.6		ns
开关特性			
t_{DLALC} LCLK低电平之后LACK低延迟 ¹	5	12	ns

¹ LACK 变为低电平时含相对于第一个字节之后LCLK下降沿的 t_{DLALC} ，但接收器的链路缓冲不会变满则LACK不会变为低电平。

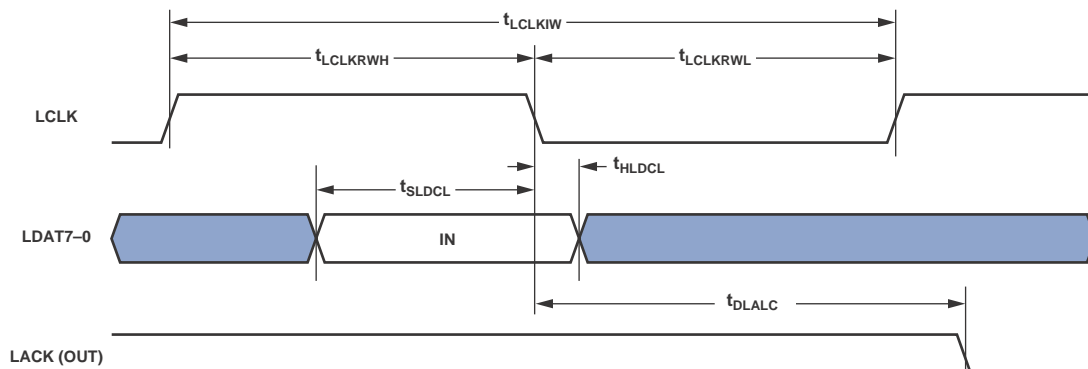
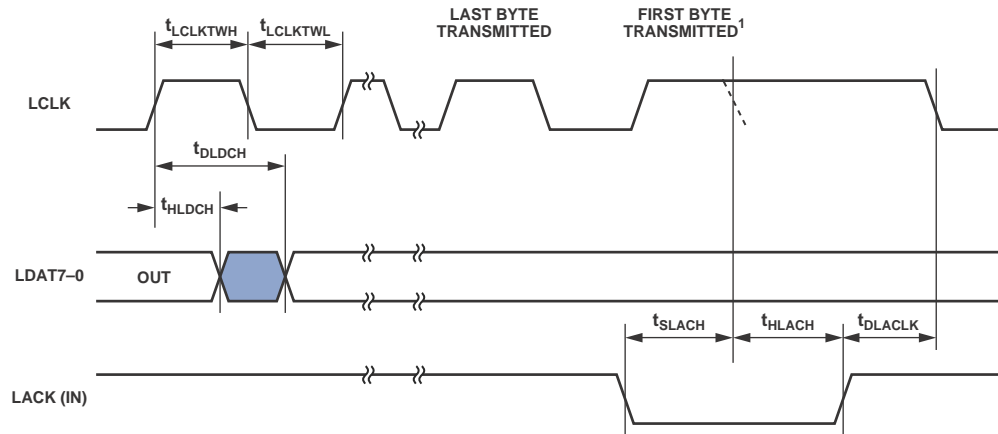


图23. 链路接收端口

表35. 链路发送端口

参数	最小值	最大值	单位
时序要求			
t_{SLACH} LCLK低电平之前LACK建立时间	8.5		ns
t_{HLACH} LCLK低电平之后LACK保持时间	0		ns
开关特性			
t_{DLDC} LCLK高电平之后数据延迟		1	ns
t_{HLDCH} LCLK高电平之后数据保持	-1		ns
$t_{LCLKTWL}$ LCLK低电平宽度	$0.5 \times t_{LCLK} - 0.4$	$0.6 \times t_{LCLK} + 0.4^1$	ns
$t_{LCLKTWH}$ LCLK高电平宽度	$0.4 \times t_{LCLK} - 0.4^1$	$0.5 \times t_{LCLK} + 0.4$	ns
t_{DLACLK} LACK高电平之后LCLK变低延迟	$t_{LCLK} - 2$	$t_{LCLK} + 8$	ns

¹ 对于1:2.5比值。对于其他比值，该规格为 $0.5 \times t_{LCLK} - 1$ 。



NOTES
 The t_{SLACH} and t_{HLACH} specifications apply only to the LACK falling edge. If these specifications are met, LCLK would extend and the dotted LCLK falling edge would not occur as shown. The position of the dotted falling edge can be calculated using the $t_{LCLKTWH}$ specification. $t_{LCLKTWH}$ Min should be used for t_{SLACH} and $t_{LCLKTWH}$ Max for t_{HLACH} . The t_{SLACH} and t_{HLACH} requirements apply to the falling edge of LCLK only for the first byte transmitted.

图24. 链路发送端口

ADSP-21467/ADSP-21469

串行端口

在从发送器模式和主接收器模式下，最大串行端口频率为 $f_{PCLK}/8$ 。为确定在时钟速度 n 时两个器件之间是否可以通信，必须确认以下规格：1) 帧同步延迟和帧同步建立/保持；2) 数据延迟和数据建立与保持；3) 串行时钟(SCLK)宽度。

串行端口信号通过SRU路由至DAI_P20-1引脚。因此，下面提供的时序规格在DAI_P20-1引脚上有效。在图25中，SCLK的上升沿或下降沿(外部或内部)可用作有效采样沿。

表36. 串行端口—外部时钟

参数	最小值	最大值	单位
时序要求			
t_{SFSE}^1 SCLK之前帧同步建立时间 (发送或接收模式下外部产生的帧同步)	2.5		ns
t_{HFSE}^1 SCLK之后帧同步保持时间 (发送或接收模式下外部产生的帧同步)	2.5		ns
t_{SDRE}^1 接收SCLK之前接收数据建立时间	1.9		ns
t_{HDRE}^1 SCLK之后接收数据保持时间	2.5		ns
t_{SCLKW} SCLK宽度	$(t_{PCLK} \times 4) \div 2 - 1.2$		ns
t_{SCLK} SCLK周期	$t_{PCLK} \times 4$		ns
开关特性			
t_{DFSE}^2 SCLK之后帧同步延迟时间 (发送或接收模式下内部产生的帧同步)		10.25	ns
t_{HOFSE}^2 SCLK之后帧同步保持时间 (发送或接收模式下内部产生的帧同步)	2		ns
t_{DDTE}^2 发送SCLK之后发送数据延迟时间		8.5	ns
t_{HDTE}^2 发送SCLK之后发送数据保持时间	2		ns

¹ 以采样沿为基准。

² 以驱动沿为基准。

表37. 串行端口—内部时钟

参数	最小值	最大值	单位
时序要求			
t_{SFSI}^1 SCLK之前帧同步建立时间 (发送或接收模式下外部产生的帧同步)	7		ns
t_{HFSI}^1 SCLK之后帧同步保持时间 (发送或接收模式下外部产生的帧同步)	2.5		ns
t_{SDRI}^1 SCLK之前接收数据建立时间	7		ns
t_{HDRI}^1 SCLK之后接收数据保持时间	2.5		ns
开关特性			
t_{DFSI}^2 SCLK之后帧同步延迟时间(发送模式下内部产生的帧同步)		4	ns
t_{HOFSI}^2 SCLK之后帧同步保持时间(发送模式下内部产生的帧同步)	-1.0		ns
t_{DFSIR}^2 SCLK之后帧同步延迟时间(接收模式下内部产生的帧同步)		9.75	ns
t_{HOFIR}^2 SCLK之后帧同步保持时间(接收模式下内部产生的帧同步)	-1.0		ns
t_{DDTI}^2 SCLK之后发送数据延迟时间		3.25	ns
t_{HDTI}^2 SCLK之后发送数据保持时间	-1.25		ns
t_{SCLKIW} 发送或接收SCLK宽度	$2 \times t_{PCLK} - 1.2$	$2 \times t_{PCLK} + 1.5$	ns

¹ 以采样沿为基准。

² 以驱动沿为基准。

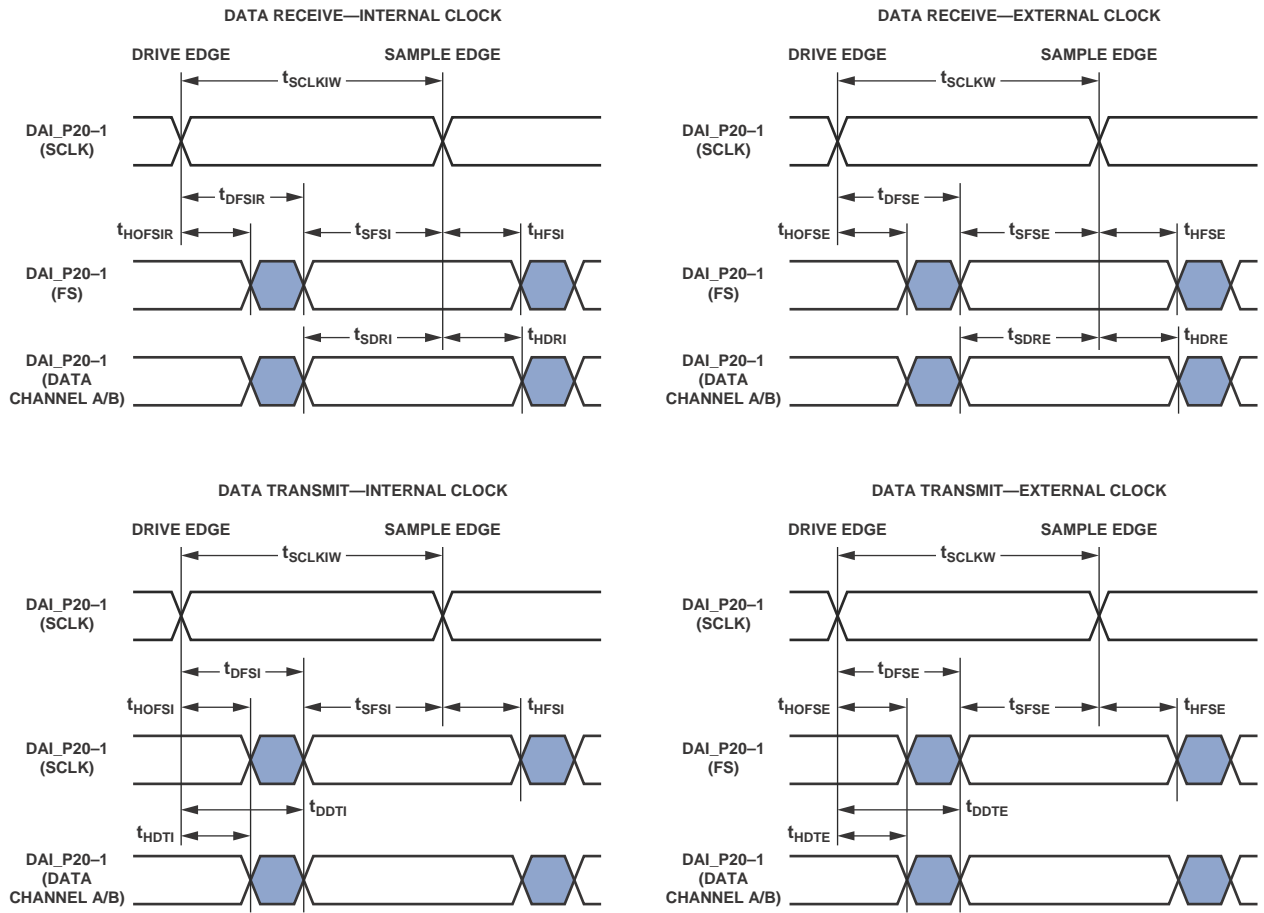


图25. 串行端口

ADSP-21467/ADSP-21469

表38. 串行端口—使能和三态参数

参数		最小值	最大值	单位
开关特性				
t_{DDTEN}^1	自外部发送SCLK起的数据使能时间	2		ns
t_{DDTTE}^1	自外部发送SCLK起的数据禁用时间		11.5	ns
t_{DDTIN}^1	自内部发送SCLK起的数据使能时间	-1		ns

¹ 以驱动沿为基准。

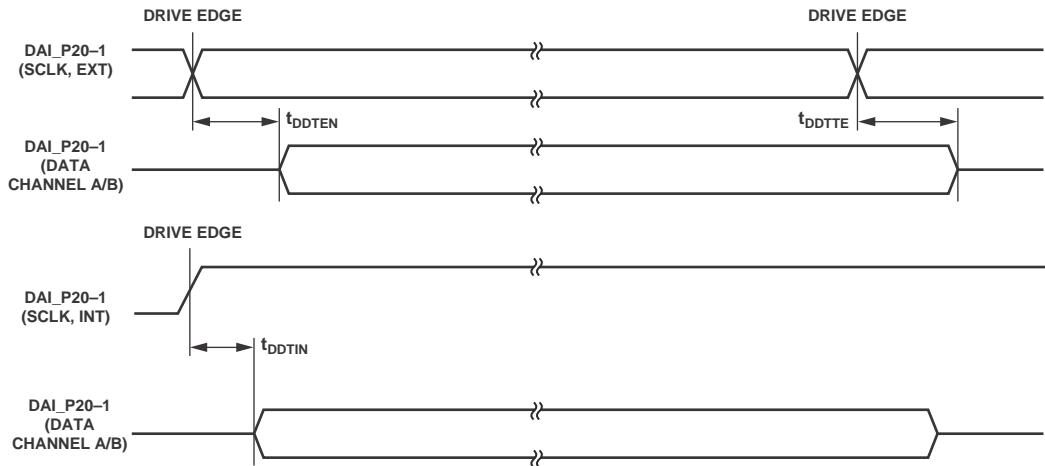


图26. 串行端口—使能和三态

SPORTx_TDV_O输出信号(路由单元)在SPORT多通道模式下有效。在发送时隙(通过活动通道选择寄存器使能), SPORTx_TDV_O置位以便与外部器件通信。

表39. 串行端口—TDV(发送数据有效)

参数		最小值	最大值	单位
开关特性 ¹				
t _{DRDVEN}	自外部时钟驱动沿起的TDV置位延迟时间	3		ns
t _{DFDVEN}	自外部时钟驱动沿起的TDV解除置位延迟时间		8	ns
t _{DRDVIN}	自内部时钟驱动沿起的TDV置位延迟时间	-0.1		ns
t _{DFDVIN}	自内部时钟驱动沿起的TDV解除置位延迟时间		2	ns

¹ 以驱动沿为基准。

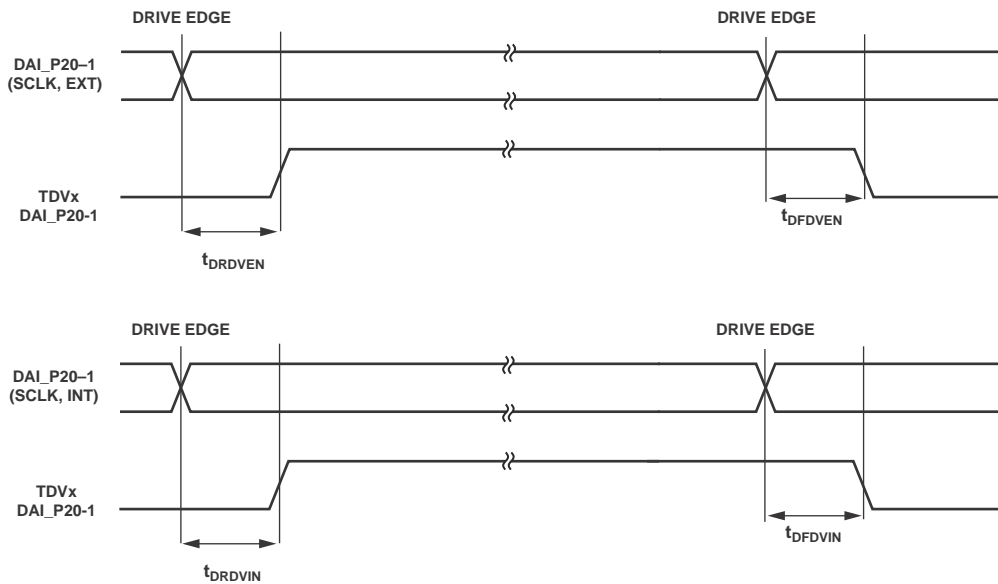


图27. 串行端口—发送数据有效的内部和外部时钟

ADSP-21467/ADSP-21469

表40. 串行端口—外部晚帧同步参数

参数	最小值	最大值	单位
开关特性			
$t_{DDTLFSE}^1$		7.75	ns
$t_{DDTENFS}^1$	0.5		ns

¹ $t_{DDTLFSE}$ 和 $t_{DDTENFS}$ 参数适用于左对齐和DSP串行模式，而且MCE = 1、MFD = 0。

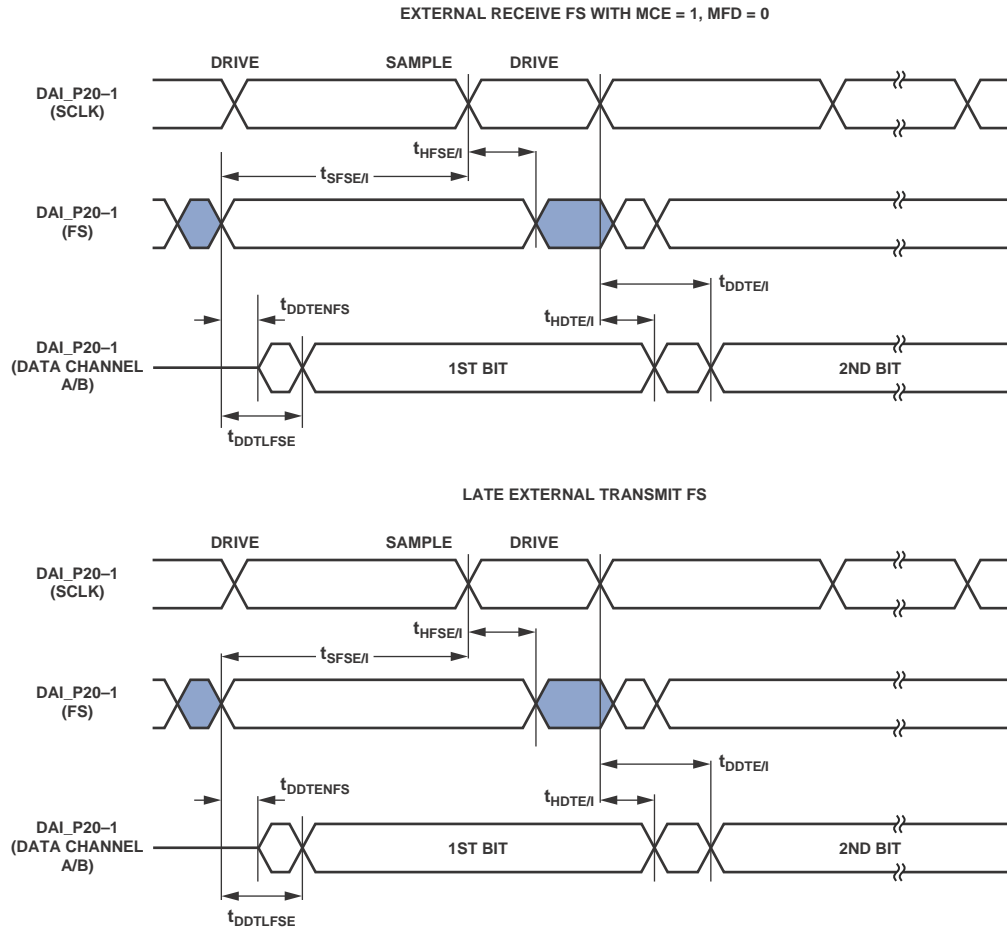


图28. 外部晚帧同步

输入数据端口(IDP)

IDP的时序要求如表41所示。IDP信号通过SRU路由至DAI_P20-1引脚。因此，下面提供的时序规格在DAI_P20-1引脚上有效。

表41. 输入数据端口(IDP)

参数		最小值	最大值	单位
时序要求				
t_{SISFS}^1	串行时钟上升沿之前帧同步建立时间	3.8		ns
t_{SIHFS}^1	串行时钟上升沿之后帧同步保持时间	2.5		ns
t_{SISD}^1	串行时钟上升沿之前数据建立时间	2.5		ns
t_{SIHD}^1	串行时钟上升沿之后数据保持时间	2.5		ns
t_{DPCLKW}	时钟宽度	$(t_{PCLK} \times 4) \div 2 - 1$		ns
t_{DPCLK}	时钟周期	$t_{PCLK} \times 4$		ns

¹ 串行时钟、数据和帧同步信号可来自任意DAI引脚。串行时钟和帧同步信号也可以通过PCG或SPORT提供。PCG的输入可以是CLKIN或任意DAI引脚。

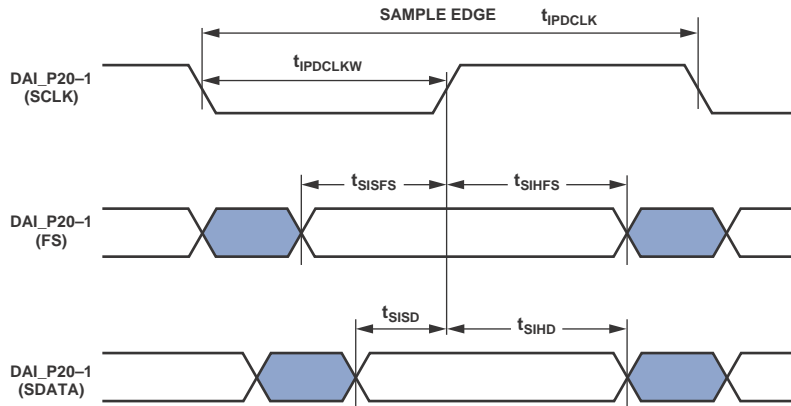


图29. IDP主器件时序

ADSP-21467/ADSP-21469

并行数据采集端口(PDAP)

表42提供了PDAP的时序要求。PDAP是IDP的0通道并行工作模式。有关PDAP操作的详情，参见《ADSP-214xx SHARC处理器硬件参考》的“PDAP部分。”

表42. 并行数据采集端口(PDAP)

参数		最小值	最大值	单位
时序要求				
t_{SPHOLD}^1	PDAP_CLK采样沿之前PDAP_HOLD建立时间	2.5		ns
t_{HPHOLD}^1	PDAP_CLK采样沿之后PDAP_HOLD保持时间	2.5		ns
t_{PDS}^1	串行时钟PDAP_CLK采样沿之前PDAP_DAT建立时间	3.85		ns
t_{PDHD}^1	串行时钟PDAP_CLK采样沿之后PDAP_DAT保持时间	2.5		ns
t_{PDCLKW}	时钟宽度		$(t_{PCLK} \times 4) \div 2 - 3$	ns
t_{PDCLK}	时钟周期		$t_{PCLK} \times 4$	ns
开关特性				
t_{PDHLDD}	一个字的最后PDAP_CLK捕捉沿之后PDAP选通延迟时间	$2 \times t_{PCLK} + 3$		ns
t_{PDSTRB}	PDAP选通脉冲宽度	$2 \times t_{PCLK} - 1$		ns

¹ 20位外部PDAP数据可以通过AMI_ADDR23-4或DAI引脚提供。串行时钟和帧同步的源引脚是1) AMI_ADDR3-2引脚和2) DAI引脚。

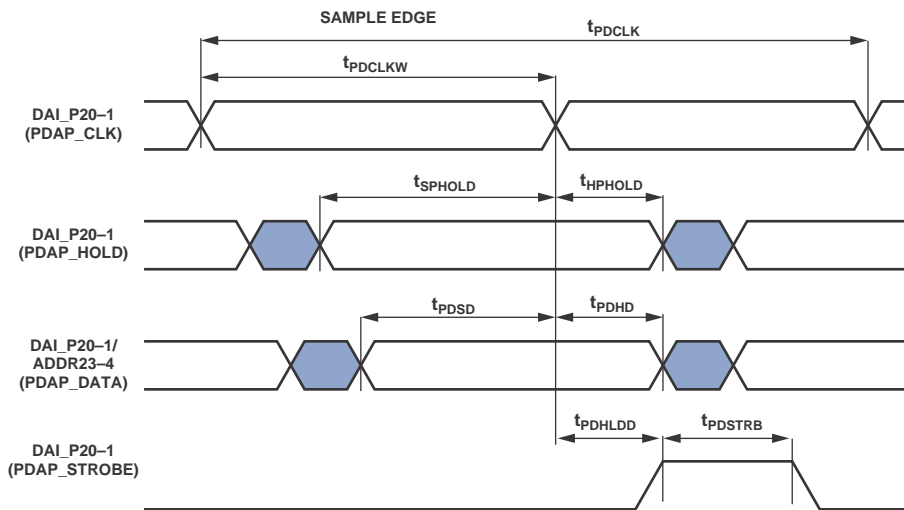


图30. PDAP时序

采样速率转换器—串行输入端口

ASRC输入信号通过SRU从DAI_P20-1引脚路由。因此，表43提供的时序规格在DAI_P20-1引脚上有效。

表43. ASRC串行输入端口

参数	最小值	最大值	单位
时序要求			
t_{SRCSFS}^1 串行时钟上升沿之前帧同步建立时间	4		ns
t_{SRCHFS}^1 串行时钟上升沿之后帧同步保持时间	5.5		ns
t_{SRCSD}^1 串行时钟上升沿之前数据建立时间	4		ns
t_{SRCHD}^1 串行时钟上升沿之后数据保持时间	5.5		ns
t_{SRCLKW} 时钟宽度	$(t_{PCLK} \times 4) \div 2 - 1$		ns
t_{SRCLK} 时钟周期	$t_{PCLK} \times 4$		ns

¹ 串行时钟、数据和帧同步信号可来自任意DAI引脚。串行时钟和帧同步信号也可以通过PCG或SPORT提供。PCG的输入可以是CLKIN或任意DAI引脚。

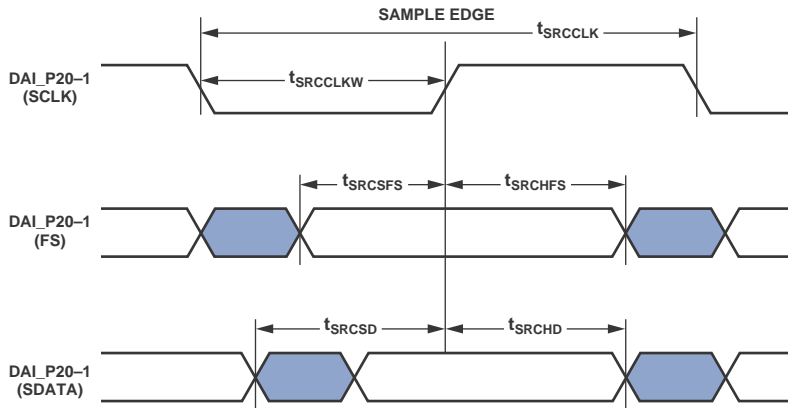


图31. ASRC串行输入端口时序

ADSP-21467/ADSP-21469

采样速率转换器—串行输出端口

对于串行输出端口，帧同步为输入，而且它应满足相对于输出端口串行时钟的建立和保持时间要求。串行数据输出

具有相对于串行时钟的保持和延迟时间规格。注意，串行时钟上升沿是采样沿，而下降沿为驱动沿。

表44. ASRC串行输出端口

参数	最小值	最大值	单位
时序要求			
t_{SRCSFS}^1 串行时钟上升沿之前帧同步建立时间	4		ns
t_{SRCHFS}^1 串行时钟上升沿之后帧同步保持时间	5.5		ns
$t_{SRCCLKW}$ 时钟宽度	$(t_{PCLK} \times 4) \div 2 - 1$		ns
t_{SRCCLK} 时钟周期	$t_{PCLK} \times 4$		ns
开关特性			
t_{SRCTDD}^1 串行时钟下降沿之后发送数据延迟时间		9.9	ns
t_{SRCTDH}^1 串行时钟下降沿之后发送数据保持时间	1		ns

¹ 串行时钟、数据和帧同步信号可来自任意DAI引脚。串行时钟和帧同步信号也可以通过PCG或SPORT提供。PCG的输入可以是CLKIN或任意DAI引脚。

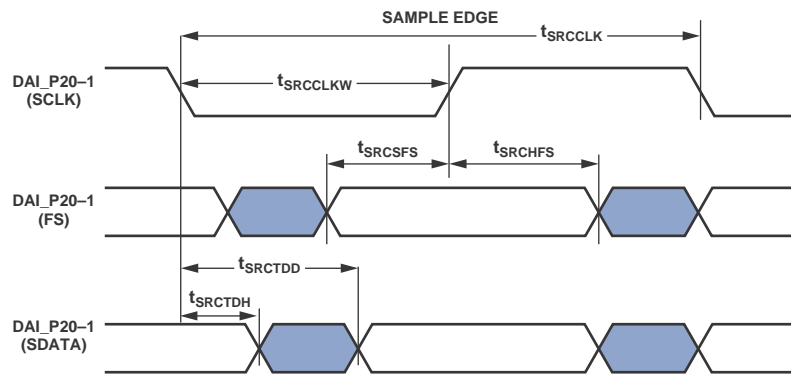


图32. ASRC串行输出端口时序

脉宽调制(PWM)发生器

以下时序规格适用于AMI_ADDR23-8引脚配置为PWM的情况。

表45. 脉宽调制(PWM)时序

参数	最小值	最大值	单位
开关特性			
t _{PWMW} PWM输出脉冲宽度	t _{PCLK} - 2	(2 ¹⁶ - 2) × t _{PCLK} - 2	ns
t _{PWMP} PWM输出周期	2 × t _{PCLK} - 1.5	(2 ¹⁶ - 1) × t _{PCLK} - 1.5	ns

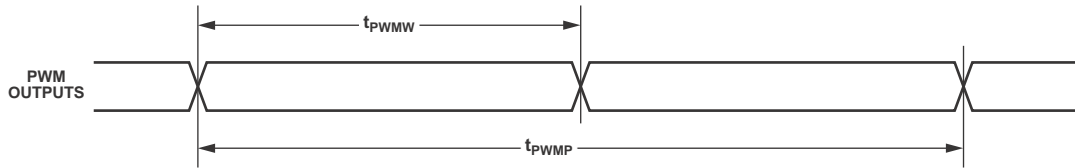


图33. PWM时序

ADSP-21467/ADSP-21469

S/PDIF发送器

S/PDIF发送器的串行数据输入可以格式化为左对齐、I²S或右对齐，字宽为16、18、20或24位。以下部分提供发送器的时序。

S/PDIF发送器—串行输入波形

图34显示右对齐模式。对于左声道，LRCLK为高电平；对于右声道，LRCLK为低电平。数据在串行时钟的上升沿有效。MSB在24位输出模式下延迟最短时间，在16位输出模式下延迟最长时间(相对于LRCLK转变)，因此当每个LRCLK周期具有64个串行时钟周期时，数据的LSB与下一个LRCLK转换右对齐。

图35显示默认I²S对齐模式。对于左声道，LRCLK为低电平；对于右声道，LRCLK为高电平。数据在串行时钟的上升沿有效。MSB与LRCLK转换左对齐，但有延迟。

图36显示左对齐模式。对于左声道，LRCLK为高电平；对于右声道，LRCLK为低电平。数据在串行时钟的上升沿有效。MSB与LRCLK转换左对齐，但无延迟。

表46. S/PDIF发送器右对齐模式

参数	标称值	单位
时序要求		
t_{RJD}	右对齐模式下LRCLK到MSB延迟时间	
	16位字模式	16 SCLK
	18位字模式	14 SCLK
	20位字模式	12 SCLK
	24位字模式	8 SCLK

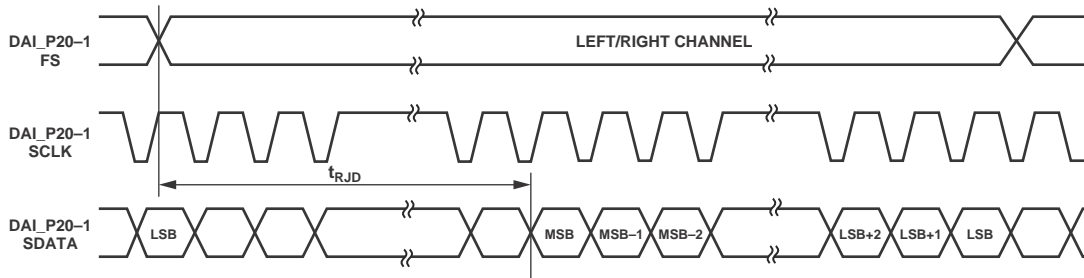


图34. 右对齐模式

表47. S/PDIF发送器I²S模式

参数	标称值	单位
时序要求		
t_{I2SD}	I ² S模式下LRCLK到MSB延迟时间	1 SCLK

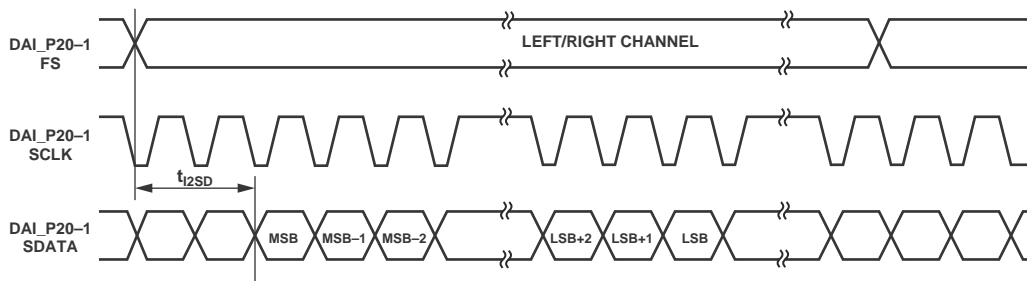


图35. I²S对齐模式

表48. S/PDIF发送器左对齐模式

参数	标称值	单位
时序要求		
t_{LJD} 左对齐模式下LRCLK到MSB延迟时间	0	SCLK

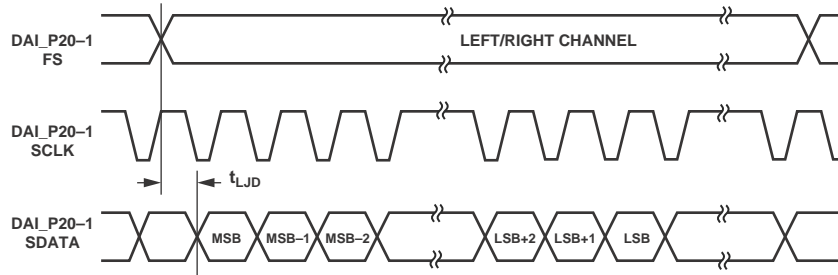


图36. 左对齐模式

S/PDIF发送器输入数据时序

S/PDIF发送器的时序要求如表49所示。输入信号通过SRU路由至DAI_P20-1引脚。因此，下面提供的时序规格在DAI_P20-1引脚上有效。

表49. S/PDIF发送器输入数据时序

参数	最小值	最大值	单位
时序要求			
t_{SISFS}^1 串行时钟上升沿之前帧同步建立时间	3		ns
t_{SIHFS}^1 串行时钟上升沿之后帧同步保持时间	3		ns
t_{SISD}^1 串行时钟上升沿之前数据建立时间	3		ns
t_{SIHD}^1 串行时钟上升沿之后数据保持时间	3		ns
$t_{SITXCLKW}$ 发送时钟宽度	9		ns
$t_{SITXCLK}$ 发送时钟周期	20		ns
$t_{SISCLKW}$ 时钟宽度	36		ns
t_{SISCLK} 时钟周期	80		ns

¹ 串行时钟、数据和帧同步信号可来自任意DAI引脚。串行时钟和帧同步信号也可以通过PCG或SPORT提供。PCG的输入可以是CLKIN或任意DAI引脚。

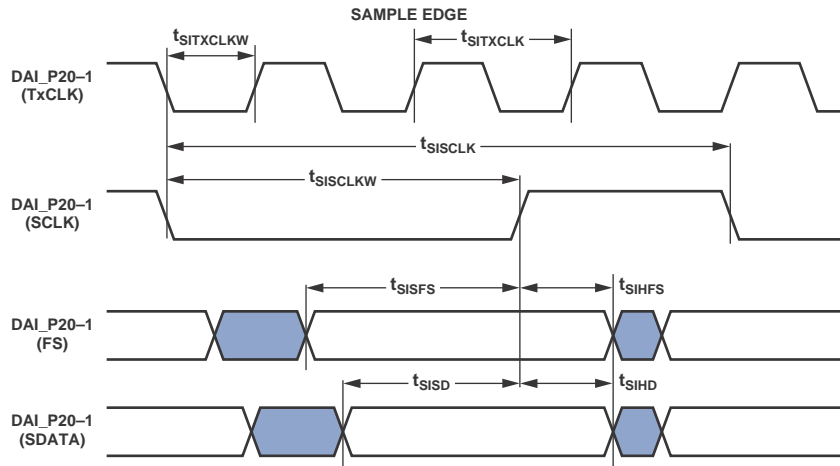


图37. S/PDIF发送器输入时序

过采样时钟(HFCLK)开关特性

S/PDIF发送器有一个过采样时钟。此HFCLK输入经分频产生双相时钟。

表50. 过采样时钟(HFCLK)开关特性

参数	最大值	单位
HFCLK的HFCLK频率 = 384 × 帧同步	过采样比 × 帧同步 $\leq 1/t_{SIHFCLK}$	MHz
HFCLK的HFCLK频率 = 256 × 帧同步	49.2	MHz
帧速率(FS)	192.0	kHz

S/PDIF接收器

以下部分说明S/PDIF接收器相关的时序。

内部数字PLL模式

在内部数字锁相环模式下，内部PLL(数字PLL)产生 $512 \times FS$ 时钟。

表51. S/PDIF接收器内部数字PLL模式时序

参数		最小值	最大值	单位
开关特性				
t_{DFSI}	串行时钟之后LRCLK延迟时间		5	ns
t_{HOFSI}	串行时钟之后LRCLK保持时间	-2		ns
t_{DDTI}	串行时钟之后发送数据延迟时间		5	ns
t_{HDTI}	串行时钟之后发送数据保持时间	-2		ns
t_{SCLKIW}^1	发送串行时钟宽度	$8 \times t_{PCLK} - 2$		ns

¹ 串行时钟频率为 $64 \times$ 帧同步，其中 $FS = LRCLK$ 的频率。

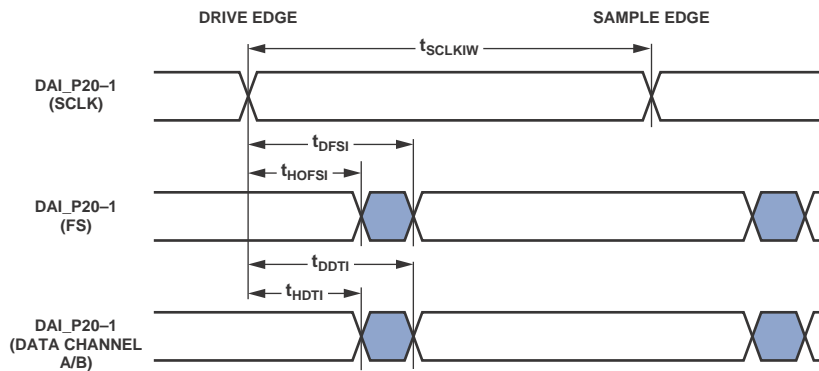


图38. S/PDIF接收器内部数字PLL模式时序

ADSP-21467/ADSP-21469

SPI接口—主器件

处理器包含两个SPI端口。主要和辅助端口均只能通过DPI使用。表52和表53提供的时序适用于这两个端口。

表52. SPI接口协议—主器件开关和时序规格

参数		最小值	最大值	单位
时序要求				
t_{SSPIDM}	数据输入有效到SPICLK边沿(数据输入建立时间)	8.2		ns
t_{HSPIDM}	SPICLK最后采样沿到数据输入无效	2		ns
开关特性				
$t_{SPICLKM}$	串行时钟周期	$8 \times t_{PCLK} - 2$		ns
t_{SPICHM}	串行时钟高电平周期	$4 \times t_{PCLK} - 2$		ns
t_{SPICLM}	串行时钟低电平周期	$4 \times t_{PCLK} - 2$		ns
$t_{DDSPIDM}$	SPICLK边沿到数据输出有效(数据输出延迟时间)		2.5	ns
$t_{HDSPIDM}$	SPICLK边沿到数据输出无效(数据输出保持时间)	$4 \times t_{PCLK} - 2$		ns
t_{SDSCIM}	DPI引脚(SPI器件选择)低电平到第一个SPICLK边沿	$4 \times t_{PCLK} - 2$		ns
t_{HDSM}	最后一个SPICLK边沿到DPI引脚(SPI器件选择)高电平	$4 \times t_{PCLK} - 2$		ns
t_{SPITDM}	顺序传输延迟时间	$4 \times t_{PCLK} - 1$		ns

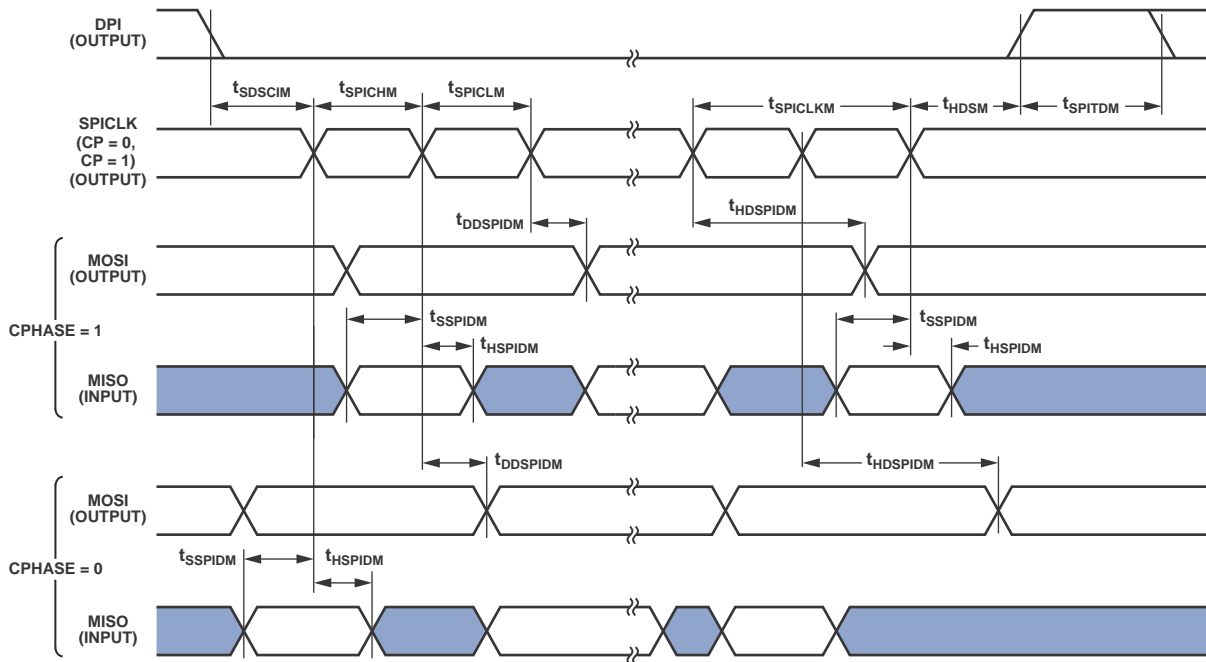


图39. SPI主器件时序

SPI接口—从器件

表53. SPI接口协议—从器件开关和时序规格

参数		最小值	最大值	单位
时序要求				
t_{SPICLK}	串行时钟周期	$4 \times t_{pCLK} - 2$		ns
t_{SPICHS}	串行时钟高电平周期	$2 \times t_{pCLK} - 2$		ns
t_{SPICLS}	串行时钟低电平周期	$2 \times t_{pCLK} - 2$		ns
t_{SDSCO}	SPIDS 置位于第一个SPICLK边沿, CPHASE = 0或CPHASE = 1	$2 \times t_{pCLK}$		ns
t_{HDS}	最后一个SPICLK边沿到SPIDS未置位, CPHASE = 0	$2 \times t_{pCLK}$		ns
t_{SSPIDS}	数据输入有效到SPICLK边沿(数据输入建立时间)	2		ns
t_{HSPIDS}	SPICLK最后采样沿到数据输入无效	2		ns
t_{SDPPW}	SPIDS 解除置位脉冲宽度(CPHASE = 0)	$2 \times t_{pCLK}$		ns
开关特性				
t_{DSOE}	SPIDS 置位至数据输出有效	0	6.8	ns
t_{DSOE}^1	SPIDS 置位至数据输出有效(SPI2)	0	8	ns
t_{DSDHI}	SPIDS 解除置位到数据高阻态	0	10.5	ns
t_{DSDHI}^1	SPIDS 解除置位到数据高阻态(SPI2)	0	10.5	ns
$t_{DDSPIDS}$	SPICLK边沿到数据输出有效(数据输出延迟时间)		9.5	ns
$t_{HDSPIDS}$	SPICLK边沿到数据输出无效(数据输出保持时间)	$2 \times t_{pCLK}$		ns
t_{DSOV}	SPIDS 置位至数据输出有效(CPHASE = 0)		$5 \times t_{pCLK}$	ns

¹ 这些参数的时序适用于SPI通过信号路由单元路由的情况。更多信息请参阅处理器硬件参考的串行外设接口端口部分。

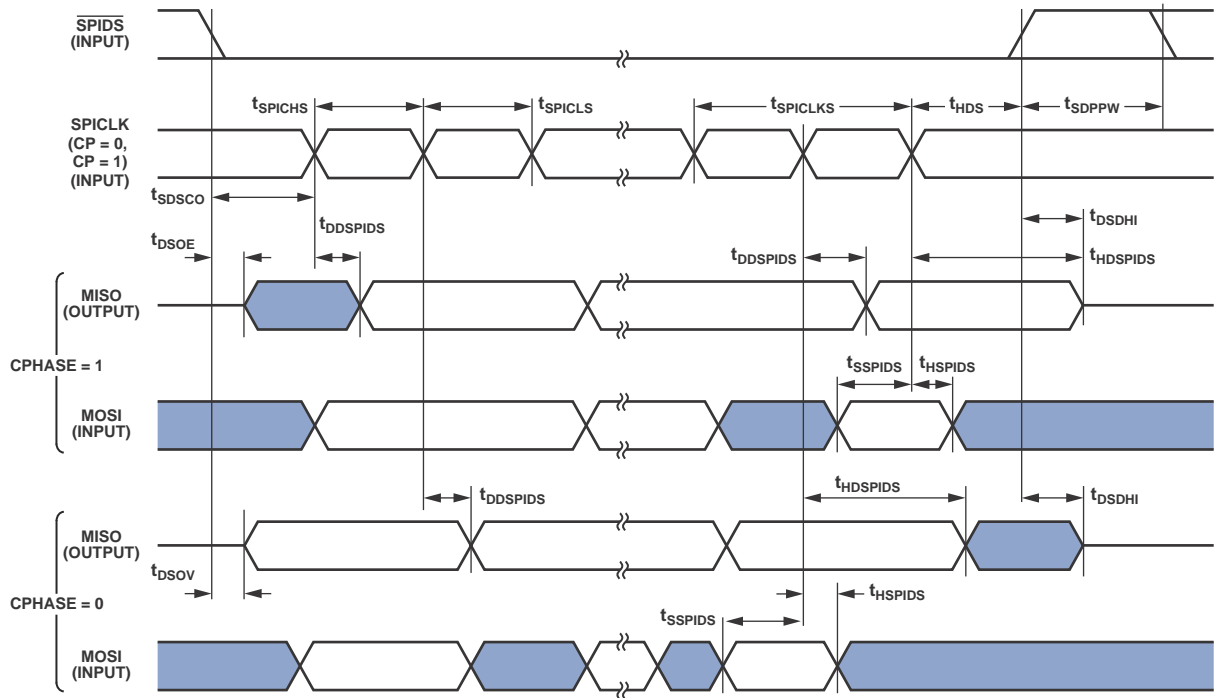


图40. SPI从器件时序

ADSP-21467/ADSP-21469

媒体局部总线

除非另有说明，给出的所有数值适用于所有速度型号(1024 FS、512 FS和256 FS为3引脚；512 FS和256 FS为5引脚)。更多信息请参阅MediaLB规范3.0版。

表54. MLB接口，3引脚规格

参数	最小值	典型值	最大值	单位
3引脚特性				
t _{MLBCLK}	MLB时钟周期			
	1024 FS	20.3		ns
	512 FS	40		ns
	256 FS	81		ns
t _{MCKL}	MLBCLK低电平时间			
	1024 FS	6.1		ns
	512 FS	14		ns
	256 FS	30		ns
t _{MCKH}	MLBCLK高电平时间			
	1024 FS	9.3		ns
	512 FS	14		ns
	256 FS	30		ns
t _{MCKR}	MLBCLK上升时间(V _{IL} 至V _{IH})			
	1024 FS		1	ns
	512 FS/256 FS		3	ns
t _{MCKF}	MLBCLK下降时间(V _{IH} 至V _{IL})			
	1024 FS		1	ns
	512 FS/256 FS		3	ns
T _{MPWV} ¹	MLBCLK脉冲宽度变化			
	1024 FS		0.7	ns p-p
	512 FS/256 FS		2.0	ns p-p
t _{DSMCF}	DAT/SIG输入建立时间		1	ns
t _{DHMCf}	DAT/SIG输入保持时间		1	ns
t _{MCFDZ}	DAT/SIG输出时间至三态		0	ns
t _{MCDRV}	自MLBCLK上升沿起的DAT/SIG输出数据延迟时间			8 ns
t _{MDZH} ²	总线保持时间			
	1024 FS	2		ns
	512 FS/256 FS	4		ns
C _{MLB}	DAT/SIG引脚负载			
	1024 FS		40	pf
	512 FS/256 FS		60	pf

¹ 脉冲宽度变化在1.25 V下测量：在MLBCLK的一个沿上触发，然后在另一个沿上测量扩展，单位为纳秒峰值(ns p-p)。

² 电路板设计必须确保高阻抗总线在此时间内不离开最终受驱动位的逻辑状态。因此，在满足所列最大容性负载要求的同时，必须将耦合降至最小。

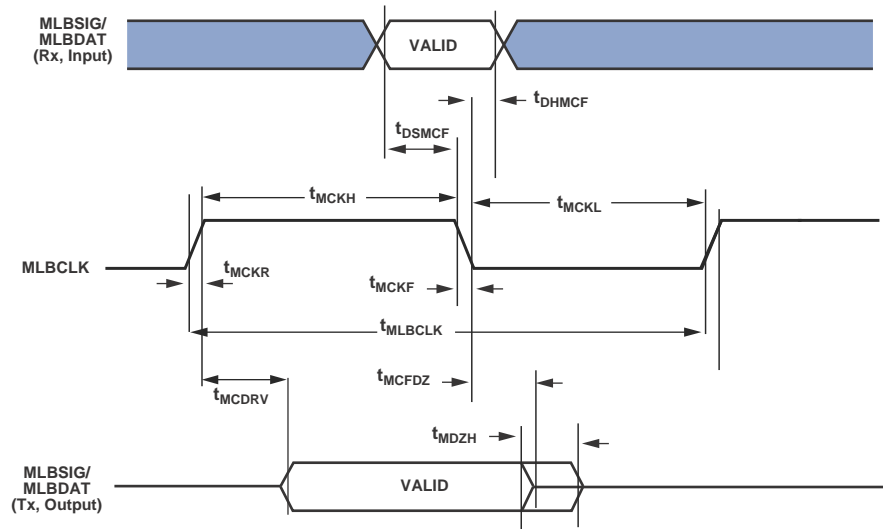


图41. MLB时序(3引脚接口)

表55. MLB接口, 5引脚规格

参数	最小值	典型值	最大值	单位
5引脚特性				
t _{MLBCLK} MLB时钟周期	512 FS	40		ns
	256 FS	81		ns
t _{MCKL} MLBCLK低电平时间	512 FS		15	ns
	256 FS		30	ns
t _{MCKH} MLBCLK高电平时间	512 FS		15	ns
	256 FS		30	ns
t _{MCKR} MLBCLK上升时间(V _{IL} 至V _{IH})			6	ns
t _{MCKF} MLBCLK下降时间(V _{IH} 至V _{IL})			6	ns
t _{MPWV} ¹ MLBCLK脉冲宽度变化			2	ns p-p
t _{DSMTF} ² DAT/SIG输入建立时间	3			ns
t _{DHMCF} DAT/SIG输入保持时间	5			ns
t _{MCDRV} 自MLBCLK上升沿起的DS/DO输出数据延迟时间			8	ns
t _{MCRDL} ³ 自MLBCLK高电平起的DO/SO低电平时间	512 FS		10	ns
	256 FS		20	ns
C _{MLB} DS/DO引脚负载			40	pf

¹ 脉冲宽度变化在1.25 V下测量：在MLBCLK的一个沿上触发，然后在另一个沿上测量扩展，单位为纳秒峰峰值(ns p-p)。

² 必须考虑引脚“或”逻辑引起的栅极延迟。

³ 当节点未将有效数据驱动到总线时，MLBSO和MLBDO输出线应保持低电平。如果输出线可以随时悬空，包括在复位时，则需要使用外部下拉电阻，防止为驱动时输出破坏MediaLB信号线。

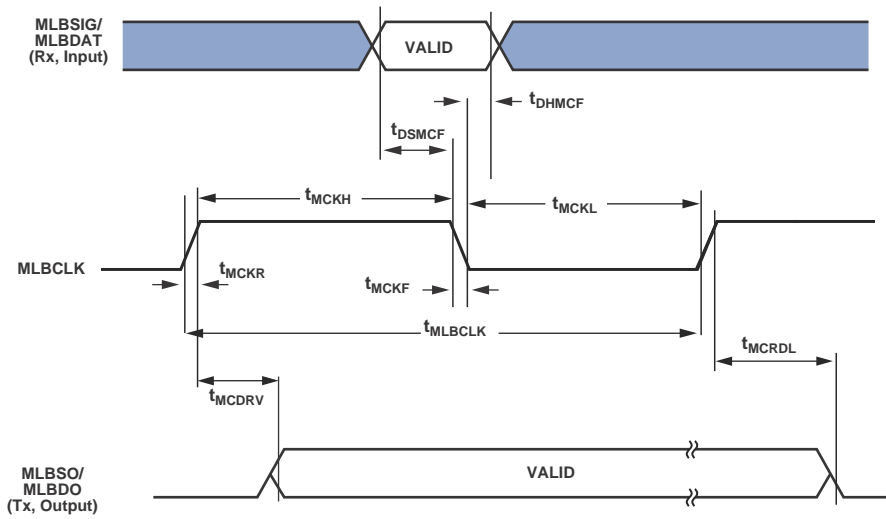


图42. MLB时序(5引脚接口)

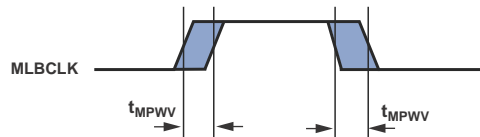


图43. MLB 3引脚和15引脚MLBCLK脉冲宽度变化时序

通用异步接收器-发送器(UART)端口—接收和发送时序

有关UART端口接收和发送操作的信息，参见《ADSP-214xx SHARC硬件参考手册》。

双线式接口(TWI)—接收和发送时序

有关TWI接收和发送操作的信息，参见《ADSP-214xx SHARC硬件参考手册》。

JTAG测试访问端口和仿真

表56. JTAG测试访问端口和仿真

参数		最小值	最大值	单位
时序要求				
t_{TCK}	TCK周期	20		ns
t_{STAP}	TCK高电平之前TDI、TMS建立时间	5		ns
t_{HTAP}	TCK高电平之后TDI、TMS保持时间	6		ns
t_{SSYS}^1	TCK高电平之前系统输入建立时间	7		ns
t_{HSYS}^1	TCK高电平之后系统输入保持时间	18		ns
t_{TRSTW}	\overline{TRST} 脉冲宽度	$4 \times t_{CK}$		ns
开关特性				
t_{DTDO}	自TCK低电平起的TDO延迟时间		10	ns
t_{DSYS}^2	TCK低电平之后系统输出延迟时间		$t_{CK} \div 2 + 7$	ns

¹ 系统输入 = AMI_DATA、DDR2_DATA、CLKCFG1-0、BOOTCFG2-0 RESET、DAI、DPI、FLAG3-0。

² 系统输出 = AMI_ADDR/DATA、DDR2_ADDR/DATA、AMI_CTRL、DDR2_CTRL、DAI、DPI、FLAG3-0、 \overline{EMU} 。

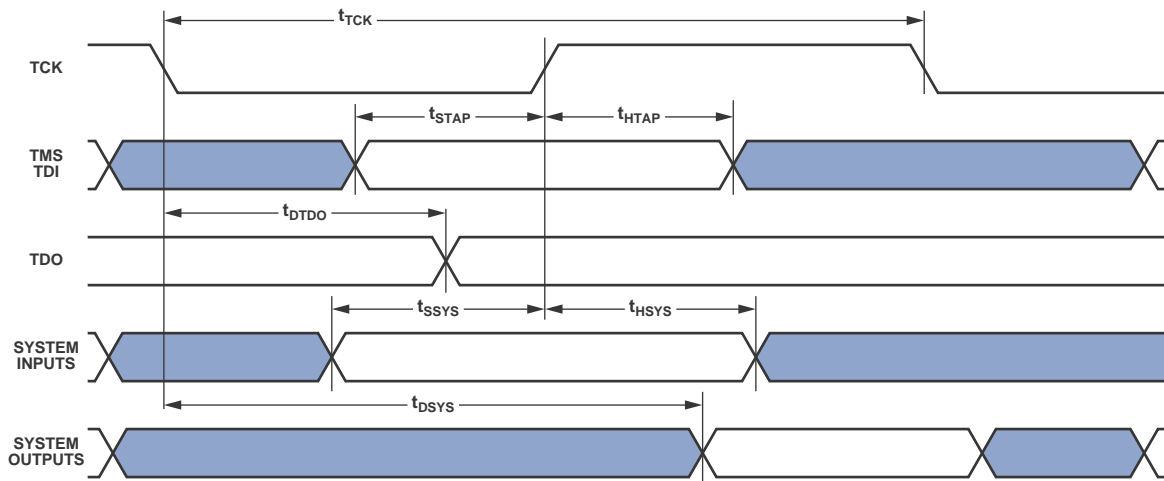


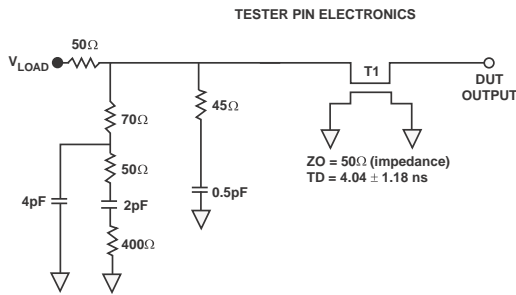
图44. IEEE 1149.1 JTAG测试访问端口

ADSP-21467/ADSP-21469

测试条件

交流信号规格(时序参数)如第26页的表20至第59页的表56所示,包括输出禁用时间、输出使能时间和容性负载。SHARC的时序规格适用于图45所示的基准电平。

时序是在信号跨过V_{MEAS}电平时测量,如图46所示。所有延迟时间(纳秒)均在第一个信号达到V_{MEAS}的时间点与第二个信号达到V_{MEAS}的时间点之间测量。非DDR引脚的V_{MEAS}值为1.5 V,DDR引脚的V_{MEAS}值为0.9 V。



NOTES:
THE WORST-CASE TRANSMISSION LINE DELAY IS SHOWN AND CAN BE USED FOR THE OUTPUT TIMING ANALYSIS TO REFLECT THE TRANSMISSION LINE EFFECT AND MUST BE CONSIDERED. THE TRANSMISSION LINE (TD) IS FOR LOAD ONLY AND DOES NOT AFFECT THE DATA SHEET TIMING SPECIFICATIONS.
ANALOG DEVICES RECOMMENDS USING THE IBIS MODEL TIMING FOR A GIVEN SYSTEM REQUIREMENT. IF NECESSARY, A SYSTEM MAY INCORPORATE EXTERNAL DRIVERS TO COMPENSATE FOR ANY TIMING DIFFERENCES.

图45. 交流测量的等效器件负载(包括所有配件)



图46. 用于交流测量的基准电平

输出驱动电流

图47显示处理器输出驱动器的典型I-V特性,表57显示各驱动器相关引脚。这些曲线反映输出驱动器的电流驱动能力与输出电压的关系。

表57. 驱动器类型

驱动器类型	相关引脚
A	LACK1-0, LDAT0[7:0], LDAT1[7:0], MLBCLK, MLBDAT, MLBDO, MLBSIG, MLBSO, AMI_ACK, AMI_ADDR23-0, AMI_DATA7-0, AMI_MS1-0, AMI_RD, AMI_WR, DAI_P, DPI_P, EMU, FLAG3-0, RESETOUT, TDO
B	LCLK1-0
C	DDR2_ADDR15-0, DDR2_BA2-0, DDR2_CAS, DDR2_CKE, DDR2_CS3-0, DDR2_DATA15-0, DDR2_DM1-0, DDR2_ODT, DDR2_RAS, DDR2_WE
D (TRUE)	DDR2_CLK1-0, DDR2_DQS1-0
D (COMP)	DDR2_CLK1-0, DDR2_DQS1-0

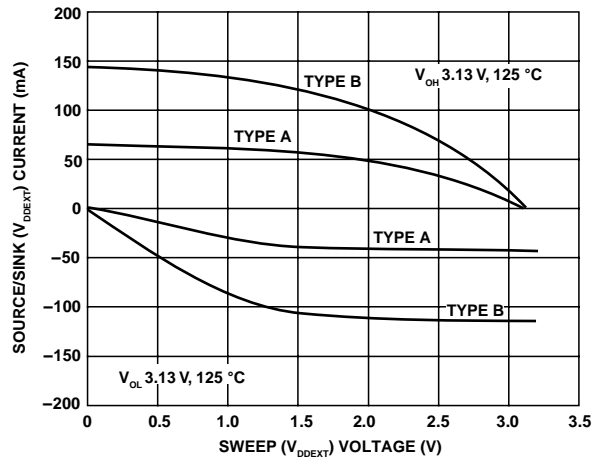


图47. 输出缓冲特性(最差情况非DDR2)

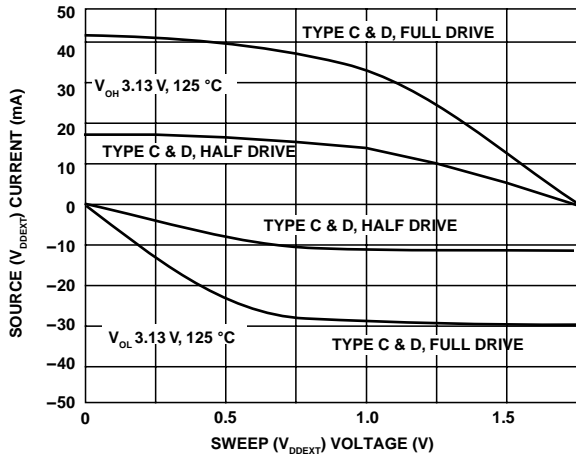


图48. 输出缓冲特性(最差情况DDR2)

容性负载

输出延迟和保持时间基于标准容性负载：所有引脚均为30 pF (见表57)。图53至图58以图形方式显示输出延迟和保持时间如何随负载电容而变化。对于典型输出延迟时间与负载电容的关系和典型输出上升时间(20%至80%, $V = \text{最小值}$)与负载电容的关系, 在所示范围之外, 图49至图58中的图形可能不是线性的。

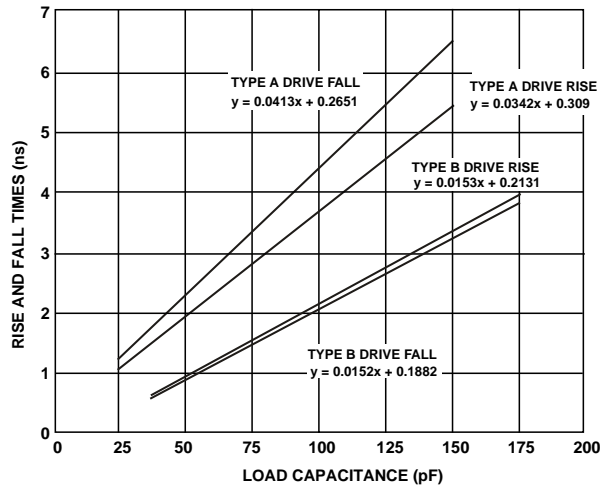


图49. 典型输出上升/下降时间非DDR2(20%至80%, $V_{DD_EXT} = \text{最大值}$)

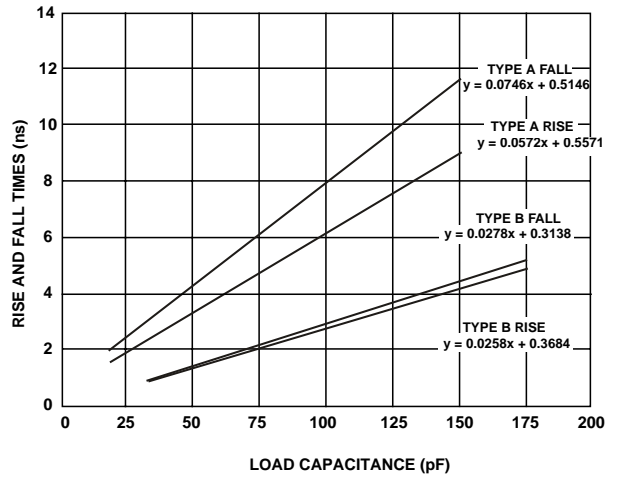


图50. 典型输出上升/下降时间非DDR2(20%至80%, $V_{DD_EXT} = \text{最小值}$)

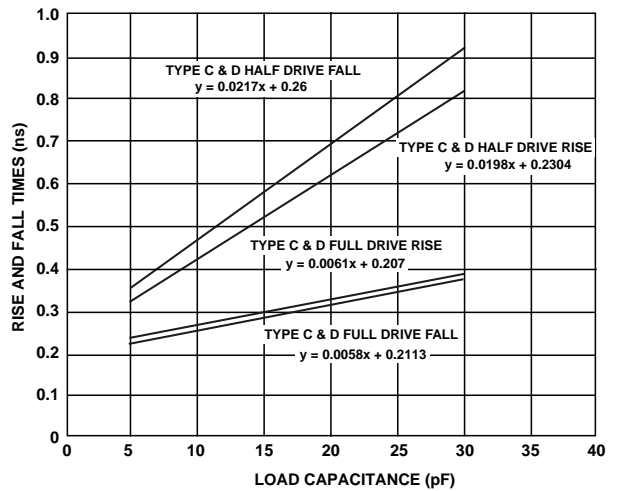


图51. 典型输出上升/下降时间DDR2(20%至80%, $V_{DD_EXT} = \text{最大值}$)

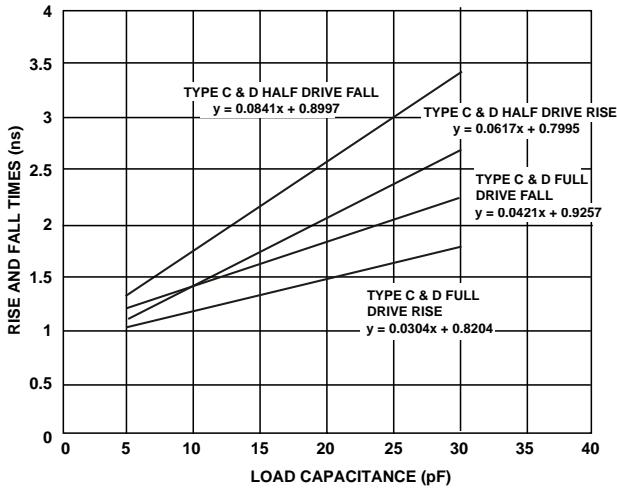


图52. 典型输出上升/下降时间DDR2(20%至80%, V_{DD_EXT} = 最小值)

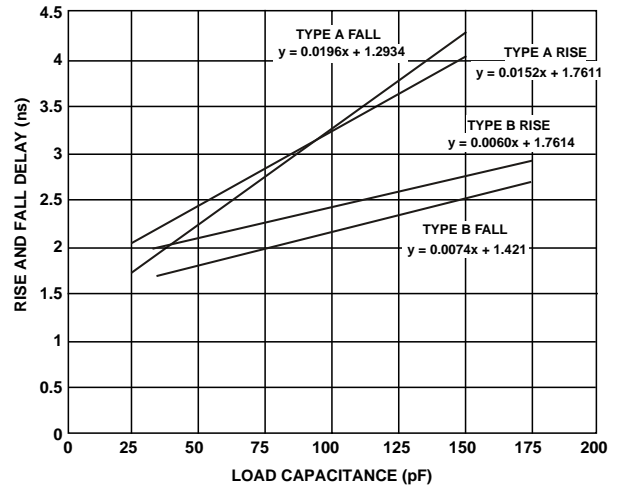


图54. 典型输出上升/下降延迟时间非DDR(V_{DD_EXT} = 最大值)

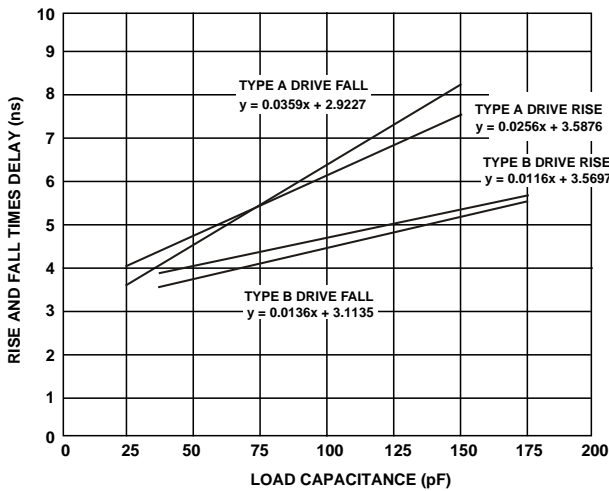


图53. 典型输出上升/下降延迟时间非DDR(V_{DD_EXT} = 最小值)

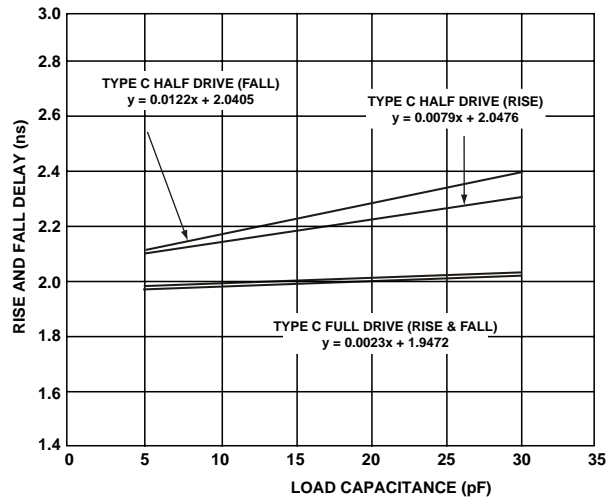


图55. 典型输出上升/下降延迟时间DDR焊盘C(V_{DD_EXT} = 最小值)

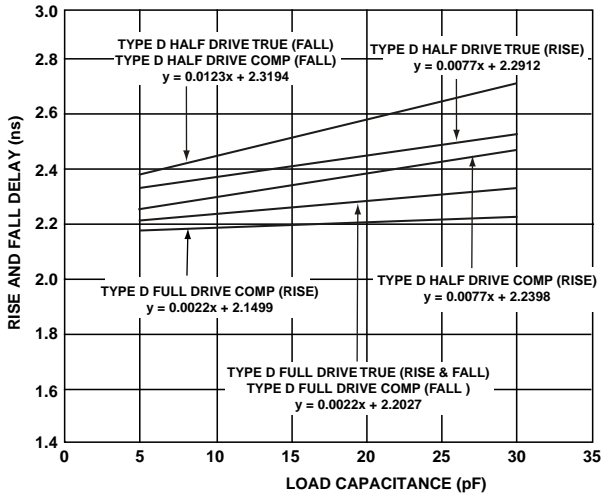


图56. 典型输出上升/下降延迟时间DDR焊盘D(V_{DD_EXT} = 最小值)

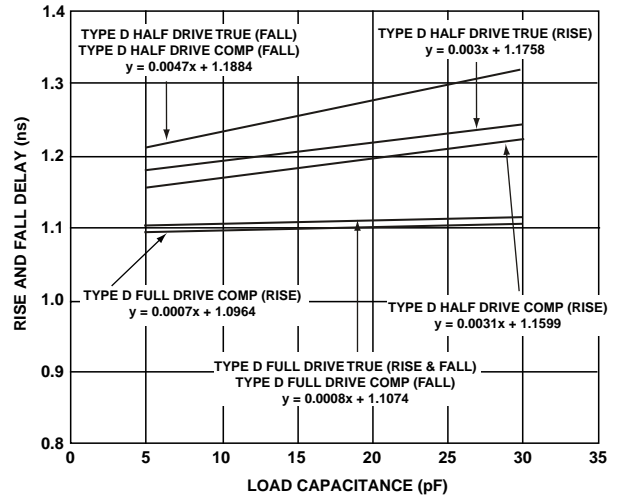


图58. 典型输出上升/下降延迟时间DDR焊盘D(V_{DD_EXT} = 最大值)

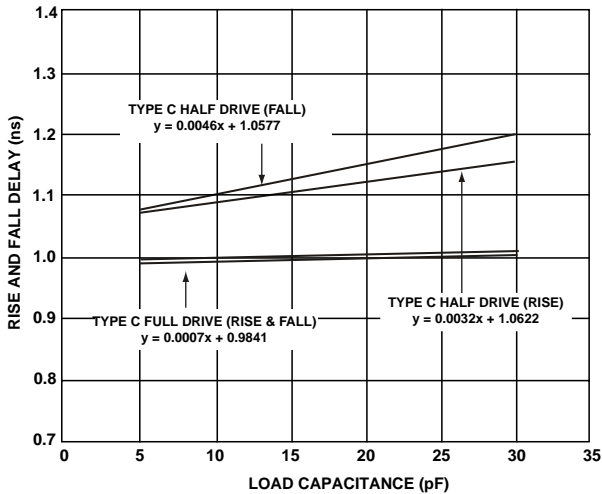


图57. 典型输出上升/下降延迟时间DDR焊盘C(V_{DD_EXT} = 最大值)

热特性

处理器的额定温度范围性能如第18页的工作条件所示。

表58中的气流测量符合JEDEC标准JESD51-2和JESD51-6，结至板测量符合JESD51-8标准。测试板设计符合JEDEC标准JESD51-7(CSP_BGA)。结至壳测量符合MIL-STD-883标准。所有测量采用2S2P JEDEC测试板。

下述公式用来计算应用PCB上器件的结温：

T_J = 结温(°C)

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

其中：

T_{CASE} = 壳温(°C)，在封装的顶部中央测得

Ψ_{JT} = 结至顶部(封装)特性参数见表58中的典型值。

P_D = 功耗

θ_{JA} 值供封装比较和PCB设计考虑时使用。 θ_{JA} 可用于计算 T_J 的一阶近似值，计算公式如下：

$$T_J = T_A + (\theta_{JA} \times P_D)$$

其中：

T_A = 环境温度(°C)

θ_{JC} 值是在需要外部散热器时，供封装比较和PCB设计考虑时使用。

ADSP-21467/ADSP-21469

θ_{JB} 值供封装比较和PCB设计考虑时使用。注意，表58中提供的热特性值是建模计算值。

表58. 324引脚CSP_BGA的热特性

参数	条件	典型值	单位
θ_{JA}	气流 = 0 m/s	22.7	°C/W
θ_{JMA}	气流 = 1 m/s	20.4	°C/W
θ_{JMA}	气流 = 2 m/s	19.5	°C/W
θ_{JC}		6.6	°C/W
ψ_{JT}	气流 = 0 m/s	0.11	°C/W
ψ_{JMT}	气流 = 1 m/s	0.19	°C/W
ψ_{JMT}	气流 = 2 m/s	0.24	°C/W

热二极管

处理器集成了热二极管来监控芯片温度。该热二极管是集电极接地、PNP双极性结晶体管(BJT)。THD_P引脚连接到晶体管的发射极，THD_M引脚连接到基极。外部温度传感器(如ADM1021A或LM86等)可以利用这些引脚来读取芯片温度。

表59. 热二极管参数 - 晶体管模型¹

符号	参数	最小值	典型值	最大值	单位
I_{FW}^2	正向偏置电流	10		300	μA
I_E	发射极电流	10		300	μA
$nQ^{3,4}$	晶体管理想系数	1.012	1.015	1.017	
$R_T^{4,5}$	串联电阻	0.12	0.2	0.28	Ω

¹ 参见工程师笔记EE-346。

² ADI公司建议不要在反向偏置下使用热二极管。

³ 未100%测试，通过设计特性指定。

⁴ 理想系数nQ表示二极管实际行为与以下二极管方程式所代表的理想行为的差异： $I_C = I_S \times (e^{qV_{BE}/nqKT} - 1)$ ，其中 I_S = 饱和电流，q = 电荷， V_{BE} = 二极管上的电压，k = 波尔兹曼常数，T = 绝对温度(K)。

⁵ 串联电阻(R_T)可根据需要使用，使读数更精确。

外部温度传感器使用的技术是让热二极管在两个不同的电流下工作，测量 V_{BE} 的变化。如下式所示：

$$\Delta V_{BE} = n \times \frac{kT}{q} \times \ln(N)$$

其中：

n = 乘法系数，接近1，取决于工艺变化

k = 波尔兹曼常数

T = 温度(°C)

q = 电荷

N = 两个电流的比值。对于常见的温度传感器芯片，这两个电流通常在10 μA 到300 μA 范围内。

表59列出了使用晶体管模型的热二极管特性。注意，实测理想系数已经考虑效应变化(B)。

CSP_BGA 封装引脚分配——汽车应用型号

表60按照信号列出汽车CSP_BGA封装引脚分配。

表60. CSP_BGA封装引脚分配(按信号字母顺序)

信号	引脚编号	信号	引脚编号	信号	引脚编号	信号	引脚编号
AGND	H02	CLK_CFG0	G01	DDR2_BA1	C17	DPI_P04	R01
AMI_ACK	R10	CLK_CFG1	G02	DDR2_BA2	B18	DPI_P05	P01
AMI_ADDR0	V16	CLKIN	L01	DDR2_CAS	C07	DPI_P06	P02
AMI_ADDR01	U16	DAI_P01	R06	DDR2_CKE	E01	DPI_P07	P03
AMI_ADDR02	T16	DAI_P02	V05	DDR2_CLK0	A07	DPI_P08	P04
AMI_ADDR03	R16	DAI_P03	R07	DDR2_CLK0	B07	DPI_P09	N01
AMI_ADDR04	V15	DAI_P04	R03	DDR2_CLK1	A13	DPI_P10	N02
AMI_ADDR05	U15	DAI_P05	U05	DDR2_CLK1	B13	DPI_P11	N03
AMI_ADDR06	T15	DAI_P06	T05	DDR2_CS0	C01	DPI_P12	N04
AMI_ADDR07	R15	DAI_P07	V06	DDR2_CS1	D01	DPI_P13	M03
AMI_ADDR08	V14	DAI_P08	V02	DDR2_CS2	C02	DPI_P14	M04
AMI_ADDR09	U14	DAI_P09	R05	DDR2_CS3	D02	EMU	K02
AMI_ADDR10	T14	DAI_P10	V04	DDR2_DATA0	B02	FLAG0	R08
AMI_ADDR11	R14	DAI_P11	U04	DDR2_DATA01	A02	FLAG1	V07
AMI_ADDR12	V13	DAI_P12	T04	DDR2_DATA02	B03	FLAG2	U07
AMI_ADDR13	U13	DAI_P13	U06	DDR2_DATA03	A03	FLAG3	T07
AMI_ADDR14	T13	DAI_P14	U02	DDR2_DATA04	B05	GND	A01
AMI_ADDR15	R13	DAI_P15	R04	DDR2_DATA05	A05	GND	A18
AMI_ADDR16	V12	DAI_P16	V03	DDR2_DATA06	B06	GND	C04
AMI_ADDR17	U12	DAI_P17	U03	DDR2_DATA07	A06	GND	C06
AMI_ADDR18	T12	DAI_P18	T03	DDR2_DATA08	B08	GND	C08
AMI_ADDR19	R12	DAI_P19	T06	DDR2_DATA09	A08	GND	D05
AMI_ADDR20	V11	DAI_P20	T02	DDR2_DATA10	B09	GND	D07
AMI_ADDR21	U11	DDR2_ADDR0	D13	DDR2_DATA11	A09	GND	D09
AMI_ADDR22	T11	DDR2_ADDR01	C13	DDR2_DATA12	A11	GND	D10
AMI_ADDR23	R11	DDR2_ADDR02	D14	DDR2_DATA13	B11	GND	D17
AMI_DATA0	U18	DDR2_ADDR03	C14	DDR2_DATA14	A12	GND	E03
AMI_DATA1	T18	DDR2_ADDR04	B14	DDR2_DATA15	B12	GND	E05
AMI_DATA2	R18	DDR2_ADDR05	A14	DDR2_DM0	C03	GND	E12
AMI_DATA3	P18	DDR2_ADDR06	D15	DDR2_DM1	C11	GND	E13
AMI_DATA4	V17	DDR2_ADDR07	C15	DDR2_DQS0	A04	GND	E16
AMI_DATA5	U17	DDR2_ADDR08	B15	DDR2_DQS0	B04	GND	F01
AMI_DATA6	T17	DDR2_ADDR09	A15	DDR2_DQS1	A10	GND	F02
AMI_DATA7	R17	DDR2_ADDR10	D16	DDR2_DQS1	B10	GND	F04
AMI_MS0	T10	DDR2_ADDR11	C16	DDR2_ODT	B01	GND	F14
AMI_MS1	U10	DDR2_ADDR12	B16	DDR2_RAS	C09	GND	F16
AMI_RD	J04	DDR2_ADDR13	A16	DDR2_WE	C10	GND	G05
AMI_WR	V10	DDR2_ADDR14	B17	DPI_P01	R02	GND	G07
BOOT_CFG0	J02	DDR2_ADDR15	A17	DPI_P02	U01	GND	G08
BOOT_CFG1	J03	DDR2_BA0	C18	DPI_P03	T01	GND	G09

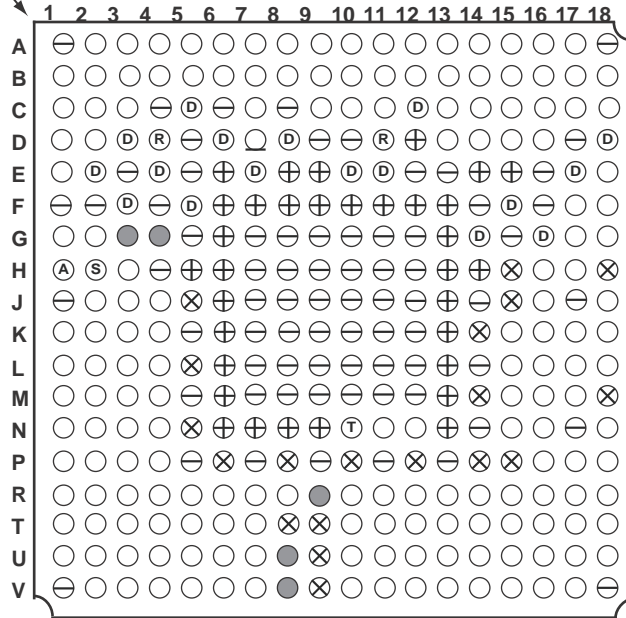
ADSP-21467/ADSP-21469

表60. CSP_BGA封装引脚分配(按信号字母顺序)(续)

信号	引脚编号	信号	引脚编号	信号	引脚编号	信号	引脚编号
GND	G10	GND	P05	TRST	N15	VDD_INT	E09
GND	G11	GND	P07	VDD_A	H01	VDD_INT	E14
GND	G12	GND	P09	VDD_DDR2	C05	VDD_INT	E15
GND	G15	GND	P11	VDD_DDR2	C12	VDD_INT	F06
GND	H04	GND	P13	VDD_DDR2	D03	VDD_INT	F07
GND	H07	GND	V01	VDD_DDR2	D06	VDD_INT	F08
GND	H08	GND	V18	VDD_DDR2	D08	VDD_INT	F09
GND	H09	GND	R09	VDD_DDR2	D18	VDD_INT	F10
GND	H10	GND/ID0 ¹	G03	VDD_DDR2	E02	VDD_INT	F11
GND	H11	GND/ID1 ¹	G04	VDD_DDR2	E04	VDD_INT	F12
GND	H12	LACK_0	K17	VDD_DDR2	E07	VDD_INT	F13
GND	J01	LACK_1	P17	VDD_DDR2	E10	VDD_INT	G06
GND	J07	LCLK_0	J18	VDD_DDR2	E11	VDD_INT	G13
GND	J08	LCLK_1	N18	VDD_DDR2	E17	VDD_INT	H05
GND	J09	LDAT0_0	E18	VDD_DDR2	F03	VDD_INT	H06
GND	J10	LDAT0_1	F17	VDD_DDR2	F05	VDD_INT	H13
GND	J11	LDAT0_2	F18	VDD_DDR2	F15	VDD_INT	H14
GND	J12	LDAT0_3	G17	VDD_DDR2	G14	VDD_INT	J06
GND	J14	LDAT0_4	G18	VDD_DDR2	G16	VDD_INT	J13
GND	J17	LDAT0_5	H16	VDD_EXT	H15	VDD_INT	K06
GND	K05	LDAT0_6	H17	VDD_EXT	H18	VDD_INT	K13
GND	K07	LDAT0_7	J16	VDD_EXT	J05	VDD_INT	L06
GND	K08	LDAT1_0	K18	VDD_EXT	J15	VDD_INT	L13
GND	K09	LDAT1_1	L16	VDD_EXT	K14	VDD_INT	M06
GND	K10	LDAT1_2	L17	VDD_EXT	L05	VDD_INT	M13
GND	K11	LDAT1_3	L18	VDD_EXT	M14	VDD_INT	N06
GND	K12	LDAT1_4	M16	VDD_EXT	M18	VDD_INT	N07
GND	L07	LDAT1_5	M17	VDD_EXT	N05	VDD_INT	N08
GND	L08	LDAT1_6	N16	VDD_EXT	P06	VDD_INT	N09
GND	L09	LDAT1_7	P16	VDD_EXT	P08	VDD_INT	N13
GND	L10	MLBCLK	K03	VDD_EXT	P10	VDD_THD	N10
GND	L11	MLBDAT	K04	VDD_EXT	P12	VREF	D04
GND	L12	MLBDO	L04	VDD_EXT	P14	VREF	D11
GND	L14	MLBSIG	L02	VDD_EXT	P15	XTAL	K01
GND	M05	MLBSO	L03	VDD_EXT	T08		
GND	M07	RESET	M01	VDD_EXT	T09		
GND	M08	RESETOUT/RUNRSTIN	M02	VDD_EXT	U09		
GND	M09	TCK	K15	VDD_EXT	V09		
GND	M10	TDI	L15	VDD_EXT/BR1 ¹	V08		
GND	M11	TDO	M15	VDD_EXT/BR2 ¹	U08		
GND	M12	THD_M	N12	VDD_INT	D12		
GND	N14	THD_P	N11	VDD_INT	E06		
GND	N17	TMS	K16	VDD_INT	E08		

¹ 该引脚可用于两个处理器之间共享的DDR2存储器。第13页表10列出了合适的连接。

A1 CORNER
INDEX AREA



- ⊕ V_{DD_INT} Ⓢ AGND ⓐ V_{DD_A}
- ⊗ V_{DD_EXT} ⓓ V_{REF} ⊖ GND
- ⓓ V_{DD_DDR2} ⓓ V_{DD_THD} ○ I/O SIGNALS
- SHARED MEMORY PINS

图59. 汽车应用型号封装引脚配置

ADSP-21467/ADSP-21469

CSP_BGA 封装引脚分配——标准型号

表61按照信号列出标准型号CSP_BGA封装引脚分配。

表61. CSP_BGA封装引脚分配(按信号字母顺序)

信号	引脚编号	信号	引脚编号	信号	引脚编号	信号	引脚编号
AGND	H02	CLK_CFG0	G01	DDR2_BA1	C17	DPI_P04	R01
AMI_ACK	R10	CLK_CFG1	G02	DDR2_BA2	B18	DPI_P05	P01
AMI_ADDR0	V16	CLKIN	L01	$\overline{\text{DDR2_CAS}}$	C07	DPI_P06	P02
AMI_ADDR01	U16	DAI_P01	R06	DDR2_CKE	E01	DPI_P07	P03
AMI_ADDR02	T16	DAI_P02	V05	$\overline{\text{DDR2_CLK0}}$	A07	DPI_P08	P04
AMI_ADDR03	R16	DAI_P03	R07	DDR2_CLK0	B07	DPI_P09	N01
AMI_ADDR04	V15	DAI_P04	R03	$\overline{\text{DDR2_CLK1}}$	A13	DPI_P10	N02
AMI_ADDR05	U15	DAI_P05	U05	DDR2_CLK1	B13	DPI_P11	N03
AMI_ADDR06	T15	DAI_P06	T05	$\overline{\text{DDR2_CS0}}$	C01	DPI_P12	N04
AMI_ADDR07	R15	DAI_P07	V06	$\overline{\text{DDR2_CS1}}$	D01	DPI_P13	M03
AMI_ADDR08	V14	DAI_P08	V02	$\overline{\text{DDR2_CS2}}$	C02	DPI_P14	M04
AMI_ADDR09	U14	DAI_P09	R05	$\overline{\text{DDR2_CS3}}$	D02	EMU	K02
AMI_ADDR10	T14	DAI_P10	V04	DDR2_DATA0	B02	FLAG0	R08
AMI_ADDR11	R14	DAI_P11	U04	DDR2_DATA01	A02	FLAG1	V07
AMI_ADDR12	V13	DAI_P12	T04	DDR2_DATA02	B03	FLAG2	U07
AMI_ADDR13	U13	DAI_P13	U06	DDR2_DATA03	A03	FLAG3	T07
AMI_ADDR14	T13	DAI_P14	U02	DDR2_DATA04	B05	GND	A01
AMI_ADDR15	R13	DAI_P15	R04	DDR2_DATA05	A05	GND	A18
AMI_ADDR16	V12	DAI_P16	V03	DDR2_DATA06	B06	GND	C04
AMI_ADDR17	U12	DAI_P17	U03	DDR2_DATA07	A06	GND	C06
AMI_ADDR18	T12	DAI_P18	T03	DDR2_DATA08	B08	GND	C08
AMI_ADDR19	R12	DAI_P19	T06	DDR2_DATA09	A08	GND	D05
AMI_ADDR20	V11	DAI_P20	T02	DDR2_DATA10	B09	GND	D07
AMI_ADDR21	U11	DDR2_ADDR0	D13	DDR2_DATA11	A09	GND	D09
AMI_ADDR22	T11	DDR2_ADDR01	C13	DDR2_DATA12	A11	GND	D10
AMI_ADDR23	R11	DDR2_ADDR02	D14	DDR2_DATA13	B11	GND	D17
AMI_DATA0	U18	DDR2_ADDR03	C14	DDR2_DATA14	A12	GND	E03
AMI_DATA1	T18	DDR2_ADDR04	B14	DDR2_DATA15	B12	GND	E05
AMI_DATA2	R18	DDR2_ADDR05	A14	DDR2_DM0	C03	GND	E12
AMI_DATA3	P18	DDR2_ADDR06	D15	DDR2_DM1	C11	GND	E13
AMI_DATA4	V17	DDR2_ADDR07	C15	DDR2_DQS0	A04	GND	E16
AMI_DATA5	U17	DDR2_ADDR08	B15	$\overline{\text{DDR2_DQS0}}$	B04	GND	F01
AMI_DATA6	T17	DDR2_ADDR09	A15	DDR2_DQS1	A10	GND	F02
AMI_DATA7	R17	DDR2_ADDR10	D16	$\overline{\text{DDR2_DQS1}}$	B10	GND	F04
$\overline{\text{AMI_MS0}}$	T10	DDR2_ADDR11	C16	DDR2_ODT	B01	GND	F14
$\overline{\text{AMI_MS1}}$	U10	DDR2_ADDR12	B16	$\overline{\text{DDR2_RAS}}$	C09	GND	F16
$\overline{\text{AMI_RD}}$	J04	DDR2_ADDR13	A16	$\overline{\text{DDR2_WE}}$	C10	GND	G05
$\overline{\text{AMI_WR}}$	V10	DDR2_ADDR14	B17	DPI_P01	R02	GND	G07
BOOT_CFG0	J02	DDR2_ADDR15	A17	DPI_P02	U01	GND	G08
BOOT_CFG1	J03	DDR2_BA0	C18	DPI_P03	T01	GND	G09

表61. CSP_BGA封装引脚分配(按信号字母顺序)(续)

信号	引脚编号	信号	引脚编号	信号	引脚编号	信号	引脚编号
GND	G10	GND	M10	TRST	N15	VDD_INT	E09
GND	G11	GND	M11	VDD_A	H01	VDD_INT	E14
GND	G12	GND	M12	VDD_DDR2	C05	VDD_INT	E15
GND	G15	GND	N14	VDD_DDR2	C12	VDD_INT	F06
GND	H04	GND	N17	VDD_DDR2	D03	VDD_INT	F07
GND	H07	GND	P05	VDD_DDR2	D06	VDD_INT	F08
GND	H08	GND	P07	VDD_DDR2	D08	VDD_INT	F09
GND	H09	GND	P09	VDD_DDR2	D18	VDD_INT	F10
GND	H10	GND	P11	VDD_DDR2	E02	VDD_INT	F11
GND	H11	GND	P13	VDD_DDR2	E04	VDD_INT	F12
GND	H12	GND	R09	VDD_DDR2	E07	VDD_INT	F13
GND	J01	GND	V01	VDD_DDR2	E10	VDD_INT	G06
GND	J07	GND	V18	VDD_DDR2	E11	VDD_INT	G13
GND	J08	GND/ID0	G03	VDD_DDR2	E17	VDD_INT	H05
GND	J09	GND/ID1	G04	VDD_DDR2	F03	VDD_INT	H06
GND	J10	LACK_0	K17	VDD_DDR2	F05	VDD_INT	H13
GND	J11	LACK_1	P17	VDD_DDR2	F15	VDD_INT	H14
GND	J12	LCLK_0	J18	VDD_DDR2	G14	VDD_INT	J06
GND	J14	LCLK_1	N18	VDD_DDR2	G16	VDD_INT	J13
GND	J17	LDAT0_0	E18	VDD_EXT	H15	VDD_INT	K06
GND	K03	LDAT0_1	F17	VDD_EXT	H18	VDD_INT	K13
GND	K04	LDAT0_2	F18	VDD_EXT	J05	VDD_INT	L06
GND	K05	LDAT0_3	G17	VDD_EXT	J15	VDD_INT	L13
GND	K07	LDAT0_4	G18	VDD_EXT	K14	VDD_INT	M06
GND	K08	LDAT0_5	H16	VDD_EXT	L05	VDD_INT	M13
GND	K09	LDAT0_6	H17	VDD_EXT	M14	VDD_INT	N06
GND	K10	LDAT0_7	J16	VDD_EXT	M18	VDD_INT	N07
GND	K11	LDAT1_0	K18	VDD_EXT	N05	VDD_INT	N08
GND	K12	LDAT1_1	L16	VDD_EXT	P06	VDD_INT	N09
GND	L02	LDAT1_2	L17	VDD_EXT	P08	VDD_INT	N13
GND	L03	LDAT1_3	L18	VDD_EXT	P10	VDD_THD	N10
GND	L04	LDAT1_4	M16	VDD_EXT	P12	VREF	D04
GND	L07	LDAT1_5	M17	VDD_EXT	P14	VREF	D11
GND	L08	LDAT1_6	N16	VDD_EXT	P15	XTAL	K01
GND	L09	LDAT1_7	P16	VDD_EXT	T08		
GND	L10	RESET	M01	VDD_EXT	T09		
GND	L11	RESETOUT/RUNRSTIN	M02	VDD_EXT	U09		
GND	L12	TCK	K15	VDD_EXT	V09		
GND	L14	TDI	L15	VDD_EXT/BR1	V08		
GND	M05	TDO	M15	VDD_EXT/BR2	U08		
GND	M07	THD_M	N12	VDD_INT	D12		
GND	M08	THD_P	N11	VDD_INT	E06		
GND	M09	TMS	K16	VDD_INT	E08		

ADSP-21467/ADSP-21469

A1 CORNER
INDEX AREA

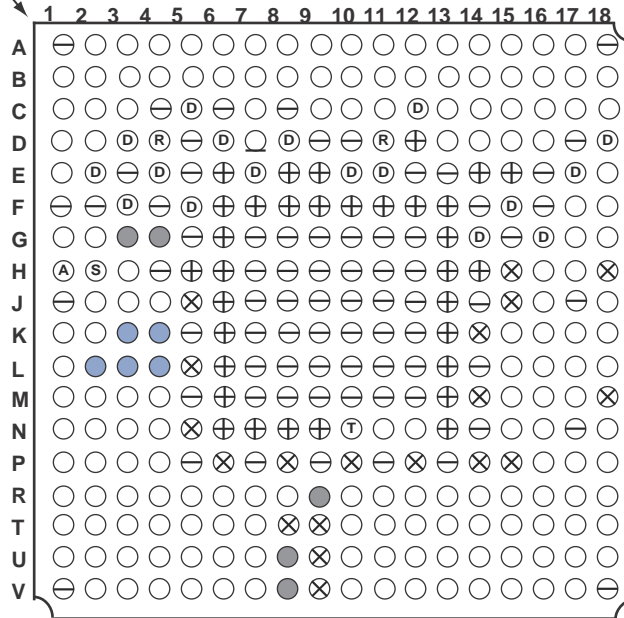
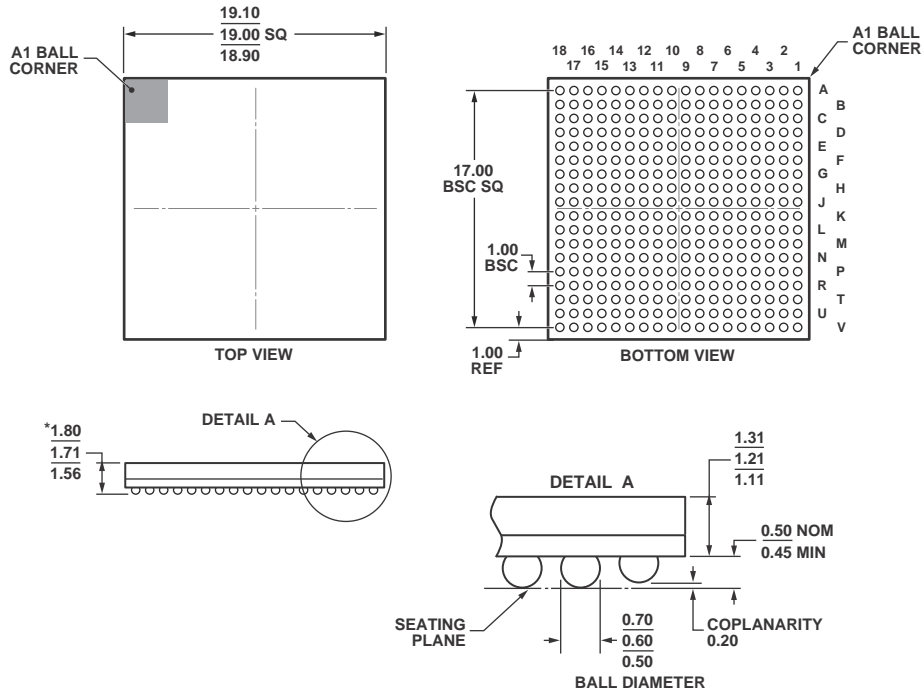


图60. 标准型号封装引脚配置

外形尺寸

处理器采用19 mm×19 mm CSP_BGA无铅封装。



*COMPLIANT TO JEDEC STANDARDS MO-192-AAG-1 WITH THE EXCEPTION TO PACKAGE HEIGHT.

图61. 324引脚CSP_BGA芯片级封装 (BC-324-1)

尺寸单位: mm

表贴设计

下表旨在帮助用户进行PCB设计。关于工业标准设计建议，请参阅IPC-7351：“表贴设计和焊盘图形标准的通用要求”。

封装	封装引脚安装类型	封装阻焊层开口	封装引脚焊盘尺寸
324引脚CSP_BGA(BC-324-1)	由阻焊层决定	直径0.43 mm	直径0.6 mm

ADSP-21467/ADSP-21469

汽车应用级产品

ADSP-21467W和ADSP-21469W型号采用严格控制的生产工艺，以满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号；因此，设计人员

应仔细阅读本数据手册的规格部分。只有表62所示的汽车应用级产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告，请联系当地ADI客户代表。

表62. 车用产品型号

型号 ^{1,2,3}	温度范围 ⁴	片内SRAM	片内SRAM	封装选项
AD21467WBBCZ3Axx	-40°C至+85°C	5 Mb	324引脚CSP_BGA	BC-324-1
AD21469WBBCZ3xx	-40°C至+85°C	5 Mb	324引脚CSP_BGA	BC-324-1

¹ Z = 符合RoHS标准的器件。

² xx表示芯片版本。

³ Axx = A级ROM。

⁴ 参考温度为环境温度。环境温度不是一项性能指标。结温(T_j)是唯一的温度指标，请参见第18页的工作条件。

订购指南

型号 ¹	温度范围 ²	片内SRAM	处理器指令速率(最大值)	封装描述	封装选项
ADSP-21469KBCZ-3	0°C至+70°C	5 Mb	400 MHz	324引脚CSP_BGA	BC-324-1
ADSP-21469BBCZ-3	-40°C至+85°C	5 Mb	400 MHz	324引脚CSP_BGA	BC-324-1
ADSP-21469KBCZ-4	0°C至+70°C	5 Mb	400 MHz	324引脚CSP_BGA	BC-324-1

¹ Z = 符合RoHS标准的器件。

² 参考温度为环境温度。环境温度不是一项性能指标。结温(T_j)是唯一的温度指标，请参见第18页的工作条件。