

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

特性

高性能对称双核高性能Blackfin处理器，每核的工作频率最高可达500 MHz

各核内置两个16位MAC、两个40位ALU和一个40位器位桶形移位器

RISC式寄存器和指令模型，简化编程并提供编译器相关支持高级调试、追踪和性能监控功能

流水线视觉处理器提供硬件来处理信号和图像算法，从而预处理和协处理先进汽车辅助驾驶(ADAS)或其它视频处理应用中的视频帧

I/O操作支持宽范围的电源电压，参见第31页的工作条件片外电压调节器接口

349引脚(19 mm × 19 mm)、符合RoHS标准的BGA封装

存储器

每核内置148KB的L1 SRAM存储器(处理器内核可访问)，该存储器具有多奇偶校验位保护功能

多达256KB的L2 SRAM存储器，该存储器具有ECC保护功能动态存储控制器提供16位接口，可连接到单组DDR2或LPDDR DRAM器件

静态存储控制器具有异步存储器接口，支持8位和16位存储器灵活的引导选项：Flash、eMMC、SPI存储器、SPI/链路端口/UART主机

存储器管理单元提供存储器保护

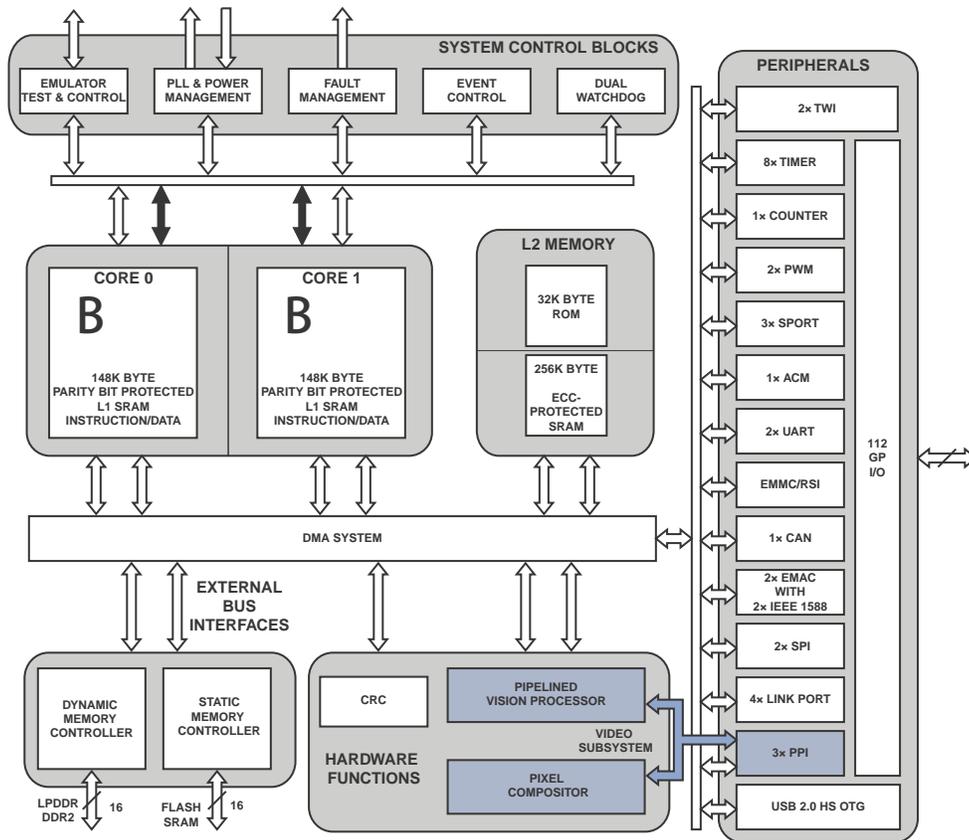


图1. 处理器功能框图

Blackfin和Blackfin标志均为ADI公司的注册商标。

Rev. PrE

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com

Fax: 781.461.3113

©2011 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性.....	1
存储器.....	1
概述.....	3
Blackfin处理器内核.....	3
指令集描述.....	4
处理器基础结构.....	5
存储器架构.....	6
视频子系统.....	9
处理器安全特性.....	10
其它处理器外设.....	11
电源和时钟管理.....	14
系统调试.....	17
EZ-KIT Lite® 评估板.....	17
设计一个兼容仿真器的处理器板(目标).....	17
相关文件.....	18
相关信号链.....	18
信号描述.....	19
引脚复用.....	20
引脚端接和驱动特性要求.....	24
技术规格.....	31
工作条件.....	31
电气特性.....	33
处理器—绝对最大额定值.....	34
ESD灵敏度.....	34
处理器—封装信息.....	34
环境条件.....	35
349引脚CSP_BGA封装引脚分配.....	36
外形尺寸.....	42
表贴设计.....	42
汽车应用级产品.....	43
预发布产品.....	43

概述

ADSP-BF609处理器属于Blackfin系列产品，采用ADI公司/Intel微信号架构(MSA)。Blackfin处理器将先进的双MAC信号处理引擎、干净且正交的RISC式微处理器指令集的优势和单指令、多数据流(SIMD)多媒体能力结合为一个指令集架构。

这些处理器提供高达500 MHz的性能，静态功耗非常低。它们采用低功耗、低电压设计方法，提供世界一流的电源管理和性能。

Blackfin处理器集成了许多业界领先的系统外设和丰富的存储器(如表1所示)，在一个集成封装中提供RISC式编程能力、多媒体支持和先进的信号处理，堪称新一代应用的首选平台。这些应用涵盖众多市场领域，从汽车系统到嵌入式工业、仪器仪表、功率/电机控制应用。

表1. 处理器对比

处理器特性	ADSP-BF606	ADSP-BF607	ADSP-BF608	ADSP-BF609
升/降/旋转计数器			1	
带PWM的定时器/计数器			8	
三相PWM单元(4对)			2	
SPORT			3	
SPI			2	
USB OTG			1	
并行外设接口			3	
移动存储器接口			1	
CAN			1	
TWI			2	
UART			2	
ADC控制模块(ACM)			1	
链路端口			4	
以太网MAC (IEEE 1588)			2	
以太网MAC (IEEE 1588)	无		1	1
流水线视觉处理器(PVP) ¹	无		VGA	HD
GPIO	112			

表1. 处理器对比(续)

处理器特性	ADSP-BF606	ADSP-BF607	ADSP-BF608	ADSP-BF609
L1指令SRAM L1指令SRAM/高速缓存 L1数据SRAM L1数据SRAM/高速缓存 L1暂存 L2数据SRAM L2引导ROM	64K			
	16K			
	32K			
	32K			
	4K			
	128K		256K	
最大速度等级(MHz) ²	400	500		
最大SYSCLK (MHz)	250			
封装选项	349引脚CSP_BGA			

¹ VGA为每帧640 x 480像素，每秒30帧。HD为每帧1280 x 960像素，每秒30帧。

² 不是所有SYSCLK选择都可以使用最大速度等级。

Blackfin处理器内核

如图1所示，处理器集成两个Blackfin处理器内核。如图2所示，每个内核包含2个16位乘法器、2个40位累加器、2个40位ALU、4个视频ALU和1个40位移位器。计算单元处理来自寄存器文件的8位、16位或32位数据。

计算寄存器文件包含8个32位寄存器。对16位操作数数据执行运算时，寄存器文件作为16个独立的16位寄存器工作。用于运算的所有操作数都来自多端口寄存器文件和指令常数字段。

每个MAC在每个周期可以执行一个16位乘16位乘法，结果累加到40位累加器中。支持带符号和无符号格式、舍入以及饱和。

ALU用于对16位或32位数据执行传统的算术和逻辑运算。此外，它还包括许多特殊指令，以便加速多种信号处理任务的执行。特殊指令包括字段提取和二进制位个数统计等位操作、模232乘法、除法原语、饱和和舍入、符号/指数检测。视频指令集包括字节对齐和打包操作、16位和8位截除加法、8位平均操作、8位减法/绝对值/累加(SAA)操作。此外还提供比较/选择和矢量搜索指令。

对于某些指令，两个16位ALU操作可以在寄存器对(一个计算寄存器的16位高半部分和16位低半部分)上同时执行。如果使用第二个ALU，则可以同时执行4个16位操作。

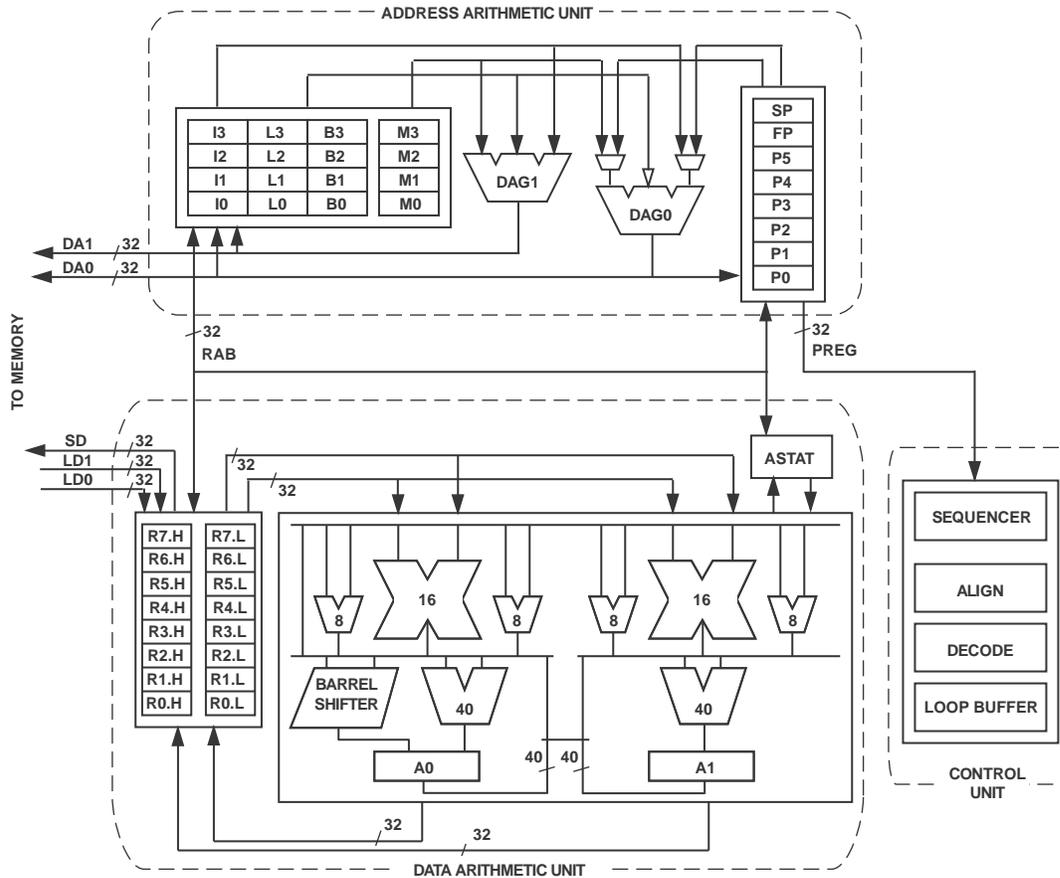


图2. Blackfin处理器内核

40位移位器可以执行移位和旋转，用于支持归一化、字段提取和字段存放指令。

程序定序器控制指令执行流程，包括指令对齐和解码。对于程序流程控制，该定序器支持PC相对和间接条件跳转(带静态分支预测)以及子例程调用。硬件支持零开销循环。该架构完全联锁，意味着在执行具有数据相关性的指令时，编程人员无需管理流水线。

地址算法单元提供两个地址，用于实现同时从存储器取两个数据。它包含一个多端口寄存器文件，该寄存器文件由4组32位索引、更改、长度、基础寄存器(用于循环缓冲)和8个附加32位指针寄存器(用于C式索引堆栈操作)组成。

Blackfin处理器支持一种改进型Harvard架构和分层存储器结构。第一级(L1)存储器通常以处理器最高速度工作，延迟非常短或无延迟。在L1层，指令存储器仅保存指令。数据存储器保存数据，一个专用暂存数据存储器存储堆栈和局部变量信息。

此外还提供多个L1存储器模块，构成一个可配置的SRAM与高速缓存组合。存储器管理单元(MMU)为可能在内核上工作的各个任务提供存储器保护，并且能够防止对系统寄存器进行非预期的访问。

该架构提供三种工作模式：用户模式、管理员模式和仿真模式。用户模式对某些系统资源的访问权限是有限制的，从而提供一种受保护的软件环境，而管理员模式则能无限制地访问系统和内核资源。

指令集描述

Blackfin处理器的指令集经过优化，16位操作码代表最常用的指令，因而可获得出色的编译代码密度。复杂的DSP指令则编码为32位操作码，以实现完备的多功能指令。Blackfin处理器支持有限的多指令并行功能，一个32位指令可以与两个16位指令并行执行，使得编程人员能在一个指令周期中使用许多内核资源。

Blackfin处理器系列的汇编语言指令集使用代数语法，易于编码和阅读。指令经过专门调整，构成灵活、密集编码的指令集，汇编后的最终存储大小非常小。

该指令集还提供功能完整的多功能指令，允许编程人员在一个指令中使用许多处理器内核资源。该指令集拥有许多常见于微控制器的特性，编译C和C++源代码时效率极高。此外，该架构支持用户(算法/应用程序代码)和管理员(O/S内核、器件驱动、调试器、ISR)工作模式，支持对内核处理器资源进行多级访问。

汇编语言利用了处理器的独特架构，具有如下优势：

- 无缝集成的DSP/MCU特性针对8位和16位操作进行了优化。
- 改进的并行加载/存储Harvard架构，每个周期支持两个16位MAC或四个8位ALU加上两个加载/存储和两个指针更新。
- 所有寄存器、I/O和存储器都映射到一个统一的4GB存储器空间，提供简化的编程模型。
- 处理器的所有异步和同步事件的控制均由两个子系统处理：内核事件控制器(CEC)和系统事件控制器(SEC)。
- 微控制器特性，如任意位和位段的修改、插入、提取等；8位、16位和32位数据类型的整数运算；独立的用户和管理员堆栈指针。
- 代码密度提高，16位和32位指令并存(无模式切换、无代码分离)。常用指令采用16位编码。

处理器基础结构

以下部分说明有关ADSP-BF609处理器基本组成的信息。

DMA控制器

处理器利用直接存储器访问(DMA)在存储空间之间或存储空间与外设之间传输数据。处理器可以指定数据传输操作，然后返回正常处理状态，同时全集成式DMA控制器独立于处理器执行数据传输。

DMA传输可以发生在存储器与外设之间或一个存储器与另一个存储器之间。存储器到存储器DMA使用两个通道，一个是来源通道，另一个是目标通道。

所有DMA都可以将数据传入和传出所有片内和片外存储器。程序可以使用两类DMA传输：基于描述符或基于寄存器。基于寄存器的DMA允许处理器直接设置DMA控制寄存器以启动DMA传输。完成后，控制寄存器可以自动更新为原始设置值以进行连续传输。基于描述符的DMA传输要求将一组参数存储在存储器内以启动一个DMA序列。基于描述

符的DMA传输允许将多个DMA序列链接起来，并设置DMA通道在当前序列完成后自动设置和启动下一DMA传输。

DMA控制器支持下列DMA操作：

- 完成时停止的单通道线性缓冲器。
- 跨步长度为负、正或零的线性缓冲器。
- 每当缓冲器全满时便中断的循环、自动刷新式缓冲器。
- 每当缓冲器部分充满(如1/2满、1/4满等)便中断的类似缓冲器。
- 1D DMA – 使用一组相同的乒乓式缓冲器，这些缓冲器由双字描述符集的连接环环形链定义，各描述符包含一个链接指针和一个地址。
- 1D DMA – 使用4字描述符集的列表，各描述符包含一个链接指针、一个地址、长度和配置。
- 2D DMA – 使用单字描述符集的数组，仅指定DMA基地址。
- 2D DMA – 使用多字描述符集的链表，指定所有项。

CRC保护

两个CRC保护模块允许系统软件定期计算存储器中的代码和/或数据、存储器映射寄存器的内容或通信消息对象的签名。专用硬件电路比较该签名与预先计算好的值，从而触发适当的故障事件。

例如，系统软件可以每隔100 ms便启动对存储器所有内容的签名计算，然后比较签名与预期值。如果不一致，则产生故障条件(通过处理器内核或触发路由单元)。

CRC是基于CRC32引擎的硬件模块，计算向其提供的32位数据字的CRC值。数据由存储器到存储器DMA的来源通道提供(存储器扫描模式下)，可以将其转送到目标通道(存储器传输模式)。CRC外设的主要特性如下：

- 存储器扫描模式
- 存储器传输模式
- 数据验证模式
- 数据填充模式
- 用户可编程的CRC32多项式
- 位/字节镜像选项(字节序)
- 故障/错误中断机制
- 1D和2D填充模块利用常数初始化数组
- 存储器模块或MMR模块的32位CRC签名。

事件处理

处理器提供的事件处理支持嵌套和优先级设置。嵌套允许多个事件服务例程同时有效。优先级设置可确保高优先级事件的处理先于低优先级事件的处理。处理器支持下列五种不同类型的事件：

- 仿真——仿真事件会使处理器进入仿真模式，从而通过JTAG接口执行处理器的命令和控制功能。
- 复位——该事件会使处理器复位。
- 不可屏蔽的中断(NMI)——NMI事件可以由软件看门狗定时器、处理器的NMI输入信号或软件产生。NMI事件常常用作关断指示来启动系统的有序关断。
- 异常——与程序流程同步发生的事件(换言之，异常发生在指令执行完毕之前)。诸如数据对齐违规和未定义的指令等条件会引发异常。
- 中断——与程序流程异步发生的事件，由输入信号、定时器、其它外设和显式软件指令引发。

内核事件控制器(CEC)

除了专用中断和异常事件外，CEC还支持9个通用中断(IVG15-7)。在这些通用中断中，建议将2个最低优先级中断(IVG15-14)保留用于软件中断处理器。更多信息参见《Blackfin® Processor Programming Reference》。

系统事件控制器(SEC)

SEC管理来自各系统中断或故障源的事件的使能、优先级设置和路由。此外，它还通知并识别各内核的最高优先级有效系统中断请求，以及将系统故障源路由至集成故障管理单元。

触发路由单元(TRU)

TRU提供系统级序列控制，无需内核干预。TRU将触发主机(触发产生者)映射到触发从机(触发接收者)。从机端点可以通过多种方式响应触发。TRU支持的常见应用包括：

- 一个DMA通道的序列完成后，自动触发另一个DMA序列开始
- 软件触发
- 同时发生的活动的同步

引脚中断

处理器的每个端口引脚都可以通过边沿敏感或电平敏感方式请求中断，极性可编程。中断功能与GPIO操作分离。

6个系统级中断通道(PINT0-5)专门用于此目的。每个中断通道最多可以管理32个中断引脚。中断的引脚分配不是在单个引脚基础上进行，而是以8个引脚为一组(半个端口)，灵活地分配给中断通道。

每个引脚中断通道都有一组特殊的32位存储器映射寄存器，用于支持半端口分配和中断管理，包括请求的屏蔽、识别和清除。通过这些寄存器还可以访问相应引脚的状态，并使用中断锁存器，无论中断屏蔽与否。多数控制寄存器具有多个MMR地址条目，以便“写1设置”或“写1清除”。

通用I/O (GPIO)

每个通用端口引脚都可以通过操纵端口控制、状态和中断寄存器进行控制。

- GPIO方向控制寄存器 - 指定各GPIO引脚的方向：输入或输出。
- GPIO控制和状态寄存器 - “写1修改”机制支持通过单一指令来修改GPIO引脚的任意组合，而不会影响其它GPIO引脚的电平。
- GPIO中断屏蔽寄存器 - 允许各GPIO引脚用作处理器的中断。定义为输入的GPIO引脚可以用来产生硬件中断，输出引脚则可以由软件中断触发。
- GPIO中断敏感性寄存器 - 指定各引脚是对电平敏感还是对边沿敏感；如果是对边沿敏感，则还要指定仅信号的上升沿有意义还是上升沿和下降沿均有意义。

引脚复用

处理器支持灵活的复用方案，各种外设可以复用GPIO引脚。最多4个外设加上GPIO功能可以共享一个GPIO引脚。所有GPIO引脚都有旁路特性，也就是说，当一个GPIO引脚的输出使能和输入使能均有效时，引脚驱动器之前的数据信号会被回送到该GPIO引脚的接收路径。[更多信息请参见第20页的“引脚复用”。](#)

存储器架构

ADSP-BF60x处理器将存储器视为一个统一的4GB地址空间，使用32位地址。所有资源，包括内部存储器、外部存储器和I/O控制寄存器，都占据这一公共地址空间中的不同部分。此地址空间的存储器部分按照分层结构安排，以实现一些高速、低延迟内核访问存储器(用作高速缓存或SRAM)与较大的、成本和性能较低的接口访问存储器系统之间的良好性价比平衡。参见[图3](#)和[图4](#)。

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

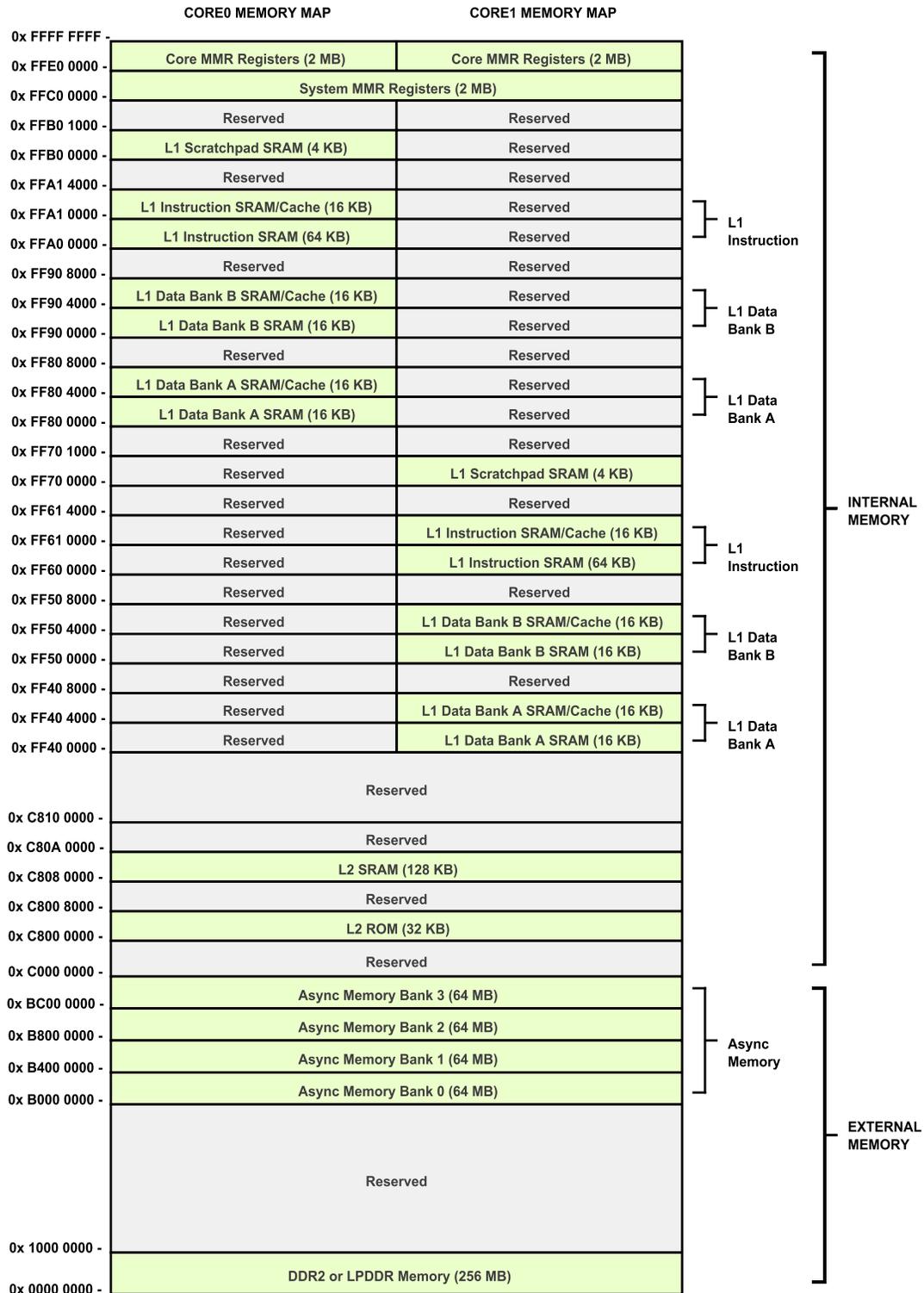


图3. ADSP-BF606内部/外部存储器映射

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

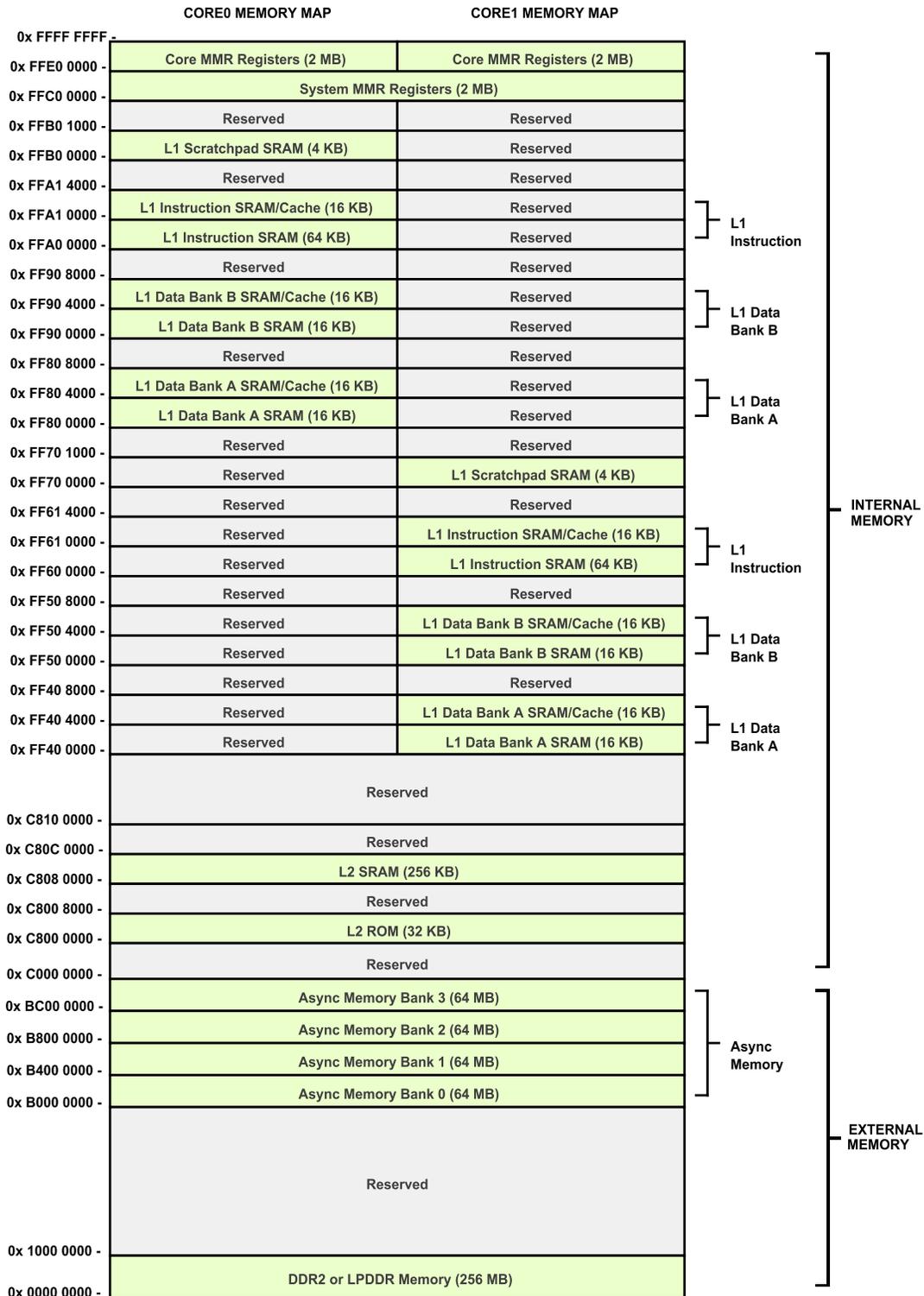


图4. ADSP-BF607/ADSP-BF608/ADSP-BF609内部/外部存储器映射

内部(内核易访问)存储器

L1存储器系统是Blackfin处理器内核可以使用的最高性能存储器。

每个内核都有自己专用的L1存储器。改进的Harvard架构支持处理器以全速同时执行两个32位数据访问操作和一个取指令操作，从而提供高带宽性能。每个内核中，包含64 KB数据存储器模块和80KB指令存储器模块。每个数据模块都分成多组，可以配置为SRAM，以便通过DMA高效地交换数据。也可以把每个模块中的16 KB配置成L1 cache。四路分组关联指令高速缓存和2个两路分组关联数据高速缓存大大加快了存储器访问速度，特别是访问外部存储器时。

L1存储器域还具有一个4 KB暂存SRAM模块，它非常适合存储局部变量和软件堆栈。所有L1存储器都受多奇偶校验位机制的保护，无论存储器是以SRAM模式还是高速缓存模式工作。

L1域之外，L2和L3存储器利用冯诺依曼拓扑排列。L2存储器域是一个统一的指令和数据存储器，可以保存系统设计所需代码和数据的任意组合。两个Blackfin内核均可通过专用64位接口访问L2存储器域。它以SYSCLK频率工作。

处理器具有多达256 KB的L2 SRAM，它受ECC保护，分为8组。各组可以配置为内核或DMA子系统的专用存储器。L2域还有一个32 KB的单组ROM，它包含引导代码和安全功能。

静态存储控制器(SMC)

SMC可以用来控制最多4组外部存储器或存储器映射设备，其时序参数非常灵活。无论所用设备的大小，每组都占用64 MB的段空间，因此，只有当各组用64 MB存储器完全填充时，它们才是邻接的。

动态存储控制器(DMC)

DMC控制器支持JESD79-2E兼容型双倍数据速率(DDR2) SDRAM和JESD209A低功耗DDR (LPDDR) SDRAM设备。

I/O存储器空间

处理器未定义单独的I/O空间。所有资源都通过线性的32位地址空间映射。片内I/O器件的控制寄存器映射到地址靠近该4 GB地址空间顶部的存储器映射寄存器(MMR)。它分为两个较小的模块，一个包含所有核心功能的控制MMR，另一个包含用于设置和控制内核外部的片内外设所需的寄存器。这些MMR只能在管理员模式下进行访问，对片内外设而言是保留空间。

引导

复位后，处理器可以通过多种机制自动加载内部和外部存储器。引导模式由专用SYS_BMODE输入引脚决定。引导模式分为两类。在主机引导模式下，处理器主动从并行或串行存储器加载数据。在从机引导模式下，处理器接收来自外部主机的数据。

引导模式如表2所示。这些模式由复位配置寄存器的SYS_BMODE位实现，在上电复位和软件启动的复位期间采样。

表2. 引导模式

SYS_BMODE设置	SYS_BMODE设置
000	无引导/空闲
001	存储器
010	RSIO主机
011	SPIO主机
100	SPIO从机
101	保留
110	LPO从机
111	UART0从机

视频子系统

下面说明处理器视频子系统的各组成部分。在[第1页的图1](#)中，这些模块以蓝色阴影显示。

视频互连(VID)

视频互连提供一个连接矩阵，用于视频子系统各部分互相连接：三个PPI、PIXC和PVP。互连使用一个协议来管理这些视频外设之间的数据传输。

流水线视觉处理器(PVP)

PVP引擎以硬件实现信号和图像处理算法，从而协处理和预处理ADAS、机器人系统和其它机器应用中的单色视频帧。

PVP与Blackfin内核一起工作，针对基于卷积和小波的对象检测与分类、跟踪、验证算法进行了优化。PVP具有如下处理模块：

- 4个5x5 16位卷积模块，其后可以选配一个比例缩小模块
- 一个16位笛卡尔转极坐标模块
- 一个像素边缘分类器，它支持一阶和二阶导数模式
- 支持32位加法、乘法和除法运算的算术单元

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

- 一个含16个阈值、直方图和游程编码的32位阈值模块
- 2个32位积分模块，支持正常和对角线积分
- 一个比例放大和缩小单元，水平和垂直分量使用彼此独立的缩放比例
- 输入和输出格式化器，兼容许多数据格式，包括拜尔输入格式

PVP可以将所有算法模块组成一个管道，并且可以动态配置以形成不同的流水线结构。

PVP最多可以同时处理四个数据流。存储器管道流处理DMA从L1、L2或L3存储器接收的数据。三个摄像头管道流共用一路输入，该输入直接来自任一PPI输入。此外，PIXC也可以转换PPI收到的颜色数据，并将亮度值转送给PVP的单色引擎。每个流都有一个专用DMA输出。这一预处理确保可用功率和带宽预算得到谨慎使用，以便处理器有空处理其它任务。

PVP支持内核MMR直接访问所有控制/状态寄存器。两个硬件中断与系统事件控制器接口。为实现最佳性能，PVP允许通过其控制DMA接口进行寄存器编程，并通过状态DMA接口输出所选的状态寄存器。这一机制使得PVP能够自动处理作业列表，完全独立于Blackfin内核。

像素合成器(PIXC)

像素合成器(PIXC)可实现图像叠加，具有透明颜色支持、 α 混合和颜色空间转换功能，从而输出到TFT LCD和NTSC/PAL视频编码器。它提供了所有必需的控制功能，可将两个不同数据缓冲器中的两个数据流加以合并、混合并转换为适当的格式，以便同时支持LCD面板和数字视频输出。主图像缓冲器提供以数据流呈现的基本背景图像。叠加图像缓冲器允许用户在主图像或视频数据流之上添加多个前景文本、图形或视频对象。

并行外设接口(PPI)

处理器提供多达3个并行外设接口(PPI)，支持最大24位宽度的数据。PPI可以直接连接TFT LCD面板、并行模数和数模转换器、视频编码器和解码器、图像传感器模块，以及其它通用外设。

PPI模块具有如下特性：

- 可编程数据长度：每时钟8位、10位、12位、14位、16位、18位和24位。
- 各种帧传输、非帧传输和通用工作模式。帧同步可以在内部产生，也可以由外部器件提供。

- 对于ITU-656接收模式和ITU-656前同步码与状态字解码，支持检测和校正ITU-656状态字错误。
- 32位数据与8位、16位、24位数据之间的打包和解包转换。如果使能打包/解包，可以配置字节序以更改字节/字的打包/解包顺序。
- 对于发送模式，RGB888可以转换为RGB666或RGB565。
- 接收/发送4:2:2 YCrCb数据可以使用多种解交错/交错模式。
- 帧同步3提供可配置LCD数据使能(DEN)输出。

处理器安全特性

ADSP-BF609处理器设计用于功能安全应用。虽然安全性主要由系统决定，但器件提供的下列基础特性有助于实现强大的安全性。

双核监控

该处理器为双核器件，每个内核都可以相当独立地执行关键任务。软件模型支持两个内核以对称方式互相监控。

多奇偶校验位保护的L1存储器

在处理器的L1存储空间中，无论是SRAM还是缓存，每个字都受多奇偶校验位的保护，可检测所有RAM中的单粒子翻转。这同时适用于L1指令和数据存储空间。

ECC保护的L2存储器

错误纠正码(ECC)用于纠正单粒子翻转。L2存储器受单错误纠正-双错误检测(SEC-DED)码的保护。ECC默认使能，但可以按组禁用。单位错误以透明方式纠正。双位错误可以产生一个系统事件或故障(如果使能)。ECC保护对用户是完全透明的，即使L2存储器由8位或16位实体读取或写入。

CRC保护的存储器

奇偶校验位和ECC保护主要用来防止L1和L2存储单元中的随机软错误，而CRC引擎则可用来防止L1、L2甚至L3存储器(DDR2、LPDDR)发生系统性错误(指针错误)并保护静态内容(指令代码)。处理器具有两个CRC引擎，嵌入在存储器到存储器DMA控制器中。CRC校验和的计算或比较可以在存储器传输期间即时完成，一个或多个存储器区域可以由单个DMA工作单元按照DMA描述符链接指令连续处理。CRC引擎也能保护引导过程中加载的数据。

存储器保护

Blackfin内核具有存储器保护机制，只允许从使能的存储器区域访问数据和/或指令。管理员模式和用户模式编程模型支持动态改变访问权限。更加灵活的存储器页面大小选项使静态存储器划分简单易行。

系统保护

所有系统资源和L2存储器组都可以由处理器内核、存储器到存储器DMA或系统调试单元(SDU)控制。系统保护单元(SPU)支持对锁定到下列任一主机的特定资源进行写入访问：内核0、内核1、存储器DMA和系统调试单元。通过全局锁定，某些模块(L2、SEC和GPIO控制器)支持更小粒度的系统保护。

观察点保护

观察点和硬件断点主要用于仿真器。使能时，只要访问用户定义的系统资源或者内核从用户定义的地址执行操作，这些点就会通知仿真器。可以配置看门狗事件，使得这些事件为处理器另一Blackfin内核或故障管理单元所知。

双看门狗

片内看门狗定时器有两个，每个都可以监控一个Blackfin内核。

带宽监控

所有以存储器到存储器模式工作的DMA通道(存储器DMA、PVP存储器管道DMA、PIXC DMA)都具备带宽监控机制。当处理很可能因为系统总线被高优先级任务占满而得不到资源时，带宽监控机制可以产生一个系统事件或故障信号。

信号看门狗

8个通用定时器可以通过两种新模式来监控片外信号。看门狗周期模式监控外部信号是否以预期范围内的周期切换。看门狗宽度模式监控外部信号的脉冲宽度是否在预期范围内。两种模式均有助于检测系统级信号的错误/不需要的切换(或缺少系统信号)。

升/降计数不匹配检测

升/降计数器可以监控外部信号对，如请求/授权选通等。如果边沿计数不匹配超过预期范围，升/降计数器可以将此信息告知处理器或故障管理单元。

故障管理

故障管理单元是系统事件控制器(SEC)的一部分。任何系统事件，无论是双位无法纠正ECC错误，还是任何外设状

态中断，都可以定义为“故障”。此外，系统事件可以定义为内核中断。如果据此定义，SEC将把事件转送到故障管理单元，它可能会自动复位整个器件以重新启动，或者仅切换SYS_FAULT输出引脚以告知片外硬件。此外，故障管理单元可以通过键控序列延迟所采取的操作，为Blackfin内核提供最后一个机会来解决危机，防止采取故障操作。

其它处理器外设

处理器包括丰富的外设，它们通过多条高带宽总线连接到内核，提供灵活的系统配置和出色的整体系统性能(参见第1页的框图)。处理器含有高速串行和并行端口、用于灵活管理片内外设或外部来源中断事件的中断控制器，以及根据不同应用情况调整处理器和系统的性能与功耗特性的电源管理控制功能。

以下部分说明上文未说明的其它外设。

定时器

处理器包括多个定时器，以下部分将说明这些定时器。

通用定时器

处理器包括一个通用定时器单元，它提供8个通用可编程定时器。每个定时器具有外部引脚，可以将其配置为脉宽调制器(PWM)、定时器输出、定时器的时钟输入或用于测量脉宽和外部事件周期的机制。这些定时器可以与TMRx引脚上的外部时钟输入、外部时钟TMRCLK输入引脚或内部SCLK0同步。

定时器单元可以与UART和CAN控制器一起使用，测量数据流的脉冲宽度，为相应的串行通道提供软件自动波特率检测功能。

这些定时器可以产生处理器内核中断，提供用于与系统时钟或外部信号同步的周期性事件。定时器事件也可以通过TRU触发其它外设(例如产生故障信号)。

内核定时器

每个处理器内核都有自己的专用定时器。这个额外的定时器由处理器内部时钟提供时钟信号，通常用作系统周期时钟来产生操作系统周期性中断。

看门狗定时器

每个内核包括一个32位定时器，可以利用它来实现软件看门狗功能。软件看门狗可以提高系统可用性，如果定时器在软件复位之前超时，它将通过产生硬件复位、不可屏蔽的中断(NMI)或通用中断，迫使处理器进入已知状态。编程人员初始化计时器的计数值，使能适当的中断，然后使能定时器。此后，在计数器从编程值计数到0之前，软件必须重新加载计数器。这样在软件(正常情况下会复位定时器)由于外部噪声条件或软件错误而停止运行时，可以防止系统一直处于未知状态。

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

复位后，软件可以查询定时器控制寄存器的状态位(它只随看门狗产生的复位置1)，确定看门狗是否为硬件复位源。

三相PWM单元

两个三相PWM发生单元的特性如下：

- 以中心为基准的16位PWM发生单元
- 可编程PWM脉冲宽度
- 单倍/双倍更新模式
- 可编程死区时间和开关频率
- 二进制补码实现方案支持平滑过渡到全开和全关状态
- 专用异步PWM关断信号

各PWM模块集成了一个灵活且可编程的三相PWM波形发生器，可用来产生所需的开关信号，以驱动用于交流感应电机(ACIM)或永磁同步电机(PMSM)控制的三相电压源逆变器。此外，PWM模块具有特殊功能，可大幅简化用于控制电子换向电机(ECM)或无刷直流电机(BDCM)所需PWM开关信号的产生。利用软件可以实现开关磁阻电机(SRM)的特殊模式。

每个PWM单元的8个PWM输出信号包括4个高边驱动信号和4个低边驱动信号。PWM信号的极性可以通过软件设置，以便产生高电平有效或低电平有效PWM信号。

内部可以产生与开关频率同步的脉冲，并通过PWM_SYNC引脚输出。PWM单元也可以通过PWM_SYNC引脚接受外部产生的同步脉冲。

每个PWM单元都有两个专用异步关断引脚，将其中任意一个拉低时，所有6路PWM输出立即处于关闭状态都可以零时或者永久关闭4对PWM输出中的任意几对。

链路端口(Link Port)

4个支持DMA的8位宽Link Port可以连接到其它DSP或处理器的Link Port。Link Port是双向端口，具有8条数据线、1条应答线和1条时钟线。

串行端口(SPORT)

利用3个同步串行端口，处理器可以低成本地连接到各种数字和混合信号外设，如ADI公司的AD183x系列音频编码器、ADC和DAC。这些串行端口由2条数据线、1条时钟

线和1条帧同步线组成。数据线可以编程为发送或接收数据，各数据线有一个专用DMA通道。

串行端口数据可以通过专用DMA通道自动写入和读取片内存储器/外部存储器。每个串行端口都可以与另一个串行端口合作以提供时分复用(TDM)支持。在这种配置中，一个SPORT提供两个发送信号，另一个SPORT提供两个接收信号。帧同步和时钟共享。

串行端口有六种工作模式：

- 标准DSP串行模式
- 多通道(TDM)模式
- I²S模式
- 包装I²S模式
- 左对齐模式
- 右对齐模式

ACM接口

ADC控制模块(ACM)提供了一个接口，用于同步处理器与模数转换器(ADC)之间的控制。模数转换由处理器根据外部或内部事件启动。

ACM可以灵活安排采样时刻，向ADC提供精密采样信号。

图5显示如何将一个外部ADC连接到ACM和一个SPORT。

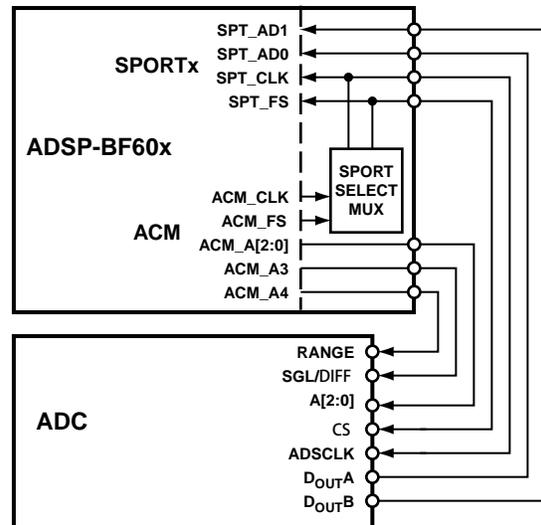


图5. ADC、ACM和SPORT连接

ACM同步ADC转换过程，产生ADC控制、ADC转换开始信号和其它信号。ADC的实际数据采集由SPORT或SPI等外设完成。

处理器可与许多ADC直接连接，无需任何胶连逻辑。

通用计数器

处理器提供一个32位计数器，它可以在通用升/降计数模式下工作，检测通常由工业驱动器或手动拇指滚轮发射的2位正交或二进制码。计数方向由电平敏感型输入引脚或两个边沿检测器控制。

第三个计数器可以提供灵活的零标记支持，或者也可以用于输入拇指滚轮的按钮信号。所有三个引脚都具有可编程去抖电路。

传送到各通用定时器的内部信号可以使能这些定时器来测量计数事件之间的时间间隔。边界寄存器支持自动调零操作，或者在超过可编程的计数值时通过中断发出简单的系统警告。

串行外设接口(SPI)端口

处理器具有两个SPI兼容型端口，可以与多个SPI兼容型器件通信。

在最简单的模式中，SPI接口使用三个引脚传输数据：两个数据引脚(主机输出/从机输入-MOSI和主机输入/从机输出-MISO)和一个时钟引脚(串行时钟-SCK)。其它SPI器件利用一个SPI片选输入引脚(SPISS)选择处理器，处理器利用7个SPI片选输出引脚(SPISEL7-1)选择其它SPI器件。SPI选择引脚是重新配置的通用I/O引脚。利用这些引脚，SPI端口提供一个全双工、同步串行接口，支持主机/从机模式和多主机环境。

SPI端口的波特率和时钟相位/极性是可编程的，而且它集成了DMA通道，支持发送和接收数据流。

UART端口

处理器提供2个全双工通用异步接收器/发送器(UART)端口，它们与PC标准UART完全兼容。每个UART端口提供一个简化的UART接口用于连接其它外设或主机，支持全双工、DMA、异步串行数据传输。UART端口支持5到8个数据位，不支持奇偶校验。在多分支总线(MDB)系统中，可以传输一个额外的地址位，以便仅中断编址的节点。帧由一个、一个半、两个或两个半停止位终止。

UART端口通过允许发送(CTS)输入和请求发送(RTS)输出支持自动硬件流量控制，并提供可编程的有效FIFO级。

为了帮助支持本地互连网络(LIN)协议，可以使用一个特殊命令让发送器将一个位长可编程的中断命令排队输入发送缓冲器。同样，停止位的数量可以由可编程的帧间空间扩展。

UART还支持红外数据协会(IrDA®)串行红外物理层链路规范(SIR)协议。

TWI控制器接口

处理器包括一个双线接口(TWI)模块，用于在多个器件之间进行简单的控制数据交换。TWI模块兼容广泛使用的I²C总线标准。TWI模块能够同时以主机和从机工作，支持7位寻址和多媒体数据仲裁。TWI接口利用两个引脚传输时钟(TWI_SCL)和数据(TWI_SDA)，支持最高速度为400 kb/s的协议。TWI接口引脚兼容5 V逻辑电平。

此外，TWI模块完全兼容串行摄像头控制总线(SCCB)功能，可轻松控制各种CMOS摄像头传感器。

移动存储器接口(RSI)

移动存储器接口(RSI)控制器用作多媒体卡(MMC)、安全数字存储卡(SD)、安全数字输入/输出卡(SDIO)的主机接口。RSI控制器的主要特性如下：

- 支持单个MMC、SD存储器、SDIO卡
- 支持1位和4位SD模式
- 支持1位、4位和8位MMC模式
- 支持eMMC 4.3嵌入式NAND闪存设备
- 带时钟线、命令线和最多8条数据线的10信号外部接口
- 从SCLK0产生卡接口时钟
- SDIO中断和读取等待特性

控制器区域网络(CAN)

CAN控制器实现了CAN 2.0B(有源)协议。此协议是异步通信协议，用于工业和汽车控制系统。CAN协议能够可靠地通过网络通信，非常适合控制应用，这是因为该协议具有CRC校验、消息错误跟踪和故障节点限制等机制。

CAN控制器提供如下特性：

- 32个邮箱(8个仅用于接收，8个仅用于发送，16个可配置为接收或发送)。
- 每个邮箱具有专用接受屏蔽。
- 对前两个字节的补充数据滤波。
- 支持标准(11位)和扩展(29位)识别符(ID)消息格式。

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

- 支持远程帧。
- 支持有源或无源网络。
- CAN从休眠模式(最低静态功耗模式)唤醒。
- 中断, 包括: TX完成、RX完成、错误和全局。

不需要额外晶体来提供CAN时钟, 因为CAN时钟是通过可编程分频器从系统时钟获得。

10/100以太网MAC

处理器可以通过一个嵌入式快速以太网媒体访问控制器(MAC)直接连接网络, 该MAC支持10-BaseT (10Mb/s)和100-BaseT (100Mb/s)工作模式。处理器上的10/100以太网MAC外设完全符合IEEE 802.3-2002标准, 并提供可编程的特性, 以便最大程度地减少监管、总线使用或处理器系统其余部分的消息处理。

下面是一些标准特性:

- 支持外部PHY的RMII协议
- 全双工和半双工模式
- 媒体访问管理(半双工模式)
- 流量控制
- 站管理: 产生MDC/MDIO帧以便读/写PHY寄存器

下面是一些高级特性:

- 自动计算接收帧IP表头和IP有效载荷域的校验和
- 独立的32位描述符驱动接收和发送DMA通道
- 帧状态通过DMA传送到存储器, 包括用于在软件中实现高效缓冲队列管理的帧完成令牌
- 发送DMA支持MAC表头和有效载荷使用不同的描述符, 以消除缓冲复制操作
- 方便的帧对齐模式
- 47个MAC管理统计计数器提供可选的读取后清除特性和可编程的半最大值中断
- 高级电源管理
- 魔术包检测和唤醒帧滤波
- 支持802.3Q标记VLAN帧
- 可编程的MDC时钟速率和前同步码抑制

IEEE 1588支持

IEEE 1588标准是一种用于联网测量和控制系统的精密时钟同步协议。处理器通过一个集成的精密时间协议同步引擎(PTP_TSYNC)支持IEEE 1588。该引擎提供硬件辅助时间戳,

以提高PTP节点之间的时钟同步精度。该引擎的主要特性如下:

- 支持IEEE 1588-2002和IEEE 1588-2008协议标准
- 硬件辅助时间戳最高可提供12.5 ns的分辨率
- 锁定调整
- 自动检测IPv4和IPv6数据包以及PTP消息
- 多个输入时钟源(SCLK0、RMII时钟和外部时钟)
- 可编程的每秒脉冲(PPS)输出
- 辅助快照功能可对外部事件加盖时间戳

USB 2.0 OTG两用器件控制器

不仅手机、数码相机和MP3播放器等消费类移动设备, 工业应用也在越来越多地采用USB 2.0 OTG总线标准。对此, USB 2.0 OTG两用器件控制器提供了一种低成本连接解决方案。USB 2.0控制器允许这些设备利用点到点USB连接传输数据, 而无需借助PC主机。该模块既可在传统USB外设模式下工作, 也可在USB 2.0规范补充标准OTG提出的主机模式下工作。

USB时钟(USB_CLKIN)通过专用外部晶体或晶振提供。

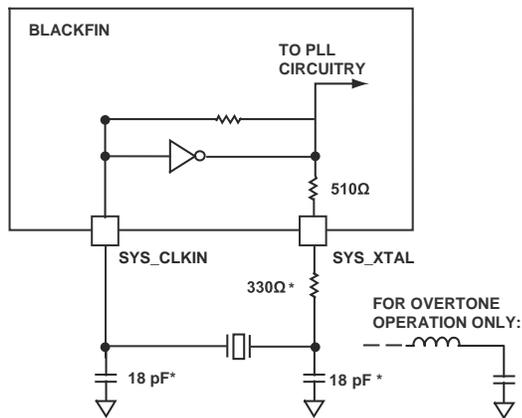
USB OTG两用器件控制器包括一个带可编程乘法器的锁相环, 用以产生USB所需的内部时钟频率。

电源和时钟管理

处理器提供四种工作模式, 各种模式具有不同的性能/功耗特征。当内部电源电压(VDD_INT)配置为0 V时, 处理器进入休眠状态。控制各处理器外设的时钟也可以降低功耗。[表5](#)总结了各种模式的电源设置。

晶振(SYS_XTAL)

处理器的时钟可以来自外部晶振(图6)、正弦波输入或源于外部时钟振荡器的缓冲整形时钟。如果使用外部时钟, 它应为TTL兼容信号, 而且在正常工作期间不得暂停、改变或以低于额定频率的频率工作。此信号连接到处理器的SYS_CLKIN引脚。使用外部时钟时, SYS_XTAL引脚必须悬空。此外, 由于处理器含有片内振荡器电路, 因此也可以使用外部晶振。



NOTE: VALUES MARKED WITH * MUST BE CUSTOMIZED, DEPENDING ON THE CRYSTAL AND LAYOUT. PLEASE ANALYZE CAREFULLY. FOR FREQUENCIES ABOVE 33 MHz, THE SUGGESTED CAPACITOR VALUE OF 18pF SHOULD BE TREATED AS A MAXIMUM, AND THE SUGGESTED RESISTOR VALUE SHOULD BE REDUCED TO 0 Ω.

图6. 外部晶振连接

欲以基频工作，请使用图6所示的电路。一个并行谐振、基频、微处理器级晶振连接在CLKIN和XTAL引脚上。CLKIN引脚与XTAL引脚之间的片内电阻在500 kΩ范围内。通常情况下，建议不要使用其它并联电阻。

图6所示的两个电容和串联电阻用于精调正弦频率输入的相位和幅度。图6所示的电容和电阻值仅为典型值。电容值取决于晶振制造商的负载电容建议和PCB物理布局。电阻值取决于晶振制造商规定的驱动电平。用户应在整个温度范围内细致考察多个器件，验证所用的元件值是否合适。

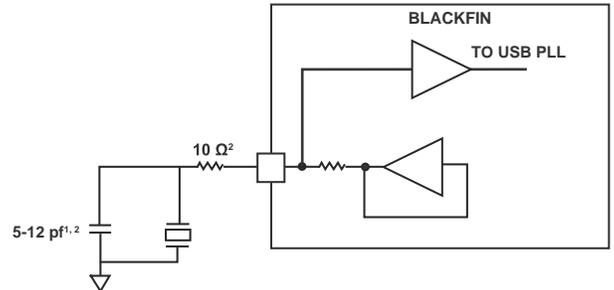
针对25 MHz以上的频率，可以使用三次谐波晶体振荡器。此时需要修改图6所示电路，增加一个调谐电感电路，确保晶振仅在第三泛音工作。第三泛音工作的设计程序详见应用笔记(EE-168)：“三次谐波晶体振荡器用于ADSP-218x DSP”(请在ADI公司网站www.analog.com上搜索“EE-168”)。

USB晶体振荡器

USB的时钟可以来自外部晶振、正弦波输入或源于外部时钟振荡器的缓冲整形时钟。如果使用外部时钟，它应为TTL兼容信号，而且在正常工作期间不得暂停、改变或以低于额定频率的频率工作。此信号连接到处理器的USB_XTAL引脚。此外，由于处理器含有片内振荡器电路，因此也可以使用外部晶振。

欲以基频工作，请使用图7所示的电路。一个并行谐振、基频、微处理器级晶振连接在USB_XTAL引脚和地之间。

负载电容与晶振并联放置。图中电路板走线寄生电容、晶振的壳电容(由晶振制造商提供)和该并联电容的组合容值应在8 pF到15 pF之间。



NOTES:
1. CAPACITANCE VALUE SHOWN INCLUDES BOARD PARASITICS
2. VALUES ARE A PRELIMINARY ESTIMATE.

图7. 外部USB晶振连接

所选晶振的额定负载电容应与此节点的标称总电容一致。为了进一步降低晶振的驱动电平，USB_XTAL引脚与晶振/电容并联组合之间可以增加一个串联电阻。

图7所示的并联电容和串联电阻用于精调正弦频率输入的相位和幅度。图7所示的电容和电阻值仅为典型值。电容值取决于晶振制造商的负载电容建议和PCB物理布局。电阻值取决于晶振制造商规定的驱动电平。用户应在整个温度范围内细致考察多个器件，验证所用的元件值是否合适。

时钟产生

时钟产生单元(CGU)产生所有片内时钟和同步信号。乘法系数写入PLL以定义PLLCLK频率。可编程值将PLLCLK频率分频，产生内核时钟(CCLK)、系统时钟(SYSCLK、SCLK0和SCLK1)、LPDDR或DDR2时钟(DCLK)及输出时钟(OCLK)，如第32页的图8所示。

写入CGU控制寄存器不会立即影响PLL的行为。寄存器首先写入新值，然后PLL逻辑执行变更，以便从当前状态平稳过渡到新状态。

V_{DD_EXT} 引脚通电时，SYS_CLKIN开始振荡。所有电压源都在额定范围内(参见第31页的工作条件)，并且SYS_CLKIN振荡稳定后，便可以施加SYS_HWRST的上升沿。

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

时钟输出/外部时钟

SYS_CLKOUT输出引脚具有可编程选项，可以输出片内时钟的分频版本。默认情况下，SYS_CLKOUT引脚驱动SYS_CLKIN输入的缓冲版本。时钟产生故障(例如PLL未锁定)可能会触发硬件复位。表3所示的时钟可以从SYS_CLKOUT输出。

表3. 时钟分频器

时钟源	分频器
CCLK(内核时钟)	4分频
SYSCLK(系统时钟)	2分频
SCLK0(PVP、SCLK1未涵盖的所有外设的系统时钟)	无
SCLK1(SPORTS、SPI、ACM的系统时钟)	无
DCLK(LPDDR/DDR2时钟)	2分频
OCLK(输出时钟)	可编程
CLKBUF	无，直接来自SYS_CLKIN

电源管理

如表4所示，处理器支持5个不同的电源域，以便在符合工业标准和惯例的同时提供最大的灵活性。各种电源域没有时序控制要求，但所有电源域都必须按照处理器“工作条件”中的相应技术规格表来通电，即使不使用某一特性/外设。

表4. 电源域

电源域	VDD范围
所有内部逻辑	V_{DD_INT}
DDR2/LPDDR	V_{DD_DMC}
USB	V_{DD_USB}
热二极管	V_{DD_TD}
所有其它I/O(包括SYS、JTAG和端口引脚)	V_{DD_EXT}

处理器的动态电源管理功能可以动态控制处理器的内核时钟频率(f_{CCLK})。

处理器的功耗在很大程度上与其时钟频率和工作电压的平方成比例。例如，工作频率降低25%，动态功耗也会降低25%。

全开工作模式—最高性能

在全开模式下，PLL使能且未被旁路，能够以最高频率工作。这是上电默认执行状态，可以实现最高性能。处理器内核和所有使能的外设以全速工作。

有效工作模式—中等动态省电

在有效模式下，PLL使能但被旁路。由于PLL被旁路，因此处理器的内核时钟和系统时钟以输入时钟(SYS_CLKIN)频率运行。对于适当配置的L1存储器，可以执行DMA访问。

有关PLL控制的更多信息，参见“ADSP-BF60x Blackfin处理器硬件参考”中的“动态电源管理”部分。

表5总结了各种模式的电源设置。

表5. 电源设置

模式/状态	PLL	PLL旁路	f_{CCLK}	f_{SYSCLK} f_{DCLK} f_{SCLK0} f_{SCLK1}	内核电源
全开	使能	无	使能	使能	开
有效	使能/禁用	有	使能	使能	开
深度睡眠	禁用	—	禁用	禁用	开关
休眠	禁用	—	禁用	禁用	关

深度睡眠工作模式—最大动态省电

深度睡眠模式通过禁用处理器内核的时钟和所有同步外设的时钟来最大程度地降低动态功耗。异步外设仍然可以运行，但不能访问内部资源或外部存储器。

休眠状态—最大静态省电

休眠模式通过禁用处理器内核和所有外设的电压和时钟来最大程度地降低静态功耗。此设置利用SYS_EXTWAKE信号通知为 V_{DD_INT} 引脚提供电源的外部稳压器关闭，从而实现最低静态功耗。断电之前，如果要保存处理器状态，必须将任何内部存储的关键信息(如存储器内容、寄存器内容和其它信息)写入非易失性存储器。

由于该模式下仍能提供 V_{DD_EXT} 引脚，因此所有外部信号均处于三态，除非另有规定。这样，其它可能连接到处理器的器件仍然可以带电，但不消耗无谓的电流。

复位控制单元

复位是整个处理器或其中一个内核的初始状态，并且是硬件或软件触发事件的结果。在此状态下，所有控制寄存器都设为默认值，功能单元空闲。要退出全系统复位，内核0必须准备就绪以执行引导。要退出某一内核复位，此内核必须准备就绪以执行引导。

复位控制单元(RCU)控制所有功能单元如何进入和退出复位状态。功能要求和时钟约束条件的不同决定了复位信号的产生方式。程序必须保证任何复位功能都不会将系统置于不明状态或引起资源停转。当只有一个内核复位时，这点尤其重要(程序必须确保无待处理系统活动涉及要复位的内核)。

目标定义：

- 硬件复位——所有功能单元都复位到默认状态，无一例外。历史记录丢失。
- 系统复位——除RCU以外的所有功能单元都复位到默认状态。
- 仅某一内核复位——仅影响该内核。系统软件应保证任何总线主机都不会访问处于复位状态的内核。

来源定义：

- 硬件复位—— $\overline{\text{SYS_HWRST}}$ 输入信号置位有效(下拉)。
- 系统复位——可以由软件(写入RCU_CTL寄存器)或另一功能单元触发，例如动态电源管理(DPM)单元(休眠)、任一系统事件控制器(SEC)、触发路由单元(TRU)或仿真器输入。
- 仅某一内核复位——由软件触发。
- 触发请求(外设)。

电压调节

处理器需要一个外部电压调节器来为 V_{DD_INT} 引脚供电。为了降低待机功耗，可以通过SYS_EXTWAKE指示外部电压调节器关断处理器内核的电源。此信号是一个上电用高电平有效信号，可以直接连接到许多常用调节器的低电平有效关断输入。

在休眠状态下，仍可以为所有外部电源引脚(V_{DD_EXT} 、 V_{DD_USB} 、 V_{DD_DMC})供电，无需外部缓冲器。通过置位 $\overline{\text{SYS_HWRST}}$ 引脚以启动引导序列，可以在此关断状态下激活外部电压调节器。SYS_EXTWAKE指示外部电压调节器唤醒。

系统调试

处理器包括多种用于简化系统调试的特性，下面说明这些特性。

系统观察点单元

系统观察点单元(SWU)是单一模块，连接到单条系统总线以监控处理。进入各系统从机的总线都连有一个SWU。SWU为所有系统总线地址通道信号提供端口。每个SWU包含4组匹配的寄存器和相关硬件。这四个SWU匹配组独立工作，但共享事件(中断、触发和其它)输出。

系统调试单元

系统调试单元(SDU)通过JTAG接口提供IEEE-1149.1支持。除了已有Blackfin产品的传统JTAG特性之外，SDU增加了一些特性，可在不停止内核处理器的情况下调试芯片。

EZ-KIT LITE® 评估板

若要评估ADSP-BF606/ADSP-BF607/ADSPBF608/ADSP-BF609处理器，请使用ADI公司开发的EZ-KIT Lite®评估板。订购请使用产品型号ADZS-BF609-EZLITE。该板内置仿真功能，并支持软件开发。同时提供多种子板。

设计一个兼容仿真器的处理器板(目标)

ADI公司的系列仿真器是每位系统开发工程师测试和调试软硬件系统的得力工具。ADI公司在每个处理器上都提供了一个IEEE 1149.1 JTAG测试访问端口(TAP)。仿真器使用TAP访问处理器的内部功能，允许开发人员加载代码、设置断点、观察变量、观察存储器、检查寄存器。发送数据和命令时，处理器必须暂停，但当仿真器完成操作时，处理器系统便能以全速运行，对系统时序无影响。

要使用这些仿真器，目标板必须用一个插头将处理器的JTAG端口连接到仿真器。

有关目标板设计问题的详细信息，包括机械布局、单处理器连接、多处理器扫描链、信号缓冲、信号端接和仿真器Pod逻辑等，请参阅EE-68：“ADI公司JTAG仿真技术参考”(请在ADI公司网站www.analog.com上搜索“EE-68”)。该文件定期更新，以便与仿真器支持的最新改进保持同步。

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

相关文件

下列描述ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609处理器(及其相关处理器)的文件可以通过ADI公司办事处订购, 或者查看ADI公司网站上的电子版本:

- *Blackfin*处理器入门指南
- ADSP-BF60x *Blackfin*处理器硬件
- *Blackfin*处理器编程参考

相关信号链

“信号链”指一系列信号调理电子器件, 它们相继接收输入(通过采样实时现象获得的数据或存储的数据), 信号链一部分的输出作为下一部分的输入。信号处理应用常常使用信号链来采集和处理数据, 或者根据对实时现象的分析应用系统控制。有关这个术语和相关话题的更多信息, 请参阅ADI公司网站上[术语表](#)的“信号链”词条。

ADI公司提供能够完美配合工作的信号处理器件来简化信号处理系统的开发。ADI公司网站www.analog.com提供了一款工具, 用于显示特定应用与相关器件之间的关系。

实验室电路Circuits from the Lab™网站(<http://www.analog.com/circuits>)的应用信号链页面提供如下内容:

- 各种电路类型和应用的信号链电路图
- 各信号链中的器件均有选型指南和应用信息链接
- 采用最佳设计技术的参考设计

信号描述

处理器的信号定义如表6所示。

表6. 处理器信号描述

信号名称	功能	驱动器类型	电源域
端口引脚			
PA_00 – PA_15	Port A 00 – Port A 15	A	V _{DD_EXT}
PB_00 – PB_15	Port B 00 – Port B 15	A	V _{DD_EXT}
PC_00 – PC_15	Port C 00 – Port C 15	A	V _{DD_EXT}
PD_00 – PD_15	Port D 00 – Port D 15	A	V _{DD_EXT}
PE_00 – PE_15	Port E 00 – Port E 15	A	V _{DD_EXT}
PF_00 – PF_15	Port F 00 – Port F 15	A	V _{DD_EXT}
PG_00 – PG_15	Port G 00 – Port G 15	A	V _{DD_EXT}
动态存储控制器			
DMC0_A00 – DMC0_A13	DMC0 DMC0地址0 – DMC0地址13	B	V _{DD_DMC}
DMC0_BA0	DMC0组地址输入0	B	V _{DD_DMC}
DMC0_BA1	DMC0组地址输入1	B	V _{DD_DMC}
DMC0_BA2	DMC0组地址输入2	B	V _{DD_DMC}
DMC0_CAS	DMC0列地址选通	B	V _{DD_DMC}
DMC0_CK	DMC0时钟	C	V _{DD_DMC}
DMC0_CK	DMC0时钟(-)	C	V _{DD_DMC}
DMC0_CKE	DMC0时钟使能	B	V _{DD_DMC}
DMC0_CS0	DMC0片选0	B	V _{DD_DMC}
DMC0_DQ00 – DMC0_DQ15	DMC0数据0 – DMC0数据15	B	V _{DD_DMC}
DMC0_LDM	DMC0低位字节数据掩码	B	V _{DD_DMC}
DMC0_LDQS	DMC0低位字节数据选通	C	V _{DD_DMC}
DMC0_LDQS	DMC0低位字节数据选通(-)	C	V _{DD_DMC}
DMC0_ODT	DMC0片上端接	B	V _{DD_DMC}
DMC0_RAS	DMC0行地址选通	B	V _{DD_DMC}
DMC0_UDM	DMC0高位字节数据掩码	B	V _{DD_DMC}
DMC0_UDQS	DMC0高位字节数据选通	C	V _{DD_DMC}
DMC0_UDQS	DMC0高位字节数据选通(-)	C	V _{DD_DMC}
DMC0_WE	DMC0写入使能	B	V _{DD_DMC}
JTAG测试访问端口			
JTG_EMU	JTG仿真输出	A	V _{DD_EXT}
JTG_TCK	JTG时钟	A	V _{DD_EXT}
JTG_TDI	JTG串行数据输入	A	V _{DD_EXT}
JTG_TDO	JTG串行数据输出	A	V _{DD_EXT}
JTG_TMS	JTG模式选择	A	V _{DD_EXT}
JTG_TRST	JTG复位	A	V _{DD_EXT}
静态存储控制器			
SMC0_A01	SMC0地址1	A	V _{DD_EXT}
SMC0_A02	SMC0地址2	A	V _{DD_EXT}
SMC0_AMS0	SMC0存储器选择0	A	V _{DD_EXT}
SMC0_AOE/SMC0_NORDV	SMC0输出使能/SMC0 NOR数据有效	A	V _{DD_EXT}
SMC0_ARDY/SMC0_NORWT	SMC0异步就绪/SMC0 NOR等待	A	V _{DD_EXT}
SMC0_ARE	SMC0读取使能	A	V _{DD_EXT}
SMC0_AWE	SMC0写入使能	A	V _{DD_EXT}
SMC0_BR	SMC0总线请求	A	V _{DD_EXT}
SMC0_D00 – SMC0_D15	SMC0数据0 – SMC0数据15	A	V _{DD_EXT}

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

表6. 处理器信号描述(续)

信号名称	功能	驱动器类型	驱动器类型
系统引导、定时和控制			
SYS_BMODE0	SYS引导模式控制0		V _{DD_EXT}
SYS_BMODE1	SYS引导模式控制1		V _{DD_EXT}
SYS_BMODE2	SYS引导模式控制2		V _{DD_EXT}
SYS_CLKIN	SYS时钟/晶振输入		V _{DD_EXT}
SYS_CLKOUT	SYS处理器时钟输出	A	V _{DD_EXT}
SYS_EXTWAKE	SYS外部唤醒控制	A	V _{DD_EXT}
SYS_FAULT	SYS故障输出	A	V _{DD_EXT}
SYS_FAULT [¯]	SYS故障输出(-)	A	V _{DD_EXT}
SYS_NMI/SYS_RESOUT [¯]	SYS不可屏蔽中断/SYS复位输出	A	V _{DD_EXT}
SYS_PWRGD	SYS电源良好指示		V _{DD_EXT}
SYS_HWRST [¯]	SYS处理器复位控制		V _{DD_EXT}
SYS_TDA	SYS热二极管阳极		V _{DD_THD}
SYS_TDK	SYS热二极管阴极		V _{DD_THD}
SYS_XTAL	SYS晶振输出		V _{DD_EXT}
双线接口			
TWI0_SCL	TWI0串行时钟	D	V _{DD_EXT}
TWI0_SDA	TWI0串行数据	D	V _{DD_EXT}
TWI1_SCL	TWI1串行时钟	D	V _{DD_EXT}
TWI1_SDA	TWI1串行数据	D	V _{DD_EXT}
通用串行总线			
USB0_CLKIN	USB0时钟/晶振输入		V _{DD_USB}
USB0_DM	USB0数据-		V _{DD_USB}
USB0_DP	USB0数据+		V _{DD_USB}
USB0_ID	USB0 OTG ID		V _{DD_USB}
USB0_VBC	USB0 VBUS控制		V _{DD_USB}
USB0_VBUS	USB0总线电压		V _{DD_USB}

引脚复用

表7中，默认状态用正体字显示，其它功能用斜体字显示。

表7. 处理器复用方案

信号名称	功能
端口A	
PA_00/SMC0_A03/EPPI2_D00/LP0_D0	PA位置0/SMC0地址3/EPPI2数据0/LP0数据0
PA_01/SMC0_A04/EPPI2_D01/LP0_D1	PA位置1/SMC0地址4/EPPI2数据1/LP0数据1
PA_02/SMC0_A05/EPPI2_D02/LP0_D2	PA位置2/SMC0地址5/EPPI2数据2/LP0数据2
PA_03/SMC0_A06/EPPI2_D03/LP0_D3	PA位置3/SMC0地址6/EPPI2数据3/LP0数据3
PA_04/SMC0_A07/EPPI2_D04/LP0_D4	PA位置4/SMC0地址7/EPPI2数据4/LP0数据4
PA_05/SMC0_A08/EPPI2_D05/LP0_D5	PA位置5/SMC0地址8/EPPI2数据5/LP0数据5
PA_06/SMC0_A09/EPPI2_D06/LP0_D6	PA位置6/SMC0地址9/EPPI2数据6/LP0数据6
PA_07/SMC0_A10/EPPI2_D07/LP0_D7	PA位置7/SMC0地址10/EPPI2数据7/LP0数据7
PA_08/SMC0_A11/EPPI2_D08/LP1_D0	PA位置8/SMC0地址11/EPPI2数据8/LP1数据0
PA_09/SMC0_A12/EPPI2_D09/LP1_D1	PA位置9/SMC0地址12/EPPI2数据9/LP1数据1
PA_10/SMC0_A14/EPPI2_D10/LP1_D2	PA位置10/SMC0地址14/EPPI2数据10/LP1数据2
PA_11/SMC0_A15/EPPI2_D11/LP1_D3	PA位置11/SMC0地址15/EPPI2数据11/LP1数据3
PA_12/SMC0_A17/EPPI2_D12/LP1_D4	PA位置12/SMC0地址17/EPPI2数据12/LP1数据4
PA_13/SMC0_A18/EPPI2_D13/LP1_D5	PA位置13/SMC0地址18/EPPI2数据13/LP1数据5

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

表7. 处理器复用方案(续)

信号名称	功能
PA_14/SMC0_A19/EPPI2_D14/LP1_D6	PA位置14/SMC0地址19/EPPI2数据14/LP1数据6
PA_15/SMC0_A20/EPPI2_D15/LP1_D7	PA位置15/SMC0地址20/EPPI2数据15/LP1数据7
端口B	
PB_00/SMC0_NORCLK/EPPI2_CLK/LP0_CLK	PB位置0/SMC0 NOR时钟/EPPI2时钟/LP0时钟
PB_01/SMC0_AMS1/EPPI2_FS1/LP0_ACK	PB位置1/SMC0存储器选择1/EPPI2帧同步1 (HSYNC)/LP0应答
PB_02/SMC0_A13/EPPI2_FS2/LP1_ACK	PB位置2/SMC0地址13/EPPI2帧同步2 (VSYNC)/LP1应答
PB_03/SMC0_A16/EPPI2_FS3/LP1_CLK	PB位置3/SMC0地址16/EPPI2帧同步3 (FIELD)/LP1时钟
PB_04/SMC0_AMS2/SMC0_ABE0/SPT0_AFS	PB位置4/SMC0存储器选择2/SMC0字节使能0/SPORT0通道A帧同步
PB_05/SMC0_AMS3/SMC0_ABE1/SPT0_ACLK	PB位置5/SMC0存储器选择3/SMC0字节使能1/SPORT0通道A时钟
PB_06/SMC0_A21/SPT0_ATDV/TM0_ACLK4	PB位置6/SMC0地址21/SPORT0通道A发送数据有效/TIMER0备选时钟4
PB_07/SMC0_A22/EPPI2_D16/SPT0_BFS	PB位置7/SMC0地址22/EPPI2数据16/SPORT0通道B帧同步
PB_08/SMC0_A23/EPPI2_D17/SPT0_BCLK	PB位置8/SMC0地址23/EPPI2数据17/SPORT0通道B时钟
PB_09/SMC0_BGH/SPT0_AD0/TM0_ACLK2	PB位置9/SMC0总线允许暂停/SPORT0通道A数据0/TIMER0备选时钟2
PB_10/SMC0_A24/SPT0_BD1/TM0_ACLK0	PB位置10/SMC0地址24/SPORT0通道B数据1/TIMER0备选时钟0
PB_11/SMC0_A25/SPT0_BD0/TM0_ACLK3	PB位置11/SMC0地址25/SPORT0通道B数据0/TIMER0备选时钟3
PB_12/SMC0_BG/SPT0_BTDV/SPT0_AD1/TM0_ACLK1	PB位置12/SMC0总线允许/SPORT0通道B发送数据有效/SPORT0通道A数据1/TIMER0备选时钟1
PB_13/ETH0_TXEN/EPPI1_FS1/TM0_AC16	PB位置13/ETH0发送使能/EPPI1帧同步1 (HSYNC)/TIMER0备选捕捉输入6
PB_14/ETH0_REFCLK/EPPI1_CLK	PB位置14/ETH0参考时钟/EPPI1时钟
PB_15/ETH0_PTPPPS/EPPI1_FS3	PB位置15/ETH0 PTP PPS输出/EPPI1帧同步3 (FIELD)
端口C	
PC_00/ETH0_RXD0/EPPI1_D00	PC位置0/ETH0接收数据0/EPPI1数据0
PC_01/ETH0_RXD1/EPPI1_D01	PC位置1/ETH0接收数据1/EPPI1数据1
PC_02/ETH0_TXD0/EPPI1_D02	PC位置2/ETH0发送数据0/EPPI1数据2
PC_03/ETH0_TXD1/EPPI1_D03	PC位置3/ETH0发送数据1/EPPI1数据3
PC_04/EPPI1_D04	PC位置4/EPPI1数据4
PC_05/ETH0_CRS/EPPI1_D05	PC位置5/ETH0载波检测/RMII接收数据有效/EPPI1数据5
PC_06/ETH0_MDC/EPPI1_D06	PC位置6/ETH0管理通道时钟/EPPI1数据6
PC_07/ETH0_MDIO/EPPI1_D07	PC位置7/ETH0管理通道串行数据/EPPI1数据7
PC_08/EPPI1_D08	PC位置8/EPPI1数据8
PC_09/ETH1_PTPPPS/EPPI1_D09	PC位置9/ETH1 PTP PPS输出/EPPI1数据9
PC_10/EPPI1_D10	PC位置10/EPPI1数据10
PC_11/EPPI1_D11/ETH_PTPAUXIN	PC位置11/EPPI1数据11/ETH PTP辅助触发输入
PC_12/SPI0_SEL7/EPPI1_D12	PC位置12/SPI0从机选择输出7/EPPI1数据12
PC_13/SPI0_SEL6/EPPI1_D13/ETH_PTPCLKIN	PC位置13/SPI0从机选择输出6/EPPI1数据13/ETH PTP时钟输入
PC_14/SPI1_SEL7/EPPI1_D14	PC位置14/SPI1从机选择输出7/EPPI1数据14
PC_15/SPI0_SEL4/EPPI1_D15	PC位置15/SPI0从机选择输出4/EPPI1数据15
端口D	
PD_00/SPI0_D2/EPPI1_D16/SPI0_SEL3	PD位置0/SPI0数据2/EPPI1数据16/SPI0从机选择输出3
PD_01/SPI0_D3/EPPI1_D17/SPI0_SEL2	PD位置1/SPI0数据3/EPPI1数据17/SPI0从机选择输出2
PD_02/SPI0_MISO	PD位置2/SPI0主机输入、从机输出
PD_03/SPI0_MOSI	PD位置3/SPI0主机输出、从机输入
PD_04/SPI0_CLK	PD位置4/SPI0时钟
PD_05/SPI1_CLK/TM0_ACLK7	PD位置5/SPI1时钟/TIMER0备选时钟7
PD_06/EPPI1_FS2/TM0_AC15	PD位置6/EPPI1帧同步2 (VSYNC)/TIMER0备选捕捉输入5
PD_07/UART0_TX/TM0_AC13	PD位置7/UART0发送/TIMER0备选捕捉输入3
PD_08/UART0_RX/TM0_AC10	PD位置8/UART0接收/TIMER0备选捕捉输入0

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

表7. 处理器复用方案(续)

信号名称	功能
PD_09/SPI0_SEL5/UART0_RT5/SPI1_SEL4	PD位置9/SPI0从机选择输出5/UART0请求发送/SPI1从机选择输出4
PD_10/SPI0_RDY/UART0_CT5/SPI1_SEL3	PD位置10/SPI0就绪/UART0清除发送/SPI1从机选择输出3
PD_11/SPI0_SEL7/SPI0_SS	PD位置11/SPI0从机选择输出1/SPI0从机选择输入
PD_12/SPI1_SEL7/EPPIO_D20/SPT1_AD1/SPI1_SS	PD位置12/SPI1从机选择输出1/EPPIO数据20/SPT1通道A数据1/SPI1从机选择输入
PD_13/SPI1_MOSI/TM0_ACLK5	PD位置13/SPI1主机输出、从机输入/TIMER0备选时钟5
PD_14/SPI1_MISO/TM0_ACLK6	PD位置14/SPI1主机输入、从机输出/TIMER0备选时钟6
PD_15/SPI1_SEL2/EPPIO_D21/SPT1_AD0	PD位置15/SPI1从机选择输出2/EPPIO数据21/SPT1通道A数据0
端口E	
PE_00/SPI1_D3/EPPIO_D18/SPT1_BD1	PE位置0/SPI1数据3/EPPIO数据18/SPT1通道B数据1
PE_01/SPI1_D2/EPPIO_D19/SPT1_BD0	PE位置1/SPI1数据2/EPPIO数据19/SPT1通道B数据0
PE_02/SPI1_RDY/EPPIO_D22/SPT1_ACLK	PE位置2/SPI1就绪/EPPIO数据22/SPT1通道A时钟
PE_03/EPPIO_D16/ACM0_FS/SPT1_BFS	PE位置3/EPPIO数据16/ACM0帧同步/SPT1通道B帧同步
PE_04/EPPIO_D17/ACM0_CLK/SPT1_BCLK	PE位置4/EPPIO数据17/ACM0时钟/SPT1通道B时钟
PE_05/EPPIO_D23/SPT1_AFS	PE位置5/EPPIO数据23/SPT1通道A帧同步
PE_06/SPT1_ATDV/EPPIO_FS3/LP3_CLK	PE位置6/SPT1通道A发送数据有效/EPPIO帧同步3 (FIELD)/LP3时钟
PE_07/SPT1_BTDV/EPPIO_FS2/LP3_ACK	PE位置7/SPT1通道B发送数据有效/EPPIO帧同步2 (VSYNC)/LP3应答
PE_08/PWM0_SYNC/EPPIO_FS1/LP2_ACK/ACM0_TO	PE位置8/PWM0同步/EPPIO帧同步1 (HSYNC)/LP2应答/ACM0外部触发0
PE_09/EPPIO_CLK/LP2_CLK/PWM0_TRIP0	PE位置9/EPPIO时钟/LP2时钟/PWM0关断输入0
PE_10/ETH1_MDC/PWM1_DL/RSI0_D6	PE位置10/ETH1管理通道时钟/PWM1通道D低侧/RSI0数据6
PE_11/ETH1_MDIO/PWM1_DH/RSI0_D7	PE位置11/ETH1管理通道串行数据/PWM1通道D高侧/RSI0数据7
PE_12/PWM1_CL/RSI0_D5	PE位置12/PWM1通道C低侧/RSI0数据5
PE_13/ETH1_CRS/PWM1_CH/RSI0_D4	PE位置13/ETH1载波检测/RMII接收数据有效/PWM1通道C高侧/RSI0数据4
PE_14/SPT2_ATDV/TM0_TMR0	PE位置14/SPT2通道A发送数据有效/TIMER0定时器0
PE_15/ETH1_RXD1/PWM1_BL/RSI0_D3	PE位置15/ETH1接收数据1/PWM1通道B低侧/RSI0数据3
端口F	
PF_00/PWM0_AL/EPPIO_D00/LP2_D0	PF位置0/PWM0通道A低侧/EPPIO数据0/LP2数据0
PF_01/PWM0_AH/EPPIO_D01/LP2_D1	PF位置1/PWM0通道A高侧/EPPIO数据1/LP2数据1
PF_02/PWM0_BL/EPPIO_D02/LP2_D2	PF位置2/PWM0通道B低侧/EPPIO数据2/LP2数据2
PF_03/PWM0_BH/EPPIO_D03/LP2_D3	PF位置3/PWM0通道B高侧/EPPIO数据3/LP2数据3
PF_04/PWM0_CL/EPPIO_D04/LP2_D4	PF位置4/PWM0通道C低侧/EPPIO数据4/LP2数据4
PF_05/PWM0_CH/EPPIO_D05/LP2_D5	PF位置5/PWM0通道C高侧/EPPIO数据5/LP2数据5
PF_06/PWM0_DL/EPPIO_D06/LP2_D6	PF位置6/PWM0通道D低侧/EPPIO数据6/LP2数据6
PF_07/PWM0_DH/EPPIO_D07/LP2_D7	PF位置7/PWM0通道D高侧/EPPIO数据7/LP2数据7
PF_08/SPI1_SEL5/EPPIO_D08/LP3_D0	PF位置8/SPI1从机选择输出5/EPPIO数据8/LP3数据0
PF_09/SPI1_SEL6/EPPIO_D09/LP3_D1	PF位置9/SPI1从机选择输出6/EPPIO数据9/LP3数据1
PF_10/ACM0_A4/EPPIO_D10/LP3_D2	PF位置10/ACM0地址4/EPPIO数据10/LP3数据2
PF_11/EPPIO_D11/LP3_D3/PWM0_TRIP1	PF位置11/EPPIO数据11/LP3数据3/PWM0关断输入1
PF_12/ACM0_A2/EPPIO_D12/LP3_D4	PF位置12/ACM0地址2/EPPIO数据12/LP3数据4
PF_13/ACM0_A3/EPPIO_D13/LP3_D5	PF位置13/ACM0地址3/EPPIO数据13/LP3数据5
PF_14/ACM0_A0/EPPIO_D14/LP3_D6	PF位置14/ACM0地址0/EPPIO数据14/LP3数据6
PF_15/ACM0_A1/EPPIO_D15/LP3_D7	PF位置15/ACM0地址1/EPPIO数据15/LP3数据7
端口G	
PG_00/ETH1_RXD0/PWM1_BH/RSI0_D2	PG位置0/ETH1接收数据0/PWM1通道B高侧/RSI0数据2
PG_01/SPT2_AFS/TM0_TMR2/CAN0_TX	PG位置1/SPT2通道A帧同步/TIMER0定时器2/CAN0发送
PG_02/ETH1_TXD1/PWM1_AL/RSI0_D1	PG位置2/ETH1发送数据1/PWM1通道A低侧/RSI0数据1

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

表7. 处理器复用方案(续)

信号名称	功能
PG_03/ETH1_TXD0/PWM1_AH/RSIO_D0	PG位置3/ETH1发送数据0/PWM1通道A高侧/RSIO数据0
PG_04/SPT2_ACLK/TM0_TMR1/CAN0_RX/TM0_AC12	PG位置4/SPORT2通道A时钟/TIMER0定时器1/CAN0接收/TIMER0备选捕捉输入2
PG_05/ETH1_TXEN/RSIO_CMD/PWM1_SYNC/ACM0_T1	PG位置5/ETH1发送使能/RSIO命令/PWM1同步/ACM0外部触发1
PG_06/ETH1_REFCLK/RSIO_CLK/SPT2_BTDV/PWM1_TRIP0	PG位置6/ETH1参考时钟/RSIO时钟/SPORT2通道B发送数据有效/PWM1关断输入0
PG_07/SPT2_BFS/TM0_TMR5/CNT0_ZM	PG位置7/SPORT2通道B帧同步/TIMER0定时器5/CNT0零标记
PG_08/SPT2_AD1/TM0_TMR3/PWM1_TRIP1	PG位置8/SPORT2通道A数据1/TIMER0定时器3/PWM1关断输入
PG_09/SPT2_ADO/TM0_TMR4	PG位置9/SPORT2通道A数据0/TIMER0定时器4
PG_10/UART1_RTS/SPT2_BCLK	PG位置10/UART1请求发送/SPORT2通道B时钟
PG_11/SPT2_BD1/TM0_TMR6/CNT0_UD	PG位置11/SPORT2通道B数据1/TIMER0定时器6/CNT0递增计数和方向
PG_12/SPT2_BDO/TM0_TMR7/CNT0_DG	PG位置12/SPORT2通道B数据0/TIMER0定时器7/CNT0递减计数和选通
PG_13/UART1_CTS/TM0_CLK	PG位置13/UART1清除发送/TIMER0时钟
PG_14/UART1_RX/SYS_IDLE1/TM0_AC11	PG位置14/UART1接收/SYS内核1空闲指示/TIMER0备选捕捉输入1
PG_15/UART1_TX/SYS_IDLE0/SYS_SLEEP/TM0_AC14	PG位置15/UART1发送/SYS内核0空闲指示/SYS处理器睡眠指示/TIMER0备选捕捉输入4

信号端接和驱动特性要求

表8说明了芯片上的各信号是如何内部端接并驱动的。此外还提供了外部端接要求。本表中用到下列栏：

- 内部端接 - 指定处理器非处于复位或休眠状态时的端接。
- 复位端接 - 指定处理器处于复位状态时的端接。

- 复位驱动 - 指定处理器处于复位状态时的信号有效驱动。
- 休眠端接 - 指定处理器处于休眠状态时的端接。
- 休眠驱动 - 指定处理器处于休眠状态时的信号有效驱动。
- 注释 - 说明信号的特殊要求或特性。如果没有列出特殊要求，信号不用时可以不连接。

表8. ADSP-BF60x焊盘表

信号名称	内部端接	复位端接	复位驱动	休眠端接	休眠驱动	注释
DMC0_A00	无	无	无	无	无	无注释
DMC0_A01	无	无	无	无	无	无注释
DMC0_A02	无	无	无	无	无	无注释
DMC0_A03	无	无	无	无	无	无注释
DMC0_A04	无	无	无	无	无	无注释
DMC0_A05	无	无	无	无	无	无注释
DMC0_A06	无	无	无	无	无	无注释
DMC0_A07	无	无	无	无	无	无注释
DMC0_A08	无	无	无	无	无	无注释
DMC0_A09	无	无	无	无	无	无注释
DMC0_A10	无	无	无	无	无	无注释
DMC0_A11	无	无	无	无	无	无注释
DMC0_A12	无	无	无	无	无	无注释
DMC0_A13	无	无	无	无	无	无注释
DMC0_BA0	无	无	无	无	无	无注释
DMC0_BA1	无	无	无	无	无	无注释
DMC0_BA2	无	无	无	无	无	对于LPDDR，保持不连接。
DMC0_CAS	无	无	无	无	无	无注释
DMC0_CK	无	低电平	无	低电平	无	无注释
DMC0_CK	无	低电平	无	低电平	无	无注释
DMC0_CKE	无	低电平	无	低电平	无	无注释
DMC0_CS0	无	无	无	无	无	无注释
DMC0_DQ00	无	无	无	无	无	无注释
DMC0_DQ01	无	无	无	无	无	无注释
DMC0_DQ02	无	无	无	无	无	无注释
DMC0_DQ03	无	无	无	无	无	无注释
DMC0_DQ04	无	无	无	无	无	无注释
DMC0_DQ05	无	无	无	无	无	无注释
DMC0_DQ06	无	无	无	无	无	无注释
DMC0_DQ07	无	无	无	无	无	无注释
DMC0_DQ08	无	无	无	无	无	无注释
DMC0_DQ09	无	无	无	无	无	无注释
DMC0_DQ10	无	无	无	无	无	无注释
DMC0_DQ11	无	无	无	无	无	无注释

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

表8. ADSP-BF60x焊盘表(续)

信号名称	内部端接	复位端接	复位驱动	休眠端接	休眠驱动	注释
DMC0_DQ12	无	无	无	无	无	无注释
DMC0_DQ13	无	无	无	无	无	无注释
DMC0_DQ14	无	无	无	无	无	无注释
DMC0_DQ15	无	无	无	无	无	无注释
DMC0_LDM	无	无	无	无	无	无注释
DMC0_LDQS	无	无	无	无	无	对于LPDDR, 需要一个100k下拉电阻。
$\overline{\text{DMC0_LDQS}}$	无	无	无	无	无	对于单端DDR2, 连接到VREF_DMC。 对于LPDDR, 保持不连接。
DMC0_ODT	无	无	无	无	无	对于LPDDR, 保持不连接。
$\overline{\text{DMC0_RAS}}$	无	无	无	无	无	无注释
DMC0_UDM	无	无	无	无	无	无注释
DMC0_UDQS	无	无	无	无	无	对于LPDDR, 需要一个100k下拉电阻。
$\overline{\text{DMC0_UDQS}}$	无	无	无	无	无	对于单端DDR2, 连接到VREF_DMC。 对于LPDDR, 保持不连接。
$\overline{\text{DMC0_WE}}$	无	无	无	无	无	无注释
GND	无	无	无	无	无	无注释
JTG_EMU	无	无	无	无	无	无注释
JTG_TCK	下拉	无	无	无	无	复位期间正常工作。
JTG_TDI	上拉	无	无	无	无	复位期间正常工作。
JTG_TDO	无	无	无	无	无	复位期间正常工作, JTG_TRST置位时三态。
JTG_TMS	上拉	无	无	无	无	复位期间正常工作。
JTG_TRST	下拉	无	无	无	无	复位期间正常工作。
PA_00	弱监护	弱监护	无	弱监护	无	无注释
PA_01	弱监护	弱监护	无	弱监护	无	无注释
PA_02	弱监护	弱监护	无	弱监护	无	无注释
PA_03	弱监护	弱监护	无	弱监护	无	无注释
PA_04	弱监护	弱监护	无	弱监护	无	无注释
PA_05	弱监护	弱监护	无	弱监护	无	无注释
PA_06	弱监护	弱监护	无	弱监护	无	无注释
PA_07	弱监护	弱监护	无	弱监护	无	无注释
PA_08	弱监护	弱监护	无	弱监护	无	无注释
PA_09	弱监护	弱监护	无	弱监护	无	无注释
PA_10	弱监护	弱监护	无	弱监护	无	无注释
PA_11	弱监护	弱监护	无	弱监护	无	无注释
PA_12	弱监护	弱监护	无	弱监护	无	无注释
PA_13	弱监护	弱监护	无	弱监护	无	无注释
PA_14	弱监护	弱监护	无	弱监护	无	无注释
PA_15	弱监护	弱监护	无	弱监护	无	无注释
PB_00	弱监护	弱监护	无	弱监护	无	无注释
PB_01	弱监护	弱监护	无	弱监护	无	无注释
PB_02	弱监护	弱监护	无	弱监护	无	无注释
PB_03	弱监护	弱监护	无	弱监护	无	无注释
PB_04	弱监护	弱监护	无	弱监护	无	无注释
PB_05	弱监护	弱监护	无	弱监护	无	无注释
PB_06	弱监护	弱监护	无	弱监护	无	无注释

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

表8. ADSP-BF60x焊盘表(续)

信号名称	内部端接	复位端接	复位驱动	休眠端接	休眠驱动	注释
PB_07	弱监护	弱监护	无	弱监护	无	无注释
PB_08	弱监护	弱监护	无	弱监护	无	无注释
PB_09	弱监护	弱监护	无	弱监护	无	无注释
PB_10	弱监护	弱监护	无	弱监护	无	无注释
PB_11	弱监护	弱监护	无	弱监护	无	无注释
PB_12	弱监护	弱监护	无	弱监护	无	无注释
PB_13	弱监护	弱监护	无	弱监护	无	无注释
PB_14	弱监护	弱监护	无	弱监护	无	无注释
PB_15	弱监护	弱监护	无	弱监护	无	无注释
PC_00	弱监护	弱监护	无	弱监护	无	无注释
PC_01	弱监护	弱监护	无	弱监护	无	无注释
PC_02	弱监护	弱监护	无	弱监护	无	无注释
PC_03	弱监护	弱监护	无	弱监护	无	无注释
PC_04	弱监护	弱监护	无	弱监护	无	无注释
PC_05	弱监护	弱监护	无	弱监护	无	无注释
PC_06	弱监护	弱监护	无	弱监护	无	无注释
PC_07	弱监护	弱监护	无	弱监护	无	无注释
PC_08	弱监护	弱监护	无	弱监护	无	无注释
PC_09	弱监护	弱监护	无	弱监护	无	无注释
PC_10	弱监护	弱监护	无	弱监护	无	无注释
PC_11	弱监护	弱监护	无	弱监护	无	无注释
PC_12	弱监护	弱监护	无	弱监护	无	无注释
PC_13	弱监护	弱监护	无	弱监护	无	无注释
PC_14	弱监护	弱监护	无	弱监护	无	无注释
PC_15	弱监护	弱监护	无	弱监护	无	无注释
PD_00	弱监护	弱监护	无	弱监护	无	无注释
PD_01	弱监护	弱监护	无	弱监护	无	无注释
PD_02	弱监护	弱监护	无	弱监护	无	无注释
PD_03	弱监护	弱监护	无	弱监护	无	无注释
PD_04	弱监护	弱监护	无	弱监护	无	无注释
PD_05	弱监护	弱监护	无	弱监护	无	无注释
PD_06	弱监护	弱监护	无	弱监护	无	无注释
PD_07	弱监护	弱监护	无	弱监护	无	无注释
PD_08	弱监护	弱监护	无	弱监护	无	无注释
PD_09	弱监护	弱监护	无	弱监护	无	无注释
PD_10	弱监护	弱监护	无	弱监护	无	无注释
PD_11	弱监护	弱监护	无	弱监护	无	无注释
PD_12	弱监护	弱监护	无	弱监护	无	无注释
PD_13	弱监护	弱监护	无	弱监护	无	无注释
PD_14	弱监护	弱监护	无	弱监护	无	无注释
PD_15	弱监护	弱监护	无	弱监护	无	无注释
PE_00	弱监护	弱监护	无	弱监护	无	无注释
PE_01	弱监护	弱监护	无	弱监护	无	无注释
PE_02	弱监护	弱监护	无	弱监护	无	无注释
PE_03	弱监护	弱监护	无	弱监护	无	无注释

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

表8. ADSP-BF60x焊盘表(续)

信号名称	内部端接	复位端接	复位驱动	休眠端接	休眠驱动	注释
PE_04	弱监护	弱监护	无	弱监护	无	无注释
PE_05	弱监护	弱监护	无	弱监护	无	无注释
PE_06	弱监护	弱监护	无	弱监护	无	无注释
PE_07	弱监护	弱监护	无	弱监护	无	无注释
PE_08	弱监护	弱监护	无	弱监护	无	无注释
PE_09	弱监护	弱监护	无	弱监护	无	无注释
PE_10	弱监护	弱监护	无	弱监护	无	具有一个可选的内部上拉电阻，配合RSI使用。详情参见HRM中的RSI部分。
PE_11	弱监护	弱监护	无	弱监护	无	具有一个可选的内部上拉电阻，配合RSI使用。详情参见HRM中的RSI部分。
PE_12	弱监护	弱监护	无	弱监护	无	具有一个可选的内部上拉电阻，配合RSI使用。详情参见HRM中的RSI部分。
PE_13	弱监护	弱监护	无	弱监护	无	具有一个可选的内部上拉电阻，配合RSI使用。详情参见HRM中的RSI部分。
PE_14	弱监护	弱监护	无	弱监护	无	无注释
PE_15	弱监护	弱监护	无	弱监护	无	具有一个可选的内部上拉电阻，配合RSI使用。详情参见HRM中的RSI部分。
PF_00	弱监护	弱监护	无	弱监护	无	无注释
PF_01	弱监护	弱监护	无	弱监护	无	无注释
PF_02	弱监护	弱监护	无	弱监护	无	无注释
PF_03	弱监护	弱监护	无	弱监护	无	无注释
PF_04	弱监护	弱监护	无	弱监护	无	无注释
PF_05	弱监护	弱监护	无	弱监护	无	无注释
PF_06	弱监护	弱监护	无	弱监护	无	无注释
PF_07	弱监护	弱监护	无	弱监护	无	无注释
PF_08	弱监护	弱监护	无	弱监护	无	无注释
PF_09	弱监护	弱监护	无	弱监护	无	无注释
PF_10	弱监护	弱监护	无	弱监护	无	无注释
PF_11	弱监护	弱监护	无	弱监护	无	无注释
PF_12	弱监护	弱监护	无	弱监护	无	无注释
PF_13	弱监护	弱监护	无	弱监护	无	无注释
PF_14	弱监护	弱监护	无	弱监护	无	无注释
PF_15	弱监护	弱监护	无	弱监护	无	无注释
PG_00	弱监护	弱监护	无	弱监护	无	具有一个可选的内部上拉电阻，配合RSI使用。详情参见HRM中的RSI部分。
PG_01	弱监护	弱监护	无	弱监护	无	无注释
PG_02	弱监护	弱监护	无	弱监护	无	具有一个可选的内部上拉电阻，配合RSI使用。详情参见HRM中的RSI部分。
PG_03	弱监护	弱监护	无	弱监护	无	具有一个可选的内部上拉电阻，配合RSI使用。详情参见HRM中的RSI部分。

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

表8. ADSP-BF60x焊盘表(续)

信号名称	内部端接	复位端接	复位驱动	休眠端接	休眠驱动	注释
PG_04	弱监护	弱监护	无	弱监护	无	无注释
PG_05	弱监护	弱监护	无	弱监护	无	具有一个可选的内部上拉电阻，配合RSI使用。详情参见HRM中的RSI部分。
PG_06	弱监护	弱监护	无	弱监护	无	无注释
PG_07	弱监护	弱监护	无	弱监护	无	无注释
PG_08	弱监护	弱监护	无	弱监护	无	无注释
PG_09	弱监护	弱监护	无	弱监护	无	无注释
PG_10	弱监护	弱监护	无	弱监护	无	无注释
PG_11	弱监护	弱监护	无	弱监护	无	无注释
PG_12	弱监护	弱监护	无	弱监护	无	无注释
PG_13	弱监护	弱监护	无	弱监护	无	无注释
PG_14	弱监护	弱监护	无	弱监护	无	无注释
PG_15	弱监护	弱监护	无	弱监护	无	无注释
SMC0_A01	弱监护	弱监护	无	弱监护	无	无注释
SMC0_A02	弱监护	弱监护	无	弱监护	无	无注释
SMC0_AMS0	上拉	上拉	无	上拉	无	无注释
SMC0_AOE_NORDV	弱监护	弱监护	无	弱监护	无	无注释
SMC0_ARDY_NORWT	无	无	无	无	无	需要外部上拉电阻。
SMC0_ARE	上拉	上拉	无	上拉	无	无注释
SMC0_AWE	上拉	上拉	无	上拉	无	无注释
SMC0_BR	无	无	无	无	无	需要外部上拉电阻。
SMC0_D00	弱监护	弱监护	无	弱监护	无	无注释
SMC0_D01	弱监护	弱监护	无	弱监护	无	无注释
SMC0_D02	弱监护	弱监护	无	弱监护	无	无注释
SMC0_D03	弱监护	弱监护	无	弱监护	无	无注释
SMC0_D04	弱监护	弱监护	无	弱监护	无	无注释
SMC0_D05	弱监护	弱监护	无	弱监护	无	无注释
SMC0_D06	弱监护	弱监护	无	弱监护	无	无注释
SMC0_D07	弱监护	弱监护	无	弱监护	无	无注释
SMC0_D08	弱监护	弱监护	无	弱监护	无	无注释
SMC0_D09	弱监护	弱监护	无	弱监护	无	无注释
SMC0_D10	弱监护	弱监护	无	弱监护	无	无注释
SMC0_D11	弱监护	弱监护	无	弱监护	无	无注释
SMC0_D12	弱监护	弱监护	无	弱监护	无	无注释
SMC0_D13	弱监护	弱监护	无	弱监护	无	无注释
SMC0_D14	弱监护	弱监护	无	弱监护	无	无注释
SMC0_D15	弱监护	弱监护	无	弱监护	无	无注释
SYS_BMODE0	无	无	无	无	无	无注释
SYS_BMODE1	无	无	无	无	无	无注释
SYS_BMODE2	无	无	无	无	无	无注释
SYS_CLKIN	无	无	无	无	无	复位期间有效。
SYS_CLKOUT	无	无	低电平	无	无	无注释
SYS_EXTWAKE	无	无	高电平	无	低电平	休眠期间接低电平，其它时候接高电平。

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

表8. ADSP-BF60x焊盘表(续)

信号名称	内部端接	复位端接	复位驱动	休眠端接	休眠驱动	注释
SYS_FAULT	无	无	无	无	无	开源，需要外部下拉电阻。
$\overline{\text{SYS_FAULT}}$	无	无	无	无	无	开漏，需要外部上拉电阻。
$\overline{\text{SYS_HWRST}}$	无	无	无	无	无	复位期间有效。
$\overline{\text{SYS_NMI_RESOUT}}$	无	无	无	无	无	需要外部上拉电阻。
SYS_PWRGD	无	无	无	无	无	如果不使用休眠，或者使用内部电源良好计数器，则应连接到VDD_EXT。
SYS_TDA	无	无	无	无	无	复位和休眠期间有效。如果不使用热二极管，应接地。
SYS_TDK	无	无	无	无	无	复位和休眠期间有效。如果不使用热二极管，应接地。
SYS_XTAL	无	无	无	无	无	如果使用振荡器来提供SYS_CLKIN，应保持不连接。复位期间有效。休眠期间的状态由DPM_HIB_DIS控制。
TWI0_SCL	无	无	无	无	无	开漏，需要外部上拉电阻。关于正确的电阻值，请参阅I ² C规范2.1版。如果不使用TWI，应接地。
TWI0_SDA	无	无	无	无	无	开漏，需要外部上拉电阻。关于正确的电阻值，请参阅I ² C规范2.1版。如果不使用TWI，应接地。
TWI1_SCL	无	无	无	无	无	开漏，需要外部上拉电阻。关于正确的电阻值，请参阅I ² C规范2.1版。如果不使用TWI，应接地。
TWI1_SDA	无	无	无	无	无	开漏，需要外部上拉电阻。关于正确的电阻值，请参阅I ² C规范2.1版。如果不使用TWI，应接地。
USB0_CLKIN	无	无	无	无	无	如果不使用USB，应接地。复位期间有效。
USB0_DM	无	无	无	无	无	如果不使用USB，应拉低。关于使用USB时的休眠行为的完整说明，参见HRM中的USB部分。
USB0_DP	无	无	无	无	无	如果不使用USB，应拉低。关于使用USB时的休眠行为的完整说明，参见HRM中的USB部分。
USB0_ID	无	无	无	无	无	如果不使用USB，应接地。使用USB时，休眠期间存在的内部上拉电阻可编程。参见HRM中的USB部分。复位期间有效。
USB0_VBC	无	无	无	无	无	如果不使用USB，应拉低。
USB0_VBUS	无	无	无	无	无	如果不使用USB，应接地。
VDD_DMC	无	无	无	无	无	如果不使用DMC，应连接到VDD_INT。
VDD_EXT	无	无	无	无	无	必须上电。
VDD_INT	无	无	无	无	无	必须上电。

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

表8. ADSP-BF60x焊盘表(续)

信号名称	内部端接	复位端接	复位驱动	休眠端接	休眠驱动	注释
VDD_TD	无	无	无	无	无	如果不使用热二极管，应接地。
VDD_USB	无	无	无	无	无	如果不使用USB，应连接到VDD_EXT。
VREF_DMC	无	无	无	无	无	如果不使用DMC，应连接到VDD_INT。

技术规格

有关产品规格的信息，请联系ADI公司代表。

工作条件

参数	条件	最小值	标称值	最大值	单位
$V_{DD_INT}^1$	内部电源电压	TBD MHz	TBD	TBD	V
$V_{DD_EXT}^2$	外部电源电压	1.7或3.13	1.8或3.3	1.9或3.47	V
V_{DD_DMC}	DDR2/LPDDR电源电压	1.7	1.8	1.9	V
$V_{DD_USB}^3$	USB电源电压	3.13	3.3	3.47	V
V_{DD_TD}	热二极管电源电压	3.13	3.3	3.47	V
V_{IH}^4	高电平输入电压	$V_{DD_EXT} = \text{最大值}$	TBD	TBD	V
V_{IH}^4	高电平输入电压	$V_{DD_EXT} = \text{最大值}$	TBD	TBD	V
V_{IHTWI}^5	高电平输入电压	$V_{DD_EXT} = \text{最大值}$	TBD	TBD	V
V_{IL}^4	低电平输入电压	$V_{DD_EXT} = \text{最大值}$	TBD	TBD	V
V_{IL}^4	低电平输入电压	$V_{DD_EXT} = \text{最大值}$	TBD	TBD	V
V_{ILTWI}^5	低电平输入电压	$V_{DD_EXT} = \text{最大值}$	TBD	TBD	V
T_J	结温	$T_{AMBIENT} = \text{TBD}^\circ\text{C至}+\text{TBD}^\circ\text{C}$	TBD	105	$^\circ\text{C}$
T_J	结温	$T_{AMBIENT} = \text{TBD}^\circ\text{C至}+\text{TBD}^\circ\text{C}$	TBD	125	$^\circ\text{C}$

¹ 预期标称值为1.25 V \pm 5%，客户初始设计应利用一个可编程稳压器设计，该稳压器可在1.1 V到1.35 V范围内以50 mV步进进行调整。

² 必须保持通电(即便不使用相关的功能)。

³ 不使用时，连接到1.8 V或3.3 V。

⁴ 参数值适用于TWI_SDA和TWI_SCL以外的所有输入和双向信号。

⁵ 参数适用于TWI_SDA和TWI_SCL。

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

时钟相关工作条件

表9说明了内核时钟时序要求。除非另有明确说明，表中的数据适用于所有速度等级(参见第43页上的汽车应用级产品)。图8显示了各个时钟及其可用的分频器值。

表9. 时钟工作条件

参数		最大值	单位
f_{CCLK}	内核时钟频率($CCLK \geq SYSCLK$, $CSEL \leq SYSSEL$)	TBD	MHz
f_{SYSCLK}	SYSCLK频率($SYSSEL \leq DSEL$)	TBD	MHz
$f_{SCLK0}^{1,2}$	SCLK0频率	TBD	MHz
$f_{SCLK1}^{1,2}$	SCLK1频率	TBD	MHz
f_{DCLK}	DDR2/LPDDR时钟频率	TBD	MHz
f_{OCLK}	输出时钟频率	TBD	MHz

¹ $t_{SCLK0/1}$ 等于 $1/f_{SCLK0/1}$ 。

² 舍入值。实际测试规格为[TBD] ns的周期时间。

表10. 锁相环工作条件

参数		最小值	最大值	单位
f_{PLLCLK}	PLL时钟频率	TBD	速度等级	MHz

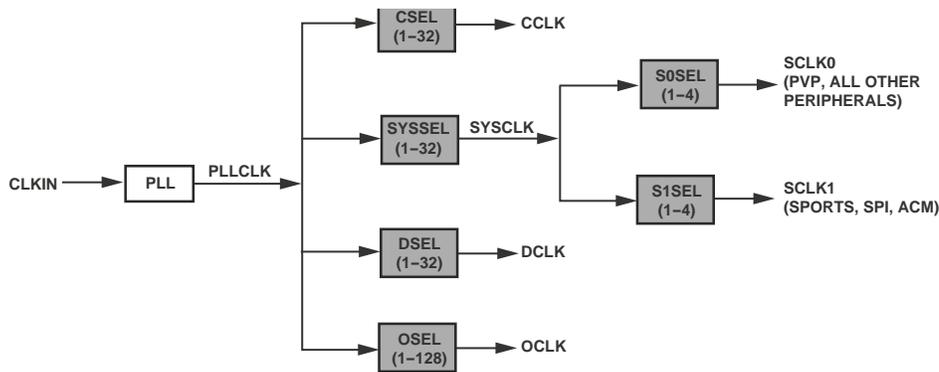


图8. 时钟关系和分频器值

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

电气特性

参数	测试条件	最小值	典型值	最大值	单位		
V_{OH}	高电平输出电压	$V_{DD_EXT} = 1.7\text{ V}, I_{OH} = -0.5\text{ mA}$			TBD	V	
V_{OH}	高电平输出电压	$V_{DD_EXT} = 3.13\text{ V}, I_{OH} = -0.5\text{ mA}$			TBD	V	
V_{OL}	低电平输出电压	$V_{DD_EXT} = 1.7\text{ V}/3.13\text{ V}, I_{OL} = 2.0\text{ mA}$			TBD	V	
V_{OLTWI}^1	低电平输出电压	$V_{DD_EXT} = 1.7\text{ V}/3.13\text{ V}, I_{OL} = 2.0\text{ mA}$			TBD	V	
I_{IH}^2	高电平输入电流	$V_{DD_EXT} = 3.47\text{ V}, V_{IN} = 3.47\text{ V}$			TBD	μA	
I_{IL}^2	低电平输入电流	$V_{DD_EXT} = 3.47\text{ V}, V_{IN} = 0\text{ V}$			TBD	μA	
I_{IHP}^3	高电平输入电流JTAG	$V_{DD_EXT} = 3.47\text{ V}, V_{IN} = 3.47\text{ V}$			TBD	μA	
I_{OZH}^4	三态漏电流	$V_{DD_EXT} = 3.47\text{ V}, V_{IN} = 3.47\text{ V}$			TBD	μA	
I_{OZHTWI}^1	三态漏电流	$V_{DD_EXT} = 3.13\text{ V}, V_{IN} = 5.5\text{ V}$			TBD	μA	
I_{OZL}^4	三态漏电流	$V_{DD_EXT} = 3.47\text{ V}, V_{IN} = 0\text{ V}$			TBD	μA	
$C_{IN}^{5,6}$	输入电容	$T_{IN} = 1\text{ MHz}, T_{AMBIENT} = 25^\circ\text{C}, V_{IN} = 2.5\text{ V}$			TBD	TBD	pF
$I_{DD_DEEPSLEEP}^7$	深度睡眠模式下的 V_{DD_INT} 电流	TBD			TBD	TBD	mA
I_{DD_IDLE}	空闲时的 V_{DD_INT} 电流	TBD			TBD	TBD	
I_{DD_TYP}	V_{DD_INT} 电流	TBD			TBD	TBD	
$I_{DD_HIBERNATE}^{7,8}$	休眠状态电流	TBD			TBD	TBD	μA
$I_{DD_DEEPSLEEP}$	深度睡眠模式下的 V_{DD_INT} 电流	TBD			TBD	TBD	mA
I_{DD_INT}	V_{DD_INT} 电流	TBD			TBD	TBD	mA

¹ 适用于双向信号TWI_SCL和TWI_SDA。

² 适用于输入信号。

³ 适用于JTAG输入信号(JTG_TCK、JTG_TDI、JTG_TMS、JTG_TRST)。

⁴ 适用于三态信号。

⁵ 保证符合要求，但未经测试。

⁶ 适用于所有信号。

⁷ 关于深度睡眠和休眠工作模式的定义，参见《ADSP-BF60x Blackfin处理器硬件参考手册》。

⁸ 仅适用于TBD电源信号。时钟输入连接高电平或低电平。

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

总功耗

总功耗包括两个分量：

1. 静态功耗，包括漏电流
2. 动态功耗，由晶体管开关特性引起

许多工作条件也可能影响功耗，包括温度、电压、工作频率和处理器活动等。第33页的电气特性列出了内部电路(V_{DD_INT})的功耗。 $I_{DD_DEEPSLEEP}$ 表示与电压(V_{DD_INT})和温度相关的静态功耗， I_{DD_INT} 表示所列测试条件下的总功耗，包括与电压(V_{DD_INT})和频率相关的动态功耗。

动态分量包括两部分。第一部分是由内核时钟(CCLK)域的晶体管开关引起的，该部分与一个“活动比例因子”(ASF)相关，它代表处理器内核和L1存储器上运行的应用程序代码。

ASF与CCLK频率和VDD_INT相关数据共同来计算这一部分功耗。第二部分是由系统时钟(SCLK)域的晶体管开关引起的，IDD_INT规格方程式中已包括该部分。

处理器—绝对最大额定值

超出表中所列值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所列规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

参数	额定值
内部电源电压(V_{DD_INT})	-0.33 V至3.63 V
外部(I/O)电源电压(V_{DD_EXT})	-0.33 V至3.63 V
热二极管电源电压(V_{DD_THD})	-0.33 V至3.63 V
DDR2控制器电源电压(V_{DD_DMC})	-0.33 V至3.63 V
USB PHY电源电压(V_{DD_USB})	-0.33 V至3.63 V
输入电压 ^{1,2,3}	-0.33 V至3.63 V
TWI输入电压 ^{2,4}	-0.33 V至5.50 V
USB0_Dx输入电压 ⁵	-0.33 V至5.25 V
USB0_VBUS输入电压 ⁵	-0.33 V至6.00 V
DDR2输入电压 ⁶	-0.33 V至1.90 V
DDR2输入电压6	-0.33 V至 $V_{DD_EXT} + 0.5 V$
每组信号的 I_{OH}/I_{OL} 电流 ^{1,7}	TBD mA (最大值)
存储温度范围	-65°C至+150°C
偏置条件下的结温	+125°C

¹ 适用于100%瞬变占空比。

² 仅当 V_{DD_EXT} 在规格范围内时适用。当 V_{DD_EXT} 超出规格要求时，该范围为 $V_{DD_EXT} \pm 0.2 V$ 。

³ 其它占空比参见表11。

⁴ 适用于引脚TWI_SCL和TWI_SDA。

⁵ 仅当 V_{DD_USB} 在规格范围内时适用。当 V_{DD_USB} 超出规格要求时，该范围为 $V_{DD_EXT} \pm 0.2 V$ 。

⁶ 仅当 V_{DD_DMC} 在规格范围内时适用。当 V_{DD_DMC} 超出规格要求时，该范围为 $V_{DD_EXT} \pm 0.2 V$ 。

⁷ 信号组信息参见TBD。其它占空比参见TBD。

表11. 输入瞬变电压的最大占空比¹

V_{IN} 最小值(V)	V_{IN} 最大值(V)	最大占空比
TBD	TBD	TBD

¹ 适用于SYS_CLKIN、SYS_XTAL、SYS_EXTWAKE之外的所有信号。

ESD灵敏度



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

处理器—封装信息

图9和表12所示的信息提供了封装标识的详情。产品供货的完整列表请参阅第43页的汽车应用级产品。



图9. 产品封装信息

表12. 封装标识信息

标识码	字段说明
ADSP-BF60x	产品名称 ¹
t	温度范围
pp	封装类型
Z	符合RoHS标准
ccc	参见订购指南
vvvvvv.x	组装批次代码
n.n	芯片版本
yyww	日期代码

¹ 产品名称参见第43页的汽车应用级产品。

环境条件

应用印刷电路板上的结温计算公式如下：

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

其中：

T_J = 结温(°C)

T_{CASE} = 壳温(°C)，由用户在封装的顶部中央测得。

Ψ_{JT} 参见表13

P_D = 功耗(计算PD的方法参见第34页的总功耗)

表13. 热特性

参数	条件	典型值	单位
θ_{JA}	0线性m/s气流	16.7	°C/W
θ_{JMA}	1线性m/s气流	14.6	°C/W
θ_{JMA}	2线性m/s气流	13.9	°C/W
θ_{JC}		4.41	°C/W
Ψ_{JT}	0线性m/s气流	0.11	°C/W
Ψ_{JT}	1线性m/s气流	0.24	°C/W
Ψ_{JT}	2线性m/s气流	0.25	°C/W

θ_{JA} 值供封装比较和印刷电路板设计考虑时使用。 θ_{JA} 可用于计算 T_J 的一阶近似值，计算公式如下：

$$T_J = T_A + (\theta_{JA} \times P_D)$$

其中：

T_A = 环境温度(°C)

θ_{JC} 值是在需要外部散热器时，供封装比较和印刷电路板设计考虑时使用。

在表13中，气流测量符合JEDEC标准JESD51-2和JESD51-6，结至壳测量符合MIL-STD-883标准(方法1012.1)。所有测量均使用2S2P JEDEC测试板。

热二极管

处理器集成了热二极管来监控芯片温度。该热二极管是集电极接地、PNP双极性晶体管(BJT)。SYS_TDA引脚连接到晶体管的发射极，SYS_TDK引脚连接到基极。外部温度传感器(如ADM1021A或LM86等)可以利用这些引脚来读取芯片温度。

外部温度传感器使用的技术是让热二极管在两个不同的电流下工作，测量 V_{BE} 的变化。如下式所示：

$$\Delta V_{BE} = n \times \frac{kT}{q} \times \ln(N)$$

其中：

n = 乘法系数，接近1，取决于工艺变化

k = 波尔兹曼常数

T = 温度(°C)

q = 电荷

N = 两个电流之比

对于常见的温度传感器芯片，这两个电流通常在10 μ A到300 μ A范围内。

表14列出了使用晶体管模型的热二极管特性。注意，实测理想系数已经考虑效应变化(B)。

表14. 热二极管参数 - 晶体管模型

符号	参数	最小值	典型值	最大值	单位
I_{FW}^1	正向偏置电流	TBD		TBD	μ A
I_E	发射极电流	TBD		TBD	μ A
$n_Q^{2,3}$	晶体管理想系数	TBD	TBD	TBD	
$R_T^{3,4}$	串联电阻	TBD	TBD	TBD	Ω

¹ ADI公司建议不要在反向偏置下使用热二极管。

² 未100%测试，通过设计特性指定。

³ 理想系数 n_Q 表示二极管实际行为与以下二极管方程式所代表的理想行为的差异： $I_C = I_S \times (e^{qV_{BE}/nqkT} - 1)$ ，其中 I_S = 饱和电流， q = 电荷， V_{BE} = 二极管上的电压， k = 波尔兹曼常数， T = 绝对温度(K)。

⁴ 串联电阻(R_T)可根据需要使用，使读数更精确。

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

349引脚CSP_BGA封装引脚分配

表15按照引脚编号顺序列出ADSP-BF609的CSP_BGA封装引脚。表16按照信号顺序列出CSP_BGA封装引脚。

表15. 349引脚CSP_BGA封装引脚分配(按引脚编号顺序)

引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称
A01	GND	AA19	PG_07	B15	SMC0_D01	E03	JTG_TMS
A02	USB0_DM	AA20	PG_13	B16	SMC0_D15	E05	V _{DD_USB}
A03	USB0_DP	AA21	GND	B17	SMC0_D09	E20	DMC0_CAS
A04	PB_10	AA22	GND	B18	SMC0_D02	E21	DMC0_DQ10
A05	PB_07	AB01	GND	B19	SMC0_D13	E22	DMC0_DQ13
A06	PA_14	AB02	PD_05	B20	SMC0_D05	F01	SYS_FAULT
A07	PA_12	AB03	PD_14	B21	GND	F02	SYS_FAULT
A08	PA_10	AB04	PE_01	B22	SMC0_AOE_NORDV	F03	SYS_NMI_RESOUT
A09	PA_08	AB05	PE_04	C01	USB0_CLKIN	F06	V _{DD_EXT}
A10	PA_06	AB06	PF_15	C02	USB0_VBC	F07	V _{DD_INT}
A11	PA_04	AB07	PF_13	C03	GND	F08	V _{DD_INT}
A12	PA_02	AB08	PF_11	C04	PB_12	F09	V _{DD_INT}
A13	PA_00	AB09	PF_09	C05	PB_09	F10	V _{DD_INT}
A14	SMC0_A01	AB10	PF_07	C06	PB_06	F11	V _{DD_EXT}
A15	SMC0_D00	AB11	PF_05	C07	PB_05	F12	V _{DD_EXT}
A16	SMC0_AMS0	AB12	PF_03	C08	PB_04	F13	V _{DD_INT}
A17	SMC0_D03	AB13	PF_01	C09	PB_03	F14	V _{DD_INT}
A18	SMC0_D04	AB14	PE_13	C10	PB_02	F15	V _{DD_INT}
A19	SMC0_D07	AB15	PG_03	C11	PB_01	F16	V _{DD_INT}
A20	SMC0_D10	AB16	PG_06	C12	PB_00	F17	V _{DD_DMC}
A21	SMC0_AWE	AB17	PG_02	C13	SMC0_BR	F20	DMC0_CS0
A22	GND	AB18	PG_12	C14	SMC0_D06	F21	DMC0_DQ15
AA01	PD_11	AB19	PG_14	C15	SMC0_D12	F22	DMC0_DQ08
AA02	GND	AB20	PG_15	C16	SMC0_ARE	G01	GND
AA03	PD_13	AB21	PG_10	C17	SMC0_D08	G02	SYS_HWRST
AA04	PE_00	AB22	GND	C18	SMC0_D11	G03	SYS_BMODE2
AA05	PE_03	B01	USB0_VBUS	C19	SMC0_D14	G06	V _{DD_EXT}
AA06	PF_14	B02	GND	C20	GND	G07	V _{DD_EXT}
AA07	PF_12	B03	USB0_ID	C21	TWI1_SCL	G08	V _{DD_INT}
AA08	PF_10	B04	PB_11	C22	TWI0_SCL	G09	V _{DD_INT}
AA09	PF_08	B05	PB_08	D01	JTG_TDI	G10	V _{DD_EXT}
AA10	PF_06	B06	PA_15	D02	JTG_TDO	G11	V _{DD_EXT}
AA11	PF_04	B07	PA_13	D03	JTG_TCK	G12	V _{DD_EXT}
AA12	PF_02	B08	PA_11	D11	V _{DD_EXT}	G13	V _{DD_EXT}
AA13	PF_00	B09	PA_09	D12	GND	G14	V _{DD_INT}
AA14	PG_00	B10	PA_07	D20	SMC0_ARDY_NORWT	G15	V _{DD_INT}
AA15	PE_15	B11	PA_05	D21	TWI1_SDA	G16	V _{DD_DMC}
AA16	PE_14	B12	PA_03	D22	TWI0_SDA	G17	V _{DD_DMC}
AA17	PG_05	B13	PA_01	E01	JTG_TRST	G20	DMC0_UDM
AA18	PG_08	B14	SMC0_A02	E02	JTG_EMU	G21	DMC0_UDQS

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

表15. 349引脚CSP_BGA封装引脚分配(按引脚编号顺序)

引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称
G22	DMC0_UDQS	L06	V _{DD_EXT}	N20	DMC0_WE	U01	PC_14
H01	SYS_CLKIN	L08	GND	N21	DMC0_DQ04	U02	PC_13
H02	SYS_XTAL	L09	GND	N22	DMC0_DQ03	U03	PD_09
H03	SYS_BMODE1	L10	GND	P01	PC_08	U06	V _{DD_EXT}
H06	V _{DD_EXT}	L11	GND	P02	PC_07	U07	V _{DD_INT}
H07	V _{DD_EXT}	L12	GND	P03	PD_06	U08	V _{DD_INT}
H16	V _{DD_DMC}	L13	GND	P06	V _{DD_EXT}	U09	V _{DD_INT}
H17	V _{DD_DMC}	L14	GND	P09	GND	U10	V _{DD_INT}
H20	DMC0_RAS	L15	GND	P10	GND	U11	V _{DD_EXT}
H21	DMC0_DQ09	L17	V _{DD_DMC}	P11	GND	U12	V _{DD_EXT}
H22	DMC0_DQ14	L19	VREF_DMC	P12	GND	U13	V _{DD_INT}
J01	GND	L20	DMC0_CK	P13	GND	U14	V _{DD_INT}
J02	SYS_PWRGD	L21	DMC0_DQ06	P14	GND	U15	V _{DD_INT}
J03	SYS_BMODE0	L22	DMC0_DQ07	P17	V _{DD_DMC}	U16	V _{DD_INT}
J06	V _{DD_EXT}	M01	PC_04	P20	DMC0_CKE	U17	V _{DD_DMC}
J09	GND	M02	PC_03	P21	DMC0_DQ02	U20	DMC0_A09
J10	GND	M03	PB_15	P22	DMC0_DQ05	U21	DMC0_A05
J11	GND	M04	GND	R01	PC_10	U22	DMC0_A01
J12	GND	M06	V _{DD_EXT}	R02	PC_09	V01	PD_00
J13	GND	M08	GND	R03	PD_07	V02	PC_15
J14	GND	M09	GND	R06	V _{DD_EXT}	V03	PD_10
J17	V _{DD_DMC}	M10	GND	R07	V _{DD_EXT}	V20	DMC0_BA1
J20	DMC0_ODT	M11	GND	R16	V _{DD_DMC}	V21	DMC0_A13
J21	DMC0_DQ12	M12	GND	R17	V _{DD_DMC}	V22	DMC0_A11
J22	DMC0_DQ11	M13	GND	R20	DMC0_BA2	W01	PD_04
K01	PC_00	M14	GND	R21	DMC0_BA0	W02	PD_01
K02	SYS_EXTWAKE	M15	GND	R22	DMC0_A10	W03	PD_12
K03	PB_13	M17	V _{DD_DMC}	T01	PC_12	W11	GND
K06	V _{DD_EXT}	M19	GND	T02	PC_11	W12	V _{DD_TD}
K08	GND	M20	DMC0_CK	T03	PD_08	W20	DMC0_A04
K09	GND	M21	DMC0_DQ00	T06	V _{DD_EXT}	W21	DMC0_A06
K10	GND	M22	DMC0_DQ01	T07	V _{DD_EXT}	W22	DMC0_A08
K11	GND	N01	PC_06	T08	V _{DD_INT}	Y01	PD_03
K12	GND	N02	PC_05	T09	V _{DD_INT}	Y02	PD_02
K13	GND	N03	SYS_CLKOUT	T10	V _{DD_EXT}	Y03	GND
K14	GND	N06	V _{DD_EXT}	T11	V _{DD_EXT}	Y04	PD_15
K15	GND	N08	GND	T12	V _{DD_EXT}	Y05	PE_02
K17	V _{DD_DMC}	N09	GND	T13	V _{DD_EXT}	Y06	PE_05
K20	DMC0_LDM	N10	GND	T14	V _{DD_INT}	Y07	PE_06
K21	DMC0_LDQS	N11	GND	T15	V _{DD_INT}	Y08	PE_07
K22	DMC0_LDQS	N12	GND	T16	V _{DD_DMC}	Y09	PE_08
L01	PC_02	N13	GND	T17	V _{DD_DMC}	Y10	PE_09
L02	PC_01	N14	GND	T20	DMC0_A03	Y11	SYS_TDK
L03	PB_14	N15	GND	T21	DMC0_A07	Y12	SYS_TDA
L04	V _{DD_EXT}	N17	V _{DD_DMC}	T22	DMC0_A12	Y13	PE_12

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

表15. 349引脚CSP_BGA封装引脚分配(按引脚编号顺序)

引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称
Y14	PE_10	Y19	PG_11				
Y15	PE_11	Y20	GND				
Y16	PG_09	Y21	DMC0_A00				
Y17	PG_01	Y22	DMC0_A02				
Y18	PG_04						

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

表16. 349引脚CSP_BGA封装引脚分配(按信号名称顺序)

引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称
DMC0_A00	Y21	$\overline{\text{DMC0_UDQS}}$	G22	GND	M19	PB_03	C09
DMC0_A01	U22	$\overline{\text{DMC0_WE}}$	N20	GND	N08	PB_04	C08
DMC0_A02	Y22	GND	A01	GND	N09	PB_05	C07
DMC0_A03	T20	GND	A22	GND	N10	PB_06	C06
DMC0_A04	W20	GND	AA02	GND	N11	PB_07	A05
DMC0_A05	U21	GND	AA21	GND	N12	PB_08	B05
DMC0_A06	W21	GND	AA22	GND	N13	PB_09	C05
DMC0_A07	T21	GND	AB01	GND	N14	PB_10	A04
DMC0_A08	W22	GND	AB22	GND	N15	PB_11	B04
DMC0_A09	U20	GND	B21	GND	P09	PB_12	C04
DMC0_A10	R22	GND	C20	GND	P10	PB_13	K03
DMC0_A11	V22	GND	D12	GND	P11	PB_14	L03
DMC0_A12	T22	GND	G01	GND	P12	PB_15	M03
DMC0_A13	V21	GND	J01	GND	P13	PC_00	K01
DMC0_BA0	R21	GND	J09	GND	P14	PC_01	L02
DMC0_BA1	V20	GND	J10	GND	W11	PC_02	L01
DMC0_BA2	R20	GND	J11	GND	Y03	PC_03	M02
$\overline{\text{DMC0_CAS}}$	E20	GND	J12	GND	Y20	PC_04	M01
DMC0_CK	M20	GND	J13	GND	C03	PC_05	N02
DMC0_CKE	P20	GND	J14	GND	B02	PC_06	N01
$\overline{\text{DMC0_CK}}$	L20	GND	K08	$\overline{\text{JTG_EMU}}$	E02	PC_07	P02
$\overline{\text{DMC0_CS0}}$	F20	GND	K09	JTG_TCK	D03	PC_08	P01
DMC0_DQ00	M21	GND	K10	JTG_TDI	D01	PC_09	R02
DMC0_DQ01	M22	GND	K11	JTG_TDO	D02	PC_10	R01
DMC0_DQ02	P21	GND	K12	JTG_TMS	E03	PC_11	T02
DMC0_DQ03	N22	GND	K13	$\overline{\text{JTG_TRST}}$	E01	PC_12	T01
DMC0_DQ04	N21	GND	K14	PA_00	A13	PC_13	U02
DMC0_DQ05	P22	GND	K15	PA_01	B13	PC_14	U01
DMC0_DQ06	L21	GND	L08	PA_02	A12	PC_15	V02
DMC0_DQ07	L22	GND	L09	PA_03	B12	PD_00	V01
DMC0_DQ08	F22	GND	L10	PA_04	A11	PD_01	W02
DMC0_DQ09	H21	GND	L11	PA_05	B11	PD_02	Y02
DMC0_DQ10	E21	GND	L12	PA_06	A10	PD_03	Y01
DMC0_DQ11	J22	GND	L13	PA_07	B10	PD_04	W01
DMC0_DQ12	J21	GND	L14	PA_08	A09	PD_05	AB02
DMC0_DQ13	E22	GND	L15	PA_09	B09	PD_06	P03
DMC0_DQ14	H22	GND	M04	PA_10	A08	PD_07	R03
DMC0_DQ15	F21	GND	M08	PA_11	B08	PD_08	T03
DMC0_LDM	K20	GND	M09	PA_12	A07	PD_09	U03
DMC0_LDQS	K22	GND	M10	PA_13	B07	PD_10	V03
$\overline{\text{DMC0_LDQS}}$	K21	GND	M11	PA_14	A06	PD_11	AA01
DMC0_ODT	J20	GND	M12	PA_15	B06	PD_12	W03
$\overline{\text{DMC0_RAS}}$	H20	GND	M13	PB_00	C12	PD_13	AA03
DMC0_UDM	G20	GND	M14	PB_01	C11	PD_14	AB03
DMC0_UDQS	G21	GND	M15	PB_02	C10	PD_15	Y04

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

表16. 349引脚CSP_BGA封装引脚分配(按信号名称顺序)

引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称
PE_00	AA04	PG_13	AA20	USB0_CLKIN	C01	V _{DD_EXT}	T10
PE_01	AB04	PG_14	AB19	USB0_DM	A02	V _{DD_EXT}	T11
PE_02	Y05	PG_15	AB20	USB0_DP	A03	V _{DD_EXT}	T12
PE_03	AA05	SMC0_A01	A14	USB0_ID	B03	V _{DD_EXT}	T13
PE_04	AB05	SMC0_A02	B14	USB0_VBC	C02	V _{DD_EXT}	U06
PE_05	Y06	SMC0_AMS0	A16	USB0_VBUS	B01	V _{DD_EXT}	U11
PE_06	Y07	SMC0_AOE_NORDV	B22	V _{DD_DMC}	F17	V _{DD_EXT}	U12
PE_07	Y08	SMC0_ARDY_NORWT	D20	V _{DD_DMC}	G16	V _{DD_INT}	F07
PE_08	Y09	SMC0_ARE	C16	V _{DD_DMC}	G17	V _{DD_INT}	F08
PE_09	Y10	SMC0_AWE	A21	V _{DD_DMC}	H16	V _{DD_INT}	F09
PE_10	Y14	SMC0_BR	C13	V _{DD_DMC}	H17	V _{DD_INT}	F10
PE_11	Y15	SMC0_D00	A15	V _{DD_DMC}	J17	V _{DD_INT}	F13
PE_12	Y13	SMC0_D01	B15	V _{DD_DMC}	K17	V _{DD_INT}	F14
PE_13	AB14	SMC0_D02	B18	V _{DD_DMC}	L17	V _{DD_INT}	F15
PE_14	AA16	SMC0_D03	A17	V _{DD_DMC}	M17	V _{DD_INT}	F16
PE_15	AA15	SMC0_D04	A18	V _{DD_DMC}	N17	V _{DD_INT}	G08
PF_00	AA13	SMC0_D05	B20	V _{DD_DMC}	P17	V _{DD_INT}	G09
PF_01	AB13	SMC0_D06	C14	V _{DD_DMC}	R16	V _{DD_INT}	G14
PF_02	AA12	SMC0_D07	A19	V _{DD_DMC}	R17	V _{DD_INT}	G15
PF_03	AB12	SMC0_D08	C17	V _{DD_DMC}	T16	V _{DD_INT}	T08
PF_04	AA11	SMC0_D09	B17	V _{DD_DMC}	T17	V _{DD_INT}	T09
PF_05	AB11	SMC0_D10	A20	V _{DD_DMC}	U17	V _{DD_INT}	T14
PF_06	AA10	SMC0_D11	C18	V _{DD_EXT}	D11	V _{DD_INT}	T15
PF_07	AB10	SMC0_D12	C15	V _{DD_EXT}	F06	V _{DD_INT}	U07
PF_08	AA09	SMC0_D13	B19	V _{DD_EXT}	F11	V _{DD_INT}	U08
PF_09	AB09	SMC0_D14	C19	V _{DD_EXT}	F12	V _{DD_INT}	U09
PF_10	AA08	SMC0_D15	B16	V _{DD_EXT}	G06	V _{DD_INT}	U10
PF_11	AB08	SYS_BMODE0	J03	V _{DD_EXT}	G07	V _{DD_INT}	U13
PF_12	AA07	SYS_BMODE1	H03	V _{DD_EXT}	G10	V _{DD_INT}	U14
PF_13	AB07	SYS_BMODE2	G03	V _{DD_EXT}	G11	V _{DD_INT}	U15
PF_14	AA06	SYS_CLKIN	H01	V _{DD_EXT}	G12	V _{DD_INT}	U16
PF_15	AB06	SYS_CLKOUT	N03	V _{DD_EXT}	G13	V _{DD_TD}	W12
PG_00	AA14	SYS_EXTWAKE	K02	V _{DD_EXT}	H06	V _{DD_USB}	E05
PG_01	Y17	SYS_FAULT	F02	V _{DD_EXT}	H07	VREF_DMC	L19
PG_02	AB17	SYS_FAULT	F01	V _{DD_EXT}	J06		
PG_03	AB15	SYS_NMI_RESOUT	F03	V _{DD_EXT}	K06		
PG_04	Y18	SYS_PWRGD	J02	V _{DD_EXT}	L04		
PG_05	AA17	SYS_HWRST	G02	V _{DD_EXT}	L06		
PG_06	AB16	SYS_TDA	Y12	V _{DD_EXT}	M06		
PG_07	AA19	SYS_TDK	Y11	V _{DD_EXT}	N06		
PG_08	AA18	SYS_XTAL	H02	V _{DD_EXT}	P06		
PG_09	Y16	TWI0_SCL	C22	V _{DD_EXT}	R06		
PG_10	AB21	TWI0_SDA	D22	V _{DD_EXT}	R07		
PG_11	Y19	TWI1_SCL	C21	V _{DD_EXT}	T06		
PG_12	AB18	TWI1_SDA	D21	V _{DD_EXT}	T07		

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

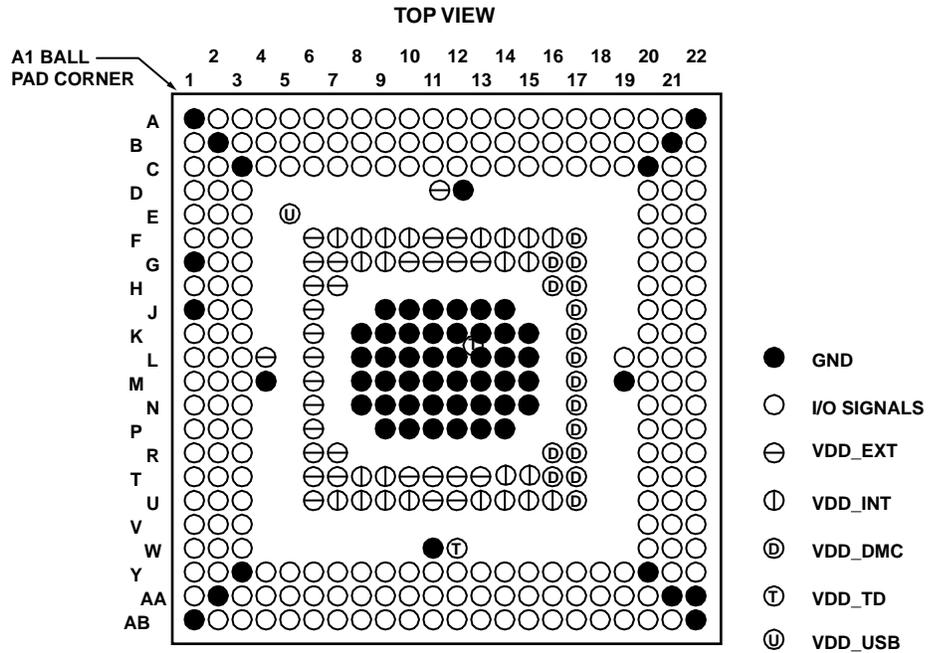
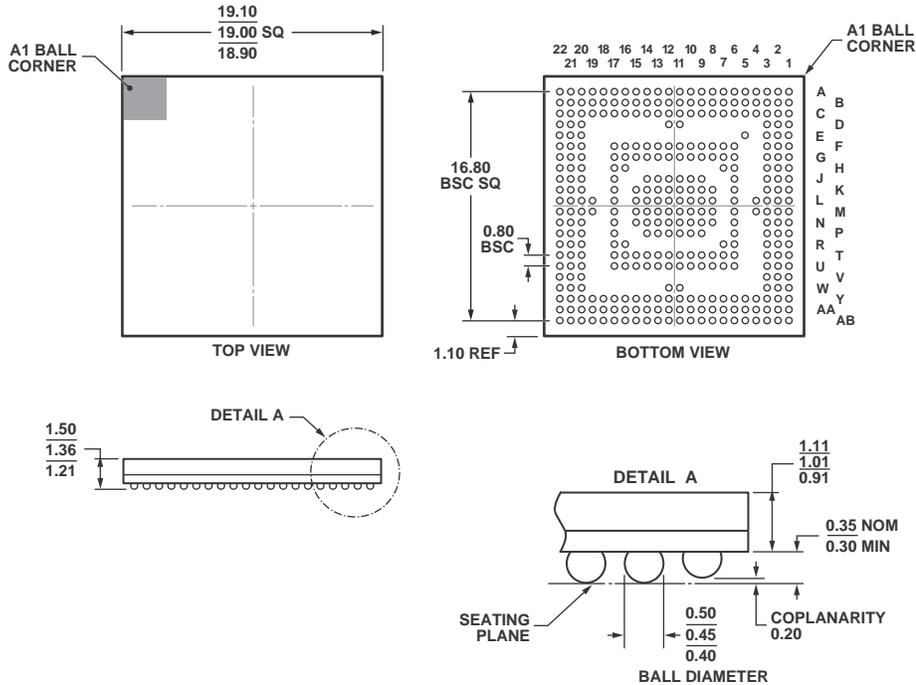


图10. 349引脚CSP_BG封装引脚配置

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

外形尺寸

图11所示19 mm x 19 mm CSP_BGA封装的尺寸单位为毫米。



COMPLIANT TO JEDEC STANDARDS MO-275-PPAB-2.

图11. 349引脚CSP_BGA封装(BC-349-1)
尺寸单位: mm

表贴设计

表17旨在帮助用户进行PCB设计。关于工业标准设计建议，请参阅IPC-7351：“表贴设计和焊盘图形标准的通用要求”。

表17. 用于表贴设计的BGA数据

封装	封装引脚安装类型	封装阻焊层开口	封装引脚焊盘尺寸
BC-349-1	由阻焊层决定	直径0.4 mm	直径0.5 mm

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

汽车应用级产品

TBD生产工艺受到严格控制，以提供满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号；因此，设计人员应仔细阅读本数据手册的产品

技术规格部分。下表中只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告，请联系当地ADI客户代表。

型号	温度范围 ¹	封装描述	封装选项	处理器指令速率(最大值)
TBD	TBD	349引脚芯片级封装球栅阵列	BC-349-1	500 MHz

¹ 参考温度为环境温度。环境温度不是一项性能指标。结温(T_j)是唯一的温度指标，请参见第31页的工作条件。

预发布产品

型号	温度范围 ¹	封装描述	封装选项	处理器指令速率(最大值)
ADSP-BF609-ENG	TBD	349引脚芯片级封装球栅阵列	BC-349-1	500 MHz

¹ 参考温度为环境温度。环境温度不是一项性能指标。结温(T_j)是唯一的温度指标，请参见第31页的工作条件。

ADSP-BF606/ADSP-BF607/ADSP-BF608/ADSP-BF609

